(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020 년 8 월 27 일 (27.08.2020)

WIPO | PCT

(10) 국제공개번호
WO 2020/171341 A1

(51) 국제특허분류:
H01L 29/786 (2006.01) *H01L 21/324* (2006.01)
H01L 29/16 (2006.01)

(21) 국제출원번호: PCT/KR2019/014120

(22) 국제출원일: 2019 년 10 월 25 일 (25.10.2019)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2019-0019924 2019 년 2 월 20 일 (20.02.2019) KR

(71) 출원인: 충남대학교 산학협력단 (**THE INDUSTRY & ACADEMIC COOPERATION IN CHUNGNAM NATIONAL UNIVERSITY (IAC)**) [KR/KR]; 34134 대전시 유성구 대학로 99 (궁동, 충남대학교), Daejeon (KR).

(72) 발명자: 최호석 (**CHOI, Ho-Suk**); 34033 대전시 유성구 배울1로 147, 203-403, Daejeon (KR). 박병주 (**PARK, Byeong-Ju**); 34675 대전시 동구 동부로10번길 55, 113-2402, Daejeon (KR). 한이레 (**HAN, Yi-Re**); 35211 대전시 서구 월평북로 11, 210-105, Daejeon (KR).

(74) 대리인: 김원준 (**KIM, Wonjoon**); 35203 대전시 서구 둔산대로117번길 66, 골드벤처타워 205, Daejeon (KR).

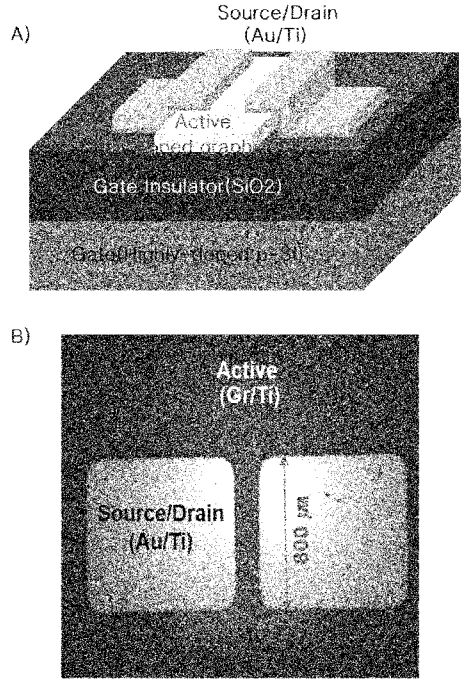
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(54) **Title:** GRAPHENE-BASED TFT COMPRISING NITROGEN-DOPED GRAPHENE LAYER AS ACTIVE LAYER

(54) **발명의 명칭:** 질소-도핑된 그래핀층을 활성층으로 포함하는 그래핀 기반의 TFT

[도 1]



(57) **Abstract:** The present invention relates to a high-quality and highly functional graphene-based TFT comprising a nitrogen-doped graphene layer as an active layer and, more specifically, to a graphene-based TFT comprising: a gate electrode; a gate insulating layer located on the gate electrode; an active layer which is located in a partial region on the gate insulating layer and which comprises a nitrogen-doped graphene layer; a first electrode located on a one-side region of the active layer; and a second electrode located on the other-side region of the active layer. The present invention directly grows graphene on a Ti layer and damages the graphene by using remote plasma, and then performs doping using nitrogen gas so to prepare a graphene active layer, thereby enabling a TFT having very excellent characteristics to be obtained.

(57) **요약서:** 본 발명은 질소-도핑된 그래핀층을 활성층으로 포함하는 고품질, 고기능성의 그래핀 기반의 TFT에 관한 것으로서, 보다 상세하게는 게이트전극; 상기 게이트전극 위에 위치한 게이트절연층; 상기 게이트절연층 위의 일부 영역에 위치하며 질소-도핑 그래핀층을 포함하는 활성층; 상기 활성층의 일측 영역 위에 위치한 제1 전극; 상기 활성층의 타측 영역 위에 위치한 제2 전극; 을 포함하는 그래핀 기반의 TFT에 관한 것이다. 이러한 본 발명은 Ti 층 위에 그래핀을 직접 성장시키고 이를 remote 플라즈마로 데미지를 가한 후, 질소가스를 이용해 도핑하여 그래핀 활성층을 제조함으로써 매우 우수한 특성을 가지는 TFT를 얻을 수 있게 된다.

WO 2020/171341 A1

[다음 쪽 계속]

공개:
— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 질소-도핑된 그래핀층을 활성층으로 포함하는 그래핀 기반의 TFT

기술분야

[1] 본 발명은 Ti 층 위에 직접적으로 성장된 후 질소-도핑된 그래핀층을 활성층으로 포함하는 고품질, 고기능성의 그래핀 기반의 TFT에 관한 것이다.

[2]

배경기술

[3] 최근 급속한 정보화 기술의 진전으로 언제 어디서나 정보를 접할 수 있는 유비쿼터스 컴퓨팅 시대로 접어들고 있다. 이에 따라 다양한 정보를 전달하는 정보 전달 매체와 저장 매체 등 새로운 전자소자의 중요성이 점점 커져가고 있다. 특히 디스플레이에 대한 소비자의 요구는 시장의 공급과 기술의 수준을 뛰어넘고 있어 개발의 중요성이 날로 커져가고 있다. 차세대 디스플레이는 가볍고 얇은 두께와 고해상도, 높은 화면 전환속도, 대면적이라는 특성을 넘어서 친환경, 저소비전력, 초고해상도, 저가격의 대면적화, 유연성, 디자인, 투명성 및 실제 영상(3-Dimension) 등의 구현을 강하게 요구하고 있다.

[4] 박막 트랜지스터(TFT, thin film transistor)는 디스플레이에서 백플레인(backplane)에 탑재되어 전력 등을 공급하는 주회로 기판으로 디스플레이 구동의 핵심 역할을 담당한다. 따라서 차세대 디스플레이의 핵심 기술인 초고해상도, 높은 화면 전환속도, 대화면 특성 등을 구현하기 위해서는 박막 트랜지스터의 기술이 발전되어야 한다. 종래 활성층으로 비정질 실리콘을 이용한 박막 트랜지스터, LTPS(Low Temperature Poly Si) 박막 트랜지스터, IGZO 박막 트랜지스터 등이 개발되거나 주목받고 있다. 그러나 이들은 여전히 제작공정이 복잡하고 생산 비용이 높을 뿐 아니라, 가요성은 높지만 유리 기판 등의 무기 기판에 비해 열 안정성이 낮은 수지 기판에 적용되기 어려워 유연성 디스플레이용으로 활용하기에는 어려움이 있다.

[5] 그래핀은 탄소 원자 하나의 두께의 이차원 벌집구조의 나노 물질로서 이론적으로 ~200,000 cm2 v-1s-1의 전자이동도와 ~5000 Wm-1K-1의 열전도도, ~1.0 TPa의 영 계수와 더불어 물리적, 화학적 안정성을 가지며 원자 한층 수준의 두께로 인해 가시광 흡수량이 매우 적어 가시광 영역의 광 투과율이 약 98 %라는 뛰어난 특성을 띠고 있다. 특히 그래핀이 단결정 실리콘보다 100배 이상 전자를 빠르게 이동시킬 수 있다는 점에서 기존 실리콘 기반 반도체 소자에서 실리콘을 대체하고, 또한 유연 투명 전자소자(flexible, transparent electronic device)로 활용될 차세대 물질로서 주목받고 있다. 하지만 그래핀은 밴드 갭(band gap)이 없어 금속특성을 지니고, 작동 전류의 온/오프 비가 매우 작아 전기적 신호에 의해 전류의 흐름을 통제할 수 없다는 단점 때문에 반도체나 트랜지스터와 같은

전자소자로 응용하기에 결정적인 장애를 가지고 있다.

[6] 이에 그래핀에 적절한 밴드 갭을 부여하여 작동전류의 온/오프 비를 증가시키려는 다양한 시도가 있어 왔다. 예를 들면, 그래핀과 기판 사이 격자 부정합으로 나타나는 그래핀 결정구조의 대칭성을 파괴하거나, 나노리본 형태 패턴을 형성하거나, 또는 그래핀의 화학조성을 변화시키거나, 반도체 특성을 가진 특정층을 그래핀과 적층시키는 하이브리드 구조체를 제작하는 방법 등이 시도되어 왔다. 그러나 우수한 품질의 그래핀을 제작하는 것도, 제작된 그래핀을 나노리본 구조로 구현하는 것도, 그래핀의 물성을 조정하는 것도 용이하지 않을 뿐 아니라, 증가된 온/오프 비가 수~수천 정도로 산업적으로 활용되는 실리콘 기반 TFT의 온/오프 비인 10^4 보다 여전히 열악하여 소자의 대량 집적화와 고속 구동에 저해요소가 되고 있다.

[7]

발명의 상세한 설명

기술적 과제

[8] 살펴본 바와 같이, 종래 그래핀 자체의 우수한 특성에도 불구하고, 온/오프 비가 낮고 고품질의 그래핀 공급이 어려워 그래핀을 소재로 하는 반도체 소자 또는 트랜지스터로서 집적화를 구현하지 못하고 있었다.

[9] 이에 본 발명은 고품질의 그래핀이 적용되고, 실용화에 충분한 정도의 온/오프 비, 낮은 문턱전압, 높은 이동도, 낮은 subthreshold swing 특성을 가지는 그래핀 기반의 TFT를 제공하는 것을 목적으로 한다.

[10]

과제 해결 수단

[11] 전술한 목적을 달성하기 위한 본 발명은, 게이트전극; 상기 게이트전극 위에 위치한 게이트절연층; 상기 게이트절연층 위의 일부 영역에 위치하며 질소-도핑 그래핀층을 포함하는 활성층; 상기 활성층의 일측 영역 위에 위치한 제1전극; 상기 활성층의 타측 영역 위에 위치한 제2전극;을 포함하는 그래핀 기반의 TFT인 것을 특징으로 한다.

[12]

발명의 효과

[13] 이상과 같은 본 발명에 의한 그래핀 기반의 TFT는, 전하이동속도가 빠르면서 온/오프 비가 충분히 높아 고집적 반도체, 트랜지스터 등으로 활용할 수 있다.

[14] 또한 본 발명에 의하면 활성층 형성시에 동일장비 내에서 연속하여 그래핀을 합성하고 이를 질소-도핑함으로써 제작공정 단순화를 통한 제조비용 감소 및 제품의 고품질화가 가능하게 된다.

[15]

도면의 간단한 설명

[16] 도 1은 본 발명에 의한 박막 트랜지스터의 개념적 사시도.

[17] 도 2와 도 3은 각각 본 발명의 실시예에서 트랜지스터 제작공정 조건을 결정하기 위한 사전실험 결과를 보여주는 도표.

[18] 도 4~6은 각각 본 발명의 실시예에 의해 제작된 박막 트랜지스터의 개념도.

[19] 도 7~9는 각각 본 발명의 실시예에 의해 제작된 박막 트랜지스터의 작동특성을 보여주는 도표.

[20] 도 10은 본 발명의 실시예 중 제작예3 소자의 안정성을 보여주는 도표.

[21]

[22] - 부호의 설명

[23] 110 기판 120 게이트전극

[24] 130 게이트절연층 140 활성층

[25] 151 제1전극 152 제2전극

[26]

발명의 실시를 위한 최선의 형태

[27] 이하 첨부된 도면을 참조하여 본 발명을 보다 상세히 설명한다. 그러나 이러한 설명은 본 발명의 기술적 사상의 내용과 범위를 쉽게 설명하기 위한 예시일 뿐, 이에 의해 본 발명의 기술적 범위가 한정되거나 변경되는 것은 아니다. 이러한 예시에 기초하여 본 발명의 기술적 사상의 범위 안에서 다양한 변형과 변경이 가능함은 당업자에게는 당연할 것이다. 이하의 도면에서 각 구성요소의 크기나 두께, 형상 등은 과장되거나 단순화되어 있을 수 있다.

[28] 본 명세서에서 "상부" 또는 "상" 또는 "위"는 서로 직접적으로 접촉하여 바로 위에 위치하는 것 뿐 아니라 다른 층을 매개로 하여 비접촉적으로 위에 위치하는 것 역시 포함할 수 있다. 또한 본 명세서에서 'A(층)/B(층)'이란 B(층) 위에 (A)층이 직접 접촉하여 적층되어 있음을 의미한다.

[29]

[30] 본 발명은, 질소-도핑 그래핀층을 포함하는 활성층을 가지는 것을 특징으로 하는 TFT에 관한 것이다. 보다 구체적으로 본 발명은, 게이트전극; 상기 게이트전극 위에 위치한 게이트절연층; 상기 게이트절연층 위의 일부 영역에 위치하며 질소-도핑 그래핀층을 포함하는 활성층; 상기 활성층의 일측 영역 위에 위치한 제1전극; 상기 활성층의 타측 영역 위에 위치한 제2전극;을 포함하는 그래핀 기반의 TFT인 것을 특징으로 한다.

[31] 도 1에 본 발명의 일 실시예에 따른 박막 트랜지스터의 개념적 사시도를 도시하였다. 도 1에 예시된 박막 트랜지스터는 게이트전극(120)이 활성층(140) 아래에 구비되는 바텀(bottom) 게이트 구조의 박막 트랜지스터이다. 기판(110) 상에 게이트전극(120)이 구비될 수 있다. 기판(110)은 유리 기판일 수 있지만, 그 밖의 다른 기판, 예컨대, 플라스틱 기판이나 실리콘 기판 등 통상의 반도체소자 공정에서 사용되는 다양한 기판 중 어느 하나일 수 있다. 게이트전극(120)은 일반적인 도전성 물질, 예를 들면 금속, 폴리실리콘, 도전성 산화물 등으로

형성될 수 있는데, 본 발명의 실시예에서는 highly-doped p-Si와 직접 성장된 그래핀을 적용하였다.

[32] 상기 게이트전극(120)을 덮는 게이트절연층(130)이 구비된다. 게이트절연층(130)은 실리콘 산화물층, 실리콘 질산화물층이나 실리콘 질화물층을 포함할 수 있으나, 그 밖의 다른 물질층, 예컨대, 실리콘 질화물층보다 유전상수가 큰 고유전물질층을 포함할 수도 있다. 게이트절연층(130)은 이와 같은 고유전물질층 중 적어도 두 층 이상이 적층된 구조를 가질 수도 있다. 본 발명의 실시예에서는 SiO_2와 Al_2O_3를 적용하였다.

[33] 본 발명에 의한 TFT의 게이트절연층(130) 상에는 질소-도핑 그래핀층을 포함하는 활성층(140)이 구비된다. 이때 상기 질소-도핑 그래핀층은, *in-situ* 성장법에 의하는 것, 즉 무산소 분위기에서 그래핀층이 증착되고 연속하여 도핑되는 것, 예를 들면 동일한 장비 내에서 연속하여 그래핀층이 증착되고 질소-도핑되는 것이 바람직하다.

[34]

[35] 도면에서는 활성층(140)의 폭을 게이트전극(120)의 폭보다 다소 작게 도시하였으나, 경우에 따라서는 게이트전극(120)의 폭과 유사하거나 그보다 클 수도 있다.

[36] 본 발명에 의한 TFT의 활성층(140) 위에는 제1 및 제2영역에 서로 이격된 상태로 마주보며 활성층(140)에 접촉된 제1전극(151) 및 제2전극(152)이 구비될 수 있다. 제1전극(151)은 활성층(140)의 일단에 접촉될 수 있고, 제2전극(152)은 활성층(140)의 타단에 접촉될 수 있다. 제1전극(151) 및 제2전극(152)은 일반적인 도전성 물질, 예를 들면 금속, 폴리실리콘, 도전성 산화물 등으로 형성될 수 있다. 본 발명의 실시예에서는 제1전극(151) 및 제2전극(152)으로 Au/Ti와 그래핀/Ti를 적용하였다.

[37] 제1전극(151) 및 제2전극(152)이 전도성 물질층과 Ti층을 포함하는 경우, 무산소 분위기에서 Ti층이 증착되고 이어서 전도성 물질층이 증착되어지는데, 예를 들면 동일한 장비 내에서 연속하여 Ti와 전도성물질이 증착되는 것이 바람직하다.

[38] 제1전극(151), 제2전극(152) 및 게이트전극(120)은 동일한 물질층일 수 있다. 제1전극(151) 및 제2전극(152)은 단일층 또는 다중층일 수 있다. 제1전극(151) 및 제2전극(152)의 형태 및 위치는 달라질 수 있다. 예컨대, 제1전극(151)은 활성층(140)의 일단에서 그와 인접한 게이트절연층(130) 영역 위로 연장된 구조를 가질 수 있고, 이와 유사하게, 제2전극(152)은 활성층(140)의 타단에서 그와 인접한 게이트절연층(130) 영역 위로 연장된 구조를 가질 수 있다. 또한 제1전극(151) 및 제2전극(152)은 활성층(140)의 양단(즉, 일단 및 타단)이 아닌 다른 두 영역에 접촉하도록 구비될 수도 있다.

[39] 도 1에 도시되지는 않았으나, 본 발명에 의한 박막 트랜지스터에는 활성층(140)을 덮는 식각 정지층이 추가로 구비될 수 있다. 식각 정지층은

제1전극(151) 및 제2전극(152)을 형성하기 위한 식각 공정에서, 상기 식각에 의해 활성층(140)이 손상되는 것을 방지하는 역할을 한다. 식각 정지층은 실리콘 산화물, 실리콘 질화물, 유기 절연물 등을 포함할 수 있다. 이때 제1전극(151)과 제2전극(152)은 식각 정지층에 형성된 소정의 홀을 통해 활성층(140)에 전기적으로 연결된다.

[40] 본 발명에 의한 TFT는, 노출된 게이트전극(120), 게이트절연층(130), 활성층(140), 제1전극(151) 및 제2전극(152)을 덮는 통상의 보호층(passivation layer)이 구비될 수 있다(도시 생략). 보호층은 실리콘 산화물층, 실리콘 질산화물층, 실리콘 질화물층 또는 유기절연층이거나, 이들 중 적어도 두 개 이상이 적층된 구조를 가질 수 있다.

[41]

[42] 이상과 같은 본 발명에 의한 TFT는 다음과 같은 방식으로 활성층 형성단계가 이루어질 수 있다.

[43] 먼저, 게이트절연층 위에 형성될 활성층의 형태에 대응되는 shadow mask를 부착하고 3~10 ㎚ 두께의 티타늄 막을 증착한다. 이어서 무산소 분위기를 유지하면서 *in-situ*로 remote 플라즈마 보조 화학기상증착에 의해 티타늄 막 위에 그래핀 박막을 성장시킨다. 이에 의해 본 발명에서는 전사(transfer)하는 과정 없이 그래핀층이 티타늄층을 매개로 게이트절연층 위에 안정적으로 밀착 형성된다. 이렇게 성장된 그래핀 박막에 remote 플라즈마 처리하여 그래핀 박막에 소정의 데미지를 가한다. 적절한 데미지를 위한 플라즈마 처리조건은 하기 실시예에 기재하였다. 이어서 데미지를 가한 그래핀 박막을 N_2 분위기하에서 remote 플라즈마에 노출시켜 질소-도핑한다. 이렇게 전사하는 과정 없이 그래핀층을 직접 *in-situ*로 형성함으로써 고품질과 고안정성의 TFT가 가능하게 되는 것이다. 하기 실시예에서는 티타늄 박막 형성 전에 게이트절연층 위에 shadow mask를 부착하였으나, 상황에 따라서는 '티타늄 박막 형성 후 ~ 그래핀층 질소-도핑 후'의 임의의 단계에서 활성층을 패터닝하는 방법을 택할 수도 있을 것이다.

[44] 도시하지는 않았지만, 이렇게 제작된 TFT가 외부로 노출되면 그래핀층 아래의 Ti층이 부분적으로 산화되어 TiO_{2-x}로 변환되는 것이 확인되었다. 이에 본 명세서에서는 시점에 따라서 '그래핀/Ti' 또는 '그래핀/TiO_{2-x}'를 혼용하여 표시하였다.

[45] 본 발명에 의한 TFT는 제작 후에 100~400℃에서 소정시간 어닐링과정을 거치는 것이 바람직하다. 이는 제1과 제2 전극 증착과정에서 발생할 수 있는 플라즈마 데미지를 제거하기 위한 것으로서, N-doped graphene의 특성에 직접 영향을 미치는 것은 아니다. 하기 실시예에서 확인되었듯이, 적절한 어닐링에 의해 트랜지스터의 작동특성이 월등히 개선된다. 어닐링 온도와 시간은 대략 비대칭관계이므로 당업자가 적절한 어닐링 조건을 선택할 수 있을 것이다.

[46] 이상에서 바텀 게이트 구조의 박막 트랜지스터를 위주로 설명하였으나,

게이트전극(120), 게이트절연층(130), 활성층(140), 제1전극(151) 및 제2전극(152)이 도 1과 달리 개념적으로 뒤집혀진 탑 게이트 구조의 박막 트랜지스터에서 역시 동일 또는 유사하게 적용될 수 있음은 본 발명이 속한 기술분야 통상의 기술자에게는 당연할 것이다.

[47]

[48] 아래 실시예에서 확인되었듯이, 본 발명에 의한 박막 트랜지스터는 I_{on}/I_{off} 가 10^9 이상, mobility 300 이상, Vth (문턱전압) 0.3 V 이하, Subthreshold Swing 0.1 V 이하로 매우 우수한 특성을 나타낸다. 따라서 본 발명에 의한 박막 트랜지스터는 능동행렬(active matrix) 디스플레이 예컨대, 액정 디스플레이나 유기 발광 디스플레이, UHD(ultra high definition) 영상을 제공하는 차세대 고해상도 AMLCD(active matrix liquid crystal display), AMOLED(active matrix organic light emitting diode) 등 디스플레이의 화소 스위칭 소자나 구동 소자로 사용될 수 있을 것이다. 이 외에도 본 발명에 의한 박막 트랜지스터는 메모리소자 및 논리소자 등 다른 전자소자 분야에 다양한 용도로 활용될 수 있음은 당연하다.

[49]

[50] **[실시예]**

[51] 본 발명에 의한 박막 트랜지스터를 제작하고 그 특성을 평가하였다.

[52] **1. 박막 트랜지스터의 제작**

[53] 기판-게이트층-게이트절연층-활성층-전극을 각각 다음 표 1과 같은 재질로 본 발명에 의한 TFT를 제작하였다. 제작예1, 2에서는 게이트전극이 기판 역할을 한다.

[54] [표1]

	제작예1	제작예2	제작예3
기판			polyimide
게이트전극	highly doped p-Si		graphene/Ti
게이트절연층	SiO_2 (100 nm)		Al_2O_3 (~ 40 nm)
활성층	N-doped graphene/Ti		
제1, 제2전극	Au/Ti	graphene/Ti	

[55] 이때 활성층 형성 공정은 '게이트절연층 위에 Ti층 형성 → Ti층 위에 그래핀층 형성 → 그래핀층 데미지 → 그래핀층 도핑'의 순서로 이루어졌는데, 최소한 각 과정 및 과정과 과정 사이는 무산소분위기에서 수행되었다.

[56]

[57] (1) 활성층 형성

[58] 하기 제작예에서 그래핀층의 형성, 그래핀층의 데미지 조건과 데미지된 그래핀층의 질소-도핑조건은 사전 실험에 의해 결정하였다. 그러나 이렇게 결정된 조건과 다른 공정조건을 배제하는 것은 아니다.

[59]

[60] ① 게이트절연층 위에 그래핀/Ti층 형성

[61] SiO_2(제작예1, 2) 또는 Al_2O_3(제작예3) 절연층 위에 다음 조건에서 스퍼터링 방식으로 3~10 ㎚ 두께의 티타늄 막을 150℃에서 증착하였다; dc power 20W, 작업압력 0.4 Pa, 증착시간 3분, 건과 건 사이 간격 10cm, 플라즈마와 기판 사이 간격 10cm.

[62] 이어서 연속된 무산소분위기를 유지하면서 하기 표 2에 제시된 조건에서 Ti층 위에 그래핀층을 형성하였다.

[63] [표2]

Parameters	Graphene Synthesis Condition
Gas Injection	$H_2/Ar/CH_4$ =10/10/0.3 sccm
Working Temperature	150°C
Working Pressure	1.8torr
Plasma Power	70W
Working Time	2h
T-T distance	10cm
T-S distance	10cm

[64] ② 그래핀층의 데미지 조건 결정

[65] 도핑전 그래핀의 적절한 데미지 조건을 결정하기 위해 Ar 플라즈마 노출

시간을 조절하였다. 도 2에 도시된 조건에서 Ar 플라즈마 노출(이때 건과 건 사이 간격 10cm, 플라즈마와 기판 사이 간격 13cm) 시간은 15, 30, 45초로 변화를 주었으며 데미지 정도를 라만피크, 면저항, 투명도로 확인하였다(도 2 참조). 각 샘플들에 데미지를 준 후 Pristine 그래핀의 특성과 비교를 하였다. Ar 플라즈마에 15초 노출시킨 샘플은 라만피크와 투명도에서는 변화를 보이지 않았지만 면저항이 약간 상승하는 것을 통하여 에칭(데미지)이 거의 되지 않은 것으로 판단되었다. 30초 노출시킨 샘플은 라만피크에서 약간의 D peak (그래핀의 결함을 의미) 생긴 것을 통하여 적절한 플라즈마 데미지가 이루어짐을 확인할 수 있었고 면저항과 투명도 측정에서도 그래핀이 데미지를 받음을 확인하였다. 45초 노출시킨 샘플은 라만피크에서 그래핀이 완전히 에칭되어 사라진 것을 확인하였다. 따라서 이상과 같은 처리조건에서는 30초 전후 예를 들면 25~35초 정도의 데미지를 주는 것이 적절한 것으로 확인되었다. 그러나 처리조건이나 환경에 따라서 처리시간이 달라질 수 있음은 당연할 것이다.

[66]

[67] ③ 그래핀층의 질소-도핑조건 결정

[68] Ar 플라즈마 처리를 30초 진행한 후 N_2 플라즈마를 이용하여 질소-도핑을 진행하였다. 적절한 도핑정도를 조절하기 위하여 도핑시간은 30초로 고정하고 N_2 가스의 양을 0.3, 0.5, 1.0 sccm 으로 조절하였다. N_2 0.3 sccm 플라즈마에 노출(이때 건과 건 사이 간격 10cm, 플라즈마와 기판 사이 간격 13cm)시킨 샘플은 G peak 이 1576 cm^{-1}에서 1580 cm^{-1} 로 전형적인 질소-도핑 peak 효과를 나타내었다. 면저항 역시 질소-도핑의 효과로 적절히 증가하였으며, 질소-도핑 후 투명도는 Ar 에칭 후(질소-도핑 전) 투명도와 유사하였다. 이를 통하여 N_2 0.3 sccm 플라즈마에 노출된 샘플은 에칭이 되지 않고 질소-도핑이 적절히 이루어졌음을 확인하였다. N_2 0.5, 1.0 sccm 플라즈마에 노출된 샘플들은 에칭이 이루어져 그래핀은 사라지고 약간의 CN 이 형성되었음이 라만 측정을 통해서 확인되었다(도 3 참조). 검사결과 가스를 0.3sccm 이하로 공급하는 것이 적절한 것으로 확인되었다. 이 경우에도 역시 처리조건이나 환경에 따라서 처리시간이 달라질 수 있음은 당연할 것이다.

[69]

[70] (2) 제작예1

[71] 통상의 방법에 따라 하이 도핑(high doping)된 p-Si 위에 100nm 두께로 SiO_2 절연층을 형성하였다. 이어서 절연층 위에 활성층의 패터닝을 위해 shadow mask 를 기판 위에 부착한 다음 전술한 조건으로 Ti층 및 연속해서 그래핀층을 직접 성장시킨 후, 그대로 그래핀층을 데미지 및 그래핀층 질소-도핑하여 활성층을 완성하였다.

[72] 제1전극/제2전극 mask를 활성층이 패터닝된 기판에 정밀하게 배치하고, 하기 제시된 조건에서 스퍼터링 방식으로 Ti층(10 nm 두께)과 Au층(50 nm 두께)을 연속 증착하여 제1전극과 제2전극을 형성하였다. [Ti층 : dc power 20 W,

기저압력 6.6×10 $^{-4}$ Pa, 작업압력 0.4 Pa, 증착시간 3분 / Au층 : dc power 12W, 기저압력 6.6×10 $^{-4}$ Pa, 작업압력 0.4 Pa, 증착시간 3분30초] 본 제작예에서는 제1전극과 제2전극을 Ti층과 Au층을 적용하였으나, 전도성 소재의 단층으로 하는 것을 배제하는 것은 아니다.

[73] 제작예1에서 활성층은 대략 800×1200 ㎛, 제1전극과 제2전극은 대략 800 ㎛ (width) 크기이고, 제1전극과 제2전극 사이의 간격은 대략 200㎛ (length) 정도가 되도록 하였다(도 4의 B 참조). 이는 본 발명자 그룹이 보유하고 있는 shadow mask의 사이즈에 의한 것으로서, 사이즈가 작을수록 TFT 특성은 향상되는 것이므로 본 제작예가 활성층이나 제1, 2전극의 사이즈를 제한하고자 하는 것은 아니다.

[74] 제작된 트랜지스터(도 4의 A 참조)를 상온~300℃에서 어닐링하였다.

[75]

[76] (3) 제작예2

[77] 전술한 방식으로 Ti층(10 nm 두께) 위에 그래핀층(단층, 0.4 nm 두께)을 직접 성장시켜 제1전극과 제2전극을 형성한 점을 제외하고는 제작예1과 동일하게 제작하였다(도 5 참조).

[78]

[79] (4) 제작예3

[80] 전술한 방식으로 폴리이미드 기판 위에 Ti층과 그래핀층을 무산소 분위기에서 *in-situ*로 직접 형성하여 게이트 전극으로 하고, Al_2O_3 (40 nm 두께)로 게이트 절연층을 구성한 것을 제외하고는 제작예2와 동일하게 제작하였다(도 6 참조).

[81]

[82] **2. 박막 트랜지스터의 특성**

[83] 이렇게 제작된 트랜지스터의 트랜스퍼 커브, 아웃풋 커브 및 어닐링 조건에 따른 트랜지스터 특성 등을 분석하였다.

[84] 도시하지는 않았지만, 이렇게 제작된 TFT가 외부로 노출되면 그래핀층 아래의 Ti층이 부분적으로 산화되어 TiO_{2-x}로 변환되는 것이 확인되었다.

[85]

[86] (1) 제작예1 트랜지스터

[87] 도 7에 도시된 것처럼 본 발명에 의한 제작예1 트랜지스터는 열처리 이전에도 4.23×10 ^{7} 의 매우 높은 온/오프 비를 나타내었고 72 cm^2/V.s 모빌리티 1.5 V 의 문턱전압, 0.50 V/decade 의 기존 질소-도핑 그래핀과 비교하였을 때 매우 우수한 특성을 나타내었다. 제작예1 트랜지스터를 200, 250, 300℃로 열처리 했을 때, 트랜지스터의 성능이 점차적으로 우수해지는 것을 확인할 수 있다. 이는, 제1전극과 제2전극을 DC 스퍼터링으로 Au, Ti를 증착할 때 발생하는 활성층과 전극층 계면사이에 발생하는 결함과 전극층이 증착될 때 발생하는 물리적 스트레스가 열처리로 인해 완화, 해소됨으로써 질소-도핑 그래핀 트랜지스터의 본연의 특성이 발현된 것으로 해석된다.

[88] 이러한 질소-도핑된 트랜지스터의 특성은 아래 표 3에서 볼 수 있듯이, 전류점멸비(on/off ratio, $I_{on/off}$), 모빌리티, 문턱 전압(threshold voltage), 서브문턱 스윙(subthreshold swing, S.S.) 등이 매우 우수한 것을 알 수 있다.

[89] [표3]

Parameter	No Annealing	200℃	250℃	300℃
I_{on}	1.13×10^{-4} A	4.31×10^{-4} A	6.60×10^{-4} A	6.90×10^{-4} A
I_{off}	2.65×10^{-12} A	1.67×10^{-12} A	1.76×10^{-13} A	1.75×10^{-13} A
I_{on} / I_{off}	4.23×10^{7}	4.97×10^{8}	3.75×10^{9}	3.84×10^{9}
Mobility	72 cm^2/V·s	127 cm^2/V·s	301 cm^2/V·s	303 cm^2/V·s
V_{th}	1.5 V	0.44 V	0.41 V	0.39 V
Subthreshold Swing	0.50 V/decade	0.21 V/decade	0.11 V/decade	0.11 V/decade

[90] (2) 제작예2 트랜지스터

[91] 도 8에 도시된 것처럼 제작예2 트랜지스터는 제1전극과 제2전극을 그래핀/Ti 전극으로 대체한 것이다. 제작예1 트랜지스터와 마찬가지로 200, 250, 300℃로 열처리했을 때, 온도가 높을수록 트랜지스터의 성능이 점차적으로 우수해지는 것을 확인할 수 있었는데, 그 이유는 앞서 설명한 것과 같다.

[92] 따라서 그래핀/Ti 전극이 Au/Ti 전극을 충분히 대체할 수 있음을 확인하였다.

[93] 또한 아래 표 4에서 볼 수 있듯이, Au/Ti 전극을 그래핀/Ti 전극으로 대체하여도 여전히 전류점멸비, 모빌리티, 문턱 전압, 서브문턱 스윙 등이 매우 우수한 것을 알 수 있다.

[94]

[표4]

Parameter	No Annealing	200℃	250℃	300℃
I_{on}	1.05×10^{-4} A	2.31×10^{-4} A	3.47×10^{-4} A	3.50×10^{-4} A
I_{off}	1.75×10^{-12} A	1.67×10^{-12} A	1.02×10^{-13} A	9.94×10^{-14} A
I_{on} / I_{off}	6.00×10^{7}	1.38×10^{8}	3.40×10^{9}	3.52×10^{9}
Mobility	101 cm^2/V·s	117 cm^2/V·s	291 cm^2/V·s	293 cm^2/V·s
V_{th}	1.38 V	0.44 V	0.34 V	0.33 V
Subthreshold Swing	0.34 V/decade	0.26 V/decade	0.10 V/decade	0.10 V/decade

[95]

[96] (3) 제작예3 트랜지스터

[97] 도 9에 도시된 것처럼 제작예3 트랜지스터는 투명하고 유연한 질소-도핑 그래핀 트랜지스터 구현을 위하여, 기존 Si 기반의 기판과 게이트 절연층을 유연성을 가진 PI 기판과 Al_2O_3 게이트 절연층으로 대체하고 그래핀/Ti 제1전극, 제2전극을 사용하여 제작하였다. 제작예1, 2와 마찬가지로 250℃에서 열처리 했을 때, 트랜지스터의 성능이 우수해지는 것을 확인할 수 있다. PI 기판의 열화현상 때문에 그 이상의 온도에서 열처리 테스트는 생략하였다.

[98] 또한 아래 표 5에서 볼 수 있듯이, 유연성 기판을 적용한 경우라도 전류점멸비, 모빌리티, 문턱 전압, 서브문턱 스윙 등이 매우 우수한 것을 알 수 있다.

[99]

[표5]

Parameter	No Annealing	250℃
I_{on}	1.53×10^{-7} A	2.29×10^{-4} A
I_{off}	1.14×10^{-12} A	1.01×10^{-13} A
I_{on} / I_{off}	1.34×10^{5}	2.26×10^{9}
Mobility	44 cm^2/V·s	260 cm^2/V·s
V_{th}	1.1 V	0.8 V
Subthreshold Swing	1.07 V/decade	0.22 V/decade

[100] 투명하고 유연한 질소-도핑 그래핀 트랜지스터를 제작한 제조예3의 소자 안정성을 NBS(Negative Bias Stress)와 NBIS(Negative Bias Illumination Stress) 측정을 통하여 확인하였다(도 10 참조). NBS 측정결과, 제조예3은 3600초 이후에도 측정값이 변하지 않는 매우 안정한 소자특성을 보여주었고 Illumination을 1500 lux 로 설정한 NBIS 측정에서도 매우 안정한 소자특성을 보여주었다. 이는 매우 안정하다고 보고된 ZnON-F(산화물 반도체, ACS Applied Materials & Interfaces, 2017, 9, 24688)과 비슷한 안정성으로 매우 우수한 특성이다.

청구범위

[청구항 1] 게이트전극;
상기 게이트전극 위에 위치한 게이트절연층;
상기 게이트절연층 위의 일부 영역에 위치하며 질소-도핑 그래핀층을 포함하는 활성층;
상기 활성층의 일측 영역 위에 위치한 제1전극;
상기 활성층의 타측 영역 위에 위치한 제2전극;을 포함하는 그래핀 기반의 TFT.

[청구항 2] 청구항 1에 있어서,
상기 질소-도핑 그래핀층은,
무산소 분위기에서 게이트 절연층 위에 Ti층이 증착된 후 연속해서 그래핀층이 직접 생성되고 도핑된 '질소-도핑 그래핀층/TiO_{2-x}층'인 것을 특징으로 하는 그래핀 기반의 TFT.

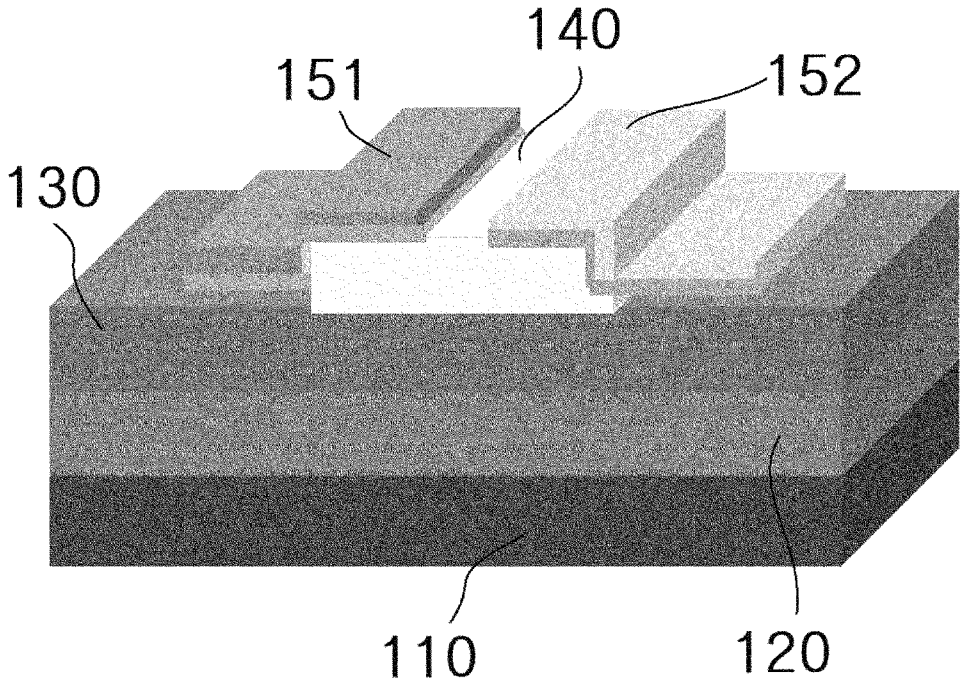
[청구항 3] 청구항 1 또는 청구항 2에 있어서,
상기 게이트전극이 그래핀층을 포함하는 것을 특징으로 하는 그래핀 기반의 TFT.

[청구항 4] 청구항 1 또는 청구항 2에 있어서,
상기 제1전극 및 제2전극은 '그래핀층/TiO_{2-x}층'을 포함하는 것을 특징으로 하는 그래핀 기반의 TFT.

[청구항 5] 활성층 형성단계가,
게이트절연층 위에 형성될 활성층의 형태에 대응되는 shadow mask를 부착하고 3~10 ㎚ 두께의 티타늄 막을 증착하는 소단계;
이어서 무산소 분위기를 유지하면서 in-situ로 remote 플라즈마 보조 화학기상증착에 의해 그래핀 박막을 성장시키는 소단계;
상기 성장된 그래핀 박막에 remote 플라즈마 처리하여 그래핀 박막에 소정의 데미지를 가하는 소단계;
상기 데미지를 가한 그래핀 박막을 N_2 분위기하에서 remote 플라즈마에 노출시켜 질소-도핑하는 소단계;를 포함하는 것을 특징으로 하는 청구항 1 또는 청구항 2에 의한 그래핀 기반의 TFT 제조방법.

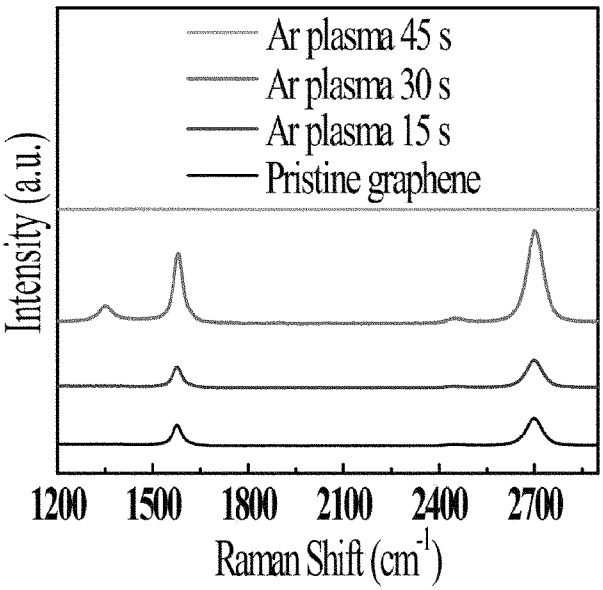
[청구항 6] 청구항 5에 있어서
상기 활성층 형성단계 이후에 제1 과 제2전극을 형성한 후 100~400℃에서 소정시간 어닐링하는 단계를 추가로 포함하는 것을 특징으로 하는 그래핀 기반의 TFT 제조방법.

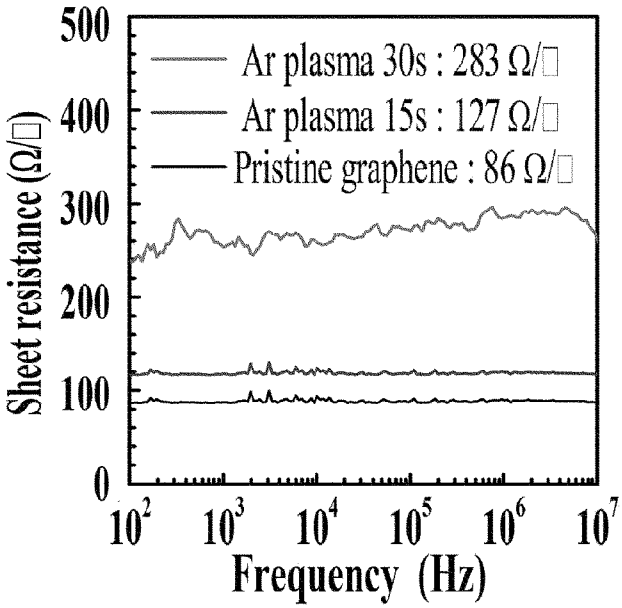
[도1]

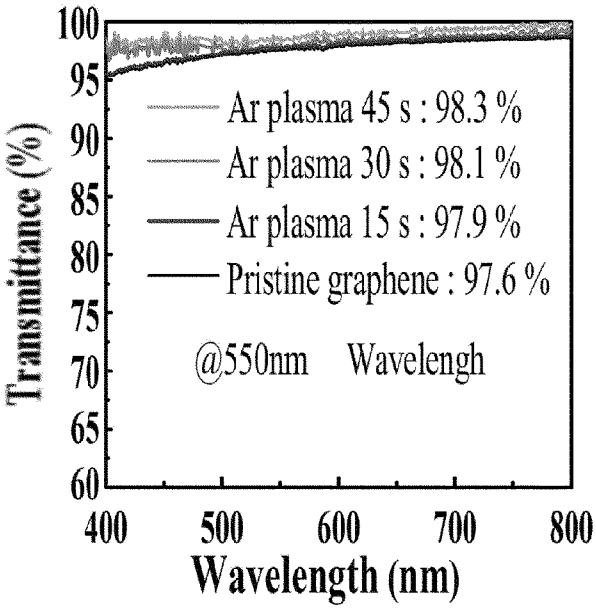


[도2]

Parameters	Experimental conditions
Plasma power	20 W
Base pressure	5×10^{-6} Torr
Gas flow (Ar)	10 sccm
Deposition temp.	Room Temperature
Working pressure	2mTorr
Working time	15s, 30s, 45s

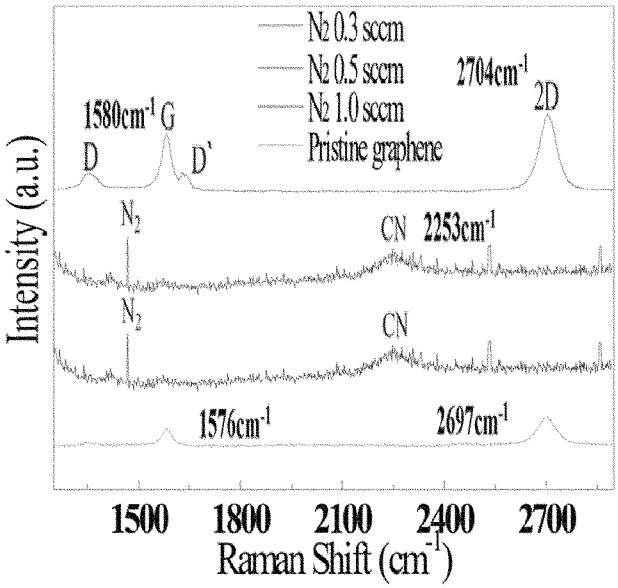


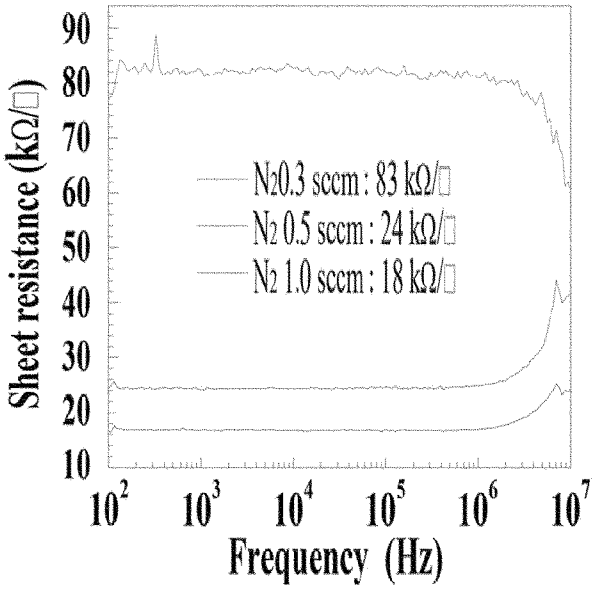


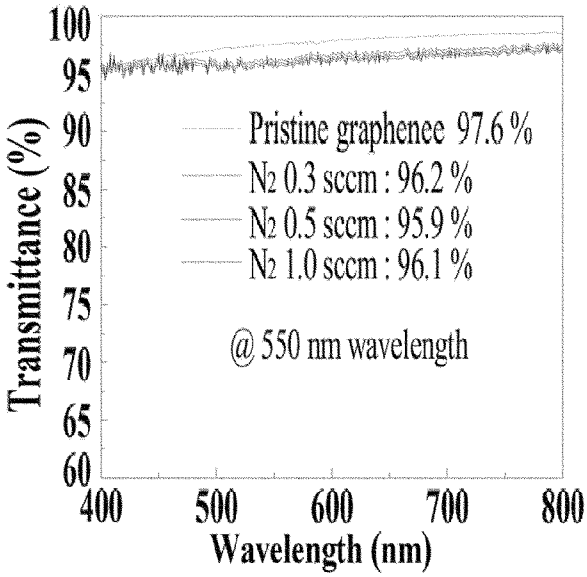


[도3]

Parameters	Experimental conditions
Plasma power	20 W
Base pressure	5×10^{-6} Torr
Gas flow (N_2)	**0.3, 0.5, 1.0 sccm**
Deposition temp.	Room Temperature
Working pressure	2 mTorr
Working time	30s

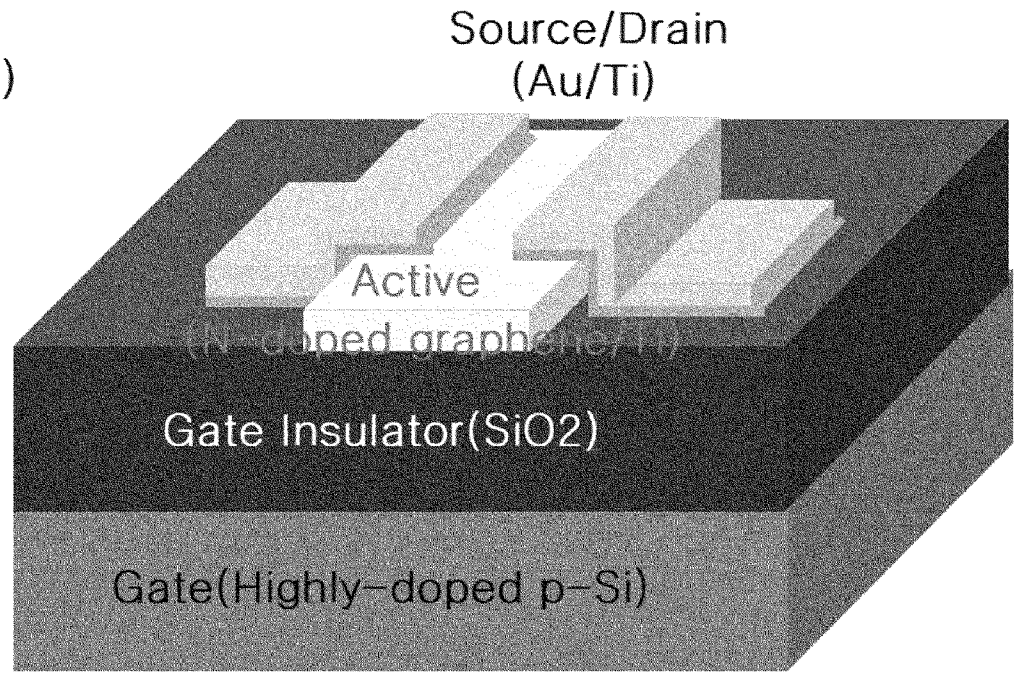




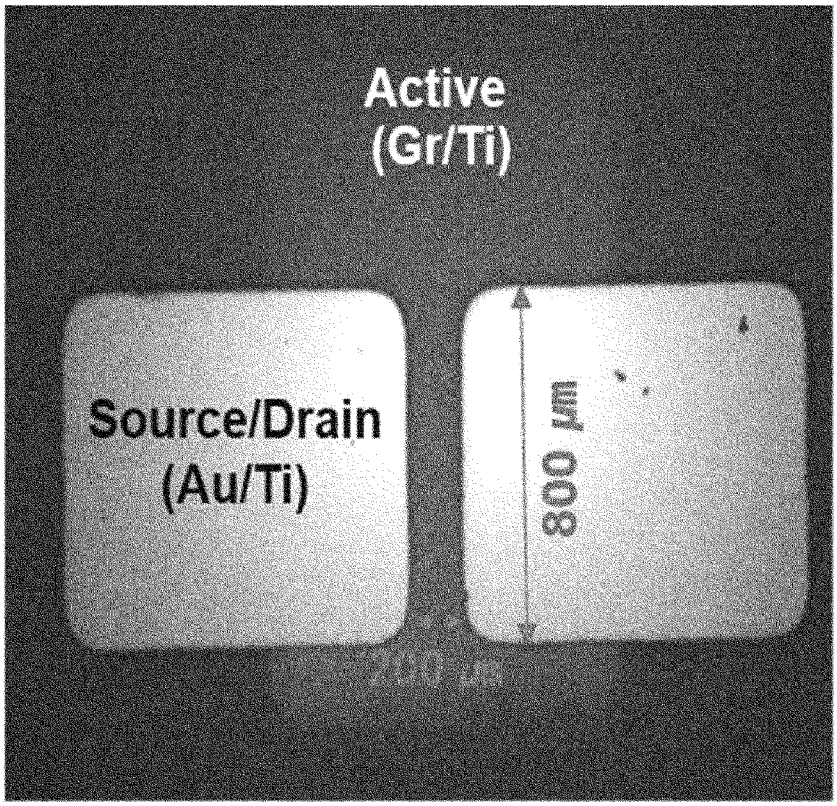


[도4]

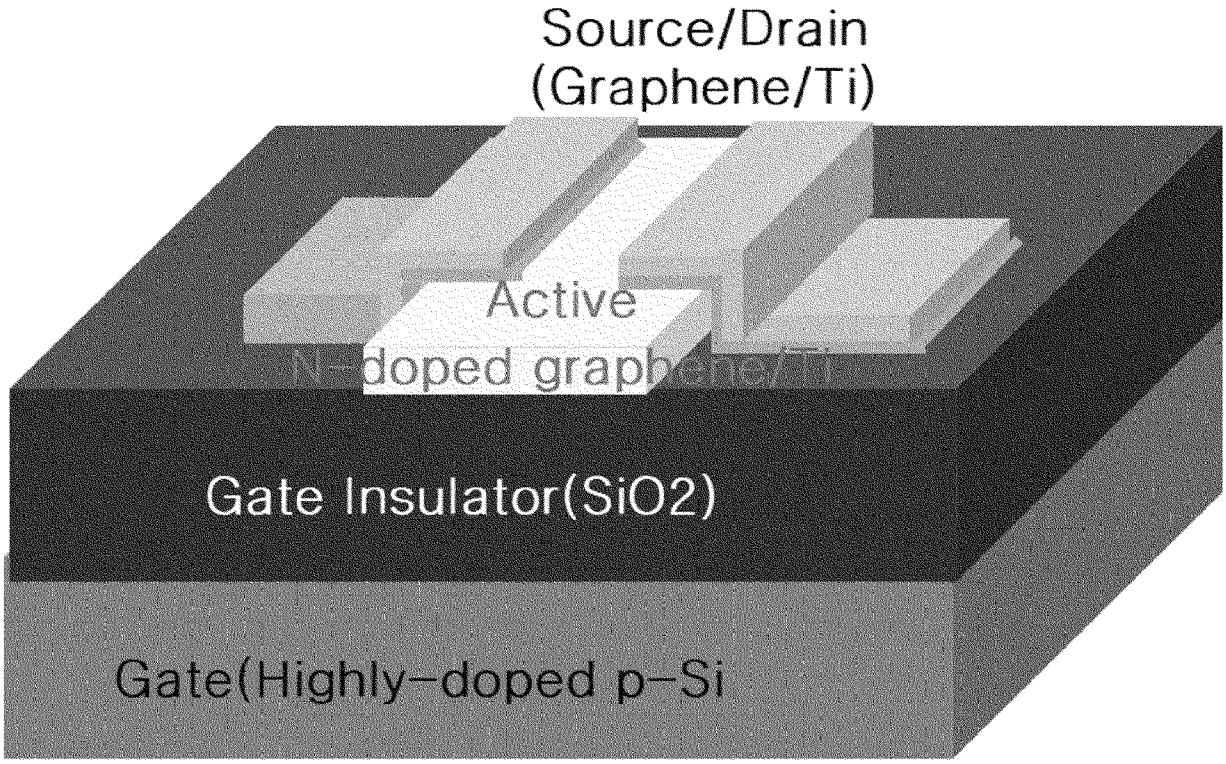
A)


Source/Drain
(Au/Ti)
Active
(N-doped graphene/Ti)
Gate Insulator(SiO2)
Gate(Highly-doped p-Si)

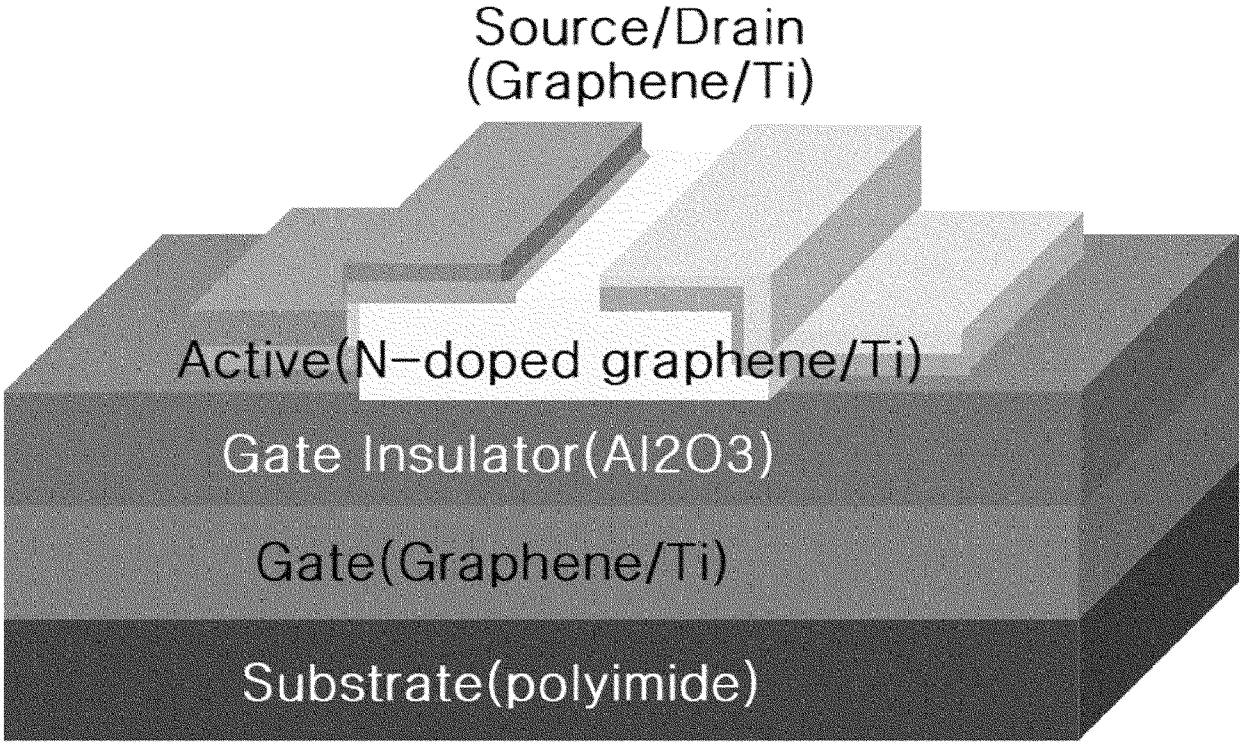
B)


Active
(Gr/Ti)
Source/Drain
(Au/Ti)
800 μm
200 μm

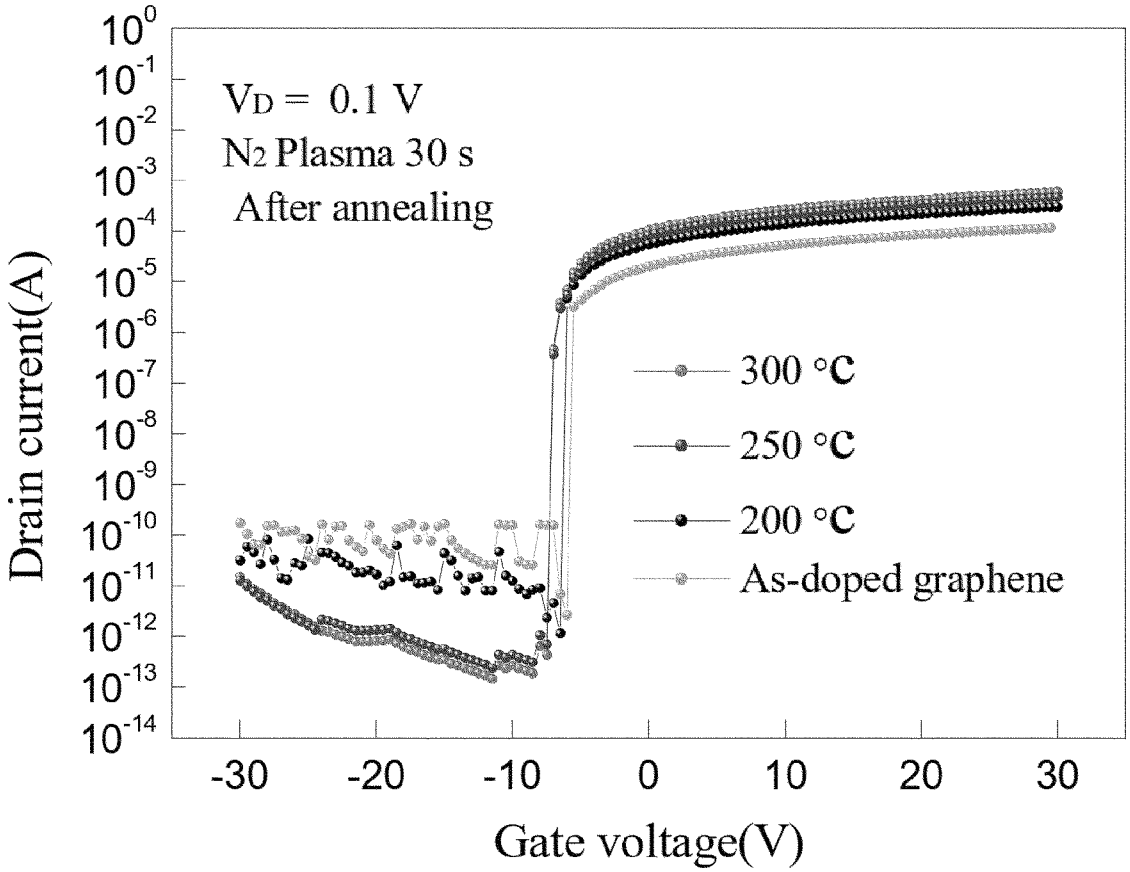
[도5]

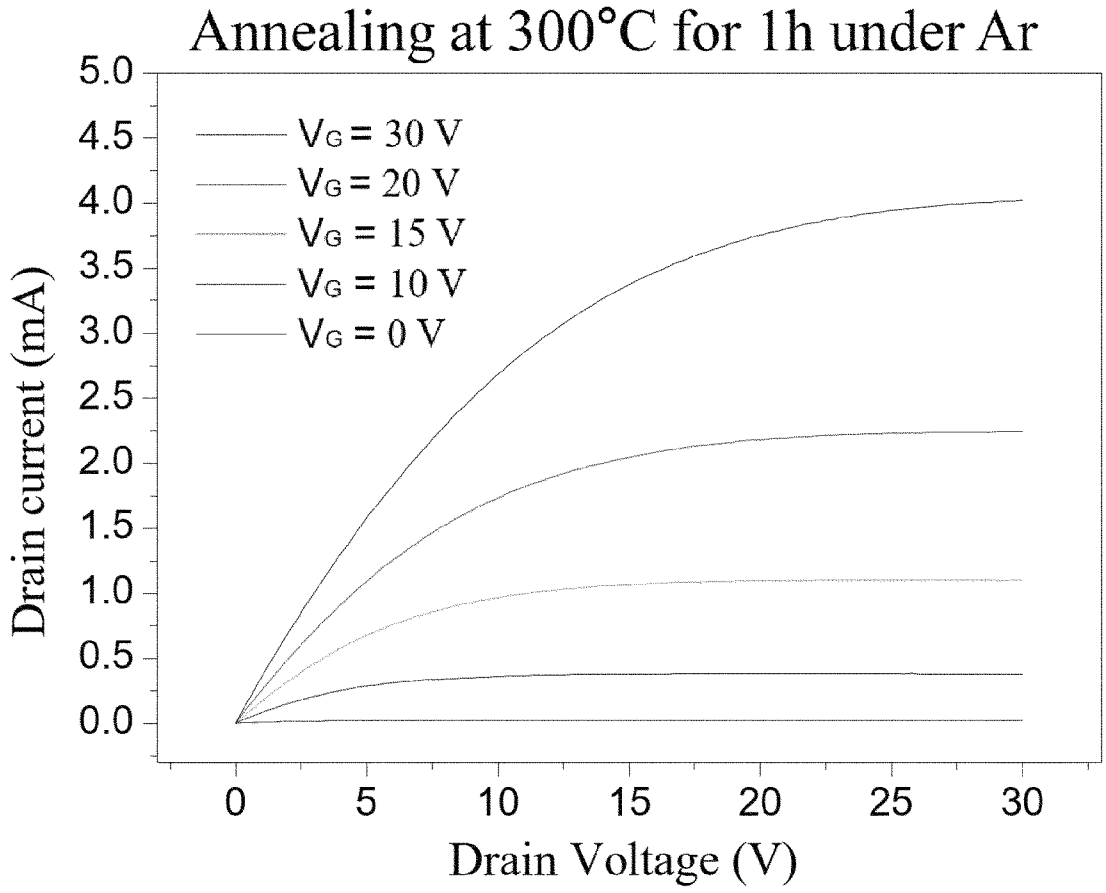

Source/Drain
(Graphene/Ti)
Active
(N-doped graphene/Ti)
Gate Insulator(SiO2)
Gate(Highly-doped p-Si

[도6]

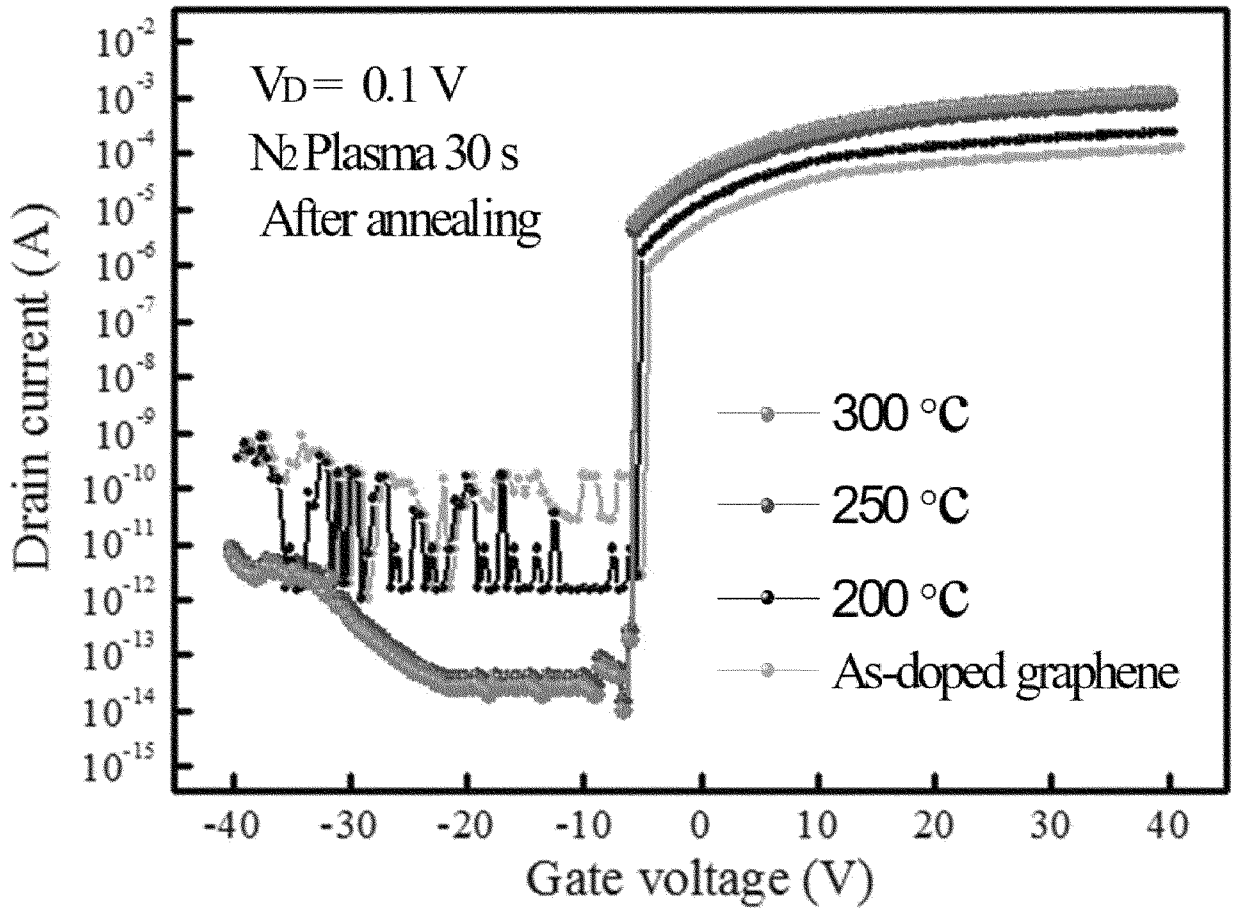

Source/Drain
(Graphene/Ti)
Active(N-doped graphene/Ti)
Gate Insulator(Al2O3)
Gate(Graphene/Ti)
Substrate(polyimide)

[도7]

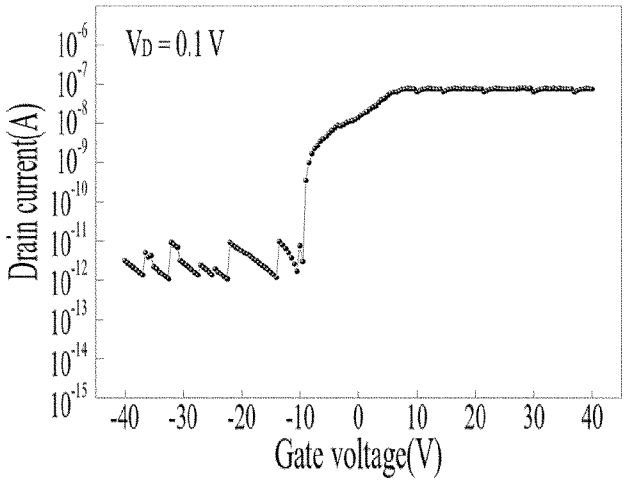

V_D = 0.1 V
N_2 Plasma 30 s
After annealing
300 °C
250 °C
200 °C
As-doped graphene
Drain current(A)
Gate voltage(V)

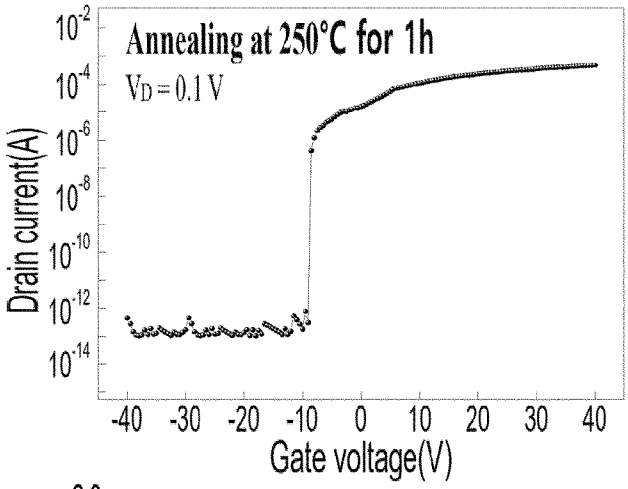

Annealing at 300°C for 1h under Ar
V_G = 30 V
V_G = 20 V
V_G = 15 V
V_G = 10 V
V_G = 0 V
Drain current (mA)
Drain Voltage (V)

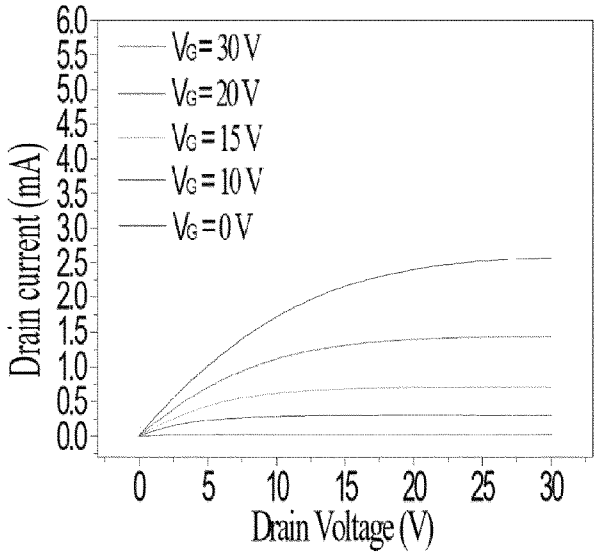
[도8]

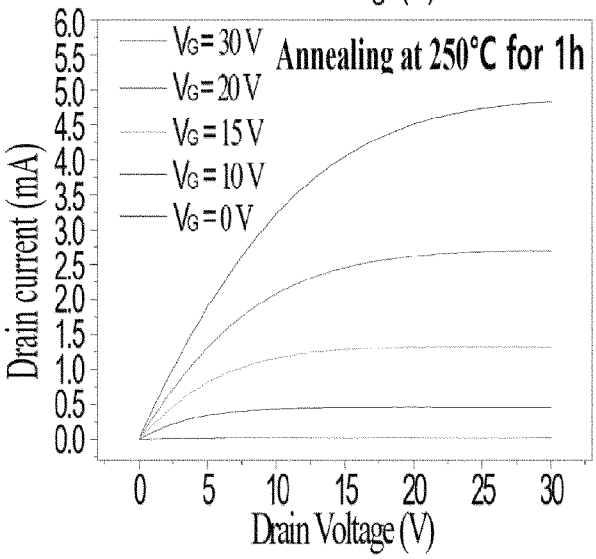

V_D = 0.1 V
N_2 Plasma 30 s
After annealing
300 °C
250 °C
200 °C
As-doped graphene
Drain current (A)
Gate voltage (V)
10^{-2}
10^{-3}
10^{-4}
10^{-5}
10^{-6}
10^{-7}
10^{-8}
10^{-9}
10^{-10}
10^{-11}
10^{-12}
10^{-13}
10^{-14}
10^{-15}
-40
-30
-20
-10
0
10
20
30
40

[도9]

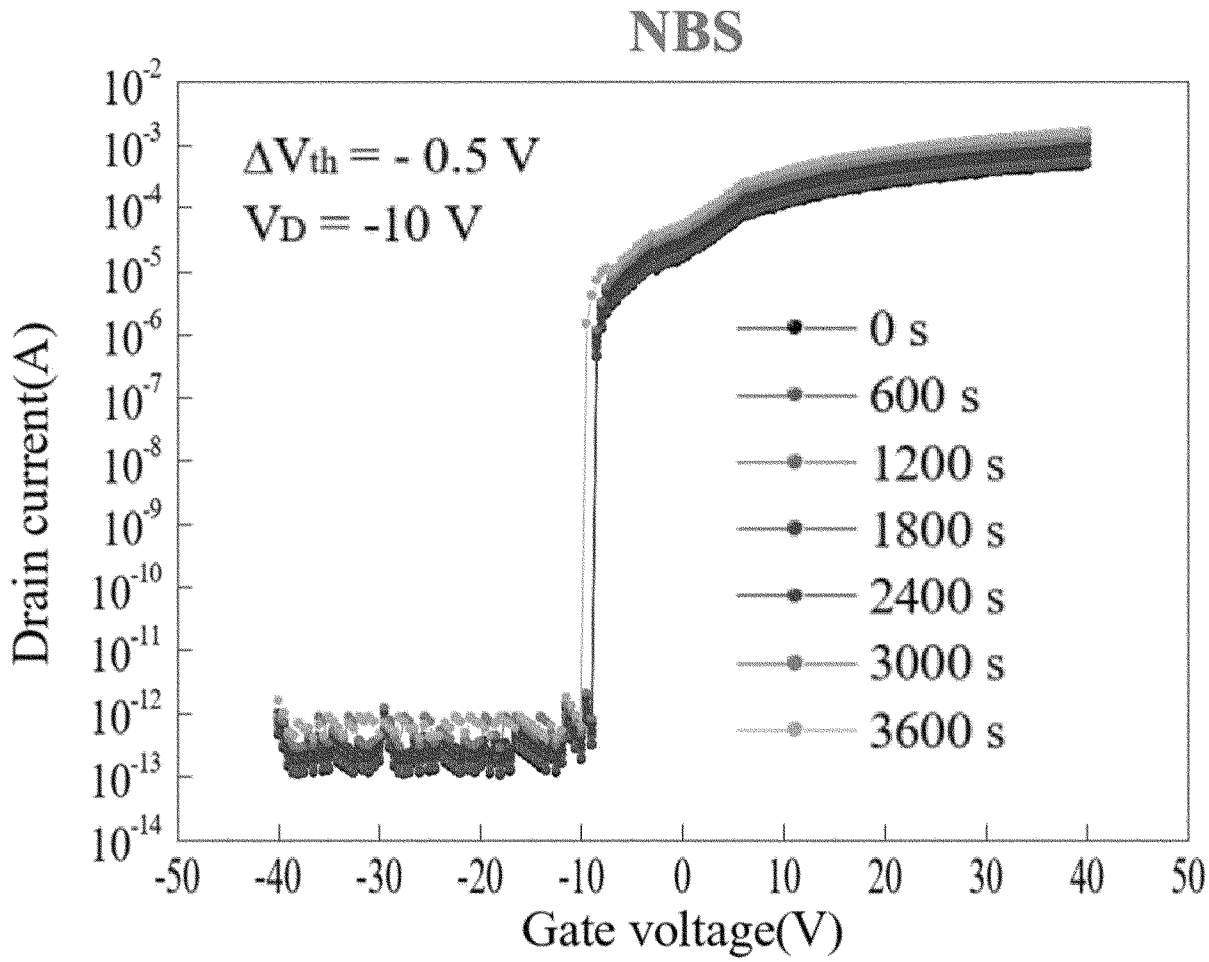

V_D = 0.1 V
Drain current(A)
Gate voltage(V)

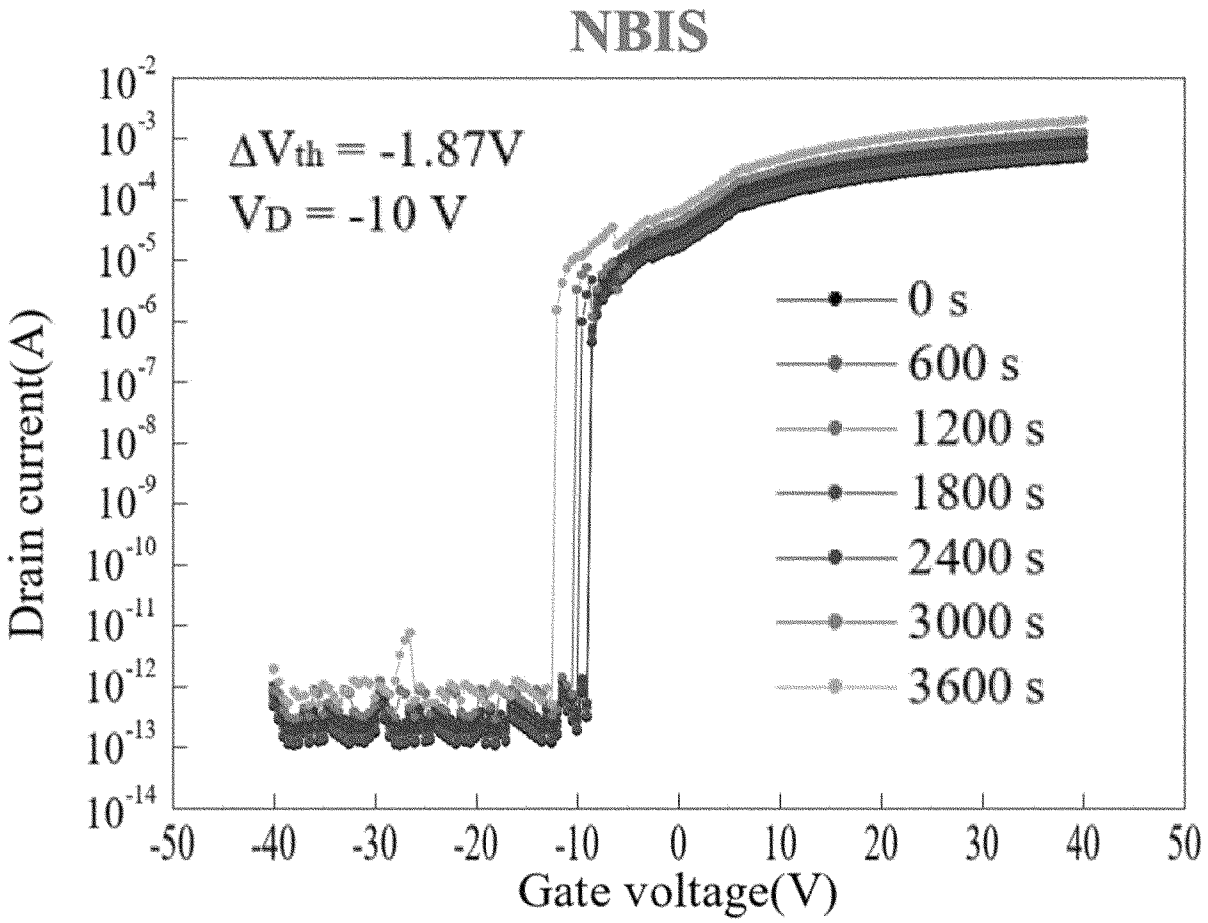

Annealing at 250°C for 1h
V_D = 0.1 V
Drain current(A)
Gate voltage(V)


V_G = 30 V
V_G = 20 V
V_G = 15 V
V_G = 10 V
V_G = 0 V
Drain current (mA)
Drain Voltage (V)


Annealing at 250°C for 1h
V_G = 30 V
V_G = 20 V
V_G = 15 V
V_G = 10 V
V_G = 0 V
Drain current (mA)
Drain Voltage (V)

[도10]


NBS
ΔVth = - 0.5 V
VD = -10 V
0 s
600 s
1200 s
1800 s
2400 s
3000 s
3600 s
Drain current(A)
Gate voltage(V)


NBIS
ΔVth = -1.87V
VD = -10 V
0 s
600 s
1200 s
1800 s
2400 s
3000 s
3600 s
Drain current(A)
Gate voltage(V)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2019/014120

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i, H01L 29/16(2006.01)i, H01L 21/324(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/786; B01J 19/14; B82B 3/00; C01B 31/02; C01B 31/04; H01L 51/00; H05B 3/03; H05K 13/00; H01L 29/16; H01L 21/324

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: TFT, doped nitrogen, graphene, titanium dioxide(TiO2), plasma

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-1739347 B1 (DAEGU GYEONGBUK INSTITUTE OF SCIENCE AND TECHNOLOGY) 25 May 2017 See paragraph [0059]; and figure 1.	1,3
Y		2,4-6
Y	SUN, Xiong et al. Visible-Light Driven TiO2 Photocatalyst Coated with Graphene Quantum Dots of Tunable Nitrogen Doping. Molecules 2019. 24, 344, pages 1-3, 18 January 2019, [Retrieved on 06 February 2020], Retrieved from <https://www.researchgate.net/publication /330492897> See abstract; and pages 1-2.	2,4-6
Y	KR 10-2013-0042845 A (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) 29 April 2013 See paragraph [0101]; and claims 7, 10-12.	5-6
A	US 2014-0021195 A1 (RESEACH & BUSINESS FOUNDATION SUNGKYUNKWAN UNIVERSITY) 23 January 2014 See paragraph [0068]; and figure 10.	1-6
A	KR 10-2014-0118282 A (INTELLECTUAL DISCOVERY CO., LTD.) 08 October 2014 See claim 1; and figure 1.	1-6

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 FEBRUARY 2020 (25.02.2020)	**25 FEBRUARY 2020 (25.02.2020)**
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2019/014120

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-1739347 B1	25/05/2017	KR 10-2016-0127252 A	03/11/2016
		US 2016-0315194 A1	27/10/2016
		US 9893199 B2	13/02/2018
KR 10-2013-0042845 A	29/04/2013	KR 10-1355933 B1	28/01/2014
US 2014-0021195 A1	23/01/2014	KR 10-1222639 B1	16/01/2013
		KR 10-2011-0093735 A	18/08/2011
		US 8816257 B2	26/08/2014
		WO 2011-099831 A2	18/08/2011
		WO 2011-099831 A3	29/12/2011
KR 10-2014-0118282 A	08/10/2014	KR 10-2055776 B1	13/12/2019

국 제 조 사 보 고 서

국제출원번호
PCT/KR2019/014120

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 29/786(2006.01)i, H01L 29/16(2006.01)i, H01L 21/324(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H01L 29/786; B01J 19/14; B82B 3/00; C01B 31/02; C01B 31/04; H01L 51/00; H05B 3/03; H05K 13/00; H01L 29/16; H01L 21/324

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: TFT, 질소 도핑(doped nitrogen), 그래핀(graphene), 이산화 타이타늄(TiO2), 플라즈마(plasma)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-1739347 B1 (재단법인대구경북과학기술원) 2017.05.25 단락 [0059]; 및 도면 1 참조.	1,3
Y		2,4-6
Y	XIONG SUN 등, 'Visible-Light Driven TiO2 Photocatalyst Coated with Graphene Quantum Dots of Tunable Nitrogen Doping', Molecules 2019, 24, 344, 페이지 1-3, 2019.01.18 요약; 및 페이지 1-2 참조. [검색일: 2020.02.06]. 출처<https://www.researchgate.net/publication/330492897>	2,4-6
Y	KR 10-2013-0042845 A (한국과학기술원) 2013.04.29 단락 [0101]; 및 청구항 7, 10-12 참조.	5-6
A	US 2014-0021195 A1 (RESEACH & BUSINESS FOUNDATION SUNGKYUNKWAN UNIVERSITY) 2014.01.23 단락 [0068]; 및 도면 10 참조.	1-6
A	KR 10-2014-0118282 A (인텔렉추얼디스커버리 주식회사) 2014.10.08 청구항 1; 및 도면 1 참조.	1-6

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"D" 본 국제출원에서 출원인이 인용한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2020년 02월 25일 (25.02.2020)	2020년 02월 25일 (25.02.2020)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
강성철
전화번호 +82-42-481-8405

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2019/014120

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1739347 B1	2017/05/25	KR 10-2016-0127252 A	2016/11/03
		US 2016-0315194 A1	2016/10/27
		US 9893199 B2	2018/02/13
KR 10-2013-0042845 A	2013/04/29	KR 10-1355933 B1	2014/01/28
US 2014-0021195 A1	2014/01/23	KR 10-1222639 B1	2013/01/16
		KR 10-2011-0093735 A	2011/08/18
		US 8816257 B2	2014/08/26
		WO 2011-099831 A2	2011/08/18
		WO 2011-099831 A3	2011/12/29
KR 10-2014-0118282 A	2014/10/08	KR 10-2055776 B1	2019/12/13