



[12] 发明专利申请公开说明书

[21] 申请号 02814790.1

[43] 公开日 2004 年 10 月 6 日

[11] 公开号 CN 1535538A

[22] 申请日 2002.6.25 [21] 申请号 02814790.1

[30] 优先权

[32] 2001.7.24 [33] US [31] 09/912,132

[86] 国际申请 PCT/IB2002/002545 2002.6.25

[87] 国际公布 WO2003/010974 英 2003.2.6

[85] 进入国家阶段日期 2004.1.21

[71] 申请人 皇家飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72] 发明人 蓝泽华 钟 淮

[74] 专利代理机构 中国专利代理(香港)有限公司

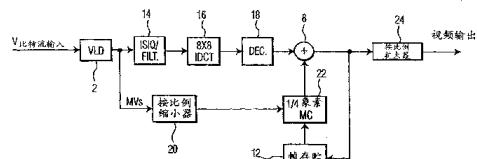
代理人 李亚非 张志醒

权利要求书 2 页 说明书 5 页 附图 4 页

[54] 发明名称 利用视频嵌入式缩放技术的降低复杂度的完全分辨率视频解码

[57] 摘要

本发明主要涉及利用嵌入式缩放技术以及外部比例变换功能对第一分辨率视频流进行译码，从而达到简化译码的计算复杂性的目的。根据本发明，生成第二较低分辨率的残留误差帧。运动补偿也在第二较低的分辨率生成。然后，残留误差帧和运动补偿帧结合起来生成视频帧。最后，将频帧的分辨率按比例提高到第一分辨率。



-
1. 用于以第一分辨率解码视频比特流的方法，包括以下步骤：
在第二较低分辨率上生成残留误差帧；
5 在第二较低分辨率生成运动补偿帧；
组合残留误差帧和运动补偿帧，以生成视频帧；
将视频帧提高到第一分辨率。
2. 权利要求 1 的方法，其中生成残留误差帧包括执行 8×8 逆离散变换，从而生成像素值。
10 3. 权利要求 2 的方法，其中以预先确定的采样率对像素值采样。
4. 权利要求 1 的方法，其中生成残留误差帧包括执行完成 4×4 逆离散变换。
5. 权利要求 1 的方法，其中生成运动补偿帧包括以预先确定的系数缩小运动向量，从而生成按比例运动向量。
15 6. 权利要求 5 的方法，其中运动补偿以成比例的运动向量为基础进行。
7. 权利要求 1 的方法，其中通过由重复像素值和线性插值法构成的一组技术中所选择一种方法实现提高。
8. 权利要求 1 的方法，其中在水平方向实现提高。
20 9. 权利要求 1 的方法，其中在残留误差帧分辨率减小的同一方向上实现提高。
10. 一种存储媒体包括用于第一分辨率视频比特串译码的码，
包括：
25 用于生成第二较低分辨率的残留误差帧的代码；
用于生成第二较低分辨率的运动补偿帧的代码；
用于组合残留误差帧和运动补偿帧从而生成视频帧的代码；以及
及
将视频帧扩展到第一分辨率的代码。
11. 一种用于以第一分辨率解码视频比特串的设备，包括：
30 生成第二较低分辨率的残留误差帧的装置；
生成第二较低分辨率的运动补偿帧的装置；
组合残留误差帧和运动补偿帧从而生成视频帧的装置；以及

将视频帧的分辨率提高到第一分辨率的装置。

12. 一种对第一分辨率解码视频比特流的装置，包括：

生成第二较低的分辨率的残留误差帧的第一个通道；

生成第二较低的分辨率的运动补偿帧的第二通道；

5 合并残留误差帧和运动补偿帧，从而生成视频帧的加法器；以
及

将视频帧的分辨率从第二分辨率提高到第一分辨率的扩展部
件。

利用视频嵌入式缩放技术的降低
复杂度的完全分辨率视频解码

5

本发明一般涉及视频压缩技术，更确切地讲，涉及到一种使用嵌入式缩放和外部比例变换技术相结合的解码技术，以便达到降低译码的计算复杂性之目的。

运用离散余弦变换（DCT）的视频压缩是一种在诸多国际标准中如 MPEG-1、MPEG-2、MPEG-4、H.262 已经被采用的技术。其中 MPEG-2 在 DVD、卫星 DTV 广播和美国数字电视 ATSC 标准中使用的最为广泛。

图 1 表示 MPEG 视频译码器的一个实例。MPEG 视频译码器是基于 MPEG 的消费视频产品的重要组成部分。这类产品中，期望在保证视频质量的同时尽量降低译码器的复杂性。

15 本发明涉及对视频比特流在使用嵌入式缩放的第一分辨率上进行译码，并结合使用外部比例变换功能，从而达到降低译码的计算复杂性之目的。根据此发明，残留误差帧在第二个较低的分辨率上生成。运动补偿帧也同样在第二个较低的分辨率上生成。其后，将残留误差帧和运动补偿帧相组合生成视频帧。此外，视频帧扩展到第一分辨率。

根据本发明，扩展可以选择包括重复像素值和线性插补等一系列技术之一来完成。而且，扩展是在与缩小残留误差帧的相同方向上进行的。在此发明所列举的一个实例中，扩展是在水平方向上进行的。

25 在此涉及的有关图表，通篇所对应各部分的参照数字均是一致的：

图 1 为 MPEG 译码器的框图。

图 2 为根据本发明的译码器的一个实例框图。

图 3 为根据本发明的译码器的另一个实例框图，以及

图 4 为根据本发明所构成的系统的一个实例框图。

30 本发明涉及结合使用外部比例变换技术的嵌入式缩放的译码，以达到降低译码的计算复杂性之目的。根据本发明，视频比特流使用嵌入式缩放以降低的输出分辨率被译码。然后利用外部比例变换技术将

视频输出提高到显示分辨率。由于嵌入式缩放可以在较低分辨率上执行反向离散余弦变换 (IDCT) 和运动补偿 (MC)，因此，可以降低译码的总体计算复杂性。

图 2 表示根据本发明的一种译码器的实例。可以看出，译码器有一个由可变长度译码器 (VLD) 2、反向扫描和反向量化 (ISIQ) / 滤波块 14, 8×8 IDCT 块 16 以及抽样块 18 构成的第一个通道。

在运行中，VLD2 将对输入的视频比特流译码，从而生成运动向量 (MV) 和 DCT 系数。然后，ISIQ/滤波块 14 反向扫描并反向量化从 VLD2 接收的 DCT 系数。在 MPEG-2 中，执行反向“之”字形扫描。最后，IDCT/滤波块 14 执行滤波，从而消除 DCT 系数中的高频率部分。

在这个实施例中， 8×8 IDCT 块 16 以 8×8 的块执行反向离散变换，生成像素值块。在执行 IDCT 之后，抽样模块 18 以预先确定的采样率对 8×8 IDCT 模块 16 的输出采样，以便降低要被译码的视频帧的分辨率。根据本发明，抽样模块 18 可以在水平、垂直方向上或两个方向上对像素值采样。

根据所需要的内部变换水平来选择抽样块 18 的采样率。在这个实施例中，因为使用了 $1/4$ 像素 MC 单元，为了提供 “ $1/2$ ” 的输出分辨率，因此，采样率为 “2”。但是，根据本发明，也可以选择其它采样率，以便得到不同的分辨率，如 “ $1/4$ ” 或 “ $1/8$ ”。在抽样模块 18 输出端，生成分辨率降低的已被译码的 I 帧和残留误差帧。可以看出，这些帧送到加法器 8 的一侧。

正如可以进一步看到的，译码器还包括一个由 VLD2、缩小单元 20、 $1/4$ 像素 MC22 单元和帧存储器 12 构成的第二通道。在运行过程中，缩小单元 20 按在第一个通道的缩小值按比例缩小由 VLD2 得到的运动向量 (MV) 的。这使运动补偿可以在降低的分辨率上实现，从而与在第一通道生成的帧相匹配。在这个实施例中，运动向量 MV 按系数 “2” 比例减少，从而与抽样块 18 的采样率相匹配。

根据按比例减小的 MV, $1/4$ 像素 MV 单元 22 对储存在帧 12 中的先前帧进行运动补偿。在这个例子中，因为 MV 已经按系数 “2” 比例减小，所以运动补偿将在 “ $1/4$ ” 分辨率上执行。在 $1/4$ 像素 MV 单元 22 的输出端，生成了分辨率已经降低的运动补偿帧。可以看出的，这些帧送到加法器 8 的另一侧。

5 在运行过程中，加法器 8 组合了来自第一个和第二通道的帧，生成分辨率降低的视频帧。可以看出，从加法器 8 输出的视频帧被送到外部扩展单元 24。由于扩展单元 24 被置于译码环路外，因此它是外部的。扩展单元 24 将视频帧的分辨率提高到全显示分辨率。分辨率的提高与译码环路内发生的分辨率的下降成比例。在这个实施例中，扩展单元 24 使视频帧的分辨率按系数“2”提高。

10 此外，扩展单元 24 可以根据内部的缩小情况在水平、垂直方向上或同时在这两个方向上提高分辨率。例如，如果比特流原来的分辨率为“ 720×480 ”，在内部缩小处理时降低至“ 360×480 ”，则扩展单元 24 应该在水平方向上将分辨率从“ 360×480 ”提高到“ 720×480 ”。

15 图 3 表示了根据此发明的另一种译码器的实例。除了第一个通道外，图 2 和图 1 的译码器相同。可以看出，在本实例中，第一个通道包括 VLD2、ISIQ/滤波/调整比例块 14 和 4×4 IDCT 块 26。所以，在本实例中，IDCT 是在降低的分辨率上执行的，从而进一步减少了解码的计算复杂性。

20 在运行过程中，ISIQ/滤波/调整比例块 40 反向扫描并反向量化从 VLD2 接收到的 DCT 系数。IDCT/滤波/调整比例模块 40 也执行滤波从而将高频从 DCT 系数中消除。但是，在这个实例中，IDCT/滤波/调整比例块 40 同时也对从 VLD2 接收的 DCT 系数进行缩小。在本实例中，IDCT/滤波/调整比例块 40 将从 VLD2 接收到的 8×8 DCT 块缩小为 4×4 块。

然后， 4×4 IDCT 块 26 对 4×4 块执行反向离散变换，从而生成像素值块。这时， 4×4 IDCT 块 26 的输出被送到加法器 8 的输入端之一。

25 正如上一个例子，加法器 8 将来自第一个和第二通道的帧组合起来生成分辨率降低的视频帧。如前所述，第一个通道 2、40、26 生成了解码的 I 帧和残留误差帧，而第二通道 12、20、22 生成运动补偿帧。扩展单元 24 将视频帧的分辨率提高至显示的全分辨率。在本实例中，扩展器也是同时在水平和垂直两个方向上按系数“2”提高分辨率。

30 根据本发明，图 2-3 的译码器可以通过硬件、软件或二者结合的方式实现。如果通过软件实现，推荐扩展器 24 使用简单的扩展技术，如重复像素值或利用线性内插。在其它具体实施方案中，扩展器 24 也可以硬件实现，因此可以使用更复杂的技术。例如，在 PHILIPS

5 TRIEMEDIA 芯片中，用一个专用的协处理器来实现缩放。这种协处理器使用可编程的 5 抽头滤波器配置，像其中附加素值基于 5 个像素的加权平均值被计算。所以，可以使用该专用处理器实现扩展单元 24，而译码器的其余部分可以在软件中实现，并可以在 PHILIPS TRIEMEDIA
处理器的 CPU 内核上运行。

10 图 4 表示了使用嵌入式缩放和外部扩展功能相结合的解码技术的系统的一个例子。例如，本系统可以代表电视、机顶盒、台式计算机、膝上或掌上计算机、个人数字助理（PDA）、视频/图像存储设备如盒式录像机（VCR）、数字视频录像机（DVR）、TiVO 设备等，以及这些设备的部分或者它们和其它设备的组合。该系统包括一个或多个视频源 28，一个或多个输入/输出设备 36，一个处理器 30，一个存储器 32 和一个显示器 38。

15 视频/图像源 28 可以是例如电视接收机、VCR 或其它视频/图像存储设备。视频/图像源 28 也可以是从一个或多个服务器接收视频信号的一个或多个网络连接，例如因特网这样的全球计算机通信网、广域网、城市网、城域网、地面广播网、有线网、卫星网、无线网、电话网，以及这些网的一部分或者它们和其它类型网络的组合。

20 输入/输出设备 36、处理器 30 和存储器 32 通过通信媒体 34 进行通信。通信媒体 34 可以是比如总线、通信网、一个或多个内部电路连接、电路板或其它设备，以及这些设备的部分或它们与其它通信媒体的组合。从视频/图像源 28 接收到的输入视频数据在处理器 30 中按照存储在存储器 32 中的一个或多个软件程序进行处理，以生成视频/图像输出到显示器 38。

25 在一个实施例中，使用嵌入式缩放和外部比例变换功能相结合的解码技术是通过由系统执行的计算机可读代码实现的。代码可以储存在存储器 32 中或从储存媒体如 CS-ROM 或软盘读出/下载。在其它实施例中，可以使用硬件电路代替或与软件指令结合来实现本发明。

30 上面我们用几个特例介绍了此发明，但应该认识到，不能认为此发明局仅限于在此列举的实例。例如，我们也利用 MPEG-2 框架介绍此发明。但是，必须注意的是，在此介绍的理念和方法对任何 DCT/运动预测方案也是适用的。就更普遍的意义而言，图片类型有不同的相互依赖性时任何基于帧的视频压缩技术都是适用的。因此，本发明应

涵盖相关的各种结构和改进，包括所附权利要求的精神实质和范围。

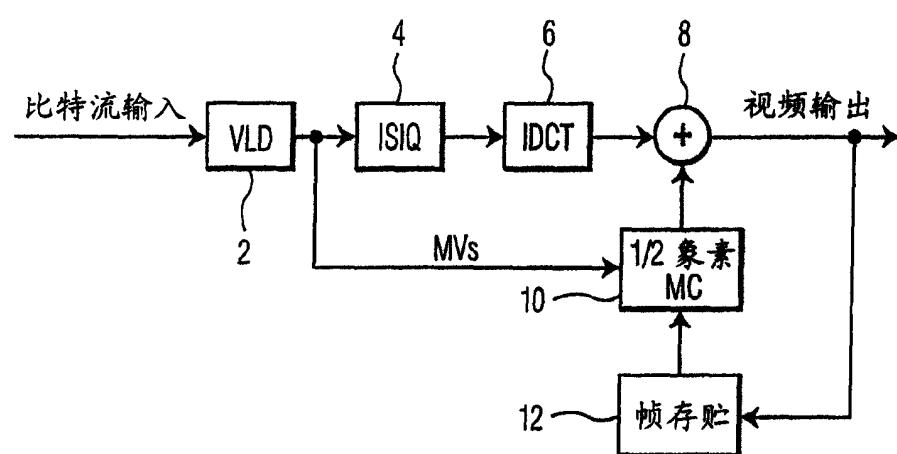


图 1
(现有技术)

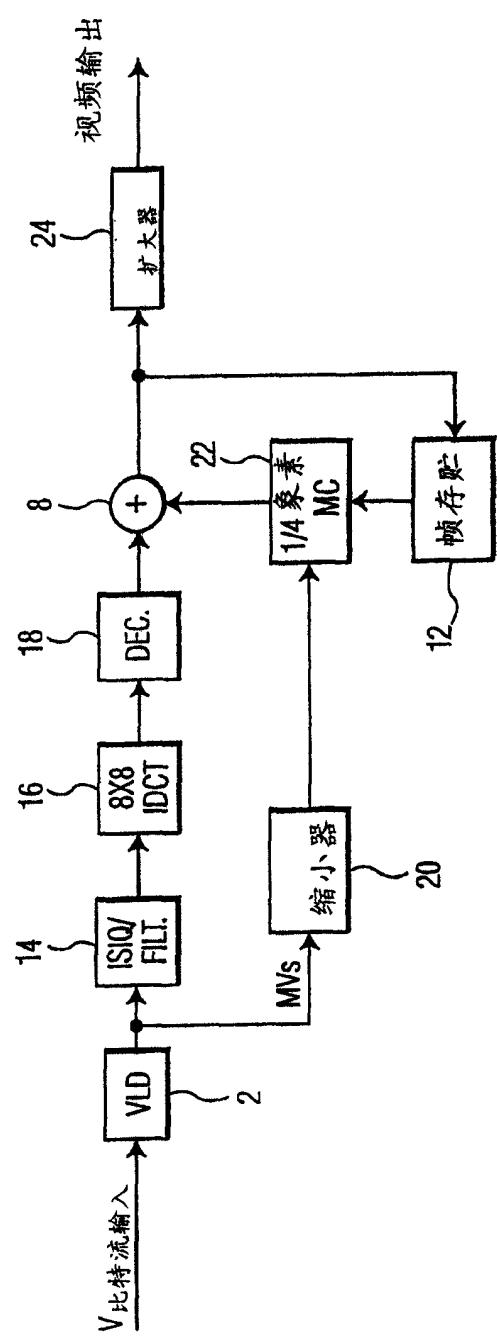


图 2

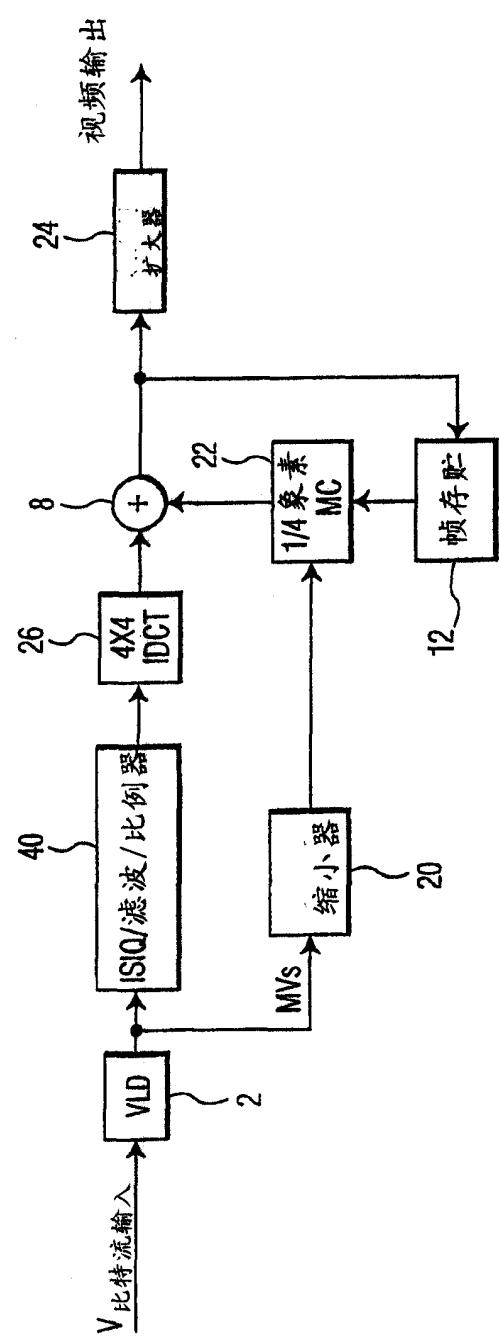


图 3

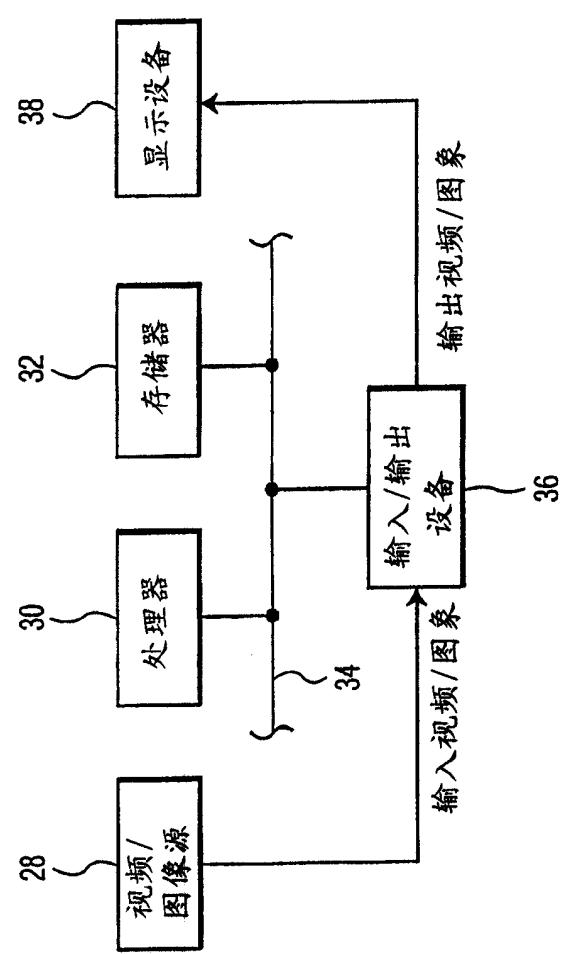


图 4