



(12) 发明专利申请

(10) 申请公布号 CN 105324848 A

(43) 申请公布日 2016. 02. 10

(21) 申请号 201480033487. 1

代理人 杨贝贝 臧建明

(22) 申请日 2014. 05. 12

(51) Int. Cl.

(30) 优先权数据

H01L 29/786(2006. 01)

10-2013-0066693 2013. 06. 11 KR

H01L 21/335(2006. 01)

10-2013-0153421 2013. 12. 10 KR

(85) PCT国际申请进入国家阶段日

2015. 12. 11

(86) PCT国际申请的申请数据

PCT/KR2014/004232 2014. 05. 12

(87) PCT国际申请的公布数据

W02014/200190 KO 2014. 12. 18

(71) 申请人 庆熙大学校产学协力团

地址 韩国京畿道

(72) 发明人 张震 石万柱 严在光 李秀熙

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205

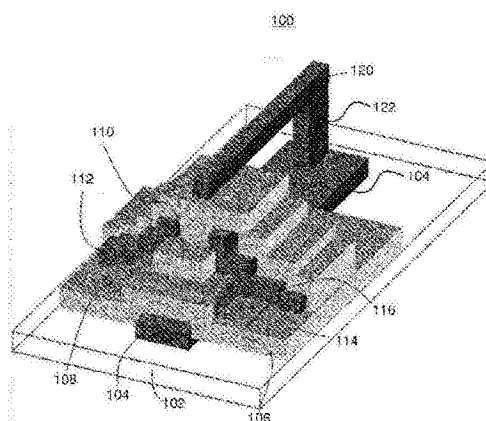
权利要求书2页 说明书6页 附图20页

(54) 发明名称

作为显示装置的像素元件的氧化物半导体晶体管及其制造方法

(57) 摘要

本发明公开一种作为显示装置的像素元件的氧化物半导体晶体管及其制造方法。公开的氧化物半导体晶体管是作为显示装置的像素元件的氧化物半导体晶体管,其特征在于,包括:基板;第一栅电极,其位于所述基板上;源极及漏极,其位于所述第一栅电极上;以及,第二栅电极,其位于所述源极及所述漏极上,其中,所述第一栅电极与所述第二栅电极电连接且被施加相同的电压,所述第二栅电极的宽度短于所述源极与所述漏极之间的宽度。



1. 一种氧化物半导体晶体管,作为显示装置的像素元件,其特征在于,包括:
基板;
第一栅电极,其位于所述基板上;
源极及漏极,其位于所述第一栅电极上;以及
第二栅电极,其位于所述源极及所述漏极上,
其中,所述第一栅电极与所述第二栅电极电连接且被施加相同的电压,所述第二栅电极的宽度短于所述源极与所述漏极之间的宽度。
2. 根据权利要求1所述的氧化物半导体晶体管,其特征在于:
所述第二栅电极的宽度为 $2\mu\text{m}$ 以上。
3. 根据权利要求1所述的氧化物半导体晶体管,其特征在于:
所述第二栅电极的一端与所述源极之间的垂直距离的宽度及所述第二栅电极的另一端与所述漏极之间的垂直距离的宽度中至少一个宽度的值为 $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下。
4. 根据权利要求1所述的氧化物半导体晶体管,其特征在于,还包括:
连接电极,其电连接所述第一栅电极与所述第二栅电极。
5. 根据权利要求1所述的氧化物半导体晶体管,其特征在于,还包括:
栅极绝缘膜,其位于所述第一栅电极与所述源极/漏极之间;
氧化物半导体层,其位于所述栅极绝缘膜与所述源极/漏极之间;以及
保护层,其位于所述源极/漏极与所述第二栅电极之间。
6. 根据权利要求5所述的氧化物半导体晶体管,其特征在于:
所述源极与所述漏极向水平方向配置,
所述氧化物半导体晶体管还包括至少一部分位于所述源极与所述漏极之间的蚀刻阻挡。
7. 根据权利要求6所述的氧化物半导体晶体管,其特征在于:
所述栅极绝缘膜、所述蚀刻阻挡、所述保护层中至少一个由氧化物或金属氧化物构成。
8. 根据权利要求1所述的氧化物半导体晶体管,其特征在于:
所述氧化物半导体层由包括铟镓锌氧化物(IGZO)、氧化锌(ZnO)、氧化铟锌(IZO)、氧化铟锡(ITO)、氧化锌锡(ZTO)、氧化锌镓(GZO)、铟镓锌氧化物(HIZO)、铟锡氧化物(ZITO)及铝镓锡氧化物(AZTO)中任意一种的非晶质或多晶体构成。
9. 一种氧化物半导体晶体管,作为显示装置的像素元件,其特征在于,包括:
基板;
第一栅电极,其位于所述基板上;
源极及漏极,其位于所述第一栅电极上;以及
第二栅电极,其位于所述源极及所述漏极上,
其中,所述第一栅电极与所述第二栅电极配置于同一轴上,所述第二栅电极的宽度短于所述第一栅电极的宽度,所述第一栅电极与所述第二栅电极电连接且被施加相同的电压。
10. 根据权利要求9所述的氧化物半导体晶体管,其特征在于:
所述第二栅电极的宽度短于所述源极与所述漏极之间的宽度。
11. 根据权利要求9所述的氧化物半导体晶体管,其特征在于:

所述第二栅电极的一端与所述源极之间的垂直距离的宽度及所述第二栅电极的另一端与所述漏极之间的垂直距离的宽度中至少一个宽度的值为 $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下。

12. 一种氧化物半导体晶体管的制造方法, 用于制造作为显示装置的像素元件的氧化物半导体晶体管, 其特征在于, 包括:

在所述基板上形成第一栅电极的步骤;

在所述第一栅电极上依次形成栅极绝缘膜、氧化物半导体层及蚀刻阻挡的步骤;

在所述栅极绝缘膜、所述氧化物半导体层及所述蚀刻阻挡上形成源极 / 漏极的步骤;

在所述源极 / 漏极上形成保护层的步骤; 以及

在所述保护层上形成第二栅电极及电连接所述第一栅电极与所述第二栅电极的连接电极的步骤,

其中, 所述第二栅电极的宽度短于所述源极与所述漏极之间的宽度。

13. 根据权利要求 12 所述的氧化物半导体晶体管的制造方法, 其特征在于:

所述第二栅电极的一端与所述源极之间的垂直距离的宽度及所述第二栅电极的另一端与所述漏极之间的垂直距离的宽度中至少一个宽度的值为 $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下。

作为显示装置的像素元件的氧化物半导体晶体管及其制造方法

技术领域

[0001] 本发明的实施例涉及具有高性能的电子特性且作为显示装置的像素元件的氧化物半导体晶体管及其制造方法。

背景技术

[0002] 目前,通过利用氧化物半导体即铟镓锌氧化物(a-IGZO:Indium Gallium Zinc Oxide)的驱动元件驱动的显示装置的开发速度非常快。不仅如此,驱动显示元件必不可少的逆变器乃至利用该逆变器的驱动电路的研究也非常普遍。

[0003] 与此相关,韩国专利申请第 10-2012-0087910 号公开了一种蚀刻/阻挡(E/S: Etch/Stopper)型双栅(dual gate)结构的氧化物半导体薄膜晶体管。

[0004] 但是,目前的上述氧化物半导体薄膜晶体管具有下部栅电极与上部栅电极在电学上相分离、电压不施加上部栅电极的特性。

[0005] 另外,在上述氧化物半导体薄膜晶体管中,向上部栅电极施加特定电压的情况下,该晶体管可以以耗尽模式(Depletion Mode)使用,但施加上部栅电极的电压与施加下部栅电极的电压发生差异的情况下,具有电特性下降的问题。

[0006] 并且,上部栅电极与源极/漏极之间发生寄生电压,而这将降低具有高性能的电特性的氧化物半导体薄膜晶体管的特性。

[0007] 并且,通过作为氧化物半导体薄膜晶体管的可靠性测试之一的 NBIS(NBIS: Negative Bias Illumination Stress)发现,非晶铟镓锌氧化物(amorphous indium gallium-zinc-oxide;a-IGZO)薄膜晶体管具有电特性严重变化的缺点。

发明内容

[0008] 技术问题

[0009] 为解决上述现有技术的问题,本发明的目的在于提供一种具有高性能的电特性且作为显示装置的像素元件的氧化物半导体晶体管及其制造方法。

[0010] 并且,本发明的另一目的在于提供一种能够提高 NBIS(Negative Bias Illumination Stress)可靠性的作为显示装置的像素元件的氧化物半导体晶体管及其制造方法。

[0011] 本领域技术人员可通过以下记载的实施例明确理解本发明的其他目的。

[0012] 技术方案

[0013] 为达成上述目的,根据本发明的一个优选实施例提供一种氧化物半导体晶体管,其作为显示装置的像素元件,包括:基板;第一栅电极,其位于所述基板上;源极及漏极,其位于所述第一栅电极上;以及,第二栅电极,其位于所述源极及所述漏极上,其中,所述第一栅电极与所述第二栅电极电连接且被施加相同的电压,所述第二栅电极的宽度短于所述源极与所述漏极之间的宽度。

[0014] 并且,根据本发明的另一实施例提供一种氧化物半导体晶体管,其作为显示装置的像素元件,包括:基板;第一栅电极,其位于所述基板上;源极及漏极,其位于所述第一栅电极上;以及,第二栅电极,其位于所述源极及所述漏极上,其中,所述第一栅电极与所述第二栅电极配置于同一轴上,所述第二栅电极的宽度短于所述第一栅电极的宽度,所述第一栅电极与所述第二栅电极电连接且被施加相同的电压。

[0015] 并且,根据本发明的又一实施例提供一种氧化物半导体晶体管的制造方法,其用于制造作为显示装置的像素元件的氧化物半导体晶体管,包括:在所述基板上形成第一栅电极的步骤;在所述第一栅电极上依次形成栅极绝缘膜、氧化物半导体层及蚀刻阻挡的步骤;在所述栅极绝缘膜、所述氧化物半导体层及所述蚀刻阻挡上形成源极/漏极的步骤;在所述源极/漏极上形成保护层的步骤;以及,在所述保护层上形成第二栅电极及电连接所述第一栅电极与所述第二栅电极的连接电极的步骤,其中,所述第二栅电极的宽度短于所述源极与所述漏极之间的宽度。

[0016] 技术效果

[0017] 本发明的作为显示装置的像素元件的氧化物半导体晶体管的高性能的电特性上升。

[0018] 并且,本发明的氧化物半导体晶体管的 NBIS 可靠性上升,并且能够具有高性能的电特性。

附图说明

[0019] 图 1 为显示根据本发明一个实施例的氧化物半导体晶体管的立体图;

[0020] 图 2 为显示根据本发明一个实施例的氧化物半导体晶体管的剖面及等效电路的示意图;

[0021] 图 3 为显示根据本发明一个实施例的氧化物半导体晶体管制造方法的整体流程的示意图;

[0022] 图 4 为比较根据本发明一个实施例的氧化物半导体晶体管中,第二栅电极的宽度长于第一栅电极及源极与漏极之间的宽度的氧化物半导体晶体管与第二栅电极的宽度短于第一栅电极及源极与漏极之间的宽度的氧化物半导体晶体管的结构示意图;

[0023] 图 5 及图 6 为显示本发明的一个实施例适用于 LCD 板与主动矩阵有机发光二极管面板 (AMOLED:Active Matrix Organic Light Emitting Diode) 的情况的模拟图;

[0024] 图 7 为显示根据本发明一个实施例的氧化物半导体晶体管的转移特性曲线 (Transfer Curve) 的曲线图;

[0025] 图 8 为显示根据本发明一个实施例的氧化物半导体晶体管 100 的漏极电流及阈值电压值的曲线图;

[0026] 图 9 至图 10 为显示根据本发明一个实施例的氧化物半导体晶体管的第二栅电极的宽度为 $26\mu\text{m}/15\mu\text{m}/12\mu\text{m}/6\mu\text{m}$ 时的转移特性曲线及电流曲线的曲线图;

[0027] 图 11 为显示根据上部栅极的尺寸 (LTC),通过 % 表示根据本发明一个实施例的氧化物半导体晶体管的增加的漏极电流 (Increase in),的曲线图;

[0028] 图 12 及图 13 为显示本发明第一实施例与第二实施例的电特性的示意图;

[0029] 图 14 及图 15 为显示本发明的第一实施例与第二实施例被施加正电压 (+20V) 时

的电特性的示意图；

[0030] 图 16 及图 22 为显示本发明的第一实施例与第二实施例被施加负电压 (-20V/-30V) 时的电特性的示意图。

具体实施方式

[0031] 本发明可做多种变更,可以具有多种实施例,以下在附图中显示特定实施例并在说明书中进行详细说明。但其目的并非使本发明限定于特定的实施方式,实际上应该理解为包括属于本发明思想及技术范围内的所有变更、等同物及替代物。在说明各附图时对相同的构成要素标注相同的附图标记。

[0032] 以下参照附图具体说明本发明的实施例。

[0033] 图 1 为显示根据本发明一个实施例的氧化物半导体晶体管的立体图,图 2 为显示根据本发明一个实施例的氧化物半导体晶体管的剖面及等效电路的示意图,图 3 为显示根据本发明一个实施例的氧化物半导体晶体管制造方法的整体流程的示意图。

[0034] 根据本发明一个实施例的氧化物半导体晶体管是作为显示装置的像素元件使用的晶体管,即,是为驱动构成显示装置的发光二极管而使用的晶体管,如图 1 及图 2 所示,氧化物半导体晶体管 100 (以下称为“显示元件用氧化物半导体晶体管”)包括基板 102、第一栅电极 104、栅极绝缘膜 106、氧化物半导体层 108、蚀刻阻挡 110、源极 112、漏极 114、保护层 116、像素电极 118、第二栅电极 120 及连接电极 122。

[0035] 另外,显示元件用氧化物半导体晶体管 100 可以是氧化物半导体薄膜晶体管 (TFT:Thin Film Transistor)。

[0036] 以下,参照图 1 至图 3 说明显示元件用氧化物半导体晶体管 100 的各构成要素的功能及其制造方法。

[0037] 首先在步骤 S302,在基板 102 上形成第一栅电极 104。

[0038] 基板 102 可以由玻璃 (glass)、塑料或石英材料形成,基板 102 上形成作为下部栅电极 (Bottom Gate) 的第一栅电极 104。

[0039] 并且,可通过在基板 102 上沉积栅极导电膜并在栅极导电膜上形成光刻胶图案后,以光刻胶图案为掩模选择性地蚀刻即图案化栅极导电膜形成第一栅电极 104。第一栅电极 104 可以由金属材料形成,例如可以采用钼 (Mo)。

[0040] 然后在步骤 S304,在第一栅电极上依次形成 (沉积及图案化) 栅极绝缘膜 (Gate Insulator) 106、氧化物半导体层 108 及蚀刻阻挡 (Etch Stopper) 110。

[0041] 具体来讲,在第一栅电极 104 上依次形成 (沉积及图案化) 栅极绝缘膜 (Gate Insulator) 106 与氧化物半导体层 108。

[0042] 根据本发明的一个实施例,栅极绝缘膜 106 可以由氧化物或金属氧化物形成。例如,栅极绝缘膜 106 可以由硅氧化物 (SiO₂) 形成。

[0043] 并且根据本发明的一个实施例,构成氧化物半导体层 108 的物质可包括铟 (In)。例如,构成氧化物半导体层 108 的物质可以由包括铟镓锌氧化物 (IGZO)、氧化锌 (ZnO)、氧化铟锌 (IZO)、氧化铟锡 (ITO)、氧化锌锡 (ZTO)、氧化锌镓 (GZO)、铟镓锌氧化物 (HIZO)、铟锡氧化物 (ZITO) 及铝锌锡氧化物 (AZTO) 中任意一种的非晶质或多晶体构成。这种氧化物半导体层 108 可形成于栅电极 104 的上部位置 (例如,同一轴上的位置)。

[0044] 并且,在氧化物半导体层 108 上形成有蚀刻阻挡 110。此处,构成蚀刻阻挡 110 的物质可以是氧化物或金属氧化物(例如,硅氧化物(SiO₂)。这种蚀刻阻挡 110 可形成于第一栅电极 104 的上部位置(例如,同一轴上的位置)。

[0045] 然后在步骤 S306,在栅极绝缘膜 106、氧化物半导体层 108 及蚀刻阻挡 110 上形成源极 112 及漏极 114。

[0046] 其中,源极 112 及漏极 114 向彼此水平的方向形成。因此,如图 1 及图 2 所示,蚀刻阻挡 110 中一部分位于源极 112 与漏极 114 之间,即位于信道部分。源极 112 及漏极 114 可以由金属材料形成,例如可以采用钼(Mo)。

[0047] 然后在步骤 S308,在源极 112 及漏极 114 上形成保护层(Passivation Layer)116。例如,构成保护层 116 的物质可以是氧化物或金属氧化物(例如,硅氧化物(SiO₂)。

[0048] 然后在步骤 S310,在保护层 116 上形成像素电极 118(图 1 未示出)。

[0049] 像素电极 118 分别与源极 112 及漏极 114 电连接,并且起到使源极 112 及漏极 114 与显示元件用氧化物半导体晶体管 100 外部的其他构成要素电连接的作用。像素电极 118 也可以由金属材料形成,例如可以采用钼(Mo)。

[0050] 最后在步骤 S312,在保护层 116 上形成第二栅电极 120 及连接电极 122。

[0051] 作为上部栅电极(Top Gate)的第二栅电极 120 是由能够遮光的金属材料或能够透光的透明金属材料形成的电极,在剖面图上位于与第一栅电极 104 的上部位置(例如,同一轴上的上部位置)对应的保护层 116 的上部。因此,第一栅电极 104 的上部位置能够依次具有蚀刻阻挡 110 及第二栅电极 120。

[0052] 并且,连接电极 122 是用于电连接第一栅电极 104 与第二栅电极 120 的电极。因此,可通过连接电极 122 向第一栅电极 104 与第二栅电极 120 施加相同的电压。

[0053] 并且根据本发明的一个实施例,第一栅电极 104 与第二栅电极 120 位于同一轴上。并且在平面图上,第二栅电极 120 可以与第一栅电极 104 重叠,第二栅电极 120 能够位于源极 112 与漏极 114 之间的空间。并且在剖面图上,第二栅电极 120 的宽度可以短于第一栅电极 104 的宽度,并且第二栅电极 120 的宽度可以短于源极 112 与漏极 114 之间的宽度(即,向彼此水平的方向形成的源极 112 的一端与漏极 114 的一端的信道部分的宽度)。

[0054] 具体来讲,图 4 为比较第二栅电极 120 的宽度“长于”第一栅电极 104 及源极 112 与漏极 114 之间的宽度的氧化物半导体晶体管 100(参照图 4 中(a))与第二栅电极 120 的宽度“短于”第一栅电极 104 及源极 112 与漏极 114 之间的宽度的氧化物半导体晶体管 100(参照图 4 中(b))的结构的示意图。假设图 4 中源极 112 与漏极 114 之间的宽度为 15 μm 。

[0055] 如图 4 中的(a)所示,第二栅电极 120 的宽度“长于”第一栅电极 104 及源极 112 与漏极 114 之间的宽度的氧化物半导体晶体管 100 的情况下,第二栅电极 120 与源极 112/漏极 114 之间发生寄生电压,而这将导致具有高性能的电特性的氧化物半导体晶体管的特性下降。

[0056] 而如图 4 中的(b)所示,通过调节第二栅电极 120 的长度提供宽度短于第一栅电极 104 及源极 112 与漏极 114 之间的宽度的氧化物半导体晶体管 100 的情况下,能够最小化第二栅电极 120 与源极 112/漏极 114 之间发生的寄生电压,能够得到高性能的电特性。例如,优选的是第二栅电极 120 的宽度为 2 μm 以上。

[0057] 并且参照图 1 及图 2,第二栅电极 120 的一端与源极 112 之间的垂直距离的宽度

122 及第二栅电极 120 的另一端与漏极 114 之间的垂直距离的宽度 124 中至少一个宽度的值可以在 $0.5\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下。即,第二栅极 120 在源极 112 与漏极 114 之间具有 $0.5\text{--}5\ \mu\text{m}$ 的偏移 (offset) 结构。

[0058] 在保护层 118 上如上配置第二栅电极 120 后,向第一栅电极 104 及第二栅电极 120 施加相同电压的情况下,能够增大形成于氧化物半导体层 108 的信道宽度,这种情况下,不仅能够增大通过源极 112/漏极 114 的电流,并且能够在正电压、负电压与光可靠性测试时具有稳定性。因此,本发明的显示元件用氧化物半导体晶体管 100 的电特性上升。

[0059] 并且,可通过同时形成第二栅电极 120 与连接电极 122 简化制造工序,能够通过一个电极同时向两个栅电极 104、120 施加电压,从而能够简化显示元件用氧化物半导体晶体管 100 的结构。

[0060] 图 5 及图 6 为显示本发明的一个实施例适用于 LCD 板与主动矩阵有机发光二极管面板 (AMOLED) 的情况的模拟图。

[0061] 参照图 5 及图 6,在 LCD 板 (图 5) 的情况下,插入有一个氧化物半导体晶体管,上部栅电极 (第二栅电极 120) 及下部栅电极 (第一栅电极 104) 与栅极驱动部的线电连接。

[0062] 并且,在 AMOLED 的情况下 (图 6),插入有两个氧化物半导体晶体管。并且,开关 (Switching) 晶体管的情况下,上部栅电极及下部栅电极 (第二栅电极 120 及第一栅电极 104) 与栅极驱动部的线连接,驱动 (Driving) 晶体管的情况下,上部栅电极及下部栅电极 (第二栅电极 120 及第一栅电极 104) 与开关晶体管的其余 (栅极驱动部中除与上部栅电极及下部栅电极连接的线及与数据驱动部电连接的线之外的部分) 线部分电连接。

[0063] 以下,参照图 7 至图 22 具体说明根据本发明一个实施例的显示元件用氧化物半导体晶体管 100 的电特性。

[0064] 图 7 为显示根据本发明一个实施例的氧化物半导体晶体管 100 的转移特性曲线 (Transfer Curve) 的曲线图。参照图 7 可以发现,氧化物半导体晶体管 100 的信道宽度与长度 (W/L) 相当于 $20\ \mu\text{m}/11\ \mu\text{m}$ 及 $50\ \mu\text{m}/11\ \mu\text{m}$ 的情况下,电特性明显高于单栅的结构。

[0065] 图 8 为显示根据本发明一个实施例的氧化物半导体晶体管 100 的漏极电流 (图 8 中 (a)) 及阈值电压值 (图 8 中 (b)) 的曲线图。参照图 8 可知,氧化物半导体晶体管 100 的信道宽度与长度 (W/L) 相当于 $20\ \mu\text{m}/11\ \mu\text{m}$ 的情况下,比单栅的结构具有更高的均匀性。

[0066] 图 9 及图 10 为显示根据本发明一个实施例的氧化物半导体晶体管 100 的第二栅电极 120 的宽度为 $26\ \mu\text{m}$ (图 9 中 (a))/ $15\ \mu\text{m}$ (图 9 中 (b))/ $12\ \mu\text{m}$ (图 10 中 (a))/ $6\ \mu\text{m}$ (图 10 中 (b)) 时的转移特性曲线 (transfer curve) 及电流曲线 (output curve) 的曲线图。参照图 9 及图 10 可知,第二栅电极 120 的宽度为 $26\ \mu\text{m}$ 时与第一栅电极 104 的宽度相同,长于源极 112 与漏极 114 之间的宽度。第二栅电极 120 的宽度为 $15\ \mu\text{m}$ 时,和源极 112 与漏极 114 之间的宽度相同,其余的 $12\ \mu\text{m}/6\ \mu\text{m}$ 的情况下短于第一栅电极 104 的宽度,并且短于源极 112 与漏极 114 之间的宽度。

[0067] 图 11 为显示根据本发明一个实施例的氧化物半导体晶体管 100 的栅极被施加电压 10V、漏极被施加电压 10V 时,根据上部栅极 (第二栅极 120) 的尺寸 (LTC) 通过 % 表示增加的漏极电流 (Increase in) 的曲线图。

[0068] 图 12 为显示第一栅电极 104 与第二栅电极 120 未通过连接电极 122 连接的本发明第一实施例的电特性的示意图,图 13 为显示第一栅电极 104 与第二栅电极 120 通过连接

电极 122 连接的本发明第二实施例的电特性的示意图。

[0069] 参照图 12 及图 13, 与本发明的第一实施例相比, 本发明的第二实施例能够进一步提高漏极 114 中电流的最大值。

[0070] 图 14 为显示本发明的第一实施例被施加正电压 (+20V) 时的电特性的示意图, 图 15 为显示本发明的第二实施例被施加正电压 (+20V) 时的电特性的示意图, 图 16 为显示比较本发明的第一实施例与第二实施例经过可靠性测试后的阈值电压变化的曲线图。

[0071] 参照图 14 及图 16 可知, 本发明第二实施例的可靠性高于本发明第一实施例的可靠性。

[0072] 图 17 及图 18 为显示本发明的第一实施例被施加负电压 (-20V) 时的电特性的示意图, 图 19 及图 20 为显示本发明的第二实施例被施加负电压 (-20V) 时的电特性的示意图。此处, 第二栅电极 120 的一端 / 另一端与源极 112 / 漏极 114 的垂直距离, 即偏移量为 “ $1\mu\text{m}$ (图 17 中 (a)、图 19 中 (a))/ $3\mu\text{m}$ (图 17 中 (b)、图 19 中 (b))/ $4\mu\text{m}$ (图 17 中 (c)、图 19 中 (c))/ $5\mu\text{m}$ (图 18 中 (a)、图 20 中 (a))/ $6\mu\text{m}$ (图 18 中 (b)、图 20 中 (b))”。

[0073] 参照图 17 至图 20 可知, 偏移量的长度为 $5\mu\text{m}$ 以下的情况下在 NBIS 可靠性测试中具有优良的特性, 而 $6\mu\text{m}$ 以上的情况下在 NBIS 可靠性测试中出现特性变化。

[0074] 图 21 及图 22 为显示本发明的第一实施例及第二实施例被施加较强的负电压 (-30V) 时的电特性的示意图。

[0075] 参照图 21 及图 22 可知, 信道的长度增大时 9000lux 照明应力 (ILLUMINATION STRESS) 可靠性大幅上升。

[0076] 如上所述, 本发明通过具体的构成要素等特定事项与限定的实施例及附图进行了说明, 但是其目的仅在于帮助理解, 本发明并非现定于上述的实施例, 本发明所属领域的普通技术人员可根据以上记载做多种修改及变更。因此, 本发明的思想不得限定于上述实施例, 与技术方案的范围相同或具有等价变形的所有方案均属于本发明的技术方案。

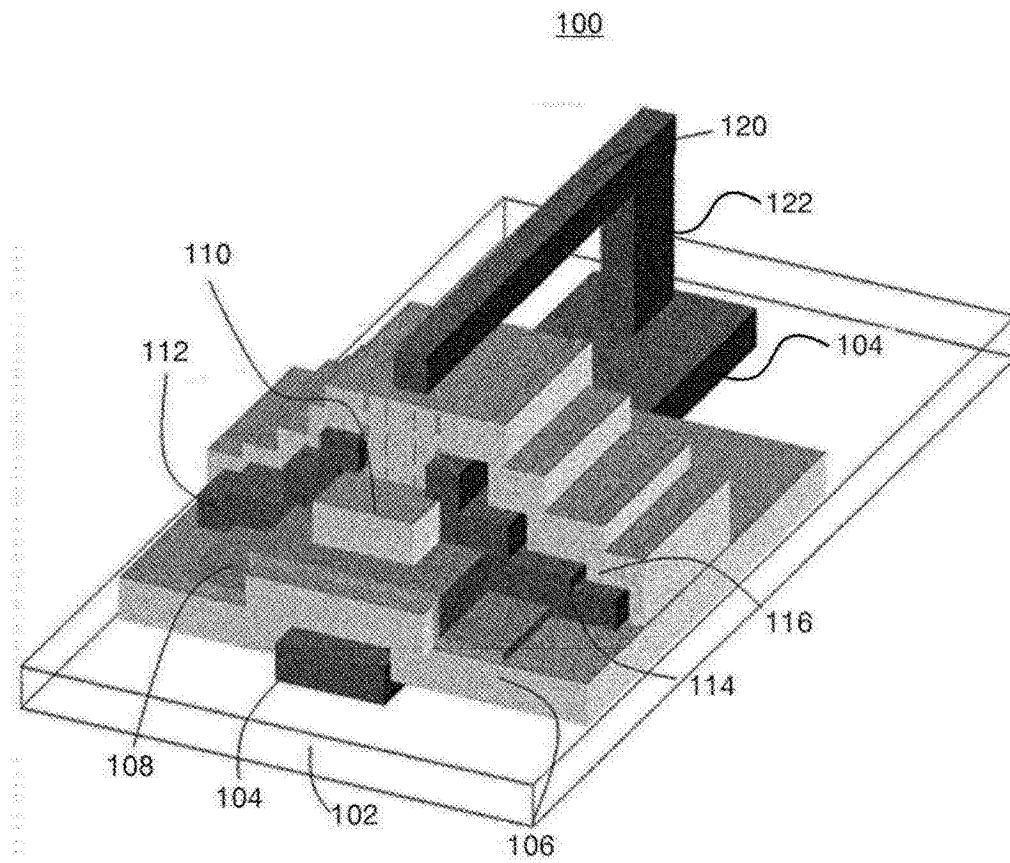


图 1

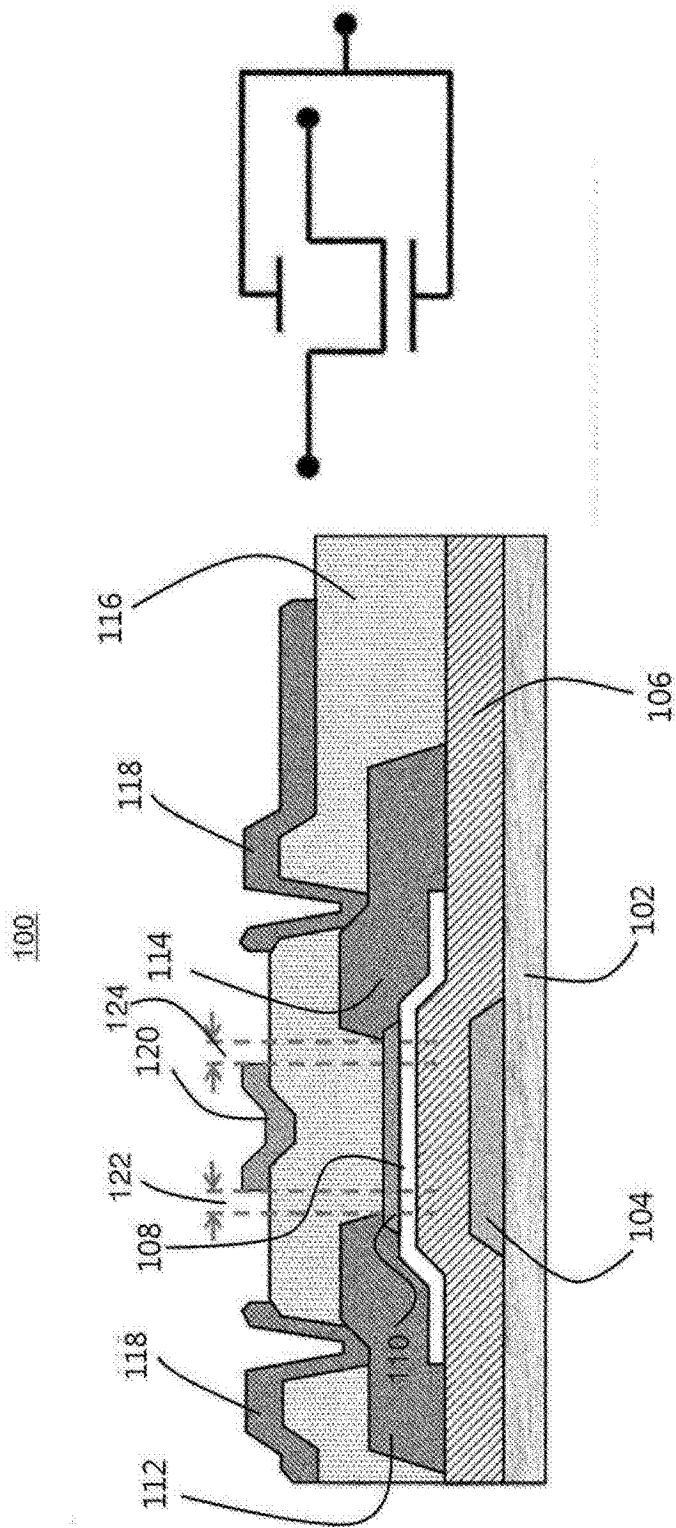


图 2

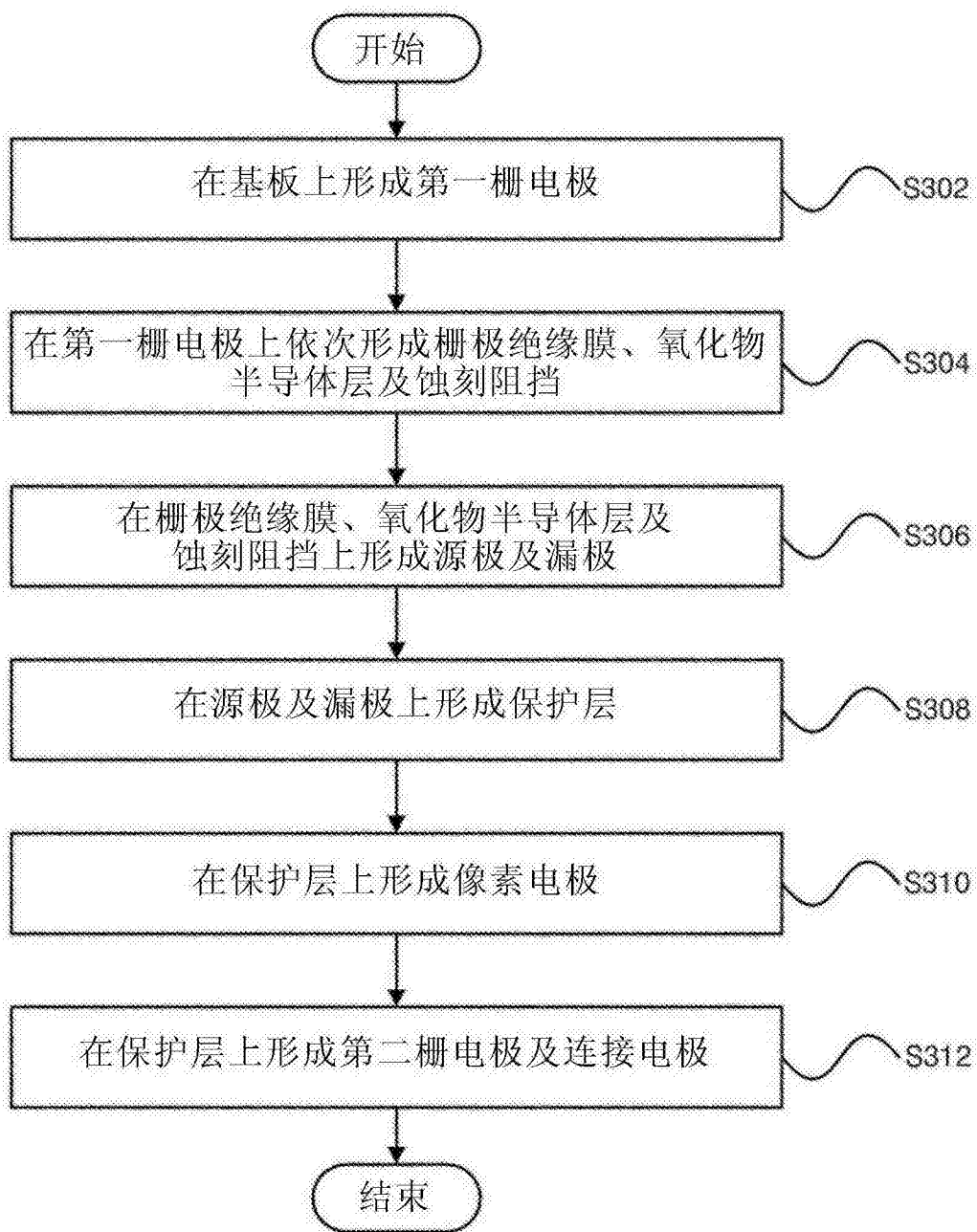


图 3

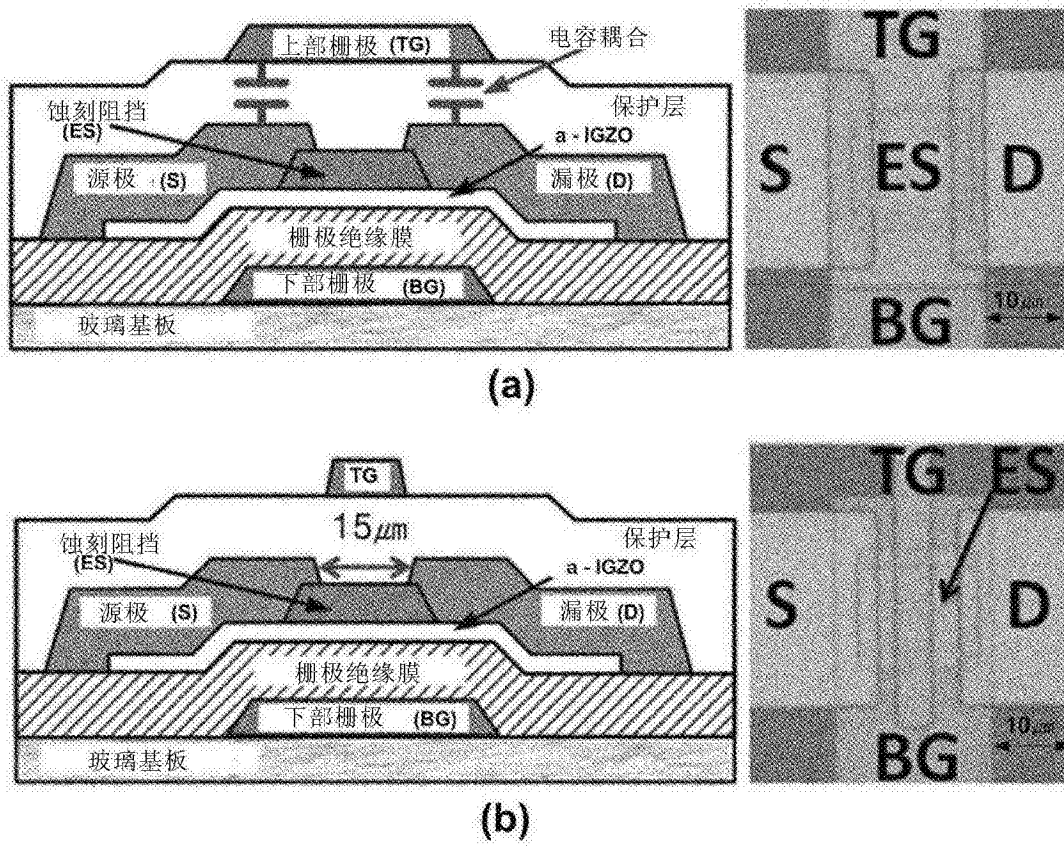


图 4

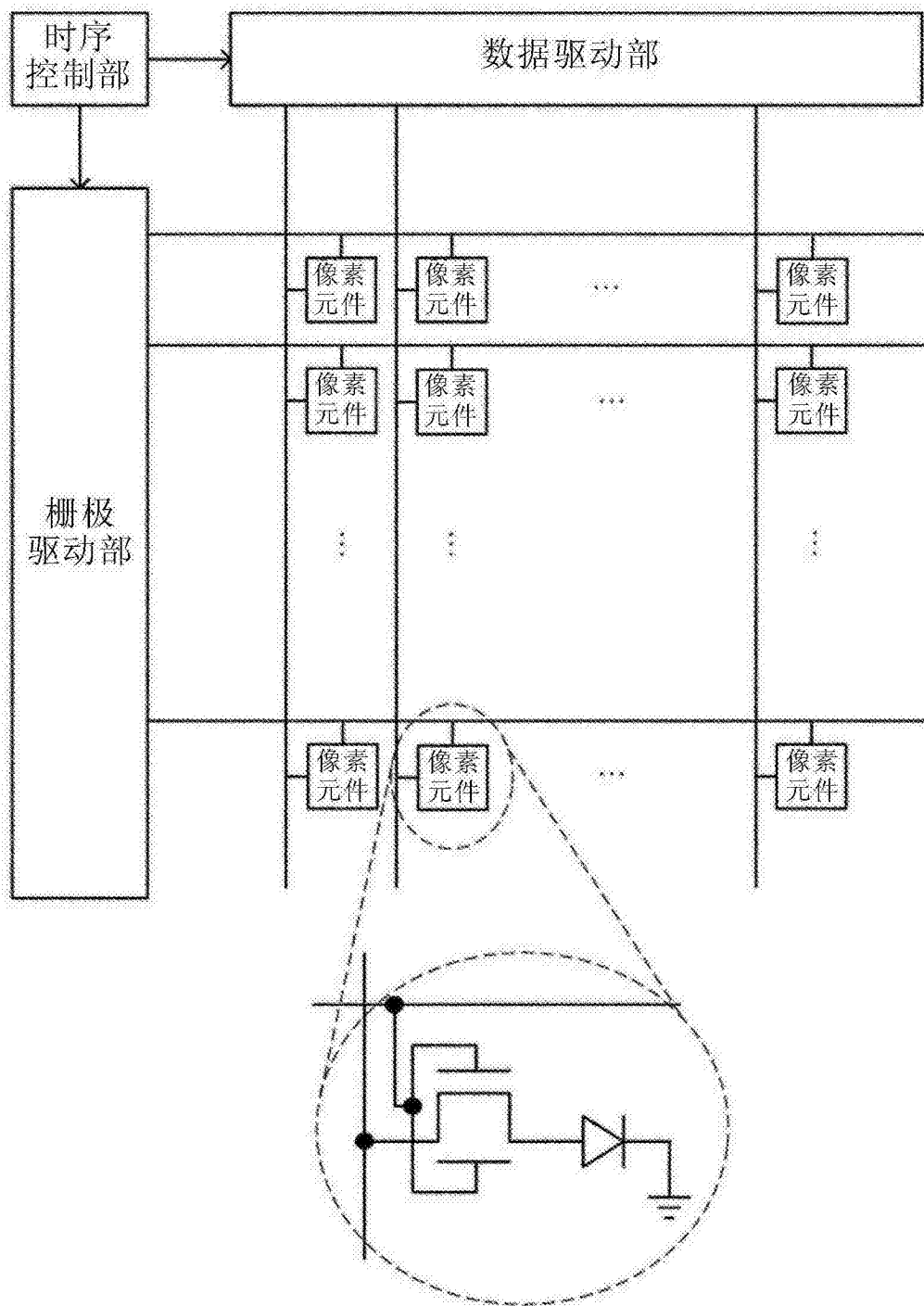


图 5

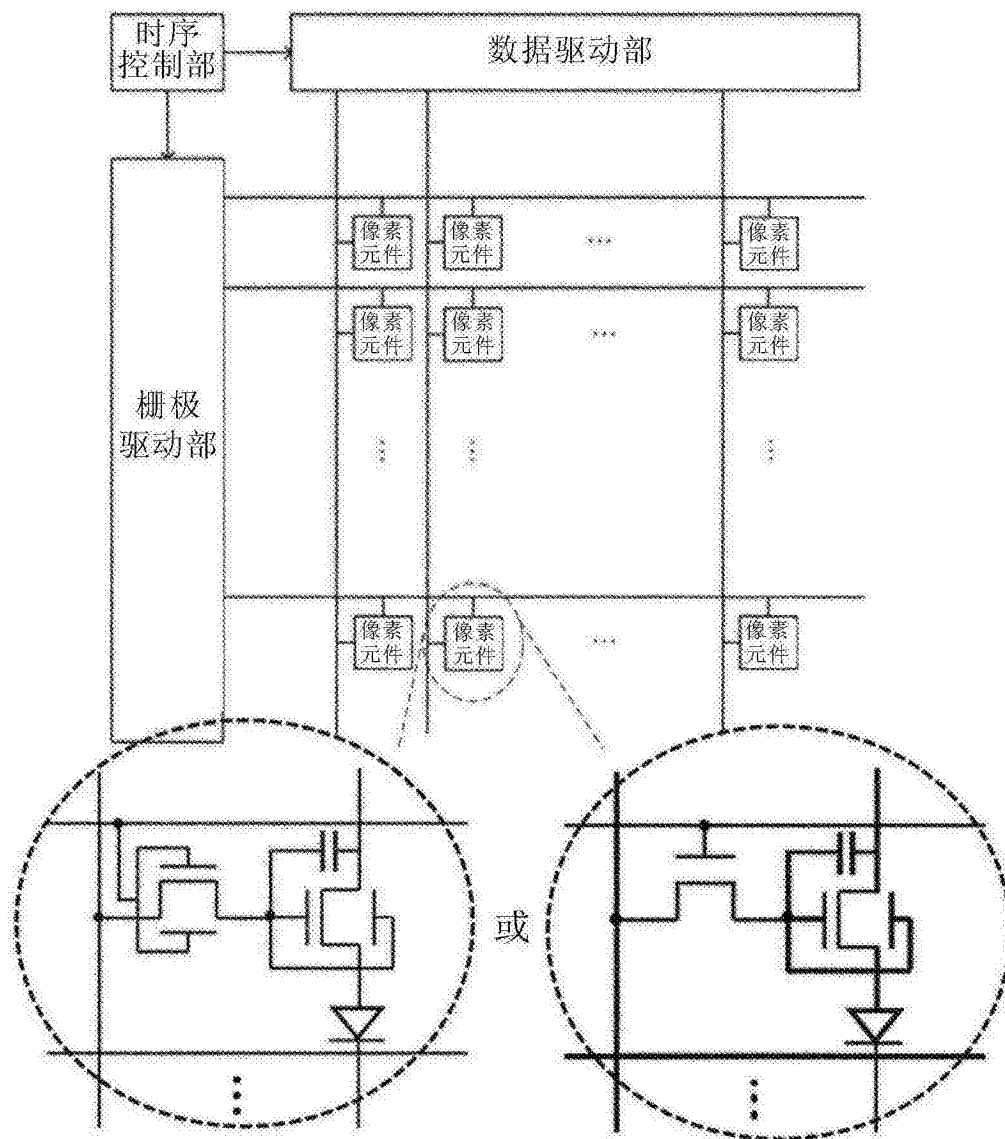


图 6

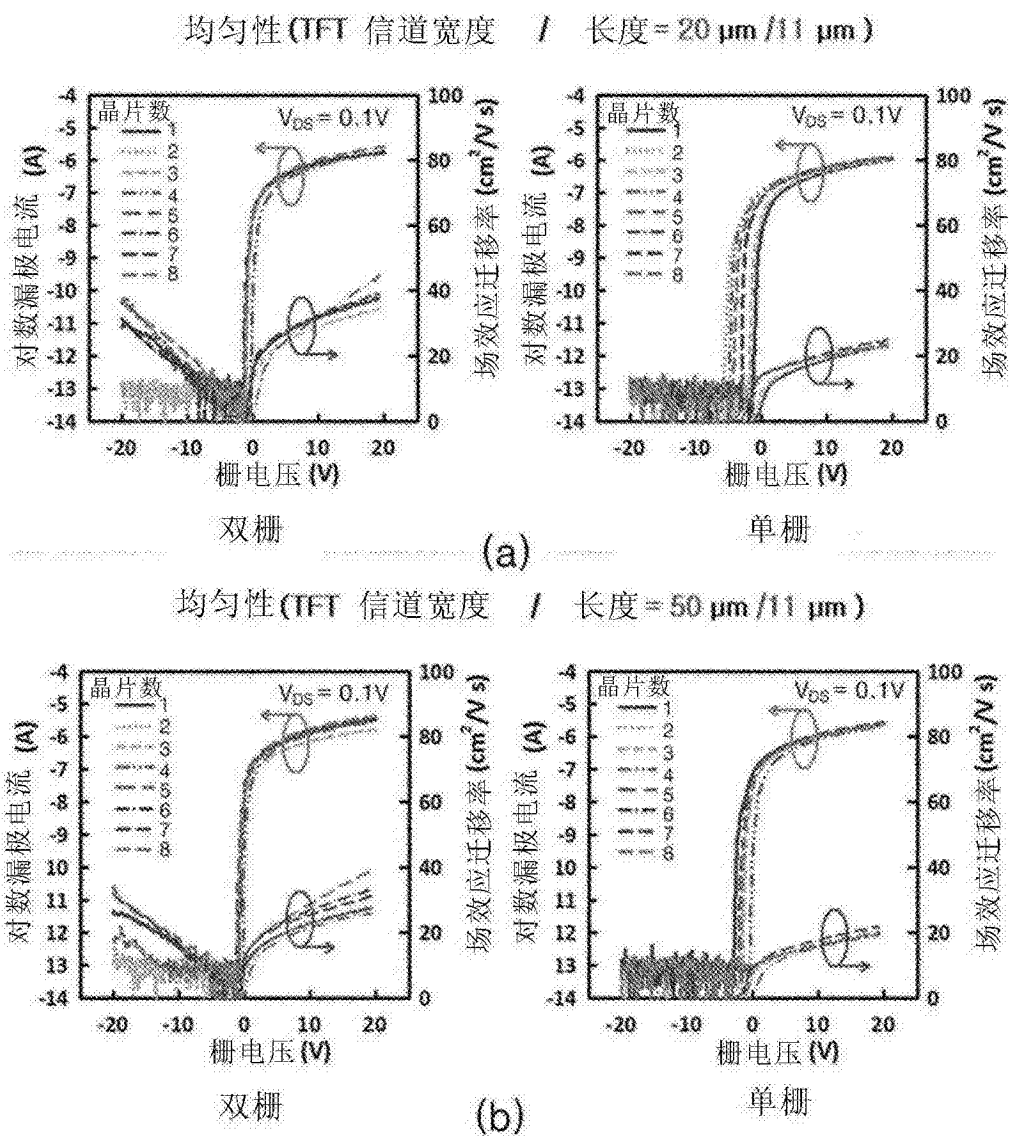
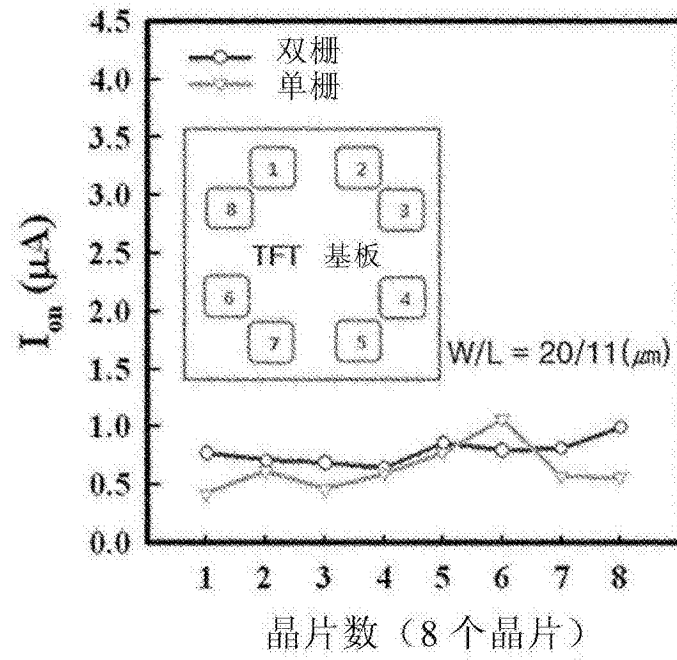
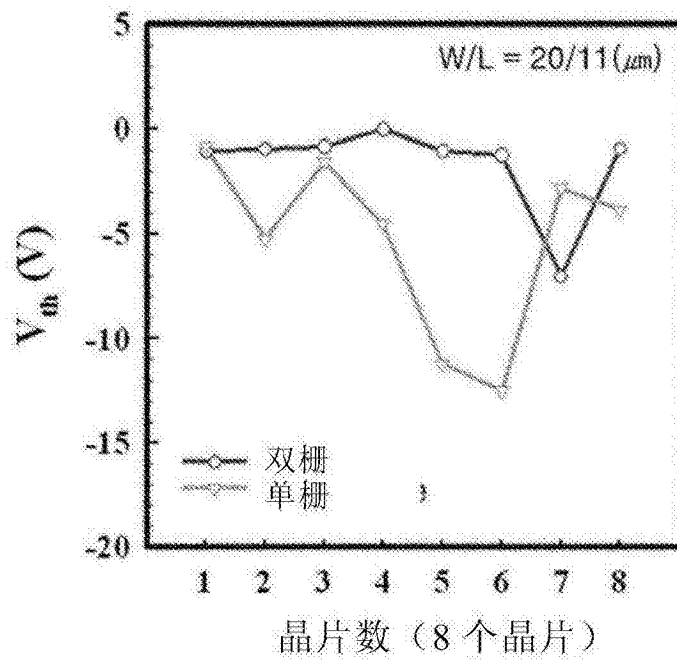


图 7



(a)



(b)

图 8

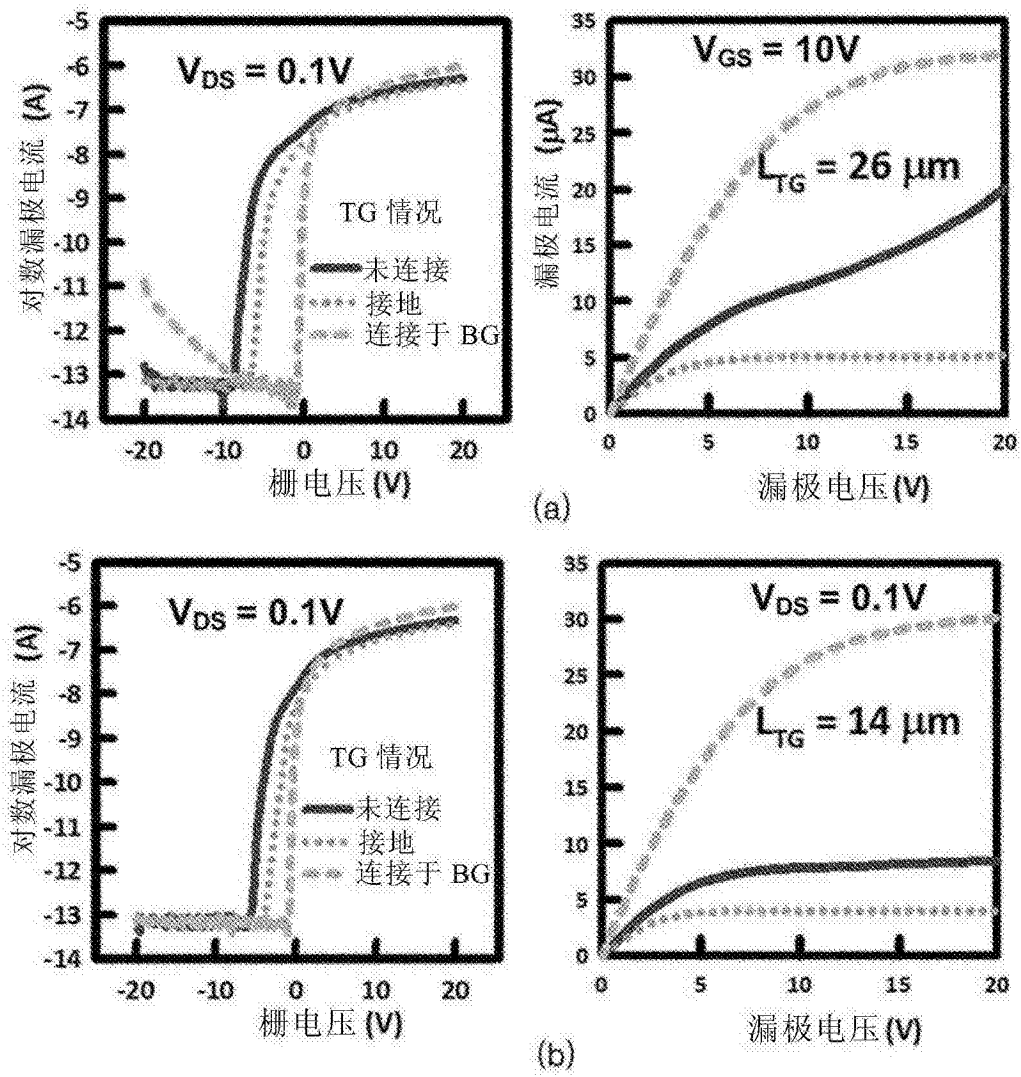


图 9

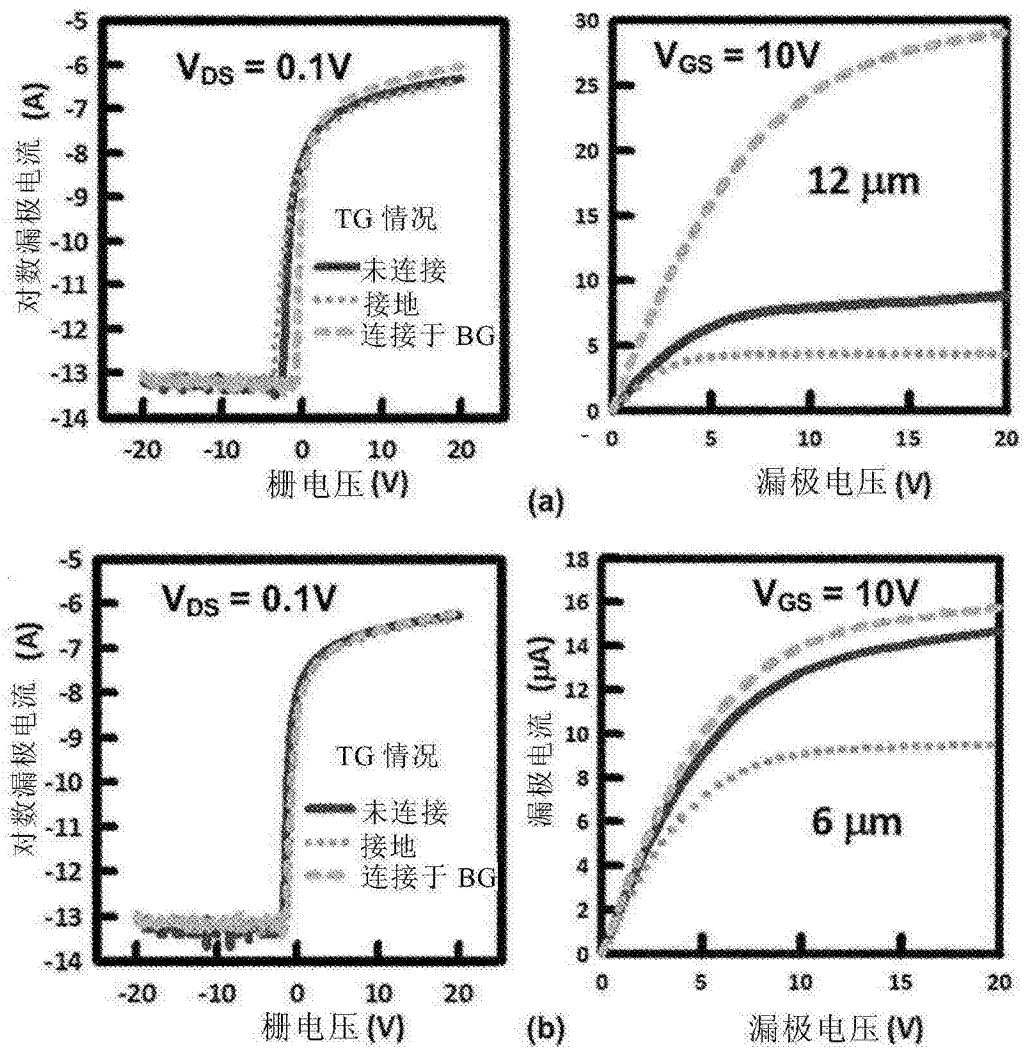


图 10

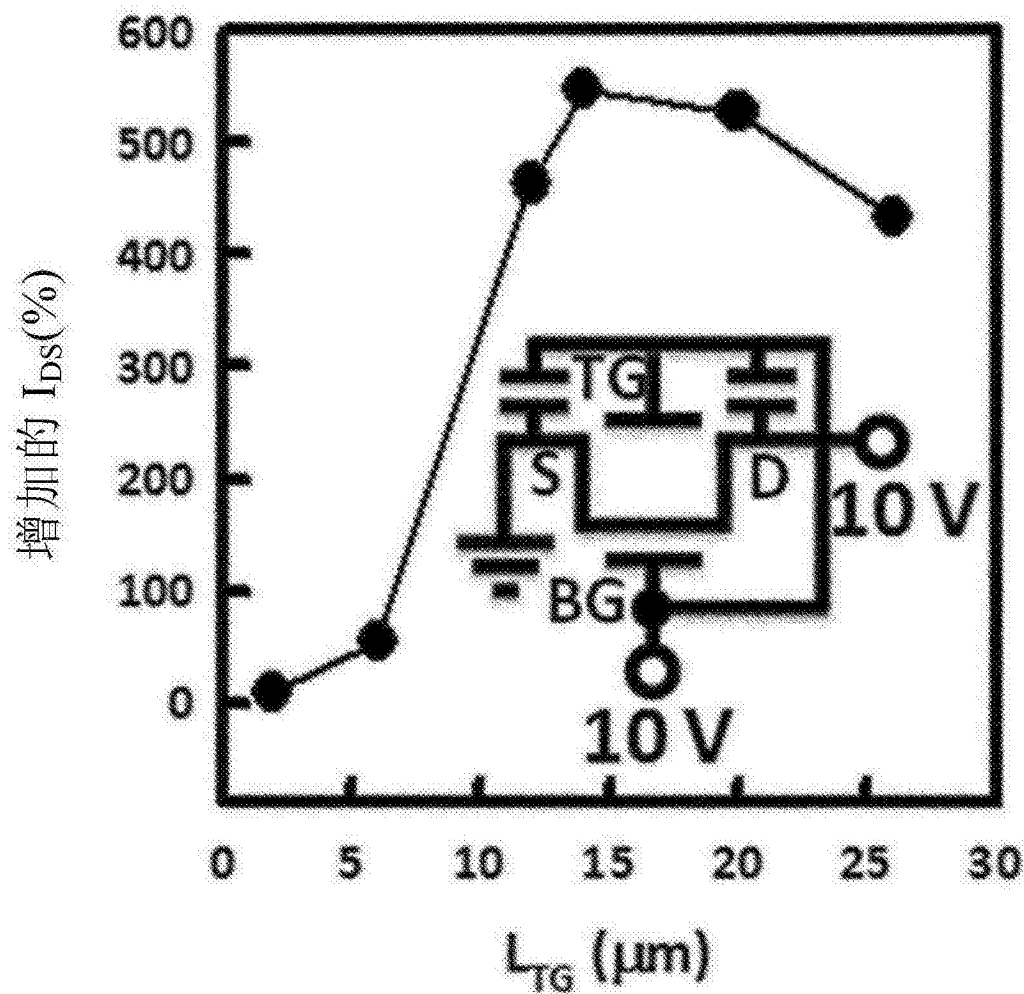


图 11

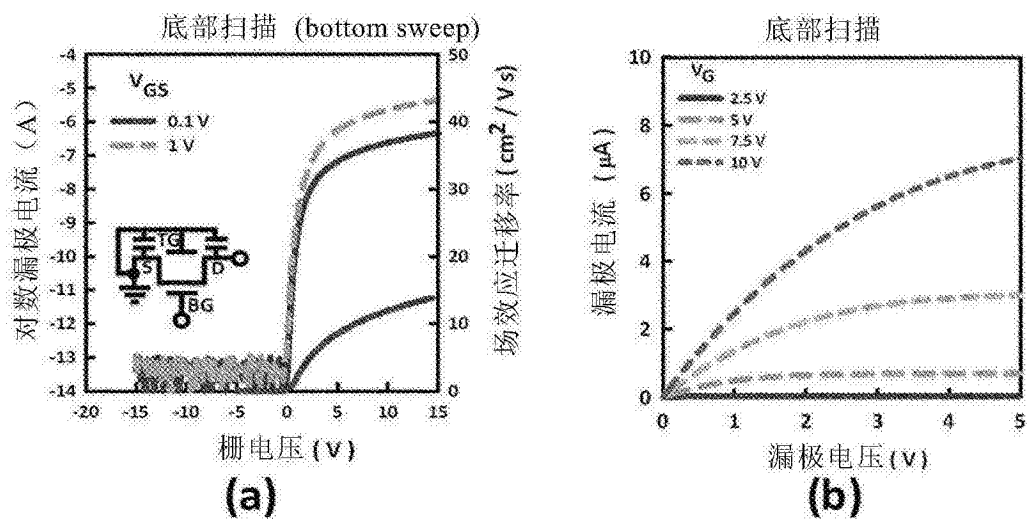


图 12

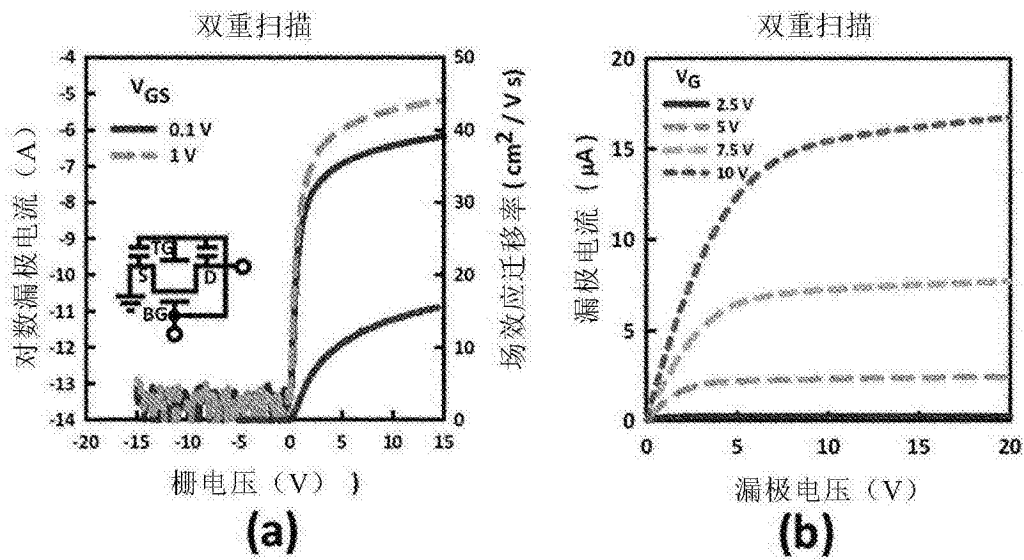


图 13

底部扫描

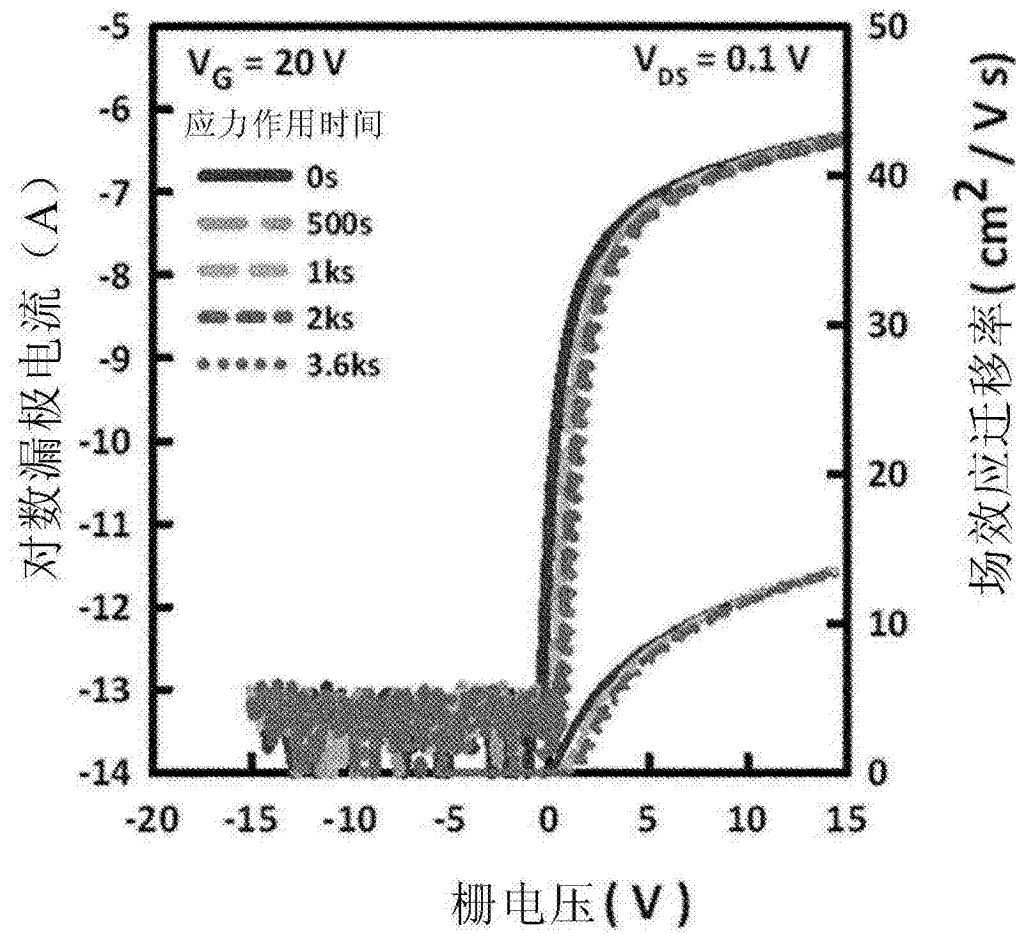


图 14

双重扫描

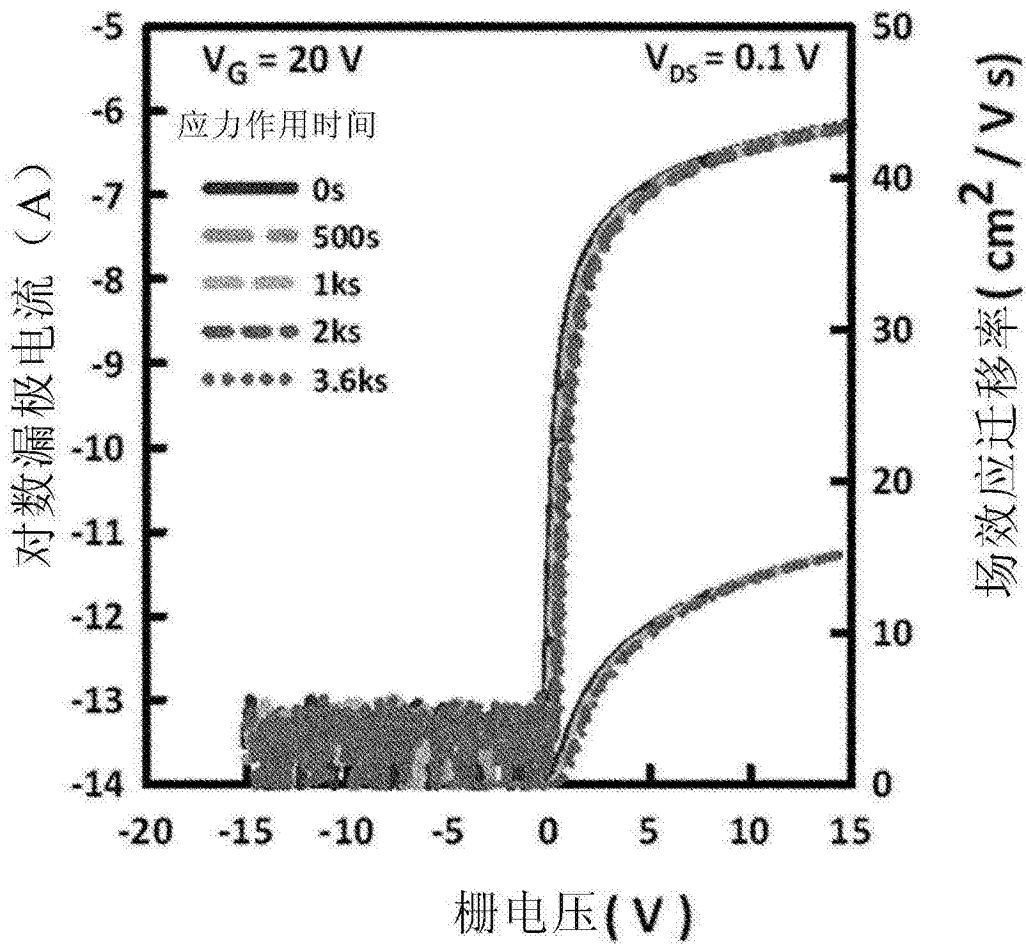


图 15

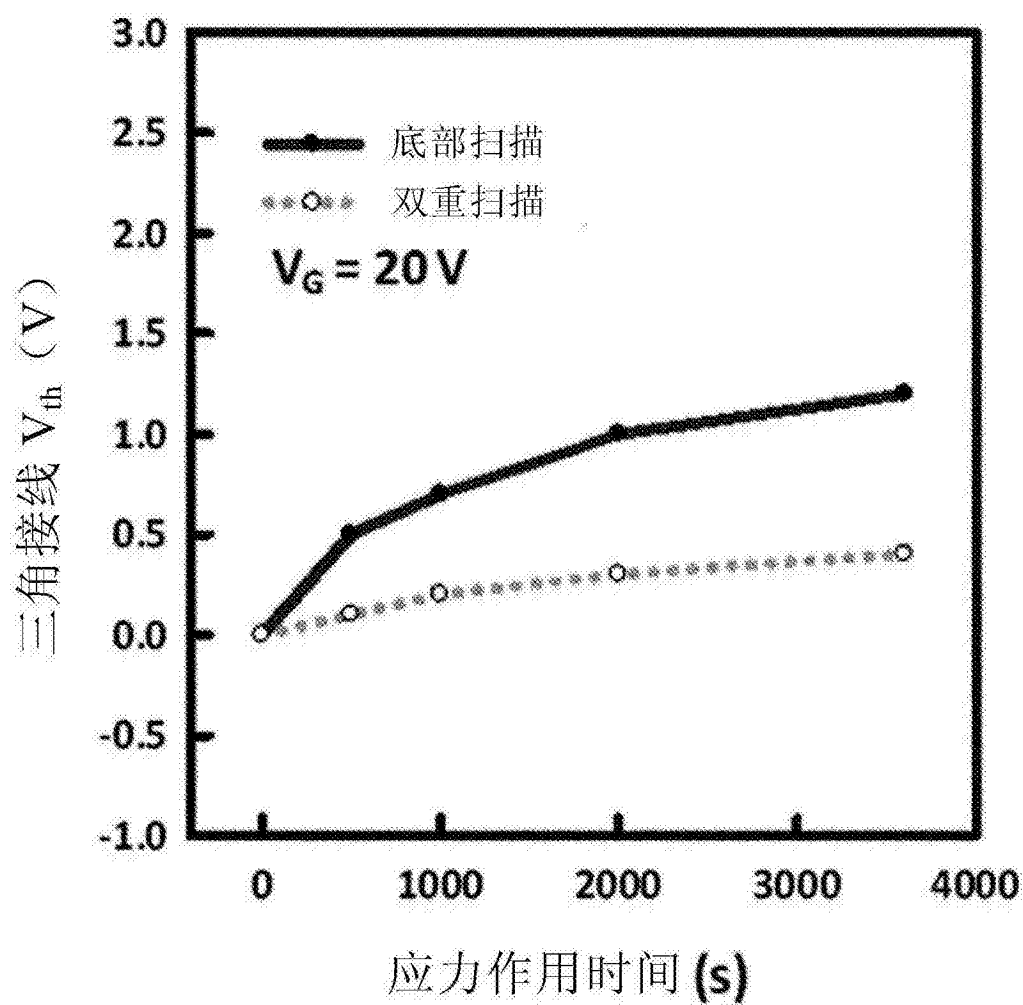


图 16

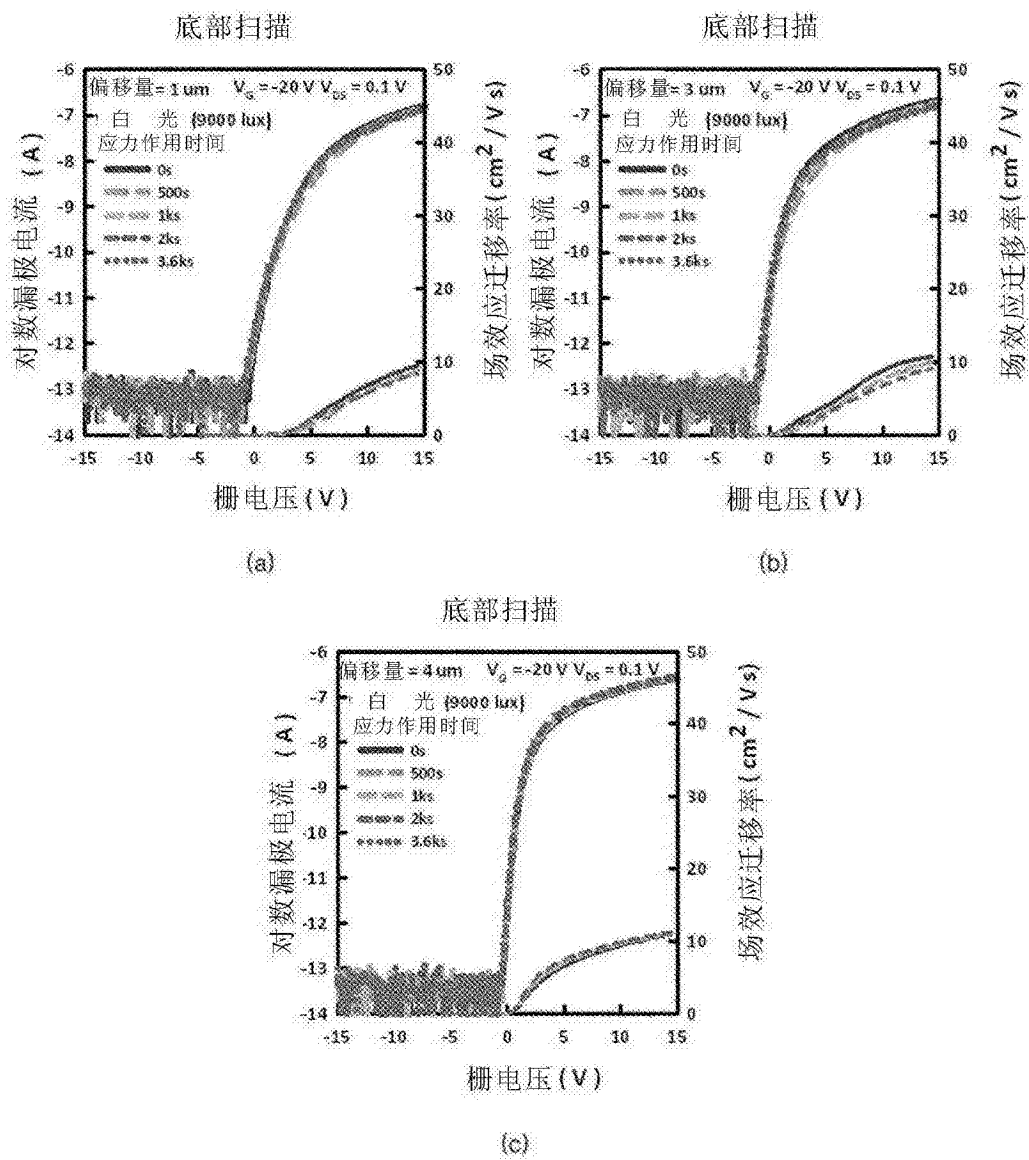


图 17

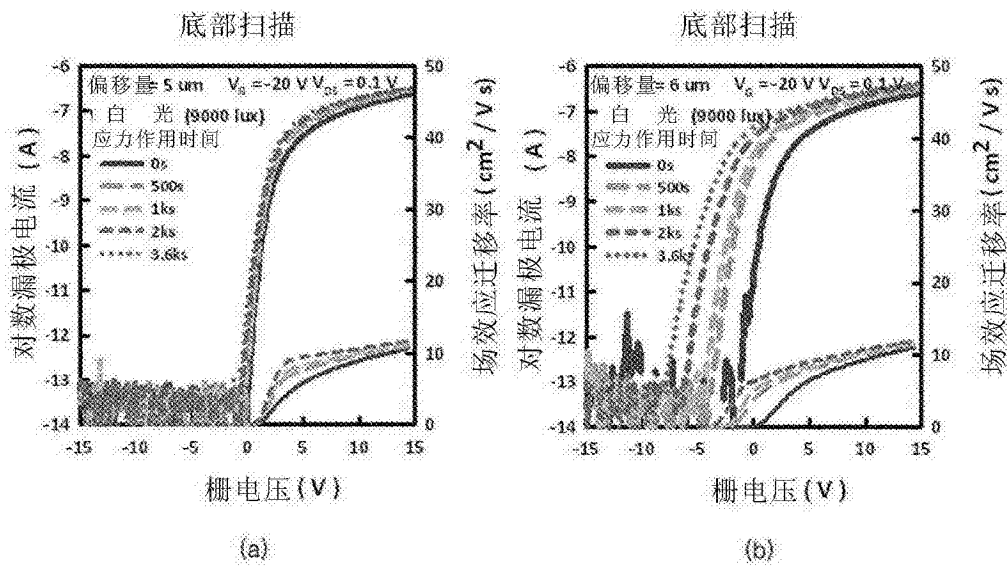


图 18

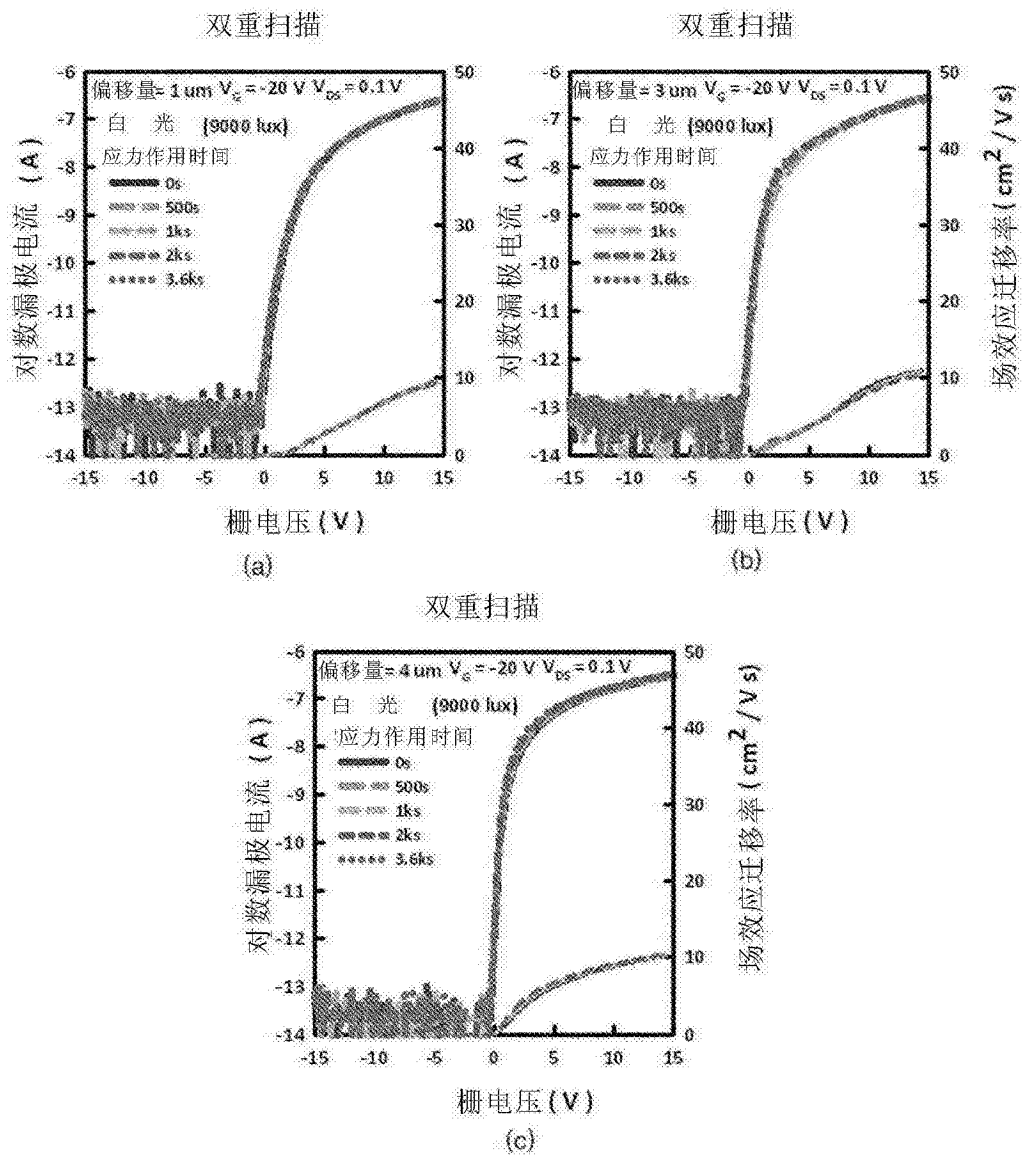


图 19

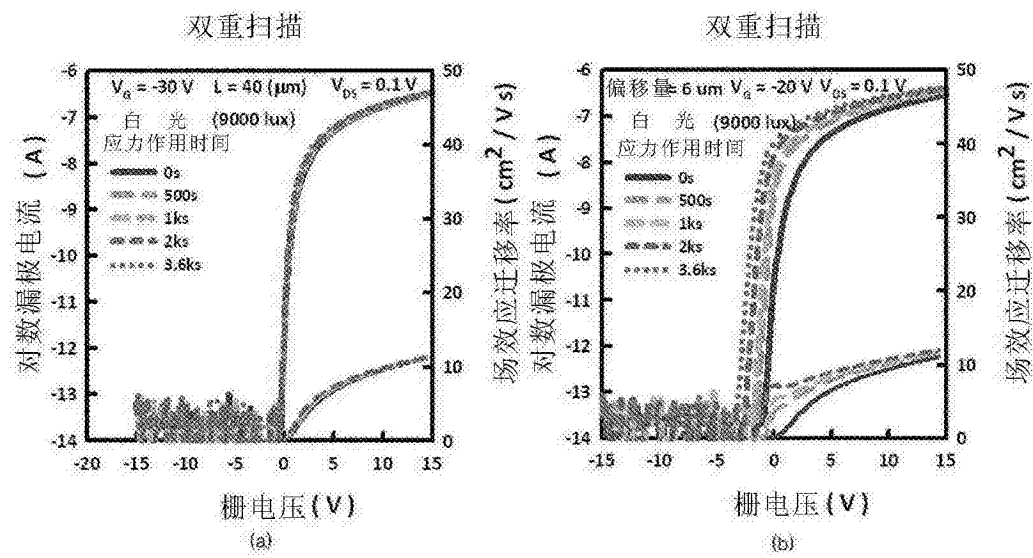


图 20

底部扫描

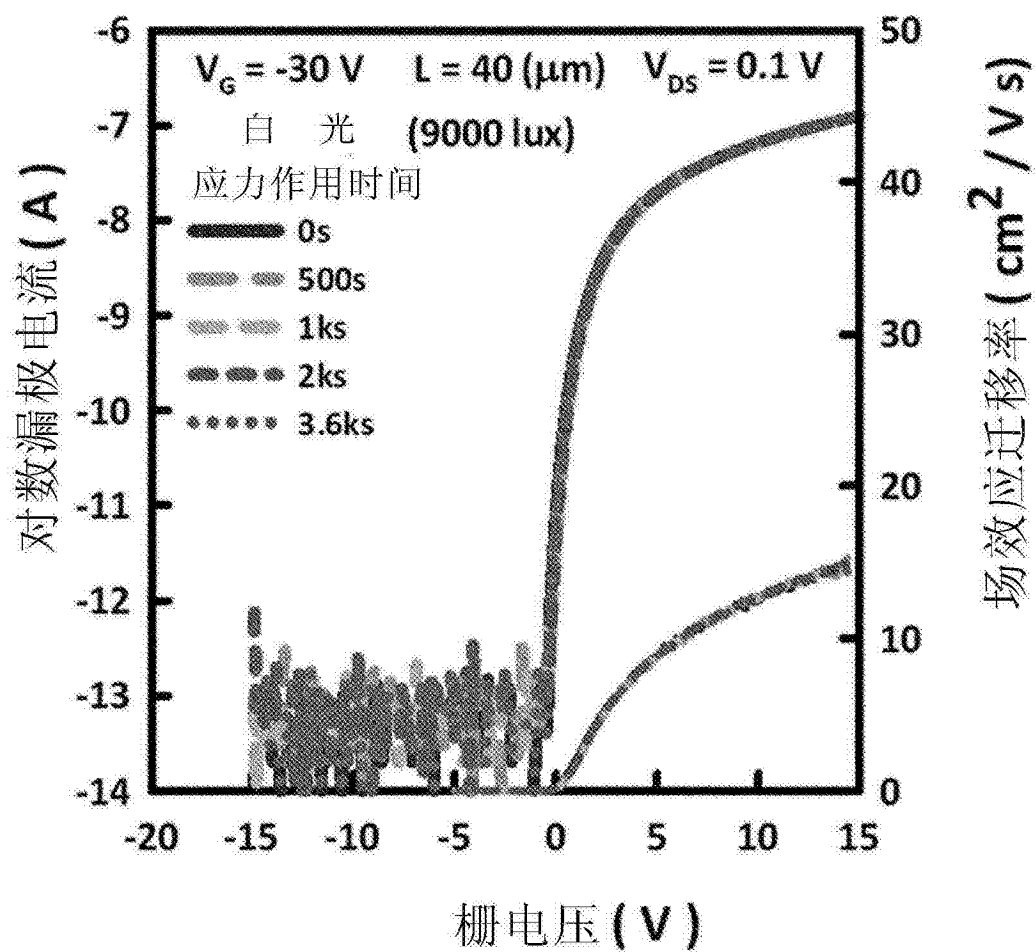


图 21

双重扫描

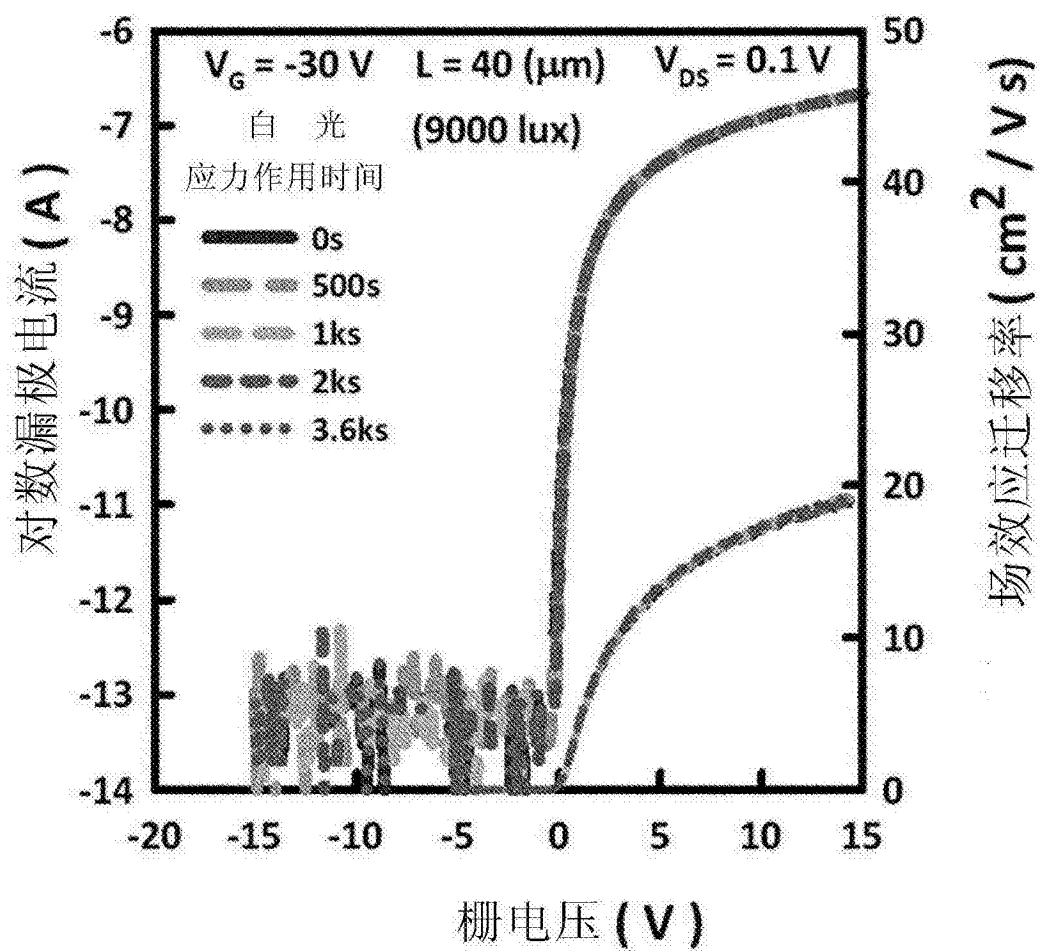


图 22