

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4476390号
(P4476390)

(45) 発行日 平成22年6月9日(2010.6.9)

(24) 登録日 平成22年3月19日(2010.3.19)

| | | | | |
|---------------|-----------|--------------|---------|--|
| (51) Int.Cl. | | F I | | |
| HO 1 L 21/336 | (2006.01) | HO 1 L 29/78 | 6 2 7 D | |
| HO 1 L 29/786 | (2006.01) | HO 1 L 29/78 | 6 2 0 | |
| HO 1 L 21/02 | (2006.01) | HO 1 L 27/12 | B | |
| HO 1 L 27/12 | (2006.01) | | | |

請求項の数 9 (全 17 頁)

| | | | |
|--------------|------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願平11-234963 | (73) 特許権者 | 000153878 |
| (22) 出願日 | 平成11年8月23日(1999.8.23) | | 株式会社半導体エネルギー研究所 |
| (65) 公開番号 | 特開2000-150905(P2000-150905A) | | 神奈川県厚木市長谷398番地 |
| (43) 公開日 | 平成12年5月30日(2000.5.30) | (72) 発明者 | 山崎 舜平 |
| 審査請求日 | 平成18年8月16日(2006.8.16) | | 神奈川県厚木市長谷398番地 株式会社 |
| (31) 優先権主張番号 | 特願平10-251635 | | 半導体エネルギー研究所内 |
| (32) 優先日 | 平成10年9月4日(1998.9.4) | (72) 発明者 | 大谷 久 |
| (33) 優先権主張国 | 日本国(JP) | | 神奈川県厚木市長谷398番地 株式会社 |
| | | | 半導体エネルギー研究所内 |
| | | 審査官 | 河本 充雄 |

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

主表面が{110}面である単結晶半導体基板に熱酸化処理を行い、膜厚が20nm~50nmである酸化シリコン膜を形成し、

前記酸化シリコン膜を通して前記単結晶半導体基板中に水素を添加して水素含有層を形成し、

前記単結晶半導体基板と支持基板とを貼り合わせ、

第1熱処理により前記単結晶半導体基板を前記水素含有層に沿って分断し、

1050 ~ 1150 の温度で第2熱処理を行い、

前記支持基板の上の主表面が{110}面である単結晶半導体層を研削し、

前記単結晶半導体層を活性層とする複数のTFETを形成することを特徴とする半導体装置の作製方法。

【請求項2】

主表面が{110}面である単結晶半導体基板に熱酸化処理を行い、膜厚が20nm~50nmである酸化シリコン膜を形成し、

前記酸化シリコン膜を通して前記単結晶半導体基板中に水素を添加して水素含有層を形成し、

前記単結晶半導体基板と支持基板とを貼り合わせ、

第1熱処理により前記単結晶半導体基板を前記水素含有層に沿って分断し、

1050 ~ 1150 の温度で第2熱処理を行い、

10

20

前記支持基板の上の主表面が{110}面である単結晶半導体層の表面を平坦化し、
前記単結晶半導体層を活性層とする複数のTFTを形成することを特徴とする半導体装置の作製方法。

【請求項3】

請求項2において、前記単結晶半導体層の表面の平坦化处理として、ケミカルメカニカルポリッシング処理または900 ~ 1200 の還元雰囲気中での熱処理を行うことを特徴とする半導体装置の作製方法。

【請求項4】

主表面が{110}面である単結晶半導体基板に熱酸化処理を行い、膜厚が20nm ~ 50nmである酸化シリコン膜を形成し、

前記酸化シリコン膜を通して前記単結晶半導体基板中に水素を添加して水素含有層を形成し、

前記単結晶半導体基板と支持基板とを貼り合わせ、

前記支持基板上に主表面が{110}面である単結晶半導体層が残るように、熱処理により前記単結晶半導体基板を前記水素含有層に沿って分断し、

前記単結晶半導体層を活性層とする複数のTFTを形成することを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至請求項4のいずれか一において、前記単結晶半導体層とは単結晶シリコン層であることを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一において、前記TFTのゲート配線に、銅又は銅合金を用いることを特徴とする半導体装置の作製方法。

【請求項7】

請求項1乃至請求項6のいずれか一の半導体装置の作製方法を用いて作製されたことを特徴とする電気光学装置。

【請求項8】

請求項1乃至請求項6のいずれか一の半導体装置の作製方法を用いて作製されたことを特徴とする半導体回路。

【請求項9】

請求項7に記載の電気光学装置または請求項8に記載の半導体回路を用いたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本願発明はSOI (Silicon on Insulator) 基板を用いて作製した半導体装置及びその作製方法に関する。具体的にはSOI基板上に形成された薄膜トランジスタ(以下、TFTと呼ぶ)を含む半導体装置に関する。

【0002】

なお、本明細書中において半導体装置とは半導体特性を利用することで機能しうる装置全般を指す。従って、TFTのみならず、液晶表示装置や光電変換装置に代表される電気光学装置、TFTを集積化した半導体回路、またその様な電気光学装置や半導体回路を部品として用いた電子機器も半導体装置に含む。

【0003】

【従来の技術】

近年、VLSI技術が飛躍的な進歩を遂げる中で低消費電力を実現するSOI (Silicon on Insulator) 構造が注目されている。この技術は従来バルク単結晶シリコンで形成されていたFETの活性領域(チャネル形成領域)を、薄膜単結晶シリコンとする技術である。

【0004】

10

20

30

40

50

SOI基板では単結晶シリコン上に酸化シリコンでなる埋め込み酸化膜が存在し、その上に単結晶シリコン薄膜が形成される。このようなSOI基板の作製方法は様々な方法が知られている。代表的なものとしてはSIMOX基板が知られている。SIMOXとは、「Separation-by-Implanted Oxygen」の略であり、単結晶シリコン基板中に酸素をイオン注入して埋め込み酸化層を形成する。SIMOX基板に関する詳細は、「K.Izumi, M.Doken and H.Ariyoshi: "C.M.O.S. devices fabrication on buried SiO₂ layers formed by oxygen implantation into silicon", Electron.Lett., 14, 593-594 (1978)」に詳しい。

【0005】

また、最近では貼り合わせSOI基板も注目されている。貼り合わせSOI基板とは、その名の通り2枚のシリコン基板を貼り合わせることでSOI構造を実現するものである。この技術を用いればセラミックス基板などの上にも単結晶シリコン薄膜を形成できる。

10

【0006】

その貼り合わせSOI基板の中でも最近特に注目されているものの一つにELTRAN（キャノン株式会社の登録商標）と呼ばれる技術がある。この技術は多孔質シリコン層の選択性エッチングを利用したSOI基板の作製方法である。ELTRAN法の詳細な技術に関しては、「K.Sakaguchi et al., "Current Progress in Epitaxial Layer Transfer (ELTRAN)", IEICE TRANS. ELECTRON, VOL. E80 C, NO. 3, pp378-387, March 1997」に詳しい。

【0007】

また、他に注目されているSOI技術にSmart-Cut（SOITEC社の登録商標）がある。Smart-Cut法は1996年にフランスのSOITEC社で開発された技術であり、水素脆化を利用した貼り合わせSOI基板の作製方法である。Smart-Cut法の詳細な技術に関しては、「工業調査会, 電子材料8月号, pp.83~87 (1997)」に詳しい。

20

【0008】

【発明が解決しようとする課題】

前述のSOI基板を作製する際には、いずれも主表面（素子が形成される面）の結晶面が{100}面（結晶方位が100配向）である単結晶シリコン基板が用いられている。これは{100}面が最も界面準位密度（Q_{ss}）が小さく、界面特性に敏感な電界効果トランジスタに適しているからである。

【0009】

しかしながら、TFTに用いるためのSOI基板は絶縁層上に単結晶シリコン薄膜を形成する必要があるため、界面準位密度よりも絶縁層との密着性を第一に優先させる必要がある。即ち、いくら界面準位密度が小さいからといって単結晶シリコン薄膜が剥がれてしまっただけでは意味がないのである。

30

【0010】

本願発明はこのような問題点を鑑みてなされたものであり、TFTに適したSOI基板を作製し、その上に形成されたTFTでもって信頼性の高い半導体装置を実現することを課題としている。

【0011】

【課題を解決するための手段】

本明細書で開示する発明の構成は、
主表面が{110}面である単結晶半導体基板中に水素含有層を形成する工程と、
前記単結晶半導体基板と支持基板とを貼り合わせる工程と、
第1熱処理により前記単結晶半導体基板を前記水素含有層に沿って分断する工程と、
900~1200の温度で第2熱処理を行う工程と、
前記支持基板の上の主表面が{110}面である単結晶半導体層を研削する工程と、
前記単結晶半導体層を活性層とする複数のTFTを形成する工程と、
を含むことを特徴とする。

40

【0012】

また、他の発明の構成は、
主表面が{110}面である単結晶半導体基板を陽極化成して多孔質半導体層を形成する

50

工程と、
 前記多孔質半導体層に対して還元雰囲気中で第1熱処理を行う工程と、
 前記多孔質半導体層上に主表面が{110}面である単結晶半導体層をエピタキシャル成長させる工程と、
 前記単結晶半導体基板と支持基板とを貼り合わせる工程と、
 900～1200の温度で第2熱処理を行う工程と、
 前記多孔質半導体層を露呈させる工程と、
 前記多孔質半導体層を除去し、前記単結晶半導体層を露呈させる工程と、
 前記支持基板の上に、前記単結晶半導体層を活性層とする複数のTFETを形成する工程と、

10

を含むことを特徴とする。

【0013】

また、他の発明の構成は、
 主表面が{110}面である単結晶半導体基板中に酸素含有層を形成する工程と、
 前記酸素含有層を形成した単結晶半導体基板に対して800～1200で熱処理を施す工程と、
 前記酸素含有層の上に形成された主表面が{110}面である単結晶半導体層を活性層とする複数のTFETを形成する工程と、
 を含むことを特徴とする。

20

【0014】

本願発明の趣旨は、SIMOX、ELTRAN、Smart-CutといったSOI技術を用いてSOI基板を作製するにあたって、最終的に支持基板上に形成される単結晶半導体層の形成材料として、主表面が{110}面である(結晶面が{110}面である)単結晶半導体基板を用いることにある。

【0015】

なお、ここでいう半導体とは代表的にはシリコンを指すが、シリコンゲルマニウムなどの他の半導体も含む。

【0016】

本願発明において、単結晶半導体層の形成材料として主表面が{110}面である単結晶半導体基板を用いる理由を以下に説明する。なお、この説明は単結晶シリコンを例にして行う。

30

【0017】

なお、単結晶シリコンとしてはFZ法で形成されたものとCZ法で形成されたものがあるが、本願発明ではFZ法で形成された単結晶シリコンを用いた方が好ましい。現在主流となっているCZ法は応力緩和を目的として 2×10^{18} atoms/cm³程度の酸素を含むため、電子や正孔の移動度が低下する恐れがある。特に微細なTFETを形成する場合にはこのことが顕著に現れるようになる。

【0018】

しかしながら、本願発明の様なSOI基板に用いる場合、TFETの活性層として必要とする単結晶シリコン層の膜厚は10～50nmと極めて薄い場合が多いので応力をあまり考慮する必要がなく、安価なCZ法よりも安価に単結晶シリコンを作製できるFZ法(含有酸素濃度は 1×10^{17} atoms/cm³以下)を用いても十分な効果を得ることができる。

40

【0019】

また、一般的なSOI基板は酸化シリコン層の上に単結晶シリコン層が形成されている。従って、酸化シリコン層と単結晶シリコン層との密着性や整合性が重要となる。そういう観点から見ると、SOI基板においては酸化シリコン層と接する時に最も安定な面で単結晶シリコン層が接しているのが理想的である。

【0020】

酸化シリコン層と最も安定に接する面は{110}面である。なぜならば、{110}面の場合には酸化シリコン層に対して3つのシリコン原子で接するからである。この状態を

50

図 8 に示す写真を用いて説明する。

【 0 0 2 1 】

図 8 (A) に示した写真は、単結晶シリコンの単位格子が二つ並んだ状態を示している結晶構造モデルである。ここで注目すべきは図中の矢印で示す部分である。矢印で示した部分には 3 つのシリコン原子が並んでいる。この 3 つのシリコン原子はどれも { 1 1 0 } 面の面内に含まれている。

【 0 0 2 2 】

即ち、結晶面が { 1 1 0 } 面である単結晶シリコン層を絶縁層上に形成すると、絶縁層と接合するシリコン原子は 3 つとなることが判る。

【 0 0 2 3 】

また、図 8 (A) を、角度を変えて見た写真を図 8 (B) に示す。図 8 (B) において矢印で示す部分に 3 つのシリコン原子が存在するが、これらは図 8 (A) にて矢印で示した 3 つのシリコン原子と同一のものである。

【 0 0 2 4 】

この様に、3 つのシリコン原子は { 1 1 0 } 面に含まれ、且つ、概略三角形に隣接して配置されていることが判る。即ち、このような配置状態で下地となる絶縁層に接合し、「面」で接した安定な接合を形成している。この事は、単結晶シリコン層と下地となる絶縁層とが非常に高い密着性をもって接合されていることを示している。

【 0 0 2 5 】

一方で、例えば { 1 0 0 } 面や { 1 1 1 } 面といった他の面で酸化シリコン層に接した場合、酸化シリコン層に接するのは最大で 2 つのシリコン原子であり、「線」で接した不安定な接合を形成する。

【 0 0 2 6 】

さらに、主表面が { 1 1 0 } 面である単結晶シリコン層を用いる大きなメリットとしては、シリコン表面が非常に平坦であることが挙げられる。主表面が { 1 1 0 } 面である場合、劈開面は層状に現れる様になっており、非常に凹凸の少ない表面を形成することが可能である。

【 0 0 2 7 】

この様に、本願発明では S O I 基板において単結晶シリコン層の下地 (酸化シリコン層) への密着性を第一に考え、従来用いられなかった { 1 1 0 } 面を結晶面とする単結晶シリコン基板を用いる点に特徴がある。即ち、主表面 (結晶面) が { 1 1 0 } 面である単結晶半導体基板を材料として S I M O X、E L T R A N、Smart-Cut といった S O I 技術を駆使し、信頼性の高い S O I 基板を形成することに特徴がある。なお、主表面が { 1 1 0 } 面である単結晶半導体基板のオリエンタルフラットは { 1 1 1 } 面とすれば良い。

【 0 0 2 8 】

そして、その様な S O I 基板を用いて単結晶半導体薄膜を活性層とする複数の T F T を同一基板上に形成し、信頼性の高い半導体装置を実現する。

【 0 0 2 9 】

【発明の実施の形態】

本願発明の実施の形態について、以下に記載する実施例をもって詳細な説明を行うこととする。

【 0 0 3 0 】

【実施例】

(実施例 1)

本実施例では Smart-Cut 法で S O I 基板を作製するにあたって主表面が { 1 1 0 } 面である単結晶シリコン基板を用い、その S O I 基板を用いて半導体装置を作製する場合について図 1 を用いて説明する。

【 0 0 3 1 】

まず、単結晶シリコン層の形成材料となる単結晶シリコン基板 1 0 1 を用意する。ここでは主表面の結晶面が { 1 1 0 } 面である P 型基板を用いるが、N 型であっても良い。勿論

10

20

30

40

50

、単結晶シリコンゲルマニウム基板を用いることもできる。

【0032】

次いで熱酸化処理を行い、その主表面（素子形成面に相当する）に酸化シリコン膜102を形成する。膜厚は実施者が適宜決定すれば良いが、10～500nm（代表的には20～50nm）とすれば良い。この酸化シリコン膜102は後にSOI基板の埋め込み絶縁層の一部として機能する。（図1（A））

【0033】

この時、単結晶シリコン基板101と酸化シリコン膜102の界面の密着性は非常に高いものとなる。これは本願発明では{110}面上に酸化シリコン膜102を形成するため、非常に整合性の高い界面が実現されるからである。この界面は最終的にTFEとなった時、活性層と下地膜との界面であるため、密着性（整合性）が高いことは非常に有利である。

10

【0034】

また、酸化シリコン膜102の膜厚を20～50nmと薄くすることが可能であるのは、単結晶シリコン基板101の結晶面が{110}面であるため、薄くても密着性の高い酸化シリコン膜が形成できるからである。

【0035】

なお、{110}面は酸化反応が進行すると次第にシリコン表面のうねり（凹凸）が大きくなるという問題があるが、本実施例の様に薄い酸化シリコン膜を設ける場合、酸化量が小さいのでその様なうねりの問題を極力排除できる。このことは、本明細書に記載された全ての実施例に共通する利点である。

20

【0036】

従って、本願発明を用いて作製された単結晶シリコン層は極めて平坦な表面を有する。例えば、うねりの頂点から頂点までの距離は、前述した{110}面に含まれる3つの原子の隣接原子間距離の10倍以下（好ましくは20倍以下）である。即ち、約5nm以下（好ましくは10nm以下）である。

【0037】

次に、単結晶シリコン基板101の主表面側から酸化シリコン膜102を通して水素を添加する。この場合、水素イオンの形でイオンインプランテーション法を用いて水素添加を行えば良い。勿論、水素の添加工程を他の手段で行うことも可能である。こうして水素含有層103が形成される。本実施例では水素イオンを $1 \times 10^{16} \sim 1 \times 10^{17}$ atoms/cm²のドーズ量で添加する。（図1（B））

30

【0038】

なお、水素含有層103が形成される深さは後に単結晶シリコン層の膜厚を決定するため、精密な制御が必要である。本実施例では単結晶シリコン基板101の主表面と水素含有層103との間に50nm厚の単結晶シリコン層が残る様に水素添加プロファイルの深さ方向の制御を行っている。

【0039】

また、{110}面は原子密度が最も小さな面であるため、水素イオンを添加してもシリコン原子との衝突確率が最も小さい。即ち、イオン添加する際のダメージを最小限に抑えることが可能である。

40

【0040】

次に、単結晶シリコン基板101と支持基板とを貼り合わせる。本実施例では支持基板としてシリコン基板104を用い、その表面には貼り合わせ用の酸化シリコン膜105を設けておく。なお、シリコン基板104としてはFZ法で形成された安価なシリコン基板を用意すれば十分である。勿論、多結晶シリコン基板であっても構わない。また、平坦性さえ確保できれば石英基板、セラミックス基板、結晶化ガラス基板などの高耐熱性基板を用いても良い。（図1（C））

【0041】

この時、貼り合わせ界面は親水性の高い酸化シリコン膜同士となるので、両表面に含まれ

50

た水分の反応により水素結合で接着される。

【0042】

次に、400～600（典型的には500）の熱処理（第1熱処理）を行う。この熱処理により水素含有層103では微小空乏の体積変化が起こり、水素含有層103に沿って破断面が発生する。これにより単結晶シリコン基板101は分断され、支持基板の上には酸化シリコン膜102と単結晶シリコン層106が残される。（図1（D））

【0043】

次に、第2熱処理工程として1050～1150の温度範囲でファーネスアニール工程を行う。この工程では貼り合わせ界面において、Si-O-Si結合の応力緩和が起こり、貼り合わせ界面が安定化する。即ち、単結晶シリコン層106を支持基板上に完全に接着させるための工程となる。本実施例ではこの工程を1100、2時間で行う。

10

【0044】

こうして貼り合わせ界面が安定化することで埋め込み絶縁層107が画定する。なお、図1（E）において埋め込み絶縁層107中の点線は、貼り合わせ界面を示しており、界面が強固に接着されたことを意味している。

【0045】

次に、単結晶シリコン層106の表面を平坦化する。平坦化にはCMP（ケミカルメカニカルポリッシング）と呼ばれる研磨工程や還元雰囲気中で高温（900～1200程度）のファーネスアニール処理を行えば良い。

【0046】

最終的な単結晶シリコン層106の膜厚は10～200nm（好ましくは20～100nm）とすれば良い。

20

【0047】

次に、単結晶シリコン層106をパターンニングして、後にTFETの活性層となる島状シリコン層108を形成する。なお、本実施例では一つの島状シリコン層しか記載していないが、同一基板上に複数個が形成される。（図1（F））

【0048】

以上の様にして、主表面が{110}面である島状シリコン層108が得られる。本願発明はこうして得られた島状シリコン層をTFETの活性層として用い、同一基板上に複数のTFETを形成することに特徴がある。

30

【0049】

次に、TFETの形成方法について図2を用いて説明する。まず、図1（F）の状態までを完成させる。なお、図2（A）において、支持基板201は実際には図1のシリコン基板104と埋め込み絶縁層107とに区別されるが、簡易的に一体化した状態で示す。また、図2（A）の島状シリコン層202が図1（F）の島状シリコン層108に相当する。

【0050】

次に、熱酸化工程を行って島状シリコン層202の表面に10nm厚の酸化シリコン膜203を形成する。この酸化シリコン膜203はゲート絶縁膜として機能する。ゲート絶縁膜203を形成したら、その上に導電性を有するポリシリコン膜を形成し、パターンニングによりゲート配線204を形成する。（図2（A））

40

【0051】

なお、本実施例ではゲート配線としてN型導電性を持たせたポリシリコン膜を利用するが、材料はこれに限定されるものではない。特に、ゲート配線の抵抗を下げるにはタンタル、タンタル合金又はタンタルと窒化タンタルとの積層膜等の金属膜を用いることも有効である。さらに低抵抗なゲート配線を狙うならば銅や銅合金を用いても有効である。

【0052】

図2（A）の状態が得られたら、N型導電性又はP型導電性を付与する不純物を添加して不純物領域205を形成する。この時の不純物濃度で後にLDD領域の不純物濃度が決定する。本実施例では 1×10^{18} atoms/cm³の濃度で砒素を添加するが、不純物も濃度も本実施例に限定される必要はない。

50

【0053】

次に、ゲート配線の表面に5～10nm程度の薄い酸化シリコン膜206を形成する。これは熱酸化法やプラズマ酸化法を用いて形成すれば良い。この酸化シリコン膜206の形成には、次のサイドウォール形成工程でエッチングストッパーとして機能させる目的がある。

【0054】

エッチングストッパーとなる酸化シリコン膜206を形成したら、窒化シリコン膜を形成してエッチバックを行い、サイドウォール207を形成する。こうして図2(B)の状態を得る。

【0055】

なお、本実施例ではサイドウォール207として窒化シリコン膜を用いたが、ポリシリコン膜やアモルファスシリコン膜を用いることもできる。勿論、ゲート配線の材料が変われば、それに応じてサイドウォールとして用いることのできる材料の選択幅も広がることは言うまでもない。

【0056】

次に、再び先程と同一導電型の不純物を添加する。この時に添加する不純物濃度は先程の工程よりも高い濃度とする。本実施例では不純物として砒素を用い、濃度は 1×10^{21} atoms/cm³とするがこれに限定する必要はない。この不純物の添加工程によりソース領域208、ドレイン領域209、LDD領域210及びチャネル形成領域211が画定する。(図2(C))

【0057】

こうして各不純物領域が形成されたらファーネスアニール、レーザーアニール又はランプアニール等の手段により不純物の活性化を行う。

【0058】

次に、ゲート配線204、ソース領域208及びドレイン領域209の表面に形成された酸化シリコン膜を除去し、それらの表面を露呈させる。そして、5nm程度のコバルト膜212を形成して熱処理工程を行う。この熱処理によりコバルトとシリコンとの反応が起こり、シリサイド層(コバルトシリサイド層)213が形成される。(図2(D))

【0059】

この技術は公知のシリサイド技術である。従って、コバルトの代わりにチタンやタンゲステンを用いても構わないし、熱処理条件等は公知技術を参考にすれば良い。本実施例ではランプアニールを用いて熱処理工程を行う。

【0060】

こうしてシリサイド層213を形成したら、コバルト膜212を除去する。その後、1μm厚の層間絶縁膜214を形成する。層間絶縁膜214としては、酸化シリコン膜、窒化シリコン膜もしくは酸化窒化シリコン膜などの無機絶縁膜又はポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)などの有機樹脂絶縁膜を用いれば良い。また、これらの無機絶縁膜または有機樹脂絶縁膜を積層しても良い。

【0061】

次に、層間絶縁膜214にコンタクトホールを形成してアルミニウムを主成分とする材料でなるソース配線215及びドレイン配線216を形成する。最後に素子全体に対して水素雰囲気中で300～2時間のファーネスアニールを行い、水素化を完了する。

【0062】

こうして、図2(E)に示す様なTFETが得られる。なお、本実施例で説明した構造は一例であって本願発明を適用しうるTFET構造はこれに限定されない。従って、公知のあらゆる構造のTFETに対して適用可能である。また、本実施例の工程条件は一例であり、本願発明の本質部分以外は実施者が適宜最適な条件を設定すれば良い。

【0063】

また、本実施例ではNチャネル型TFETを例にとって説明したが、Pチャネル型TFETを作製することも容易である。さらに同一基板上にNチャネル型TFETとPチャネル型TF

10

20

30

40

50

Tとを形成して相補的に組み合わせ、CMOS回路を形成することも可能である。

【0064】

さらに、図2(E)の構造においてドレイン配線216と電氣的に接続する画素電極(図示せず)を公知の手段で形成すればアクティブマトリクス型表示装置の画素スイッチング素子を形成することも容易である。

【0065】

即ち、本願発明は液晶表示装置、EL(エレクトロルミネッセンス)表示装置、EC(エレクトロクロミクス)表示装置又は光電変換装置(光センサ)等に代表される電気光学装置の作製方法としても非常に有効な技術である。

【0066】

(実施例2)

本願発明では、主表面が{110}面である単結晶シリコン基板を用いて実施例1とは異なるSOI基板を作製し、それを用いて半導体装置を作製した場合例について説明する。具体的にはELTRANと呼ばれる技術を用いる場合を説明する。

【0067】

まず、主表面(結晶面)が{110}面である単結晶シリコン基板301を用意する。次に、その主表面を陽極化成することにより多孔質シリコン層302を形成する。陽極化成工程はフッ酸とエタノールの混合溶液中で行えば良い。多孔質シリコン層302は柱状の表面孔が表面密度にして 10^{11} 個/cm³程度設けられた単結晶シリコン層と考えられ、単結晶シリコン基板301の結晶状態(配向性等)をそのまま受け継ぐ。なお、ELTRAN法自体が公知であるので詳細な説明はここでは省略する。

【0068】

そして、その多孔質シリコン層302を形成したら、還元雰囲気中で900~1200(好ましくは1000~1150)の温度範囲の熱処理工程を行うことが好ましい。本実施例では水素雰囲気中で1050、2時間の加熱処理を行う。

【0069】

還元雰囲気としては水素雰囲気、アンモニア雰囲気、水素又はアンモニアを含む不活性雰囲気(水素と窒素又は水素とアルゴンの混合雰囲気など)が望ましいが、不活性雰囲気でも結晶性珪素膜の表面の平坦化は可能である。しかし、還元作用を利用して自然酸化膜の還元を行うとエネルギーの高いシリコン原子が多く発生し、結果的に平坦化効果が高まるので好ましい。

【0070】

ただし、特に注意が必要なのは雰囲気中に含まれる酸素又は酸素化合物(例えばOH基)の濃度を10ppm以下(好ましくは1ppm以下)にしておくことである。さもないと水素による還元反応が起こらなくなってしまう。

【0071】

この時、多孔質シリコン層302の表面近傍では表面孔がシリコン原子の移動によって閉塞され、非常に平坦なシリコン表面が得られる。

【0072】

次に、多孔質シリコン層302上に単結晶シリコン層303をエピタキシャル成長させる。この時、エピタキシャル成長させた単結晶シリコン層303は単結晶シリコン基板301の結晶構造をそのまま反映するので、主表面が{110}面となる。また、膜厚は10~200nm(好ましくは20~100nm)とすれば良い。(図3(A))

【0073】

次に、単結晶シリコン層303を酸化して酸化シリコン層304を形成する。形成方法としては、熱酸化、プラズマ酸化、レーザー酸化などを用いることが可能である。このとき、単結晶シリコン層305が残存する。(図3(B))

【0074】

次に、支持基板として表面に酸化シリコン層を設けた多結晶シリコン基板306を用意する。勿論、表面に絶縁膜を設けたセラミックス基板、石英基板、ガラスセラミックス基板

10

20

30

40

50

を用いても良い。

【0075】

こうして単結晶シリコン基板301と支持基板(多結晶シリコン基板306)の準備が完了したら、互いの主表面を向かい合わせる形で両基板を貼り合わせる。この場合、互いの基板に設けられた酸化シリコン層が接着剤の役目を果たす。(図3(C))

【0076】

貼り合わせが終了したら、次に1050~1150の温度で熱処理工程を行い、酸化シリコン同士でなる貼り合わせ界面の安定化を行う。本実施例ではこの熱処理工程を1100、2時間で行う。なお、図3(C)において点線で示されているのは完全に接着された貼り合わせ界面である。また、両基板に設けられた酸化シリコン層は熱処理により一体化して埋め込み絶縁層307となる。

10

【0077】

次に、CMP等の機械的な研磨により単結晶シリコン基板301を裏面側から研削し、多孔質シリコン層302が露呈したところで研削工程を終了する。こうして図3(D)の状態を得る。

【0078】

次に、多孔質シリコン層302をウェットエッチングして選択的に除去する。用いるエッチャントはフッ酸水溶液と過酸化水素水溶液との混合溶液が良い。49%HFと30% H_2O_2 を1:5で混合した溶液は、単結晶シリコン層と多孔質シリコン層との間で10万倍以上の選択比を持つことが報告されている。

20

【0079】

こうして図3(E)の状態が得られる。この状態では多結晶シリコン基板306上に埋め込み絶縁層307が設けられ、その上に単結晶シリコン層308が形成されている。

【0080】

この時点でSOI基板は完成しているのだが、単結晶シリコン層308の表面には微小な凹凸が存在するので、水素雰囲気中で熱処理工程を行い、平坦化を施すことが望ましい。この平坦化現象は前述した様に自然酸化膜を還元することによるシリコン原子の増速表面拡散によるものである。

【0081】

なおこの時、水素原子によって単結晶シリコン層308中に含まれるボロン(P型シリコン基板に含まれていたもの)が気相中へと離脱する効果もあるので不純物の低減にも有効である。

30

【0082】

次に、得られた単結晶シリコン層308をパターンニングして島状シリコン層309を形成する。なお、図面上では一つしか記載していないが、複数個を形成しても良いことは言うまでもない。

【0083】

この後は、実施例1において図2を用いて説明したのと同様の工程によってTFTを作製することができる。また、他の公知の手段を用いてTFTを形成しても良い。本実施例では詳細な説明を省略する。

40

【0084】

(実施例3)

本願発明では、主表面が{110}面である単結晶シリコン基板を用いて実施例1、実施例2とは異なるSOI基板を作製し、それを用いて半導体装置を作製した場合例について説明する。具体的にはSIMOXと呼ばれるSOI基板を作製する場合を説明する。

【0085】

図4(A)において、401は単結晶シリコン基板である。本実施例では、まず単結晶シリコン基板401に対して酸素イオンを添加し、所定の深さに酸素含有層402を形成する。酸素イオンは 1×10^{18} atoms/cm²程度のドーズ量で添加すれば良い。

【0086】

50

また、この時、{ 1 1 0 } 面は原子密度が小さいため、酸素イオンとシリコン原子との衝突確率は小さいものとなる。即ち、酸素を添加することによるシリコン表面のダメージを最小限に抑えることができる。勿論、イオン添加中に基板温度を 4 0 0 ~ 6 0 0 にすることでさらにダメージを低減することができる。

【 0 0 8 7 】

次に、8 0 0 ~ 1 2 0 0 の温度で熱処理を行い、酸素含有層 4 0 2 を埋め込み絶縁層 4 0 3 に変化させる。酸素含有層 4 0 2 の深さ方向の幅はイオン添加時の酸素イオンの分布で決まっており、裾をひくような分布を持っているが、この熱処理工程により単結晶シリコン基板 4 0 1 と埋め込み絶縁層 4 0 3 との界面は非常に急峻なものとなる。(図 4 (B))

10

【 0 0 8 8 】

この埋め込み絶縁層 4 0 3 の膜厚は 1 0 ~ 5 0 0 nm (代表的には 2 0 ~ 5 0 nm) とする。2 0 ~ 5 0 nm といった薄い埋め込み絶縁層を実現できるのは単結晶シリコン基板 4 0 1 と埋め込み絶縁層 4 0 3 の界面が安定に接合されているからであり、それは主表面が { 1 1 0 } 面である単結晶シリコン基板を単結晶シリコン層の形成材料として用いるからに他ならない。

【 0 0 8 9 】

こうして埋め込み絶縁層 4 0 3 が形成されると、埋め込み絶縁層 4 0 3 の上には単結晶シリコン層 4 0 4 が残存する。即ち、本実施例では主表面が { 1 1 0 } 面である単結晶シリコン基板を用いるため、埋め込み絶縁層を形成した後に得られる単結晶シリコン層 4 0 4 も主表面(結晶面)が { 1 1 0 } 面となる。なお、単結晶シリコン層 4 0 4 の膜厚は 1 0 ~ 2 0 0 nm (好ましくは 2 0 ~ 1 0 0 nm) となる様に調節すれば良い。

20

【 0 0 9 0 】

こうして単結晶シリコン層 4 0 4 が得られたら、パターニングして島状シリコン層 4 0 5 を得る。島状シリコン層は複数形成しても構わない。

【 0 0 9 1 】

この後は、実施例 1 において図 2 で説明した工程に従って複数の T F T を完成すれば良い。また、他の公知の手段を用いて T F T を形成しても良い。本実施例では詳細な説明を省略する。

【 0 0 9 2 】

(実施例 4)

本実施例では、本願発明の半導体装置として反射型液晶表示装置の例を図 5 に示す。画素 T F T (画素スイッチング素子) の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

30

【 0 0 9 3 】

図 5 (A) において 1 1 は絶縁表面を有する基板、1 2 は画素マトリクス回路、1 3 はソースドライバー回路、1 4 はゲートドライバー回路、1 5 は対向基板、1 6 は F P C (フレキシブルプリントサーキット)、1 7 は信号処理回路である。信号処理回路 1 7 としては、D / A コンバータ、補正回路、信号分割回路などの従来 I C で代用していた様な処理を行う回路を形成することができる。勿論、ガラス基板上に I C チップを設けて、I C チップ上で信号処理を行うことも可能である。

40

【 0 0 9 4 】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であれば E L (エレクトロルミネッセンス) 表示装置や E C (エレクトロクロミック) 表示装置などの他の電気光学装置に本願発明を用いることも可能である。

【 0 0 9 5 】

ここで図 5 (A) のドライバー回路 1 3、1 4 を構成する回路の一例を図 5 (B) に示す。なお、T F T 部分については既に実施例 1 で説明しているので、ここでは必要箇所のみ説明を行うこととする。

【 0 0 9 6 】

50

図5(B)において、501、502はNチャンネル型TFT、503はPチャンネル型TFTであり、501と503のTFTでCMOS回路を構成している。504は窒化シリコン膜/酸化シリコン膜/樹脂膜の積層膜でなる絶縁層、その上にはチタン配線505が設けられ、前述のCMOS回路とTFT502とが電気的に接続されている。チタン配線はさらに樹脂膜でなる絶縁層506で覆われている。二つの絶縁層504、506は平坦化膜としての機能も有している。

【0097】

また、図5(A)の画素マトリクス回路12を構成する回路の一部を図5(C)に示す。図5(C)において、507はダブルゲート構造のNチャンネル型TFTでなる画素TFTであり、画素領域内に大きく広がる様にしてドレイン配線508が形成されている。

10

【0098】

その上には絶縁層504が設けられ、その上にチタン配線505が設けられている。この時、絶縁層504の一部には凹部が落とし込み部が形成され、最下層の窒化シリコン及び酸化シリコンのみが残される。これによりドレイン配線508とチタン配線505との間で補助容量が形成される。

【0099】

また、画素マトリクス回路内に設けられたチタン配線505はソース・ドレイン配線と後の画素電極との間において電界遮蔽効果をもたらす。さらに、複数設けられた画素電極間の隙間ではブラックマスクとしても機能する。

【0100】

そして、チタン配線505を覆って絶縁層506が設けられ、その上に反射性導電膜でなる画素電極509が形成される。勿論、画素電極509の表面に反射率を上げるための工夫をなしても構わない。

20

【0101】

また、実際には画素電極509の上に配向膜や液晶層が設けられるが、ここでの説明は省略する。

【0102】

本願発明を用いて以上の様な構成でなる反射型液晶表示装置を作製することができる。勿論、公知の技術と組み合わせれば容易に透過型液晶表示装置(但し、支持基板として透光性基板を用いた場合に限る)を作製することもできる。さらに、公知の技術と組み合わせればアクティブマトリクス型のEL表示装置も容易に作製することができる。

30

【0103】

なお、本実施例の電気光学装置を作製するにあたって、実施例1~実施例3のいずれのSOI基板を用いても構わない。

【0104】

(実施例5)

本願発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、D/Aコンバータ等の信号処理回路から携帯機器(携帯電話、PHS、モバイルコンピュータ)用の高周波回路に適用しても良い。

40

【0105】

図6に示すのは、マイクロプロセッサの一例である。マイクロプロセッサは典型的にはCPUコア21、RAM22、クロックコントローラ23、キャッシュメモリー24、キャッシュコントローラ25、シリアルインターフェース26、I/Oポート27等から構成される。

【0106】

勿論、図6に示すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な回路設計が行われる。

【0107】

50

しかし、どの様な機能を有するマイクロプロセッサであっても中枢として機能するのはIC(Integrated Circuit)28である。IC28は半導体チップ29上に形成された集積化回路をセラミック等で保護した機能回路である。

【0108】

そして、その半導体チップ29上に形成された集積化回路(半導体回路)を構成するのが本願発明の構造を有するNチャンネル型TFT30、Pチャンネル型TFT31である。なお、基本的な回路はCMOS回路を最小単位として構成することで消費電力を抑えることができる。

【0109】

また、本実施例に示したマイクロプロセッサは様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両(自動車や電車等)の制御用コンピュータなども挙げられる。

10

【0110】

なお、本実施例の半導体回路を作製するにあたって、実施例1~実施例3のいずれのSOI基板を用いても構わない。

【0111】

(実施例6)

実施例4に示した電気光学装置や実施例5に示した半導体回路は、様々な電子機器に用いることができる。その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、TV用ディスプレイ、パーソナルコンピュータ用ディスプレイ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、カーナビゲーション、パーソナルコンピュータ、画像再生装置(DVDプレイヤー、CDプレイヤー、MDプレイヤー等)、携帯情報端末(モバイルコンピュータ、携帯電話、電子書籍等)などが挙げられる。それらの一例を図7に示す。

20

【0112】

図7(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

30

【0113】

図7(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0114】

図7(C)はモバイルコンピュータ(モービルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0115】

図7(D)はパーソナルコンピュータであり、本体2301、受像部2302、表示装置2303、キーボード2304等で構成される。本願発明は表示装置2304やその他の信号制御回路に用いることができる。

40

【0116】

図7(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403やその他の信号制御回路に適用することができる。

【0117】

図7(F)は電子書籍であり、本体2501、表示装置2502、2503、記憶媒体2

50

504、操作スイッチ2505、アンテナ2506で構成される。本発明は表示装置2502、2503やその他の信号制御回路に適用することができる。

【0118】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【0119】

(実施例7)

本実施例は、実施例2の変形例であり、図3のELTRAN法を用いる際に、多孔質シリコン層302の形成方法を改良した例を示す。

【0120】

図3(A)の工程ではフッ酸とエタノールの混合溶液中で陽極化成処理を行って多孔質シリコン層302を形成している。このとき、陽極化成処理は一定の電流密度で行っているが、本実施例では電流密度を陽極化成処理の途中で切り換えることを特徴とする。

【0121】

具体的には、陽極化成処理の途中で与える電流密度を上げ、それまでに形成された多孔質シリコン層(第1多孔質シリコン層)よりも個々の孔の径が大きい第2の多孔質シリコン層を形成する。

【0122】

本実施例の場合、図3(C)の状態の多孔質シリコン層(第1多孔質シリコン層と第2多孔質シリコン層との積層体)に衝撃を与えると、多孔質シリコン層302は第1多孔質シリコン層と第2多孔質シリコン層との界面に沿って分断される。即ち、図3(D)に示したような研磨工程(研削工程)を行う必要がない。

【0123】

従って、本実施例に従えば、一つのSOI基板を作製するのに二枚の半導体基板を必要としないため、大幅に製造コストを低減することができる。

【0124】

なお、本実施例に従ってSOI基板を作製したら、実施例1の工程に従って、主表面が{110}面の単結晶シリコン層でなる活性層を有するTFTを形成すれば良い。また、本実施例を用いて作製されたTFTは実施例4の電気光学装置または実施例5の半導体回路に用いることができる。また、そうして作製された電気光学装置や半導体回路は、実施例6の電子機器に用いることができる。

【0125】

【発明の効果】

本願発明を実施することで、SOI基板の埋め込み絶縁層と単結晶シリコン層との密着性を高めることができ、SOI基板を用いて作製されたTFTの信頼性を高めることができる。

【0126】

そして、そのTFTを用いて非常に高い信頼性を有する半導体回路を構成することが可能となり、延いては液晶表示装置やそれを搭載したノートパソコンなどの半導体装置の信頼性を高くすることができる。

【図面の簡単な説明】

【図1】 SOI基板の作製工程を示す図。

【図2】 TFTの作製工程を示す図。

【図3】 SOI基板の作製工程を示す図。

【図4】 SOI基板の作製工程を示す図。

【図5】 半導体装置(電気光学装置)の構成を示す図。

【図6】 半導体装置(半導体回路)の構成を示す図。

【図7】 半導体装置(電子機器)の構成を示す図。

【図8】 単結晶シリコンの結晶構造を示す写真。

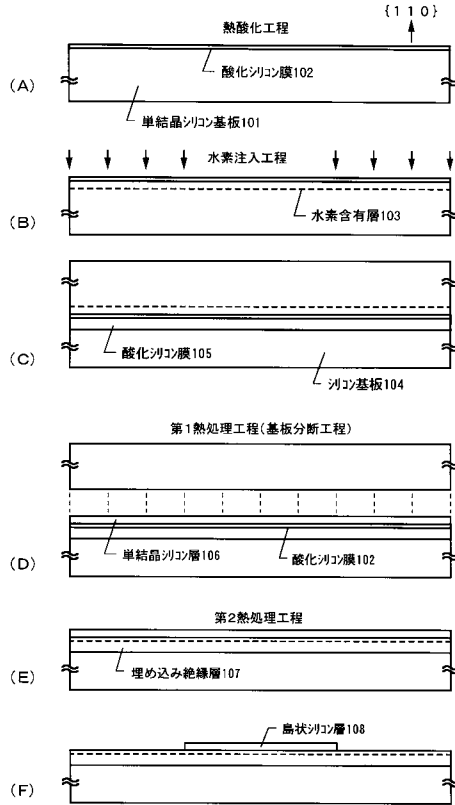
10

20

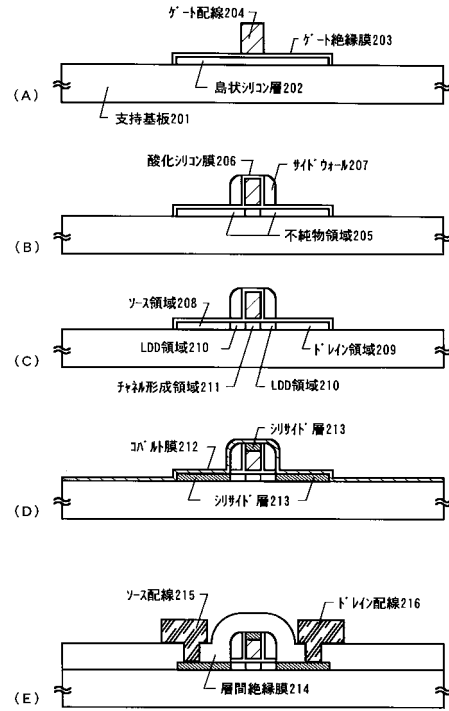
30

40

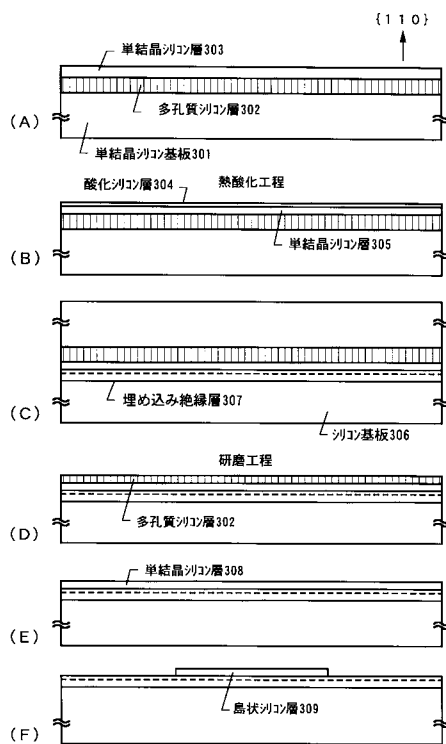
【図1】



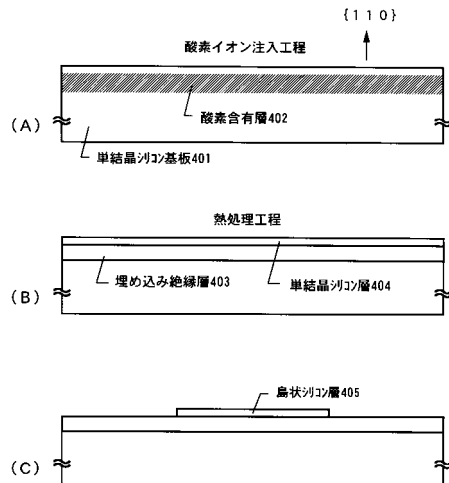
【図2】



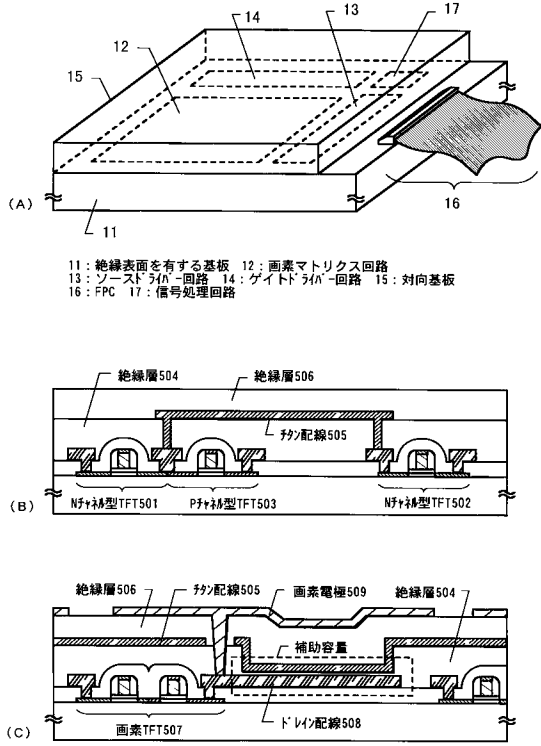
【図3】



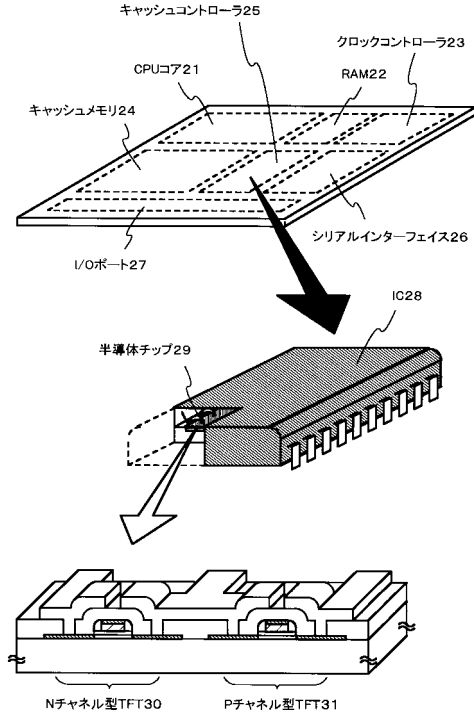
【図4】



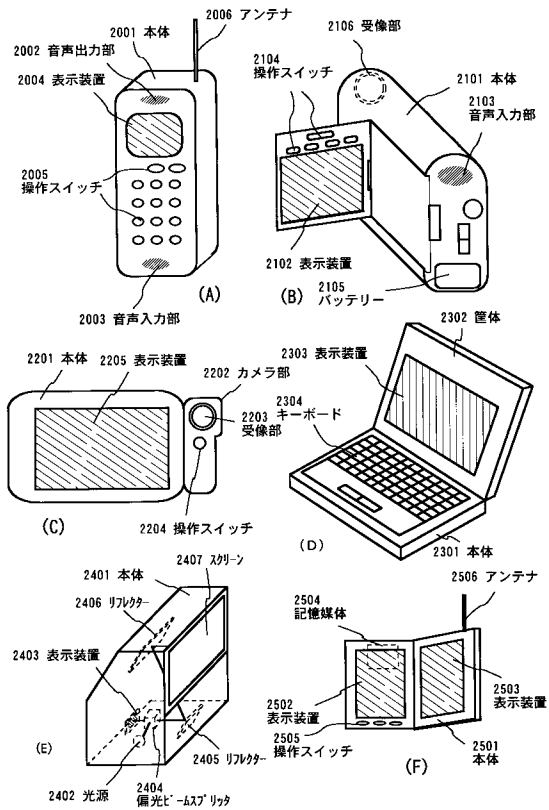
【図5】



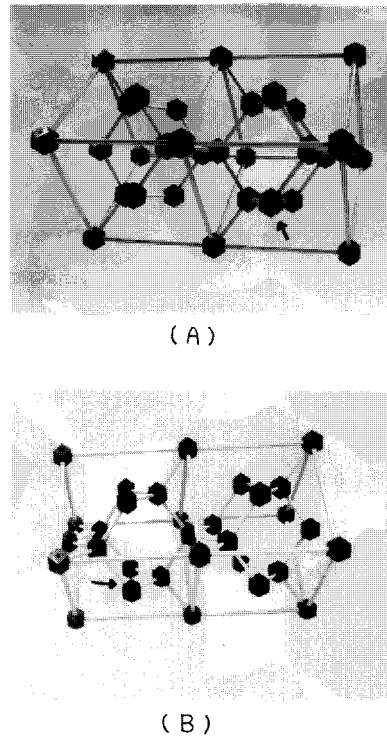
【図6】



【図7】



【図8】



フロントページの続き

- (56)参考文献 特開平 1 0 - 1 2 5 8 7 9 (J P , A)
特開平 0 2 - 2 6 0 4 4 2 (J P , A)
特開平 0 5 - 2 1 7 9 9 4 (J P , A)
特開平 0 9 - 1 6 2 0 9 0 (J P , A)
特開平 0 4 - 2 4 2 9 5 8 (J P , A)
特開平 0 8 - 2 5 5 9 0 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/336
H01L 21/02
H01L 27/12
H01L 29/786