(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4408151号
(P4408151)
(45)発行日　平成22年2月3日(2010.2.3)　(24)登録日　平成21年11月20日(2009.11.20)

(51)Int.Cl.　F I
H04N 5/335 (2006.01)　H04N 5/335 Z

請求項の数 6　(全 28 頁)

(21)出願番号　特願平11-194632
(22)出願日　平成11年7月8日(1999.7.8)
(65)公開番号　特開2001-24954(P2001-24954A)
(43)公開日　平成13年1月26日(2001.1.26)
審査請求日　平成18年7月10日(2006.7.10)

(73)特許権者　000236436
浜松ホトニクス株式会社
静岡県浜松市東区市野町１１２６番地の１
(74)代理人　100088155
弁理士　長谷川　芳樹
(74)代理人　100089978
弁理士　塩田　辰也
(74)代理人　100092657
弁理士　寺崎　史朗
(72)発明者　水野　誠一郎
静岡県浜松市市野町１１２６番地の１　浜松ホトニクス株式会社内
(72)発明者　森　治通
静岡県浜松市市野町１１２６番地の１　浜松ホトニクス株式会社内

最終頁に続く

(54)【発明の名称】固体撮像装置

(57)【特許請求の範囲】
【請求項１】
入力した２次元光像を撮像する固体撮像装置であって、
入力光信号を電流信号に変換する光電変換素子が２次元に配列された矩形状の受光部と、
前記矩形状の受光部の一辺に沿って、前記一辺の延びる方向に配置された前記光電変換素子の数に対応した数だけ設けられ、前記矩形状の受光部の前記一辺と直交する方向に配列された前記光電変換素子で発生した電流信号をアナログ信号として読み出す第１アナログ信号読み出し回路と、
前記第１アナログ信号読み出し回路に沿って、前記第１アナログ信号読み出し回路の数に対応した数だけ設けられ、前記第１アナログ信号読み出し回路からの出力信号をデジタル信号に変換して読み出す第１デジタル信号読み出し回路と、
前記矩形状の受光部の前記一辺と直交する方向に配列された前記光電変換素子で発生した前記電流信号を、前記第１アナログ信号読み出し回路に向けて送り出すシフトレジスタと、
前記第１アナログ信号読み出し回路からの出力信号あるいは前記第１デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第１出力選択回路と、
を同一基板に備えることを特徴とする固体撮像装置。
【請求項２】
前記矩形状の受光部の前記一辺に対向する辺に沿って、前記一辺の延びる方向に配置され

た前記光電変換素子の数に対応した数だけ設けられ、前記矩形状の受光部の前記一辺と直交する方向に配列された前記光電変換素子で発生した電流信号をアナログ信号として読み出す第２アナログ信号読み出し回路を更に同一基板に備え、
前記シフトレジスタは、前記矩形状の受光部の前記一辺と直交する方向に配列された前記光電変換素子で発生した前記電流信号を、前記第１アナログ信号読み出し回路側及び前記第２アナログ信号読み出し回路側のいずれに向けても送り出し得ることを特徴とする請求項１に記載の固体撮像装置。
【請求項３】
前記第２アナログ信号読み出し回路に沿って、前記第２アナログ信号読み出し回路の数に対応した数だけ設けられ、前記第２アナログ信号読み出し回路からの出力信号をデジタル信号に変換して読み出す第２デジタル信号読み出し回路と、
前記第２アナログ信号読み出し回路からの出力信号あるいは前記第２デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第２出力選択回路と、
を更に同一基板に備えることを特徴とする請求項２に記載の固体撮像装置。
【請求項４】
入力した２次元光像を撮像する固体撮像装置であって、
入力光信号を電流信号に変換する光電変換素子と、前記光電変換素子の信号出力端子に第１の端子が接続され、走査信号に応じて第２の端子から前記光電変換素子で発生した電流信号を流出する第１のスイッチ素子とを１組の受光素子として、第１の方向に沿って第１の数だけ配列される単位受光部が、第２の方向に沿って第２の数だけ配列された受光部を有し、
夫々の前記単位受光部の一方の端部には、夫々の前記第１のスイッチ素子の第２の端子と互いに電気的に接続された第１信号出力端子が設けられており、
夫々の前記単位受光部の前記第１信号出力端子から出力された信号を夫々個別に入力し、前記単位受光部から出力された電流信号をアナログ信号として読み出す前記第２の数の第１アナログ信号読み出し回路と、
夫々の前記第１アナログ信号読み出し回路から出力された信号を夫々個別に入力し、前記第１アナログ信号読み出し回路から出力された信号をデジタル信号に変換して読み出す前記第２の数の第１デジタル信号読み出し回路と、
夫々の前記光電変換素子で発生した前記電流信号を、夫々の前記単位受光部の前記第１信号出力端子に向けて送り出すように、前記走査信号を出力するシフトレジスタと、
夫々の前記第１アナログ信号読み出し回路からの出力信号あるいは夫々の前記第１デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第１出力選択回路と、
を同一基板に備えることを特徴とする固体撮像装置。
【請求項５】
夫々の前記単位受光部の他方の端部には、夫々の前記第１のスイッチ素子の第２の端子と互いに電気的に接続された第２信号出力端子が設けられており、
夫々の前記単位受光部の前記第２信号出力端子から出力された信号を夫々個別に入力し、前記単位受光部から出力された電流信号をアナログ信号として読み出す前記第２の数の第２アナログ信号読み出し回路を更に同一基板に備え、
前記シフトレジスタは、夫々の前記光電変換素子で発生した前記電流信号を、夫々の前記単位受光部の前記第１信号出力端子及び前記第２信号出力端子のいずれに向けても送り出し得るように、前記走査信号を出力することを特徴とする請求項４に記載の固体撮像装置。
【請求項６】
夫々の前記第２アナログ信号読み出し回路から出力された信号を夫々個別に入力し、前記第２アナログ信号読み出し回路から出力された信号をデジタル信号に変換して読み出す前記第２の数の第２デジタル信号読み出し回路と、

夫々の前記第２アナログ信号読み出し回路からの出力信号あるいは夫々の前記第２デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第２出力選択回路と、
を更に同一基板に備えることを特徴とする請求項５に記載の固体撮像装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、入力した２次元光像を撮像する固体撮像装置に関するものである。
【０００２】
【従来の技術】
電荷結合素子（ＣＣＤ）に代表される固体撮像素子を使用した撮像装置は、家庭用ビデオをはじめ様々な分野で使用されている。しかし、比較的大きな受光面積を有するフォトダイオード電荷を取り扱う場合には、ＣＣＤでは電荷転送効率が低いので、電荷の転送をしきれないという問題を生じる。そこで、特定の分野では、固体撮像装置の内で、電荷転送効率の問題が生じないアモルファスシリコンにより形成されたイメージセンサが用いられることがある。このアモルファスシリコンにより形成されたイメージセンサは、入力光信号を電流信号に変換する光電変換素子とこの光電変換素子で発生した電流信号を流出するスイッチ素子とからなる受光素子（画素）が、２次元に配列されている。
【０００３】
【発明が解決しようとする課題】
しかしながら、アモルファスシリコンを用いて受光部（光電変換素子）を形成した場合、受光部が形成されたアモルファスシリコン部分から信号を読み出すために、信号読み出し回路、シフトレジスタ等の周辺回路が形成されたシリコンチップが必要となり、受光部が形成されたアモルファスシリコン部分とシリコンチップとをボンディングする際に、ボンディング不良等の問題が生じ易く、歩留まりが低下してしまう。また、静止画像の撮像は可能であるものの、残像等の問題から、動画像の撮像は困難とされていた。
【０００４】
そこで、本発明者らは、上述した問題を解消すべく、シリコンウェハに、受光部、周辺回路等を形成した固体撮像装置の研究開発を進めてきた。このようにシリコンウェハに受光部を形成する場合、例えば８インチといった大面積のシリコンウェハを用いることにより、受光部の大面積化が可能となる。しかしながら、受光部の大面積化により、１枚のシリコンウェハから得ることのできる固体撮像装置の数は、１つといったように、極めて少なくなり、また、受光部内に欠陥画素が存在する可能性も高くなることから、歩留まりが悪化してしまうことが新たに判明した。
【０００５】
また、周辺回路として、特に、光電変換素子からの出力された電流信号を読み出すためのデジタル信号読み出し回路を同一ウェハ上に形成する場合、受光部の大面積化に伴ってデジタル信号読み出し回路自体の数も増加し、これらデジタル信号読み出し回路を限られたスペース内に形成することになるため、デジタル信号読み出し回路の中に欠陥のものが存在する可能性が高くなり、更に歩留まりが低下してしまうことも新たに判明した。
【０００６】
本発明は、かかる事情に鑑みてなされたものであり、同一基板に受光部及び周辺回路を形成する場合においても、歩留まりの低下が抑制され、受光部の大面積化が可能な固体撮像装置を提供することを目的とする。
【０００７】
【課題を解決するための手段】
本発明に係る固体撮像装置は、入力した２次元光像を撮像する固体撮像装置であって、入力光信号を電流信号に変換する光電変換素子が２次元に配列された矩形状の受光部と、矩形状の受光部の一辺に沿って、一辺の延びる方向に配置された光電変換素子の数に対応した数だけ設けられ、矩形状の受光部の一辺と直交する方向に配列された光電変換素子で発

生した電流信号をアナログ信号として読み出す第１アナログ信号読み出し回路と、第１アナログ信号読み出し回路に沿って、第１アナログ信号読み出し回路の数に対応した数だけ設けられ、第１アナログ信号読み出し回路からの出力信号をデジタル信号に変換して読み出す第１デジタル信号読み出し回路と、矩形状の受光部の一辺と直交する方向に配列された光電変換素子で発生した電流信号を、第１アナログ信号読み出し回路に向けて送り出すシフトレジスタと、第１アナログ信号読み出し回路からの出力信号あるいは第１デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第１出力選択回路と、を同一基板に備えることを特徴としている。

【０００８】

本発明に係る固体撮像装置では、同一基板に対して、矩形状の受光部の一辺に沿って、この一辺の延びる方向に配置された光電変換素子の数に対応した数の第１アナログ信号読み出し回路が設けられ、この第１アナログ信号読み出し回路に沿って、第１アナログ信号読み出し回路の数に対応して数の第１デジタル信号読み出し回路が設けられ、更に、矩形状の受光部の一辺と直交する方向に配列された光電変換素子で発生した電流信号を、第１アナログ信号読み出し回路側に向けて送り出すシフトレジスタと、第１アナログ信号読み出し回路からの出力信号あるいは第１デジタル信号読み出し回路からの出力信号のいずれかを選択的に出力する第１出力選択回路とが備えられており、この第１出力選択回路にて第１デジタル信号読み出し回路からの出力信号を選択する場合には、第１アナログ信号読み出し回路からの出力信号が第１デジタル信号読み出し回路にてデジタル信号に変換して読み出され、第１デジタル信号読み出し回路から出力されることになる。一方、第１デジタル信号読み出し回路のうちのいずれかに欠陥がある場合には、第１出力選択回路にて第１アナログ信号読み出し回路からの出力信号を選択し、シフトレジスタにより送り出された光電変換素子で発生した電流信号が第１アナログ信号読み出し回路にてアナログ信号として読み出され、第１アナログ信号読み出し回路から出力されることになる。したがって、第１デジタル信号読み出し回路のうちのいずれかに欠陥がある場合でも、第１アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出すことが可能となり、受光部を大面積化した場合においても固体撮像装置の歩留まりの低下を抑制することができる。また、第１デジタル信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのＡ／Ｄ変換器が不要となり、固体撮像装置の低コスト化が可能となる。また、第１アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、外付けのＡ／Ｄ変換器を用いることで、高分解能化が可能となる。

【０００９】

また、矩形状の受光部の一辺に対向する辺に沿って、一辺の延びる方向に配置された光電変換素子の数に対応した数だけ設けられ、矩形状の受光部の一辺と直交する方向に配列された光電変換素子で発生した電流信号をアナログ信号として読み出す第２アナログ信号読み出し回路を更に同一基板に備え、シフトレジスタは、矩形状の受光部の一辺と直交する方向に配列された光電変換素子で発生した電流信号を、第１アナログ信号読み出し回路側及び第２アナログ信号読み出し回路側のいずれに向けても送り出し得ることが好ましい。この場合には、同一基板に対して、矩形状の受光部の一辺に対向する辺に沿って、一辺の延びる方向に配置された光電変換素子の数に対応して数の第２アナログ信号読み出し回路が設けられ、シフトレジスタが、矩形状の受光部の一辺と直交する方向に配列された光電変換素子で発生した電流信号を、第１アナログ信号読み出し回路側及び第２アナログ信号読み出し回路側のいずれに向けても送り出し得るので、このシフトレジスタが第１アナログ信号読み出し回路側に向けて電流信号を送り出す場合には、光電変換素子で発生した電流信号が、第１アナログ信号読み出し回路にてアナログ信号として、あるいは、第１デジタル信号読み出し回路にてデジタル信号として読み出されることになる。一方、第１アナログ信号読み出し回路及び第１デジタル信号読み出し回路に欠陥がある場合には、シフトレジスタにより、第２アナログ信号読み出し回路側に向けて電流信号を送り出すことで、光電変換素子で発生した電流信号が第２アナログ信号読み出し回路にてアナログ信号とし

て読み出されることになる。したがって、第１アナログ信号読み出し回路及び第１デジタル信号読み出し回路に欠陥がある場合でも、第２アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出すことが可能となり、固体撮像装置の歩留まりの低下を更に抑制することができる。また、第２アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、外付けのＡ／Ｄ変換器を用いることで、高分解能化が可能となる。

【００１０】

また、第２アナログ信号読み出し回路に沿って、第２アナログ信号読み出し回路の数に対応した数だけ設けられ、第２アナログ信号読み出し回路からの出力信号をデジタル信号に変換して読み出す第２デジタル信号読み出し回路と、第２アナログ信号読み出し回路からの出力信号あるいは第２デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第２出力選択回路と、を更に同一基板に備えることが好ましい。この場合には、同一基板に対して、この第２アナログ信号読み出し回路に沿って、第２アナログ信号読み出し回路の数に対応して数の第２デジタル信号読み出し回路が設けられ、更に、第２アナログ信号読み出し回路からの出力信号あるいは第２デジタル信号読み出し回路からの出力信号のいずれかを選択的に出力する第２出力選択回路が備えられており、この第２出力選択回路にて第２デジタル信号読み出し回路からの出力信号を選択する場合には、第２アナログ信号読み出し回路からの出力信号が第２デジタル信号読み出し回路にてデジタル信号に変換して読み出され、第２デジタル信号読み出し回路から出力されることになる。一方、第２デジタル信号読み出し回路のうちのいずれかに欠陥がある場合には、第２出力選択回路にて第２アナログ信号読み出し回路からの出力信号を選択し、シフトレジスタにより送り出された光電変換素子で発生した電流信号が第２アナログ信号読み出し回路にてアナログ信号として読み出され、第２アナログ信号読み出し回路から出力されることになる。したがって、第２デジタル信号読み出し回路のうちのいずれかに欠陥がある場合でも、第２アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出すことが可能となり、受光部を大面積化した場合においても固体撮像装置の歩留まりの低下を大幅に抑制することができる。また、第２デジタル信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのＡ／Ｄ変換器が不要となり、固体撮像装置の低コスト化が可能となる。

【００１１】

本発明に係る固体撮像装置は、入力した２次元光像を撮像する固体撮像装置であって、入力光信号を電流信号に変換する光電変換素子と、光電変換素子の信号出力端子に第１の端子が接続され、走査信号に応じて第２の端子から光電変換素子で発生した電流信号を流出する第１のスイッチ素子とを１組の受光素子として、第１の方向に沿って第１の数だけ配列される単位受光部が、第２の方向に沿って第２の数だけ配列された受光部を有し、夫々の単位受光部の一方の端部には、夫々の第１のスイッチ素子の第２の端子と互いに電気的に接続された第１信号出力端子が設けられており、夫々の単位受光部の第１信号出力端子から出力された信号を夫々個別に入力し、単位受光部から出力された電流信号をアナログ信号として読み出す第２の数の第１アナログ信号読み出し回路と、夫々の第１アナログ信号読み出し回路から出力された信号を夫々個別に入力し、第１アナログ信号読み出し回路から出力された信号をデジタル信号に変換して読み出す第２の数の第１デジタル信号読み出し回路と、夫々の光電変換素子で発生した電流信号を、夫々の単位受光部の第１信号出力端子に向けて送り出すように、走査信号を出力するシフトレジスタと、夫々の第１アナログ信号読み出し回路からの出力信号あるいは夫々の第１デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第１出力選択回路と、を同一基板に備えることを特徴としている。

【００１２】

本発明に係る固体撮像装置では、同一基板に対して、夫々の単位受光部の第１信号出力端子から出力された信号を夫々個別に入力され、単位受光部から出力された電流信号をアナ

ログ信号として読み出す第２の数の第１アナログ信号読み出し回路と、夫々の第１アナログ信号読み出し回路から出力された信号を夫々個別に入力し、第１アナログ信号読み出し回路から出力された信号をデジタル信号に変換して読み出す第２の数の第１デジタル信号読み出し回路と、夫々の光電変換素子で発生した電流信号を、夫々の単位受光部の第１信号出力端子に向けて送り出すように、走査信号を出力するシフトレジスタと、夫々の第１アナログ信号読み出し回路からの出力信号あるいは夫々の第１デジタル信号読み出し回路からの出力信号のいずれかの出力信号を選択的に出力する第１出力選択回路とが備えられており、この第１出力選択回路にて第１デジタル信号読み出し回路からの出力信号を選択する場合には、夫々の第１アナログ信号読み出し回路からの出力信号が対応する第１デジタル信号読み出し回路にてデジタル信号に変換して読み出され、夫々の第１デジタル信号読み出し回路から出力されることになる。一方、第１デジタル信号読み出し回路のうちのいずれかに欠陥がある場合には、第１出力選択回路にて第１アナログ信号読み出し回路からの出力信号を選択し、夫々の単位受光部における光電変換素子で発生した電流信号が夫々の第１アナログ信号読み出し回路にてアナログ信号として読み出され、夫々の第１アナログ信号読み出し回路から出力されることになる。したがって、第１デジタル信号読み出し回路のうちのいずれかに欠陥がある場合でも、夫々の第１アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出すことが可能となり、受光部を大面積化した場合においても固体撮像装置の歩留まりの低下を抑制することができる。また、夫々の第１デジタル信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのＡ／Ｄ変換器が不要となり、固体撮像装置の低コスト化が可能となる。また、夫々の第１アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、外付けのＡ／Ｄ変換器を用いることで、高分解能化が可能となる。

【００１３】

また、夫々の単位受光部の他方の端部には、夫々の第１のスイッチ素子の第２の端子と互いに電気的に接続された第２信号出力端子が設けられており、夫々の単位受光部の第２信号出力端子から出力された信号を夫々個別に入力し、単位受光部から出力された電流信号をアナログ信号として読み出す第２の数の第２アナログ信号読み出し回路を更に同一基板に備え、シフトレジスタは、夫々の光電変換素子で発生した電流信号を、夫々の単位受光部の第１信号出力端子及び第２信号出力端子のいずれに向けても送り出し得るように、走査信号を出力することが好ましい。この場合には、同一基板に対して、夫々の単位受光部の第２信号出力端子から出力された信号を夫々個別に入力し、単位受光部から出力された電流信号をアナログ信号として読み出す第２の数の第２アナログ信号読み出し回路が備えられ、シフトレジスタが、夫々の光電変換素子で発生した電流信号を、夫々の単位受光部の第１信号出力端子及び第２信号出力端子のいずれに向けても送り出し得るので、このシフトレジスタが第１信号出力端子側に向けて電流信号を送り出す場合には、夫々の単位受光部における光電変換素子で発生した電流信号が、夫々の第１アナログ信号読み出し回路にてアナログ信号として、あるいは、夫々の第１デジタル信号読み出し回路にてデジタル信号として読み出されることになる。一方、第１アナログ信号読み出し回路及び第１デジタル信号読み出し回路に欠陥がある場合には、シフトレジスタにより、第２信号出力端子側に向けて電流信号を送り出すことで、夫々の単位受光部における光電変換素子で発生した電流信号が夫々の第２アナログ信号読み出し回路にてアナログ信号として読み出されることになる。したがって、第１アナログ信号読み出し回路及び第１デジタル信号読み出し回路に欠陥がある場合でも、夫々の第２アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出すことが可能となり、受光部を大面積化した場合においても固体撮像装置の歩留まりの低下を更に抑制することができる。また、第２アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、外付けのＡ／Ｄ変換器を用いることで、高分解能化が可能となる。

【００１４】

また、夫々の第２アナログ信号読み出し回路から出力された信号を夫々個別に入力し、

第２アナログ信号読み出し回路から出力された信号をデジタル信号に変換して読み出す第２の数の第２デジタル信号読み出し回路と、夫々の第２アナログ信号読み出し回路からの出力信号あるいは夫々の第２デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第２出力選択回路と、を更に同一基板に備えることが好ましい。この場合には、同一基板に対して、夫々の第２アナログ信号読み出し回路から出力された信号を夫々個別に入力し、第２アナログ信号読み出し回路から出力された信号をデジタル信号に変換して読み出す第２の数の第２デジタル信号読み出し回路と、夫々の第２アナログ信号読み出し回路からの出力信号あるいは夫々の第２デジタル信号読み出し回路からの出力信号のいずれかの出力信号を選択的に出力する第２出力選択回路とが備えられており、この第２出力選択回路にて第２デジタル信号読み出し回路からの出力信号を選択する場合には、夫々の第２アナログ信号読み出し回路からの出力信号が対応する第２デジタル信号読み出し回路にてデジタル信号に変換して読み出され、夫々の第２デジタル信号読み出し回路から出力されることになる。一方、第２デジタル信号読み出し回路のうちのいずれかに欠陥がある場合には、第２出力選択回路にて第２アナログ信号読み出し回路からの出力信号を選択し、夫々の単位受光部における光電変換素子で発生した電流信号が夫々の第２アナログ信号読み出し回路にてアナログ信号として読み出され、夫々の第２アナログ信号読み出し回路から出力されることになる。したがって、第２デジタル信号読み出し回路のうちのいずれかに欠陥がある場合でも、夫々の第２アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出すことが可能となり、受光部を大面積化した場合においても固体撮像装置の歩留まりの低下を抑制することができる。また、夫々の第２デジタル信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのＡ／Ｄ変換器が不要となり、固体撮像装置の低コスト化が可能となる。

【００１５】

【発明の実施の形態】

以下、添付図面を参照して、本発明に係る固体撮像装置の好適な実施形態について詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付しており、重複する説明は省略する。また、Ｎは２以上の整数であり、添え字ｎは特に明示しない限り１からＮまでの任意の整数を示すものとする。

【００１６】

（第１実施形態）

先ず、本発明に係る固体撮像装置の第１実施形態について、図１及び図２を用いて説明する。図１は、第１実施形態に係る固体撮像装置の概略構成を示す概念図であり、図２は、第１実施形態に係る固体撮像装置の回路構成図である。第１実施形態に係る固体撮像装置１は、図１に示されるように、矩形に形成された基板１０を有し、この基板１０には、受光部２０、第１アナログ信号読み出し部３０、第１デジタル信号読み出し部４０、第１シフトレジスタ５０及び第２シフトレジスタ６０が、ＣＭＯＳプロセス等を用いて設けられている。基板１０には、８インチφのシリコンウェハを用いている。

【００１７】

受光部２０は、各辺が１３０ｍｍとされた略正方形状に形成されており、この中に縦横５０μｍピッチ程度で各受光素子（画素）$21_{1.1}$～$21_{N.N}$が形成されている。第１アナログ信号読み出し部３０は、受光部２０の第１の辺２０ａに沿って設けられている。第１デジタル信号読み出し部４０は、受光部２０の第１の辺２０ａに沿って設けられた第１アナログ信号読み出し部３０に沿って設けられている。第１シフトレジスタ５０は、受光部２０の第１の辺２０ａ及び第２の辺２０ｂに直交する第３の辺２０ｃに沿って設けられている。第２シフトレジスタ６０は、受光部２０の第１の辺２０ａ及び第２の辺２０ｂに直交し且つ第３の辺２０ｃに対向する第４の辺２０ｄに沿って設けられている。第１アナログ信号読み出し部３０及び第１デジタル信号読み出し部４０には、各々信号出力端子８０，９０が接続されている。

【００１８】

受光部２０は、図２に示されるように、受光素子$２１_{n.n}$がＮ行×Ｎ列に２次元配列されている。夫々の受光素子$２１_{1.1}$～$２１_{N.N}$は、入力光信号を電流信号に変換する光電変換素子としてのフォトダイオード２３と、第１のスイッチ素子２５とを有している。第１のスイッチ素子２５は信号入力端子と信号出力端子を有しており、第１のスイッチ素子２５の信号入力端子はフォトダイオード２３の信号出力端子に接続されており、第１シフトレジスタ５０あるいは第２シフトレジスタ６０からの走査信号S_nに応じてフォトダイオード２３で発生した電流信号を信号出力端子から流出する。このような受光素子$２１_{n.n}$が、第１の方向（第３の辺２０ｃあるいは第４の辺２０ｄの延びる方向）に沿ってＮ個配列されており、この第１の方向に沿ってＮ個配列された受光素子$２１_{n.1}$～$２１_{n.N}$は、夫々の第１のスイッチ素子２５の信号出力端子が電気的に接続されることにより単位受光部２２_nを構成している。この単位受光部２２_nは、第１の方向と直交する第２の方向（第１の辺２０ａあるいは第２の辺２０ｂの延びる方向）に沿ってＮ個配列されている。

【００１９】

夫々の単位受光部２２_nの一方の端部には、夫々の第１のスイッチ素子２５の信号出力端子と互いに電気的に接続された第１信号出力端子２７が設けられている。夫々の第１信号出力端子２７は、第２のスイッチ素子７１を介して第１アナログ信号読み出し部３０に接続される。この第２のスイッチ素子７１は、第２の方向に、単位受光部２２_nの数（第２の方向に配置されたフォトダイオード２３の数）に対応してＮ個配列されている。また、第２のスイッチ素子７１は、制御回路（図示せず）からの信号に応じて、作動する。

【００２０】

第１アナログ信号読み出し部３０は、図２に示されるように、第１アナログ信号読み出し回路３１を有している。この第１アナログ信号読み出し回路３１は、第２の方向に、単位受光部２２_nの数（第２の方向に配置されたフォトダイオード２３の数）に対応してＮ個配列されて、アレイ状に形成されている。夫々の第１アナログ信号読み出し回路３１は、積分回路３３、ＣＤＳ回路（図示せず）等を有している。積分回路３３は、単位受光部２２_n（第１信号出力端子２７）からの出力信号を入力し、入力した電流信号の電荷を増幅する電荷増幅器３５と、電荷増幅器３５の入力端子に一方の端子が接続され、電荷増幅器３５の出力端子に他方の端子が接続された容量素子３７と、電荷増幅器３５の入力端子に一方の端子が接続され、電荷増幅器３５の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Ｒが有意の場合には「ＯＮ」状態となり、リセット信号Ｒが非有意の場合には「ＯＦＦ」状態となる第３のスイッチ素子３９とを有している。この積分回路３３は、リセット信号Ｒが非有意の場合には、単位受光部２２_nからの出力信号を入力し、リセット信号Ｒに応じて単位受光部２２_nから出力された電流信号を入出力端子間に接続された容量素子３７に積分の動作を行い、リセット信号Ｒが有意の場合には非積分の動作を行うようになる。

【００２１】

単位受光部２２_n（第１信号出力端子２７）からの電流信号は、第１アナログ信号読み出し回路３１（積分回路３３、ＣＤＳ回路等）により、アナログ信号として読み出され、このアナログ信号が信号出力端子８０に向けて送り出される。夫々の第１アナログ信号読み出し回路３１の後段（信号出力端子８０との間）には、第４のスイッチ素子７２が設けられている。この第４のスイッチ素子７２は、第１アナログ信号読み出し回路３１の数に対応してＮ個配列されており、制御回路からの信号に応じて、作動する。

【００２２】

また、第１アナログ信号読み出し回路３１により読み出されたアナログ信号は、第１デジタル信号読み出し部４０に向けても送り出される。夫々の第１アナログ信号読み出し回路３１と第１デジタル信号読み出し部４０との間には、第５のスイッチ素子７３が設けられている。この第５のスイッチ素子７３は、第１アナログ信号読み出し回路３１の数に対応してＮ個配列されており、制御回路からの信号に応じて、作動する。ここで、第４のスイッチ素子７２と第５のスイッチ素子７３とは、各請求項における第１出力選択回路を構成している。

【００２３】
第１デジタル信号読み出し部４０は、Ａ／Ｄコンバータ４１を有しており、このＡ／Ｄコンバータ４１は、第２の方向に、第１アナログ信号読み出し回路３１の数に対応してＮ個配列されて、アレイ状に形成されている。夫々のＡ／Ｄコンバータ４１は、夫々の第１アナログ信号読み出し回路３１からの出力されたアナログ信号を入力し、このアナログ信号をデジタル信号に変換して、データバスを介して信号出力端子９０に向けて送り出す。
【００２４】
次に、第１実施形態の固体撮像装置１の動作を説明する。この固体撮像装置１では、受光部２０が入射した光が形成する光像を入力し、受光部２０のフォトダイオード２３に受光量に応じた電荷が蓄積される。そして、所定の受光期間の経過後に夫々のフォトダイオード２３に蓄積された電荷量を以下のようにして読み出す。
【００２５】
第１アナログ信号読み出し部３０側にて、夫々のフォトダイオード２３に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第２のスイッチ素子７１が閉じられ、夫々の第４のスイッチ素子７２が閉じられ、夫々の第５のスイッチ素子７３が開かれる。また、読み出しの実行に先立って、積分回路３３に対するリセット信号Ｒを有意として、第３のスイッチ素子３９を閉じて容量素子３７を初期化する。
【００２６】
次に、積分回路３３に対するリセット信号Ｒを非有意として、第３のスイッチ素子３９を開き、第１シフトレジスタ５０及び第２シフトレジスタ６０のいずれか一方から夫々の第１のスイッチ素子２５に走査信号S_nが所定のタイミングにて有意とされる。各単位受光部22_nの第１の方向での走査における第１番目の受光素子$21_{1.1}$～$21_{N.1}$の第１のスイッチ素子２５のみを「ＯＮ」とする走査信号S_1が有意とされる。第１のスイッチ素子２５が「ＯＮ」となると、それまでの受光によってフォトダイオード２３に蓄積された電荷が電流信号となって、第２のスイッチ素子７１を介して、第１アナログ信号読み出し回路３１（第１アナログ信号読み出し部３０）に出力される。そして、第１アナログ信号読み出し回路３１の積分回路３３によってその帰還容量である容量素子３７に蓄積されていき、積分回路３３の出力端子から出力される電圧信号は次第に大きくなっていく。
【００２７】
積分回路３３から出力された電圧信号は、ＣＤＳ回路等を介して、アナログ信号として夫々の第１アナログ信号読み出し回路３１（第１アナログ信号読み出し部３０）から出力され、第１の方向での走査における第１番目の受光素子$21_{1.1}$～$21_{N.1}$に関するデータ読み出しを終了する。夫々の第５のスイッチ素子７３は開かれているため、第１アナログ信号読み出し回路３１（第１アナログ信号読み出し部３０）から出力されるアナログ信号は第１デジタル信号読み出し部４０に送られることはない。なお、夫々の第１アナログ信号読み出し回路３１からアナログ信号が出力される際に、夫々の第４のスイッチ素子７２に送られる信号を順次有意として、各第１アナログ信号読み出し回路３１から順次アナログ信号を出力させており、第２の方向での走査を行っている。
【００２８】
次いで、積分回路３３に対するリセット信号Ｒを有意として、第３のスイッチ素子３９を閉じて容量素子３７を初期化しながら、第１の方向での走査における第２番目以降の受光素子$21_{1.n}$～$21_{N.n}$に関するデータ読み出しを実行する。
【００２９】
こうして、受光部２０に入力した光の形成する光像を撮像し、撮像データとしてのアナログ信号を得る。
【００３０】
一方、第１デジタル信号読み出し部４０側にて、夫々のフォトダイオード２３に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第２のスイッチ素子７１が閉じられ、夫々の第４のスイッチ素子７２が開かれ、夫々の第５のスイッチ素子７３が閉じられる。また、読み出しの実行に先立って、積分回路３３に対するリセット

信号Ｒを有意として、第３のスイッチ素子３９を閉じて容量素子３７を初期化する。

【００３１】

次に、積分回路３３に対するリセット信号Ｒを非有意として、第３のスイッチ素子３９を開き、第１シフトレジスタ５０及び第２シフトレジスタ６０のいずれか一方から夫々の第１のスイッチ素子２５に走査信号S_nが所定のタイミングにて有意とされる。各単位受光部22_nの第１の方向での走査における第１番目の受光素子$21_{1.1}$～$21_{N.1}$の第１のスイッチ素子２５のみを「ＯＮ」とする走査信号S_1が有意とされる。第１のスイッチ素子２５が「ＯＮ」となると、それまでの受光によってフォトダイオード２３に蓄積された電荷が電流信号となって、第２のスイッチ素子７１を介して、第１アナログ信号読み出し回路３１に出力される。そして、第１アナログ信号読み出し回路３１の積分回路３３によってその帰還容量である容量素子３７に蓄積されていき、積分回路３３の出力端子から出力される電圧信号は次第に大きくなっていく。

【００３２】

積分回路３３から出力された電圧信号は、ＣＤＳ回路等を介して、アナログ信号として夫々の第１アナログ信号読み出し回路３１から夫々のＡ／Ｄコンバータ４１（第１デジタル信号読み出し部４０）に出力される。Ａ／Ｄコンバータ４１では、第１アナログ信号読み出し回路３１から出力されたアナログ信号がデジタル信号に変換され、このデジタル信号が夫々のＡ／Ｄコンバータ４１（第１デジタル信号読み出し部４０）からデータバスに出力され、第１の方向での走査における第１番目の受光素子$21_{1.1}$～$21_{N.1}$に関するデータ読み出しを終了する。夫々のＡ／Ｄコンバータ４１からデジタル信号が出力される際に、夫々のＡ／Ｄコンバータ４１は、制御回路からの信号に基づいて、所定タイミングにて順次デジタル信号を出力し、第２の方向での走査を行っている。夫々の第４のスイッチ素子７２は開かれているため、第１アナログ信号読み出し回路３１（第１アナログ信号読み出し部３０）から出力されるアナログ信号は信号出力端子８０に送られることはない。なお、夫々の第１アナログ信号読み出し回路３１からアナログ信号が出力される際に、夫々の第５のスイッチ素子７３に送られる信号を順次有意として、各第１アナログ信号読み出し回路３１から順次アナログ信号を出力させることにより、第２の方向での走査を行うことも可能である。

【００３３】

次いで、積分回路３３に対するリセット信号Ｒを有意として、第３のスイッチ素子３９を閉じて容量素子３７を初期化しながら、第１の方向での走査における第２番目以降の受光素子$21_{1.n}$～$21_{N.n}$に関するデータ読み出しを実行する。

【００３４】

こうして、受光部２０に入力した光の形成する光像を撮像し、撮像データとしてのデジタル信号を得る。

【００３５】

以上のように、第１実施形態の固体撮像装置１によれば、第１アナログ信号読み出し部３０は、受光素子$21_{n.n}$がＮ行×Ｎ列に２次元配列された受光部２０の第１の辺２０ａに沿って設けられ、第１デジタル信号読み出し部４０は、第１アナログ信号読み出し部３０に沿って設けられている。また、第１アナログ信号読み出し部３０は、夫々の単位受光部22_nの第１信号出力端子２７から出力された信号を夫々個別に入力し、単位受光部22_nから出力された電流信号をアナログ信号として読み出すＮ個の第１アナログ信号読み出し回路３１を有し、第１デジタル信号読み出し部４０は、夫々の第１アナログ信号読み出し回路３１から出力されたアナログ信号をデジタル信号に変換するＮ個のＡ／Ｄコンバータ４１を有している。また、夫々のフォトダイオード２３で発生した電流信号を、夫々の単位受光部22_nの第１信号出力端子２７に向けて送り出し得るように、走査信号S_nを出力する第１シフトレジスタ５０あるいは第２シフトレジスタ６０が備えられている。夫々の第２のスイッチ素子７１を閉じ、夫々の第４のスイッチ素子７２を開き、夫々の第５のスイッチ素子７３を閉じた場合には、第１シフトレジスタ５０あるいは第２シフトレジスタ６０が第１信号出力端子２７側に向けて電流信号を送り出し、夫々の単位受光部22_nに

おけるフォトダイオード２３で発生した電流信号が夫々の第１デジタル信号読み出し部４０にてデジタル信号として読み出されることになる。

【００３６】

一方、第１デジタル信号読み出し部４０、例えばＮ個のＡ／Ｄコンバータ４１のうちのいずれかに欠陥がある場合には、夫々の第２のスイッチ素子７１を閉じ、夫々の第４のスイッチ素子７２を閉じ、夫々の第５のスイッチ素子７３を開き、第１シフトレジスタ５０あるいは第２シフトレジスタ６０により第１信号出力端子２７側に向けて電流信号を送り出すことで、夫々の単位受光部22_nにおけるフォトダイオード２３で発生した電流信号が夫々の第１アナログ信号読み出し回路３１（第１アナログ信号読み出し部３０）にてアナログ信号として読み出されることになる。

【００３７】

したがって、第１デジタル信号読み出し部４０側に欠陥がある場合には、第１アナログ信号読み出し部３０側にてフォトダイオード２３で発生した電流信号を読み出すことが可能となり、受光部２０を大面積化し、第１アナログ信号読み出し部３０、第１デジタル信号読み出し部４０、第１シフトレジスタ５０及び第２シフトレジスタ６０等の周辺回路を同一の基板１０に設けた場合においても固体撮像装置１の歩留まりの低下を抑制することができる。

【００３８】

また、第１デジタル信号読み出し部４０側にてフォトダイオード２３で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのＡ／Ｄコンバータが不要となり、固体撮像装置１の低コスト化が可能となる。また、第１デジタル信号読み出し部４０での分解能は、同一の基板１０に設けられるためスペース的な問題から、高くすることには限界（例えば、１１ビット程度の分解能）があるものの、第１アナログ信号読み出し部３０側にてフォトダイオード２３で発生した電流信号を読み出す場合には、外付けのＡ／Ｄコンバータを用いることで、高分解能化（例えば１６ビット程度の分解能）が可能となる。

【００３９】

また、第１の辺２０ａに沿って第１アナログ信号読み出し部３０を設け、更に、第１アナログ信号読み出し部３０に沿って第１デジタル信号読み出し部４０を設けることで、第１アナログ信号読み出し部３０及び第１デジタル信号読み出し部４０が受光部２０の第１の辺２０ａ側に設けられることになり、基板１０をコンパクトに構成することができる。

【００４０】

また、第３の辺２０ｃに沿って第１シフトレジスタ５０が設けられ、第４の辺２０ｄに沿って第２シフトレジスタ６０が設けられ、第１シフトレジスタ５０及び第２シフトレジスタ６０のいずれも、各単位受光部22_n（第１の方向に配列されたフォトダイオード２３）で発生した電流信号を、第１アナログ信号読み出し部３０に向けて送り出すので、第１シフトレジスタ５０に欠陥がある場合には、第２シフトレジスタ６０により各単位受光部22_nで発生した電流信号が第１アナログ信号読み出し部３０に向けて送り出されることになる。一方、第２シフトレジスタ６０に欠陥がある場合には、第１シフトレジスタ５０により各単位受光部22_nで発生した電流信号が第１アナログ信号読み出し部３０に向けて送り出されることになる。

【００４１】

したがって、第１シフトレジスタ５０及び第２シフトレジスタ６０のいずれか一方に欠陥がある場合でも、第１シフトレジスタ５０及び第２シフトレジスタ６０のいずれか他方にて、第１アナログ信号読み出し部３０に向けて各単位受光部22_nで発生した電流信号を送り出すことが可能となり、受光部２０を大面積化し、第１アナログ信号読み出し部３０、第１デジタル信号読み出し部４０、第１シフトレジスタ５０及び第２シフトレジスタ６０等の周辺回路を同一の基板１０に設けた場合においても固体撮像装置１の歩留まりの低下を更に抑制することができる。

【００４２】

また、第３の辺２０ｃに沿って第１シフトレジスタ５０を設け、第４の辺２０ｄに沿って第２シフトレジスタ６０を設けることで、第１シフトレジスタ５０と第２シフトレジスタ６０とが受光部２０を挟んだ対向する位置に設けられることになり、基板１０を更にコンパクトに構成することができる。

【００４３】

（第２実施形態）

次に、本発明に係る固体撮像装置の第２実施形態について、図３及び図４を用いて説明する。図３は、第２実施形態に係る固体撮像装置の概略構成を示す概念図であり、図４は、第２実施形態に係る固体撮像装置の回路構成図である。第２実施形態に係る固体撮像装置１０１は、第１実施形態に係る固体撮像装置１と比べて、２つのアナログ信号読み出し部を有する点で相違する。

【００４４】

第２実施形態に係る固体撮像装置１０１は、図３に示されるように、矩形に形成された基板１１０を有し、この基板１１０には、受光部２０、第１アナログ信号読み出し部１３０、第１デジタル信号読み出し部１４０、第２アナログ信号読み出し部１５０、第１シフトレジスタ５０及び第２シフトレジスタ６０が、ＣＭＯＳプロセス等を用いて設けられている。基板１１０には、第１実施形態と同様に、８インチφのシリコンウェハを用いている。

【００４５】

受光部２０は、各辺が１３０ｍｍとされた略正方形状に形成されており、この中に縦横５０μｍピッチ程度で各受光素子（画素）$21_{1.1}$～$21_{N.N}$が形成されている。第１アナログ信号読み出し部１３０は、受光部２０の第１の辺２０ａに沿って設けられている。第１デジタル信号読み出し部１４０は、受光部２０の第１の辺２０ａに沿って設けられた第１アナログ信号読み出し部１３０に沿って設けられている。第２アナログ信号読み出し部１５０は、受光部２０の第１の辺２０ａに対向する第２の辺２０ｂに沿って設けられている。第１シフトレジスタ５０は、受光部２０の第１の辺２０ａ及び第２の辺２０ｂに直交する第３の辺２０ｃに沿って設けられている。第２シフトレジスタ６０は、受光部２０の第１の辺２０ａ及び第２の辺２０ｂに直交し且つ第３の辺２０ｃに対向する第４の辺２０ｄに沿って設けられている。第１アナログ信号読み出し部１３０、第１デジタル信号読み出し部１４０及び第２アナログ信号読み出し部１５０には、各々信号出力端子１９１，１９２，１９３が接続されている。

【００４６】

受光部２０は、図４に示されるように、受光素子$21_{n.n}$がＮ行×Ｎ列に２次元配列されている。夫々の受光素子$21_{1.1}$～$21_{N.N}$は、入力光信号を電流信号に変換する光電変換素子としてのフォトダイオード２３と、第１のスイッチ素子２５とを有している。第１のスイッチ素子２５は信号入力端子と信号出力端子を有しており、第１のスイッチ素子２５の信号入力端子はフォトダイオード２３の信号出力端子に接続されており、第１シフトレジスタ５０あるいは第２シフトレジスタ６０からの走査信号S_nに応じてフォトダイオード２３で発生した電流信号を信号出力端子から流出する。このような受光素子$21_{n.n}$が、第１の方向（第３の辺２０ｃあるいは第４の辺２０ｄの延びる方向）に沿ってＮ個配列されおり、この第１の方向に沿ってＮ個配列された受光素子$21_{n.1}$～$21_{n.N}$は、夫々の第１のスイッチ素子２５の信号出力端子が電気的に接続されることにより単位受光部22_nを構成している。この単位受光部22_nは、第１の方向と直交する第２の方向（第１の辺２０ａあるいは第２の辺２０ｂの延びる方向）に沿ってＮ個配列されている。

【００４７】

夫々の単位受光部22_nの一方の端部には、夫々の第１のスイッチ素子２５の信号出力端子と互いに電気的に接続された第１信号出力端子２７が設けられ、夫々の単位受光部22_nの他方の端部には、夫々の第１のスイッチ素子２５の信号出力端子と互いに電気的に接続された第２信号出力端子２９が各々設けられている。夫々の第１信号出力端子２７は、第２のスイッチ素子１８１を介して第１アナログ信号読み出し部１３０に接続される。こ

の第２のスイッチ素子１８１は、第２の方向に、単位受光部２２$_n$の数（第２の方向に配置されたフォトダイオード２３の数）に対応してＮ個配列されている。また、夫々の第２信号出力端子２９は、第３のスイッチ素子１８２を介して第２アナログ信号読み出し部１５０に接続される。この第３のスイッチ素子１８２は、第２の方向に、単位受光部２２$_n$の数（第２の方向に配置されたフォトダイオード２３の数）に対応してＮ個配列されている。第２のスイッチ素子１８１及び第３のスイッチ素子１８２は、制御回路（図示せず）からの信号に応じて、作動する。

【００４８】

第１アナログ信号読み出し部１３０は、図４に示されるように、第１アナログ信号読み出し回路１３１を有している。この第１アナログ信号読み出し回路１３１は、第２の方向に、単位受光部２２$_n$の数（第２の方向に配置されたフォトダイオード２３の数）に対応してＮ個配列されて、アレイ状に形成されている。夫々の第１アナログ信号読み出し回路１３１は、積分回路１３３、ＣＤＳ回路（図示せず）等を有している。積分回路１３３は、単位受光部２２$_n$（第１信号出力端子２７）からの出力信号を入力し、入力した電流信号の電荷を増幅する電荷増幅器１３５と、電荷増幅器１３５の入力端子に一方の端子が接続され、電荷増幅器１３５の出力端子に他方の端子が接続された容量素子１３７と、電荷増幅器１３５の入力端子に一方の端子が接続され、電荷増幅器１３５の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Ｒが有意の場合には「ＯＮ」状態となり、リセット信号Ｒが非有意の場合には「ＯＦＦ」状態となる第４のスイッチ素子１３９とを有している。この積分回路１３３は、リセット信号Ｒが非有意の場合には、単位受光部２２$_n$からの出力信号を入力し、リセット信号Ｒに応じて単位受光部２２$_n$から出力された電流信号を入出力端子間に接続された容量素子１３７に積分の動作を行い、リセット信号Ｒが有意の場合には非積分の動作を行うようになる。

【００４９】

単位受光部２２$_n$（第１信号出力端子２７）からの電流信号は、第１アナログ信号読み出し回路１３１（積分回路１３３、ＣＤＳ回路等）により、アナログ信号として読み出され、このアナログ信号が信号出力端子１９１に向けて送り出される。夫々の第１アナログ信号読み出し回路１３１の後段（信号出力端子１９１との間）には、第５のスイッチ素子１８３が設けられている。この第５のスイッチ素子１８３は、第１アナログ信号読み出し回路１３１の数に対応してＮ個配列されており、制御回路からの信号に応じて、作動する。

【００５０】

また、第１アナログ信号読み出し回路１３１により読み出されたアナログ信号は、第１デジタル信号読み出し部１４０に向けても送り出される。夫々の第１アナログ信号読み出し回路１３１と第１デジタル信号読み出し部１４０との間には、第６のスイッチ素子１８４が設けられている。この第６のスイッチ素子１８４は、第１アナログ信号読み出し回路１３１の数に対応してＮ個配列されており、制御回路からの信号に応じて、作動する。ここで、第５のスイッチ素子１８３と第６のスイッチ素子１８４とは、各請求項における第１出力選択回路を構成している。

【００５１】

第１デジタル信号読み出し部１４０は、Ａ／Ｄコンバータ１４１を有しており、このＡ／Ｄコンバータ１４１は、第２の方向に、第１アナログ信号読み出し回路１３１の数に対応してＮ個配列されて、アレイ状に形成されている。夫々のＡ／Ｄコンバータ１４１は、夫々の第１アナログ信号読み出し回路１３１からの出力されたアナログ信号を入力し、このアナログ信号をデジタル信号に変換して、データバスを介して信号出力端子１９２に向けて送り出す。

【００５２】

第２アナログ信号読み出し部１５０は、図４に示されるように、第２アナログ信号読み出し回路１５１を有している。この第２アナログ信号読み出し回路１５１は、第２の方向に、単位受光部２２$_n$の数（第２の方向に配置されたフォトダイオード２３の数）に対応してＮ個配列されて、アレイ状に形成されている。夫々の第２アナログ信号読み出し回路１

５１は、積分回路１５３、ＣＤＳ回路（図示せず）等を有している。積分回路１５３は、単位受光部２２$_n$（第２信号出力端子２９）からの出力信号を入力し、入力した電流信号の電荷を増幅する電荷増幅器１５５と、電荷増幅器１５５の入力端子に一方の端子が接続され、電荷増幅器１５５の出力端子に他方の端子が接続された容量素子１５７と、電荷増幅器１５５の入力端子に一方の端子が接続され、電荷増幅器１５５の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Ｒが有意の場合には「ＯＮ」状態となり、リセット信号Ｒが非有意の場合には「ＯＦＦ」状態となる第７のスイッチ素子１５９とを有している。この積分回路１５３は、リセット信号Ｒが非有意の場合には、単位受光部２２$_n$からの出力信号を入力し、リセット信号Ｒに応じて単位受光部２２$_n$から出力された電流信号を入出力端子間に接続された容量素子１５７に積分の動作を行い、リセット信号Ｒが有意の場合には非積分の動作を行うようになる。

【００５３】

単位受光部２２$_n$（第２信号出力端子２９）からの電流信号は、第２アナログ信号読み出し回路１５１（積分回路１５３、ＣＤＳ回路等）により、アナログ信号として読み出され、このアナログ信号が信号出力端子１９３に向けて送り出される。夫々の第２アナログ信号読み出し回路１５１の後段（信号出力端子１９３との間）には、第８のスイッチ素子１８５が設けられている。この第８のスイッチ素子１８５は、第２アナログ信号読み出し回路１５１の数に対応してＮ個配列されており、制御回路からの信号に応じて、作動する。

【００５４】

次に、第２実施形態の固体撮像装置１０１の動作を説明する。この固体撮像装置１０１では、受光部２０が入射した光が形成する光像を入力し、受光部２０のフォトダイオード２３に受光量に応じた電荷が蓄積される。そして、所定の受光期間の経過後に夫々のフォトダイオード２３に蓄積された電荷量を以下のようにして読み出す。

【００５５】

第１アナログ信号読み出し部１３０側にて、夫々のフォトダイオード２３に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第２のスイッチ素子１８１が閉じられ、夫々の第３のスイッチ素子１８２が開かれ、夫々の第５のスイッチ素子１８３が閉じられ、夫々の第６のスイッチ素子１８４が開かれる。また、読み出しの実行に先立って、積分回路１３３に対するリセット信号Ｒを有意として、第４のスイッチ素子１３９を閉じて容量素子１３７を初期化する。

【００５６】

次に、積分回路１３３に対するリセット信号Ｒを非有意として、第４のスイッチ素子１３９を開き、第１シフトレジスタ５０及び第２シフトレジスタ６０のいずれか一方から夫々の第１のスイッチ素子２５に走査信号Ｓ$_n$が所定のタイミングにて有意とされる。各単位受光部２２$_n$の第１の方向での走査における第１番目の受光素子２１$_{1.1}$～２１$_{N.1}$の第１のスイッチ素子２５のみを「ＯＮ」とする走査信号$\underline{S_1}$が有意とされる。第１のスイッチ素子２５が「ＯＮ」となると、それまでの受光によってフォトダイオード２３に蓄積された電荷が電流信号となって、第２のスイッチ素子１８１を介して、第１アナログ信号読み出し回路１３１（第１アナログ信号読み出し部１３０）に出力される。そして、第１アナログ信号読み出し回路１３１の積分回路１３３によってその帰還容量である容量素子１３７に蓄積されていき、積分回路１３３の出力端子から出力される電圧信号は次第に大きくなっていく。

【００５７】

積分回路１３３から出力された電圧信号は、ＣＤＳ回路等を介して、アナログ信号として夫々の第１アナログ信号読み出し回路１３１（第１アナログ信号読み出し部１３０）から出力され、第１の方向での走査における第１番目の受光素子２１$_{1.1}$～２１$_{N.1}$に関するデータ読み出しを終了する。夫々の第６のスイッチ素子１８４は開かれているため、第１アナログ信号読み出し回路１３１（第１アナログ信号読み出し部１３０）から出力されるアナログ信号は第１デジタル信号読み出し部１４０に送られることはない。なお、夫々の第１アナログ信号読み出し回路１３１からアナログ信号が出力される際に、夫々の第５のス

イッチ素子１８３に送られる信号を順次有意として、各第１アナログ信号読み出し回路１３１から順次アナログ信号を出力させており、第２の方向での走査を行っている。

【００５８】

次いで、積分回路１３３に対するリセット信号Ｒを有意として、第４のスイッチ素子１３９を閉じて容量素子１３７を初期化しながら、第１の方向での走査における第２番目以降の受光素子$２１_{1.n}$～$２１_{N.n}$に関するデータ読み出しを実行する。

【００５９】

こうして、受光部２０に入力した光の形成する光像を撮像し、撮像データとしてのアナログ信号を得る。

【００６０】

一方、第１デジタル信号読み出し部１４０側にて、夫々のフォトダイオード２３に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第２のスイッチ素子１８１が閉じられ、夫々の第３のスイッチ素子１８２が開かれ、夫々の第５のスイッチ素子１８３が開かれ、夫々の第６のスイッチ素子１８４が閉じられる。また、読み出しの実行に先立って、積分回路１３３に対するリセット信号Ｒを有意として、第４のスイッチ素子１３９を閉じて容量素子１３７を初期化する。

【００６１】

次に、積分回路１３３に対するリセット信号Ｒを非有意として、第４のスイッチ素子１３９を開き、第１シフトレジスタ５０及び第２シフトレジスタ６０のいずれか一方から夫々の第１のスイッチ素子２５に走査信号$Ｓ_{n}$が所定のタイミングにて有意とされる。各単位受光部２２_{n}の第１の方向での走査における第１番目の受光素子$２１_{1.1}$～$２１_{N.1}$の第１のスイッチ素子２５のみを「ＯＮ」とする走査信号$Ｓ_{1}$が有意とされる。第１のスイッチ素子２５が「ＯＮ」となると、それまでの受光によってフォトダイオード２３に蓄積された電荷が電流信号となって、第２のスイッチ素子１８１を介して、第１アナログ信号読み出し回路１３１に出力される。そして、第１アナログ信号読み出し回路１３１の積分回路１３３によってその帰還容量である容量素子１３７に蓄積されていき、積分回路１３３の出力端子から出力される電圧信号は次第に大きくなっていく。

【００６２】

積分回路１３３から出力された電圧信号は、ＣＤＳ回路等を介して、アナログ信号として夫々の第１アナログ信号読み出し回路１３１から夫々のＡ／Ｄコンバータ１４１（第１デジタル信号読み出し部１４０）に出力される。Ａ／Ｄコンバータ１４１では、第１アナログ信号読み出し回路１３１から出力されたアナログ信号がデジタル信号に変換され、このデジタル信号が夫々のＡ／Ｄコンバータ１４１（第１デジタル信号読み出し部１４０）からデータバスに出力され、第１の方向での走査における第１番目の受光素子$２１_{1.1}$～$２１_{N.1}$に関するデータ読み出しを終了する。夫々のＡ／Ｄコンバータ１４１からデジタル信号が出力される際に、夫々のＡ／Ｄコンバータ１４１は、制御回路からの信号に基づいて、所定タイミングにて順次デジタル信号を出力し、第２の方向での走査を行っている。夫々の第５のスイッチ素子１８３は開かれているため、第１アナログ信号読み出し回路１３１（第１アナログ信号読み出し部１３０）から出力されるアナログ信号は信号出力端子１９１に送られることはない。なお、夫々の第１アナログ信号読み出し回路１３１からアナログ信号が出力される際に、夫々の第６のスイッチ素子１８４に送られる信号を順次有意として、各第１アナログ信号読み出し回路１３１から順次アナログ信号を出力させることにより、第２の方向での走査を行うことも可能である。

【００６３】

次いで、積分回路１３３に対するリセット信号Ｒを有意として、第４のスイッチ素子１３９を閉じて容量素子１３７を初期化しながら、第１の方向での走査における第２番目以降の受光素子$２１_{1.n}$～$２１_{N.n}$に関するデータ読み出しを実行する。

【００６４】

こうして、受光部２０に入力した光の形成する光像を撮像し、撮像データとしてのデジタル信号を得る。

【００６５】
第２アナログ信号読み出し部１５０側にて、夫々のフォトダイオード２３に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第２のスイッチ素子１８１が開かれ、夫々の第３のスイッチ素子１８２が閉じられる。また、読み出しの実行に先立って、積分回路１５３に対するリセット信号Ｒを有意として、第７のスイッチ素子を閉じて容量素子１５７を初期化する。
【００６６】
次に、積分回路１５３に対するリセット信号Ｒを非有意として、第７のスイッチ素子１５９を開き、第１シフトレジスタ５０及び第２シフトレジスタ６０のいずれか一方から夫々の第１のスイッチ素子２５に走査信号S_nが所定のタイミングにて有意とされる。各単位受光部22_nの第１の方向での走査における第１番目の受光素子$21_{1.1}$～$21_{N.1}$の第１のスイッチ素子２５のみを「ＯＮ」とする走査信号S_1が有意とされる。第１のスイッチ素子２５が「ＯＮ」となると、それまでの受光によってフォトダイオード２３に蓄積された電荷が電流信号となって、第３のスイッチ素子１８２を介して、第２アナログ信号読み出し回路１５１（第２アナログ信号読み出し部１５０）に出力される。そして、第２アナログ信号読み出し回路１５１の積分回路１５３によってその帰還容量である容量素子１５７に蓄積されていき、積分回路１５３の出力端子から出力される電圧信号は次第に大きくなっていく。
【００６７】
積分回路１５３から出力された電圧信号は、ＣＤＳ回路等を介して、アナログ信号として夫々の第２アナログ信号読み出し回路１５１（第２アナログ信号読み出し部１５０）から出力され、第１の方向での走査における第１番目の受光素子$21_{1.1}$～$21_{N.1}$に関するデータ読み出しを終了する。なお、夫々の第２アナログ信号読み出し回路１５１からアナログ信号が出力される際に、夫々の第８のスイッチ素子１８５に送られる信号を順次有意として、各第２アナログ信号読み出し回路１５１から順次アナログ信号を出力させており、第２の方向での走査を行っている。
【００６８】
次いで、積分回路１５３に対するリセット信号Ｒを有意として、第７のスイッチ素子１５９を閉じて容量素子１５７を初期化しながら、第１の方向での走査における第２番目以降の受光素子$21_{1.n}$～$21_{N.n}$に関するデータ読み出しを実行する。
【００６９】
こうして、受光部２０に入力した光の形成する光像を撮像し、撮像データとしてのアナログ信号を得る。
【００７０】
以上のように、第２実施形態の固体撮像装置１０１によれば、第１アナログ信号読み出し部１３０は、受光素子$21_{n.n}$がＮ行×Ｎ列に２次元配列された受光部２０の第１の辺２０ａに沿って設けられ、第１デジタル信号読み出し部１４０は、第１アナログ信号読み出し部１３０に沿って設けられ、第２アナログ信号読み出し部１５０は、受光部２０の第１の辺２０ａに対向する第２の辺２０ｂに沿って設けられている。また、第１アナログ信号読み出し部１３０は、夫々の単位受光部22_nの第１信号出力端子２７から出力された信号を夫々個別に入力し、単位受光部22_nから出力された電流信号をアナログ信号として読み出すＮ個の第１アナログ信号読み出し回路１３１を有し、第１デジタル信号読み出し部１４０は、夫々の第１アナログ信号読み出し回路１３１から出力されたアナログ信号をデジタル信号に変換するＮ個のＡ／Ｄコンバータ１４１を有し、第２アナログ信号読み出し部１５０は、夫々の単位受光部22_nの第２信号出力端子２９から出力された信号を夫々個別に入力し、単位受光部22_nから出力された電流信号をアナログ信号として読み出すＮ個の第２アナログ信号読み出し回路１５１を有している。また、夫々のフォトダイオード２３で発生した電流信号を、夫々の単位受光部22_nの第１信号出力端子２７及び第２信号出力端子２９のいずれに向けても送り出し得るように、走査信号S_nを出力する第１シフトレジスタ５０あるいは第２シフトレジスタ６０が備えられている。夫々の第２の

スイッチ素子１８１を閉じ、夫々の第３のスイッチ素子１８２を開き、夫々の第５のスイッチ素子１８３を開き、夫々の第６のスイッチ素子１８４を閉じた場合には、第１シフトレジスタ５０あるいは第２シフトレジスタ６０が第１信号出力端子２７側に向けて電流信号を送り出すことになり、夫々の単位受光部２２_nにおけるフォトダイオード２３で発生した電流信号が夫々の第１デジタル信号読み出し部１４０にてデジタル信号として読み出されることになる。

【００７１】

一方、第１デジタル信号読み出し部１４０、例えばＮ個のＡ／Ｄコンバータ１４１のうちのいずれかに欠陥がある場合には、夫々の第２のスイッチ素子１８１を閉じ、夫々の第３のスイッチ素子１８２を開き、夫々の第５のスイッチ素子１８３を閉じ、夫々の第６のスイッチ素子１８４を開き、第１シフトレジスタ５０あるいは第２シフトレジスタ６０により第１信号出力端子２７側に向けて電流信号を送り出すことで、夫々の単位受光部２２_nにおけるフォトダイオード２３で発生した電流信号が夫々の第１アナログ信号読み出し回路１３１（第１アナログ信号読み出し部１３０）にてアナログ信号として読み出されることになる。

【００７２】

更に、第１デジタル信号読み出し部１４０及び第１アナログ信号読み出し部１３０に欠陥がある場合には、夫々の第２のスイッチ素子１８１を開き、夫々の第３のスイッチ素子１８２を閉じ、第１シフトレジスタ５０あるいは第２シフトレジスタ６０により第２信号出力端子２９側に向けて電流信号を送り出すことで、夫々の単位受光部２２_nにおけるフォトダイオード２３で発生した電流信号が夫々の第２アナログ信号読み出し回路１５１（第２アナログ信号読み出し部１５０）にてアナログ信号として読み出されることになる。

【００７３】

したがって、第１デジタル信号読み出し部１４０側に欠陥がある場合には、第１アナログ信号読み出し部１３０側にてフォトダイオード２３で発生した電流信号を読み出すことが可能となり、また、第１デジタル信号読み出し部１４０及び第１アナログ信号読み出し部１３０に欠陥がある場合でも、第２アナログ信号読み出し部１５０側にてフォトダイオード２３で発生した電流信号を読み出すことが可能となり、受光部２０を大面積化し、第１アナログ信号読み出し部１３０、第１デジタル信号読み出し部１４０、第２アナログ信号読み出し部１５０、第１シフトレジスタ５０及び第２シフトレジスタ６０等の周辺回路を同一の基板１１０に設けた場合においても固体撮像装置１０１の歩留まりの低下を大幅に抑制することができる。

【００７４】

また、第１デジタル信号読み出し部１４０側にてフォトダイオード２３で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのＡ／Ｄコンバータが不要となり、固体撮像装置１０１の低コスト化が可能となる。また、第１デジタル信号読み出し部１４０での分解能は、同一の基板１１０に設けられるためスペース的な問題から、高くすることには限界（例えば、１１ビット程度の分解能）があるものの、第１アナログ信号読み出し部１３０側あるいは第２アナログ信号読み出し部１５０側にてフォトダイオード２３で発生した電流信号を読み出す場合には、外付けのＡ／Ｄコンバータを用いることで、高分解能化（例えば１６ビット程度の分解能）が可能となる。

【００７５】

また、第１の辺２０ａに沿って第１アナログ信号読み出し部１３０（第１デジタル信号読み出し部１４０）を設け、第２の辺２０ｂに沿って第２アナログ信号読み出し部１５０を設けることで、第１アナログ信号読み出し部１３０（第１デジタル信号読み出し部１４０）と第１アナログ信号読み出し部１３０とが受光部２０を挟んだ対向する位置に設けられることになり、基板１１０をコンパクトに構成することができる。

【００７６】

（第３実施形態）

次に、本発明に係る固体撮像装置の第３実施形態について、図５及び図６を用いて説明する。図５は、第３実施形態に係る固体撮像装置の概略構成を示す概念図であり、図６は、第３実施形態に係る固体撮像装置の回路構成図である。第３実施形態に係る固体撮像装置２０１は、第２実施形態に係る固体撮像装置１０１と比べて、２つのデジタル信号読み出し部を有する点で相違する。

【００７７】

第３実施形態に係る固体撮像装置２０１は、図５に示されるように、矩形に形成された基板２１０を有し、この基板２１０には、受光部２０、第１アナログ信号読み出し部２３０、第１デジタル信号読み出し部２４０、第２アナログ信号読み出し部２５０、第２デジタル信号読み出し部２６０、第１シフトレジスタ５０及び第２シフトレジスタ６０が、ＣＭＯＳプロセス等を用いて設けられている。基板２１０には、第１実施形態及び第２実施形態と同様に、８インチφのシリコンウェハを用いている。

【００７８】

受光部２０は、各辺が１３０ｍｍとされた略正方形状に形成されており、この中に縦横５０μｍピッチ程度で各受光素子（画素）$２１_{1.1}$～$２１_{N.N}$が形成されている。第１アナログ信号読み出し部２３０は、受光部２０の第１の辺２０ａに沿って設けられている。第１デジタル信号読み出し部２４０は、受光部２０の第１の辺２０ａに沿って設けられた第１アナログ信号読み出し部２３０に沿って設けられている。第２アナログ信号読み出し部２５０は、受光部２０の第１の辺２０ａに対向する第２の辺２０ｂに沿って設けられている。第２デジタル信号読み出し部２６０は、受光部２０の第２の辺２０ｂに沿って設けられた第２アナログ信号読み出し部２５０に沿って設けられている。第１シフトレジスタ５０は、受光部２０の第１の辺２０ａ及び第２の辺２０ｂに直交する第３の辺２０ｃに沿って設けられている。第２シフトレジスタ６０は、受光部２０の第１の辺２０ａ及び第２の辺２０ｂに直交し且つ第３の辺２０ｃに対向する第４の辺２０ｄに沿って設けられている。第１アナログ信号読み出し部２３０、第１デジタル信号読み出し部２４０、第２アナログ信号読み出し部２５０及び第２デジタル信号読み出し部２６０には、各々信号出力端子２９１，２９２，２９３，２９４が接続されている。

【００７９】

受光部２０は、図６に示されるように、受光素子$２１_{n.n}$がＮ行×Ｎ列に２次元配列されている。夫々の受光素子$２１_{1.1}$～$２１_{N.N}$は、入力光信号を電流信号に変換する光電変換素子としてのフォトダイオード２３と、第１のスイッチ素子２５とを有している。第１のスイッチ素子２５は信号入力端子と信号出力端子を有しており、第１のスイッチ素子２５の信号入力端子はフォトダイオード２３の信号出力端子に接続されており、第１シフトレジスタ５０あるいは第２シフトレジスタ６０からの走査信号$Ｓ_{n}$に応じてフォトダイオード２３で発生した電流信号を信号出力端子から流出する。このような受光素子$２１_{n.n}$が、第１の方向（第３の辺２０ｃあるいは第４の辺２０ｄの延びる方向）に沿ってＮ個配列されおり、この第１の方向に沿ってＮ個配列された受光素子$２１_{n.1}$～$２１_{n.N}$は、夫々の第１のスイッチ素子２５の信号出力端子が電気的に接続されることにより単位受光部２２_{n}を構成している。この単位受光部２２_{n}は、第１の方向と直交する第２の方向（第１の辺２０ａあるいは第２の辺２０ｂの延びる方向）に沿ってＮ個配列されている。

【００８０】

夫々の単位受光部２２_{n}の一方の端部には、夫々の第１のスイッチ素子２５の信号出力端子と互いに電気的に接続された第１信号出力端子２７が設けられ、夫々の単位受光部２２_{n}の他方の端部には、夫々の第１のスイッチ素子２５の信号出力端子と互いに電気的に接続された第２信号出力端子２９が各々設けられている。夫々の第１信号出力端子２７は、第２のスイッチ素子２８１を介して第１アナログ信号読み出し部２３０に接続される。この第２のスイッチ素子２８１は、第２の方向に、単位受光部２２_{n}の数（第２の方向に配置されたフォトダイオード２３の数）に対応してＮ個配列されている。また、夫々の第２信号出力端子２９は、第３のスイッチ素子２８２を介して第２アナログ信号読み出し部２５０に接続される。この第３のスイッチ素子２８２は、第２の方向に、単位受光部２２

$_n$の数（第２の方向に配置されたフォトダイオード２３の数）に対応してＮ個配列されている。第２のスイッチ素子２８１及び第３のスイッチ素子２８２は、制御回路（図示せず）からの信号に応じて、作動する。

【００８１】

第１アナログ信号読み出し部２３０は、図６に示されるように、第１アナログ信号読み出し回路２３１を有している。この第１アナログ信号読み出し回路２３１は、第２の方向に、単位受光部２２$_n$の数（第２の方向に配置されたフォトダイオード２３の数）に対応してＮ個配列されて、アレイ状に形成されている。夫々の第１アナログ信号読み出し回路２３１は、積分回路２３３、ＣＤＳ回路（図示せず）等を有している。積分回路２３３は、単位受光部２２$_n$（第１信号出力端子２７）からの出力信号を入力し、入力した電流信号の電荷を増幅する電荷増幅器２３５と、電荷増幅器２３５の入力端子に一方の端子が接続され、電荷増幅器２３５の出力端子に他方の端子が接続された容量素子２３７と、電荷増幅器２３５の入力端子に一方の端子が接続され、電荷増幅器２３５の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Ｒが有意の場合には「ＯＮ」状態となり、リセット信号Ｒが非有意の場合には「ＯＦＦ」状態となる第４のスイッチ素子２３９とを有している。この積分回路２３３は、リセット信号Ｒが非有意の場合には、単位受光部２２$_n$からの出力信号を入力し、リセット信号Ｒに応じて単位受光部２２$_n$から出力された電流信号を入出力端子間に接続された容量素子２３７に積分の動作を行い、リセット信号Ｒが有意の場合には非積分の動作を行うようになる。

【００８２】

単位受光部２２$_n$（第１信号出力端子２７）からの電流信号は、第１アナログ信号読み出し回路２３１（積分回路２３３、ＣＤＳ回路等）により、アナログ信号として読み出され、このアナログ信号が信号出力端子２９１に向けて送り出される。夫々の第１アナログ信号読み出し回路２３１の後段（信号出力端子２９１との間）には、第５のスイッチ素子２８３が設けられている。この第５のスイッチ素子２８３は、第１アナログ信号読み出し回路２３１の数に対応してＮ個配列されており、制御回路からの信号に応じて、作動する。

【００８３】

また、第１アナログ信号読み出し回路２３１により読み出されたアナログ信号は、第１デジタル信号読み出し部２４０に向けても送り出される。夫々の第１アナログ信号読み出し回路２３１と第１デジタル信号読み出し部２４０との間には、第６のスイッチ素子２８４が設けられている。この第６のスイッチ素子２８４は、第１アナログ信号読み出し回路２３１の数に対応してＮ個配列されており、制御回路からの信号に応じて、作動する。ここで、第５のスイッチ素子２８３と第６のスイッチ素子２８４とは、各請求項における第１出力選択回路を構成している。

【００８４】

第１デジタル信号読み出し部２４０は、Ａ／Ｄコンバータ２４１を有しており、このＡ／Ｄコンバータ２４１は、第２の方向に、第１アナログ信号読み出し回路２３１の数に対応してＮ個配列されて、アレイ状に形成されている。夫々のＡ／Ｄコンバータ２４１は、夫々の第１アナログ信号読み出し回路２３１からの出力されたアナログ信号を入力し、このアナログ信号をデジタル信号に変換して、データバスを介して信号出力端子２９２に向けて送り出す。

【００８５】

第２アナログ信号読み出し部２５０は、図６に示されるように、第２アナログ信号読み出し回路２５１を有している。この第２アナログ信号読み出し回路２５１は、第２の方向に、単位受光部２２$_n$の数（第２の方向に配置されたフォトダイオード２３の数）に対応してＮ個配列されて、アレイ状に形成されている。夫々の第２アナログ信号読み出し回路２５１は、積分回路２５３、ＣＤＳ回路（図示せず）等を有している。積分回路２５３は、単位受光部２２$_n$（第２信号出力端子２９）からの出力信号を入力し、入力した電流信号の電荷を増幅する電荷増幅器２５５と、電荷増幅器２５５の入力端子に一方の端子が接続され、電荷増幅器２５５の出力端子に他方の端子が接続された容量素子２５７と、電荷

増幅器２５５の入力端子に一方の端子が接続され、電荷増幅器２５５の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Ｒが有意の場合には「ＯＮ」状態となり、リセット信号Ｒが非有意の場合には「ＯＦＦ」状態となる第７のスイッチ素子２５９とを有している。この積分回路２５３は、リセット信号Ｒが非有意の場合には、単位受光部22_nからの出力信号を入力し、リセット信号Ｒに応じて単位受光部22_nから出力された電流信号を入出力端子間に接続された容量素子２５７に積分の動作を行い、リセット信号Ｒが有意の場合には非積分の動作を行うようになる。

【００８６】

単位受光部22_n（第２信号出力端子２９）からの電流信号は、第２アナログ信号読み出し回路２５１（積分回路２５３、ＣＤＳ回路等）により、アナログ信号として読み出され、このアナログ信号が信号出力端子２９３に向けて送り出される。夫々の第２アナログ信号読み出し回路２５１の後段（信号出力端子２９３との間）には、第８のスイッチ素子２８５が設けられている。この第８のスイッチ素子２８５は、第２アナログ信号読み出し回路２５１の数に対応してＮ個配列されており、制御回路からの信号に応じて、作動する。

【００８７】

また、第２アナログ信号読み出し回路２５１により読み出されたアナログ信号は、第２デジタル信号読み出し部２６０に向けても送り出される。夫々の第２アナログ信号読み出し回路２５１と第２デジタル信号読み出し部２６０との間には、第９のスイッチ素子２８６が設けられている。この第９のスイッチ素子２８６は、第２アナログ信号読み出し回路２５１の数に対応してＮ個配列されており、制御回路からの信号に応じて、作動する。ここで、第８のスイッチ素子２８５と第９のスイッチ素子２８６とは、各請求項における第２出力選択回路を構成している。

【００８８】

第２デジタル信号読み出し部２６０は、Ａ／Ｄコンバータ２６１を有しており、このＡ／Ｄコンバータ２６１は、第２の方向に、第２アナログ信号読み出し回路２５１の数に対応してＮ個配列されて、アレイ状に形成されている。夫々のＡ／Ｄコンバータ２６１は、夫々の第２アナログ信号読み出し回路２５１からの出力されたアナログ信号を入力し、このアナログ信号をデジタル信号に変換して、データバスを介して信号出力端子２９４に向けて送り出す。

【００８９】

次に、第３実施形態の固体撮像装置２０１の動作を説明する。この固体撮像装置２０１では、受光部２０が入射した光が形成する光像を入力し、受光部２０のフォトダイオード２３に受光量に応じた電荷が蓄積される。そして、所定の受光期間の経過後に夫々のフォトダイオード２３に蓄積された電荷量を以下のようにして読み出す。

【００９０】

第１アナログ信号読み出し部２３０側にて、夫々のフォトダイオード２３に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第２のスイッチ素子２８１が閉じられ、夫々の第３のスイッチ素子２８２が開かれ、夫々の第５のスイッチ素子２８３が閉じられ、夫々の第６のスイッチ素子２８４が開かれる。また、読み出しの実行に先立って、積分回路２３３に対するリセット信号Ｒを有意として、第４のスイッチ素子２３９を閉じて容量素子２３７を初期化する。

【００９１】

次に、積分回路２３３に対するリセット信号Ｒを非有意として、第４のスイッチ素子２３９を開き、第１シフトレジスタ５０及び第２シフトレジスタ６０のいずれか一方から夫々の第１のスイッチ素子２５に走査信号S_nが所定のタイミングにて有意とされる。各単位受光部22_nの第１の方向での走査における第１番目の受光素子$21_{1.1}$～$21_{N.1}$の第１のスイッチ素子２５のみを「ＯＮ」とする走査信号S_1が有意とされる。第１のスイッチ素子２５が「ＯＮ」となると、それまでの受光によってフォトダイオード２３に蓄積された電荷が電流信号となって、第２のスイッチ素子２８１を介して、第１アナログ信号読み出し回路２３１（第１アナログ信号読み出し部２３０）に出力される。そして、第１アナ

ログ信号読み出し回路２３１の積分回路２３３によってその帰還容量である容量素子２３７に蓄積されていき、積分回路２３３の出力端子から出力される電圧信号は次第に大きくなっていく。

【００９２】

積分回路２３３から出力された電圧信号は、ＣＤＳ回路等を介して、アナログ信号として夫々の第１アナログ信号読み出し回路２３１（第１アナログ信号読み出し部２３０）から出力され、第１の方向での走査における第１番目の受光素子$２１_{1.1}$～$２１_{N.1}$に関するデータ読み出しを終了する。夫々の第６のスイッチ素子２８４は開かれているため、第１アナログ信号読み出し回路２３１（第１アナログ信号読み出し部２３０）から出力されるアナログ信号は第１デジタル信号読み出し部２４０に送られることはない。なお、夫々の第１アナログ信号読み出し回路２３１からアナログ信号が出力される際に、夫々の第５のスイッチ素子２８３に送られる信号を順次有意として、各第１アナログ信号読み出し回路２３１から順次アナログ信号を出力させており、第２の方向での走査を行っている。

【００９３】

次いで、積分回路２３３に対するリセット信号Ｒを有意として、第４のスイッチ素子２３９を閉じて容量素子２３７を初期化しながら、第１の方向での走査における第２番目以降の受光素子$２１_{1.n}$～$２１_{N.n}$に関するデータ読み出しを実行する。

【００９４】

こうして、受光部２０に入力した光の形成する光像を撮像し、撮像データとしてのアナログ信号を得る。

【００９５】

一方、第１デジタル信号読み出し部２４０側にて、夫々のフォトダイオード２３に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第２のスイッチ素子２８１が閉じられ、夫々の第３のスイッチ素子２８２が開かれ、夫々の第５のスイッチ素子２８３が開かれ、夫々の第６のスイッチ素子２８４が閉じられる。また、読み出しの実行に先立って、積分回路２３３に対するリセット信号Ｒを有意として、第４のスイッチ素子２３９を閉じて容量素子２３７を初期化する。

【００９６】

次に、積分回路２３３に対するリセット信号Ｒを非有意として、第４のスイッチ素子２３９を開き、第１シフトレジスタ５０及び第２シフトレジスタ６０のいずれか一方から夫々の第１のスイッチ素子２５に走査信号$Ｓ_{n}$が所定のタイミングにて有意とされる。各単位受光部２２_{n}の第１の方向での走査における第１番目の受光素子$２１_{1.1}$～$２１_{N.1}$の第１のスイッチ素子２５のみを「ＯＮ」とする走査信号$Ｓ_{1}$が有意とされる。第１のスイッチ素子２５が「ＯＮ」となると、それまでの受光によってフォトダイオード２３に蓄積された電荷が電流信号となって、第２のスイッチ素子２８１を介して、第１アナログ信号読み出し回路２３１に出力される。そして、第１アナログ信号読み出し回路２３１の積分回路２３３によってその帰還容量である容量素子２３７に蓄積されていき、積分回路２３３の出力端子から出力される電圧信号は次第に大きくなっていく。

【００９７】

積分回路２３３から出力された電圧信号は、ＣＤＳ回路等を介して、アナログ信号として夫々の第１アナログ信号読み出し回路２３１から夫々のＡ／Ｄコンバータ２４１（第１デジタル信号読み出し部２４０）に出力される。Ａ／Ｄコンバータ２４１では、第１アナログ信号読み出し回路２３１から出力されたアナログ信号がデジタル信号に変換され、このデジタル信号が夫々のＡ／Ｄコンバータ２４１（第１デジタル信号読み出し部２４０）からデータバスに出力され、第１の方向での走査における第１番目の受光素子$２１_{1.1}$～$２１_{N.1}$に関するデータ読み出しを終了する。夫々のＡ／Ｄコンバータ２４１からデジタル信号が出力される際に、夫々のＡ／Ｄコンバータ２４１は、制御回路からの信号に基づいて、所定タイミングにて順次デジタル信号を出力し、第２の方向での走査を行っている。夫々の第５のスイッチ素子２８３は開かれているため、第１アナログ信号読み出し回路２３１（第１アナログ信号読み出し部２３０）から出力されるアナログ信号は信号出力端子

２９１に送られることはない。なお、夫々の第１アナログ信号読み出し回路２３１からアナログ信号が出力される際に、夫々の第６のスイッチ素子２８４に送られる信号を順次有意として、各第１アナログ信号読み出し回路２３１から順次アナログ信号を出力させることにより、第２の方向での走査を行うことも可能である。

【００９８】

次いで、積分回路２３３に対するリセット信号Ｒを有意として、第４のスイッチ素子２３９を閉じて容量素子２３７を初期化しながら、第１の方向での走査における第２番目以降の受光素子$２１_{1.n}$～$２１_{N.n}$に関するデータ読み出しを実行する。

【００９９】

こうして、受光部２０に入力した光の形成する光像を撮像し、撮像データとしてのデジタル信号を得る。

【０１００】

第２アナログ信号読み出し部２５０側にて、夫々のフォトダイオード２３に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第２のスイッチ素子２８１が開かれ、夫々の第３のスイッチ素子２８２が閉じられ、夫々の第８のスイッチ素子２８５が閉じられ、夫々の第９のスイッチ素子２８６が開かれる。また、読み出しの実行に先立って、積分回路２５３に対するリセット信号Ｒを有意として、第７のスイッチ素子２５９を閉じて容量素子２５７を初期化する。

【０１０１】

次に、積分回路２５３に対するリセット信号Ｒを非有意として、第７のスイッチ素子２５９を開き、第１シフトレジスタ５０及び第２シフトレジスタ６０のいずれか一方から夫々の第１のスイッチ素子２５に走査信号$Ｓ_{n}$が所定のタイミングにて有意とされる。各単位受光部２２_{n}の第１の方向での走査における第１番目の受光素子$２１_{1.1}$～$２１_{N.1}$の第１のスイッチ素子２５のみを「ＯＮ」とする走査信号$Ｓ_{1}$が有意とされる。第１のスイッチ素子２５が「ＯＮ」となると、それまでの受光によってフォトダイオード２３に蓄積された電荷が電流信号となって、第３のスイッチ素子２８２を介して、第２アナログ信号読み出し回路２５１（第２アナログ信号読み出し部２５０）に出力される。そして、第２アナログ信号読み出し回路２５１の積分回路２５３によってその帰還容量である容量素子２５７に蓄積されていき、積分回路２５３の出力端子から出力される電圧信号は次第に大きくなっていく。

【０１０２】

積分回路２５３から出力された電圧信号は、ＣＤＳ回路等を介して、アナログ信号として夫々の第２アナログ信号読み出し回路２５１（第２アナログ信号読み出し部２５０）から出力され、第１の方向での走査における第１番目の受光素子$２１_{1.1}$～$２１_{N.1}$に関するデータ読み出しを終了する。夫々の第９のスイッチ素子２８６は開かれているため、第２アナログ信号読み出し回路２５１（第２アナログ信号読み出し部２５０）から出力されるアナログ信号は第２デジタル信号読み出し部２６０に送られることはない。なお、夫々の第２アナログ信号読み出し回路２５１からアナログ信号が出力される際に、夫々の第８のスイッチ素子２８５に送られる信号を順次有意として、各第２アナログ信号読み出し回路２５１から順次アナログ信号を出力させており、第２の方向での走査を行っている。

【０１０３】

次いで、積分回路２５３に対するリセット信号Ｒを有意として、第７のスイッチ素子２５９を閉じて容量素子２５７を初期化しながら、第１の方向での走査における第２番目以降の受光素子$２１_{1.n}$～$２１_{N.n}$に関するデータ読み出しを実行する。

【０１０４】

こうして、受光部２０に入力した光の形成する光像を撮像し、撮像データとしてのアナログ信号を得る。

【０１０５】

一方、第２デジタル信号読み出し部２６０側にて、夫々のフォトダイオード２３に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第２のスイッ

チ素子２８１が開かれ、夫々の第３のスイッチ素子２８２が閉じられ、夫々の第８のスイッチ素子２８５が開かれ、夫々の第９のスイッチ素子２８６が閉じられる。また、読み出しの実行に先立って、積分回路２５３に対するリセット信号Ｒを有意として、第７のスイッチ素子２５９を閉じて容量素子２５７を初期化する。

【０１０６】

次に、積分回路２５３に対するリセット信号Ｒを非有意として、第７のスイッチ素子２５９を開き、第１シフトレジスタ５０及び第２シフトレジスタ６０のいずれか一方から夫々の第１のスイッチ素子２５に走査信号S_nが所定のタイミングにて有意とされる。各単位受光部22_nの第１の方向での走査における第１番目の受光素子$21_{1.1}$～$21_{N.1}$の第１のスイッチ素子２５のみを「ＯＮ」とする走査信号S_1が有意とされる。第１のスイッチ素子２５が「ＯＮ」となると、それまでの受光によってフォトダイオード２３に蓄積された電荷が電流信号となって、第３のスイッチ素子２８２を介して、第２アナログ信号読み出し回路２５１に出力される。そして、第２アナログ信号読み出し回路２５１の積分回路２５３によってその帰還容量である容量素子２５７に蓄積されていき、積分回路２５３の出力端子から出力される電圧信号は次第に大きくなっていく。

【０１０７】

積分回路２５３から出力された電圧信号は、ＣＤＳ回路等を介して、アナログ信号として夫々の第２アナログ信号読み出し回路２５１から夫々のＡ／Ｄコンバータ２６１（第２デジタル信号読み出し部２６０）に出力される。Ａ／Ｄコンバータ２６１では、第２アナログ信号読み出し回路２５１から出力されたアナログ信号がデジタル信号に変換され、このデジタル信号が夫々のＡ／Ｄコンバータ２６１（第２デジタル信号読み出し部２６０）からデータバスに出力され、第１の方向での走査における第１番目の受光素子$21_{1.1}$～$21_{N.1}$に関するデータ読み出しを終了する。夫々のＡ／Ｄコンバータ２６１からデジタル信号が出力される際に、夫々のＡ／Ｄコンバータ２６１は、制御回路からの信号に基づいて、所定タイミングにて順次デジタル信号を出力し、第２の方向での走査を行っている。夫々の第８のスイッチ素子２８５は開かれているため、第２アナログ信号読み出し回路２５１（第２アナログ信号読み出し部２５０）から出力されるアナログ信号は信号出力端子２９３に送られることはない。なお、夫々の第２アナログ信号読み出し回路２５１からアナログ信号が出力される際に、夫々の第９のスイッチ素子２８６に送られる信号を順次有意として、各第２アナログ信号読み出し回路２５１から順次アナログ信号を出力させることにより、第２の方向での走査を行うことも可能である。

【０１０８】

次いで、積分回路２５３に対するリセット信号Ｒを有意として、第７のスイッチ素子２５９を閉じて容量素子２５７を初期化しながら、第１の方向での走査における第２番目以降の受光素子$21_{1.n}$～$21_{N.n}$に関するデータ読み出しを実行する。

【０１０９】

こうして、受光部２０に入力した光の形成する光像を撮像し、撮像データとしてのデジタル信号を得る。

【０１１０】

以上のように、第３実施形態の固体撮像装置２０１によれば、第１アナログ信号読み出し部２３０は、受光素子$21_{n.n}$がＮ行×Ｎ列に２次元配列された受光部２０の第１の辺２０ａに沿って設けられ、第１デジタル信号読み出し部２４０は、第１アナログ信号読み出し部２３０に沿って設けられ、第２アナログ信号読み出し部２５０は、受光部２０の第１の辺２０ａに対向する第２の辺２０ｂに沿って設けられ、第２デジタル信号読み出し部２６０は、第２アナログ信号読み出し部２５０に沿って設けられている。また、第１アナログ信号読み出し部２３０は、夫々の単位受光部22_nの第１信号出力端子２７から出力された信号を夫々個別に入力し、単位受光部22_nから出力された電流信号をアナログ信号として読み出すＮ個の第１アナログ信号読み出し回路２３１を有し、第１デジタル信号読み出し部２４０は、夫々の第１アナログ信号読み出し回路２３１から出力されたアナログ信号をデジタル信号に変換するＮ個のＡ／Ｄコンバータ２４１を有し、第２アナログ信

号読み出し部２５０は、夫々の単位受光部２２$_n$の第２信号出力端子２９から出力された信号を夫々個別に入力し、単位受光部２２$_n$から出力された電流信号をアナログ信号として読み出すＮ個の第２アナログ信号読み出し回路２５１を有し、第２デジタル信号読み出し部２６０は、夫々の第２アナログ信号読み出し回路２５１から出力されたアナログ信号をデジタル信号に変換するＮ個のＡ／Ｄコンバータ２６１を有している。また、夫々のフォトダイオード２３で発生した電流信号を、夫々の単位受光部２２$_n$の第１信号出力端子２７及び第２信号出力端子２９のいずれに向けても送り出し得るように、走査信号Ｓ$_n$を出力する第１シフトレジスタ５０あるいは第２シフトレジスタ６０が備えられている。夫々の第２のスイッチ素子２８１を閉じ、夫々の第３のスイッチ素子２８２を開き、夫々の第５のスイッチ素子２８３を開き、夫々の第６のスイッチ素子２８４を閉じた場合には、第１シフトレジスタ５０あるいは第２シフトレジスタ６０が第１信号出力端子２７側に向けて電流信号を送り出すことになり、夫々の単位受光部２２$_n$におけるフォトダイオード２３で発生した電流信号が夫々の第１デジタル信号読み出し部２４０にてデジタル信号として読み出されることになる。

【０１１１】

一方、第１デジタル信号読み出し部２４０、例えばＮ個のＡ／Ｄコンバータ２４１のうちのいずれかに欠陥がある場合には、夫々の第２のスイッチ素子２８１を閉じ、夫々の第３のスイッチ素子２８２を開き、夫々の第５のスイッチ素子２８３を閉じ、夫々の第６のスイッチ素子２８４を開き、第１シフトレジスタ５０あるいは第２シフトレジスタ６０により第１信号出力端子２７側に向けて電流信号を送り出すことで、夫々の単位受光部２２$_n$におけるフォトダイオード２３で発生した電流信号が夫々の第１アナログ信号読み出し回路２３１（第１アナログ信号読み出し部２３０）にてアナログ信号として読み出されることになる。

【０１１２】

第１デジタル信号読み出し部２４０及び第１アナログ信号読み出し部２３０に欠陥がある場合には、夫々の第２のスイッチ素子２８１を開き、夫々の第３のスイッチ素子２８２を閉じ、夫々の第８のスイッチ素子２８５を開き、夫々の第９のスイッチ素子２８６を閉じ、第１シフトレジスタ５０あるいは第２シフトレジスタ６０により第２信号出力端子２９側に向けて電流信号を送り出すことで、夫々の単位受光部２２$_n$におけるフォトダイオード２３で発生した電流信号が夫々の第２デジタル信号読み出し部２６０にてデジタル信号として読み出されることになる。

【０１１３】

更に、第１デジタル信号読み出し部２４０、第１アナログ信号読み出し部２３０及び第２デジタル信号読み出し部２６０に欠陥がある場合には、夫々の第２のスイッチ素子２８１を開き、夫々の第３のスイッチ素子２８２を閉じ、夫々の第８のスイッチ素子２８５を閉じ、夫々の第９のスイッチ素子２８６を開き、第１シフトレジスタ５０あるいは第２シフトレジスタ６０により第２信号出力端子２９側に向けて電流信号を送り出すことで、夫々の単位受光部２２$_n$におけるフォトダイオード２３で発生した電流信号が夫々の第２アナログ信号読み出し回路２５１（第２アナログ信号読み出し部２５０）にてアナログ信号として読み出されることになる。

【０１１４】

したがって、第１デジタル信号読み出し部２４０側に欠陥がある場合には、第１アナログ信号読み出し部２３０側にてフォトダイオード２３で発生した電流信号を読み出すことが可能となり、また、第１デジタル信号読み出し部２４０及び第１アナログ信号読み出し部２３０に欠陥がある場合でも、また、第２デジタル信号読み出し部２６０側にてフォトダイオード２３で発生した電流信号を読み出すことが可能となり、更に、第１デジタル信号読み出し部２４０、第１アナログ信号読み出し部２３０及び第２デジタル信号読み出し部２６０に欠陥がある場合でも、また、第２アナログ信号読み出し部２５０側にてフォトダイオード２３で発生した電流信号を読み出すことが可能となり、受光部２０を大面積化し、第１アナログ信号読み出し部２３０、第１デジタル信号読み出し部２４０、第２アナロ

グ信号読み出し部２５０、第１シフトレジスタ５０及び第２シフトレジスタ６０等の周辺回路を同一の基板２１０に設けた場合においても固体撮像装置２０１の歩留まりの低下を大幅に抑制することができる。

【０１１５】

また、第１デジタル信号読み出し部２４０側あるいは第２デジタル信号読み出し部２６０側にてフォトダイオード２３で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのＡ／Ｄコンバータが不要となり、固体撮像装置２０１の低コスト化が可能となる。また、第１デジタル信号読み出し部２４０での分解能は、同一の基板２１０に設けられるためスペース的な問題から、高くすることには限界（例えば、１１ビット程度の分解能）があるものの、第１アナログ信号読み出し部２３０側あるいは第２アナログ信号読み出し部２５０側にてフォトダイオード２３で発生した電流信号を読み出す場合には、外付けのＡ／Ｄコンバータを用いることで、高分解能化（例えば１６ビット程度の分解能）が可能となる。

【０１１６】

また、第１の辺２０ａに沿って第１アナログ信号読み出し部２３０（第１デジタル信号読み出し部２４０）を設け、第２の辺２０ｂに沿って第２アナログ信号読み出し部２５０（第２デジタル信号読み出し部２６０）を設けることで、第１アナログ信号読み出し部２３０（第１デジタル信号読み出し部２４０）と第２アナログ信号読み出し部２５０（第２デジタル信号読み出し部２６０）とが受光部２０を挟んだ対向する位置に設けられることになり、基板２１０をコンパクトに構成することができる。

【０１１７】

ＣＣＤ等の電荷結合型の固体撮像素子においては、受光素子で発生した電荷は、転送部に形成されるポテンシャル差に基づいて移動する。このため、ウェハの一部に欠陥が存在した場合、欠陥が存在する部分でポテンシャル差を形成することができなくなり、転送部の１列分の信号は転送できない。したがって、欠陥が存在する列がデッドラインとなり、このデッドラインは、受光部の面積が大きくなればなるほど、発生する確率が高くなる。この結果、ＣＣＤにおける受光部の大面積化は歩留まりが極めて悪く、また、歩留まりを良くするためには高価なものになってしまう。しかしながら、第１実施形態～第３実施形態にて示したように、本発明に係る固体撮像装置においては、歩留まりの低下が抑制され、受光部の大面積化が可能となる。

【０１１８】

なお、第１実施形態～第３実施形態においては、受光素子$21_{n.n}$がＮ行×Ｎ列に２次元配列された受光部２０を基板に形成しているが、受光部２０は、これに限られることなく、例えば受光素子がＮ行×Ｍ列（Ｎ≠Ｍ）に２次元配列された受光部を用いてもよく、その形状も正方形に限られるものではない。

【０１１９】

また、第１実施形態～第３実施形態においては、第１シフトレジスタ５０と第２シフトレジスタ６０とを設け、いずれか一方のシフトレジスタにて、夫々の受光素子$21_{n.n}$のフォトダイオード２３で発生した電流信号を送り出すようにしているが、これに限られることなく、シフトレジスタを１つとして、この１つのシフトレジスタにより、夫々の受光素子$21_{n.n}$のフォトダイオード２３で発生した電流信号を送り出すようにしてもよい。

【０１２０】

【発明の効果】

以上、詳細に説明したとおり、本発明の固体撮像装置によれば、同一基板に受光部及び周辺回路を形成する場合においても、歩留まりの低下が抑制され、受光部の大面積化が可能な固体撮像装置を実現することができる。

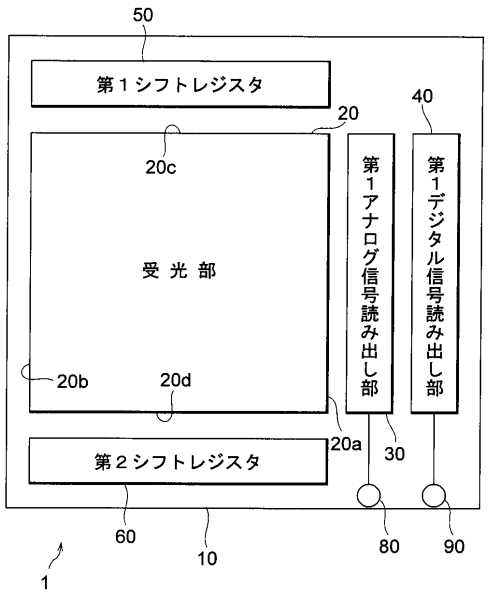
【図面の簡単な説明】

【図１】本発明に係る固体撮像装置の第１実施形態の概略構成を示す概念図である。

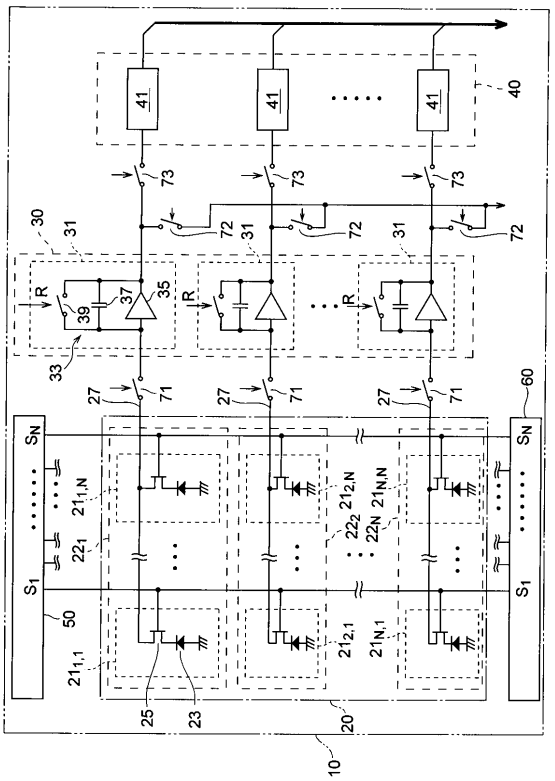
【図２】本発明に係る固体撮像装置の第１実施形態の回路構成図である。

【図３】本発明に係る固体撮像装置の第２実施形態の概略構成を示す概念図である。
【図４】本発明に係る固体撮像装置の第２実施形態の回路構成図である。
【図５】本発明に係る固体撮像装置の第３実施形態の概略構成を示す概念図である。
【図６】本発明に係る固体撮像装置の第３実施形態の回路構成図である。
【符号の説明】
１，１０１，２０１…固体撮像装置、１０，１１０，２１０…基板、２０…受光部、２０ａ…第１の辺、２０ｂ…第２の辺、２０ｃ…第３の辺、２０ｄ…第４の辺、$21_{n,n}$…受光素子、22_n…単位受光部、２３…フォトダイオード、２５…第１のスイッチ素子、２７…第１信号出力端子、２９…第２信号出力端子、３０…第１アナログ信号読み出し部、３１…第１アナログ信号読み出し回路、３３…積分回路、４０…第１デジタル信号読み出し部、４１…Ａ／Ｄコンバータ、５０…第１シフトレジスタ、６０…第２シフトレジスタ、１３０…第１アナログ信号読み出し部、１３１…第１アナログ信号読み出し回路、１３３…積分回路、１４０…第１デジタル信号読み出し部、１４１…Ａ／Ｄコンバータ、１５０…第２アナログ信号読み出し部、１５１…第２アナログ信号読み出し回路、１５３…積分回路、２３０…第１アナログ信号読み出し部、２３１…第１アナログ信号読み出し回路、２３３…積分回路、２４０…第１デジタル信号読み出し部、２４１…Ａ／Ｄコンバータ、２５０…第２アナログ信号読み出し部、２５１…第２アナログ信号読み出し回路、２５３…積分回路、２６０…第１デジタル信号読み出し部、２６１…Ａ／Ｄコンバータ、S_n…走査信号。

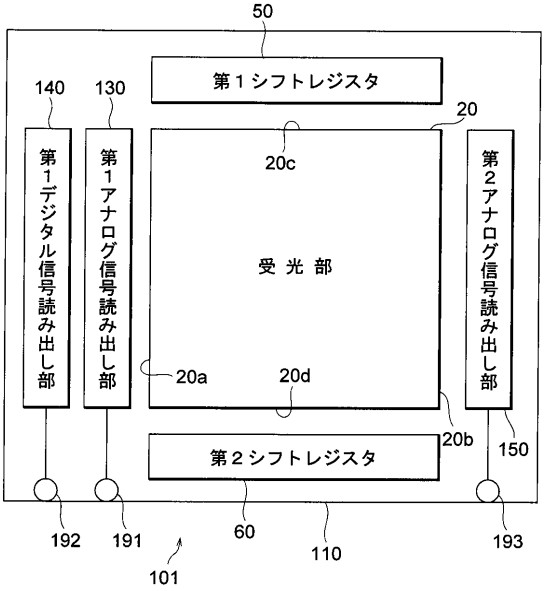
【図１】



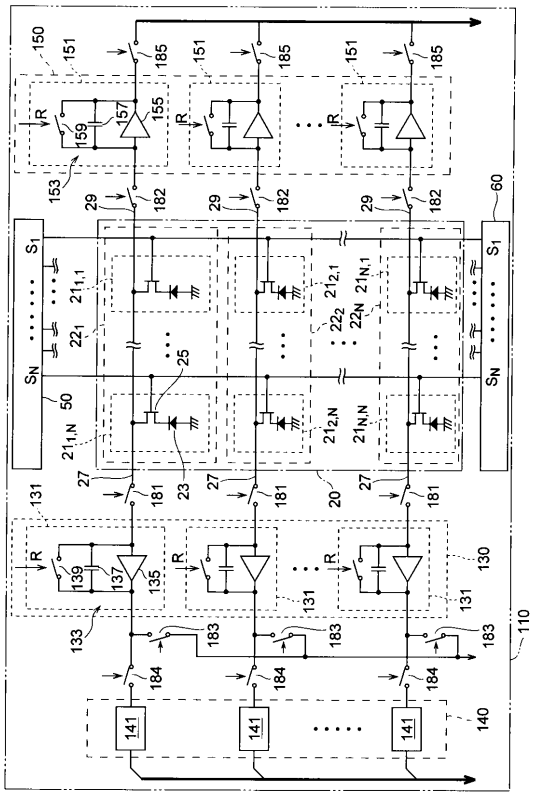
【図２】



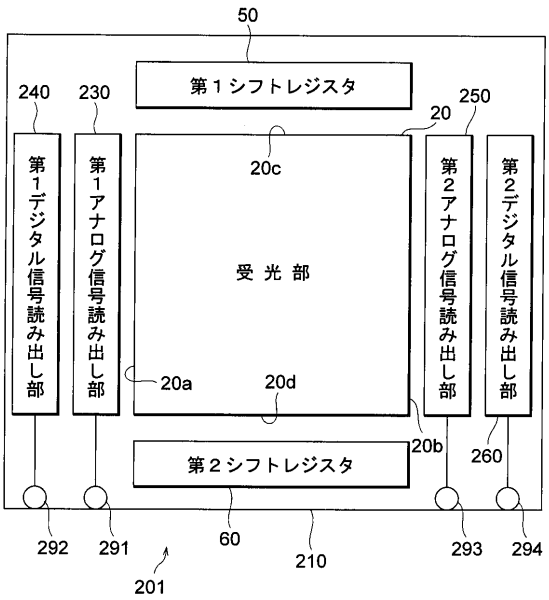
【図３】


50
第１シフトレジスタ
140
130
20
20c
第１デジタル信号読み出し部
第１アナログ信号読み出し部
受光部
第２アナログ信号読み出し部
20a
20d
20b
150
第２シフトレジスタ
192
191
60
110
193
101

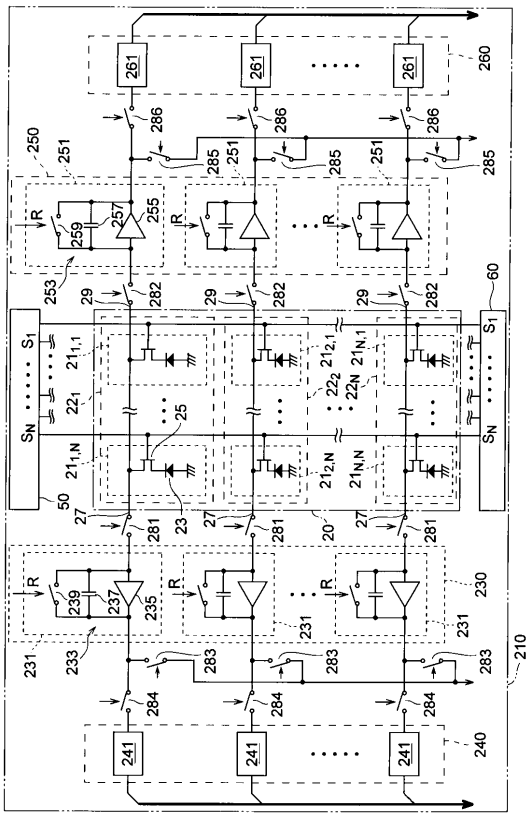
【図４】



【図５】


50
第１シフトレジスタ
240
230
250
20
20c
第１デジタル信号読み出し部
第１アナログ信号読み出し部
受光部
第２アナログ信号読み出し部
第２デジタル信号読み出し部
20a
20d
20b
260
第２シフトレジスタ
292
291
60
210
293
294
201

【図６】



フロントページの続き

審査官　吉川　潤

(56)参考文献　特開平０８－３２１９１２（ＪＰ，Ａ）
特開平１１－１７７７８５（ＪＰ，Ａ）
特開平０５－０２２６７０（ＪＰ，Ａ）
特開平０９－２３８２８６（ＪＰ，Ａ）
特開平０１－１６５２７０（ＪＰ，Ａ）
特開昭６１－０９０５６９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04N　5/335
H01L　27/146