



(12) 发明专利申请

(10) 申请公布号 CN 104944356 A

(43) 申请公布日 2015.09.30

(21) 申请号 201510129061.2

(22) 申请日 2015.03.23

(30) 优先权数据

2014-059445 2014.03.24 JP

(71) 申请人 精工爱普生株式会社

地址 日本东京

(72) 发明人 吉泽隆彦

(74) 专利代理机构 北京金信知识产权代理有限公司

公司 11225

代理人 黄威 苏萌萌

(51) Int. Cl.

B81B 7/02(2006.01)

B81C 1/00(2006.01)

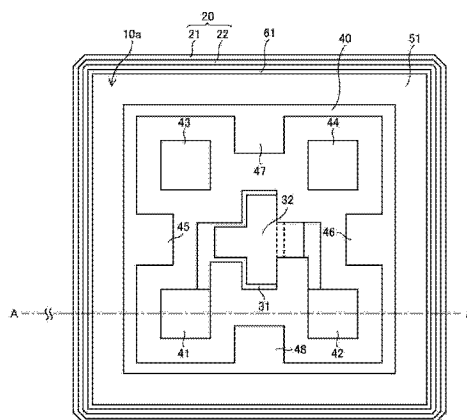
权利要求书1页 说明书9页 附图6页

(54) 发明名称

微机电系统装置

(57) 摘要

本发明提供一种 MEMS 装置。该 MEMS 装置具备：半导体基板，其为主面的第一区域中形成有沟槽，并且在主面的第二区域中形成有半导体电路元件的杂质扩散区；功能元件，其直接或经由绝缘膜而被设置于半导体基板的沟槽的底面上；壁部，其被设置于半导体基板的沟槽内，并在功能元件的周围形成空腔；盖部，其对空腔进行覆盖；支柱，其被设置于空腔内，并与半导体基板的沟槽的底面或绝缘膜、和盖部的背面接触。



1. 一种微机电系统装置,具备:

半导体基板,其主面的第一区域中形成有沟槽,并且在主面的第二区域中形成有半导体电路元件的杂质扩散区域;

功能元件,其直接或经由绝缘膜而被设置于所述半导体基板的沟槽的底面上;

壁部,其被设置于所述半导体基板的沟槽内,并在所述功能元件的周围形成空腔;

盖部,其对所述空腔进行覆盖;

支柱,其被设置于所述空腔内,并与所述半导体基板的沟槽的底面或所述绝缘膜、和所述盖部的背面接触。

2. 如权利要求 1 所述的微机电系统装置,其中,

还具备绝缘层,所述绝缘层对所述盖部以及被设置有所述半导体电路元件的所述半导体基板的主面进行覆盖。

3. 如权利要求 2 所述的微机电系统装置,其中,

所述盖部上的所述绝缘层的表面通过化学机械研磨而被加工。

4. 如权利要求 1 至 3 中任一项所述的微机电系统装置,其中,

所述支柱与所述盖部的背面的中央部接触。

5. 如权利要求 1 至 3 中任一项所述的微机电系统装置,其中,

所述功能元件的至少一部分构成所述支柱。

6. 如权利要求 4 所述的微机电系统装置,其中,

所述功能元件的至少一部分构成所述支柱。

7. 如权利要求 1 至 3 中任一项所述的微机电系统装置,其中,

所述支柱与所述壁部一体构成。

8. 如权利要求 1 至 3 中任一项所述的微机电系统装置,其中,

所述支柱被设置于所述功能元件与所述壁部之间的中央部处。

9. 如权利要求 1 至 3 中任一项所述的微机电系统装置,其中,

所述支柱兼作与所述功能元件电连接的外部连接电极。

10. 如权利要求 4 所述的微机电系统装置,其中,

所述支柱兼作与所述功能元件电连接的外部连接电极。

微机电系统装置

技术领域

[0001] 本发明涉及一种将谐振器、传感器、致动器等的功能元件、及 / 或电子电路集成于一个基板上的 MEMS (Micro Electro Mechanical Systems : 微机电系统) 装置。

背景技术

[0002] 例如, 在作为功能元件而具备静电电容型的谐振器的 MEMS 装置中, 谐振器在真空状态下被密封于基板上所形成的空腔内。此外, 为了防止灰尘或水分的影响, 即使是无需真空密封的功能元件, 也被密封于该空腔内。

[0003] 在将这种功能元件和半导体电路元件集成于一个半导体基板上的情况下, 以往将功能元件设置于该半导体基板上, 并通过利用绝缘膜等来包围功能元件的周围, 从而形成空腔。因此, 对于未实施研磨空腔的上层而形成空腔结构而言, 无需考虑相对于由研磨产生的机械应力的强度。

[0004] 另一方面, 在半导体基板上形成沟槽并在沟槽内形成空腔的情况下, 能够在覆盖空腔的盖部上设置绝缘层, 并在绝缘层上形成配线。为了在绝缘层上形成配线, 优选为, 通过 CMP (Chemical Mechanical Polishing : 化学机械研磨) 而对被设置于盖部上的绝缘层进行加工, 从而对绝缘层的表面进行平坦化。此时, 如果空腔结构不具有足够的相对于机械应力的强度, 则盖部将发生变形, 从而有可能使空腔的气密性与功能元件的特性受损。

[0005] 作为相关的技术, 在专利文献 1 中, 公开了一种在实现小型化以及薄型化的同时, 能够将容纳有 MEMS 装置的空腔维持为高气密性, 且实现了高品质化以及高可靠性的气密封装件。在该气密封装件中, 通过经由框部而将 MEMS 装置基板与 IC 基板接合, 从而形成对 MEMS 装置进行容纳的空腔。

[0006] 此外, 专利文件 2 中, 公开了一种在经由粘接层而使半导体基板与支承体粘合的情况下, 能够在预定区域中容易设置空腔空间的半导体装置。该半导体装置具备半导体基板、包围半导体基板的空腔形成区域的周围的多个柱状结构物、和经由粘结层以及柱状结构物而被粘合于半导体基板的表面上的支承体, 其中, 装置元件被密封于通过半导体基板、柱状结构物和支承体而被包围的空腔内。

[0007] 而且, 专利文献 3 中, 公开了一种具有如下结构的 MEMS 元件, 所述结构在有外力施加于树脂传递模塑等的边缘时, 能够防止在电极靠近可动部的方向上应力被施加于电极上的情况。该 MEMS 元件具有基板以及密封薄膜, 并且实施机械振动的可动部以及位置靠近可动部的电极被设置于基板与密封薄膜之间, 且可动部和电极在与基板表面垂直的方向上具有隔开间隙而相互重叠的区域, 而且在基板与密封薄膜之间, 形成有通过电极而被隔开的第一空腔以及第二空腔, 从处于可动部与电极重叠的区域的电极观察时, 第一空腔在与基板表面垂直的方向上位于可动部侧, 从处于可动部与电极重叠的区域的电极观察时, 第二空腔在与基板表面垂直的方向上位于可动部的相反侧, 与第一空腔的电极接触的侧壁的内侧表面和与第二空腔的电极接触的侧壁的内侧表面相比, 在与基板表面平行的方向上位于更内侧。

[0008] 在专利文献 1 中,为了形成空腔而使用了多个基板。因此,无法将 MEMS 装置与半导体电路元件集成到一个基板上。另一方面,在专利文献 2 以及专利文献 3 中,在单一基板上形成了空腔。但是,并未公开在基板的沟槽内形成空腔的内容、与对被形成于空腔的上层上的绝缘层的表面进行平坦化的内容。

[0009] 专利文献 1:日本特开 2009-59941 号公报(第 0013 ~ 0014 段、图 1)

[0010] 专利文献 2:国际公开 W02008/023826 号再公布公报(说明书摘要、第 0003 段、图 5)

[0011] 专利文献 3:日本专利第 5192610 号公报(第 0017 段、图 1)

发明内容

[0012] 因此,鉴于上述情况,本发明的一个目的在于,在将功能元件和半导体电路元件集成于一个半导体基板上的 MEMS 装置中,提高在半导体基板的沟槽内对功能元件进行收纳的空腔结构的机械强度,并防止对空腔进行覆盖的盖部的由机械应力产生的变形。

[0013] 为了解决以上问题,本发明的一个观点所涉及的 MEMS 装置具备:半导体基板,其在主面的第一区域中形成有沟槽,并且在主面的第二区域中形成有半导体电路元件的杂质扩散区域;功能元件,其直接或经由绝缘膜而被设置于半导体基板的沟槽的底面上;壁部,其被设置于半导体基板的沟槽内,并在功能元件的周围形成空腔;盖部,其对空腔进行覆盖;支柱,其被设置于空腔内,并与半导体基板的沟槽的底面或绝缘膜、和盖部的背面接触。

[0014] 根据本发明的一个观点,设置有在功能元件的周围形成空腔的壁部和对空腔进行覆盖的盖部,所述功能元件直接或经由绝缘膜而被设置于半导体基板的沟槽的底面上,而且,在空腔内设置有与半导体基板的沟槽的底面或绝缘膜、和盖部的背面接触的支柱。由此,提高了在半导体基板的沟槽内对功能元件进行收纳的空腔结构的机械强度,并能够防止对空腔进行覆盖的盖部的由机械应力造成的变形。

[0015] 在此,也可以采用如下方式,即, MEMS 装置还具备绝缘层,所述绝缘层对盖部以及被设置有半导体电路元件的半导体基板的主面进行覆盖。由此,即使在对功能元件进行收纳的空腔的上层上,也能够与半导体电路元件的上层相同地采用标准的半导体晶片工艺来配置配线层,从而提高了 MEMS 装置的设计自由度。

[0016] 在这种情况下,优选为,盖部上的绝缘层的表面通过 CMP(化学机械研磨)而被加工。由此,盖部上的绝缘层的表面被平坦化,从而容易在绝缘层上形成配线。

[0017] 在上述结构中,也可以采用如下方式,即,支柱与盖部的背面的中央部接触。由于在盖部中最容易变形的是中央部,因此通过支柱来支承盖部的背面的中央部,从而能够有效地防止盖部的变形。此外,也可以采用如下方式,即,功能元件的至少一部分构成支柱。由此,能够有效地利用空腔内的空间。

[0018] 或者,也可以采用如下方式,即,支柱与壁部一体构成。由此,由于支柱的位置通过壁部而被固定,因此能够防止由被施加于空腔的上层上的机械应力造成的支柱的位置偏移或倾斜。

[0019] 或者,也可以采用如下方式,即,支柱被设置于功能元件与壁部之间的中央部处。在该情况下,能够在确保空腔的尺寸的同时,利用支柱来支承在功能元件与壁部之间盖部易于变形的位

[0020] 在上述结构中,也可以采用如下方式,即,支柱兼作与功能元件电连接的外部连接电极。由此,支柱能够起到防止盖部变形和实现功能元件的电连接的双重作用。

附图说明

- [0021] 图 1 为本发明的第一实施方式所涉及的 MEMS 装置的沟槽内的俯视图。
[0022] 图 2 为表示图 1 的 A-A' 线中的 MEMS 装置的主要部分的剖视图。
[0023] 图 3 为本发明的第一实施方式所涉及的 MEMS 装置的制造工序的剖视图。
[0024] 图 4 为本发明的第一实施方式所涉及的 MEMS 装置的制造工序的剖视图。
[0025] 图 5 为本发明的第二实施方式所涉及的 MEMS 装置的沟槽内的俯视图。
[0026] 图 6 为表示图 5 的 B-B' 线中的 MEMS 装置的主要部分的剖视图。

具体实施方式

[0027] 以下,参照附图对本发明的实施方式进行详细说明。另外,对相同的结构要素标记相同的参照符号,并省略重复说明。

[0028] 本发明的各个实施方式所涉及的 MEMS 装置为,将谐振器、传感器、致动器等的功能元件、以及电子电路集成于一个基板上的装置。

[0029] 在下文中,作为一个示例,对作为功能元件而具备静电电容型的谐振器,并且作为半导体电路元件而具备 MOS 场效应晶体管的 MEMS 装置进行说明。谐振器被密封在形成于半导体基板的沟槽(表面凹部)内的空腔内。

[0030] 第一实施方式

[0031] 图 1 为表示本发明的第一实施方式所涉及的 MEMS 装置的沟槽内的俯视图。图 1 图示了空腔被盖部覆盖之前的沟槽内的结构。此外,图 2 为表示图 1 的 A-A' 线中的 MEMS 装置的主要部分的剖视图。如图 2 所示,在该 MEMS 装置中使用如下的半导体基板 10,所述半导体基板 10 在主面(图中上表面)的第一区域(图中右侧)中形成有沟槽 10a,并且在主面的第二区域(图中左侧)中形成有半导体电路元件的杂质扩散区域。

[0032] 在半导体基板的沟槽 10a 的底面上,经由绝缘膜 20 而设置有具有下部电极 31 以及上部电极 32 的谐振器。谐振器的上部电极 32 包括悬臂(悬臂梁)状的结构体,结构体的一端被固定,结构体的另一端成为可动。

[0033] 此外,在半导体基板的沟槽 10a 内,设置有在谐振器的周围形成空腔的壁部 40,在由该壁部 40 形成的空腔内,设置有至少一个支柱。作为一个示例,图 1 中图示了支柱 41 ~ 支柱 48,在图 2 中仅图示了这些支柱内位于 A-A' 线上的支柱 41 以及支柱 42。

[0034] 虽然在该示例中,下部电极 31、上部电极 32、壁部 40 以及支柱 41 ~ 支柱 48 均经由绝缘膜 20 而被设置在半导体基板的沟槽 10a 的底面上,但下部电极 31、上部电极 32、壁部 40 以及支柱 41 ~ 支柱 48 也可以直接设置在底面上。此外,在壁部 40 的周围设置有对壁部 40 进行加强的绝缘膜 51。

[0035] 例如,绝缘膜 20 包括二氧化硅(SiO_2) 绝缘膜 21 和氮化硅(SiN) 绝缘膜 22。下部电极 31、上部电极 32、壁部 40 以及支柱 41 ~ 支柱 48 由掺杂了杂质而具有导电性的多晶硅等形成。此外,绝缘膜 51 由二氧化硅等形成。

[0036] 支柱 41 ~ 支柱 48 例如具有棱柱或圆柱形状。在支柱 41 ~ 支柱 48 中的支柱 41

以及支柱 42 同时兼作将下部电极 31 以及上部电极 32 分别与电子电路电连接的两个外部连接电极。因此,支柱 41 与下部电极 31 电连接,并且可以与下部电极 31 一体构成。此外,支柱 42 与上部电极 32 电连接,并且可以与上部电极 32 一体构成。

[0037] 在半导体基板的沟槽 10a 内,被壁部 40 包围的区域成为空腔。空腔的内部空间被设为高真空区域。在被设置于空腔内的谐振器中,通过向下部电极 31 和上部电极 32 之间施加交流电压,从而利用静电力激发上部电极 32 的机械振动,并对因该机械振动引起的下部电极 31 与上部电极 32 之间的静电电容的变化进行检测。

[0038] 如图 2 所示,空腔通过与谐振器之间留有间隙并包括第一盖部 60 和第二盖部 70 的盖部而被覆盖。第一盖部 60 例如包括氮化硅 (SiN) 等的绝缘膜 61 和具有导电性的多晶硅膜 62。另外,也可以在多晶硅膜 62 的表面上设置氮化钛 (TiN) 或自对准硅化物等的膜。

[0039] 多晶硅膜 62 的一部分被设置于支柱 41 的主面 (图中上表面) 的预定的区域中,并与支柱 41 电连接。此外,多晶硅膜 62 的与该一部分绝缘的另一部分被设置于支柱 42 的主面 (图中上表面) 的预定的区域中,并与支柱 42 电连接。

[0040] 第一盖部 60 被形成有开口 60a (脱模孔),并通过开口 60a 以外的部分来覆盖空腔。开口 60a 在通过脱模蚀刻而去除被形成于空腔内的牺牲膜时被使用。之后,将空腔内设为减压状态 (真空状态),并在第一盖部 60 的表面上使用铝 (Al) 等的密封材料来形成第二盖部 70。

[0041] 第二盖部 70 包括:中间导体 71,其经由多晶硅膜 62 而与支柱 41 电连接,并且与第二盖部 70 的其他部分绝缘;中间导体 72,其经由多晶硅膜 62 而与支柱 42 电连接,并且与第二盖部 70 的其他部分绝缘;密封部 73,其对第一盖部的开口 60a 进行密封。

[0042] 在空腔内,支柱 41 ~ 支柱 48 与半导体基板的沟槽 10a 的底面或绝缘膜 20、以及盖部的背面 (绝缘膜 61 或多晶硅膜 62) 接触。另外,盖部的背面是指,沟槽 10a 的底面侧的面。据此,能够提高半导体基板的在沟槽 10a 内对谐振器进行收纳的空腔结构的机械强度,并能够防止对空腔进行覆盖的盖部的因机械应力而发生的变形。其结果为,维持了空腔的气密性与振动器的特性。

[0043] 在此,如图 1 所示,支柱 45 ~ 支柱 48 与壁部 40 一体构成。据此,由于支柱 45 ~ 支柱 48 的位置通过壁部 40 而被固定,因此能够防止由被施加于空腔的上层上的机械应力产生的支柱 45 ~ 支柱 48 的位置偏移或倾斜。

[0044] 另一方面,支柱 41 ~ 支柱 44 被设置于谐振器与壁部 40 之间的中央部处。在这种情况下,能够在确保空腔的尺寸的同时,通过支柱 41 ~ 支柱 44 而对谐振器与壁部 40 之间的盖部容易变形的地方进行支承。

[0045] 此外,支柱 41 以及支柱 42 兼作与谐振器电连接的外部连接电极。据此,支柱 41 以及支柱 42 能够起到防止盖部的变形和实现与谐振器的电连接的双重作用。

[0046] 优选为,在半导体基板的沟槽 10a 内,谐振器的下部电极 31 及上部电极 32、壁部 40、以及支柱 41 ~ 支柱 48 被设置于与半导体基板 10 的主面相比而较低的区域中。由此,由于空腔被形成于与半导体基板 10 的主面相比而较低的区域中,因此能够将盖部的厚度设为足以用于将空腔内保持为高真空的厚度。

[0047] 另一方面,如图 2 所示,在半导体基板 10 的主面的第二区域中设置有半导体电路元件。例如,在半导体基板 10 内设置有成为 MOS 场效应晶体管 (MOSFET) 的源极以及漏极

的杂质扩散区域 81 以及杂质扩散区域 82,并在半导体基板 10 上经由栅极绝缘膜而设置有栅电极 83。

[0048] 在盖部以及设置有半导体电路元件的半导体基板 10 上,通过二氧化硅 (SiO_2) 或 BPSG(Boron Phosphorus Silicon Glass:硼磷硅玻璃) 等而设置有对半导体基板 10 的主面进行覆盖的第一绝缘层 91(层间绝缘膜)。第一绝缘层 91 与绝缘膜 61 接触,从而使第二盖部 70 的中间导体 71 以及 72 与密封部 73 绝缘。

[0049] 在第一绝缘层 91 的第一区域内,设置有贯穿第一绝缘层 91 并分别与中间导体 71 以及 72 电连接的钨 (W) 等的接触插头 101(电极) 以及 102。此外,在第一绝缘层 91 的第二区域内,设置有贯穿第一绝缘层 91 并分别与杂质扩散区域 81、82 以及栅电极 83 电连接的钨 (W) 等的接触插头(电极) 103 ~ 105。

[0050] 在被设置于第一绝缘层 91 的表面的铝 (Al) 等的第一配线层中,实施对于接触插头 101 ~ 105 的电连接。而且,根据需要,经由第二绝缘层 92 而设置有第二配线层,以下同样地配置有所需数量的配线层。此外,在最上层的配线层的表面上设置有保护膜(未图示)。

[0051] 以此方式,通过设置对盖部以及被设有半导体电路元件的半导体基板 10 的主面进行覆盖的第一绝缘层 91,从而即使在对功能元件进行收纳的空腔的上层上,也能够与半导体电路元件的上层相同,使用标准的半导体晶片工艺来配置配线层,由此提高了 MEMS 装置的设计自由度。

[0052] 例如,通过被设置于第一配线层上的配线 111 而使接触插头 101 与接触插头 103 被电连接。此外,通过被设置于第二配线层上的配线 112 经由第一配线层而使接触插头 101 与接触插头 104 被电连接。由此,能够将谐振器与半导体电路元件电连接。

[0053] 在此,优选为,盖部上的第一绝缘层 91 的表面通过 CMP (Chemical Mechanical Polishing:化学机械研磨) 而被加工。由此,能够使盖部上的第一绝缘层 91 的表面被平坦化,从而容易在第一绝缘层 91 上形成配线。

[0054] 在通过 CMP 而对盖部上的第一绝缘层 91 的表面进行加工时,有机械应力被施加于空腔的上层上。根据本实施方式,通过在空腔内设置支柱 41 ~ 支柱 48,从而能够提高空腔结构的机械强度,并能够防止在利用 CMP 对盖部上的第一绝缘层 91 的表面进行加工时的由机械应力造成的盖部的变形。

[0055] 虽然如图 1 以及图 2 所示的示例中,作为功能元件的谐振器被设置于空腔的中央部处,但也可以通过将功能元件设置在空腔的周边部上而将一个支柱设置在空腔的中央部处,从而使该支柱与盖部的背面的中央部接触。由于即使在盖部中最易变形的部位也是中央部,因此通过支柱来支承盖部的背面的中央部,从而能够有效地防止盖部的变形。

[0056] 接下来,对图 1 以及图 2 所示的 MEMS 装置的制造方法进行说明。

[0057] 图 3 以及图 4 为本发明的第一实施方式所涉及 MEMS 装置的制造工序的剖视图。首先,如图 3(a) 所示,例如,在由单晶硅等构成的半导体基板 10 的主面的一部分上,通过利用光刻法来设置抗蚀层 11 并实施干蚀刻,从而在半导体基板 10 的主面的第一区域中形成较深的沟槽(深沟槽) 10a。之后,去除抗蚀层 11。

[0058] 接下来,如图 3(b) 所示,在半导体基板的沟槽 10a 的底面上形成绝缘膜 20。例如,绝缘膜 20 包括二氧化硅 (SiO_2) 绝缘膜 21 和氮化硅 (SiN) 绝缘膜 22。氮化硅 (SiN) 绝缘

膜 22 能够耐受用于去除后文所述的空腔内的牺牲膜的湿蚀刻（脱模蚀刻）。

[0059] 此外，在半导体基板的沟槽 10a 的底面上经由绝缘膜 20 而形成掺杂杂质从而具有导电性的多晶硅等，通过使用了抗蚀剂的干蚀刻来进行图案形成，从而形成谐振器的下部电极 31。而且，在下部电极 31 上形成间隙牺牲膜 23 之后，形成具有导电性的多晶硅等，并通过使用了抗蚀剂的干蚀刻来进行图案形成，从而形成谐振器的上部电极 32、壁部 40、支柱 41～支柱 48。之后，间隙牺牲膜 23 通过湿蚀刻而被去除。

[0060] 由此，在半导体基板的沟槽 10a 的底面上经由绝缘膜 20 而形成具有下部电极 31 以及上部电极 32 的谐振器，并且在半导体基板的沟槽 10a 内形成壁部 40，所述壁部 40 在谐振器的周围形成空腔。此外，在空腔内形成支柱 41～支柱 48（图 1）。另外，下部电极 31、上部电极 32、壁部 40、以及支柱 41～支柱 48 也可以直接形成于半导体基板的沟槽 10a 的底面上。

[0061] 接下来，在形成了谐振器等的半导体基板 10 的表面上，在通过等离子 CVD 堆积了二氧化硅（ SiO_2 ）等的绝缘膜之后，通过 CMP（化学机械研磨）对二氧化硅（ SiO_2 ）等的绝缘膜实施研磨，进而实施蚀刻。其结果为，如图 4(a) 所示，在半导体基板 10 的沟槽内，在壁部 40 的周围形成二氧化硅（ SiO_2 ）等的绝缘膜 51，并且在空腔内作为牺牲膜而形成二氧化硅（ SiO_2 ）等的绝缘膜 52。

[0062] 接下来，在形成了绝缘膜 51 以及绝缘膜 52 的半导体基板 10 的表面上形成氮化硅（ SiN ）等的绝缘膜之后，通过使用了抗蚀剂的干蚀刻而对氮化硅（ SiN ）等的绝缘膜实施图案形成。其结果为，形成了对支柱 41 及支柱 42 的主面的一部分、以及绝缘膜 51 及绝缘膜 52 的一部分进行覆盖的氮化硅（ SiN ）等的绝缘膜 61。

[0063] 此外，在形成了绝缘膜 61 等的半导体基板 10 的表面上形成具有导电性的多晶硅膜之后，通过使用了抗蚀剂的干蚀刻而对多晶硅膜实施图案形成。其结果为，形成了包括绝缘膜 61 以及多晶硅膜 62 的第一盖部 60。第一盖部 60 形成有开口 60a，并通过开口 60a 以外的部分来覆盖空腔。

[0064] 在此，多晶硅膜 62 的一部分被设置于支柱 41 的主面的预定的区域中，且与支柱 41 电连接。此外，多晶硅膜 62 的另一部分被设置于支柱 42 的主面的预定的区域中，且与支柱 42 电连接。

[0065] 接下来，对形成有第一盖部 60 等的半导体基板 10 的表面实施绝缘膜的平坦化等。之后，如图 4(b) 所示，在半导体基板 10 的主面的第二区域中，作为半导体电路元件而例如形成有 MOS 场效应晶体管（MOSFET）。

[0066] 即，在半导体基板 10 上经由栅极绝缘膜而形成有栅电极 83，并在栅电极 83 的两侧的半导体基板 10 内形成有成为源极以及漏极的杂质扩散区 81 以及 82。此外，也可以在栅极绝缘膜以及栅电极 83 的侧壁上形成具有绝缘性的侧壁。而且，也可以在侧壁的周围的区域内形成具有预定的厚度的绝缘膜。

[0067] 接下来，在形成有 MOS 场效应晶体管等的半导体基板 10 的表面上，通过光刻法来设置抗蚀层 24，所述抗蚀层 24 在与第一盖部的开口 60a 相对应的位置处具有开口 24a。而且，通过作为蚀刻液而使用氟酸等的湿蚀刻（脱模蚀刻）而将作为空腔内的牺牲膜的二氧化硅（ SiO_2 ）等的绝缘膜去除。之后，通过灰化等而将抗蚀层 24 去除。

[0068] 接下来，在真空腔室内，通过溅射（高真空成膜法）而将铝（Al）等的密封材料堆

积于第一盖部 60 的表面上,并通过使用了抗蚀剂的干蚀刻而对所堆积的密封材料实施图案形成。由此,如图 2 所示,通过密封材料而在第一盖部 60 的表面上形成了第二盖部 70。

[0069] 第二盖部 70 包括:中间导电体 71,其经由多晶硅膜 62 而与支柱 41 的预定的区域电连接;中间导电体 72,其经由多晶硅膜 62 而与支柱 42 的预定的区域电连接;密封部 73,其对第一盖部 60 的开口 60a 进行密封。

[0070] 接下来,通过二氧化硅 (SiO_2) 或 BPSG 等而形成第一绝缘层 91,所述第一绝缘层 91 对第一盖部 60、第二盖部 70 和被形成有半导体电路元件的半导体基板 10 的主面进行覆盖。第一绝缘层 91 与绝缘膜 61 接触,从而使第二盖部 70 的中间导电体 71 以及 72 与密封部 73 绝缘。而且,优选为,通过 CMP(化学机械研磨)来对第一绝缘层 91 的表面进行加工。由此,第一绝缘层 91 的表面被平坦化,从而易于在第一绝缘层 91 上形成配线。

[0071] 接下来,同时形成贯穿第一绝缘层 91 并分别与中间导电体 71 以及 72 电连接的钨 (W) 等的接触插头 101 以及 102、和贯穿第一绝缘层 91 并与半导体电路元件电连接的钨 (W) 等的接触插头 103 ~ 105。

[0072] 接下来,在第一绝缘层 91 的表面上,通过铝 (Al) 等而形成第一配线层。在第一配线层中,实施对接触插头 101 ~ 105 的电连接。例如,通过被设置于第一配线层中的配线 111 而使接触插头 101 与接触插头 103 被电连接。

[0073] 而且,根据需要,能够经由第二绝缘层 92 而形成第二配线层,以下同样地形成所需数量的配线层。例如,通过被设置于第二配线层上的配线 112 并经由第一配线层而使接触插头 102 与接触插头 104 被电连接。

[0074] 由此,能够将谐振器与半导体电路元件电连接。以此方式,即使在对谐振器进行收纳的空腔的上层上,也能够与半导体电路元件的上层相同地使用标准的半导体晶片工艺来配置与所需相对应的数量的配线层。之后,在最上层的配线层的表面上形成保护膜(未图示)。

[0075] 第二实施方式

[0076] 图 5 为表示本发明的第二实施方式所涉及的 MEMS 装置的沟槽内的结构的俯视图。图 5 图示了空腔被盖部覆盖前的沟槽内的结构。此外,图 6 为表示图 5 的 B-B' 线中的 MEMS 装置的主要部分的剖视图。在第二实施方式中,功能元件的至少一部分构成了支柱。关于其他结构,第二实施方式与第一实施方式相同。

[0077] 在半导体基板的沟槽 10a 的底面上,经由绝缘膜 20 而设置具有下部电极 31 以及上部电极 32 的谐振器。在此,上部电极 32 的一部分构成了支柱 32a。而且,上部电极 32 包括两个悬臂(悬臂梁)状的结构体 32b,各个结构体 32b 的一端被固定于支柱 32a 上,结构体 32b 的另一端成为可动。

[0078] 此外,也可以在半导体基板的沟槽 10a 内设置有在谐振器的周围形成空腔的壁部 40,并且在通过壁部 40 而形成的空腔内设置至少一个支柱。作为一个示例,在图 5 中图示了支柱 41 ~ 支柱 48,在图 6 中在这些支柱中仅图示了位于图 5 的 B-B' 线上的支柱 45 以及支柱 46。

[0079] 虽然在该示例中,下部电极 31、上部电极 32、壁部 40 以及支柱 41 ~ 支柱 48 经由绝缘膜 20 而被设置于半导体基板的沟槽 10a 的底面上,但也可以将下部电极 31、上部电极 32、壁部 40 以及支柱 41 ~ 支柱 48 直接设置于半导体基板的沟槽 10a 的底面上。此外,在

壁部 40 的周围设置有对壁部 40 进行加强的绝缘膜 51。

[0080] 在此,支柱 45、以及通过上部电极 32 的一部分而被构成的支柱 32a 兼作用于使谐振器的下部电极 31 以及上部电极 32 分别与电子电路电连接的两个外部连接电极。支柱 45 与下部电极 31 电连接,且可以与下部电极 31 一体构成。此外,支柱 32a 与两个结构体 32b 电连接,且可以与两个结构体 32b 一体构成。

[0081] 在半导体基板 10 的沟槽 10a 内,被壁部 40 包围的区域成为空腔。空腔内的空间被设为高真空区域。在被设置于空腔内的谐振器中,通过向下部电极 31 和上部电极 32 之间施加交流电压,从而利用静电力激励上部电极 32 的结构体 32b 的机械振动,并对因该机械振动引起的下部电极 31 与上部电极 32 之间的静电电容的变化进行检测。

[0082] 如图 6 所示,空腔通过包括第一盖部 60 和第二盖部 70 的盖部而被覆盖。第一盖部例如包括氮化硅等 (SiN) 的绝缘膜 61 和具有导电性的多晶硅膜 62。而且,也可以在多晶硅膜 62 的表面上设置氮化钛 (TiN) 或者自对准硅化物等的膜。

[0083] 多晶硅膜 62 的一部分被设置于支柱 45 的主面 (图中上表面) 的预定的区域中,并与支柱 45 电连接。此外,多晶硅膜 62 的另一部分被设置于支柱 32a 的主面 (图中上表面) 的预定的区域中,并与支柱 32a 电连接。

[0084] 第一盖部 60 在如图 6 未图示的位置上设置有开口 (脱模孔),并通过开口以外的部分来覆盖空腔。开口在通过脱模蚀刻去除被形成于空腔内的牺牲膜时被使用。之后,将空腔内设成减压状态 (真空状态),并在第一盖部 60 的表面上使用铝 (Al) 等的密封材料来形成第二盖部 70。

[0085] 第二盖部 70 包括中间导电体 71 和中间导电体 72,所述中间导电体 71 经由多晶硅膜 62 而与支柱 45 电连接并且对第一盖部 60 的开口进行密封,所述中间导电体 72 经由多晶硅膜 62 而与支柱 32a 电连接并且与第二盖部 70 的另一部分绝缘。其他结构与第一实施方式中的结构相同。

[0086] 在此,在将中间导电体 71 与基准电位 (例如,接地电位 0V) 的配线连接的情况下,壁部 40、支柱 45 ~ 支柱 48 以及盖部的大部分能够起到从外部的电子设备产生的电磁波的影响中保护谐振器的屏蔽作用。在这种情况下,也可以在支柱 32a 的周围以外的空腔的底面上扩大下部电极 31,从而提高屏蔽效果。如此,能够发挥屏蔽作用的结构并不限于本实施方式,显然也适用于第一实施方式。

[0087] 根据本发明的第二实施方式,由于功能元件的至少一部分构成了支柱,因此能够有效利用空腔内的空间。此外,通过由功能元件的至少一部分构成的支柱兼作了外部连接电极,从而能够防止盖部变形并实现功能元件的电连接。而且,通过将一个支柱设置于空腔的中央部,从而使该支柱与盖部的背面的中央部接触。由于盖部中最容易变形的是中央部,因此通过支柱来支承盖部的背面的中央部,从而能够有效地防止盖部的变形。

[0088] 虽然在上述实施方式中,对作为功能元件而具备谐振器的 MEMS 装置进行了说明,但本发明并不限于以上说明的实施方式。例如,本发明也能够利用于具备传感器或致动器等的功能元件的 MEMS 装置中,对于具有本技术领域一般知识的人员而言,能够在本发明的技术思想内进行多种变形。

[0089] 符号说明

[0090] 10...半导体基板;10a...沟槽;11...抗蚀层;20...绝缘膜;21...二氧化硅 (SiO₂) 绝

缘膜 ;22…氮化硅 (SiN) 绝缘膜 ;23…间隙牺牲膜 ;24…抗蚀层 ;31…下部电极 ;32…上部电极 ;32a…支柱 ;32b…结构体 ;40…壁部 ;41 ~ 48…支柱 ;51、52…绝缘膜 ;60…第一盖部 ;61…绝缘膜 ;62…多晶硅膜 ;70…第二盖部 ;71、72…中间导电体 ;73…密封部 ;81、82…杂质扩散区域 ;83…栅电极 ;91、92…绝缘层 ;101 ~ 105…接触插头 ;111、112…配线。

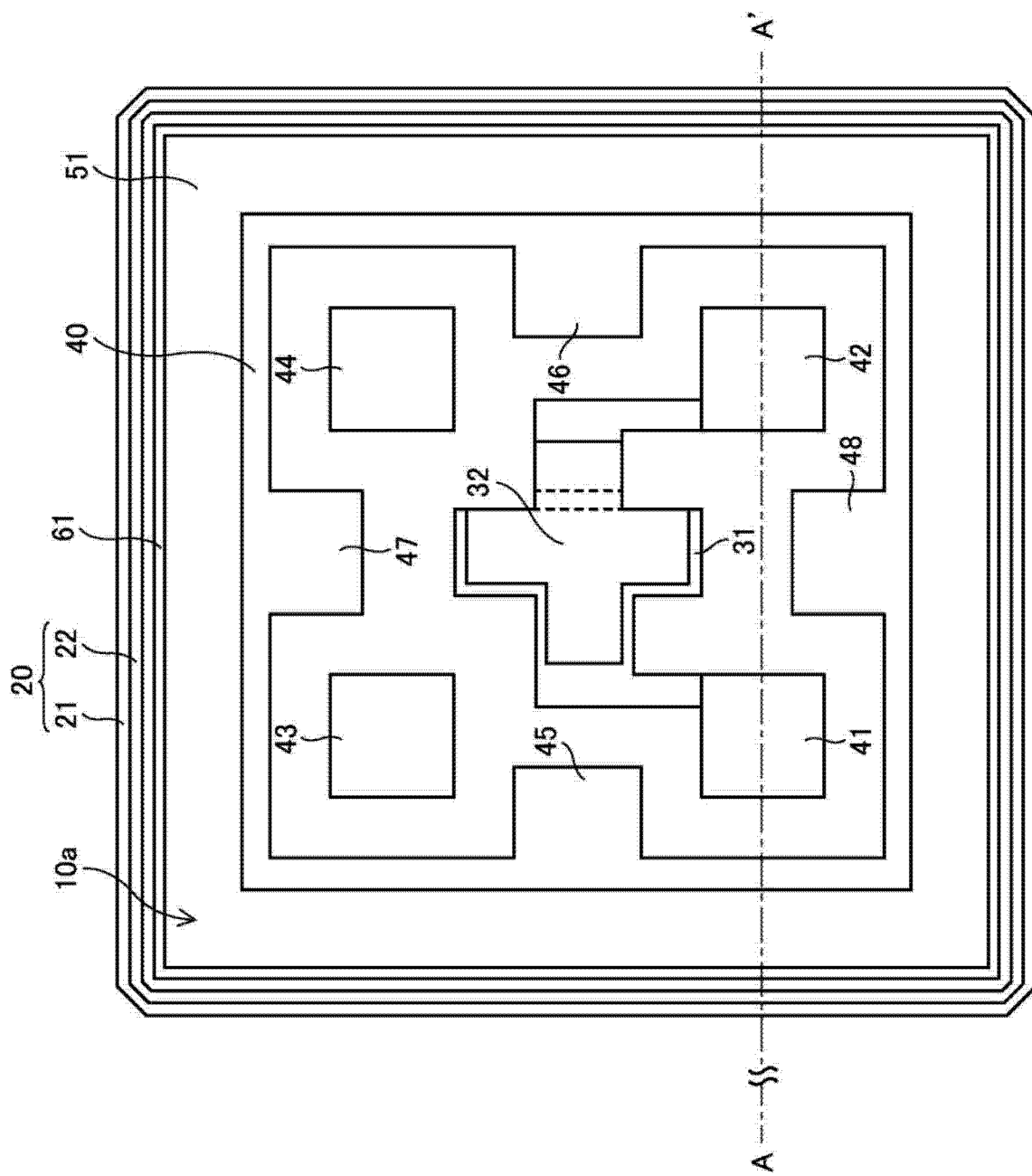


图 1

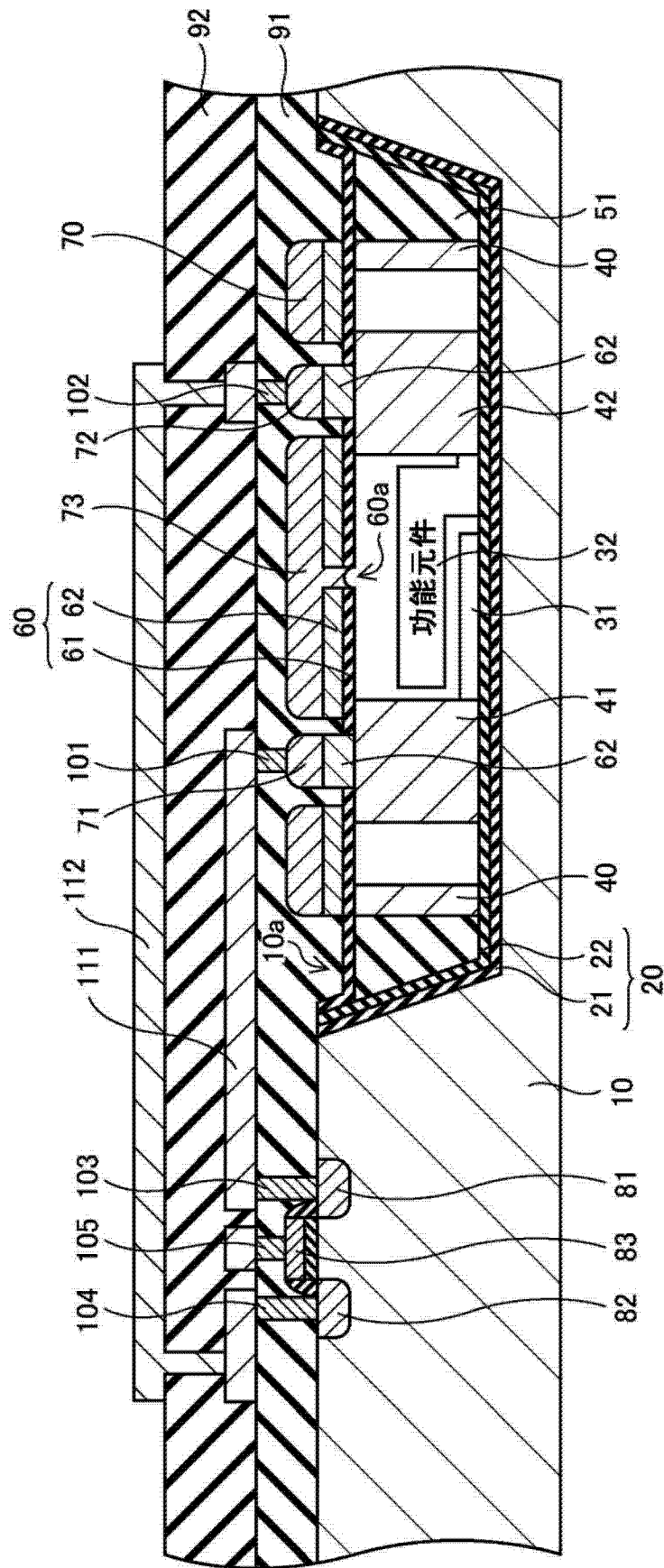


图 2

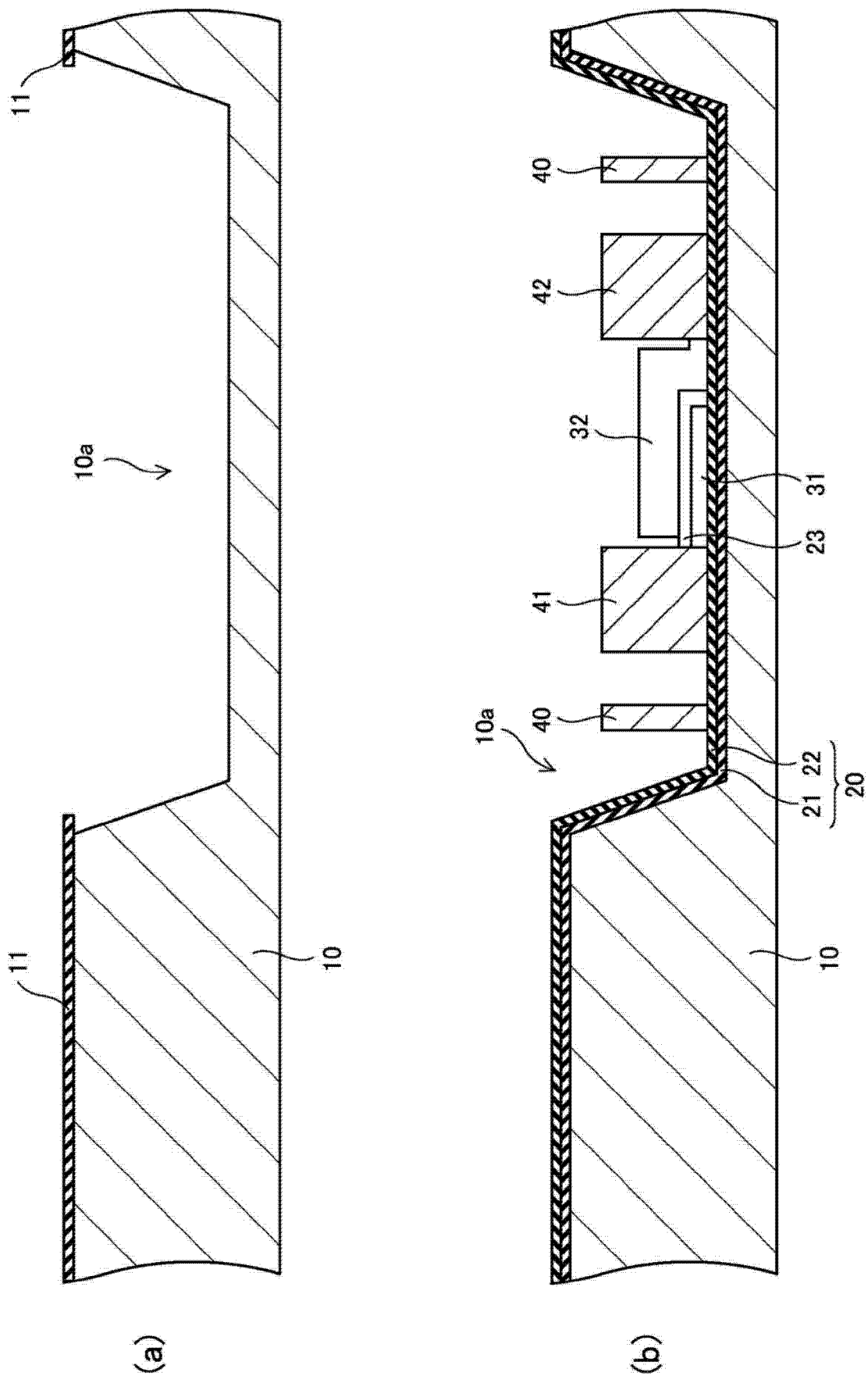


图 3

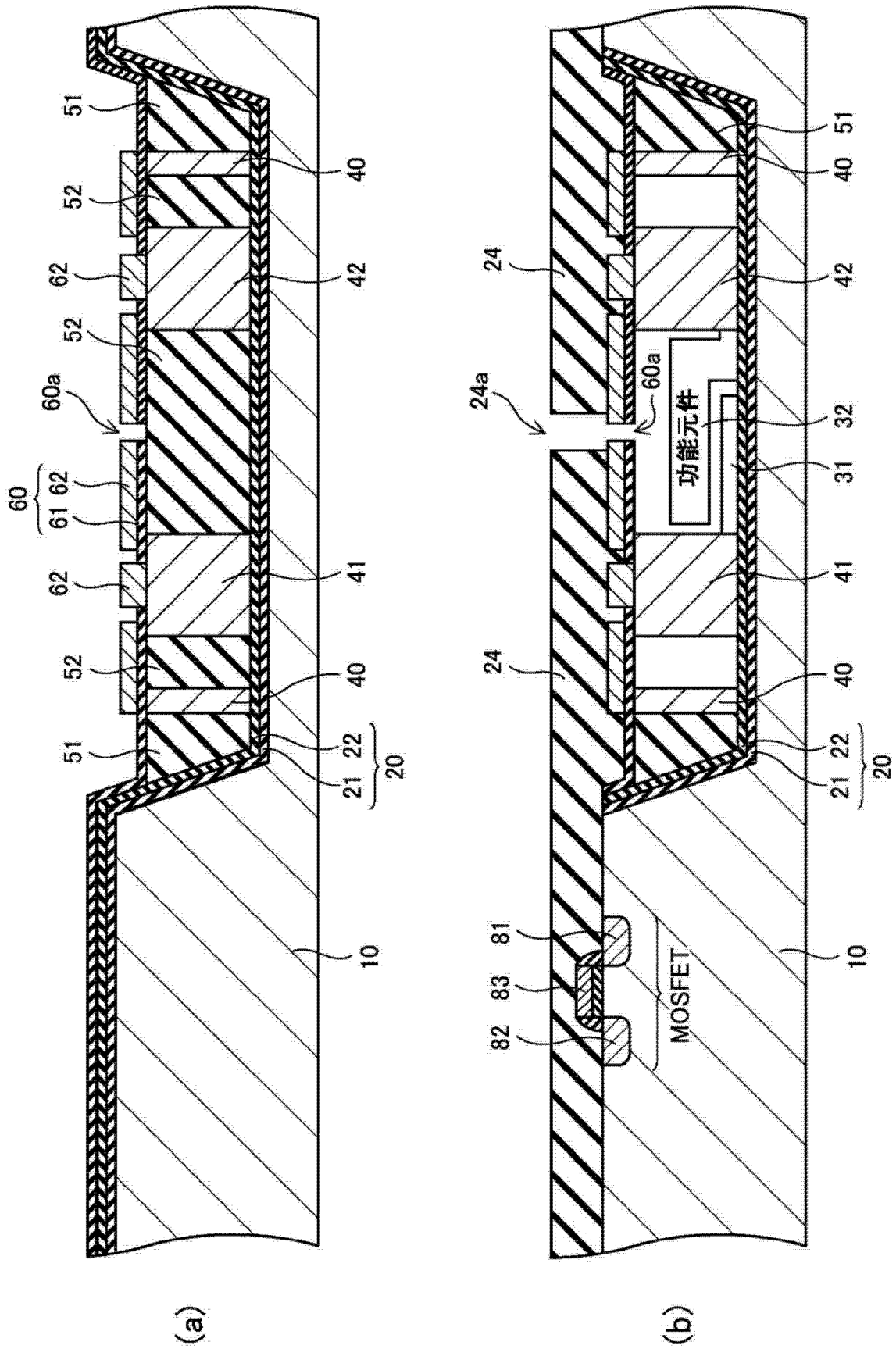


图 4

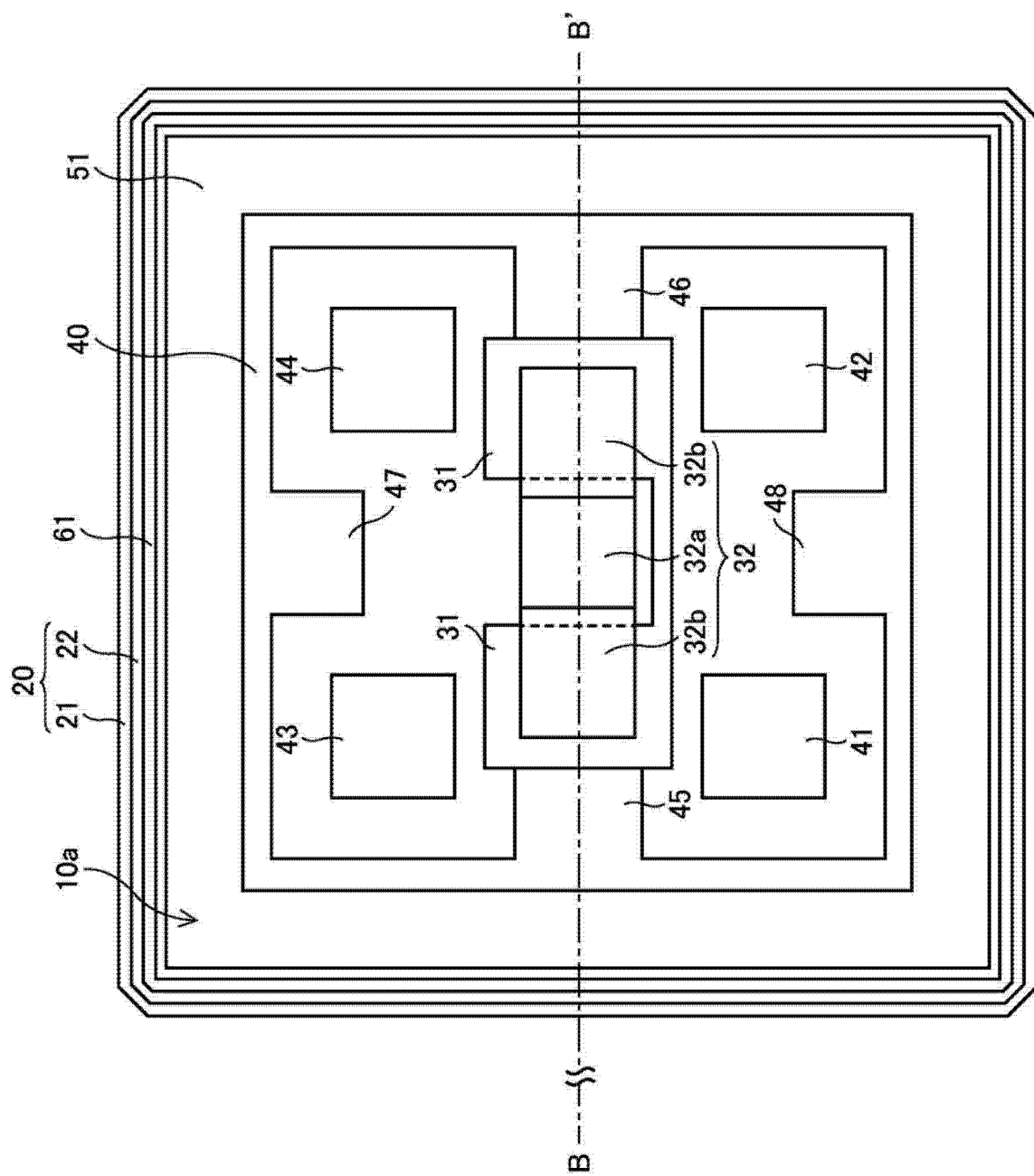


图 5

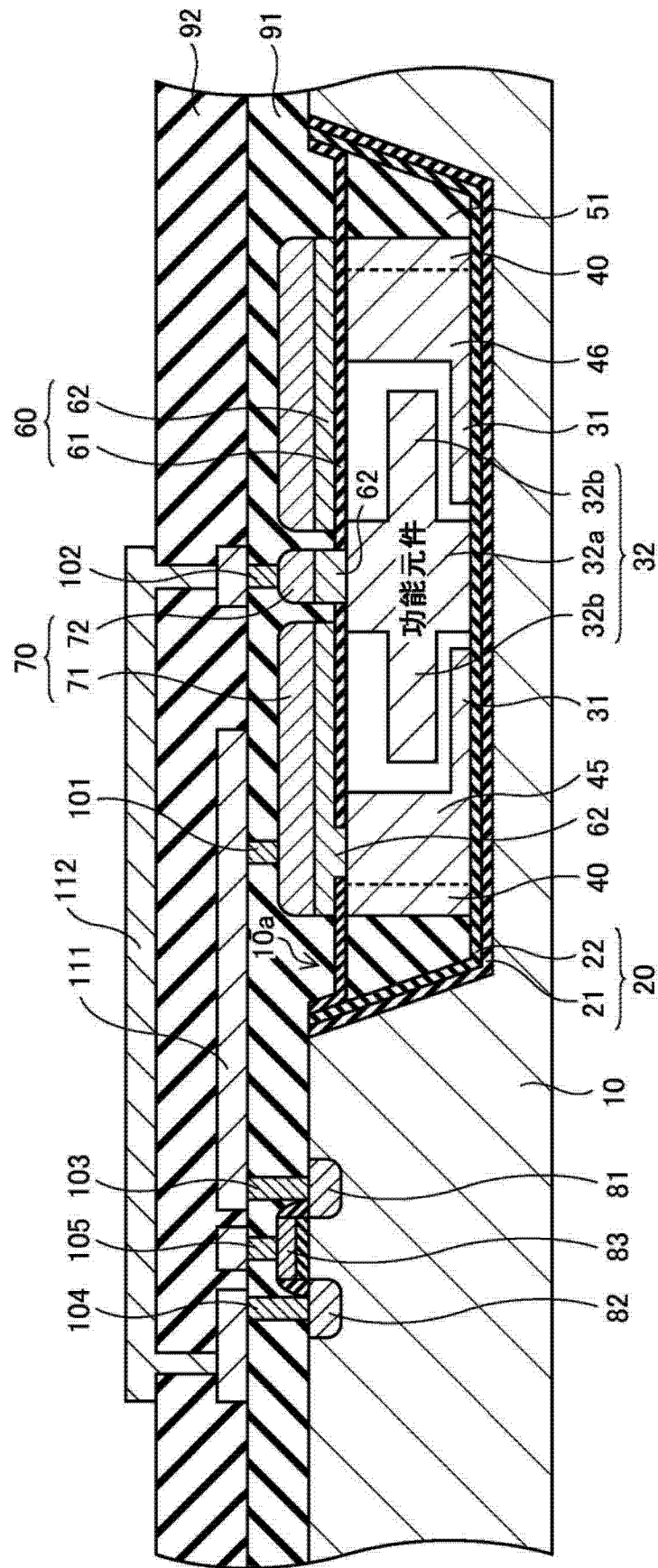


图 6