



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년03월02일
(11) 등록번호 10-2083190
(24) 등록일자 2020년02월25일

- (51) 국제특허분류(Int. Cl.)
H01L 27/02 (2006.01) G06F 30/00 (2020.01)
H01L 23/535 (2006.01) H01L 27/088 (2006.01)
H01L 27/092 (2006.01) H01L 27/118 (2006.01)
- (52) CPC특허분류
H01L 27/0207 (2013.01)
G06F 30/392 (2020.01)
- (21) 출원번호 10-2018-7036970
- (22) 출원일자(국제) 2017년06월22일
심사청구일자 2019년09월10일
- (85) 번역문제출일자 2018년12월19일
- (65) 공개번호 10-2019-0019952
- (43) 공개일자 2019년02월27일
- (86) 국제출원번호 PCT/US2017/038730
- (87) 국제공개번호 WO 2018/013315
국제공개일자 2018년01월18일
- (30) 우선권주장
62/353,536 2016년06월22일 미국(US)
15/629,728 2017년06월21일 미국(US)
- (56) 선행기술조사문헌
US09337099 B1
US20130126978 A1
US20160172351 A1

- (73) 특허권자
켈컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
코레알 주니어, 안토니
미국 27613 노스 캐롤라이나 롤리 우드 밸리 드라이브 4729
바우어스, 벤자민
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(뒷면에 계속)
- (74) 대리인
특허법인 남앤남

전체 청구항 수 : 총 36 항

심사관 : 백형열

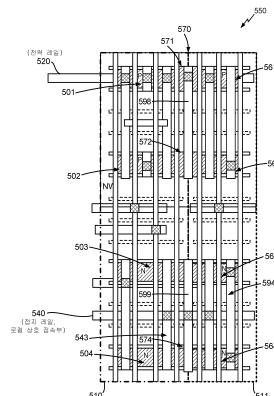
(54) 발명의 명칭 핀 카운트에 기반한 확산을 위한 표준 셀 아키텍처

(57) 요약

개시된 시스템들 및 방법들은 n형 및 p형 확산부들을 위한 다수의 확산 영역들을 지원하는 로직 셀 아키텍처들로 설계된 finfet 기반 집적 회로들에 관한 것이다. 각각의 로직 셀의 서로 다른 확산 영역들은 서로 다른 폭들 또는 핀 카운트들을 가질 수 있다. 2개의 로직 셀들의 대응하는 p-확산 영역들(501, 502) 및 n-확산 영역들(503,

(뒷면에 계속)

대표도 - 도5b



504)에 대한 유사한 핀 카운트들에 기초하여 2개의 로직 셀들을 접하게 하는 것이 가능해진다. 유사한 핀 카운트들에 기초하여 확산 길이들을 확장하기 위해 2개의 로직 셀들 사이의 공통 에지들에서 확산 채움부들이 사용된다. 로직 셀 아키텍처들은 임플란트 맞춤을 통해 서로 다른 로직 셀들의 임계 전압들을 선택적으로 제어하는 능력 및 비아 리턴던시를 지원한다. 절반 행 높이 셀들은 표준 전체 행 높이 셀들과 인터리빙될 수 있다.

(52) CPC특허분류

G06F 30/394 (2020.01)

H01L 23/535 (2013.01)

H01L 27/0886 (2013.01)

H01L 27/0924 (2013.01)

H01L 27/11807 (2013.01)

G06F 2119/18 (2020.01)

(72) 발명자

멜라 로바, 트레이시

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

구달 3세, 윌리엄

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

명세서

청구범위

청구항 1

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법으로서,

y 방향으로 적층된 2개 이상의 p-확산 영역들 - 상기 2개 이상의 p-확산 영역들 각각은 x 방향으로 2개 이상의 핀들을 포함하고, 상기 2개 이상의 p-확산 영역들 각각은 n형 웰(well) 내에 p형 도핑을 갖는 아일랜드(island)를 포함함 -; 또는

상기 y 방향으로 적층된 2개 이상의 n-확산 영역들 - 상기 2개 이상의 n-확산 영역들 각각은 상기 x 방향으로 2개 이상의 핀들을 포함하고, 상기 2개 이상의 n-확산 영역들 각각은 p형 웰 내에 n형 도핑을 갖는 아일랜드를 포함함 -

중 적어도 하나로 적어도 제1 로직 셀을 형성하는 단계를 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 2

제1 항에 있어서,

제1 p-확산 영역 및 제2 p-확산 영역 - 상기 제1 p-확산 영역과 상기 제2 p-확산 영역은 서로 다른 핀 카운트들을 가짐 -; 또는

제1 n-확산 영역 및 제2 n-확산 영역 - 상기 제1 n-확산 영역과 상기 제2 n-확산 영역은 서로 다른 핀 카운트들을 가짐 -

중 적어도 하나로 상기 제1 로직 셀을 형성하는 단계를 더 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 3

제1 항에 있어서,

상기 2개 이상의 p-확산 영역들 중 적어도 하나와 연관된 적어도 제1 로컬 전력 레일; 또는

상기 2개 이상의 n-확산 영역들 중 적어도 하나와 연관된 적어도 제2 로컬 전력 레일

중 적어도 하나로 분산 전력 레일 네트워크를 형성하는 단계를 더 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 4

제3 항에 있어서,

상기 제1 로컬 전력 레일이 상기 2개 이상의 p-확산 영역들 중 적어도 하나에 전용되는 것; 또는

상기 제2 로컬 전력 레일이 상기 2개 이상의 n-확산 영역들 중 적어도 하나에 전용되는 것

중 적어도 하나가 이루어지는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 5

제1 항에 있어서,

제1 p-확산 영역 및 제2 p-확산 영역 - 상기 제1 p-확산 영역과 상기 제2 p-확산 영역은 서로 다른 레

벨들의 p형 임플란트(implant)들로 형성됨 -; 또는

제1 n-확산 영역 및 제2 n-확산 영역 - 상기 제1 n-확산 영역과 상기 제2 n-확산 영역은 서로 다른 레벨들의 n형 임플란트들로 형성됨 -

중 적어도 하나로 상기 제1 로직 셀을 형성하는 단계를 더 포함하는, finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 6

제1 항에 있어서,

제1 p-확산 영역에서 형성된 제1 pfet 및 제2 p-확산 영역에서 형성된 제2 pfet - 상기 제1 pfet 및 상기 제2 pfet은 상이한 임계 전압들 또는 채널 길이들을 가짐 -; 또는

제1 n-확산 영역에서 형성된 제1 nfet 및 제2 n-확산 영역에서 형성된 제2 nfet - 상기 제1 nfet 및 제2 nfet은 상이한 임계 전압들 또는 채널 길이들을 가짐 -

중 적어도 하나로 상기 제1 로직 셀을 형성하는 단계를 더 포함하는, finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 7

제1 항에 있어서,

상기 제1 로직 셀을 비율(ratio) 로직을 갖는 2-입력 NAND 게이트로서 형성하는 단계를 포함하는, finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 8

제7 항에 있어서,

제1 p-확산 영역 내에 2개의 핀들과 동일한 제1 핀 카운트를 갖는 2개의 pfet들을 형성하고 그리고 상기 2개의 pfet들을 병렬로 접속하는 단계; 및

2개의 nfet들을 형성하고 - 상기 2개의 nfet들 각각은 4개의 핀들과 동일한 제2 핀 카운트를 가지며, 상기 4개의 핀들 중 2개는 제1 n-확산 영역 내에 있고, 상기 4개의 핀들 중 2개는 다른 n-확산 영역 내에 있음 - 그리고 상기 2개의 nfet들을 직렬로 접속하는 단계를 더 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 9

제8 항에 있어서,

적어도 하나의 폴리 라인(poly line)을 형성하는 단계를 더 포함하며,

상기 적어도 하나의 폴리 라인은 상기 2개의 pfet들과 상기 2개의 nfet들 사이에 공유되는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 10

제9 항에 있어서,

상기 제1 로직 셀의 제1 p-확산 영역과 다른 p-확산 영역 사이의 적어도 하나의 폴리 라인 상에 폴리 컷(poly cut)을 배치하는 단계를 더 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 11

제9 항에 있어서,

상기 2개의 pfet들과 상기 2개의 nfet들 사이의 적어도 하나의 폴리 라인 상에 적어도 하나의 게이트 비아(via)를 형성하고 그리고 상기 적어도 하나의 게이트 비아에 금속-확산(MD: metal to diffusion) 층을 접속하는 단계를 더 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 12

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법으로서,

제1 로직 셀 경계를 갖는 제1 로직 셀을 제2 로직 셀 경계를 갖는 제2 로직 셀에 인접하게 배치하는 단계 - 상기 제1 로직 셀 경계와 상기 제2 로직 셀 경계는 공통 에지(edge)를 가지고, 상기 제1 로직 셀은 제1 핀 카운트를 갖는 제1 p-확산 영역 상에 형성된 적어도 하나의 pfet 및 제2 핀 카운트를 갖는 제1 n-확산 영역 상에 형성된 적어도 하나의 nfet을 포함하고, 상기 제2 로직 셀은 상기 제1 핀 카운트를 갖는 제2 p-확산 영역 상에 형성된 적어도 하나의 pfet 및 상기 제2 핀 카운트를 갖는 제2 n-확산 영역 상에 형성된 적어도 하나의 nfet을 포함 -; 및

상기 공통 에지를 가로지르고 그리고 상기 제1 로직 셀의 상기 제1 p-확산 영역과 상기 제2 로직 셀의 상기 제2 p-확산 영역을 연결(join)하는 제1 p-확산 채움부(fill), 또는

상기 공통 에지를 가로지르고 그리고 상기 제1 로직 셀의 상기 제1 n-확산 영역과 상기 제2 로직 셀의 상기 제2 n-확산 영역을 연결하는 제1 n-확산 채움부

중 적어도 하나를 형성하는 단계를 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 13

제12 항에 있어서,

상기 제1 p-확산 채움부를 갖는, 상기 제1 로직 셀의 상기 제1 p-확산 영역과 상기 제2 로직 셀의 상기 제2 p-확산 영역; 또는

상기 제1 n-확산 채움부를 갖는, 상기 제1 로직 셀의 상기 제1 n-확산 영역과 상기 제2 로직 셀의 상기 제2 n-확산 영역

중 적어도 하나의 확산 길이(LOD: length of diffusion)를 확장시키는 단계를 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 14

제12 항에 있어서,

상기 제1 로직 셀의 상기 제1 p-확산 영역과 상기 제2 로직 셀의 상기 제2 p-확산 영역은 공통 제1 전위인 것; 또는

상기 제1 로직 셀의 상기 제1 n-확산 영역과 상기 제2 로직 셀의 상기 제2 n-확산 영역은 공통 제2 전위인 것

중 적어도 하나가 이루어지는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 15

제14 항에 있어서,

상기 공통 제1 전위에서 상기 제1 p-확산 채움부와 제1 금속층 사이의 접속; 또는

상기 공통 제2 전위에서 상기 제1 n-확산 채움부와 제2 금속층 사이의 접속

중 적어도 하나를 형성하는 단계를 더 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 16

제15 항에 있어서,

상기 공통 제1 전위는 전력 레일의 전위에 대응하고, 상기 공통 제2 전위는 로컬 상호 접속부 또는 접지 레일의 전위에 대응하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 17

제16 항에 있어서,

상기 전력 레일 또는 상기 접지 레일 중 적어도 하나는, 상기 제1 로직 셀과 상기 제2 로직 셀의 확산 영역들 사이의 공간에서 분산되는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 18

제12 항에 있어서,

상기 방법은 상기 제1 로직 셀 또는 상기 제2 로직 셀의 적어도 하나의 폴리 라인을 플로팅(floating)하는 단계를 더 포함하고,

상기 적어도 하나의 폴리 라인은 상기 공통 예지에 인접하고 그리고 상기 제1 p-확산 영역, 상기 제2 p-확산 영역, 상기 제1 n-확산 영역, 또는 상기 제2 n-확산 영역 중 적어도 하나와 교차(intersecting)하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 19

제12 항에 있어서,

상기 제1 핀 카운트는 상기 제2 핀 카운트와 상이한,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 20

제19 항에 있어서,

상기 제1 로직 셀은, 상기 제1 핀 카운트와 상기 제2 핀 카운트 사이의 비율 로직을 갖는 2-입력 NAND 게이트인,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 21

제20 항에 있어서,

상기 2-입력 NAND 게이트를 형성하는 것은,

2개의 pfet들을 병렬로 접속하는 것 - 상기 2개의 pfet들 각각은 상기 제1 p-확산 영역 상에 형성된 2개의 핀들과 동일한 상기 제1 핀 카운트를 가짐 -; 및

2개의 nfet들을 직렬로 접속하는 것을 포함하고,

상기 2개의 nfet들 각각은 4개의 핀들과 동일한 상기 제2 핀 카운트를 가지고, 상기 4개의 핀들 중 2개는 상기 제1 n-확산 영역 상에 형성되고 그리고 상기 4개의 핀들 중 2개는 상기 제1 n-확산 영역과 직렬로 접속된 상기 제1 로직 셀의 다른 n-확산 영역 상에 형성되는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 22

제21 항에 있어서,

상기 2개의 pfet들과 상기 2개의 nfet들 사이에 적어도 하나의 폴리 라인을 공유하는 단계를 포함하는,
finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 23

제21 항에 있어서,

상기 2개의 pfet들과 상기 2개의 nfet들 사이의 적어도 하나의 폴리 라인 상에 적어도 하나의 게이트 비아를 형성하는 단계를 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 24

제23 항에 있어서,

상기 적어도 하나의 게이트 비아를 금속-확산(MD) 층에 접속하는 단계를 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 25

제24 항에 있어서,

상기 제2 로직 셀은, 2개의 pfet들 및 2개의 nfet들을 포함하는 인버터이고,

각각의 pfet은 2개의 핀들과 동일한 상기 제1 핀 카운트를 가지고 그리고 적어도 상기 제2 p-확산 영역을 포함하는 2개의 p-확산 영역들에 형성되고,

각각의 nfet은 2개의 핀들과 동일한 상기 제2 핀 카운트를 가지고 그리고 적어도 상기 제2 n-확산 영역을 포함하는 2개의 n-확산 영역들에 형성되는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 26

제20 항에 있어서,

상기 제1 로직 셀의 상기 제1 p-확산 영역과 다른 p-확산 영역 사이의 적어도 하나의 폴리 라인 상에 폴리 컷을 배치하는 단계를 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 27

제12 항에 있어서,

상기 제1 또는 제2 p-확산 영역들 또는 상기 제1 또는 제2 n-확산 영역들 중 적어도 하나의 임계 전압들 또는 임플란트들을 맞추는(tailor) 단계를 더 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 28

제12 항에 있어서,

상기 제1 또는 제2 p-확산 영역들 또는 상기 제1 또는 제2 n-확산 영역들 중 적어도 하나에 형성된 게이트들의 채널 길이들을 맞추는 단계를 더 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 29

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법으로서,

적어도 제1 전체 행(full-row) 높이 로직 셀을 포함하는 제1 전체 행을 형성하는 단계;

상기 제1 전체 행에 인접하게 제2 전체 행을 형성하는 단계; 및

상기 제1 전체 행과 상기 제2 전체 행 사이에 하나 이상의 하위 행(sub-row)들을 산재(interspersing)시키는 단계를 포함하고,

상기 제1 전체 행 높이 로직 셀은 2개 이상의 p-확산 영역들 또는 2개 이상의 n-확산 영역들 중 적어도 하나를 포함하고,

상기 제2 전체 행은 적어도 제2 전체 행 높이 로직 셀을 포함하고, 상기 제2 전체 행 높이 로직 셀은 2개 이상의 p-확산 영역들 또는 2개 이상의 n-확산 영역들 중 적어도 하나를 포함하고,

상기 제1 전체 행과 상기 제2 전체 행의 2개 이상의 p-확산 영역들은 y 방향으로 적층되고, 상기 2개 이상의 p-확산 영역들 각각은 x 방향으로 2개 이상의 핀들을 포함하고, 상기 2개 이상의 p-확산 영역들 각각은 n형 웰 내에 p형 도핑을 갖는 아일랜드를 포함하거나; 또는

상기 제1 전체 행과 상기 제2 전체 행의 2개 이상의 n-확산 영역들은 y 방향으로 적층되고, 상기 2개 이상의 n-확산 영역들 각각은 상기 x 방향으로 2개 이상의 핀들을 포함하고, 상기 2개 이상의 n-확산 영역들 각각은 p형 웰 내에 n형 도핑을 갖는 아일랜드를 포함하고,

상기 하나 이상의 하위 행들 중 적어도 제1 하위 행은 적어도 하나의 p-확산 영역 및 적어도 하나의 n-확산 영역을 포함하는 제1 절반 행(half-row) 높이 로직 셀을 포함하고,

상기 제1 절반 행 높이 로직 셀의 적어도 하나의 p-확산 영역이 상기 제1 전체 행 높이 로직 셀 또는 상기 제2 전체 행 높이 로직 셀의 2개 이상의 p-확산 영역들 중 하나에 인접하는 것, 또는

상기 제1 절반 행 높이 로직 셀의 적어도 하나의 n-확산 영역이 상기 제1 전체 행 높이 로직 셀 또는 상기 제2 전체 행 높이 로직 셀의 2개 이상의 n-확산 영역들 중 하나에 인접하는 것

중 적어도 하나가 이루어지는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 30

제29 항에 있어서,

상기 제1 전체 행 높이 로직 셀에 대해 상기 제2 전체 행 높이 로직 셀을 수직으로 미리 플립(mirror-flipping)하지 않고 상기 제2 전체 행 높이 로직 셀을 형성하는 단계를 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 31

제29 항에 있어서,

상기 하나 이상의 하위 행들 중 2개의 인접한 하위 행들의 인접한 절반 행 높이 셀들을 서로에 대해 수직으로 미리 플립하는 것에 의해, 상기 하나 이상의 하위 행들 중 상기 2개의 인접한 하위 행들의 상기 인접한 절반 행 높이 셀들을 형성하는 단계를 포함하는,

finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 32

제29 항에 있어서,

상기 제1 전체 행 높이 로직 셀 또는 상기 제2 전체 행 높이 로직 셀의 상기 2개 이상의 p-확산 영역들 중 하나 그리고 상기 제1 절반 행 높이 로직 셀의 적어도 하나의 p-확산 영역의 확산 길이를, 적어도 하나의 p-확산 채

음부를 이용하여, 확장하는 단계를 더 포함하는,
finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 33

제29 항에 있어서,
상기 제1 전체 행 높이 로직 셀 또는 상기 제2 전체 행 높이 로직 셀의 상기 2개 이상의 n-확산 영역들 중 하나 그리고 상기 제1 절반 행 높이 로직 셀의 적어도 하나의 n-확산 영역의 확산 길이를, 적어도 하나의 n-확산 채움부를 이용하여, 확장하는 단계를 더 포함하는,
finfet 기반 로직 셀들로 집적 회로를 설계하는 방법.

청구항 34

비-일시적 컴퓨터 판독 가능 저장 매체로서,
상기 비-일시적 컴퓨터 판독 가능 저장 매체는, 프로세서에 의해 실행될 때 상기 프로세서로 하여금, finfet 기반 로직 셀들로 집적 회로를 설계하기 위한 동작들을 수행하게 하는 코드를 포함하고,
상기 비-일시적 컴퓨터 판독 가능 저장 매체는,
y 방향으로 적층된 2개 이상의 p-확산 영역들 - 상기 2개 이상의 p-확산 영역들 각각은 x 방향으로 2개 이상의 핀들을 포함하고, 상기 2개 이상의 p-확산 영역들 각각은 n형 웰 내에 p형 도핑을 갖는 아일랜드를 포함함 -; 또는
상기 y 방향으로 적층된 2개 이상의 n-확산 영역들 - 상기 2개 이상의 n-확산 영역들 각각은 상기 x 방향으로 2개 이상의 핀들을 포함하고, 상기 2개 이상의 n-확산 영역들 각각은 p형 웰 내에 n형 도핑을 갖는 아일랜드를 포함함 -
중 적어도 하나로 적어도 제1 로직 셀을 형성하기 위한 코드를 포함하는,
비-일시적 컴퓨터 판독 가능 저장 매체.

청구항 35

비-일시적 컴퓨터 판독 가능 저장 매체로서,
상기 비-일시적 컴퓨터 판독 가능 저장 매체는, 프로세서에 의해 실행될 때 상기 프로세서로 하여금, finfet 기반 로직 셀들로 집적 회로를 설계하기 위한 동작들을 수행하게 하는 코드를 포함하고,
상기 비-일시적 컴퓨터 판독 가능 저장 매체는,
제1 로직 셀 경계를 갖는 제1 로직 셀을 제2 로직 셀 경계를 갖는 제2 로직 셀에 인접하게 배치하기 위한 코드 - 상기 제1 로직 셀 경계와 상기 제2 로직 셀 경계는 공통 에지를 가지고, 상기 제1 로직 셀은 제1 핀 카운트를 갖는 제1 p-확산 영역 상에 형성된 적어도 하나의 pfet 및 제2 핀 카운트를 갖는 제1 n-확산 영역 상에 형성된 적어도 하나의 nfet을 포함하고, 상기 제2 로직 셀은 상기 제1 핀 카운트를 갖는 제2 p-확산 영역 상에 형성된 적어도 하나의 pfet 및 상기 제2 핀 카운트를 갖는 제2 n-확산 영역 상에 형성된 적어도 하나의 nfet을 포함함 -; 및
상기 공통 에지를 가로지르고 그리고 상기 제1 로직 셀의 상기 제1 p-확산 영역과 상기 제2 로직 셀의 상기 제2 p-확산 영역을 연결하는 제1 p-확산 채움부, 또는
상기 공통 에지를 가로지르고 그리고 상기 제1 로직 셀의 상기 제1 n-확산 영역과 상기 제2 로직 셀의 상기 제2 n-확산 영역을 연결하는 제1 n-확산 채움부
중 적어도 하나를 형성하기 위한 코드를 포함하는,
비-일시적 컴퓨터 판독 가능 저장 매체.

청구항 36

비-일시적 컴퓨터 판독 가능 저장 매체로서,

상기 비-일시적 컴퓨터 판독 가능 저장 매체는, 프로세서에 의해 실행될 때 상기 프로세서로 하여금, finfet 기반 로직 셀들로 집적 회로를 설계하기 위한 동작들을 수행하게 하는 코드를 포함하고,

상기 비-일시적 컴퓨터 판독 가능 저장 매체는,

적어도 제1 전체 행 높이 로직 셀을 포함하는 제1 전체 행을 형성하기 위한 코드;

상기 제1 전체 행에 인접하게 제2 전체 행을 형성하기 위한 코드; 및

상기 제1 전체 행과 상기 제2 전체 행 사이에 하나 이상의 하위 행들을 산재시키기 위한 코드를 포함하고,

상기 제1 전체 행 높이 로직 셀은 2개 이상의 p-확산 영역들 또는 2개 이상의 n-확산 영역들 중 적어도 하나를 포함하고,

상기 제2 전체 행은 적어도 제2 전체 행 높이 로직 셀을 포함하고, 상기 제2 전체 행 높이 로직 셀은 2개 이상의 p-확산 영역들 또는 2개 이상의 n-확산 영역들 중 적어도 하나를 포함하고,

상기 제1 전체 행과 상기 제2 전체 행의 2개 이상의 p-확산 영역들은 y 방향으로 적층되고, 상기 2개 이상의 p-확산 영역들 각각은 x 방향으로 2개 이상의 핀들을 포함하고, 상기 2개 이상의 p-확산 영역들 각각은 n형 웰 내에 p형 도핑을 갖는 아일랜드를 포함하거나; 또는

상기 제1 전체 행과 상기 제2 전체 행의 2개 이상의 n-확산 영역들은 y 방향으로 적층되고, 상기 2개 이상의 n-확산 영역들 각각은 상기 x 방향으로 2개 이상의 핀들을 포함하고, 상기 2개 이상의 n-확산 영역들 각각은 p형 웰 내에 n형 도핑을 갖는 아일랜드를 포함하고,

상기 하나 이상의 하위 행들 중 적어도 제1 하위 행은 적어도 하나의 p-확산 영역 및 적어도 하나의 n-확산 영역을 포함하는 제1 절반 행 높이 로직 셀을 포함하고,

상기 제1 절반 행 높이 로직 셀의 적어도 하나의 p-확산 영역이 상기 제1 전체 행 높이 로직 셀 또는 상기 제2 전체 행 높이 로직 셀의 2개 이상의 p-확산 영역들 중 하나에 인접하는 것, 또는

상기 제1 절반 행 높이 로직 셀의 적어도 하나의 n-확산 영역이 상기 제1 전체 행 높이 로직 셀 또는 상기 제2 전체 행 높이 로직 셀의 2개 이상의 n-확산 영역들 중 하나에 인접하는 것

중 적어도 하나가 이루어지는,

비-일시적 컴퓨터 판독 가능 저장 매체.

발명의 설명

기술 분야

[0001] [0001] 본 특허출원은 "STANDARD CELL ARCHITECTURE FOR DIFFUSION BASED ON FIN COUNT"라는 명칭으로 2016년 6월 22일자 출원된 가특허출원 제62/353,536호를 우선권으로 주장하며, 이 가특허출원은 계류 중이며, 본원의 양수인에게 양도되었고, 이로써 그 전체가 인용에 의해 본원에 명백히 포함된다.

[0002] [0002] 개시되는 양상들은 표준 로직 셀들, 표준 로직 셀 설계들 및 이들의 라이브러리들을 포함하는 장치들에 관한 것으로, 그 일부 예시적인 양상들은 다수의 확산 영역들, 분산된 전력 라인들, 및 서로 다른 핀(fin) 카운트들을 갖는 로직 셀들 사이에 공유되는 확산부에 대한 지원을 포함한다.

배경 기술

[0003] [0003] (예컨대, 금속 산화물 반도체(MOS: metal oxide semiconductor) 트랜지스터의) 트랜지스터 레벨 레이아웃에서, 확산 길이(LOD: length of diffusion)는 트랜지스터의 소스 단자와 드레인 단자 사이의 확산 영역이 게이트 단자로부터 멀리 확장되는 양을 의미한다. LOD 영향은 LOD에 기반한, MOS 트랜지스터에 유도되는 응력을 의미한다. 일반적으로, 더 작은 LOD가 더 큰 응력을 야기하거나, 다시 말하면 더 심각한 LOD 영향을 갖는 한편, LOD를 늘리거나 향상시키는 것은 성능 개선들로 이어질 수 있다.

[0004] 표준 로직 셀들 및 배치 기술들을 사용하는 트랜지스터 레벨 레이아웃에서 트랜지스터들에 대한 LOD 영향을 완전히 완화하는 것은 어렵다. LOD 영향을 완화하기 위한 일부 기술들은, 가능한 경우에, 공통 전기 접합 부들(예컨대, 전력 및 접지 접속부들)을 공유하도록 구성된 좌측 및 우측 확산 에지들을 갖는 확산 영역의 확장에 초점을 맞추고 있다. 그러나 이런 식으로 확산 영역을 확장하는 것은, 로직 셀들이 접하게 되는 또는 인접하게 되는 방식으로 (확산 층들의 셀 피치 또는 폭에 관해 또한 측정되는) 동일한 또는 비슷한 물리적 풋프린트들의 로직 셀들을 배치하려고 시도하는 셀 배치 방법들을 방해할 수 있다. 이러한 접근은 인접한 셀들 사이의 확산 에지들의 공유를 가능하게 할 수 있으며, 잠재적으로는 인접한 셀들의 유효 LOD를 증가시킬 수 있다. 그러나 이런 식으로 확산 에지 공유를 개선하기 위한 로직 셀 배치는 표준 로직 셀 라이브러리들을 사용하는 종래의 일부 설계들에서는 실현 가능하지 않을 수 있다.

[0005] 예를 들어, 핀 전계 효과 트랜지스터(Fin Field Effect Transistor)(또는 "finfet") 기술들을 고려하면, 여기서는 (예컨대, 폴리실리콘 또는 "폴리(poly)" 재료 또는 금속을 포함하는 다른 어떤 재료로 만들어진) 공통 게이트 단자가 2개 또는 그보다 많은 핀들 사이에 공유될 수 있다. 핀들 아래에 형성된 공통 확산 영역들을 전력 공급 레일들(예컨대, Vdd 및 접지) 또는 다른 공통 노드들에 접속함으로써 finfet들의 소스 단자와 드레인 단자가 형성된다. 공통 폴리가 또한 다수의 finfet들 사이에 공유될 수 있다. finfet 로직 라이브러리들은 서로 다른 핀 카운트들을 갖는 로직 셀들을 포함할 수 있다. 일부 핀들의 확산 영역들이 위에서 언급한 것과 같이 확장될 수 있다면, 로직 라이브러리들은 일정하지 않은 길이들의 확산 영역들을 가진 로직 셀들을 포함할 수 있는데, 이는 인접한 셀들의 일부 핀들이 자신들의 확산 영역들을 이웃하는 셀들과 공유하는 것이 가능하지 않을 수 있음을 의미한다. 또한, (확산 길이에 대한 횡단 방향으로의) 횡방향 확산 폭은 로직 셀 레이아웃에서 각각의 로직 셀의 핀들의 수에 비례하여 달라진다. 종래의 레이아웃 기술들은 동일한 수의 핀들 또는 동일한 폭을 갖는 로직 셀들의 접근을 가능하게 할 수 있지만, 이러한 기술들은 확산 영역들의 공유를 가능하게 했을 수 있는 방식으로 서로 다른 핀 카운트들을 갖는 2개의 셀들의 배치를 허용하지 않을 수 있다.

[0006] 그러나 고정된 핀 카운트들로는, 서로 다른 핀 카운트들을 필요로 하는 집적 회로들이 실현되기 어려워진다. 이는 종래의 기술들이 비율(ratio) 기반 로직에서 바람직할 수 있는 핀 스텝핑(fin stepping)(즉, 공통 확산부를 공유하도록 서로 다른 핀 카운트들을 갖는 셀들을 접하게 하는 것)을 지원하지 않기 때문이다. 종래에는 p-채널 FET들(또는 간단히, "pfet들") 및 n-채널 FET들(또는 "nfet들")을 포함하는 설계들에서 비율 기반 로직을 접하게 된다. 예를 들어, 2-입력 NAND 게이트 설계는 출력 단자와 접지 단자 사이에 직렬로 결합된 (효과적으로 4개의 핀들을 형성하는) 2개의 4-핀 nfet들 및 서로 병렬로 결합되며 공급 전압(Vdd)과 출력 사이에 접속되는 (효과적으로 2개의 핀들을 형성하는) 2개의 2-핀 pfet들을 포함할 수 있다. nfet들의(즉, 이들의 핀 카운트들에 관한) 크기는, 2-입력 NAND 게이트에 대한 상수 입력 및 하강 입력 모두에 대해 균형이 이루어진 출력 전환들 및 지연들을 달성하기 위해, 앞서 논의한 바와 같이 이들의 상대 pfet들의 크기의 2배로 설계된다. finfet 기술로 설계된 2-입력 NOR 게이트와 같은 다른 표준 셀들에도 컴포넌트 로직 셀들의 핀 카운트들에 관한 비슷한 비율이 또한 사용될 수 있다.

[0007] 종래의 설계들에서는 핀 스텝핑이 지원되지 않기 때문에, 예컨대, 앞서 논의한 2-입력 NAND 게이트와 같은 로직 게이트들의 설계에서는 서로 다른 핀 카운트들을 갖는 로직 셀들에 대해 개별 확산 도메인들이 제공될 수 있다. 그러나 개별 확산 도메인들을 갖는 것으로 설계를 제한하는 것은 서로 다른 핀 카운트들을 갖는 2개의 셀들 사이에서 공통 확산 에지를 공유할 가능성을 배제할 수 있다. 서로 다른 핀 카운트들을 갖는 로직 셀들을 통합하기 위한 노력으로, 종래의 설계들은 nfet들 및 pfet들에 대한 확산 영역들에, 그리고 때로는 심지어 (예컨대, 2-입력 AND 게이트의 경우) 셀 내에 중단부(break)들을 포함할 수 있다. 위의 논의로부터 이해되는 바와 같이, 확산 영역 내의 중단부들은 짧은 LOD들을 야기하거나 LOD 영향들에 악영향을 줄 수 있다.

[0008] 이에 따라, 비율 기반 로직을 지원할 수 있으면서, 확산 중단부들로 인해 발생할 수 있는 LOD 영향들을 또한 피할 수 있는 로직 셀 설계들에 대한 당해 기술분야의 필요성이 인식된다.

발명의 내용

[0009] 본 발명의 예시적인 양상들은 finfet 기반 로직 셀들을 사용하는 집적 회로들의 표준 셀 아키텍처들의 설계들에 관한 것이다. 로직 셀들은 동일한 또는 서로 다른 핀 카운트들을 가질 수 있는 각각의 확산 영역에 finfet들이 형성되는, n형 및/또는 p형의 다수의 확산 영역들을 지원할 수 있다. 서로 인접하게 배치된 유사한 핀 카운트들의 확산 영역들을 갖는 로직 셀들을 배치함으로써 로직 셀들의 용이한 접근이 가능해진다. 유사한 핀 카운트들의 확산 영역들과 공통 전위 사이의 확산 채움부(fill)들을 사용하여 LOD 영향들이 완화될 수 있다. 분산 전력 레일 네트워크들에는 로직 셀들의 하나 또는 그보다 많은 확산 영역들에 대한 전용 전력 레일들이 제

공될 수 있다. 일부 양상들은 동일한 또는 서로 다른 레벨들의 임플란트(implant)들을 갖는 서로 다른 셀들의 임계 전압들을 선택적으로 제어하는 능력 및 비아 리턴던시에 대한 지원을 포함한다. 일부 양상들에서, 절반 행 높이 셀들이 생성되어 전체 행 높이 셀 배치들과 함께 하위 행들에 배치될 수 있다.

[0010] 예를 들어, 예시적인 양상은 finfet 기반 로직 셀들로 집적 회로를 설계하는 방법에 관한 것으로, 이 방법은 2개 또는 그보다 많은 p-확산 영역들 또는 2개 또는 그보다 많은 n-확산 영역들 중 적어도 하나로 적어도 제1 로직 셀을 형성하는 단계를 포함한다.

[0011] 다른 예시적인 양상은 finfet 기반 로직 셀들로 집적 회로를 설계하는 방법에 관한 것이다. 이 방법은, 제1 로직 셀 경계를 갖는 제1 로직 셀을 제2 로직 셀 경계를 갖는 제2 로직 셀에 인접하게 배치하는 단계를 포함하며, 제1 로직 셀 경계와 제2 로직 셀 경계는 공통 에지를 갖는다. 제1 로직 셀은 제1 핀 카운트를 갖는 제1 p-확산 영역 상에 형성된 적어도 하나의 pfet 및 제2 핀 카운트를 갖는 제1 n-확산 영역 상에 형성된 적어도 하나의 nfet을 포함하며, 제2 로직 셀은 제1 핀 카운트를 갖는 제2 p-확산 영역 상에 형성된 적어도 하나의 pfet 및 제2 핀 카운트를 갖는 제2 n-확산 영역 상에 형성된 적어도 하나의 nfet을 포함한다. 이 방법은, 공통 에지를 가로지르며 제1 로직 셀의 제1 p-확산 영역과 제2 로직 셀의 제2 p-확산 영역을 연결하는 제1 p-확산 채움부, 또는 공통 에지를 가로지르며 제1 로직 셀의 제1 n-확산 영역과 제2 로직 셀의 제2 n-확산 영역을 연결하는 제1 n-확산 채움부 중 적어도 하나를 형성하는 단계를 더 포함한다.

[0012] 다른 예시적인 양상은 finfet 기반 로직 셀들로 집적 회로를 설계하는 방법에 관한 것이다. 이 방법은, 적어도 제1 전체 행 높이 로직 셀을 포함하는 제1 전체 행을 형성하는 단계 - 제1 전체 행 높이 로직 셀은 2개 또는 그보다 많은 p-확산 영역들 또는 2개 또는 그보다 많은 n-확산 영역들 중 적어도 하나를 포함함 -, 제1 전체 행에 인접하게 제2 전체 행을 형성하는 단계 - 제2 전체 행은 적어도 제2 전체 행 높이 로직 셀을 포함하고, 제2 전체 행 높이 로직 셀은 2개 또는 그보다 많은 p-확산 영역들 또는 2개 또는 그보다 많은 n-확산 영역들 중 적어도 하나를 포함함 -, 및 제1 전체 행과 제2 전체 행 사이에 하나 또는 그보다 많은 하위 행들을 산재시키는 단계를 포함하며, 하나 또는 그보다 많은 하위 행들 중 적어도 제1 하위 행은 적어도 하나의 p-확산 영역 및 적어도 하나의 n-확산 영역을 포함하는 제1 절반 행 높이 로직 셀을 포함한다. 제1 절반 행 높이 로직 셀의 적어도 하나의 p-확산 영역이 제1 전체 행 높이 로직 셀 또는 제2 전체 행 높이 로직 셀의 2개 또는 그보다 많은 p-확산 영역들 중 하나에 인접하는 것, 또는 제1 절반 행 높이 로직 셀의 적어도 하나의 n-확산 영역이 제1 전체 행 높이 로직 셀 또는 제2 전체 행 높이 로직 셀의 2개 또는 그보다 많은 n-확산 영역들 중 하나에 인접하는 것 중 적어도 하나가 이루어진다.

[0013] 또 다른 예시적인 양상은, 프로세서에 의해 실행될 때 프로세서로 하여금, finfet 기반 로직 셀들로 집적 회로를 설계하기 위한 동작들을 수행하게 하는 코드를 포함하는 비-일시적 컴퓨터 판독 가능 저장 매체에 관한 것으로, 이 비-일시적 컴퓨터 판독 가능 저장 매체는: 2개 또는 그보다 많은 p-확산 영역들 또는 2개 또는 그보다 많은 n-확산 영역들 중 적어도 하나로 적어도 제1 로직 셀을 형성하기 위한 코드를 포함한다.

[0014] 또 다른 예시적인 양상은, 프로세서에 의해 실행될 때 프로세서로 하여금, finfet 기반 로직 셀들로 집적 회로를 설계하기 위한 동작들을 수행하게 하는 코드를 포함하는 비-일시적 컴퓨터 판독 가능 저장 매체에 관한 것으로, 이 비-일시적 컴퓨터 판독 가능 저장 매체는: 제1 로직 셀 경계를 갖는 제1 로직 셀을 제2 로직 셀 경계를 갖는 제2 로직 셀에 인접하게 배치하기 위한 코드 - 제1 로직 셀 경계와 제2 로직 셀 경계는 공통 에지를 갖고, 제1 로직 셀은 제1 핀 카운트를 갖는 제1 p-확산 영역 상에 형성된 적어도 하나의 pfet 및 제2 핀 카운트를 갖는 제1 n-확산 영역 상에 형성된 적어도 하나의 nfet을 포함하며, 제2 로직 셀은 제1 핀 카운트를 갖는 제2 p-확산 영역 상에 형성된 적어도 하나의 pfet 및 제2 핀 카운트를 갖는 제2 n-확산 영역 상에 형성된 적어도 하나의 nfet을 포함함 -, 및 공통 에지를 가로지르며 제1 로직 셀의 제1 p-확산 영역과 제2 로직 셀의 제2 p-확산 영역을 연결하는 제1 p-확산 채움부, 또는 공통 에지를 가로지르며 제1 로직 셀의 제1 n-확산 영역과 제2 로직 셀의 제2 n-확산 영역을 연결하는 제1 n-확산 채움부 중 적어도 하나를 형성하기 위한 코드를 포함한다.

[0015] 다른 예시적인 양상은, 프로세서에 의해 실행될 때 프로세서로 하여금, finfet 기반 로직 셀들로 집적 회로를 설계하기 위한 동작들을 수행하게 하는 코드를 포함하는 비-일시적 컴퓨터 판독 가능 저장 매체에 관한 것으로, 이 비-일시적 컴퓨터 판독 가능 저장 매체는: 적어도 제1 전체 행 높이 로직 셀을 포함하는 제1 전체 행을 형성하기 위한 코드 - 제1 전체 행 높이 로직 셀은 2개 또는 그보다 많은 p-확산 영역들 또는 2개 또는 그보다 많은 n-확산 영역들 중 적어도 하나를 포함함 -, 제1 전체 행에 인접하게 제2 전체 행을 형성하기 위한 코드 - 제2 전체 행은 적어도 제2 전체 행 높이 로직 셀을 포함하고, 제2 전체 행 높이 로직 셀은 2개 또는 그

보다 많은 p-확산 영역들 또는 2개 또는 그보다 많은 n-확산 영역들 중 적어도 하나를 포함함 -, 및 제1 전체 행과 제2 전체 행 사이에 하나 또는 그보다 많은 하위 행들을 산재시키기 위한 코드를 포함하며, 하나 또는 그보다 많은 하위 행들 중 적어도 제1 하위 행은 적어도 하나의 p-확산 영역 및 적어도 하나의 n-확산 영역을 포함하는 제1 절반 행 높이 로직 셀을 포함하고, 제1 절반 행 높이 로직 셀의 적어도 하나의 p-확산 영역이 제1 전체 행 높이 로직 셀 또는 제2 전체 행 높이 로직 셀의 2개 또는 그보다 많은 p-확산 영역들 중 하나에 인접하는 것, 또는 제1 절반 행 높이 로직 셀의 적어도 하나의 n-확산 영역이 제1 전체 행 높이 로직 셀 또는 제2 전체 행 높이 로직 셀의 2개 또는 그보다 많은 n-확산 영역들 중 하나에 인접하는 것 중 적어도 하나가 이루어진다.

도면의 간단한 설명

- [0016] [0016] 첨부 도면들은 본 발명의 양상들의 설명을 돕기 위해 제시되며, 양상들의 제한이 아니라 양상들의 예시를 위해서만 제공된다.
- [0017] 도 1은 정해진 확산 영역들을 갖는 기본 표준 셀 아키텍처(100)를 예시한다.
- [0018] 도 2는 4-핀 nfet 풀다운(pulldown) 스택을 이용하는 2-입력 NAND 게이트의 셀 구성을 예시한다.
- [0019] 도 3 - 도 4는 로직 셀들의 접경에 관련된 양상들을 예시한다.
- [0020] 도 5a - 도 5b는 개시된 셀 배치 기술들에 따라 설계된 2-입력 AND의 양상들을 예시한다.
- [0021] 도 6a - 도 6b는 LOD를 개선하기 위한 좌측/우측 셀 에지 설계들과 관련된 양상들을 예시한다.
- [0022] 도 7 - 도 8은 본 개시내용에 따른 로직 셀들의 다양한 확산 영역들에 대한 임플란트들의 맞춤(tailoring)에 관련된 양상들을 예시한다.
- [0023] 도 9는 본 개시내용에 따른 절반 행 높이 셀들에 관한 양상들을 예시한다.
- [0024] 도 10은 본 개시내용에 따른 통합된 전력/접지 레일들을 갖는 셀 레이어아웃들을 예시한다.
- [0025] 도 11은 본 개시내용의 일 양상에 따른 2-입력 NAND 게이트의 구현을 예시한다.
- [0026] 도 12는 본 개시내용의 양상들에 따른 예시적인 프로세스의 흐름도 표현을 예시한다.

발명을 실시하기 위한 구체적인 내용

- [0017] [0027] 본 발명의 양상들은 본 발명의 특정 양상들에 관한 다음 설명 및 관련 도면들에서 개시된다. 본 발명의 범위를 벗어나지 않으면서 대체 양상들이 안출될 수 있다. 추가로, 본 발명의 잘 알려진 엘리먼트들은 상세히 설명되지 않을 것이며 또는 본 발명의 관련 있는 세부사항들을 모호하게 하지 않도록 생략될 것이다.
- [0018] [0028] 본 명세서에서 "예시적인"이라는 단어는 "일례, 실례 또는 예시로서의 역할"을 의미하는 데 사용된다. 본 명세서에서 "예시적인" 것으로서 설명된 어떠한 양상도 반드시 다른 양상들에 비해 선호되거나 유리한 것으로 해석되는 것은 아니다. 마찬가지로, "본 발명의 양상들"이라는 용어는 본 발명의 모든 양상들이 논의된 특징, 이점 또는 동작 모드를 포함할 것을 요구하지 않는다.
- [0019] [0029] 본 명세서에서 사용된 용어는 특정 양상들만을 설명하기 위한 것이며, 본 발명의 양상들의 한정으로 의도되는 것은 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태들은 맥락이 명확하게 달리 지시하지 않는 한, 복수 형태들도 포함하는 것으로 의도된다. 본 명세서에서 사용될 때, "포함한다," "포함하는," "포함시킨다" 및/또는 "포함시키는"이라는 용어들은 언급된 특징들, 정수들, 단계들, 동작들, 엘리먼트들 및/또는 컴포넌트들의 존재를 특정하지만, 하나 또는 그보다 많은 다른 특징들, 정수들, 단계들, 동작들, 엘리먼트들, 컴포넌트들, 및/또는 이들의 그룹들의 존재 또는 추가를 배제하는 것은 아니라고 추가로 이해될 것이다.
- [0020] [0030] 또한, 많은 양상들은 예를 들어, 컴퓨팅 디바이스의 엘리먼트들에 의해 수행될 동작들의 시퀀스들에 관해 설명된다. 본 명세서에서 설명되는 다양한 동작들은 특정 회로들(예를 들어, 주문형 집적 회로(ASIC: application specific integrated circuit)들)에 의해, 하나 또는 그보다 많은 프로세서들에 의해 실행되는 프로그램 명령들에 의해, 또는 이 둘의 결합에 의해 수행될 수 있다고 인식될 것이다. 추가로, 본 명세서에서 설명되는 동작들의 이러한 시퀀스는 실행시 연관된 프로세서로 하여금 본 명세서에서 설명되는 기능을 수행하게 할 대응하는 세트의 컴퓨터 명령들을 그에 저장한 임의의 형태의 컴퓨터 판독 가능 저장 매체 내에 완전히 구현되는 것으로 간주될 수 있다. 따라서 본 발명의 다양한 양상들은 다수의 서로 다른 형태들로 구현될 수

있는데, 이러한 형태들 모두가 청구 대상의 범위 내에 있는 것으로 고려되었다. 추가로, 본 명세서에서 설명되는 양상들 각각에 대해, 임의의 이러한 양상들의 대응하는 형태는 본 명세서에서 예를 들어, 설명되는 동작을 수행"하도록 구성된 로직"으로서 설명될 수 있다.

[0021] [0031] 본 개시내용의 예시적인 양상들은, 비율 기반 논리를 지원할 수 있으면서, 앞서 언급한 종래의 접근 방식들에서 발생할 수 있는 LOD 영향들을 또한 피할 수 있는 예시적인 로직 셀들, 로직 셀 설계들 및 관련된 표준 셀 라이브러리들을 포함하는 장치에 관한 것이다. 일부 양상들은 또한 동일한 로직 셀 내의 2개의 서로 다른 확산 도메인들에 걸쳐 공통 폴리실리콘(폴리) 게이트를 공유하는 것에 관한 것으로, 이는 또한 (예컨대, 서로 다른 셀들에 속하는) 개별 확산 영역들에 대해 동일한 또는 서로 다른 레벨들의 임플란트들에 대한 지원을 가능하게 한다. 게다가, 예시적인 양상들은 또한, (예컨대, 확산 영역들 상에 통합된) 설계 내의 서로 다른 셀들에 대한 서로 다른 임계 전압들, (예컨대, 서로 다른 폴리 폭들에 대한 지원에 기초한) 서로 다른 채널 길이들 등을 지원한다. 결국, 임계 전압을 제어하는 것은 누설 전력의 감소 및 로직 셀들의 전력 및 성능 특성들의 개선으로 이어진다.

[0022] [0032] 배경으로서, 종래의 표준 셀 레이아웃의 설계들은 한 세트의 전력 레일들, 예컨대 Vdd와 접지 사이에 배치된 n형 및 p형 확산 영역들(또는 각각 n-영역들 및 p-영역들)을 포함한다. n-영역은 nfet 핀들을 채우기 위한 p형 웰(well)에서의 n형 도핑을 사용하여 단일 nfet 확산 도메인(또는 n-도메인)으로 형성되고; 그리고 p-영역은 pfet 핀들을 채우기 위한 n형 웰에서의 p형 도핑을 사용하여 단일 pfet 확산 도메인(또는 p-도메인)으로 형성된다.

[0023] [0033] 예시적인 양상들에서, 다른 한편으로는, 하나보다 많은 n-도메인, 예컨대 한 쌍의 n-도메인들이 n-영역에 제공될 수 있으며, n-도메인들은, 각각의 n-영역이 (예컨대, n-영역에 대한 대응하는 로직 셀 라이브러리에 특정된 적어도 최소 핀 거리를 유지하는) 미리 정해진 핀 거리만큼 분리된 다수의 핀들을 지지할 수 있도록 y-방향으로 한 도메인 위에 다른 한 도메인이 있는 식으로 적층될 수 있다. 마찬가지로, p-영역들은 y-방향으로 한 도메인 위에 다른 한 도메인이 있는 식으로 적층된 하나보다 많은, 예컨대 한 쌍의 p-도메인들을 포함할 수 있는데, 각각의 p-영역은 다수의 핀들을 지지할 수 있으며 (예컨대, n-영역에 대한 대응하는 로직 셀 라이브러리에 특정된 적어도 최소 핀 거리를 유지하는) 미리 정해진 핀 거리만큼 분리된다. 핀 거리들은 2개의 동일한 확산부들 사이에 공유되는 폴리 상의 게이트 접촉부, 예컨대 게이트 비아의 통합이 금속 층과의 접촉(예컨대, 당해 기술분야에 공지된 바와 같은 금속-확산(metal to diffusion) "MD" 접촉)을 형성할 수 있게 한다. 핀 거리들에 의해 제공된 분리들은 또한, 폴리 컷이 배치되기 전에 공유되었던 폴리 층에 접촉된 2개의 동일한 확산부들의 게이트 단자들을 격리하도록, 폴리 층 상에 폴리 컷이 배치되게 한다(예컨대, 폴리 컷은 각각 nfet들 또는 pfet들을 포함하는 n-도메인들 또는 p-도메인들 사이에 배치될 수 있다). 2개의 서로 다른 셀들 또는 배치행들 사이에 공유되는 확산 영역들과는 대조적으로, 예시적인 양상들에서는 동일한 확산 영역들이 표준 로직 셀들 사이에 공유되거나 공유 가능하기 때문에, 이 접근 방식은 이중 행을 생성하기 위해 2개의 표준 셀들을 미러 플립(mirror flip)하는 것과는 다르다는 점이 주목된다.

[0024] [0034] 본 개시내용의 양상들에 의해 지원되는 분산 전력 레일 네트워크에서는, 서로 다른 또는 전용 전력 레일에 접속될 로직 셀 내의 각각의 확산 영역에 대한 지원과 함께 다수의 전력 레일들이 제공될 수 있는데, 이는 보다 낮은 손실들 및 개선된 효율들로 이어질 수 있다. 예시적인 표준 셀들 내의 n-도메인들과 p-도메인들 사이의 공간은 (핀 거리들을 유지하도록) 미리 정해진 핀 그리드 또는 피치 상에 있을 수 있으며, 예를 들어, 분산 전력 레일들 사이의 2개의 수직으로 인접한, 횡방향으로 이어지는 배선 트랙들에 접속하기 위한 2개의 수평으로 인접한 폴리 라인들 상에 폴리 게이트 접촉부들을 통합하는 능력을 지원한다. 동시에, 앞서 언급한 폴리 컷을 통합하는 능력이 또한, 핀 그리드에 유지될 수 있다. 미리 정해진 핀 피치가 충족된다면, n-영역과 p-영역 사이의 그리드 상에 정해진 공간은 예컨대, 신호 및 전력 라인들에 대한 다양한 횡방향 배선 트랙들을 지원할 수 있다.

[0025] [0035] 예시적인 양상들에서, 주어진 도메인 내의 확산 영역들의 크기는 동일한 확산 폭에 대해 일정한 수의 핀들을 지원하기 위해 일정한 폭으로 정해질 수 있다. 이는 로직 셀들이 접하게 하고 공통 확산 에지를 공유하게 하며, 이는 LOD 최적화를 가능하게 한다. 확산 영역들의 일정한 크기 설정은 또한 2개 또는 그보다 많은 표준 셀들을 사용하여 형성된 로직 셀 레이아웃들 내의 확산 영역들을 가능하게 한다. 예를 들어, 2-입력 NAND 게이트 및 인버터를 사용하여 형성된 2-입력 AND는, 이러한 컴포넌트 디바이스들의 크기들이 동일하지 않을 수 있다. 출력 인버터와 컴포넌트 2-입력 NAND 게이트의 표준 셀들 사이에 공유되는 확산 영역들을 가질 수 있다.

- [0026] [0036] 도 1은 임의의 적절한 장치 또는 집적 회로 설계에 통합되거나 집적될 수 있는 예시적인 표준 셀 아키텍처(100)를 예시한다. 아키텍처(100)는 4개의 개별 확산 영역들(또는 "RX 아일랜드(island)들")을 도시한다. 제1 아일랜드 및 제2 아일랜드는 각각 p-확산 영역들(101, 102)로서 정의된다. 제3 아일랜드 및 제4 아일랜드는 각각 n-확산 영역들(103, 104)로서 정의된다. 폴리실리콘 층들 또는 폴리 라인들(132, 134, 136)은 대응하는 표준 셀 라이브러리들(예시적인 양상들에서는 이러한 표준 셀 라이브러리들에 따라 셀(100)이 설계됨)에 정의된, 이러한 폴리 라인들(132, 134, 136) 중 인접한 폴리 라인들 사이의 특정된 수평 거리들만큼 분리되어 수직 방향으로 도시된다. 이러한 도시에서, 양 끝 폴리 라인들(132, 136)은 신호 또는 전력 라인들에 접속되지 않는 더미 또는 플로팅 폴리 라인들일 수 있는 한편, 중간 폴리(134)는 셀 아키텍처(100)의 로직 셀들에 대한 게이트 단자에 접속될 수 있다.
- [0027] [0037] p-확산 영역들(101, 102) 사이의 갭(120)으로서 도시된 공간은 핀 그리드 또는 피치, 및 대응하는 표준 셀 라이브러리들에 특정된 확산 수직 공간에 대한 최소 요건들과 일치한다. 이 갭(120)은 폴리(134)를 (도시되지 않은) 더 높은 금속 층 또는 대안으로 (이 도면에는 도시되지 않은) 폴리 컷에 접속하기 위한 게이트 비아(106)로서 도시된 폴리 게이트 접촉부를 지지하도록 구성된다. 마찬가지로, n-확산 영역들(103, 104) 사이의 갭(122)은 또한 각각의 특정된 핀 그리드 또는 피치 그리고 필요한 확산 수직 공간과 일치하고, 또한 폴리(134) 상에 (도시되지 않은) 폴리 게이트 접촉부 또는 폴리 컷(108)을 지지하도록 구성된다.
- [0028] [0038] p-확산 영역(102)과 n-확산 영역(103) 사이의 갭(124)은 또한 표준 셀 라이브러리에 특정된 n-확산 영역과 p-확산 영역 사이의 분리를 포함하는 확산 수직 공간 및 핀 그리드/피치와 일치한다. 예컨대, 게이트 비아(106)를 사용하여 폴리에 대한 다양한 회로 접속들을 이루기 위해서 뿐만 아니라, 폴리 컷(108)과 같은 폴리 컷들을 도입하는 능력을 갖기 위해, 갭(124)은 허용된 최소 공간보다 더 크지만 여전히 정해진 핀 그리드 상에 있게 만들어질 수 있다.
- [0029] [0039] 수평 금속 또는 로컬 상호 접속 층들뿐만 아니라 최상부 경계 및 최하부 경계는 예시의 단순화를 위해 도시되지 않는다. (예컨대, 금속(M0) 또는 로컬 상호 접속부의 하위 또는 최하위 레벨 상의) 전력 및 접지 레일들은 또한 도 1에 도시되지 않지만, 수평으로 이어지는 것으로 가정된다. 예시적인 양상들에서, 전력 레일들은 셀 아키텍처(100)의 최상부 에지 및 최하부 에지 상에 위치될 필요는 없지만, 수평으로 통과하며 확산 영역들(101-104)과 접속될 수 있는 다수의 트랙들을 포함하는, 앞서 언급한 바와 같은 셀들 내에 분산될 수 있다. 셀 아키텍처(100)는 finfet들로 설계된 다른 셀들과의 접경을 지원할 수 있고, 다음의 도면들을 참조하여 설명될 방식들로 확산 영역들(및 LOD들)(101-104)을 확장시키기 위한 옵션들을 지원할 수 있다.
- [0030] [0040] 이제 도 2를 참조하면, 직렬로 접속되며 2개의 n-확산 영역들(203, 204) 각각에 2개의 핀들을 포함하는 4-핀 nfet들(풀다운 디바이스들)인 2개의 nfet들(제1 nfet 및 제2 nfet); 및 p-확산 영역(202) 내의 2-핀 pfet들(풀업 디바이스들)인 2개의 pfet들(제1 pfet 및 제2 pfet)을 이용하는 2-입력 NAND(200)에 대한 셀 아키텍처가 도시된다. n-확산 영역들(203, 204) 내에 직렬로 적층된 제1 nfet 및 제2 nfet은 공통 폴리 라인들(234-236)로 형성된 폴리 게이트들을 p-확산 영역(202) 내의 제1 pfet 및 제2 pfet과 공유하는 반면, p-확산 영역(201) 내의 pfet들의 폴리 게이트들은 폴리 컷(208)을 사용하여 p-확산 영역(202) 내의 pfet들의 폴리 게이트들로부터 격리 또는 분리된다. p-확산 영역(201) 내의 pfet들은 다른 컴포넌트들로부터 격리되며, 이에 따라 예를 들어, 플로팅 상태로 남아 있거나 전력 레일에 접속될 수 있다.
- [0031] [0041] 도 2에서, 분산 전력 레일 네트워크는 2개의 p-확산 영역들 중 적어도 하나에 접속된 적어도 제1 로컬 전력 레일 및 2개의 n-확산 영역들 중 적어도 하나에 접속된 적어도 제2 로컬 전력 레일을 갖는 것으로 도시된다. 예시적인 양상들에서, 하나 또는 그보다 많은 전력 레일들은 확산 영역들과 구체적으로 연관되거나 확산 영역들에 전용될 수 있는데, 예컨대 제1 로컬 전력 레일은 2개의 p-확산 영역들 중 하나와 연관되거나 그에 전용될 수 있고, 제2 로컬 전력 레일은 2개의 n-확산 영역들 중 하나와 연관되거나 그에 전용될 수 있다. 예를 들어, 도 2의 예시에서, p-확산 영역(201)의 pfet들의 게이트들은 플로팅 상태인 한편, 관련된 드레인/소스 접합부들은 MD 비아들(222)에 접속된 MD 층(230)으로서 도시된 금속-확산("MD", 실리사이드로 형성될 수 있음)을 통해 (p-확산 영역(201)에 전용될 수 있는) 전력 레일(220)에 접속된다. MD 층(230)은 다양한 확산 영역들의 소스들 및 드레인들을 접속하고 하부 디바이스들의 개선된 저항을 위해 확산부들을 중첩시키는 데 사용된다. MD 층(230)은 일반적으로 신호 라인들 또는 로컬 상호 접속부들(216, 217) 각각에 대한 비아들(206 또는 207)과 같은 게이트 접촉부 비아들에 근접하게 배치되지 않을 수 있다. 이에 따라, MD 층(230)은 인접한 폴리 접촉부 옆에 배치되는 것을 막는 방식으로 배치된다. MD 층(230)은 p-확산 영역들(201, 202) 내의 두 pfet들 모두의 소스들을 접속하여, 두 p-확산 영역들(201, 202) 모두에 대한 전력 접속들을 제공하는 것으로 도시된다.

- [0032] [0042] 게이트 접속부들(206, 207)은 로컬 상호 접속부 신호 라인들(216, 217) 각각을 통해 각각의 데이터 입력들에 대한 접속을 제공한다. n-확산 영역들(203, 204) 내의 nfet들의 소스 단자들은 MD(243)를 통해 서로 접속된 다음, 로컬 상호 접속부(240) 및 이것의 연관된 비아(245)를 통해 접지 레일(GND)에 접속된다. 앞서 설명한 바와 같이, MD 층(243)은 또한 2개의 n-확산 영역들(203, 204)을 전기적으로 그리고 물리적으로 서로 접속한다. n-확산 영역들(203, 204)에 형성된 nfet들의 드레인 단자들은 MD 층(244)에 의해 "공통" 접속으로 서로 접속되고, 비아(219)를 통해 로컬 상호 접속 라우팅 층(250)에 접속된다. p-확산 아일랜드(202) 내의 pfet들의 드레인들은 MD 층(253)을 통해 로컬 상호 접속부(260)에 대한 비아(257)에 유사하게 접속된다. 로컬 상호 접속부(260)는 NAND(200)의 pfet들의 출력 노드를 나타내고, 로컬 상호 접속 노드(250)는 NAND(200)의 nfet들의 출력 노드를 나타낸다. 2-입력 NAND(200)의 출력들(즉, p-확산 아일랜드(202)의 pfet 드레인 및 n-확산 아일랜드들(203, 204) 내의 nfet들의 드레인들)과 연관된 접속들은 단순화를 위해 예시되지 않지만, 이러한 출력들은 수직으로 이어지는 후속 또는 더 높은 레벨의 금속 층을 사용하여 로컬 상호 접속부들(250, 260)에 접속될 수 있다.
- [0033] [0043] 도 2는 단지 하나의 전력 레일(220) 및 하나의 접지 레일(240)을 도시하지만, 앞서 언급한 바와 같이 전력 레일들의 분산 배열이 또한 가능하며, 다른 예들에서, 이를테면 도 10에서 예시되는데, 이는 본 개시내용의 이후 섹션에서 추가로 논의될 것이라는 점이 주목된다.
- [0034] [0044] 본 개시내용에서 도시되고 설명되는 표준 셀 아키텍처들의 좌측 및 우측 예지들이 다음과 같이 정의된다. 일 양상에서, 표준 셀의 폴리(예컨대, 셀(200)의 폴리 라인들(232 또는 238))는 셀(200)의 좌측 또는 우측 예지에 각각 직접 정렬될 수 있는데, 이는 다른 셀들이 셀(200)의 좌측 및/또는 우측에 배치될 수 있게 하고 셀(200)에 바로 접하게 한다. (예컨대, 확산 영역들(201-204)과 유사한) 인근 확산 영역들의 폭들이 일관되고 동일한 또는 일정한 크기 설정으로 만들어져, 이에 따라 서로 다른 확산 크기들이 존재할 수 있고 셀 접경에 대한 문제들을 제기할 수 있는 배열들을 의미하는 "확산 스테핑"을 피할 수 있기 때문에, 이러한 접경이 가능해진다. 셀 접경을 가능하게 함으로써, 예시적인 양상들에서 확산 영역들(201-204)이 확장될 수 있어, 이에 따라 LOD 영향들을 완화할 수 있다.
- [0035] [0045] 도 3에서는, 셀 접경에 사용될 수 있는 표준 셀 아키텍처들의 양상들이 셀(300)을 참조하여 도시되고 설명된다. 셀(300)은 앞서 설명한 바와 같이, p-확산 영역들(301, 302) 및 n-확산 영역들(303, 304)을 포함한다. 셀(300)은 또한 폴리 라인들(332, 334, 336)을 포함하며, 폴리 라인들(332, 336)은 셀 예지들에 인접할 수 있고, 공급 또는 신호 라인들에 접속되지 않는 더미 또는 플로팅 폴리 게이트들로서 구조화될 수 있으며, 따라서 파선들로 도시된 셀(300)의 셀 경계(350)를 한정하는 데 사용될 수 있다. 횡방향 셀들은 셀 경계(350)에서 셀(300)과 만나거나 접하도록 배치될 수 있다. 셀 경계(350)를 따른 폴리 라인들(332, 334)은 셀(300) 및 셀 경계(350)에서 셀(300)과 접하는 (도시되지 않은) 임의의 횡방향 셀에 공통일 수 있다. 셀(300) 및 셀 경계(350)에서 셀(300)과 접하는 다른 횡방향 셀에 대해, 셀 경계(350)에서 (확산부들(301-304) 중 하나 이상을 확장함으로써 형성되는) 공유되는 확산 접합부들은 동일한 전위일 수 있거나, 셀 접합부에 형성된 디바이스가 "오프" 상태로 전환되게 하는 방식으로 대응하는 소스/드레인 단자가 바이어스될 수 있고; 또는 대안으로, 확산 컷이 제공되어 동일한 전위를 공유하지 않는 확산 영역들을 격리시킬 수 있지만, 확산 중단부를 야기하는 그러한 확산 컷은 LOD를 제한할 수 있음을 명심한다.
- [0036] [0046] 이제 도 4를 참조하면, 셀(400)에 대해 도 3에서 설명한 기술들에 기반한 셀 접경(좌측 및/또는 우측)의 양상들이 도시된다. 셀(400)은 제1 셀, 예컨대 제1 핀 카운트를 갖는 제1 p-확산 영역(예컨대, p-확산 영역들(301, 302)) 상에 형성된 적어도 하나의 pfet(예컨대, 병렬로 접속될 수 있는 2-핀 pfet들) 및 제2 핀 카운트를 갖는 제1 n-확산 영역(예컨대, n-확산 영역(303, 304)) 상에 형성된 적어도 하나의 nfet(예컨대, 직렬로 접속될 수 있는 2-핀 nfet들)을 포함하는 도 3의 셀(300)을 포함한다. 셀(300)은 제1 핀 카운트를 갖는 제2 p-확산 영역(예컨대, p-확산 영역들(311, 312)) 상에 형성된 유사하게 기술된 적어도 하나의 pfet(예컨대, 2-핀 pfet들) 및 제2 핀 카운트를 갖는 제2 n-확산 영역(예컨대, n-확산 영역들(313, 314)) 상에 형성된 적어도 하나의 nfet(예컨대, 2-핀 nfet들)을 포함하는 제2 셀, 예컨대 셀(310)과 접하게 된다. 폴리 라인들(342, 344, 346)이 셀(310)에 제공된다. 제1 셀(300) 및 제2 셀(310)은 각각의 셀 경계들(350, 360)을 가지며, 접하게 되면, 이들은 확산 중단부들(403)이 존재할 수 있는 공통 예지(355)를 갖는다.
- [0037] [0047] 도 4에서, 가장 좌측 및 가장 우측 폴리 라인들(즉, 셀(300)의 폴리 라인들(332, 336); 셀(310)의 폴리 라인들(342, 346))은 폴리 게이트의 피치(폴리 게이트 피치)의 절반만큼 삽입되어, 셀들(300, 310) 각각의 셀 경계들(350, 360) 상에 로컬 상호 접속 컷 형상들을 가능하게 한다. 셀(300)(이 도면에서 좌측에 배치된 셀)과 셀(310)(이 도면에서 우측에 배치된 셀)의 확산 영역들 사이의 분리는 도시된 바와 같이 효과적으로 확산 중단

부들(403)을 야기할 수 있으며, 이는 짧은 LOD로 이어질 수 있다. 예시적인 양상들에서는 모든 확산 영역들이 동일한 크기이기 때문에, 2개의 셀 접합부들이 가능하고, (예컨대, p-확산 영역들(301, 311); p-확산 영역들(302, 312); n-확산 영역들(303, 313); 그리고 n-확산 영역들(304, 314) 사이의) 확산 접합부들은 확산 중단부들(403)이 도시된 영역들에서 확산 채움부들을 사용하여 병합될 수 있다(확산 채움부들은 이 도면에서 구체적으로 예시되지 않는다). 아래에 논의되는 바와 같이, 확산 접합부들이 공통 전위를 공유할 때 또는 게이트 타이-오프(tie-off) 셀이 도입될 때, 맞춤형 형상 포함들이 이루어질 수 있다. 공통 예지(355)에 인접한 폴리 라인들(336 또는 342) 중 적어도 하나는 플로팅할 수 있는데, 폴리 라인들(336 또는 342) 중 적어도 하나는 p-확산 영역들(301, 311); p-확산 영역들(302, 312); n-확산 영역들(303, 313); 및 n-확산 영역들(304, 314) 중 적어도 하나와 겹치거나 교차하는 것으로 형성될 수 있다.

[0038] [0048] 도 5a는 2개의 표준 셀들인 제1 셀, 예컨대 NAND(510) 및 제2 셀, 예컨대 인버터(511)의 배치에 의해 설계된 2-입력 AND(500)의 일 구현을 예시한다. NAND(510)는 제1 n-확산 영역, 예컨대 n-확산 영역(503) 및 다른 n-확산 영역, 예컨대 n-확산 영역(504)에 형성된 한 쌍의 직렬 접속된 2-핀 적층 nfet들 및 제1 p-확산 영역, 예컨대 p-확산 영역(502)에 형성된 한 쌍의 병렬 접속된 2-핀 pfet들을 포함한다. 다른 p-확산 영역, 예컨대 p-확산 영역(501)과 연관된 폴리 게이트들은 2개의 p-확산 영역들(501, 502) 사이의 폴리 라인 상에 배치된 폴리 컷(508)에 의해 p-확산 영역(502)의 폴리 게이트들로부터 절연된다(NAND(510)는 도 2의 NAND 게이트(200)와 유사하다는 점이 주목된다). 폴리 게이트 접촉부들(506, 507)은 로컬 상호 접속부 신호 라인들(516, 517) 각각에 접속된다. 신호 라인들(516, 517)은 각각 논리 입력들(a, b)을 도시한다. NAND 게이트(510)의 출력은 로컬 상호 접속(M0) 층들(550, 560) 상에 유도된다. (예시되지 않은) 층들(550, 560)에 형성된 노드들을 결합하는 접속부들은, 수직으로 이어져 로컬 상호 접속 층들(550, 560)에 접속되는 후속 금속 레벨을 사용할 수 있다.

[0039] [0049] NAND 게이트(510)의 출력에 접속된 인버터(511)는 n-확산 영역들(563, 564)에 형성된 2개의 2-핀 nfet들 및 p-확산 영역들(561, 562)에 형성된 2개의 2-핀 pfet들을 포함한다(n-확산 영역들(563, 564) 및 p-확산 영역들(561, 562)은 능동 트랜지스터들을 가짐). 게이트 입력 비아(566)는 인버터(511)의 게이트를 로컬 상호 접속부(576)에 접속시키는데, 로컬 상호 접속부(576)는 결국 수직으로 이어지는 후속 금속 레벨에 접속될 것이다. MD 실리사이드 층들(590, 594)은 인버터(511)의 출력을 형성하며, 또한 로컬 상호 접속 층들에 그리고 이어서 (예시되지 않은) 연속적인 금속 레벨에 접속될 수 있다.

[0040] [0050] 도 5a에서, NAND 게이트(510)의 우측 예지와 인버터(511)의 좌측 예지는 각각 전력 공급부 및 접지 모두에 접속되는 것으로 인식된다. 그러나 도시된 바와 같이, NAND 게이트(510)의 우측 예지 및 인버터(511)의 좌측 예지 각각은 비공유 확산 예지를 가지며, 이는 NAND 게이트(510) 및 인버터(511)가 각각 감소된 LOD 또는 최소 LOD를 갖게 한다. 모든 확산 영역들(501, 502, 503, 504, 561, 562, 563, 564)은 이러한 셀 아키텍처에 의해 정의된 것과 동일한 크기이고 NAND 게이트(510)의 우측 및 인버터(511)의 좌측 상의 p-확산부 및 n-확산부는 전기적으로 서로 공통이기 때문에, NAND 게이트(510)의 좌측 예지 및 인버터(511)의 우측 예지의 예지 처리는 (예컨대, 셀 레이아웃 툴들에 구현될 수 있는 알고리즘에 기초하여) 전기적으로 공통인 확산부들을 연결하기 위해 도 4의 확산 중단부들(403)을 참조하여 설명한 바와 같이 새로운 확산 채움부들을 수용하도록 변경됨으로써, 확산부들의 LOD들을 향상시킬 수 있다.

[0041] [0051] 도 5b는 위에서 도 5a를 참조하여 설명한 AND 게이트(500)의 레이아웃에서 공통 확산 영역들을 연결하는 양상들을 이용하여 형성된 AND 게이트(550)를 예시한다. 일 양상에서 도 5b의 AND 게이트(550)에 도달하기 위해 도 5a의 AND 게이트(500)에 확산 채움부들(571, 572, 573, 574)이 추가되었다. 제1 p-확산 채움부, 예컨대 p-확산 채움부(571/572)는 도 5a의 NAND 게이트(510)와 인버터(511) 사이의 공통 예지(570)를 가로지르며 도 5a의 제1 셀인 NAND 게이트(510)의 제1 p-확산 영역(501/502)과 제2 셀인 인버터(511)의 제2 p-확산 영역(561/562)을 연결할 수 있으며, 제1 p-확산 영역과 제2 p-확산 영역은 (예컨대, 전력 레일(520)의 전위에 대응하는) 공통 제1 전위이다. 마찬가지로, 제1 n-확산 채움부, 예컨대 n-확산 채움부(573/574)는 도 5a의 NAND 게이트(510)와 인버터(511) 사이의 공통 예지(570)를 가로지르며 도 5a의 제1 셀인 NAND 게이트(510)의 제1 n-확산 영역(503/504)과 제2 셀인 인버터(511)의 제2 n-확산 영역(563/564)을 연결할 수 있으며, 제1 n-확산 영역과 제2 n-확산 영역은 (예컨대, 접지 레일 또는 로컬 상호 접속부(540)의 전위에 대응하는) 공통 제2 전위이다.

[0042] [0052] 제1 금속 층 및 제2 금속 층(예컨대, MD)(598, 599) 각각이 더해져 적절한 전위들(예컨대, 각각 공통 제1 전위 및 공통 제2 전위)을 형성하거나 이러한 확산 채움부들(예컨대, 전력 레일(520)에 대한 제1 p-확산 채움부(571/572) 및 접지 레일/로컬 상호 접속부(540)에 대한 제1 n-확산 채움부(573/574))에 대한 접속들을 가능하게 하는데, 앞서 언급한 확산 채움부들은 도 5a의 NAND 게이트(510)와 인버터(511)의 셀 경계들 사이의 공통

에지(570)에서 도입된다. 금속 층들(598, 599)은 확산 채움부들(571, 572, 573, 574)과 함께 연결되는 NAND 게이트(510)의 우측 및 인버터(511)의 좌측 상에 전기적으로 공통 에지 접합부들을, 공통 MD 층(598, 599) 및 적절한 MO 로컬 상호 접속부들에 대한 각각의 비아들과 함께 제공한다. 이에 따라, 도 5b에서, (예컨대, 핀 스테핑 없이 확산 채움부들(571, 572, 573, 574)을 사용하여 공통 확산부들을 공유하는) 서로 다른 핀 카운트들을 갖는 (예컨대, NAND 게이트(510) 및 인버터(511)의) 2개의 회로들을 가능하게 하기 위해, 전기적으로 공통 접합부들을 공유함으로써 LOD를 개선하는 양상들이 도시된다.

[0043] [0053] 또한, 보이는 바와 같이, NAND 게이트(510)의 좌측 p-확산 에지는 두 p-확산 영역들(501, 502) 모두에서 전력 라인(520)에 접속되고, 따라서 이러한 접합부들 모두는 (확산 채움부들(571, 572)을 사용하여 인버터(511)에 도시된 접속들과 유사하게) 잠재적으로 다른 회로와 공통 확산 영역을 공유할 수 있는 반면; NAND 게이트(510)의 n-확산부들(503, 504)의 좌측은 NAND 게이트(510)의 출력과 연관되고, 따라서 하부 n-확산부들(503, 504)은 게이트 타이-오프와 같은 추가 변경 없이 다른 회로와 공유 가능하지 않을 수 있다. (접지 또는 다른 로컬 상호 접속부에 대한) 전력 레일들(520, 540)은 NAND 게이트(510) 및 인버터(511)에 걸쳐 공유될 수 있다.

[0044] [0054] 도 6a는 LOD를 증가시키기 위한(또는 LOD 영향들을 완화시키기 위한) 좌측/우측 셀 에지 설계들과 관련된 (예컨대, 예시적인 알고리즘들을 사용하는) 양상들을 도시하는 셀 아키텍처(600)를 예시한다. 4개의 서로 다른 셀 접합부들이 다른 공통 확산 접합부들과 함께 도시된다. (이 도면에서 p-확산 및 n-확산이 구체적으로 달리 식별되지 않았다 하더라도) n-웰(NW: n-well)로 식별된 블록 내의 확산 접합부들은 p형이고 NW 외부의 확산 영역들은 n형이다. 다양한 확산 접합부들 내에는, 노드들을 식별하는 라벨들이 제공되었다. 공통 라벨을 갖는 노드들은 예시된 양상들에서 (예컨대, 도 5a - 도 5b를 참조하여 논의된 571-574와 같은 확산 채움부들을 사용하여) 확산 영역들을 공유할 수 있는(따라서 이러한 노드들을 알고리즘 방식 접합부 LOD 개선들을 위해 제공하는) 한편, 공통 라벨들이 없는 노드들은 확산부들을 공유할 수 없을 수 있다.

[0045] [0055] 도 6a - 도 6b를 함께 참조하면, 확산 중단부들은 열-행 명명법에 의해 식별된다(예컨대, "13"은 1 열, 3 행을 나타낸다). 확산 중단부들(11, 13, 14, 23, 24, 31, 32)은 전기적으로 공통 경계인 확산부들과 연관되기 때문에, (예컨대, 레이아웃 알고리즘들에 의해 구현되는) 예시적인 설계가 적절한 셀들 또는 이들의 형상들을 부가하여, 도 6b에 도시된 바와 같이 LOD 조작성을 가능하게 할 수 있다. 도 6b에서는, 도 6a의 셀 아키텍처(600)와 관련하여 셀 아키텍처(650)에서, 식별된 접합부들에서의 LOD 조작성이 확인된다. 또한, 도 6b에 도시되는 않았지만, 강화된 확산 길이들은 전기 접속을 강화하기 위해 부가된 비아 및 MD 형상들 그리고 일부 경우에는 비아 리턴던시를 포함하는 추가 변형들을 수반할 수 있다. 또한, 일부 양상들에서는, 주어진 확산 중단부 영역에 각각의 형상들을 선택적으로 부가하지 않음으로써, (만약 있다면, 설계 규칙들에서) 최대 LOD 조건들이 지원될 수 있다. 게다가, 설계 룰들의 설계 라이브러리 또는 세트에 임의의 것이 지정되어 있다면, 최대 LOD 요건들을 고수하도록 예컨대, 확산 중단을 강제할 최적 위치들을 레이아웃 내에서 식별하는 것이 또한 가능하다.

[0046] [0056] 도 7을 참조하면, 표준 셀 설계들에서 임플란트들을 맞추는 양상들이 도시된다. 도 1을 다시 참조하면, 2개의 별개의 p-확산 영역들(101, 102) 및 2개의 별개의 n-확산 영역들(103, 104)이 도시되었다. 도 7에서, 도 1의 이러한 별개의 p-확산 영역들 및 n-확산 영역들에 혼합된 임플란트들을 제공하는 양상들이 예시된다. 도 7의 셀(700)에 도시된 바와 같이, p-확산 영역(701)은 Vtp 임플란트1(711)을 갖고, p-확산 영역(702)은 Vtp 임플란트2(712)를 갖고, n-확산 영역(703)은 Vtn 임플란트1(713)을 갖고, n-확산 영역(704)은 Vtn 임플란트2(714)를 갖는다. 두 n형 및 p형 확산부들 모두가 이들의 각각의 타입 내에서 동일한 또는 공통 레벨들의 임플란트들을 가질 수 있지만, 도 7의 예시적인 양상들에서와 같이 서로 다른 또는 혼합된 레벨들의 임플란트들을 지원하는 것은 전력 및 성능 향상들을 위한 추가 툴들을 제공한다.

[0047] [0057] 예를 들어, 4개의 pfet 핀들 및 4개의 nfet 핀들을 포함하는 도 5a - 도 5b의 인버터(511)를 고려하면, 임플란트 맞춤이 사용되지 않는다면 Pfet들 및 nfet들(SLVTn)에 SLVTp(초저 Vthp)를 사용함으로써, 인버터를 통과하는 신호들의 최상의 상승 에지 성능이 달성될 수 있다. 그러나 도 7에서의 임플란트 맞춤을 통해, 예컨대 하나의 n-확산 영역(703)에서 SLVTn을 그리고 다른 n-확산 영역(704)에서 다른 Vtn, 이를테면 LVTn(낮은 Vtn)을 가짐으로써 중간 Vtn이 실현될 수 있는데, 이는 두 nfet들 모두의 오프 상태에서 누설 전류를 감소시키는 한편, n-확산 영역들(703, 704) 모두가 동일한 LVTn 임플란트를 갖는 경우에 확인되는 것보다 더 우수한 하강 에지 성능을 제공할 것이다. 예시적인 임플란트 맞춤은 타이밍 및 전력 최적화 툴들을 사용하여 실시간으로 또는 즉시(on-the-fly) 알고리즘 방식으로 수행될 수 있다. 이러한 알고리즘들은 셀들 내의 어떤 표준 셀 및 확산 영역들/아일랜드들이 임플란트 맞춤에 의해 이익을 얻을지를 정의할 수 있고, 그런 다음 그에 따라 평면 모드에서 또는 (임의의 디폴트 임플란트들을 오버라이드(override)할 수 있는) 선택되는 표준 셀에 대해 파라미터들을 인

스턴트화함으로써 계층적으로, 관련 임플란트 형상들을 생성할 수 있다.

- [0048] [0058] 도 8을 참조하면, 임플란트 맞춤형 인버터(800)가 도시되는데, 여기서 복합 4-핀 pfet을 포함하는 (전력 레일(820)에 접속된) p-확산 영역들(801, 802)은 단일 SLVTp 임플란트(811)를 갖는 반면, 2개의 핀들을 포함하는 n-확산 영역(803)은 SLVTn 임플란트(813)를 갖고 나머지 2개의 nfet 핀들을 포함하는 n-확산 영역(804)은 LVTn 임플란트(814)를 갖는다(두 n-확산 영역들(803, 804) 모두가 접지 또는 로컬 상호 접속부들을 위한 전력 레일(840)에 접속됨). 출력 접속부들(890, 894)은 예시의 단순화를 위해 수직으로 이어지는 금속 층인 M1에 대한 어떠한 접속들도 없이 도시된다.
- [0049] [0059] 도 4 - 도 6에서는, 셀들이 횡방향으로 행으로 배치된 표준 셀 배치가 도시된다. 종래의 레이아웃들에서, 표준 셀들은 일반적으로 행들로 배치되는데, 각각의 교대하는 수직 행이 그 아래 또는 그 위의 행의 미러 플립을 갖는다. 이는 수직으로 배치된 2개의 행들 사이에 공통 n-웰(NW) 및 기판 영역들을 갖는 능력을 제공한다. 예시적인 셀 설계들은 또한 유사하게 배치될 수 있는데, 이는 종래의 셀 아키텍처보다 더 넓은 NW 영역 및 기판 영역을 생성하고, 그에 따라 다양한 NW 및 기판 탭 접속부들이 더 멀리 떨어질 수 있게 함으로써, 영역을 절약할 수 있게 한다.
- [0050] [0060] 도 9에서, 셀 아키텍처(900)에 대한 로직 셀 배치의 한 양상이 도시된다. 제1 전체 행 및 제2 전체 행은, 표준 또는 전체 높이일 수 있으며 대안으로 전체 행 높이 로직 셀들로 지칭될 수 있는 로직 셀들을 포함하는 전체 행 1 및 전체 행 2로서 각각 예시된다. 열들(910, 920, 930)은 이러한 전체 행 높이 로직 셀들을 포함하는 것으로 도시된다. 이들 중에서, 열(910) 내의 전체 행 높이 로직 셀들(910a, 910b)은 (본 명세서에서 n-확산 영역들 및 p-확산 영역들의 관점에서 보면) 서로에 대해 수직으로 미러 플립된다. 열(910) 내의 전체 행 높이 로직 셀들(910a, 910b)은 인접한 전체 행들 내의 표준 로직 셀들의 종래의 또는 전형적인 배열을 나타내는데, 인접한 전체 행들에서 동일한 열 내의 로직 셀들 사이에 수직 미러 플립이 이용된다. 이런 식으로 수직 미러 플립하는 것은 동일한 확산 영역들(예컨대, 전체 행 1 내의 전체 행 높이 로직 셀(910a) 및 전체 행 2의 전체 행 높이 로직 셀(910b)의 n-확산 영역들)이 서로 인접하게 배치될 수 있게 한다.
- [0051] [0061] 열(920) 내의 전체 행 높이의 로직 셀들의 배치는, 전체 행 1 및 전체 행 2 각각의 전체 행 높이의 로직 셀들(920a, 920b)이 서로에 대해 수직으로 미러 플립되지 않거나, 대안으로 동일한 배향인 전체 높이 행 로직 셀들(920a, 920b)로 지칭되는 예시적인 배열을 나타낸다. 열(920) 내에서의 이러한 예시적인 배열은 절반 행 높이 로직 셀들이 생성되어, 이하 더 상세하게 설명되는 바와 같이, 전체 행 높이 로직 셀들과 절반 행 높이 로직 셀들의 동일한 확산 영역들 사이에 확산 채움부들을 가능하게 할 방식으로 배치될 수 있게 한다.
- [0052] [0062] 열들(930, 940)을 참조하면, 전체 행 높이 셀들(930a, 930b) 및 절반 행 높이 셀들(940a, 940b, 940c)의 병치가 도시된다. 열(920)의 경우에서와 같이, 열(930)의 전체 행 1 및 전체 행 2에서의 각각 전체 행 높이 셀들(930a, 930b)은 또한 서로에 대해 수직으로 미러 플립되지 않는다. 열(940)에 도시된 절반 행 높이 로직 셀들(940a, 940b, 940c)은 각각 열(930)의 전체 행 높이 로직 셀들(930a, 930b)과 같은 하나의 전체 행 높이 셀의 높이의 절반이다(예컨대, 열(930) 내의 전체 행 높이 로직 셀들(930a, 930b)은 각각 2개의 p-확산 영역들 및 2개의 n-확산 영역들로 예시되고, 열(940) 내의 절반 행 높이 로직 셀들(940a, 940b, 940c)은 각각 단일 p-확산 영역 및 단일 n-확산 영역으로 예시된다). 절반 행 높이 로직 셀들(940a, 940b, 940c)은 전체 행 1과 전체 행 2 사이에 산재된 하위 행들(1A-B, 2A-B)에 배치될 수 있고, 임의의 2개의 수직으로 절반 행 높이 로직 셀들(940a, 940b, 940c)은 서로에 대해 수직으로 미러 플립될 수 있다. 이런 식으로, 열(930) 내의 전체 행 높이 로직 셀들(930a, 930b)과 열(940) 내의 절반 행 높이 로직 셀들(940a, 940b, 940c) 사이의 동일한 확산 영역들은 확산 채움부들이 생성될 수 있게 하고 확산 길이들이 확장될 수 있게 하는 방식으로 배치될 수 있다(예컨대, 전체 행 높이 로직 셀(930a)의 2개의 p-확산 영역들 중 하나와 절반 행 높이 로직 셀(940a)의 p-확산 영역들 사이에 p-확산 채움부가 배치될 수 있고; 전체 행 높이 로직 셀(930b)의 2개의 n-확산 영역들 중 하나와 절반 행 높이 로직 셀(940c)의 n-확산 영역들 사이에 n-확산 채움부가 배치될 수 있는 식이다).
- [0053] [0063] 도 10을 참조하면, 셀 아키텍처(1000)에 대해 로직 셀 레이아웃들에서 분산 전력 및 접지 레일들을 통합하는 양상들이 도시된다. 표준 셀 아키텍처에서, 이중 레일 분산 전력 및 접지 레일은 일반적으로 로컬 상호 접속부(M0) 층에 통합될 수 있는데, 이는 M0 레일에 대한 MD 접속부가 쉽게 통합될 수 있기 때문에 개개의 확산 영역들 각각이 최소 IR(전압 강하) 손실로 적절한 전력 공급부/접지 레일에 바이어스되게 한다. 다른 한편으로는, 도 10에서, 4개의 별개의 확산 영역들(1001, 1002, 1003, 1004)을 갖는 셀(1000)은 다음과 같이, 내부에 통합된 다수의 전력 및 접지 레일들을 가질 수 있다. 2개의 전력 레일들(1041, 1042)은 각각 p-확산 영역들(1001, 1002)에 근접하게 도시된다. 마찬가지로, 2개의 접지 레일들(1043, 1044)은 각각 n-확산 영역들(1003,

1004)에 근접하게 도시된다. MD 실리사이드 층들(1030)이 또한 도시되어 있으며, 한 세트의 전력 및 접지 MO 레일들에 대한 트랙 위치들은 이 예시에 따라 변경될 수 있다.

[0054] [0064] 도 11은 n-확산 영역들(1103, 1104)에 각각 2개의 핀들을 갖는 4-핀 직렬 연결된 nfet 풀다운 스택 및 p-확산 영역(1102) 내의 2-핀 pfet 풀업 디바이스들을 포함하는 2-입력 NAND(1100)의 레이아웃을 예시한다. 도시된 바와 같이 수직 방향으로 폴리 라인들(1132, 1134, 1136, 1138)이 제공된다. 직렬 적층된 nfet들은 p-확산 아일랜드(1102)에서 pfet과 공유된 공통 폴리 라인들(1132, 1134, 1136, 1138)을 갖는 반면, pfet(1101)의 폴리 게이트는 폴리 라인들(1134, 1136)의 폴리 컷(1108)에 의해 pfet(1102)의 폴리 게이트로부터 절연되거나 분리된다. p-확산 영역(1101) 내의 pfet들은 다른 컴포넌트들로부터 격리되며, 이에 따라 예를 들어, 플로팅 상태로 남아 있거나 전력 레일(1141)에 접속될 수 있다. 도 11에서, 이러한 폴리 라인들(1134, 1136)에 연결된 p-확산 영역(1101) 내의 pfet들의 게이트들은 플로팅 상태일 수 있는 한편, 드레인/소스 접합부들은 로컬 상호 접속부 비아들(1122)에 대한 금속-확산(MD) 층을 통해 전력 레일(1142)에 접속될 수 있다. MD 실리사이드 층들(1130, 1131)은 다양한 확산 영역들의 소스들 및 드레인들을 접속하고 개선된 저항 특성들을 위해 각각의 확산 부들과 중첩될 수 있다. 일반적으로, MD 층들은 게이트 접속부 비아에 근접하지 않을 수 있으며, 그에 따라 인접한 폴리 접속부 앞에서 통과하지 않을 수 있다. (라벨링되지 않은) MD 층들은 영역들(1101, 1102) 내의 두 pfet들 모두의 소스들을 접속하여, 두 p-확산 영역들 모두에 대한 전력 접속들을 제공하는 것으로 도시된다. 이는 이중 전력 레일 구현이기 때문에, 전력 레일 비아들(1122)은 전력 레일들(1141, 1142)에 접속한다.

[0055] [0065] 게이트 접속부들(1106, 1107)은 로컬 상호 접속부 신호 라인들(1116, 1117) 각각을 통해 각각의 데이터 입력들에 대한 접속을 제공한다. 비아들(1108, 1109)은 2개의 게이트 입력들(b, a) 각각을 M1 라인들(1151, 1152) 각각에 접속한다. n-확산 영역들(1103, 1104) 내의 nfet들의 소스 노드들은 MD(1130)를 통해 서로 접속된 다음, 비아들(1124)을 통해 두 접지 레일들(1143, 1144) 모두에 접속된다. 앞서 설명한 바와 같이, MD 층들(1130, 1131)은 2개의 n-확산 영역들(1103, 1104)을 전기적으로 그리고 물리적으로 서로 접속한다. n-확산 영역들(1103, 1104)의 nfet 드레인들은 MD 층(1131)에 의해 공통으로 서로 접속되고, 비아(1126)를 통해 로컬 상호 접속 라우팅 층(1145)에 접속된다. p-확산 영역(1102) 내의 pfet들의 드레인들은 MD를 통해 로컬 상호 접속부(1160)에 대한 비아에 유사하게 접속된다. 출력(p-확산 영역(1102)의 pfet 드레인 및 n-확산 영역들(1103, 1104) 내의 nfet들의 드레인들)과 연관된 접속부들이 비아(MO 내지 M1)(1127), 비아들(1126, 1128) 및 M1(1150)에 의해 예시된다.

[0056] [0066] 명시적으로 예시되지는 않았지만, 예시적인 레이아웃 방식들은 표준 셀 내의 혼합된 채널 길이들의 통합을 가능하게 한다. 예를 들어, 도 11의 2개의 p-확산 영역들(1101, 1102) 또는 n-확산 영역들(1103, 1104) 중 하나 또는 둘 모두와 연관된 채널 길이들은 대안적인 채널 길이일 수 있다(예컨대, 이러한 pfet들 및 nfet들에 대한 게이트들을 각각 형성하는 폴리 라인들(1134, 1136)의 각각의 폭들은 게이트 접합부들의 하부 채널 폭들을 변경하도록 수정될 수 있고, 별개의 폭들의 폴리 라인들은 폴리 컷들로 분리될 수 있다). 채널 길이들의 이러한 혼합은 다른 회로들과의 직접적인 통합을 가능하게 하면서 특정 회로의 설계시 더 큰 유연성을 제공할 수 있다.

[0057] [0067] 이에 따라, 양상들은 본 명세서에 개시된 프로세스들, 함수들 및/또는 알고리즘들을 수행하기 위한 다양한 방법들을 포함한다고 인식될 것이다. 예를 들어, 도 2a에 예시된 바와 같이, 한 양상은 finfet 기반 로직 셀들을 갖는 집적 회로(예컨대, 도 5b의 AND 게이트(500))를 설계하는 방법(1200)을 포함할 수 있으며, 이 방법은 다음의 단계들을 포함한다:

[0058] [0068] 블록(1202)에서, 제1 셀 경계를 갖는 제1 로직 셀(예컨대, NAND 게이트(510))을 제2 로직 셀 경계를 갖는 제2 로직 셀(예컨대, 인버터(511))에 인접하게 배치하는 단계 - 제1 로직 셀 경계와 제2 로직 셀 경계는 공통 에지(예컨대, 공통 에지(570))를 갖고, 제1 로직 셀은 제1 핀 카운트(2-핀들)를 갖는 제1 p-확산 영역(예컨대, 제1 셀인 NAND 게이트(510)의 제1 p-확산 영역(501/502)) 상에 형성된 적어도 하나의 pfet 및 제2 핀 카운트(예컨대, 4-핀들)를 갖는 제1 n-확산 영역(예컨대, 제1 셀인 NAND 게이트(510)의 제1 n-확산 영역(503/504)) 상에 형성된 적어도 하나의 nfet을 포함하며, 제2 로직 셀은 제1 핀 카운트(예컨대, 2-핀들)를 갖는 제2 p-확산 영역(예컨대, 제2 셀인 인버터(511)의 제2 p-확산 영역(561/562)) 상에 형성된 적어도 하나의 pfet 및 제2 핀 카운트(예컨대, 2-핀들)를 갖는 제2 n-확산 영역(예컨대, 제2 셀인 인버터(511)의 제2 n-확산 영역(563/564)) 상에 형성된 적어도 하나의 nfet을 포함함 -.

[0059] [0069] 블록(1204)은, 공통 에지를 가로지르며 제1 셀의 제1 p-확산 영역과 제2 셀의 제2 p-확산 영역을 연결하는 제1 p-확산 채움부(예컨대, p-확산 채움부(571/572)); 또는 공통 에지를 가로지르며 제1 셀의 제1 n-확산

영역과 제2 셀의 제2 n-확산 영역을 연결하는 제1 n-확산 채움부(예컨대, n-확산 채움부(573/574)) 중 적어도 하나를 형성하는 단계를 포함한다.

[0060] [0070] 당해 기술분야에서 통상의 지식을 가진 자들은 정보 및 신호들이 다양한 다른 기술들 및 기법들 중 임의의 것을 이용하여 표현될 수 있다고 인식할 것이다. 예컨대, 상기 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심벌들 및 칩들은 전압들, 전류들, 전자기파들, 자기 필드들 또는 자기 입자들, 광 필드들 또는 광 입자들, 또는 이들의 임의의 결합들로 표현될 수 있다.

[0061] [0071] 또한, 당해 기술분야에서 통상의 지식을 가진 자들은 본 명세서에 개시된 양상들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이들의 결합들로 구현될 수 있다고 인식할 것이다. 하드웨어와 소프트웨어의 이러한 상호 호환성을 명확히 설명하기 위해, 각종 예시적인 컴포넌트들, 블록들, 모듈들, 회로들 및 단계들은 일반적으로 이들의 기능과 관련하여 위에서 설명되었다. 이러한 기능이 하드웨어로 구현되는지 아니면 소프트웨어로 구현되는지는 전체 시스템에 부과된 설계 제약들 및 특정 애플리케이션에 좌우된다. 당해 기술분야에서 통상의 지식을 가진 자들은 설명된 기능을 특정 애플리케이션마다 다양한 방식으로 구현할 수도 있지만, 이러한 구현 결정들이 본 발명의 범위를 벗어나게 하는 것으로 해석되지는 않아야 한다.

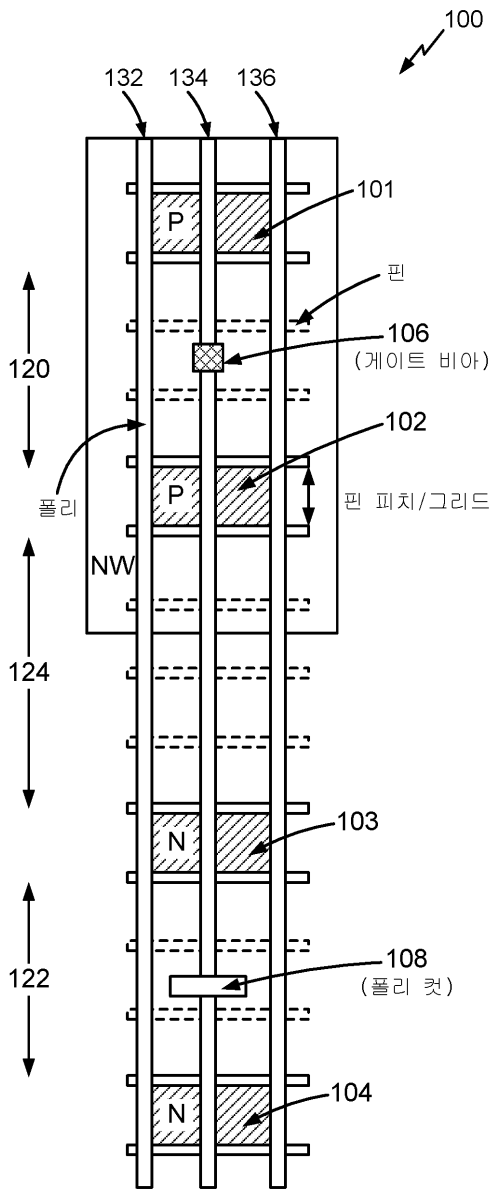
[0062] [0072] 본 명세서에 개시된 양상들과 관련하여 설명된 방법들, 시퀀스들 및/또는 알고리즘들은 직접 하드웨어로, 프로세서에 의해 실행되는 소프트웨어 모듈로, 또는 이들의 결합으로 구현될 수 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드디스크, 착탈식 디스크, CD-ROM, 또는 당해 기술분야에 공지된 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적인 저장 매체는 프로세서가 저장 매체로부터 정보를 읽고 저장 매체에 정보를 기록할 수 있도록 프로세서에 연결된다. 대안으로, 저장 매체는 프로세서에 통합될 수 있다.

[0063] [0073] 이에 따라, 본 발명의 한 양상은 예시적인 집적 회로 설계들을 구현하는 비-일시적 컴퓨터 판독 가능 저장 매체, 또는 추가로 일부 예들에서는, 데이터를 포함하는 비-일시적 컴퓨터 판독 가능 저장 매체를 포함할 수 있으며, 데이터는 finfet 기반 로직 셀들을 포함하는 집적 회로들의 설계들을 포함한다. 이에 따라, 본 발명은 예시된 예들로 한정되지 않으며, 본 명세서에서 설명한 기능을 수행하기 위한 임의의 수단이 본 발명의 양상들에 포함된다.

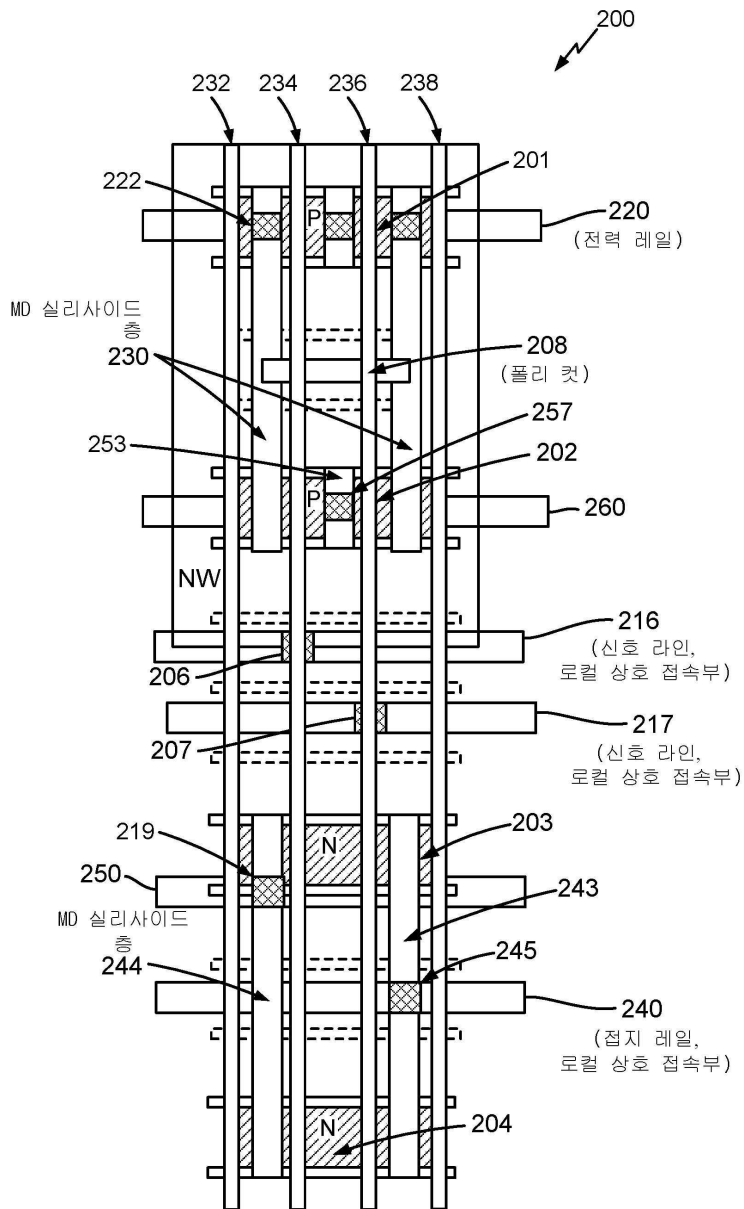
[0064] [0074] 앞서 말한 개시내용은 본 발명의 예시적인 양상들을 보여주지만, 첨부된 청구항들에 의해 정의된 바와 같은, 본 발명의 범위를 벗어나지 않으면서 본 명세서에 다양한 변경들 및 수정들이 이루어질 수 있다는 점이 주목되어야 한다. 본 명세서에서 설명한 본 발명의 양상들에 따른 방법 청구항들의 기능들, 단계들 및/또는 동작들은 어떠한 특정 순서로 수행될 필요가 없다. 더욱이, 본 발명의 엘리먼트들은 단수로 설명 또는 청구될 수 있지만, 단수로의 한정이 명시적으로 언급되지 않는 한 복수가 고려된다.

도면

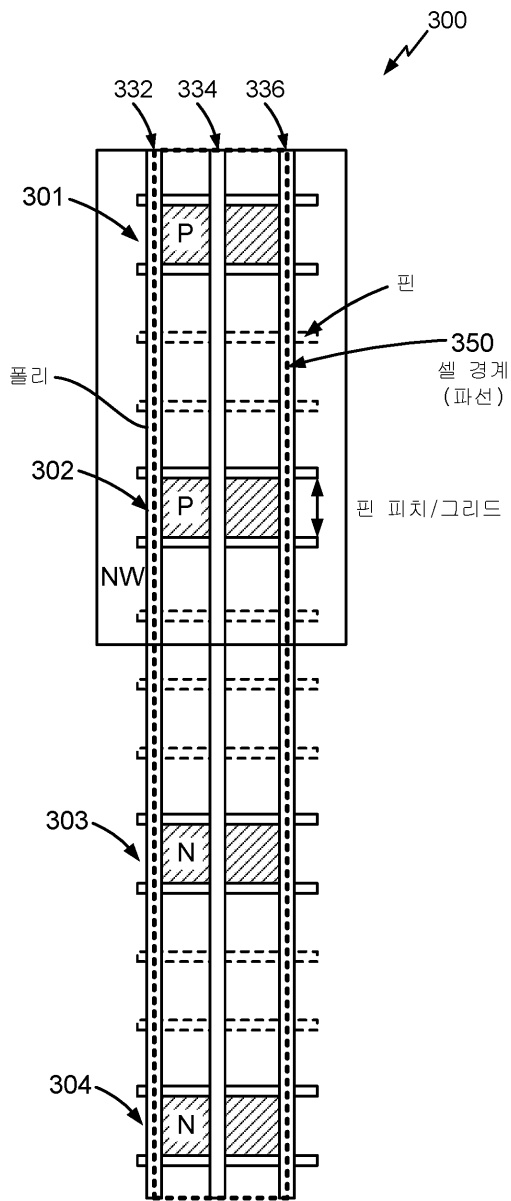
도면1



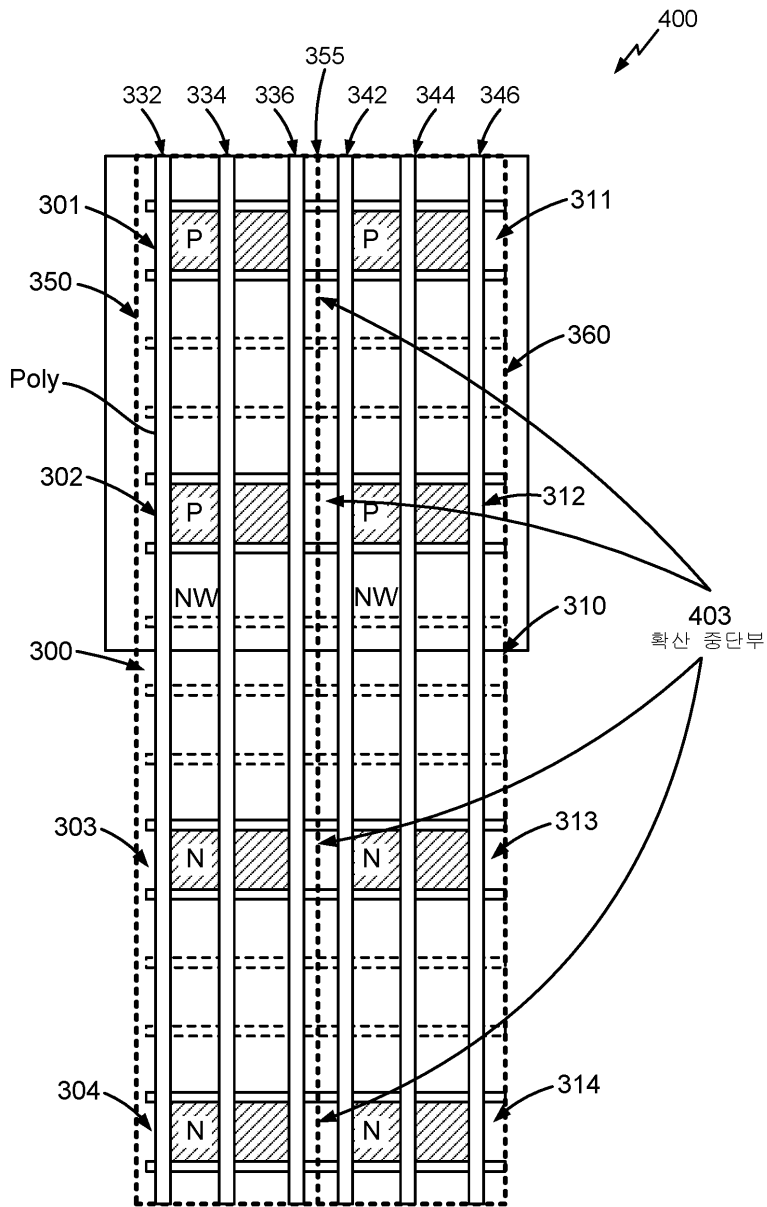
도면2



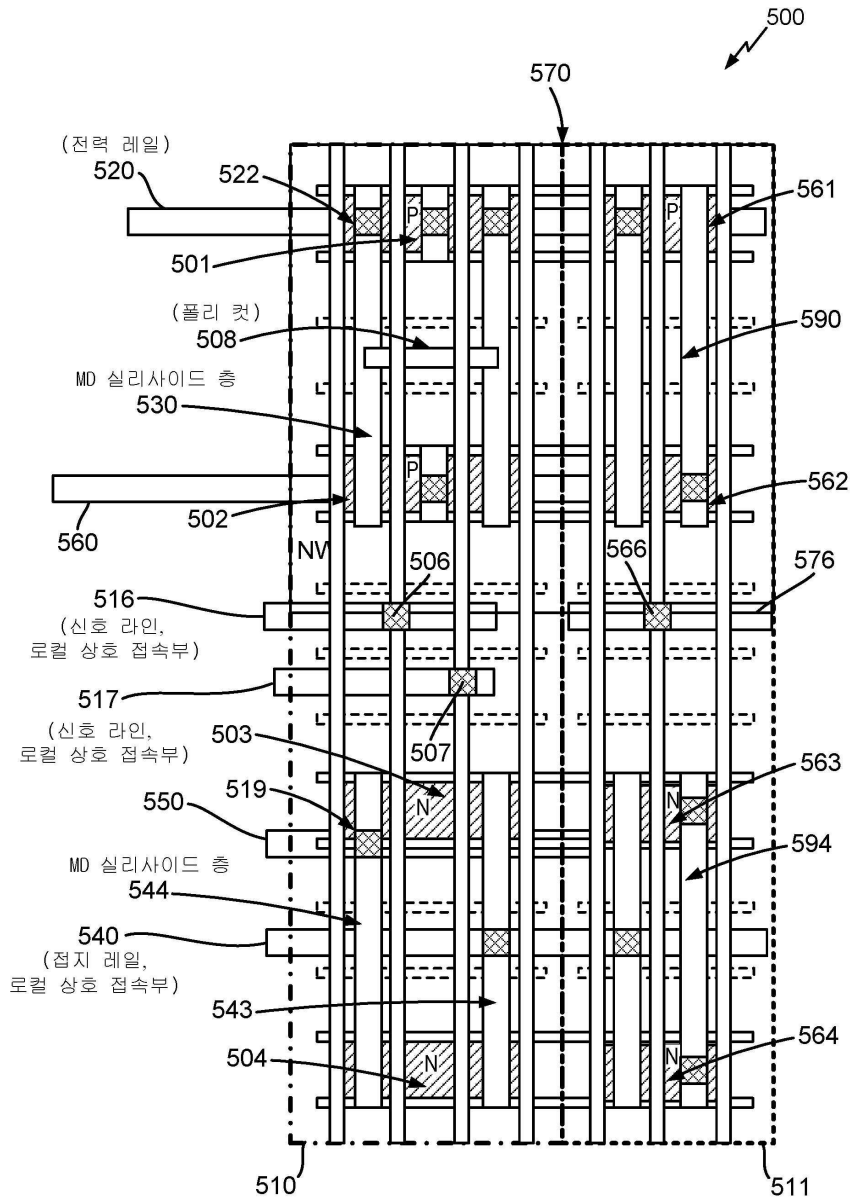
도면3



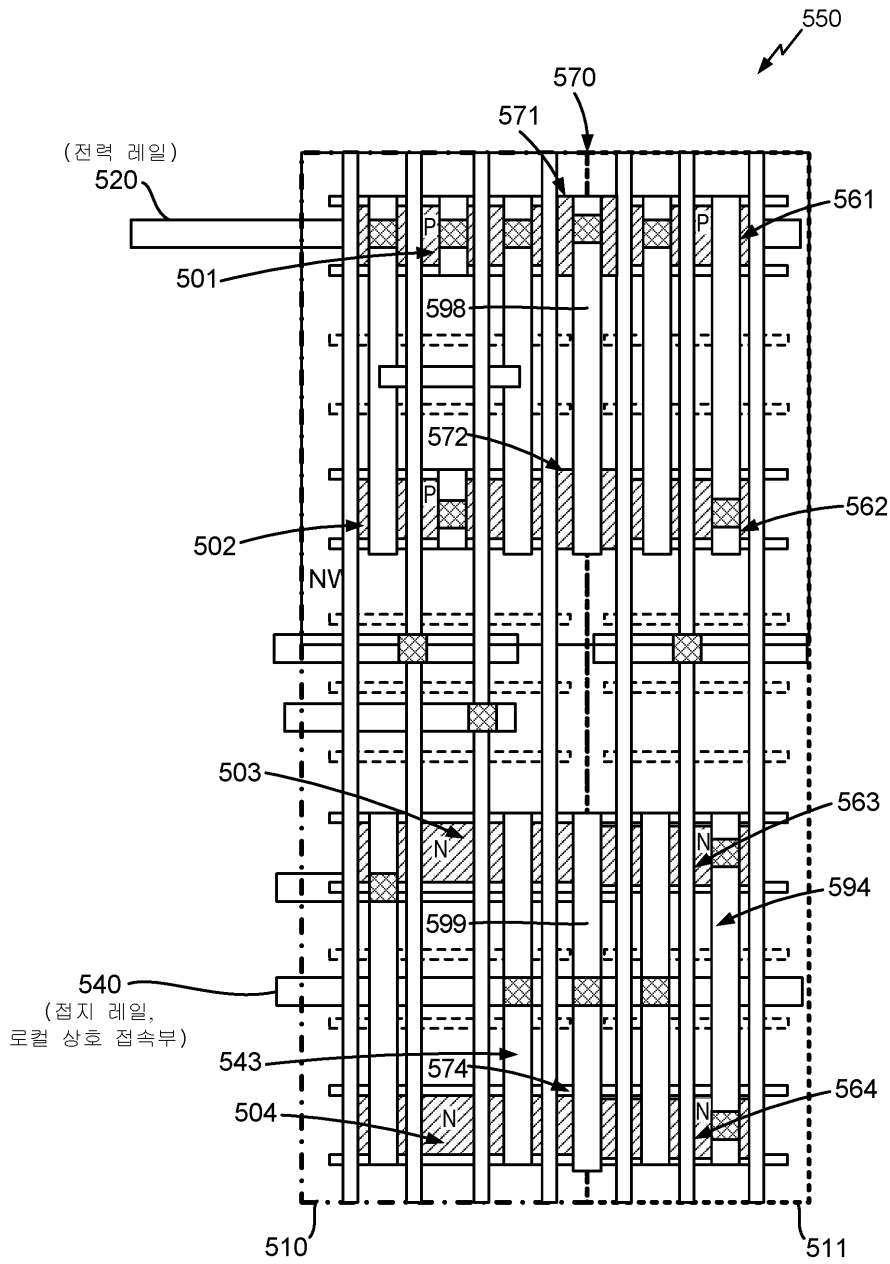
도면4



도면5a

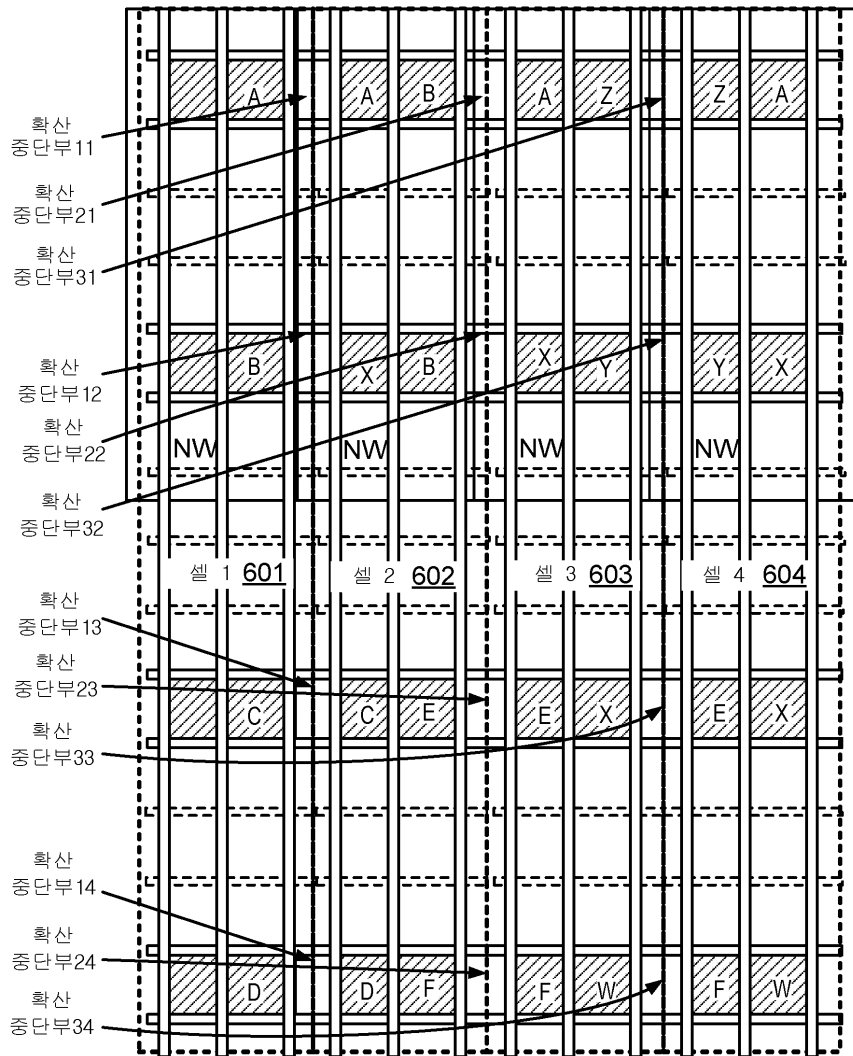


도면5b



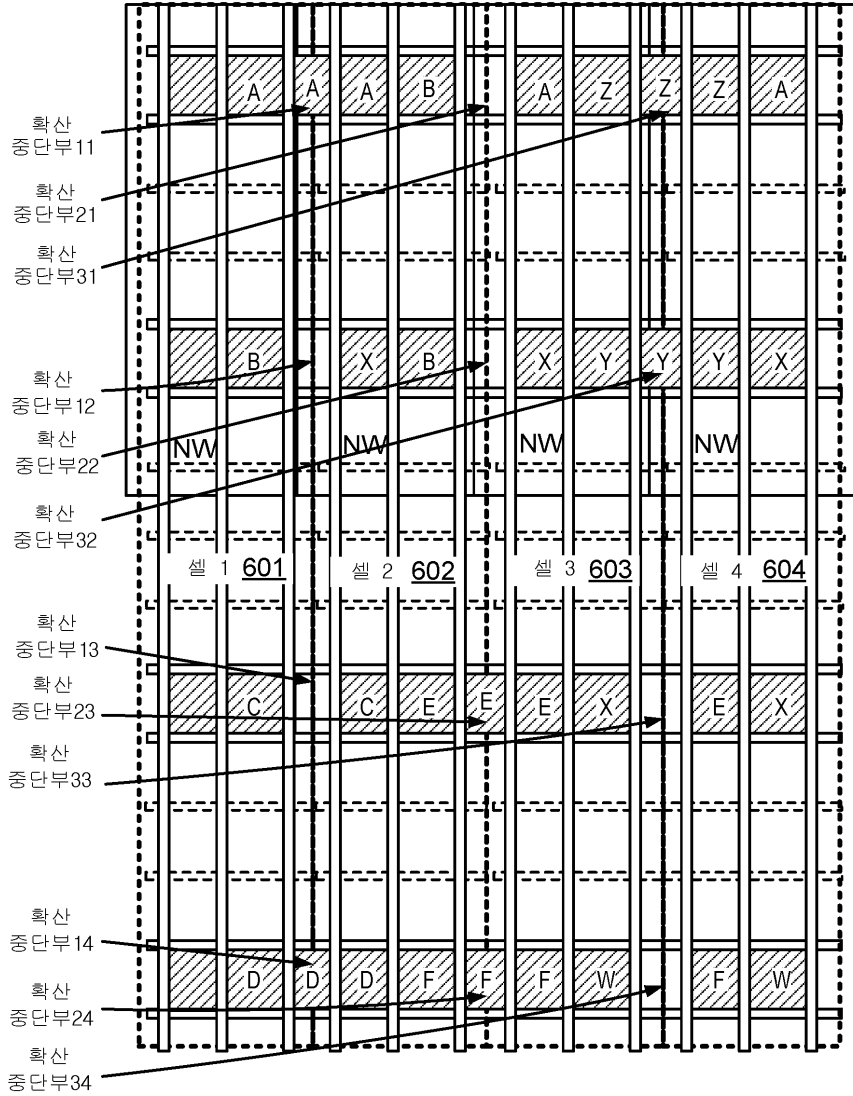
도면6a

600

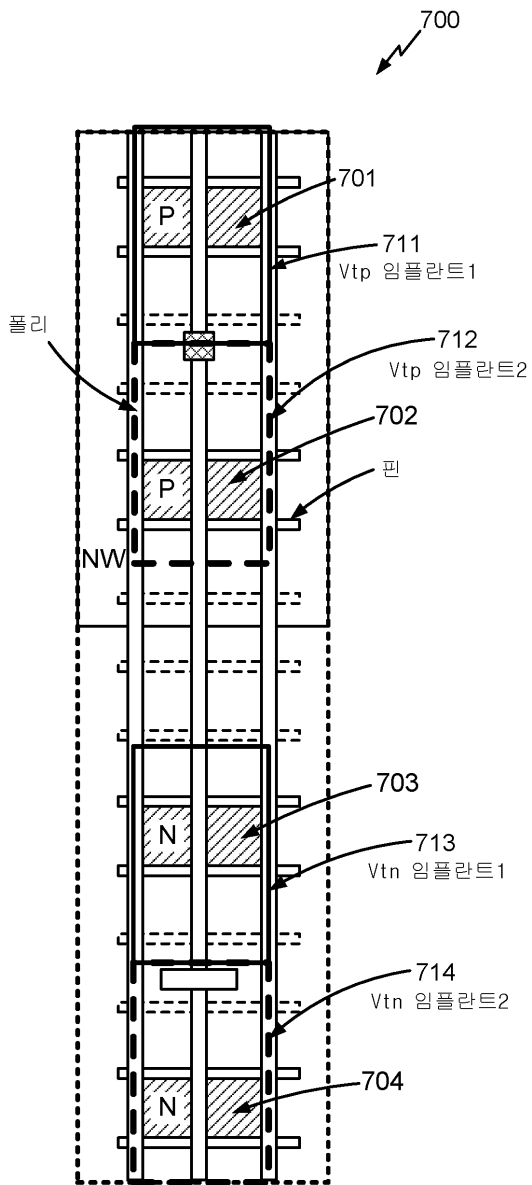


도면6b

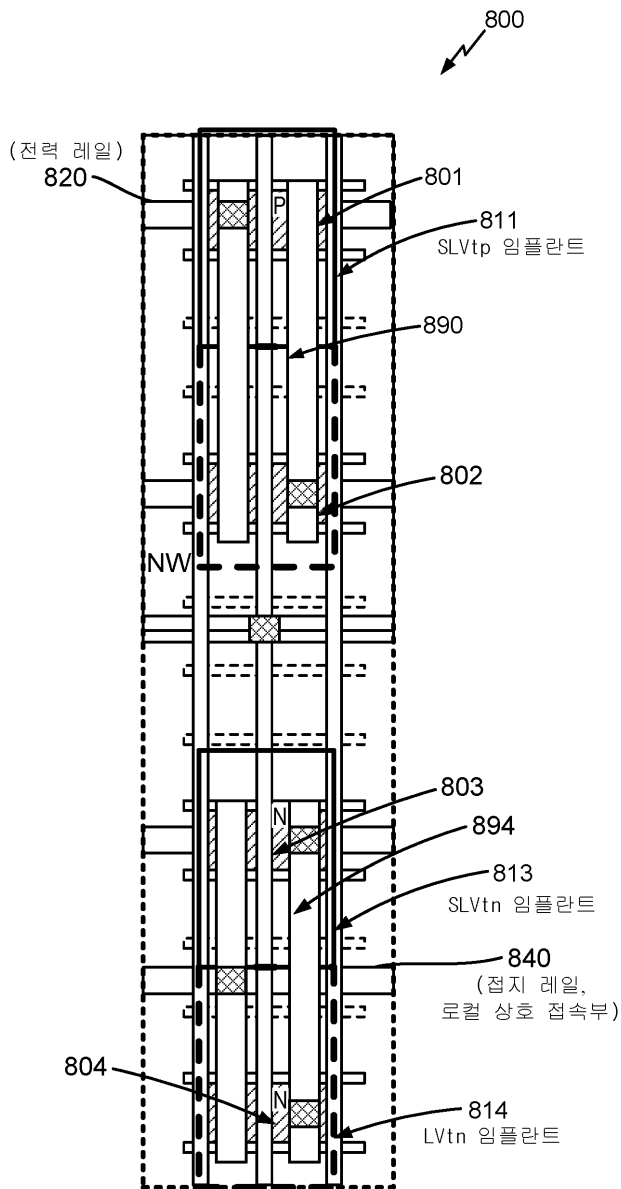
650



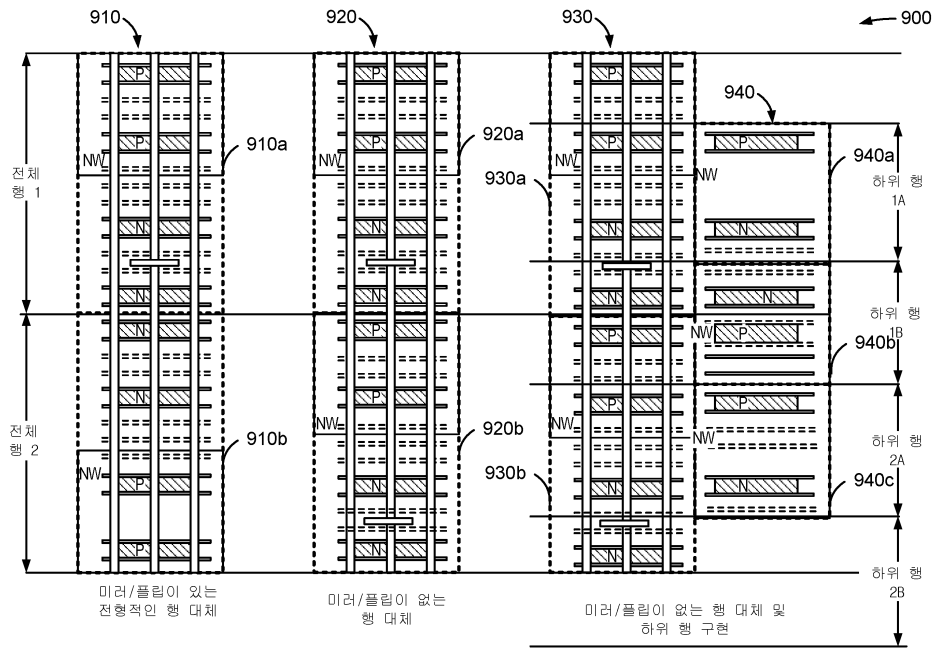
도면7



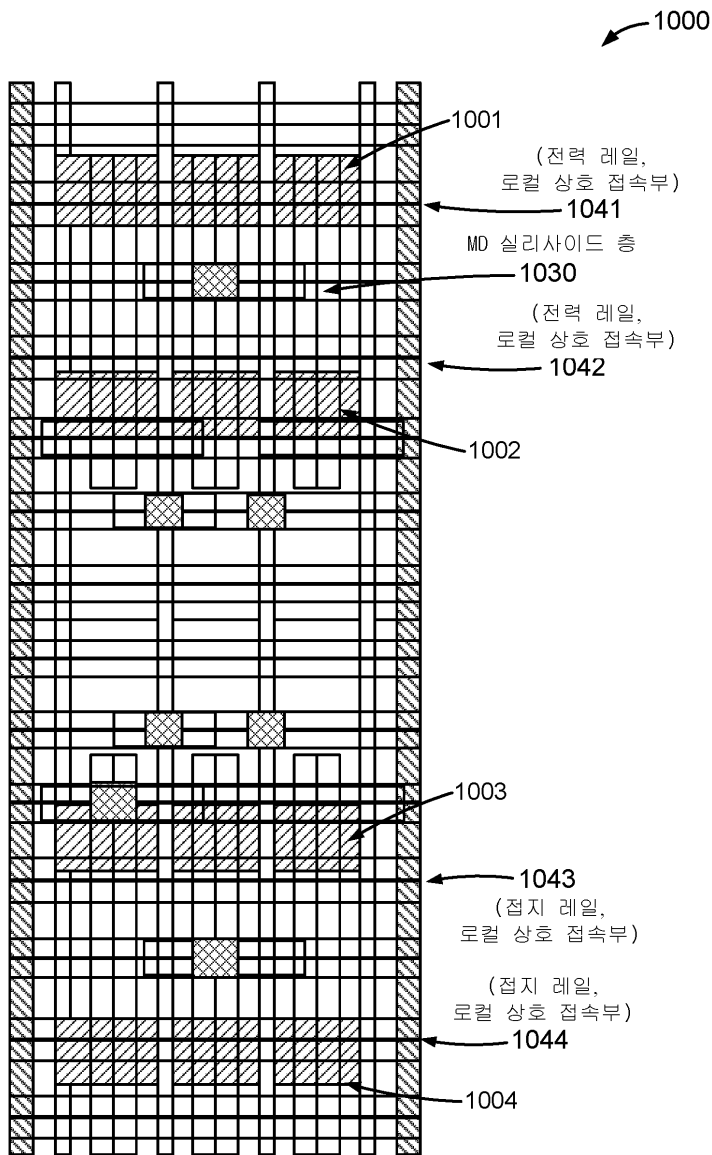
도면8



도면9

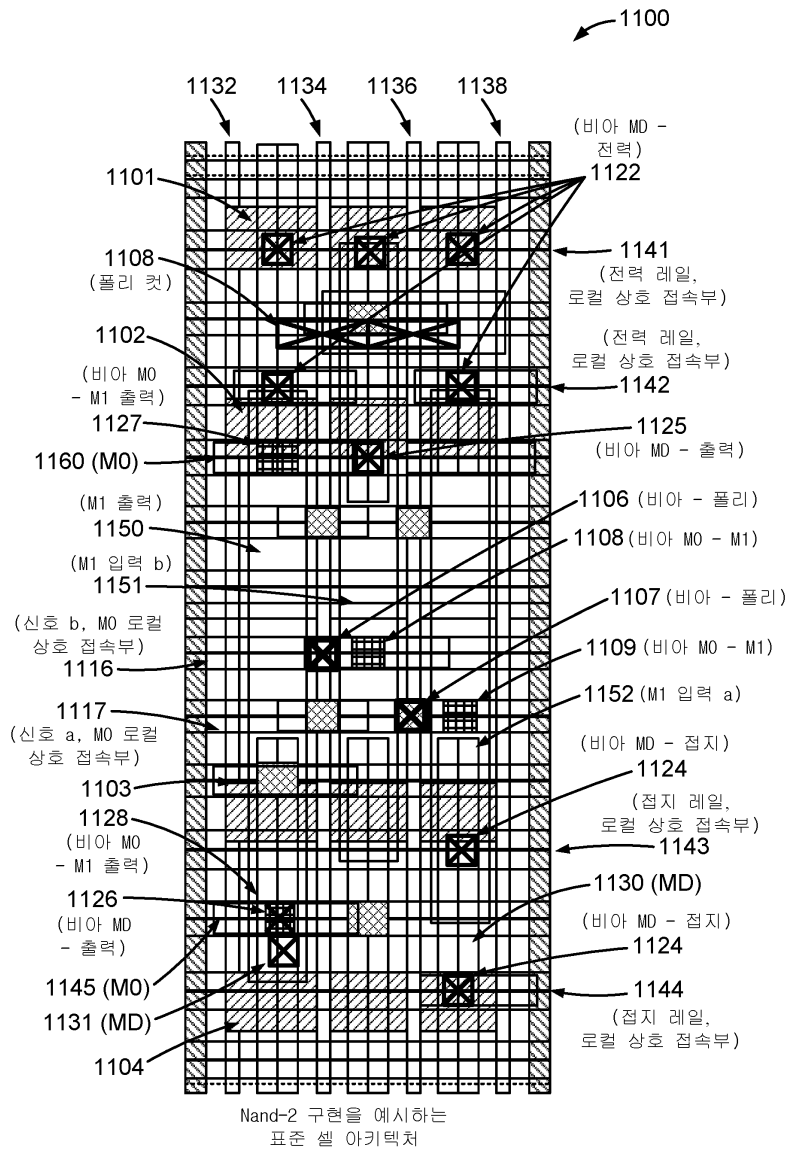


도면10



분산된 전력 및 접지 레일들을 예시하는
표준 셀 아키텍처

도면11



도면12

1200

