

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4176342号
(P4176342)

(45) 発行日 平成20年11月5日(2008.11.5)

(24) 登録日 平成20年8月29日(2008.8.29)

(51) Int.Cl.

F I

HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 3 A
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 C
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 Z
HO 1 L 23/52 (2006.01)	HO 1 L 27/04 H
HO 1 L 21/822 (2006.01)	

請求項の数 10 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2001-330276 (P2001-330276)
 (22) 出願日 平成13年10月29日(2001.10.29)
 (65) 公開番号 特開2003-133559 (P2003-133559A)
 (43) 公開日 平成15年5月9日(2003.5.9)
 審査請求日 平成16年10月25日(2004.10.25)

(73) 特許権者 501285133
 川崎マイクロエレクトロニクス株式会社
 千葉県千葉市美浜区中瀬一丁目3番地
 (74) 代理人 100080159
 弁理士 渡辺 望穂
 (74) 代理人 100090217
 弁理士 三和 晴子
 (72) 発明者 木村 吉孝
 千葉県千葉市美浜区中瀬一丁目3番地 川崎マイクロエレクトロニクス株式会社 幕張本社内

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 半導体装置およびそのレイアウト方法

(57) 【特許請求の範囲】

【請求項1】

埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜に達する膜厚を有するフィールド酸化膜によって、第1の領域を含む複数の領域に分離された活性層を有するSOI基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするMOSトランジスタと、第1の配線層とを有する半導体装置において、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有し、

前記少なくとも1つの配線の総面積と前記不純物拡散領域の面積との比が、前記第1の配線層の加工、もしくは該第1の配線層を覆う絶縁層の堆積のためのプラズマプロセスにおいて前記MOSトランジスタの特性を劣化させない、所定の値以下であることを特徴とする半導体装置。

【請求項2】

埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜に達する膜厚を有するフィールド酸化膜によって、第1の領域を含む複数の領域に分離された活性層を有するSOI基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするMOSトランジスタと、第1の配線層とを有する半導体装置において、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有し、

前記少なくとも1つの配線上に設けられる接続孔の総面積と前記不純物拡散領域の面積

との比が、該接続孔形成のためのプラズマプロセスにおいて前記MOSトランジスタの特性を劣化させない、所定の値以下であることを特徴とする半導体装置。

【請求項3】

前記MOSトランジスタはインバータを構成し、前記ドレイン領域は、該インバータの出力端子を構成することを特徴とする請求項1または2に記載の半導体装置。

【請求項4】

埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜に達する膜厚を有するフィールド酸化膜によって、第1および第2の領域を含む複数の領域に分離された活性層を有するSOI基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするMOSトランジスタと、第1の配線層とを有する半導体装置において、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有し、

前記活性層の第2の領域に形成されたダミー不純物拡散領域が、前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続され、

前記少なくとも1つの配線の総面積と、前記不純物拡散領域と前記ダミー不純物拡散領域との合計の面積との比が、前記第1の配線層の加工、もしくは該第1の配線層を覆う絶縁層の堆積のためのプラズマプロセスにおいて前記MOSトランジスタの特性を劣化させない、所定の値以下であることを特徴とする半導体装置。

【請求項5】

埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜に達する膜厚を有するフィールド酸化膜によって、第1および第2の領域を含む複数の領域に分離された活性層を有するSOI基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするMOSトランジスタと、第1の配線層とを有する半導体装置において、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有し、

前記活性層の第2の領域に形成されたダミー不純物拡散領域が、前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続され、

前記少なくとも1つの配線上に設けられる接続孔の総面積と、前記不純物拡散領域と前記ダミー不純物拡散領域との合計の面積との比が、該接続孔形成のためのプラズマプロセスにおいて前記MOSトランジスタの特性を劣化させない、所定の値以下であることを特徴とする半導体装置。

【請求項6】

埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜にまで達する厚さを有するフィールド酸化膜によって、第1および第2の領域を含む複数の領域に分離された活性層を有するSOI基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするMOSトランジスタと、第1の配線層とを有し、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有する半導体装置のレイアウト方法であって、

前記少なくとも1つの配線の総面積と前記不純物拡散領域の面積との比を算出し、該算出した比が、前記第1の配線層の加工、もしくは該第1の配線層を覆う絶縁層の堆積のためのプラズマプロセスにおいて前記MOSトランジスタの特性を劣化させない、所定の値を超える場合に、

(1) 前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続される、前記活性層の第2の領域に形成されたダミー不純物拡散領域の挿入、

10

20

30

40

50

(2) 前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続される、前記支持基板に形成されたP/N接合ダイオードの挿入、

(3) 前記少なくとも1つの配線の分割、および、前記第1の配線層より上層の配線層の配線による接続、

(4) 前記少なくとも1つの配線、もしくは、該少なくとも1つの配線を前記不純物拡散領域に接続する前記第1の配線層より下層の配線層の配線の、分割、および、MOSインバータを直列に接続したバッファの該分割箇所への挿入、

のいずれかの対策を行うことを特徴とする半導体装置のレイアウト方法。

【請求項7】

埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜にまで達する厚さを有するフィールド酸化膜によって、第1および第2の領域を含む複数の領域に分離された活性層を有するSOI基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするMOSトランジスタと、第1の配線層とを有し、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有する半導体装置のレイアウト方法であって、

前記少なくとも1つの配線上に設けられる接続孔の総面積と前記不純物拡散領域の面積との比を算出し、該算出した比が、前記第1の配線層の加工、もしくは該第1の配線層を覆う絶縁層の堆積のためのプラズマプロセスにおいて前記MOSトランジスタの特性を劣化させない、所定の値を超える場合に、

(1) 前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続される、前記活性層の第2の領域に形成されたダミー不純物拡散領域の挿入、

(2) 前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続される、前記支持基板に形成されたP/N接合ダイオードの挿入、

(3) 前記少なくとも1つの配線の分割、および、前記第1の配線層より上層の配線層の配線による接続、

(4) 前記少なくとも1つの配線、もしくは、該少なくとも1つの配線を前記不純物拡散領域に接続する前記第1の配線層より下層の配線層の配線の、分割、および、MOSインバータを直列に接続したバッファの該分割箇所への挿入、

のいずれかの対策を行うことを特徴とする半導体装置のレイアウト方法。

【請求項8】

前記対策が、前記ダミー不純物拡散領域の挿入であることを特徴とする請求項6または7に記載の半導体装置のレイアウト方法。

【請求項9】

前記対策が、前記P/N接合ダイオードの挿入であることを特徴とする請求項6または7に記載の半導体装置のレイアウト方法。

【請求項10】

前記MOSトランジスタはインバータを構成し、前記ドレイン領域は、該インバータの出力端子を構成することを特徴とする請求項6ないし9のいずれかに記載の半導体装置のレイアウト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、SOI (Silicon-On-Insulator) 基板を用いる半導体装置、および、そのレイアウト方法に関するものである。

【0002】

【従来の技術】

10

20

30

40

50

半導体装置の製造工程では、例えばプラズマエッチング、スパッタリング、プラズマCVD（化学気相成長）、イオン注入など様々なプラズマプロセスが使用されている。

【0003】

このプラズマプロセス中に、その表面上に金属配線やその他の構造が形成された半導体基板に、荷電粒子（イオン、電子）が入射すると、半導体基板に接続されていない浮遊状態の金属配線に電荷が蓄積され、チャージアップ現象が発生する。この金属配線にMOS（Metal-Oxide Semiconductor）型半導体素子（MOS型トランジスタ）のゲート電極が接続されていると、ゲート電極の下のゲート絶縁膜にプラズマダメージが発生する場合がある。すなわち、高電圧が印加されて、その品質が劣化したり、さらには絶縁破壊を起こす場合がある。

10

【0004】

以下、具体例を挙げて説明する。

【0005】

図8～10は、いずれもゲート酸化膜でプラズマダメージが発生する原理を表す一例の断面図である。ここで、図8は、第1金属配線のプラズマエッチング工程、図9は、図8に続く第2コンタクトホールのプラズマエッチング工程、図10は、図9に続くパッシベーション膜のプラズマエッチング工程であり、プラズマダメージにより、それぞれMOS型トランジスタのゲート電極が破壊される様子を概念的に表している。

【0006】

まず、図8において、シリコン基板（半導体基板）64の表面上には、フィールド酸化膜66を介して分離された2つのMOS型トランジスタ68、70が形成されている。

20

【0007】

図中右側のMOS型トランジスタ68は、シリコン基板64の表面近傍に、ソース領域およびドレイン領域となる2つの不純物拡散領域72、74が形成され、これら2つの不純物拡散領域72、74の間のシリコン基板64の上に、ゲート絶縁膜76を介して、紙面に対して垂直方向に延在するゲート電極78が形成されている。左側のMOS型トランジスタ70は、右側のMOSトランジスタ68を90°回転したもので、ゲート電極28は、図中左右方向に延在している。

【0008】

これらの2つのMOS型トランジスタ68、70が形成されたシリコン基板64の上に第1層間絶縁膜48が形成され、この第1層間絶縁膜48に開孔された第1コンタクトホール26を介して、左側のMOS型トランジスタ70のゲート電極28は、第1層間絶縁膜48の上に形成された第1金属配線16と接続されている。

30

【0009】

図8は、第1金属配線16を形成するための金属膜を堆積し、その上にフォトレジスト34を形成し、このフォトレジスト34をマスクとしてプラズマエッチングしているところである。

【0010】

この場合、プラズマ雰囲気中の荷電粒子は、エッチングされた後の第1金属配線16の側面から入射し、この第1金属配線16の側面積に応じて、第1の金属配線16、第1コンタクトホール26および左側のMOS型トランジスタ70のゲート電極28に電荷が蓄積される。そして、その蓄積量が限界量を超えると、ゲート電極28の下のゲート絶縁膜76の特性が劣化ないしはゲート絶縁膜76が破壊される。

40

【0011】

続いて、図9は、図8の工程で第1金属配線16が形成された半導体装置の上に第2層間絶縁膜80を形成し、この第2層間絶縁膜80の上にフォトレジスト82を形成し、このフォトレジスト82をマスクとして、第2層間絶縁膜80をプラズマエッチングして、複数の第2コンタクトホール84を開孔しているところである。

【0012】

この場合、荷電粒子は、開孔された複数の第2コンタクトホール84の穴底に露出した第

50

1 金属配線 16 の表面から入射し、これら複数の第 2 コンタクトホール 84 の底面積に応じて、第 1 金属配線 16、第 1 コンタクトホール 26 および左側の MOS 型トランジスタ 70 のゲート電極 28 に電荷が蓄積される。そして、その蓄積量が限界量を超えると、ゲート電極 28 の下のゲート絶縁膜 76 の特性が劣化ないしはゲート絶縁膜 76 が破壊される。

【0013】

続いて、図 10 は、図 9 の工程で第 2 層間絶縁膜 80 に第 2 コンタクトホール 84 が開孔された半導体装置の上にパッドとなる第 2 金属配線 86 を形成し、この第 2 金属配線 86 が形成された半導体装置の上にパッシベーション膜 88 を形成し、このパッシベーション膜 88 の上にフォトレジスト 90 を形成し、このフォトレジスト 90 をマスクとしてパッシベーション膜 88 をプラズマエッチングし、パッド開口部 92 を開孔しているところである。

10

【0014】

この場合、荷電粒子は、開口されたパッド開口部 92 の穴底に露出した第 2 金属配線 86 の表面から入射し、このパッド開口部 92 の平面積に応じて、第 2 金属配線 86、第 2 コンタクトホール 84、第 1 金属配線 16、第 1 コンタクトホール 26 および左側の MOS 型トランジスタ 70 のゲート電極 28 に電荷が蓄積される。そして、その蓄積量が限界量を超えると、ゲート電極 28 の下のゲート絶縁膜 76 の特性が劣化ないしはゲート絶縁膜 76 が破壊される。

【0015】

このように、プラズマ雰囲気中に晒された金属配線は荷電粒子を捕獲するアンテナとして作用し、ゲート電極に直接、ないしは下層の配線層の配線を介して接続された金属配線のプラズマエッチング時の平面積（上面積）や側面積、または、この金属配線上のコンタクトホールやパッド開口部の平面積の増加に応じてゲート絶縁膜の劣化は著しくなる。この現象は、一般的にアンテナ効果と呼ばれている。

20

【0016】

前述のアンテナ効果によるプラズマダメージを緩和するためには、例えば特開平 8 - 97416 号、特開平 11 - 186394 号、特開平 11 - 297836 号公報等に開示されているように、アンテナルールと呼ばれるレイアウト設計上の制限を設けたり、抵抗やダイオード等の保護用素子を設けるのが一般的である。例えば、不純物拡散領域に接続されていない金属配線をゲート電極に接続する場合、従来より、ゲート電極の面積に対する金属配線の面積の比（アンテナ比）を所定の値以下に制限することが行われている。

30

【0017】

【発明が解決しようとする課題】

従来のアンテナルールは、半導体基板に接続されていない金属配線をゲート電極に接続する場合にのみ適用される。図 11 に示すように、金属配線 16 の一部が不純物拡散領域 74 に接続されていれば、プラズマプロセス中に入射した荷電粒子が不純物拡散領域 74 を通してシリコン基板 64 中に放出されるため、ゲート電極 28 に高電圧が印加されることはなく、ゲート絶縁膜 76 の特性が劣化したり、絶縁破壊されるということもない。

【0018】

しかしながら、図 12 に示すように、SOI 基板を用いる半導体装置では、不純物拡散領域 72、74 が埋め込み酸化膜 36 によりシリコン支持基板 38 と絶縁分離されているため、プラズマプロセス中に入射した荷電粒子を放出する経路が遮断される。従って、アンテナ効果により、図中左側の MOS 型トランジスタ 70 のゲート絶縁膜 76 よりもむしろ右側の MOS 型トランジスタ 68 の不純物拡散領域 74 の下の埋め込み酸化膜 36 が先に絶縁破壊され易い。

40

【0019】

また、前述のように、不純物拡散領域が MOS 型トランジスタのソースまたはドレインである場合、埋め込み酸化膜には損傷を与えない比較的軽度なチャージアップであっても、MOS 型トランジスタに損傷を与え、ソース - ドレイン間のリーク電流の増加や、しきい

50

値電圧の変動等の問題を引き起こす場合もある。

【 0 0 2 0 】

しかし、従来は、ゲート絶縁膜の破壊を防止するための技術は存在するが、S O I基板を用いた半導体装置の埋め込み酸化膜 3 6 の絶縁破壊を防止する技術は何ら提案されていなかった。

【 0 0 2 1 】

本発明の目的は、前記従来技術に基づく問題点を解消し、プラズマプロセス中における半導体素子の損傷のないS O I基板を用いる半導体装置、および、プラズマプロセス中のチャージアップによる半導体素子の破壊を防止することができる半導体装置のレイアウト方法を提供することにある。

【 0 0 2 2 】

【課題を解決するための手段】

上記目的を達成するために、本発明は、埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜に達する膜厚を有するフィールド酸化膜によって、第1の領域を含む複数の領域に分離された活性層を有するS O I基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするM O Sトランジスタと、第1の配線層とを有する半導体装置において、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有し、

前記少なくとも1つの配線の総面積と前記不純物拡散領域の面積との比が、前記第1の配線層の加工、もしくは該第1の配線層を覆う絶縁層の堆積のためのプラズマプロセスにおいて前記M O Sトランジスタの特性を劣化させない、所定の値以下であることを特徴とする半導体装置を提供するものである。

また、本発明は、埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜に達する膜厚を有するフィールド酸化膜によって、第1の領域を含む複数の領域に分離された活性層を有するS O I基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするM O Sトランジスタと、第1の配線層とを有する半導体装置において、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有し、

前記少なくとも1つの配線上に設けられる接続孔の総面積と前記不純物拡散領域の面積との比が、該接続孔形成のためのプラズマプロセスにおいて前記M O Sトランジスタの特性を劣化させない、所定の値以下であることを特徴とする半導体装置を提供する。

ここで、前記M O Sトランジスタはインバータを構成し、前記ドレイン領域は、該インバータの出力端子を構成することが好ましい。

【 0 0 2 3 】

また、本発明は、埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜に達する膜厚を有するフィールド酸化膜によって、第1および第2の領域を含む複数の領域に分離された活性層を有するS O I基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするM O Sトランジスタと、第1の配線層とを有する半導体装置において、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有し、

前記活性層の第2の領域に形成されたダミー不純物拡散領域が、前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続され、

前記少なくとも1つの配線の総面積と、前記不純物拡散領域と前記ダミー不純物拡散領域との合計の面積との比が、前記第1の配線層の加工、もしくは該第1の配線層を覆う絶縁層の堆積のためのプラズマプロセスにおいて前記M O Sトランジスタの特性を劣化させない、所定の値以下であることを特徴とする半導体装置を提供する。

10

20

30

40

50

【 0 0 2 4 】

また、本発明は、埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜に達する膜厚を有するフィールド酸化膜によって、第1および第2の領域を含む複数の領域に分離された活性層を有するSOI基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするMOSトランジスタと、第1の配線層とを有する半導体装置において、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有し、

前記活性層の第2の領域に形成されたダミー不純物拡散領域が、前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続され、

前記少なくとも1つの配線上に設けられる接続孔の総面積と、前記不純物拡散領域と前記ダミー不純物拡散領域との合計の面積との比が、該接続孔形成のためのプラズマプロセスにおいて前記MOSトランジスタの特性を劣化させない、所定の値以下であることを特徴とする半導体装置を提供する。

【 0 0 2 5 】

また、本発明は、埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜にまで達する厚さを有するフィールド酸化膜によって、第1および第2の領域を含む複数の領域に分離された活性層を有するSOI基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするMOSトランジスタと、第1の配線層とを有し、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有する半導体装置のレイアウト方法であって、

前記少なくとも1つの配線の総面積と前記不純物拡散領域の面積との比を算出し、該算出した比が、前記第1の配線層の加工、もしくは該第1の配線層を覆う絶縁層の堆積のためのプラズマプロセスにおいて前記MOSトランジスタの特性を劣化させない、所定の値を超える場合に、

(1) 前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続される、前記活性層の第2の領域に形成されたダミー不純物拡散領域の挿入、

(2) 前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続される、前記支持基板に形成されたP/N接合ダイオードの挿入、

(3) 前記少なくとも1つの配線の分割、および、前記第1の配線層より上層の配線層の配線による接続、

(4) 前記少なくとも1つの配線、もしくは、該少なくとも1つの配線を前記不純物拡散領域に接続する前記第1の配線層より下層の配線層の配線の、分割、および、MOSインバータを直列に接続したバッファの該分割箇所への挿入、

のいずれかの対策を行うことを特徴とする半導体装置のレイアウト方法を提供するものである。

【 0 0 2 6 】

また、本発明は、埋め込み酸化膜によって支持基板から絶縁分離されるとともに、前記埋め込み酸化膜にまで達する厚さを有するフィールド酸化膜によって、第1および第2の領域を含む複数の領域に分離された活性層を有するSOI基板の、前記第1の領域に形成された不純物拡散領域をドレイン領域とするMOSトランジスタと、第1の配線層とを有し、

前記第1の配線層が、前記不純物拡散領域に、直接か、または、該第1の配線層より下層の配線層の配線を介して接続された、少なくとも1つの配線を有する半導体装置のレイアウト方法であって、

10

20

30

40

50

前記少なくとも1つの配線上に設けられる接続孔の総面積と前記不純物拡散領域の面積との比を算出し、該算出した比が、前記第1の配線層の加工、もしくは該第1の配線層を覆う絶縁層の堆積のためのプラズマプロセスにおいて前記MOSトランジスタの特性を劣化させない、所定の値を超える場合に、

(1) 前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続される、前記活性層の第2の領域に形成されたダミー不純物拡散領域の挿入、

(2) 前記不純物拡散領域に、前記第1の配線層の配線もしくは前記第1の配線層より下層の配線層の配線を介して接続される、前記支持基板に形成されたP/N接合ダイオードの挿入、

(3) 前記少なくとも1つの配線の分割、および、前記第1の配線層より上層の配線層の配線による接続、

(4) 前記少なくとも1つの配線、もしくは、該少なくとも1つの配線を前記不純物拡散領域に接続する前記第1の配線層より下層の配線層の配線の、分割、および、MOSインバータを直列に接続したバッファの該分割箇所への挿入、

のいずれかの対策を行うことを特徴とする半導体装置のレイアウト方法を提供する。

【0027】

ここで、前記対策が、前記ダミー不純物拡散領域の挿入であるのが好ましい。

また、前記対策が、前記P/N接合ダイオードの挿入であるのが好ましい。

また、前記MOSトランジスタはインバータを構成し、前記ドレイン領域は、該インバータの出力端子を構成するのが好ましい。

【0028】

【発明の実施の形態】

以下に、添付の図面に示す好適実施例に基づいて、本発明の半導体装置およびそのレイアウト方法を詳細に説明する。

【0029】

図1は、本発明のレイアウト方法を適用する半導体装置の一実施例のレイアウト概念図である。同図に示す半導体装置10は、不純物拡散領域が埋め込み酸化膜によりシリコン支持基板から絶縁分離された、すなわち、SOI (Silicon-On-Insulator) 基板の活性層内に形成されたものである。そして、このような不純物拡散領域を有する2つのCMOS (相補型MOS) インバータ12, 14が所定間隔離れた位置に配置され、第1金属配線16を介して直列に接続されている。

【0030】

ここで、それぞれのインバータ12, 14は、P型およびN型MOSFET (電界効果トランジスタ) 18および20を備えている。

【0031】

P型およびN型拡散領域 (不純物拡散領域) 22, 24のソース領域は、それぞれ第1コンタクトホール (接続孔) 26を介して電源配線およびグランド配線に接続されている。また、P型およびN型拡散領域22, 24のドレイン領域は、第1コンタクトホール26を介して共に第1金属配線16に接続されている。また、P型およびN型拡散領域22, 24の上を通過し、その左側のソース領域と右側のドレイン領域とを分けるようにゲート電極28が形成されている。

【0032】

図示例の半導体装置10において、第1金属配線16の総面積と第1金属配線16が接続されたP型およびN型拡散領域22, 24 (ドレイン領域) の面積との比は、第1金属配線16の加工 (パターニング)、もしくは第1金属配線16を覆う第1層間絶縁膜 (絶縁層) (図3参照) 48の堆積のためのプラズマプロセスにおいて、P型およびN型MOSFET 18および20の特性を劣化させない、所定の値以下に制限されている。

【0033】

ここで、第1金属配線16の総面積とは、プラズマプロセス中に、プラズマ雰囲気

10

20

30

40

50

れる第1金属配線16の合計面積である。第1金属配線16の加工工程では第1金属配線16の側面積、第1層間絶縁膜の堆積工程では第1金属配線16の平面積と側面積の合計である。複数の第1金属層配線が同一の不純物拡散層にコンタクトホールを介して接続されている場合には、その複数の第1金属配線の面積の合計が、第1金属配線の総面積になる。また、P型およびN型拡散領域22, 24の面積とは、SOI基板の活性層内に形成され、第1金属配線16にコンタクトホール26を介して接続された不純物拡散領域22, 24の合計平面積である。

【0034】

本実施例では、第1金属配線16の総面積(側面積)とインバータ12, 14のP型およびN型拡散領域22, 24の面積との比(アンテナ比)を100:1に制限する。これにより、例えばインバータ12, 14のドレイン領域22, 24の合計面積が $4\mu\text{m}^2$ である場合、第1金属配線16の総面積は $400\mu\text{m}^2$ が上限となる。第1金属配線の厚さが $0.4\mu\text{m}$ であるとする、その配線長は $400 \div (0.4 \times 2) = 500\mu\text{m}$ 以下に制限される。

10

【0035】

このように、第1金属配線16の総面積とその金属配線16に接続される不純物拡散領域の面積との比を所定の値以下に制限することにより、第1金属配線16および不純物拡散領域22, 24に蓄積される電荷量を低く抑えることができるため、第1金属配線16の加工工程や、第1層間絶縁膜の堆積工程でのプラズマプロセスにおいて、P型およびN型MOSFET18および20の特性の劣化を防止することができる。

20

【0036】

続いて、図2は、本発明のレイアウト方法を適用する半導体装置の別の実施例のレイアウト概念図である。同図に示す半導体装置30は、図1に示す半導体装置10において、さらに、2つのMOSインバータ12, 14の間を接続する第1金属配線16に第1コンタクトホール26を介してダミーの不純物拡散領域32を不純物拡散領域22, 24と並列に接続したものである。これにより、ダミー不純物拡散領域32は容量素子として用いられる。

【0037】

なお、前述の特開平8-97416号には、従来の半導体装置のゲート絶縁膜に対するプラズマダメージ対策として、金属配線とゲート電極との間にダイオードおよび抵抗を構成するN型拡散層を介在させることが提案されている。この従来技術のN型拡散層とは異なり、本願発明のダミー不純物拡散領域32は、埋め込み酸化膜によりシリコン支持基板から絶縁分離されているため、ダイオードとしては機能しない。また、この従来技術では、金属配線を切断し、N型拡散層を抵抗として直列に接続する。これに対して本発明では、金属配線を切断することなく、ダミー不純物拡散領域32を不純物拡散領域22, 24と並列に接続する。

30

【0038】

ダミー不純物拡散領域32は、アンテナ比の制限を満足するように、第1金属配線16の総面積と不純物拡散領域22, 24の面積との第1の比か、もしくは、第1金属配線16上に設けられるコンタクトホールの総面積と不純物拡散領域22, 24の面積との第2の比が、これら第1および第2の比に対してそれぞれ定められた所定の値を超える場合に接続される。

40

【0039】

もしくは、これらの比が所定の値を超える可能性が高い箇所には、実際に超えているかいないかの検証を行うことなく、ダミー不純物拡散領域32を接続し、もしくはその他の方法による対策を行い、実際に所定の値を超えた場合であってもプラズマダメージによる劣化が起きないようにすることも可能である。例えば、半導体装置内の回路ブロックの出力端子と、同一半導体装置内の他の回路ブロックの入力端子とを接続する配線は、数mm以上の長さを有する場合が多い。このため、回路ブロックの出力端子を構成するMOSトランジスタの不純物拡散領域と、出力端子に接続される配線の面積との比は、所定の値を超

50

える可能性が高い。

【0040】

図3の断面図に示すように、フォトレジスト34をマスクとする第1金属配線16の加工工程で、その側面から入射した荷電粒子は、不純物拡散領域25(22, 24)/埋め込み酸化膜36/シリコン支持基板38により構成されるキャパシタに蓄積され、埋め込み酸化膜36の両端に電圧が印加される。プラズマプロセスで入射する電荷が一定量であるとする、キャパシタの容量が大きいほど埋め込み酸化膜36に印加される電圧は低下し、その絶縁破壊を防止できる。

【0041】

従って、第1金属配線16に対して、不純物拡散領域25(すなわち、CMOSインバータ12のP型およびN型ドレイン拡散領域22, 24)と並列にダミー不純物拡散領域32を付加することにより、合計のキャパシタが増加して、埋め込み酸化膜36に印加される電圧が低下する。すなわち、アンテナ比を本来の不純物拡散領域25とダミー不純物拡散領域32の合計で計算すればよく、アンテナ比を低減することが可能になる。

10

【0042】

なお、接続するダミー不純物拡散領域32の個数は1つに限定されず、必要に応じて、1本の第1金属配線16に複数個のダミー不純物拡散領域32を並列に接続してもよい。

【0043】

不純物拡散領域22, 24の面積が大きい場合には、別の第1コンタクト孔26を介して別の第1金属配線16を不純物拡散領域22, 24に接続し、その配線にダミー不純物拡散領域32を接続するようにしてもよい。

20

【0044】

ダミー不純物拡散領域32の代わりに、支持基板38に形成されるダイオードを接続してもよい。図4には、支持基板38と、その表面に形成された反対導電型の拡散領域との間に形成されたダイオード(P/N接合)を、第1金属配線16に接続した半導体装置40の断面図を示す。図では、P型の支持基板を利用する場合を例に、N型不純物拡散領域39を支持基板の表面に形成した例を示した。

【0045】

このようなN型不純物拡散領域39の形成のためには、例えば、MOSトランジスタ68, 70のゲート電極28およびその側壁のサイドウォール29を形成した後に、N型不純物拡散領域39を形成すべき位置のフィールド酸化膜66および埋め込み酸化膜36をエッチングして開口を形成する。そして、NチャネルMOSトランジスタのソース、ドレイン領域を構成するN型拡散領域24の形成と同時に、この開口の底面の支持基板38の表面にN型不純物拡散領域39の形成を行う。その後、MOSトランジスタ68, 70を覆うとともに、埋め込み酸化膜36に形成した開口を埋め込む層間絶縁膜48を堆積する。そしてこの層間絶縁膜48に、MOSトランジスタ68, 70のソース、ドレイン領域やゲート電極に接続するための第1コンタクト孔26を形成すると同時に、N型不純物拡散層39に接続するための第1コンタクト孔26を形成し、第1金属配線16に接続する。

30

【0046】

この場合、シリコン支持基板38とN型不純物拡散領域39との間に形成されたP/N接合が、不純物拡散領域22, 24とシリコン支持基板38との間のキャパシタに並列に接続される。そして、プラズマプロセスで入射し、蓄積された電荷によって不純物拡散領域22, 24とシリコン支持基板38との間のキャパシタに印加される電圧が高くなると、P/N接合に電流が流れ、電荷が逃がされる。この結果、埋め込み酸化膜36に印加される電圧は低下し、その絶縁破壊を防止できる。

40

【0047】

第1金属配線16にダミー不純物拡散領域32やダイオードを接続する代わりに、図5の半導体装置50のように、第1金属配線16を途中で分割し、バッファ42を挿入してもよい。バッファ42は、2つのMOSインバータ44, 46を直列に接続したものであり、論理は変化しない。このバッファ42を挿入することにより、第1金属配線16が2つ

50

に分割され、アンテナ比を低減することができる。

【0048】

なお、挿入するバッファ42の個数は1つに限定されず、必要に応じて、1本の第1金属配線16に複数個のバッファ42を直列に接続し、第1の金属配線16を複数に分割してもよい。

【0049】

前述のように、第1金属配線16にダミー不純物拡散領域32を接続すると、信号の伝搬経路に余分な容量が付加されるため、インバータ12からインバータ14への信号の伝搬遅延が増大する。これに対し、バッファ42を挿入する場合、この遅延の問題が生じないという利点がある。しかし、バッファ42を挿入する場合、第1金属配線16にダミー不純物拡散領域32を接続するよりも大きなレイアウト面積を必要とする。

10

【0050】

また、第1金属配線16にバッファ42を挿入して第1金属配線16を分割する代わりに、アンテナ比を満足するように第1金属配線16を分割し、分割後の配線を第1金属配線16よりも上層の配線を介して接続してもよい。この場合、第1金属配線16の加工工程時に上層の配線は存在せず、第1金属配線16は電気的に分断されているため、バッファ42を挿入した場合と同様の効果を得ることができる。

【0051】

続いて、図6は、本発明のレイアウト方法を適用する半導体装置の別の実施例のレイアウト概念図である。同図に示す半導体装置60は、図1、2および5の場合と同じく、不純物拡散領域が埋め込み酸化膜によりシリコン支持基板から絶縁分離されたSOI基板(図3参照)を用いて形成されたものであり、CMOSインバータ52が、第1金属配線16および第2コンタクトホール54を介してパッド56に接続されている。

20

【0052】

ここで、パッド56は、信号を半導体装置60の外部に引き出すための電極であり、第1金属配線16が形成される第1金属配線層の上層に積層された第2金属配線層で形成されている。また、第2コンタクトホール54は、パッド56の外周部に沿って形成されている。半導体装置60上の全面にはパッシベーション膜があり、パッド56上部のパッシベーション膜が開孔され、パッド開口部58が形成されている。なお、インバータ52の構成は、図1に示すインバータ12、14と同じである。

30

【0053】

図示例の半導体装置60において、第1金属配線16上に設けられる第2コンタクトホール54の総面積(あるいは、第2コンタクトホール54の寸法が一定である場合には、その個数)とインバータ52のP型およびN型ドレイン拡散領域(不純物拡散領域)22、24の面積との比は、第2コンタクトホール54の形成のためのプラズマプロセスにおいて、P型およびN型MOSFET18および20の特性を劣化させない、所定の値以下に制限されている。

【0054】

ここで、ダメージを与える可能性のあるプラズマプロセスとしては、第2コンタクトホール54の開口のためのドライエッチングプロセスや、開口されたコンタクトホール54内に配線を形成する金属を堆積するためのスパッタプロセスがある。いずれの場合にも、アンテナルールの対象となる第2コンタクトホール54の総面積とは、プラズマプロセス中に、プラズマ雰囲気中に晒される、第1金属配線16上に設けられた第2コンタクトホール54の穴底の合計面積である。

40

【0055】

また、パッド開口部58の面積とインバータ52のP型およびN型ドレイン拡散領域22、24の面積との比も、パッド開口部58を形成するためのプラズマプロセスにおいて、P型およびN型MOSFET18および20の特性を劣化させない、所定の値以下に制限されている。

【0056】

50

本実施例では、MOSインバータ52のP型およびN型ドレイン拡散領域22, 24の面積と第2コンタクトホール56の個数との比を $1\mu\text{m}^2$ 当たり5個に制限し、P型およびN型ドレイン拡散領域22, 24の面積とパッド開口部58の面積との比を1:100に制限する。これにより、例えば不純物拡散領域の面積が $20\mu\text{m}^2$ の場合、第2コンタクトホールの個数は100個が上限となり、パッド開口部58の面積は $2000\mu\text{m}^2$ が上限となる。

【0057】

このように、第1金属配線16上に設けられる第2コンタクトホール54の総面積や、パッド開口部58の面積とインバータ52のP型およびN型ドレイン拡散領域22, 24の面積との比を所定の値以下に制限することにより、第2コンタクトホールやパッド開口部58の形成工程でのプラズマプロセスにおいて、P型およびN型MOSFET18および20の特性の劣化を防止することができる。

10

【0058】

続いて、図7は、本発明のレイアウト方法を適用する半導体装置の別の実施例のレイアウト概念図である。同図に示す半導体装置70は、図6に示す半導体装置60において、さらに、パッド56の下層の同形の第1金属配線16の下に、第1コンタクトホール26を介してダミーの不純物拡散領域62を不純物拡散領域22, 24と並列に接続したものである。これにより、ダミー不純物拡散領域62は容量素子として用いられる。

【0059】

ダミー不純物拡散領域62は、アンテナ比の制限を満足するように、第1金属配線16の総面積と不純物拡散領域22, 24の面積との第1の比か、もしくは、第1金属配線16上に設けられる第2コンタクトホール54の総面積と不純物拡散領域22, 24の面積との第2の比が、これら第1および第2の比に対してそれぞれ定められた所定の値を超える場合に接続される。なお、ダミー不純物拡散領域62の代わりに、図4に示されるようなダイオード(P/N接合)を接続してもよい。

20

【0060】

図2の場合と同様に、第1金属配線16に対して、P型およびN型拡散領域22, 24と並列にダミー不純物拡散領域62を付加することにより、合計のキャパシタが増加されるので、アンテナ比を低減することが可能になる。

【0061】

なお、第1金属配線16の場合を例に挙げて説明したが、本発明はこれに限定されず、第1金属配線16よりも上層の金属配線の場合にも同様に適用可能である。下層に金属配線がある場合、プラズマ雰囲気中に晒される上層の金属配線は、下層の金属配線や下層のコンタクトホールを介して電氣的にMOSトランジスタの不純物拡散領域に接続される。また、同一の配線層の複数の金属配線が、下層の金属配線やコンタクトホールを通じて、同一の不純物拡散領域に接続される場合もある。その場合には、アンテナ比は、同一の配線層の複数の金属配線の総面積で評価する。配線の材料も限定されず、アルミ、タングステン等の各種の金属の他、シリサイド、ポリサイド等の従来公知の配線材料が全て利用可能である。

30

【0062】

また、アンテナ比の所定値は、SOI基板の仕様、例えば埋め込み酸化膜の膜厚や、プラズマプロセスで使用されている製造装置の種類、製造条件等に強く依存するため、実施例の値に限定されず、埋め込み酸化膜やMOSFETに損傷を与えない範囲で、適宜最適な値に設定すればよい。

40

【0063】

実際の半導体装置のレイアウトを行う場合には、特開平11-186394号や特開平11-297836号に示されたように、回路ブロック(セル)の配置およびその間の配線を行った段階で、自動レイアウト装置の機能を利用して、アンテナ比の算出および、算出された比が所定の値を超える部分の抽出を自動的に行う。そして、抽出された部分に対して、適切な対策を、やはり自動レイアウト装置の機能を利用して、自動で、もしくは作業

50

者が適切な対策を選択することによって、行う。

【0064】

アンテナ比の算出において対象となる配線の「総面積」は、前述のように、第1金属配線16の加工工程では第1金属配線の側面積であり、第1金属配線16上への第1層間絶縁膜堆積工程では、第1金属配線の平面積と側面積との合計である。従って、第1金属配線の側面積と、平面積と側面積の合計とのそれぞれについてアンテナ比を算出し、そのそれぞれに対して定めた所定の値との比較を行うことが好ましい。しかし、金属配線の加工工程と層間絶縁膜の堆積工程とのいずれか一方によるプラズマダメージの方が他方によるダメージに比較して大きい場合には、ダメージの大きい方に対応する総面積のみを求めてアンテナ比を算出し、所定の値との比較を行うようにしてもよい。もしくは、金属配線の平面積と側面積とのそれぞれについてアンテナ比を算出し、加工工程と層間絶縁膜堆積工程との両方におけるプラズマダメージを考慮してそれぞれに対して定めた所定の値との比較を行うようにしてもよい。

10

【0065】

また、それぞれの配線層の厚さは使用する製造プロセスによって決まっているため、配線の周辺長を求めることによって側面積を求めることができる。さらに、配線の長さのみを求めることによって、側面積を近似的に求めることができる。平面積についても、現実に使用される配線の幅が実質的に一定とみなせる場合には、配線の長さのみを求めることによって近似的に求めることができる。従って、配線の総面積と不純物拡散領域の面積との比の算出、および算出した比の所定の値との比較は、近似的には、配線の長さとの不純物拡散領域との面積比を求め、その比について定めた所定の値と比較することによって行うこともできる。

20

【0066】

アンテナ比の算出は、半導体装置の全体に対して行うことも可能であるし、所定の値を超える可能性が高いと予想される部分のみについて行うことも可能である。例えば、前述した回路ブロックの出力端子の場合、出力端子を構成する最終段のMOSトランジスタには、ほぼ同一の寸法のものが使用されることが多い。従って、不純物拡散領域の面積はほぼ一定であると考えられる。このような場合には、出力端子に接続される各配線層の配線の長さのみを調べることによって、アンテナ比を近似的に算出することも可能である。

【0067】

以上述べたように、本願発明における配線の総面積、もしくは接続孔の総面積と不純物拡散領域の面積との比の算出は、必ずしも厳密に行う必要はない。結果としてプラズマダメージによる劣化を防止できれば、さまざまな実用的な近似方法によって効率的に算出を行い、その算出方法に合わせた余裕を持って設定した所定の値との比較を行えばよい。

30

【0068】

本発明の半導体装置およびそのレイアウト方法は、基本的に以上のようなものである。以上、本発明の半導体装置およびそのレイアウト方法について詳細に説明したが、本発明は上記実施例に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【0069】

図4には、支持基板38の表面に、支持基板と反対導電型の不純物拡散領域を形成し、第1金属配線16に接続して、プラズマダメージによる素子劣化防止のためのダイオードとして使用した例を示した。同様の製造工程で、支持基板と同一導電型の不純物拡散領域を支持基板表面に形成することも可能である。このような同一導電型の不純物拡散領域を、第1コンタクト孔26、第1金属配線16およびさらに上層の金属配線を介してパッドに接続し、さらに、そのパッドを介して、半導体装置を格納するパッケージの端子に接続することも可能である。そして、接続された端子をグランド端子とすることにより、もしくは、特定の電位を印加する端子とすることにより、支持基板の電位を固定することが可能になる。

40

【0070】

50

従来のSOI基板を利用した半導体装置においては、フリップチップBGA (Ball Grid Array) 等の、支持基板の裏面がパッケージ端子に接続されない種類のパッケージに格納した場合、支持基板の電位を固定することができなかった。このため、支持基板電位の変動によって半導体装置の動作の不安定性が発生するという問題があった。

【0071】

支持基板の表面に支持基板と同一導電型の不純物拡散領域を形成し、パッドを介してパッケージの端子に接続することにより、従来のパッケージ技術をそのまま利用しながら、このような問題を解決することができる。

【0072】

【発明の効果】

以上詳細に説明した様に、本発明によれば、SOI基板上に形成された不純物拡散領域に接続される配線層の総面積、コンタクトホール総面積やパッド開口部の面積を所定の値以下に制限することにより、プラズマプロセス中のチャージアップによる半導体素子の破壊を防止することができ、信頼性の高い半導体装置を実現すると共に、半導体装置の製造歩留りを向上させることができる。また、ダミー不純物拡散領域を付加したり、バッファを挿入することにより、また、下層の配線を分割し、かつ分割後の配線を上層の配線を介して接続することにより、アンテナ比を低減することが可能になり、回路設計上の制約を大幅に緩和することができる。

【図面の簡単な説明】

【図1】 本発明のレイアウト方法を適用する半導体装置の一実施例のレイアウト概念図である。

【図2】 本発明のレイアウト方法を適用する半導体装置の別の実施例のレイアウト概念図である。

【図3】 図2に示す半導体装置の一実施例の断面図である。

【図4】 本発明の半導体装置の別の実施例の断面図である。

【図5】 本発明のレイアウト方法を適用する半導体装置の別の実施例のレイアウト概念図である。

【図6】 本発明のレイアウト方法を適用する半導体装置の別の実施例のレイアウト概念図である。

【図7】 本発明のレイアウト方法を適用する半導体装置の別の実施例のレイアウト概念図である。

【図8】 ゲート酸化膜でプラズマダメージが発生する原理を表す一例の断面図である。

【図9】 ゲート酸化膜でプラズマダメージが発生する原理を表す別の例の断面図である。

【図10】 ゲート酸化膜でプラズマダメージが発生する原理を表す別の例の断面図である。

【図11】 ゲート酸化膜でプラズマダメージが発生しない場合の原理を表す一例の断面図である。

【図12】 SOI基板を用いる半導体装置において、埋め込み酸化膜でプラズマダメージが発生する原理を表す一例の断面図である。

【符号の説明】

10, 30, 40, 50, 60, 70 半導体装置

12, 14, 44, 46, 52 インバータ

16, 86 金属配線

18, 20 MOSFET

22, 24, 25, 72, 74 不純物拡散領域

26, 54, 84 コンタクトホール

28, 78 ゲート電極

29 サイドウォール

32, 62 ダミー不純物拡散領域

10

20

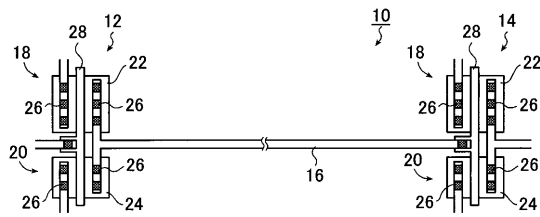
30

40

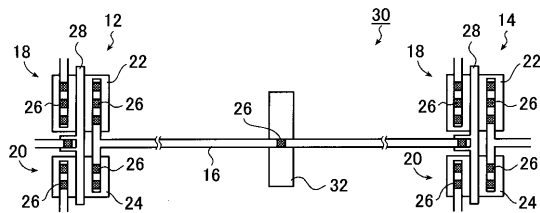
50

- 36 埋め込み酸化膜
- 38 シリコン支持基板
- 39 N型不純物拡散領域
- 42 バッファ
- 48, 80 層間絶縁膜
- 56 パッド
- 58 パッド開口部
- 64 シリコン基板
- 66 フィールド酸化膜
- 68, 70 MOS型トランジスタ
- 76 ゲート絶縁膜
- 34, 82, 90 フォトレジスト
- 88 パッシベーション膜
- 92 パッド開口部

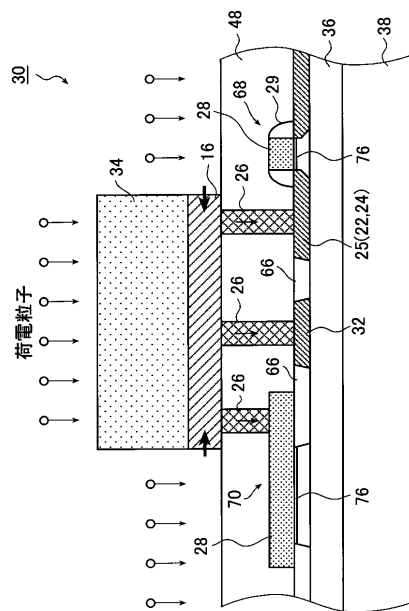
【図1】



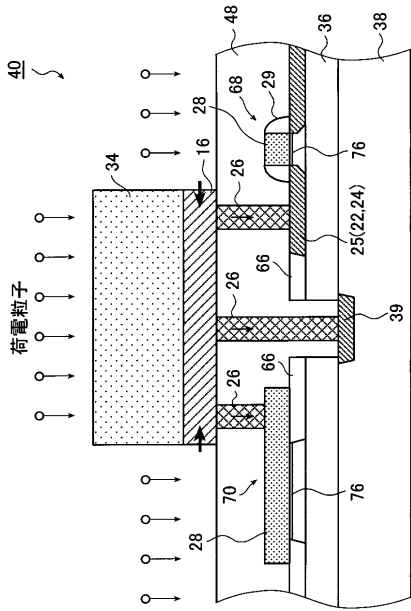
【図2】



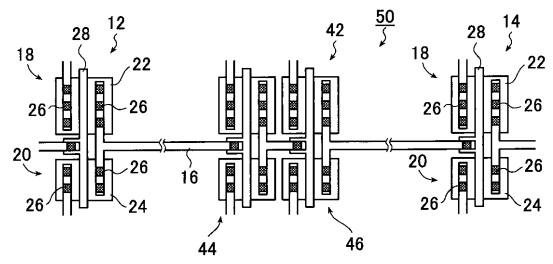
【図3】



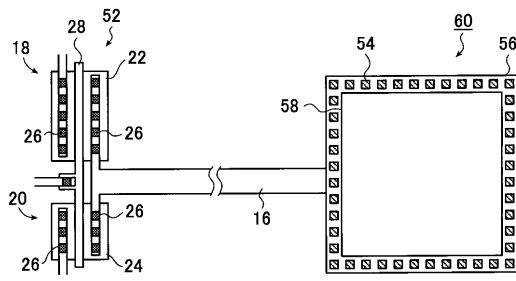
【 図 4 】



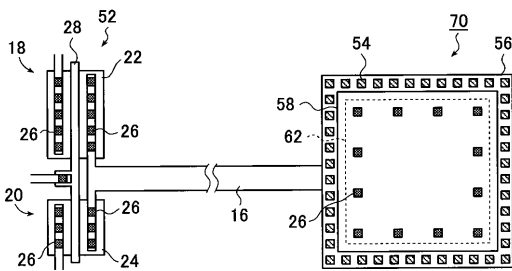
【 図 5 】



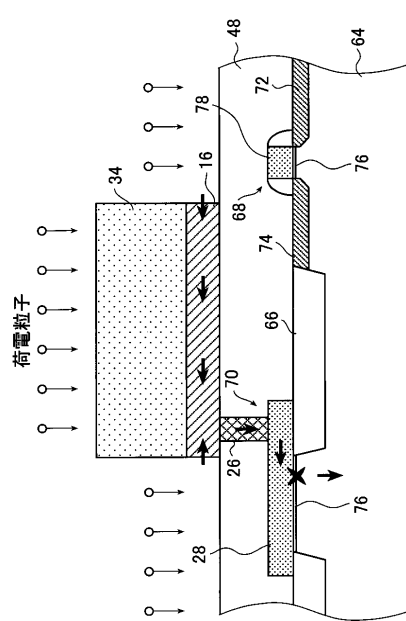
【 図 6 】



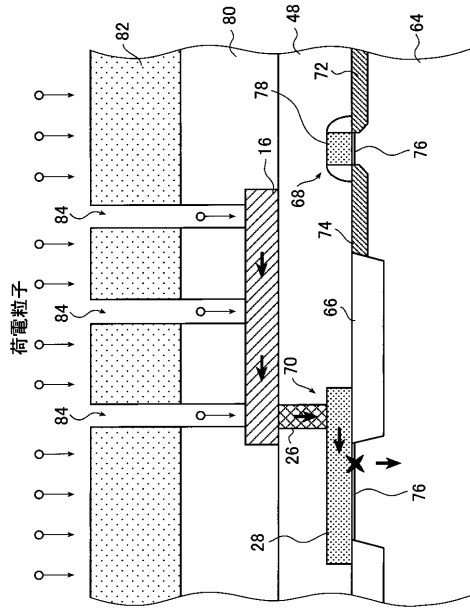
【 図 7 】



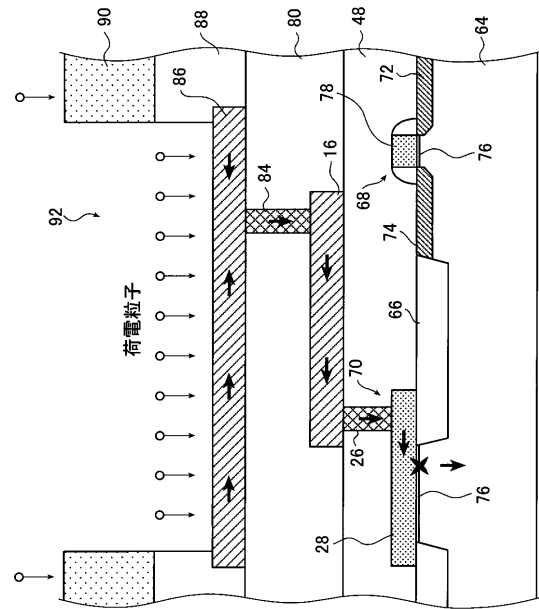
【 図 8 】



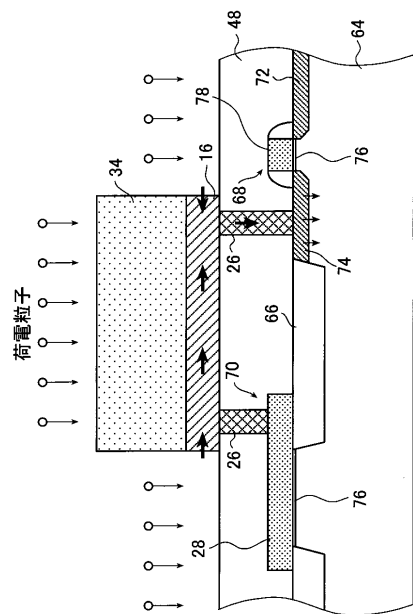
【図9】



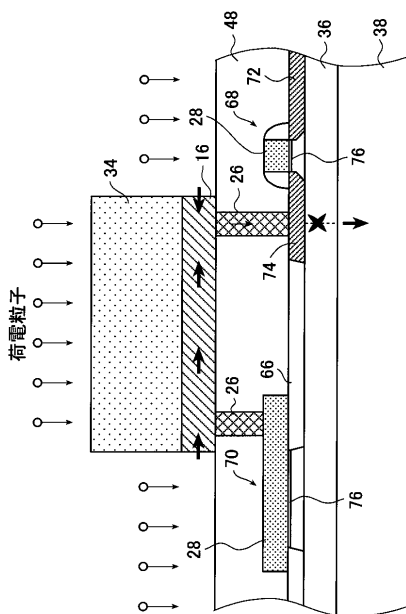
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/04 (2006.01)

(56)参考文献 特開平04 - 345064 (JP, A)
特開2001 - 028396 (JP, A)
特開平11 - 297836 (JP, A)
特開2001 - 210716 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786
H01L 21/3205
H01L 21/336
H01L 21/822
H01L 23/52
H01L 27/04