

【特許請求の範囲】**【請求項 1】**

遅延システムであって、

第 2 の遅延回路に電圧バイアスを供給し、更新レートで前記電圧バイアスを更新するように構成された第 1 の遅延回路と、ここにおいて、前記電圧バイアスは、前記第 2 の遅延回路の遅延を制御する、

前記第 1 の遅延回路の前記更新レートを調整するように構成された更新コントローラとを備える遅延システム。

【請求項 2】

前記更新コントローラは、前記第 2 の遅延回路によって遅延されている信号のデータレートに基づいて前記更新レートを調整するように構成される、

請求項 1 に記載の遅延システム。

【請求項 3】

前記更新コントローラは、前記信号の前記データレートが第 1 のデータレートに略等しい場合、前記更新レートを第 1 の更新レートに設定し、前記信号の前記データレートが第 2 のデータレートに略等しい場合、前記更新レートを第 2 の更新レートに設定するように構成され、前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、前記第 1 の更新レートは、前記第 2 の更新レートよりも低い、請求項 2 に記載の遅延システム。

【請求項 4】

前記第 1 の遅延回路は、基準クロックに基づいて前記電圧バイアスを更新するように構成され、ここで、前記更新レートは、前記基準クロックの N 個の周期あたり 1 回の前記電圧バイアスの更新に略等しく、 N は整数であり、前記更新コントローラは、 N を調整するように構成される、請求項 1 に記載の遅延システム。

【請求項 5】

前記更新コントローラは、前記第 2 の遅延回路によって遅延されている信号のデータレートが第 1 のデータレートに略等しい場合、 N を第 1 の値に設定し、前記信号の前記データレートが第 2 のデータレートに略等しい場合、 N を第 2 の値に設定するように構成され、前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、 N の前記第 1 の値は、 N の前記第 2 の値よりも大きい、請求項 4 に記載の遅延システム。

【請求項 6】

前記第 1 の遅延回路は、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成するように構成された更新回路と、ここにおいて、各パルス対は、第 1 のパルス及び第 2 のパルスを備え、前記第 1 のパルスは、前記第 2 のパルスに対して前記基準クロックの略 1 周期ぶん遅延されている、

各パルス対の前記第 2 のパルスを前記電圧バイアスによって制御された量ぶん遅延させるように構成された電圧制御型遅延回路と、

パルス対ごとに、それぞれの前記第 1 のパルスとそれぞれの遅延された前記第 2 のパルスとの間の位相誤差を検出するように構成された位相周波数検出器と、

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更新するように構成された電圧バイアスコントローラと

を備える、請求項 1 に記載の遅延システム。

【請求項 7】

前記更新回路は、前記基準クロックの N 個の周期あたり 1 つのパルス対というレートで前記パルス対を生成するように構成され、 N は整数であり、前記更新コントローラは、 N を調整するように構成される、請求項 6 に記載の遅延システム。

【請求項 8】

前記更新コントローラは、前記第 2 の遅延回路によって遅延されている信号のデータレートが第 1 のデータレートに略等しい場合、 N を第 1 の値に設定し、前記信号の前記データレートが第 2 のデータレートに略等しい場合、 N を第 2 の値に設定するように構成され

10

20

30

40

50

、前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、N の前記第 1 の値は、N の前記第 2 の値よりも大きい、請求項 7 に記載の遅延システム。

【請求項 9】

前記電圧バイアスによって制御される前記第 2 の遅延回路の前記遅延は、前記第 2 の遅延回路のステップ遅延であり、前記第 2 の遅延回路は、信号を前記ステップ遅延の倍数ぶん遅延させるように構成される、請求項 1 に記載の遅延システム。

【請求項 10】

遅延制御のための方法であって、

遅延回路に電圧バイアスを供給することと、ここにおいて、前記電圧バイアスは、前記遅延回路の遅延を制御する、

更新レートで前記電圧バイアスを更新することと、

前記更新レートを調整することと

を備える方法。

【請求項 11】

前記更新レートを調整することは、前記遅延回路によって遅延されている信号のデータレートに基づいて前記更新レートを調整することを備える、請求項 10 に記載の方法。

【請求項 12】

前記更新レートを調整することは、

前記信号の前記データレートが第 1 のデータレートに略等しい場合、前記更新レートを第 1 の更新レートに設定することと、

前記信号の前記データレートが第 2 のデータレートに略等しい場合、前記更新レートを第 2 の更新レートに設定することと

を備え、

前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、前記第 1 の更新レートは、前記第 2 の更新レートよりも低い、

請求項 11 に記載の方法。

【請求項 13】

前記電圧バイアスを更新することは、基準クロックに基づいて前記電圧バイアスを更新することを備え、ここで、前記更新レートは、前記基準クロックの N 個のあたり 1 回の前記電圧バイアスの更新に略等しく、N は整数であり、前記更新レートを調整することは、N を調整することを備える、請求項 10 に記載の方法。

【請求項 14】

前記更新レートを調整することは、

前記遅延回路によって遅延されている信号のデータレートが第 1 のデータレートに略等しい場合、N を第 1 の値に設定することと

前記信号の前記データレートが第 2 のデータレートに略等しい場合、N を第 2 の値に設定することと

を備え、

前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、N の前記第 1 の値は、N の前記第 2 の値よりも大きい、

請求項 13 に記載の方法。

【請求項 15】

前記電圧バイアスを更新することは、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成することと、ここにおいて、各パルス対は、第 1 のパルス及び第 2 のパルスを備え、前記第 1 のパルスは、前記第 2 のパルスに対して前記基準クロックの略 1 周期ぶん遅延されている、

各パルス対の前記第 2 のパルスを前記電圧バイアスによって制御された量ぶん遅延させることと、

パルス対ごとに、それぞれの前記第 1 のパルスとそれぞれの遅延された前記第 2 のパルスとの間の位相誤差を検出することと、

10

20

30

40

50

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更新することと

を備える、請求項 10 に記載の方法。

【請求項 16】

前記遅延回路に第 2 の電圧バイアスを供給することと、ここにおいて、前記第 2 の電圧バイアスはまた、前記遅延回路の前記遅延を制御する、

前記更新レートで前記第 2 の電圧バイアスを更新することと

を更に備える、請求項 10 に記載の方法。

【請求項 17】

遅延制御のための装置であって、

遅延回路に電圧バイアスを供給するための手段と、ここにおいて、前記電圧バイアスは、前記遅延回路の遅延を制御する、

更新レートで前記電圧バイアスを更新するための手段と、

前記更新レートを調整するための手段と

を備える装置。

【請求項 18】

前記更新レートを調整するための前記手段は、前記遅延回路によって遅延されている信号のデータレートに基づいて前記更新レートを調整するための手段を備える、請求項 17 に記載の装置。

【請求項 19】

前記更新レートを調整するための前記手段は、

前記信号の前記データレートが第 1 のデータレートに略等しい場合、前記更新レートを第 1 の更新レートに設定するための手段と、

前記信号の前記データレートが第 2 のデータレートに略等しい場合、前記更新レートを第 2 の更新レートに設定するための手段と

を備え、

前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、前記第 1 の更新レートは、前記第 2 の更新レートよりも低い、

請求項 18 に記載の装置。

【請求項 20】

前記電圧バイアスを更新するための前記手段は、基準クロックに基づいて前記電圧バイアスを更新するための手段を備え、ここで、前記更新レートは、前記基準クロックの N 個の周期あたり 1 回の前記電圧バイアスの更新に略等しく、 N は整数であり、前記更新レートを調整するための前記手段は、 N を調整するための手段を備える、請求項 17 に記載の装置。

【請求項 21】

前記更新レートを調整するための前記手段は、

前記遅延回路によって遅延されている信号のデータレートが第 1 のデータレートに略等しい場合、 N を第 1 の値に設定するための手段と、

前記信号の前記データレートが第 2 のデータレートに略等しい場合、 N を第 2 の値に設定するための手段と

を備え、

前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、 N の前記第 1 の値は、 N の前記第 2 の値よりも大きい、

請求項 20 に記載の装置。

【請求項 22】

前記電圧バイアスを更新するための前記手段は、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成するための手段と、ここにおいて、各パルス対は、第 1 のパルス及び第 2 のパルスを備え、前記第 1 のパルスは、前記第 2 のパルスに対して前記基準クロックの略 1 周期ぶん遅延されている、

各パルス対の前記第 2 のパルスを前記電圧バイアスによって制御された量ぶん遅延させるための手段と、

パルス対ごとに、それぞれの前記第 1 のパルスとそれぞれの遅延された前記第 2 のパルスとの間の位相誤差を検出するための手段と、

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更新するための手段と

を備える、請求項 17 に記載の装置。

【請求項 23】

前記遅延回路に第 2 の電圧バイアスを供給するための手段と、ここにおいて、前記第 2 の電圧バイアスはまた、前記遅延回路の前記遅延を制御する、

10

前記更新レートで前記第 2 の電圧バイアスを更新するための手段と

を更に備える、請求項 17 に記載の装置。

【請求項 24】

メモリインターフェースであって、

信号を遅延するように構成された第 1 の遅延回路と、ここにおいて、前記信号は、データ信号及びデータストロブ信号のうちの 1 つを備える、

前記第 1 の遅延回路に電圧バイアスを供給し、更新レートで前記電圧バイアスを更新するように構成された第 2 の遅延回路と、ここにおいて、前記電圧バイアスは、前記第 1 の遅延回路の遅延を制御する、

前記第 2 の遅延回路の前記更新レートを調整するように構成された更新コントローラとを備えるメモリインターフェース。

20

【請求項 25】

前記更新コントローラは、前記信号のデータレートに基づいて前記更新レートを調整するように構成される、

請求項 24 に記載のメモリインターフェース。

【請求項 26】

前記更新コントローラは、前記信号の前記データレートが第 1 のデータレートに略等しい場合、前記更新レートを第 1 の更新レートに設定し、前記信号の前記データレートが第 2 のデータレートに略等しい場合、前記更新レートを第 2 の更新レートに設定するように構成され、前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、前記第 1 の更新レートは、前記第 2 の更新レートよりも低い、請求項 25 に記載のメモリインターフェース。

30

【請求項 27】

前記第 2 の遅延回路は、基準クロックに基づいて前記電圧バイアスを更新するように構成され、ここで、前記更新レートは、前記基準クロックの N 個の周期あたり 1 回の前記電圧バイアスの更新に略等しく、N は整数であり、前記更新コントローラは、N を調整するように構成される、請求項 24 に記載のメモリインターフェース。

【請求項 28】

前記更新コントローラは、前記信号のデータレートが第 1 のデータレートに略等しい場合、N を第 1 の値に設定し、前記信号の前記データレートが第 2 のデータレートに略等しい場合、N を第 2 の値に設定するように構成され、前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、N の前記第 1 の値は、N の前記第 2 の値よりも大きい、請求項 27 に記載のメモリインターフェース。

40

【請求項 29】

前記第 2 の遅延回路は、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成するように構成された更新回路と、ここにおいて、各パルス対は、第 1 のパルス及び第 2 のパルスを備え、前記第 1 のパルスは、前記第 2 のパルスに対して前記基準クロックの略 1 周期ぶん遅延されている、

各パルス対の前記第 2 のパルスを前記電圧バイアスによって制御された量ぶん遅延させ

50

るように構成された電圧制御型遅延回路と、

パルス対ごとに、それぞれの前記第 1 のパルスとそれぞれの遅延された前記第 2 のパルスとの間の位相誤差を検出するように構成された位相周波数検出器と、

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更新するように構成された電圧バイアスコントローラと

を備える、請求項 2 4 に記載のメモリインターフェース。

【請求項 3 0】

前記電圧バイアスによって制御される前記第 1 の遅延回路の前記遅延は、前記第 1 の遅延回路のステップ遅延であり、前記第 1 の遅延回路は、前記信号を前記ステップ遅延の倍数ぶん遅延させるように構成される、請求項 2 4 に記載のメモリインターフェース。

10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

[0001]本開示の態様は一般にメモリに関し、より具体的には、メモリインターフェースのためのプログラマブル電力に関する。

【背景技術】

【0 0 0 2】

[0002]チップは、チップ上の回路（例えば、メモリコントローラ）を、ダブルデータレートダイナミックランダムアクセスメモリ（DDR DRAM）、等の外部メモリデバイスとインターフェースするためのメモリインターフェースを含み得る。メモリインターフェースは、メモリインターフェースにおいて信号（例えば、データ信号）のタイミングを調整するための遅延回路を含み得る。例えば、メモリインターフェースは、（例えば、メモリインターフェースと外部のメモリデバイスとの間のデータ線の長さの不一致による）データ信号間のスキューを補償するために遅延回路を含み得る。別の例では、メモリインターフェースは、データサンプリングに使用されるデータストロブ信号を、データ信号の偏移間の中心に置くために遅延回路を含み得る。

20

【発明の概要】

【0 0 0 3】

[0003]以下には、1 つ又は複数の実施形態の基本的な理解を提供するために、そのような実施形態の簡略化された概要が提示される。この概要は予期される全ての実施形態の広範囲に及ぶ概観ではなく、全ての実施形態のキー又は不可欠な要素を識別することも、任意の又は全ての実施形態の範囲を描写することも意図しない。その唯一の目的は、後に提示されるより詳細な説明の前置きとして、1 つ又は複数の実施形態の幾つかの概念を簡略化された形式で提示することである。

30

【0 0 0 4】

[0004]ある態様によれば、遅延システムが本明細書で説明される。遅延システムは、第 2 の遅延回路に電圧バイアスを供給することと、ここにおいて、電圧バイアスは、第 2 の遅延回路の遅延を制御する、更新レートで電圧バイアスを更新することとを行うように構成された第 1 の遅延回路を備え得る。遅延システムはまた、第 1 の遅延回路の更新レートを調整するように構成された更新コントローラを備える。

40

【0 0 0 5】

[0005]第 2 の態様は、遅延制御のための方法に関する。方法は、遅延回路に電圧バイアスを供給することを備え、ここにおいて、電圧バイアスは、遅延回路の遅延を制御する。方法はまた、更新レートで電圧バイアスを更新することと、更新レートを調整することとを備える。

【0 0 0 6】

[0006]第 3 の態様は、遅延制御のための装置に関する。装置は、遅延回路に電圧バイアスを供給するための手段を備え、ここにおいて、電圧バイアスは、遅延回路の遅延を制御する。装置はまた、更新レートで電圧バイアスを更新するための手段と、更新レートを調整するための手段とを備える。

50

【 0 0 0 7 】

【0007】第4の態様は、メモリアンターフェースに関する。メモリアンターフェースは、信号を遅延させるように構成された第1の遅延回路を備え、ここにおいて、信号は、データ信号及びデータストロブ信号のうちの1つを備える。メモリアンターフェースはまた、第1の遅延回路に電圧バイアスを供給することと、ここにおいて、電圧バイアスは、第1の遅延回路の遅延を制御する、更新レートで電圧バイアスを更新することとを行うように構成された第2の遅延回路を備える。メモリアンターフェースは更に、第2の遅延回路の更新レートを調整するように構成された更新コントローラを備える。

【 0 0 0 8 】

【0008】前述した目的及び関連する目的を達成するために、1つ又は複数の実施形態は、
下文で十分に説明され、特許請求の範囲において具体的に示される特徴を備える。以下の
説明及び添付図面は、1つ又は複数の実施形態の特定の実例となる態様を詳細に示す。し
かしながら、これらの態様は、様々な実施形態の原理が用いられ得る様々な方法のほんの
一部しか示さず、説明される実施形態は、そのような態様及びそれらの等化物の全てを含
むことが意図される。

【 図面の簡単な説明 】

【 0 0 0 9 】

【図1】【0009】図1は、外部メモリデバイスとインターフェースするためのメモリアンターフェースの例を示す。

【図2】【0010】図2は、データ信号とデータストロブとの間のタイミングの例を例示するタイミング図である。

【図3】【0011】図3は、本開示の実施形態に係る、マスタ - スレーブアーキテクチャの例を示す。

【図4】【0012】図4は、本開示の実施形態に係る、スレーブ遅延回路の例を示す。

【図5】【0013】図5は、本開示の実施形態に係る、マスタ遅延回路の例を示す。

【図6】【0014】図6は、本開示の実施形態に係る、クロック遅延回路の例を示す。

【図7】【0015】図7は、本開示の実施形態に係る、プログラマブル電力を有するマスタ遅延回路を示す。

【図8】【0016】図8は、本開示の実施形態に係る、電圧バイアスが2つのクロック周期ごとに更新される例を例示するタイミング図である。

【図9】【0017】図9は、本開示の実施形態に係る、電圧バイアスが4つのクロック周期ごとに更新される例を例示するタイミング図である。

【図10】【0018】図10は、本開示の実施形態に係る、電圧バイアスが4つのクロック周期ごとに更新される別の例を例示するタイミング図である。

【図11】【0019】図11は、本開示の実施形態に係る、更新回路の例示的な実装形態を示す。

【図12】【0020】図12は、本開示の実施形態に係る、ループロッキングの例を例示するタイミング図である。

【図13】【0021】図13は、本開示の別の実施形態に係る、スレーブ遅延回路の例示的な実装形態を示す。

【図14A】【0022】図14Aは、図13のスレーブ遅延回路を通る異なる遅延経路の例を示す。

【図14B】図14Bは、図13のスレーブ遅延回路を通る異なる遅延経路の例を示す。

【図15】【0023】図15は、本開示の実施形態に係る、電圧制御型遅延を有するNANDゲートの例示的な実装形態を示す。

【図16】【0024】図16は、本開示の別の実施形態に係る、マスタ遅延回路の例示的な実装形態を示す。

【図17】【0025】図17は、本開示の別の実施形態に係る、クロック遅延回路の例示的な実装形態を示す。

【図18】【0026】図18は、本開示の実施形態に係る、クロック遅延回路の第1の遅延段

10

20

30

40

50

及び第 2 の遅延段の出力を例示するタイミング図である。

【図 1 9】[0027]図 1 9 は、本開示の実施形態に係る、カウント回路の例示的な実装形態を示す。

【図 2 0】[0028]図 2 0 は、本開示の実施形態に係る、リセット論理回路の例示的な実装形態を示す。

【図 2 1】[0029]図 2 1 は、本開示の別の実施形態に係る、更新回路の例示的な実装形態を示す。

【図 2 2】[0030]図 2 2 は、本開示の実施形態に係る、遅延制御のための方法を例示するフロー図である。

【発明の詳細な説明】

10

【0010】

[0031]添付の図面に関連して以下に示される詳細な説明は、様々な構成の説明を意図としており、本明細書で説明される概念が実施され得る唯一の構成を表すことを意図するものではない。詳細な説明は、様々な概念の完全な理解を提供するために特定の詳細を含む。しかしながら、これらの概念がこれらの特定の詳細なしに実施され得ることは当業者には明らかであろう。幾つかの事例では、そのような概念を曖昧にしないために、周知の構造及び構成要素がブロック図の形式で示される。

【0011】

[0032]チップは、チップ上の回路（例えば、メモリコントローラ）と、DDR DRAM等の外部メモリデバイスとインターフェースするためのメモリインターフェースを含み得る。図 1 は、チップを外部メモリデバイス（図示されない）とインターフェースするための例示的なメモリインターフェース 100 を示す。メモリインターフェース 100 は、第 1 の複数のフリップフロップ 115 (1) - 115 (n)、第 1 の複数のデスキュー回路 120 (1) - 120 (n)、第 2 の複数のフリップフロップ 135 (1) - 135 (n)、第 2 の複数のデスキュー回路 145 (1) - 145 (n)、第 1 の遅延回路 125 及び第 2 の遅延回路 140 を含む。

20

【0012】

[0033]書込み動作中、第 1 の複数のフリップフロップ 115 (1) - 115 (n) は、複数のデータ信号 117 (1) - 117 (n) を同時に (in parallel) 受ける。各フリップフロップ 115 (1) - 115 (n) はまた、受信データ信号 (incoming data signals) 117 (1) - 117 (n) の半分の周波数を有する周期的な信号であり得るデータストローク信号 119 を受ける。各フリップフロップ 115 (1) - 115 (n) は、データストローク信号 119 の立ち上がりエッジ及び立ち下がりエッジ上でそれぞれのデータ信号 117 (1) - 117 (n) からデータビットを取込み、取込まれたデータビットをそれぞれのデスキュー回路 120 (1) - 120 (n) に出力し、これは、以下により詳細に説明される。

30

【0013】

[0034]データストローク信号 119 はまた、第 1 の遅延回路 125 に入力される。第 1 の遅延回路 125 の前に、データストローク信号 119 のエッジは、フリップフロップ 115 (1) - 115 (n) の出力データ信号 118 (1) - 118 (n) の遷移と大まかに揃えられる。これは、各フリップフロップ 115 (1) - 115 (n) が、データストローク信号 119 の立ち上がりエッジ及び立ち下がりエッジ上で、それぞれの出力データ信号 118 (1) - 118 (n) のデータビットを捕獲するためである。第 1 の遅延回路 125 は、遅延データストローク信号 121 のエッジが、出力データ信号 118 (1) - 118 (n) の遷移間の略中心に置かれるように、1 周期の 4 分の 1 だけデータストローク信号 119 を遅延させる。

40

【0014】

[0035]図 2 は、出力データ信号 118 のうちの 1 つとデータストローク信号 119 との間のタイミング関係性の簡略化された例を示す。この例では、データストローク信号 119 の立ち上がりエッジ 220 及び立ち下がりエッジ 222 が、出力データ信号 118 の遷

50

移 2 1 0 と大まかに揃えられる。1 周期の 4 分の 1 ($T/4$) だけ遅延された後、データストロブ信号 1 2 1 の立ち上がりエッジ 2 2 0 及び立ち下がりエッジ 2 2 2 は、図 2 に示されるように、出力データ信号 1 1 8 の遷移 2 1 0 間の略中心に置かれる。メモリデバイスは、データストロブ信号 1 2 1 のエッジにおいてデータ信号をサンプリングする。データストロブ信号 1 2 1 のエッジをデータ信号の遷移間の中心に置くことは、メモリデバイスが、データ信号の有効データウィンドウ内でデータ信号をサンプリングすることを確実にすることを助ける。

【 0 0 1 5 】

[0036] 各デスキュー回路 1 2 0 (1) - 1 2 0 (n) は、メモリインターフェース 1 0 0 からメモリデバイス (例えば、DDR DRAM) に移動する際のデータ信号間のスキューを補償するために、少量の遅延をそれぞれのデータ信号 1 1 8 (1) - 1 1 8 (n) に追加する。スキューは、データ信号をメモリデバイスに転送するために使用される線の長さの不一致及び / 又は別の理由によるものであり得る。それぞれのデスキュー回路 1 2 0 (1) - 1 2 0 (n) によって遅延された後、各出力データ信号は、それぞれの双方向データ線 $DQ_0 - DQ_{n-1}$ 上でメモリデバイスに出力される。データストロブ信号 1 2 1 は、双方向ストロブ線 DQS 上でメモリデバイスに出力される。メモリデバイスは、メモリインターフェース 1 0 0 から受けたデータ信号をサンプリングするために、データストロブ信号 1 2 1 を使用する。

【 0 0 1 6 】

[0037] 読取り動作中、メモリインターフェース 1 0 0 は、双方向データ線 $DQ_0 - DQ_{n-1}$ を介してメモリデバイスから複数のデータ信号 1 3 2 (1) - 1 3 2 (n) を、双方向ストロブ線 DQS を介してメモリデバイスからデータストロブ信号 1 3 4 を受ける。第 2 の複数のデスキュー回路 1 4 5 (1) - 1 4 5 (n) の各々は、データ信号 1 3 2 (1) - 1 3 2 (n) のうちの 1 つを受け、データ信号間のスキューを補償するために少量の遅延をそれぞれのデータ信号に追加する。

【 0 0 1 7 】

[0038] メモリデバイスからのデータストロブ信号 1 3 4 は、このデータストロブ信号 1 3 4 を 1 周期の 4 分の 1 ぶん遅延させる第 2 の遅延回路 1 4 0 に入力される。これは、メモリデバイスが、データストロブ信号 1 3 4 のエッジがデータ信号 1 3 2 (1) - 1 3 2 (n) の遷移と揃えられた状態でデータストロブ信号 1 3 4 を出力するからである。データストロブ信号 1 3 4 を 1 周期の 4 分の 1 だけ遅延させることで、第 2 の遅延回路 1 4 0 は、遅延データストロブ信号 1 3 6 のエッジを、データ信号 1 3 2 (1) - 1 3 2 (n) の遷移間の略中心に置く。

【 0 0 1 8 】

[0039] 次に、遅延データストロブ 1 3 6 は、第 2 の複数のフリップフロップ 1 3 5 (1) - 1 3 5 (n) の各々のクロック入力に入力される。例えば、遅延データストロブ信号 1 3 6 は、クロックツリーを使用して、フリップフロップ 1 3 5 (1) - 1 3 5 (n) のクロック入力に分散され得る。各フリップフロップ 1 3 5 (1) - 1 3 5 (n) は、遅延データストロブ信号 1 3 6 の立ち上がりエッジ及び立ち下がりエッジ上でそれぞれのデスキュー回路 1 4 5 (1) - 1 4 5 (n) の出力 1 3 8 (1) - 1 3 8 (n) からデータビットを取込む。結果として得られる出力データ信号 1 4 2 (1) - 1 4 2 (n) は、更なる処理のために、メモリインターフェース 1 0 0 内の追加の回路 (図示されない) に送られ得る。

【 0 0 1 9 】

[0040] メモリインターフェース 1 0 0 は、複数のデータレートをサポートし得、データがメモリデバイスに送られ、そこから受けられるレートは、動的に調整される。例えば、データレートは、高データレートを必要とするアプリケーションの場合、増やされ得、高データレートを必要としないアプリケーションの場合、減らされ得る。データレートが変化すると、遅延回路 1 2 5 及び 1 4 0 の遅延は、相応に調整される必要がある。例えば、データレートが倍にされると、データストロブ信号 1 1 9 の周期は半分に低減される。

この例では、データストロブ信号 1 1 9 に対して 1 周期の 4 分の 1 の遅延を維持するために、第 1 の遅延回路 1 2 5 の遅延が半分に低減される。別の例では、データレートが半分に低減されると、データストロブ信号 1 1 9 の周期は、倍にされる。この例では、データストロブ信号 1 1 9 に対して 1 周期の 4 分の 1 の遅延を維持するために、第 1 の遅延回路 1 2 5 の遅延が倍にされる。

【 0 0 2 0 】

[0041] 図 3 は、メモリインターフェース（例えば、メモリインターフェース 1 0 0）内の、制御遅延を提供するためのマスタ - スレーブアーキテクチャ 3 0 0 の例を示す。マスタ - スレーブアーキテクチャ 3 0 0 は、1 つのマスタ遅延回路 3 1 0 と、複数のスレーブ遅延回路 3 1 5 (1) - 3 1 5 (m) とを備える。各スレーブ遅延回路 3 1 5 (1) - 3 1 5 (m) は、ステップ遅延 (step delay) の倍数である遅延を提供し、ここでは、ステップ遅延は、マスタ遅延回路 3 1 0 からの電圧バイアスによって制御される。マスタ遅延回路 3 1 0 は、以下で更に説明されるように、スレーブ遅延回路 3 1 5 (1) - 3 1 5 (m) に対して所望のステップ遅延を維持するために、（例えば、水晶発振器からの）基準クロックに基づいて電圧バイアスを調整する。スレーブ遅延回路 3 1 5 (1) - 3 1 5 (m) は、図 1 に示される遅延回路 1 2 5 及び 1 4 0 並びにデスキュー回路 1 2 0 (1) - 1 2 0 (n) 及び 1 4 5 (1) - 1 4 5 (n) を実装するために使用され得る。

【 0 0 2 1 】

[0042] 図 4 は、スレーブ遅延回路 3 1 5 のうちの 1 つの例示的な実装形態を示す。スレーブ遅延回路 3 1 5 は、複数の遅延素子 4 4 0 (1) - 4 4 0 (p) （例えば、バッファ）及びマルチプレクサ 4 5 0 を備える。遅延素子 4 4 0 (1) - 4 4 0 (p) の各々は、マスタ遅延回路 3 1 0 からの電圧バイアスでバイアスが掛けられる。電圧バイアスは、各遅延素子 4 4 0 (1) - 4 4 0 (p) の遅延を制御する。

【 0 0 2 2 】

[0043] 遅延素子 4 4 0 (1) - 4 4 0 (p) は、遅延チェーン 4 3 0 を形成するために直列に結合され、ここでは、各遅延素子 4 4 0 (1) - 4 4 0 (p) の出力 4 4 5 (1) - 4 4 5 (p) は、スレーブ遅延回路 3 1 5 の入力 (「 I N 」 と表される) において受ける信号に異なる量の遅延を提供する。より具体的には、各遅延素子 4 4 0 (1) - 4 4 0 (p) の出力 4 4 5 (1) - 4 4 5 (p) は、ステップ遅延の異なる倍数である遅延を提供し、ここで、ステップ遅延は、1 つの遅延素子の遅延である。例えば、出力 4 4 5 (1) は、1 つのステップ遅延に等しい遅延を提供し、出力 4 4 5 (2) は、2 つのステップ遅延に等しい遅延を提供し、出力 4 4 5 (3) は、3 つのステップ遅延に等しい遅延を提供する。

【 0 0 2 3 】

[0044] 遅延素子 4 4 0 (1) - 4 4 0 (p) の出力 4 4 5 (1) - 4 4 5 (p) は、遅延コントローラ 4 6 0 の制御下で出力 4 4 5 (1) - 4 4 5 (p) のうちの 1 つを選択するマルチプレクサ 4 5 0 に結合される。マルチプレクサ 4 5 0 は、選択された出力を、スレーブ遅延回路 3 1 5 の (「 O U T 」 と表される) 出力に結合する。遅延コントローラ 4 6 0 は、所望の遅延に対応する、遅延素子 4 4 0 (1) - 4 4 0 (p) の出力 4 4 5 (1) - 4 4 5 (p) を選択するようマルチプレクサ 4 5 0 に命令することで、遅延回路 3 1 5 の遅延を制御する。

【 0 0 2 4 】

[0045] 故に、遅延コントローラ 4 6 0 は、入力信号が通過する遅延素子 4 4 0 (1) - 4 4 0 (p) の数を制御することで、スレーブ遅延回路 3 1 5 の遅延を調整する。これは、遅延コントローラ 4 6 0 が、ステップ遅延の倍数で遅延を制御することを可能にし、ここで、ステップ遅延は、1 つの遅延素子の遅延である。ステップ遅延は、上述したように、マスタ遅延回路 3 1 0 からの電圧バイアスによって制御される。図 4 のスレーブ遅延回路 3 1 5 は、図 1 に示される遅延回路 1 2 5 及び 1 4 0 並びにデスキュー回路 1 2 0 (1) - 1 2 0 (n) 及び 1 4 5 (1) - 1 4 5 (n) のうちのいずれか 1 つを実装するために使用され得る。スレーブ遅延回路の他の実装形態の例が以下に説明される。

【 0 0 2 5 】

[0046]図 5 は、マスタ遅延回路 3 1 0 の例示的な実装形態を示す。この例では、マスタ遅延回路 3 1 0 は、再タイミング回路 5 1 0、クロック遅延回路 5 1 5、位相周波数検出器 (P F D) 5 2 0 及び電圧バイアスコントローラ 5 2 5 を備える遅延ロックループ (D L L) である。以下で更に説明されるように、所望のステップ遅延を達成するために、マスタ遅延回路 3 1 0 の電圧バイアス出力は、フィードバックループ 5 1 7 によってクロック遅延回路 5 1 5 にフィードバックされる。

【 0 0 2 6 】

[0047]動作中、再タイミング回路 5 1 0 は、基準クロックを受け、この基準クロックを 1 クロック周期ぶん遅延させ、遅延基準クロックを P F D 5 2 0 の第 1 の入力 5 2 2 に出力する。再タイミング回路 5 1 0 はまた、基準クロックをクロック遅延回路 5 1 5 に出力する。クロック遅延回路 5 1 5 は、基準クロックを、フィードバックループ 5 1 7 によってマスタ遅延回路 3 1 0 の出力からクロック遅延回路 5 1 5 にフィードバックされる電圧バイアスによって制御された量ぶん遅延させる。クロック遅延回路 5 1 5 は、結果として得られた遅延基準クロックを、P F D 5 2 0 の第 2 の入力 5 2 4 に出力する。

【 0 0 2 7 】

[0048]P F D 5 2 0 は、第 1 の入力 5 2 2 と第 2 の入力 5 2 4 との間の位相誤差を検出し、検出された位相誤差に基づいて、位相誤差信号を電圧バイアスコントローラ 5 2 5 に出力する。電圧バイアス回路 5 2 5 は、位相誤差を低減する方向に電圧バイアスを調整する。電圧バイアス回路 5 2 5 は、チャージポンプ及びループフィルタが実装され得る。

【 0 0 2 8 】

[0049]位相誤差は、クロック遅延回路 5 1 5 の遅延が基準クロックの 1 周期に略等しいとき、ゼロに近づく。故に、電圧バイアスコントローラ 5 2 5 は、クロック遅延回路 5 1 5 の遅延が 1 クロック周期に略等しくなるように、電圧バイアスを調整する。一態様では、クロック遅延回路 5 1 5 は、スレーブ遅延回路 3 1 5 (1) - 3 1 5 (m) のステップ遅延の倍数 M に略等しい遅延を有する。故に、この態様では、マスタ遅延回路 3 1 0 は、略 T / M のステップ遅延を維持するために、電圧バイアスを調整し、ここで、T は、1 クロック周期 (サイクル) である。

【 0 0 2 9 】

[0050]一態様では、基準クロックは、水晶発振器 (X O) によって供給される。水晶発振器は、温度、電圧及び / 又はプロセスに対して略不変な基準クロックを生成することが可能である。マスタ遅延回路 3 1 0 が、電圧バイアスを調整するための基準として基準クロックを使用するため、マスタ遅延回路 3 1 0 は、温度、電圧、及び / 又はプロセスに対して略不変なステップ遅延を維持するために、電圧バイアスを調整することができる。

【 0 0 3 0 】

[0051]図 6 は、クロック遅延回路 5 1 5 の例示的な実装形態を示す。この例では、クロック遅延回路 5 1 5 は、直列に結合された M 個の遅延素子 6 1 0 (1) - 6 1 0 (M) を備え、ここでは、各遅延素子 6 1 0 (1) - 6 1 0 (M) は、電圧バイアスコントローラ 5 2 5 からの電圧バイアスによってバイアスが掛けられる。クロック遅延回路 5 1 5 内の遅延素子 6 1 0 (1) - 6 1 0 (M) は、スレーブ遅延回路 3 1 5 (1) - 3 1 5 (m) 内の遅延素子 4 4 0 (1) - 4 4 0 (p) の複製であり得る。

【 0 0 3 1 】

[0052]マスタ遅延回路 3 1 0 は、基準クロックの各周期中に電圧バイアスを更新し得る。具体的には、P F D 5 2 0 は、各クロック周期 (サイクル) 中、第 1 の入力 5 2 2 と第 2 の入力 5 2 4 との間の位相誤差を検出し得、電圧バイアスを更新するために、検出された位相誤差を電圧バイアスコントローラ 5 2 5 に出力する。しかしながら、各クロック周期 (サイクル) 中、電圧バイアスを更新することは、比較的大量の電力を消費し得、これは、メモリーインターフェースがモバイルデバイスに実装されるときバッテリー寿命を低減する。

【 0 0 3 2 】

10

20

30

40

50

【0053】本開示の実施形態は、マスタ遅延回路にプログラマブル電力を供給し、ここでは、マスタ遅延回路の電力消費は、マスタ遅延回路がスレーブ遅延回路への電圧バイアスを更新するレートを調整することで調整される。例えば、マスタ遅延回路は、以下で更に説明されるように、性能要件がより低い（例えば、より低いデータレートの）とき、電力消費を低減するために、より少ない頻度で電圧バイアスを更新し得る。

【0033】

【0054】図7は、本開示の実施形態に係る、プログラマブル電力を有するマスタ遅延回路710を示す。マスタ遅延回路710は、クロック遅延回路515、位相周波数検出器（PFD）520及び電圧バイアスコントローラ525を備える遅延ロックドループ（DLL）である。マスタ遅延回路710は、更新回路712及び出力キャパシタ730を更に備える。

10

【0034】

【0055】更新回路712は、更新コントローラ750からの制御信号Nに基づいてマスタ遅延回路710が電圧バイアスを更新するレートを制御するように構成され、ここで、Nは、プログラマブルであり、整数であり得る。より具体的には、更新回路712は、マスタ遅延回路710に、基準クロックのN個の周期（サイクル）ごとに電圧バイアスを更新させる（即ち、N個の周期あたり1回の電圧バイアス更新というレート）。例えば、Nが2に等しいとき、マスタ遅延回路710は、2つのクロック周期（サイクル）ごとに電圧バイアスを更新する。

【0035】

20

【0056】更新回路712は、電圧バイアスが更新されるレートを調整することによってマスタ遅延回路710の電力消費を調整するために使用され得る。例えば、更新コントローラ750は、Nを増加させること（即ち、電圧バイアスが更新されるレートを低減すること）によって、マスタ遅延回路710の電力消費を低減し得る。

【0036】

【0057】動作中、更新回路712は、基準クロックのN個の周期（サイクル）ごとに一对のパルスを出力する。パルスの各対は、Qパルス及びZQパルスを備え、ここでは、ZQパルスは、Qパルスに対して略1クロック周期ぶん遅延されている。パルスの対ごとに、更新回路712は、PFD520の第1の入力522にZQパルスを出力し、クロック遅延回路515にQパルスを出力する。クロック遅延回路515は、Qパルスを、フィードバックループ517によって電圧バイアスコントローラ525の出力からクロック遅延回路515にフィードバックされる電圧バイアスによって制御された量ぶん遅延させる。クロック遅延回路515は、結果として得られた遅延Qパルスを、PFD520の第2の入力524に出力する。PFD520は、ZQパルスと遅延Qパルスとの間の位相誤差を検出する。例えば、PFD520は、ZQパルスの立ち上がりエッジと遅延Qパルスの立ち上がりエッジとの間の位相差分又はZQパルスの立ち下がりエッジと遅延Qパルスの立ち下がりエッジとの間の位相差分を検出することで、位相誤差を検出し得る。PFD520は、検出された位相誤差に基づいて、電圧バイアスコントローラ525に位相誤差信号を出力する。電圧バイアス回路525は、位相誤差を低減する方向に電圧バイアスを調整する。

30

40

【0037】

【0058】位相誤差は、クロック遅延回路515の遅延が基準クロックの1周期に略等しいとき、ゼロに近づく。故に、電圧バイアスコントローラ525は、クロック遅延回路515の遅延が1周期クロック周期に略等しくなるように、電圧バイアスを調整する。一実施形態では、クロック遅延回路515は、スレーブ遅延回路315(1) - 315(m)のステップ遅延の倍数Mに略等しい遅延を有する。故に、この実施形態では、マスタ遅延回路710は、略T/Mのステップ遅延を維持するために、N個のクロック周期（サイクル）ごとに電圧バイアスを更新し、ここで、Tは、1クロック周期（サイクル）である。

【0038】

【0059】出力キャパシタ730は、更新から更新までの間（between updates）、電圧バ

50

イアスコントローラ 525 の出力に電圧バイアスを保持するために使用される。出力キャパシタ 730 における電圧バイアスは、電圧バイアスの更新から更新までの間にドリフトし得、結果としてスレーブ遅延回路 315 (1) - 315 (m) にジッタを引き起こす。電圧バイアスは、更新から更新までの間の時間量が増加すると、より大きな量ぶんドリフトし得る。結果として、マスタ遅延回路 710 が電圧バイアスを更新するレートを低減すること (即ち、N を増加させること) は、より低い性能 (例えば、より高いジッタ) という犠牲を払って、電力消費を低減し得る。故に、マスタ遅延回路 710 の電力を低減することと、マスタ遅延回路 710 の性能との間のトレードオフが存在し得る。

【0039】

[0060] この点において、更新コントローラ 750 は、特定のアプリケーションに対して依然として適切な性能を提供するレベルに、電圧バイアス更新のレートを低減する (故に、電力を低減する) ように構成され得る。例えば、メモリインターフェースが比較的低いデータレートで動作するとき、有効なデータウィンドウは比較的大きい。これは、メモリインターフェースのタイミング要件を緩和し、メモリインターフェースが、マスタ遅延回路 710 からのより低い性能 (即ち、更新から更新までの間のより大きい電圧バイアスドリフト) を許容することを可能にする。このケースでは、更新コントローラ 750 は、電力消費を低減するために、電圧バイアス更新のレートを低減し (即ち、N を増加させ) 得る。メモリインターフェースが、より高いデータレートで動作するとき、有効データウィンドウはより小さく、メモリインターフェースのタイミング要件はより厳しくなる (例えば、メモリインターフェース内のフリップフロップはより少ないジッタを許容する)。このケースでは、更新コントローラ 750 は、マスタ遅延回路 710 の性能を向上させるために、電圧バイアス更新のレートを増加させ (即ち、N を減少させ) 得る。故に、電圧バイアスが更新されるレートは、高い性能が必要でないときは電力消費を低減するために低減され得、 (例えば、より高いデータレートで) 高い性能が必要とされるときには増加され得る。

【0040】

[0061] 2 つの異なる N 値についてのマスタ遅延回路 710 の例示的な動作が、ここから、図 8 及び 9 に関連して説明されるだろう。図 8 は、N が 2 に等しい例を例示するタイミング図である。この例では、更新回路 712 は、基準クロックの 2 つの周期 (サイクル) ごとに一对のパルス 810 (1) - 810 (3) を出力する。パルス 810 (1) - 810 (3) の各対は、クロック遅延回路 515 への Q パルス出力と、PFD 520 の第 1 の入力 522 への ZQ パルス出力とを備え、ここで、ZQ パルスは、Q パルスに対して略 1 クロック周期ぶん遅延されている。

【0041】

[0062] 図 8 はまた、Q パルスがクロック遅延回路 515 によって遅延された後の各 Q パルスを示す。パルスの対ごとに、PFD 520 は、 (図 8 に示されるように) それぞれの ZQ パルスとそれぞれの遅延 Q パルスとの間の位相誤差を検出し、電圧バイアスコントローラ 525 は、検出された位相誤差に基づいて、電圧バイアスを更新する。この例では、マスタ遅延回路 710 は、位相誤差を検出し、基準クロックの 2 つの周期 (サイクル) ごとに、検出された位相誤差に基づいて電圧バイアスを更新する。

【0042】

[0063] 図 8 は、各遅延 Q パルスがそれぞれの ZQ パルスに対して早い (それぞれの ZQ パルスに先行する) 例を示すが、遅延 Q パルスが、それぞれの ZQ パルスに対して遅い可能性があることは認識されるべきである。遅延 Q パルスが早いケースでは、電圧バイアスコントローラ 525 は、位相誤差を低減するために、クロック遅延回路 515 の遅延を増加させる。遅延 Q パルスが遅いケースでは、電圧バイアスコントローラ 525 は、位相誤差を低減するために、クロック遅延回路 515 の遅延を減少させる。

【0043】

[0064] 図 9 は、N が 4 に等しい例を例示するタイミング図である。この例では、更新回路 712 は、基準クロックの 4 つの周期 (サイクル) ごとに一对のパルス 910 (1) -

9 1 0 (3) を出力する。パルス 9 1 0 (1) - 9 1 0 (3) の各対は、クロック遅延回路 5 1 5 への Q パルス出力と、P F D 5 2 0 の第 1 の入力 5 2 2 への Z Q パルス出力とを備え、ここで、Z Q パルスは、Q パルスに対して略 1 クロック周期ぶん遅延されている。

【 0 0 4 4 】

[0065] 図 9 はまた、Q パルスがクロック遅延回路 5 1 5 によって遅延された後の各 Q パルスを示す。パルスの対ごとに、P F D 5 2 0 は、(図 9 に示されるように) それぞれの Z Q パルスとそれぞれの遅延 Q パルスとの間の位相誤差を検出し、電圧バイアスコントローラ 5 2 5 は、検出された位相誤差に基づいて電圧バイアスを更新する。この例では、マスタ遅延回路 7 1 0 は、位相誤差を検出し、基準クロックの 4 つの周期 (サイクル) ごとに、検出された位相誤差に基づいて電圧バイアスを更新する。

10

【 0 0 4 5 】

[0066] 故に、図 8 は、電圧バイアスが 2 つのクロック周期ごとに更新される例を示し、図 9 は、電圧バイアスが 4 つのクロック周期ごとに更新される例を示す。図 9 の例は、更新から更新までの間のより多くの電圧バイアスドリフトという犠牲を払って、より少ない頻度で電圧バイアスを更新することで、図 8 の例と比べて電力消費を低減し得る。

【 0 0 4 6 】

[0067] 図 1 0 は、N が 4 に等しい別の例を例示するタイミング図である。この例では、更新回路 7 1 2 は、基準クロックの 4 つの周期 (サイクル) ごとに 1 対のパルス 1 0 1 0 (1) - 1 0 1 0 (3) を出力する。パルス 1 0 1 0 (1) - 1 0 1 0 (3) の各対は、クロック遅延回路 5 1 5 への Q パルス出力と、P F D 5 2 0 の第 1 の入力 5 2 2 への Z Q パルス出力とを備え、ここで、Z Q パルスは、Q パルスに対して略 1 クロック周期ぶん遅延されている。この例は、Z Q 及び Q パルスがハイではなくローであり、更新回路 7 1 2 の 2 つの出力がパルス間でローではなくハイである点で、図 9 の例とは異なる。

20

【 0 0 4 7 】

[0068] 図 1 0 はまた、Q パルスがクロック遅延回路 5 1 5 によって遅延された後の各 Q パルスを示す。パルスの対ごとに、P F D 5 2 0 は、(図 1 0 に示されるように) それぞれの Z Q パルスとそれぞれの遅延 Q パルスとの間の位相誤差を検出し、電圧バイアスコントローラ 5 2 5 は、検出された位相誤差に基づいて、電圧バイアスを更新する。P F D 5 2 0 が、(図 1 0 に示されるように) これらパルスの立ち上がりエッジ間の位相差分又はこれパルスの立ち下がりエッジ間の位相差分を検出することで位相誤差を検出し得ることは認識されるべきである。この例では、マスタ遅延回路 7 1 0 は、基準クロックの 4 つの周期 (サイクル) ごとに電圧バイアスを更新する。

30

【 0 0 4 8 】

[0069] 図 1 1 は、本開示の実施形態に係る、更新回路 7 1 2 の例示的な実装形態を示す。この実施形態では、更新回路 7 1 2 は、プログラマブルカウンタ 1 1 1 0、第 1 のクロックゲート 1 1 1 5、第 2 のクロックゲート 1 1 2 0 及びクロック周期遅延回路 1 1 2 2 を備える。クロックゲート 1 1 1 5 及び 1 1 2 0 の各々は基準クロックを受け、以下で更に説明されるように、クロックゲートがゲートイネーブル信号を受けるときには基準クロックをパスするように、クロックゲートがゲートディセーブル信号を受けるときには基準クロックをブロックするように構成される。

40

【 0 0 4 9 】

[0070] プログラマブルカウンタ 1 1 1 0 は、更新コントローラ 7 5 0 からの制御信号 N と、基準クロックとを受ける。カウンタ 1 1 1 0 は、基準クロックの N 番目ごとの周期 (サイクル) の間ずっとゲートイネーブル信号 1 1 2 5 を出力し、1 より大きい N の N 番目ごとの周期 (サイクル) の間の周期の間ずっとゲートディセーブル信号を出力するように構成される。ゲートイネーブル信号 1 1 2 5 は、Q パルスを生成するために、第 1 のクロックゲート 1 1 1 5 に、1 クロック周期の間、基準クロックをパスさせる。クロック周期遅延回路 1 1 2 2 は、ゲートイネーブル信号を 1 クロック周期ぶん遅延させ、ゲートイネーブル遅延信号 1 1 3 0 を第 2 のクロックゲート 1 1 2 0 に出力する。ゲートイネーブル遅延信号 1 1 3 0 は、Z Q パルスを生成するために、第 2 のクロックゲート 1 1 2 0 に、

50

1クロック周期の間基準クロックをパスさせる。第2のクロックゲート1120に入力されるゲートイネーブル信号1130が、第1のクロックゲート1115に入力されるゲートイネーブル信号1125に対して1クロック周期ぶん遅延されているため、ZQパルスは、Qパルスに対して1クロック周期ぶん遅延されている。

【0050】

[0071] 上述したように、カウンタ1110は、基準クロックのN番目ごとの周期（サイクル）の間ずっとゲートイネーブル信号1125を出力する。これを行うため、カウンタ1110は、基準クロックの周期の数をカウントし、カウンタ1110が基準クロックのN個の周期をカウントする度にゲートイネーブル信号を出力し得る。Nの値がプログラマブルであるため、パルス対を生成するために、カウンタ1010がクロックゲート1115及び1120をイネーブルにするレート（故に、マスタ遅延回路710が電圧バイアスを更新するレート）は、プログラマブルである。

【0051】

[0072] クロックゲート1115及び1120の各々は、1つ又は複数の論理ゲートを使用して実装され得る。例えば、各クロックゲート1115及び1120は、第1の及び第2の入力を有するANDゲートを備え得る。ANDゲートの第1の入力は、基準クロックを受け、ANDゲートの第2の入力は、ゲートイネーブル信号（論理1）又はゲートディセーブル信号（論理ゼロ）のいずれかを受ける。この例では、ANDゲートは、ANDゲートがゲートイネーブル信号（論理1）を受けるときには基準クロックをパスし、ANDゲートがゲートディセーブル信号（論理ゼロ）を受けるときには基準クロックをブロックする。基準クロックがブロックされると、ANDゲートは、論理ゼロを出力する。本実施形態に係るクロックゲート1115及び1120は、高いパルス対（この例は、図8及び9に示されている）を生成するために使用され得る。

【0052】

[0073] 別の例では、各クロックゲート1115及び1120は、第1の及び第2の入力を有するORゲートを備え得る。ORゲートの第1の入力は、基準クロックを受け、ORゲートの第2の入力は、ゲートイネーブル信号（論理ゼロ）又はゲートディセーブル信号（論理1）のいずれかを受ける。この例では、ORゲートは、ORゲートがゲートイネーブル信号（論理ゼロ）を受けるときには基準クロックをパスし、ORゲートがゲートディセーブル信号（論理1）を受けるときには基準クロックをブロックする。基準クロックがブロックされると、ORゲートは、論理1を出力する。本実施形態に係るクロックゲート1115及び1120は、低いパルス対（この例は、図10に示されている）を生成するために使用され得る。

【0053】

[0074] クロックゲート1115及び1120が、上述された例に制限されないこと、及び、各クロックゲート1115及び1120が、他のタイプの論理ゲート及び/又は論理ゲートの組み合わせを使用して実装され得ることは認識されるべきである。

【0054】

[0075] クロック周期遅延回路1122は、基準クロック及びゲートイネーブル信号を受け、ゲートイネーブル信号を、受けた基準クロックの1周期ぶん遅延させるフリップフロップ（例えば、Dフリップフロップ）が実装され得る。

【0055】

[0076] 上述したように、更新コントローラ750は、メモリインターフェースのタイミング要件に基づいてNの値を調整し得る。例えば、タイミング要件は、所要の時間におけるメモリインターフェースのデータレートに依存し得る。データレートが低減されると、メモリインターフェースのタイミング要件は、より緩和された状態になり、故に、マスタ遅延回路に対する性能要件が低減される。このケースでは、電圧バイアスが更新されるレートは、電力消費を低減するために低減され得る（即ち、Nが増加され得る）。データレートが増加されると、メモリインターフェースのタイミング要件はより厳しくなる（例えば、適切なデータサンプリングのためにフリップフロップによって許容され得るジッタの

10

20

30

40

50

量が低減される)。このケースでは、電圧バイアスが更新されるレートは、性能を高めるために増加され得る(即ち、Nが低減され得る)。

【0056】

[0077]一実施形態では、更新コントローラ750は、ルックアップテーブルを含み得、ここでは、ルックアップテーブルは、メモリインターフェースによってサポートされる複数の異なるデータレートを備える。ルックアップテーブルは、各データレートを、Nの対応する値にマッピングし得る。Nの値は、データレートが低くなるにつれ大きくなり得る。この実施形態では、更新コントローラ750は、(例えば、メモリコントローラから)メモリインターフェースの現在のデータレートのインジケーションを受け、ルックアップテーブルを使用して、現在のデータレートに対応するNの値を決定し得る。次に、更新コントローラ750は、決定されたNの値を用いて、マスタ遅延回路710内の更新回路712をプログラムし得る。

10

【0057】

[0078]データレートが変化すると、更新コントローラ750は、ルックアップテーブルを使用して、新しいデータレートに対応するNの値を決定し得る。新しいデータレートのためのNの値が、前のデータレートのためのNの値と異なる場合、更新コントローラ750は、新しいデータレートのためのNの値を用いてマスタ遅延回路710内の更新回路712をプログラムし得る。故に、Nの値(故に、電圧バイアス更新のレート)は、メモリインターフェースのデータレートにおける変化に従って調整され得る。

20

【0058】

[0079]例えば、DDRメモリインターフェースの場合、Nは、データレートが第1のデータレートを下回る(例えば、400MHzを下回る)とき、最大値(例えば、32)に設定され得、Nは、データレートが第2のデータレートを上回る(例えば、1.6GHzを上回る)とき、1に設定され得る。この例では、Nは、第1のデータレートと第2のデータレートとの間(例えば、400MHzと1.6GHzとの間)のデータレートについて、1から最大値の間の値に調整され得る。

【0059】

[0080]マスタ遅延回路710が最初にパワーオンされるとき、位相誤差は、比較的大きいだろう。この点において、更新コントローラ750は、最初にNの値を1に設定して、位相誤差を迅速に低減し、マスタ遅延回路710のループをロックし得る。位相誤差が許容可能なレベルに低下すると、更新コントローラ750は、電力消費を低減するために、Nの値を増加させ得る。例えば、更新コントローラ750は、上述したように、メモリインターフェースの現在のデータレートに基づいてNの値を増加させ得る。

30

【0060】

[0081]図12は、ロック期間中、Nの値が初期に1に設定される例を示すタイミング図である。ロック期間中、電圧バイアスは、マスタ遅延回路710のループを迅速にロックするために、基準クロックの周期ごとに更新される。ロック期間は、位相誤差が許容可能なレベル(例えば、メモリインターフェースのタイミング要件を満たすレベル)に低下すると終了し得る。マスタ遅延回路710のループがロックされた後、Nの値は、電力を低減するために、増加され得る。図12に示される例では、Nの値は、4に増加され得る。しかしながら、本開示の実施形態がこの例に制限されないこと、及び、Nの値が、メモリインターフェースのタイミング要件を満たす任意の値に増加され得ることは認識されるべきである。ロック期間が、図12に示される例における持続時間に制限されないことも認識されるべきである。一般に、ロック期間の持続時間は、位相誤差を許容可能なレベルまで低減するのに必要な電圧バイアス更新の数に依存し得る。

40

【0061】

[0082]一実施形態では、更新コントローラ750は、ロック期間の開始から所定の数のクロック周期の後、ロック期間を終了し得る。この実施形態では、クロック周期の所定数は、マスタ遅延回路710をロックするのに必要なクロック周期の数の推定値に基づき得る。別の実施形態では、更新コントローラ750は、PFD520からの、検出された位

50

相誤差をモニタリングし得る。この実施形態では、更新コントローラ 750 は、検出された位相誤差が閾値よりも下に低下するとロック期間を終了し得る。

【0062】

[0083] 図 13 は、本開示の実施形態に係る、スレーブ遅延回路 1315 の例示的な実装形態を示す。スレーブ遅延回路 1315 は、図 3 に示されるスレーブ遅延回路 315 (1) - 315 (m) のうちのいずれか 1 つを実装するために使用され得る。スレーブ遅延回路 1315 は、往路 (矢印 1312 で示される) に沿って第 1 の複数の NAND ゲート 1310 (1) - 1310 (5) を、復路 (矢印 1332 で示される) に沿って第 2 の複数の NAND ゲート 1330 (1) - 1330 (5) を備える。スレーブ遅延回路 1315 はまた、往路と復路との間に第 3 の複数の NAND ゲート 1320 (1) - 1320 (5) を備え、ここで、各 NAND ゲート 1320 (1) - 1320 (5) は、往路及び復路上の 2 つの異なる位置の間に結合される。NAND ゲート 1310 (1) - 1310 (5)、1320 (1) - 1320 (5)、及び 1330 (1) - 1330 (5) は、マスタ遅延回路からの電圧バイアス (図 13 に図示せず) によってバイアスが掛けられ、ここでは、電圧バイアスは、各 NAND ゲートの遅延を制御する。

10

【0063】

[0084] この実施形態では、遅延コントローラ 1340 は、スレーブ遅延回路 1315 の入力と出力 (「IN」及び「OUT」と表される) との間の遅延を制御する。遅延コントローラ 1340 は、以下で更に説明されるように、スレーブ遅延回路 1315 を通る信号の経路を制御するために、スレーブ遅延回路 1315 内の NAND ゲートを選択的にイネーブル及びディセーブルにすることによってこれを行う。

20

【0064】

[0085] この点において、NAND ゲート 1310 (1) - 1310 (5) は、遅延コントローラ 1340 から制御入力 1317 (1) - 1317 (5) において制御信号を受け、NAND ゲート 1320 (1) - 1320 (5) は、遅延コントローラ 1340 から制御入力 1325 (1) - 1325 (5) において制御信号を受け、NAND ゲート 1330 (1) - 1330 (5) は、遅延コントローラ 1340 から制御入力 1335 において制御信号を受ける。例示を簡潔にするために、NAND ゲートの制御入力と遅延コントローラ 1340 との間の接続は、図 13 には示されない。制御信号は、スレーブ遅延回路 1315 を通る信号の経路を制御するために、NAND ゲートを選択的にイネーブル及びディセーブルにし、故に、スレーブ遅延回路 1315 を通る信号の遅延を制御する。(例えば、それぞれの制御入力に論理 1 を入力することで) NAND ゲートがイネーブルにされているとき、NAND ゲートは、インバータとして機能する。(例えば、それぞれの制御入力に論理ゼロを入力することで) NAND ゲートがディセーブルにされているとき、NAND ゲートの出力状態は、不変である。

30

【0065】

[0086] 図 14 A は、遅延コントローラ 1340 が、スレーブ遅延回路 1315 の NAND ゲート 1310 (1) - 1310 (3)、1320 (4) 及び 1330 (1) - 1330 (4) を通る遅延経路 1410 を形成する例を示す。この例では、スレーブ遅延回路 1315 を通る遅延は、信号が 8 つの NAND ゲートを通して伝播するため、1 つの NAND ゲートの遅延の 8 倍に等しい。図 14 A はまた、遅延経路 1410 を形成するために遅延コントローラ 1340 から NAND ゲート 1310 (1) - 1310 (5)、1320 (1) - 1320 (5) 及び 1330 (5) の制御入力に入力される制御信号の論理状態を示す。例示を容易にするために、制御入力の参照番号は、図 14 には示されない。

40

【0066】

[0087] 図 14 B は、遅延コントローラ 1340 が、スレーブ遅延回路 1315 の NAND ゲート 1310 (1) - 1310 (4)、1320 (5) 及び 1330 (1) - 1330 (5) を通る遅延経路 1420 を形成する例を示す。この例では、スレーブ遅延回路 1315 を通る遅延は、信号が 10 個の NAND ゲートを通して伝播するため、1 つの NAND ゲートの遅延の 10 倍に等しい。図 14 B はまた、遅延経路 1420 を形成するため

50

に遅延コントローラ 1340 から NAND ゲート 1310 (1) - 1310 (5)、1320 (1) - 1320 (5) 及び 1330 (5) の制御入力に inputs される制御信号の論理状態を示す。例示を容易にするために、制御入力の参照番号は、図 14B には示されない。

【0067】

[0088] この実施形態では、遅延コントローラ 1340 は、ステップ遅延の倍数によって、スレーブ遅延回路 1315 の遅延を調整することが可能であり、ここで、ステップ遅延は、2つの NAND ゲートの遅延である。2つの NAND ゲートのステップ遅延は、信号が、スレーブ遅延回路 1315 の入力及び出力において同じ極性を有することを確実にする。ステップ遅延は、マスタ遅延回路から NAND ゲートに供給される電圧バイアスによって制御される。スレーブ遅延回路 1315 が図 13 に示される例における NAND ゲートの数に制限されないこと、及び、スレーブ遅延回路 1315 が任意の数の NAND ゲートを含み得ることは認識されるべきである。例えば、NAND ゲートの数は、選択可能な遅延の数を増加させるために、増加され得る。

10

【0068】

[0089] 図 15 は、本開示の実施形態に係る、電圧制御型遅延を有する NAND ゲート 1510 の例示的な実装形態を示す。NAND ゲート 1510 は、図 13 の NAND ゲートを実装するために使用され得る。NAND ゲート 1510 は、NAND 論理回路 1512、電流欠乏 (current-starving) PMOS トランジスタ 1520 及び電流欠乏 NMOS トランジスタ 1550 を備える。以下で更に説明されるように、NAND 論理回路 1512 は、NAND ゲート 1510 の論理関数を実行し、PMOS トランジスタ 1520 及び NMOS トランジスタ 1550 は、NAND ゲート 1510 の遅延を制御する。

20

【0069】

[0090] NAND 論理回路 1512 は、第 1 の PMOS トランジスタ 1530、第 2 の PMOS トランジスタ 1535、第 1 の NMOS トランジスタ 1540 及び第 2 の NMOS トランジスタ 1545 を備える。第 1 の PMOS トランジスタ 1530 及び第 2 の PMOS トランジスタ 1535 のソースは互いに結合され、第 1 の PMOS トランジスタ 1530 及び第 2 の PMOS トランジスタ 1535 のドレインは互いに結合され、第 1 の NMOS トランジスタ 1540 のドレインは、第 1 の PMOS トランジスタ 1530 及び第 2 の PMOS トランジスタ 1535 のドレインに結合され、第 1 の NMOS トランジスタ 1540 のソースは、第 2 の NMOS トランジスタ 1545 のドレインに結合される。第 1 の PMOS トランジスタ 1530 及び第 2 の PMOS トランジスタ 1535 のソースは、電流欠乏 PMOS トランジスタ 1520 を通して電源 V_{dd} に結合され、第 2 の NMOS トランジスタ 1545 のソースは、電流欠乏 NMOS トランジスタ 1550 を通して接地に結合される。

30

【0070】

[0091] NAND ゲート 1510 の第 1 の入力 (「IN1」と表される) は、第 1 の PMOS トランジスタ 1530 及び第 1 の NMOS トランジスタ 1540 のゲートに結合され、NAND ゲート 1510 の第 2 の入力 (「IN2」と表される) は、第 2 の PMOS トランジスタ 1535 及び第 2 の NMOS トランジスタ 1545 のゲートに結合される。NAND ゲート 1510 の出力 (「OUT」と表される) は、第 1 の PMOS トランジスタ 1530、第 2 の PMOS トランジスタ 1535 及び第 1 の NMOS トランジスタ 1540 のドレインに結合される。

40

【0071】

[0092] 上述したように、NAND 論理回路 1512 は、NAND ゲート 1510 の論理関数を実行する。この点において、NAND 論理回路 1512 は、第 1 及び第 2 の入力の両方 (IN1 及び IN2) が論理 1 である場合、論理ゼロを出力し、そうでない場合、論理 1 を出力する。故に、第 2 の入力 (IN2) が論理ゼロである場合、NAND 論理回路 1512 は、第 1 の入力 (IN1) における論理状態に関わらず論理 1 を出力する。第 2 の入力 (IN2) が論理 1 である場合、NAND 論理回路 1512 は、第 1 の入力 (IN

50

1)における論理状態の逆数を入力する。

【0072】

[0093]一例では、第1の入力(IN1)は、スレーブ遅延回路(例えば、スレーブ遅延回路1315)を通して伝播する信号を受けるために使用され得、第2の入力(IN2)は、遅延コントローラ(例えば、遅延コントローラ1340)から制御信号を受けるために使用され得る。この例では、制御信号が論理ゼロである場合、NAND論理回路1512は、第1の入力(IN1)における論理状態に関わらず論理1を出力する。このケースでは、NAND論理回路1512は、第1の入力(IN1)において信号を伝播しない。制御信号が論理1である場合、NAND論理回路1512は、第1の入力(IN1)において信号を反転させ、従って、インバータとして信号を伝播させる。

10

【0073】

[0094]上述したように、電流欠乏PMOSトランジスタ1520及び電流欠乏NMOSトランジスタ1550は、NANDゲート1510の遅延を制御する。より具体的には、電流欠乏NMOSトランジスタ1550は、そのゲートにおいて第1の電圧バイアスVbnを受け、この第1の電圧バイアスVbnに基づいて、NANDゲート1510の出力において立ち下がりエッジを引き起こす信号の遅延を制御する。これは、第1の電圧バイアスVbnが、電流欠乏NMOSトランジスタ1550の電導度を制御し、従って、電流欠乏NMOSトランジスタ1550を介してNANDゲート1510の出力(OUT)から接地に流すことができる電流量を制御するためである。これは、次に、NANDゲート1510の立ち下がり時間を制御し、従って、ハイからローに遷移するNANDゲート1510の出力(OUT)(即ち、立ち下がりエッジ)の時間を制御する。第1の電圧バイアスVbnが高くなるほど、出力(OUT)から接地への電流は高くなり、従って、遅延は短くなる。第1の電圧バイアスVbnが低くなるほど、出力(OUT)から接地への電流は低くなり、従って、遅延は長くなる。

20

【0074】

[0095]電流欠乏PMOSトランジスタ1520は、そのゲートにおいて第2の電圧バイアスVbpを受け、この第2の電圧バイアスVbpに基づいて、NANDゲート1510の出力(OUT)において立ち上がりエッジを生じさせる信号の遅延を制御する。これは、第2の電圧バイアスVbpが、電流欠乏PMOSトランジスタ1520の導電度を制御し、従って、電流欠乏PMOSトランジスタ1520を介してVddからNANDゲート1510の出力(OUT)に流すことができる電流量を制御するためである。これは、次に、NANDゲート1510の立ち上がり時間を制御し、従って、ローからハイに遷移するNANDゲート1510の出力(即ち、立ち上がりエッジ)の時間を制御する。第2の電圧バイアスVbpが低くなるほど、Vddから出力(OUT)への電流は高くなり、従って、遅延は短くなる。第2の電圧バイアスVbpが高くなるほど、Vddから出力(OUT)への電流は低くなり、従って、遅延は長くなる。

30

【0075】

[0096]故に、第1の電圧バイアスVbn及び第2の電圧バイアスVbpは、NANDゲート1510の遅延を制御し、従って、NANDゲート1510が実装されるNANDゲートを備えるスレーブ遅延回路のステップ遅延を制御する。第1の電圧バイアスVbnは、NANDゲート1510の出力(OUT)における立ち下がりエッジの遅延を制御し、第2の電圧バイアスVbpは、NANDゲート1510の出力(OUT)における立ち上がりエッジを制御する。

40

【0076】

[0097]図16は、本開示の実施形態に係る、スレーブ遅延回路について所望のステップ遅延を達成するために、第1の電圧バイアスVbn及び第2の電圧バイアスVbpを調整するように構成されたマスタ遅延回路1610を示す。マスタ遅延回路1610は、更新回路712、クロック遅延回路1615、位相周波数検出器(PFD)1620、チャージポンプ1625、Vbpジェネレータ1640及び初期プル回路1650を備える。マスタ遅延回路1610は、チャージポンプ1625の出力と接地との間に結合された第1

50

のキャパシタ 1 6 3 0 と、V d d と V b p ジェネレータ 1 6 4 0 の出力との間に結合された第 2 のキャパシタ 1 6 4 5 とを更に備える。以下で更に説明されるように、第 1 のキャパシタ 1 6 3 0 は、第 1 の電圧バイアス V b n を生成するために使用され、第 2 のキャパシタ 1 6 4 5 は、第 2 の電圧バイアス V b p を生成するために使用される。

【 0 0 7 7 】

[0098] 動作中、更新回路 7 1 2 は、基準クロックの N 個の周期（サイクル）ごとに一对のパルスを出力する。パルスの各対は、Q パルス及び Z Q パルスを備え、ここでは、Z Q パルスは、Q パルスに対して略 1 クロック周期ぶん遅延されている。パルスの対ごとに、更新回路 7 1 2 は、P F D 1 6 2 0 の第 1 の入力 1 6 2 2 に Z Q パルスを出力し、クロック遅延回路 1 6 1 5 に Q パルスを出力する。クロック遅延回路 1 6 1 5 は、第 1 の電圧バイアス V b n 及び第 2 の電圧バイアス V b p によって制御された量だけ Q パルスを遅延させ、これは、それぞれチャージポンプ 1 6 2 5 及び V b p ジェネレータ 1 6 4 0 の出力からクロック遅延回路 1 6 1 5 にフィードバックされる。第 1 の電圧バイアス V b n は、第 1 のフィードバックループ 1 6 5 5 によってクロック遅延回路 1 6 1 5 にフィードバックされ、第 2 の電圧バイアス V b p は、第 2 のフィードバックループ 1 6 6 0 によってクロック遅延回路 1 6 1 5 にフィードバックされる。クロック遅延回路 1 6 1 5 は、結果として得られた遅延 Q パルスを、P F D 1 6 2 0 の第 2 の入力 1 6 2 4 に出力する。

【 0 0 7 8 】

[0099] P F D 1 6 2 0 は、Z Q パルスと遅延 Q パルスとの間の位相誤差を検出する。例えば、P F D 1 6 2 0 は、Z Q パルス及び遅延 Q パルスの立ち上がりエッジの間の位相差分又は Z Q パルス及び遅延 Q パルスの立ち下がりエッジの間の位相差分を検出することで、位相誤差を検出し得る。P F D 1 6 2 0 は、検出された位相誤差に基づいて、チャージポンプ 1 6 2 5 に U P 信号及び / 又は D O W N 信号を出力する。U P 信号は、第 1 のキャパシタ 1 6 3 0 を充電する（故に、第 1 の電圧バイアス V b n を増加させる）ことをチャージポンプ 1 6 2 5 に行わせ、D O W N 信号は、第 1 のキャパシタ 1 6 3 0 を放電する（故に、第 1 の電圧バイアス V b n を減少させる）ことをチャージポンプ 1 6 2 5 に行わせる。P F D 1 6 2 0 は、検出された位相誤差を減少させる方向に U P 信号及び / 又は D O W N 信号（故に、第 1 の電圧バイアス V b n ）を調整する。

【 0 0 7 9 】

[00100] 第 1 の電圧バイアス V b n は、この第 1 の電圧バイアス V b n に基づいて第 2 の電圧バイアス V b p を生成する V b p ジェネレータ 1 6 4 0 に入力される。一実施形態では、V b p ジェネレータ 1 6 4 0 は、単に、V d d - V b p が V b n に略等しくなるように第 2 の電圧バイアス V b p を調整し得る。別の実施形態では、V b p ジェネレータ 1 6 4 0 は、スレーブ遅延回路内の N A N D ゲートの立ち上がり時間及び立ち下がり時間が略等しくなるように第 2 の電圧バイアス V b p を調整し得る。例えば、V b p ジェネレータ 1 6 4 0 は、N A N D ゲートのうちの 1 つを立ち上がらせ、もう一方の N A N D ゲートを立ち下がらせる相補信号によって駆動される 2 つの N A N D ゲートを備え得る。両方の N A N D ゲートは、第 1 の電圧バイアス V b n 及び第 2 の電圧バイアス V b p によってバイアスが掛けられ得、スレーブ遅延回路に内の N A N D ゲートの複製であり得る。この例では、V b p ジェネレータ 1 6 4 0 は、N A N D ゲートの立ち上がりエッジ及び立ち下がりエッジが交差する点（例えば、電圧）を検出し、交差点が N A N D ゲートの電圧振幅の略中央（例えば、略半分の V d d ）となるように第 2 の電圧バイアス V b p を調整し得る。

【 0 0 8 0 】

[0101] 位相誤差は、クロック遅延回路 1 6 1 5 の遅延が基準クロックの 1 周期に略等しいとき、ゼロに近づく。故に、マスタ遅延回路 1 6 1 0 は、クロック遅延回路 1 6 1 5 の遅延が 1 クロック周期に略等しくなるように、第 1 の電圧バイアス V b n 及び第 2 の電圧バイアス V b p を調整する。一実施形態では、クロック遅延回路 1 6 1 5 は、スレーブ遅延回路のステップ遅延の倍数 M に略等しい遅延を有する。例えば、単純な実装形態では、クロック遅延回路 1 6 1 5 は、直列に結合された 2 × M 個の N A N D ゲートを備え得、こ

10

20

30

40

50

ここで、ステップ遅延は、2つのNANDゲートの遅延である。故に、この実施形態では、マスタ遅延回路1610は、略T/Mのステップ遅延を維持するために、N個のクロック周期（サイクル）ごとに第1の電圧バイアスV_{bn}及び第2の電圧バイアスV_{bp}を更新し、ここで、Tは、1クロック周期（サイクル）である。

【0081】

[0102]第1のキャパシタ1630は、更新から更新までの間、第1の電圧バイアスV_{bn}を保持し、第2のキャパシタ1645は、更新から更新までの間、第2の電圧バイアスV_{bp}を保持する。第1の電圧バイアスV_{bn}及び第2の電圧バイアスV_{bp}は、更新から更新までの間にドリフトする。上述したように、更新から更新までの間の時間を増加させること（即ち、Nを増加させること）は、更新から更新までの間のより多くのドリフトという犠牲を払って、電力消費を低減する（故に、性能を低下させる）。この点において、更新コントローラ750は、特定のデータレートについてタイミング要件を依然として満たしつつ、電力消費を低減するために、更新のレートを調整（即ち、Nを調整）し得る。

10

【0082】

[0103]初期プル回路1650は、誤ロックを防ぐために、第1の電圧バイアスV_{bn}及び第2の電圧バイアスV_{bp}についての初期の値を設定するように構成される。これを行うために、リセット信号（「i_{rst}」と表される）がアサートされるとき（例えば、i_{rst}が論理1のとき）、初期プル回路1650は初期に、第1の電圧バイアスV_{bn}を電源V_{dd}に引き上げ、第2の電圧バイアスV_{bp}を接地に引き下げる。これは初期に、クロック遅延回路1615を、1クロック周期よりも短い遅延に設定し、これは、マスタ遅延回路1610が、クロック遅延回路1615の遅延を1クロック周期にロックすることを確実にするのを助ける。

20

【0083】

[0104]第1の電圧バイアスV_{bn}及び第2の電圧バイアスV_{bp}が初期に設定され、リセットがオフにされた（例えば、i_{rst}が論理ゼロになった）後、マスタ遅延回路1610は、ロック期間中、クロック周期（サイクル）ごとに第1の電圧バイアスV_{bn}及び第2の電圧バイアスV_{bp}を更新し得る。一度マスタ遅延回路1610がロックされると、上述したように、電力を温存するために、更新から更新までの間の間隔は増加され得る（即ち、Nが増加され得る）。

30

【0084】

[0105]図17は、本開示の実施形態に係る、クロック遅延回路1615の例示的な実装形態を示す。クロック遅延回路1615は、第1の遅延段1710及び第2の遅延段1750を備える。クロック遅延回路1615を通る総合遅延（total delay）は、大よそ、第1の遅延段1710及び第2の遅延段1750を介する遅延の合計である。

【0085】

[00106]第1の遅延段1710は、発振器1720及びカウント回路1730を備える。発振器1720は、遅延回路1725及び発振イネーブル/ディセーブル回路1740を備える。

【0086】

40

[0107]遅延回路1725は、図13のスレーブ遅延回路1315の構造に類似した構造で結合されたNANDゲートを備え得る。図17に示される例では、遅延回路1725を通る遅延経路1712を形成するために、遅延回路1725内のNANDゲートの一部がイネーブルにされる。一例では、経路1712の遅延は、 $16 \cdot t_d$ に等しく、ここで、 t_d は、1つのステップ遅延（例えば、2つのNANDゲートの遅延）である。ステップ遅延 t_d は、第1の電圧バイアスV_{bn}及び第2の電圧バイアスV_{bp}（図17には示されない）によって制御される。

【0087】

[0108]発振イネーブル/ディセーブル回路1740は、以下で更に説明するように、発振器1720がイネーブルにされるかディセーブルにされるかを、カウント回路1730

50

からの制御信号に基づいて制御する。図 17 の例では、発振イネーブル/ディセーブル回路 1740 は、遅延回路 1725 の出力 1735 に結合された第 1 の入力と、制御信号を受けるためのカウント回路 1730 に結合された（制御入力とも呼ばれる）第 2 の入力 1745 と、遅延回路 1725 の入力に結合された出力とを有する NAND ゲート 1740 を備える。NAND ゲート 1740 は、第 1 の電圧バイアス V_{bn} 及び第 2 の電圧バイアス V_{bp} （図 17 に図示せず）によってバイアスが掛けられる。

【0088】

[0109] この例では、制御信号が論理 1 であるとき、NAND ゲート 1740 は、遅延回路 1725 の出力と入力との間でインバータとして機能し、これは、遅延回路 1725 を発振させる。故に、発振器 1720 は、制御信号が論理 1 であるときイネーブルにされる。制御信号が論理ゼロであるとき、NAND ゲート 1740 の出力状態は、遅延回路 1725 の出力における論理状態に関わらず、論理 1 に一定に保たれる。これは、遅延回路 1725 の入力から遅延回路 1725 の出力を効率的にブロックする。結果として、遅延回路 1725 は、発振することができない。故に、発振器 1720 は、制御信号が論理ゼロであるときディセーブルにされる。

10

【0089】

[0110] 発振器 1720 がイネーブルにされると、遅延回路 1725 及び NAND ゲート 1740 は、閉ループを形成し、ここでは、このループを通る 1 トリップは、遅延回路 1725 を介する経路 1712 の遅延と、NAND ゲート 1740 の遅延との合計に等しい。経路 1712 の遅延が $16 * t_d$ に等しい例の場合、このループを通る 1 トリップは、 $16.5 * t_d$ （即ち、経路 1712 を介する $16 * t_d$ 遅延と NAND ゲート 1740 を介する $0.5 * t_d$ 遅延）に略等しい。

20

【0090】

[0111] 第 1 の遅延段 1710 の例示的な動作が、ここから、本開示の実施形態に従って説明されるだろう。この例では、第 1 の遅延段 1710 が、更新回路 712（この例は、図 10 に示される）から低い Q パルスを受けることが想定され得る。更新回路 712 から Q パルスの立ち上がりエッジを受けるのに先立ち、発振器 1720 は、ディセーブルにされる（即ち、カウント回路 1730 は、NAND ゲート 1740 の制御入力 1745 に論理ゼロを出力する）。加えて、カウント回路 1730 は、第 2 の遅延段 1750 に論理 1 を出力する。

30

【0091】

[0112] Q パルスの立ち上がりエッジ上で、カウント回路 1730 はトリガされる。これは、発振器 1720 をイネーブルにするために、NAND ゲート 1740 の制御入力 1745 に論理 1 を出力することをカウント回路 1730 に行わせる。これはまた、発振器 1720 の発振の数のカウントを開始することと、第 2 の遅延段 1750 への出力をハイからローに遷移させることをカウント回路 1730 に行わせる。

【0092】

[0113] 発振器 1720 が発振すると、遅延回路 1725 の出力 1735 における論理状態が変化する。出力論理状態の変化から変化までの時間は、NAND ゲート 1740 と遅延回路 1725 内の経路 1712 とを通る 1 トリップの遅延に略等しい。カウント回路 1730 は、遅延回路 1725 の出力 1735 における各立ち下がりエッジでカウント値をインクリメントし得る。代替的に、カウント回路 1730 は、遅延回路 1725 の出力 1735 における各立ち上がりエッジでカウント値をインクリメントし得る。どちらのケースにおいても、カウント回路 1730 は、信号が、NAND ゲート 1740 と遅延回路 1725 内の経路 1712 とを通るトリップを回行う度にカウント値をインクリメントする。NAND ゲート 1740 と遅延回路 1725 内の経路 1712 とを通る遅延が $16.5 * t_d$ に等しい例の場合、カウント回路 1730 は、 $2 * 16.5 * t_d$ の遅延の後にカウント値をインクリメントする。

40

【0093】

[0114] カウント値が所定の終カウント値（例えば、13 カウント）に達すると、カウ

50

ト回路 1730 は、発振器 1720 をディセーブルにするために、NAND ゲート 1740 の制御入力 1745 に論理ゼロを出力する。カウント回路 1730 はまた、第 2 の遅延段 1750 に立ち上がりエッジを出力する。故に、第 1 の遅延段 1710 は、カウント値が終カウント値に達することに応答して、第 2 の遅延段 1750 に立ち上がりエッジを出力する。終カウント値が 13 であり、NAND ゲート 1740 と遅延回路 1725 とを通る遅延が $16.5 * t_d$ である例の場合、第 1 の遅延段 1710 に入力される Q パルスの立ち上がりエッジと、第 2 の遅延段 1750 に出力される立ち上がりエッジとの間の遅延は、 $13 * 2 * 16.5 * t_d$ に略等しい。終カウントに達した後、発振器 1720 は、カウント回路 1730 が次の Q パルスの立ち上がりエッジによって再トリガされるまでディセーブルのままであるだろう。加えて、カウント回路 1730 は、再トリガされるまで、第 2 の段 1750 に論理 1 を出力し得る。

10

【0094】

[0115] 一実施形態では、第 2 の遅延段 1750 は、第 1 の遅延段 1710 と実質的に同一の構造を有する。この実施形態では、第 2 の遅延段 1750 は、発振器 1770 及びカウント回路 1780 を備える。発振器 1770 は、発振イネーブル/ディセーブル回路 1790 及び遅延回路 1775 を備える。図 17 の例では、発振イネーブル/ディセーブル回路 1790 は、NAND ゲート 1790 を備える。第 2 の遅延段 1750 内の遅延回路 1775、カウント回路 1780 及び NAND ゲート 1790 は、第 1 の遅延段 1710 内の遅延回路 1725、カウント回路 1730、及び NAND ゲート 1740 と実質的に類似した方法で機能し得る。

20

【0095】

[0116] 第 1 の遅延段 1710 から立ち上がりエッジを受けるのに先立ち、第 2 の遅延段 1750 内の発振器 1770 は、ディセーブルにされる（即ち、カウント回路 1780 は、NAND ゲート 1790 の制御入力 1795 に論理ゼロを出力する）。また、カウント回路 1780 は、PFD 1620 に論理 1 を出力する。

【0096】

[0117] 第 1 の遅延段 1710 からの立ち上がりエッジ上で、カウント回路 1780 はトリガされる。これは、発振器 1770 をイネーブルにするために、NAND ゲート 1790 の制御入力 1795 に論理 1 を出力することをカウント回路 1780 に行わせる。これはまた、発振器 1770 の発振の数のカウントを開始することと、PFD 1620 への出力をハイからローに遷移させることをカウント回路 1780 に行わせる。

30

【0097】

[0118] カウント回路 1780 におけるカウント値が所定の終カウント値（例えば、13 カウント）に達すると、カウント回路 1780 は、発振器 1770 をディセーブルにするために、NAND ゲート 1790 に論理ゼロを出力する。カウント回路 1780 はまた、PFD 1620 に立ち上がりエッジを出力する。終カウント値が 13 であり、NAND ゲート 1790 及び遅延回路 1775 を通る遅延が $16.5 * t_d$ である例の場合、第 2 の遅延段 1750 に入力される立ち上がりエッジと、PFD 1620 に出力される立ち上がりエッジとの間の遅延は、 $13 * 2 * 16.5 * t_d$ に略等しい。終カウントに達した後、発振器 1770 は、カウント回路 1780 が、第 1 の遅延段 1710 から次の立ち上がりエッジによって再トリガされるまでディセーブルのままであるだろう。加えて、カウント 1780 は、再トリガされるまで、PFD 1620 に論理 1 を出力し得る。

40

【0098】

[0119] 図 18 は、Q パルス、第 1 の遅延段 1710 の出力及び第 2 の遅延段 1750 の出力の例を例示するタイミング図である。この例では、N は 1 よりも大きいと想定される。Q パルスの立ち上がりエッジ 1810 は、第 1 の遅延段 1710 内のカウント回路 1730 をトリガし、これは、第 1 の遅延段 1710 の出力をハイからローに遷移させる。カウント回路 1730 のカウント値が終カウントに達すると、第 1 の遅延段 1710 は、第 2 の遅延段 1750 に立ち上がりエッジ 1820 を出力する。第 1 の遅延段 1710 からの立ち上がりエッジ 1820 は、第 2 の遅延段内のカウント回路 1780 をトリガし、こ

50

れは、第2の遅延段1750の出力をハイからローに遷移させる。カウント回路1780のカウント値が終カウントに達すると、第2の遅延段1750は、PFD1620に立ち上がりエッジ1830を出力する。PFD1620に出力される立ち上がりエッジ1830は、図18に示されるように、Qパルスの立ち上がりエッジから、第1の遅延段1710及び第2の遅延段1750を介する遅延の合計ぶん遅延されている。

【0099】

[0120] 上述したように、マスタ遅延回路1610は、クロック遅延回路1615を介する遅延が1クロック周期に略等しくなるまで、第1の電圧バイアス V_{bn} 及び第2の電圧バイアス V_{bp} を調整する。故に、マスタ遅延回路1610は、 T/M のステップ遅延を達成するように、第1の電圧バイアス V_{bn} 及び第2の電圧バイアス V_{bp} を調整し、こ
ここで、 T は、1クロック周期であり、 M は、第1の遅延段1710及び第2の遅延段1750におけるステップ遅延の総数である。クロック遅延回路1615の各段1710及び1750を介する遅延が $13 \times 2 \times 16 \cdot 5 \times t_d$ に等しい例の場合、クロック遅延回路1615を介する総合遅延は、 $2 \times 13 \times 2 \times 16 \cdot 5 \times t_d$ である。この例では、マスタ遅延回路1610は、 $T / (2 \times 13 \times 2 \times 16 \cdot 5)$ に略等しいステップ遅延 t_d を達成するように第1のバイアス V_{bn} 及び第2のバイアス V_{bp} を調整し、ここで、 T は1クロック周期である。

【0100】

[0121] 図17の例示的なクロック遅延回路1615は、以下の利点のうちの1つ又は複数を提供する。第1に、クロック遅延回路1615は、単に長い遅延チェーンを使用する場合と比べてかなり少数のNANDゲートを使用して小さいステップ遅延を達成し、それによって、クロック遅延回路1615のサイズを低減することができる。これは、クロック遅延回路1615が、発振器を形成するために比較的小さい遅延チェーン（例えば、経路1712内のNANDゲート）を使用し、クロック遅延回路1615の遅延を作成するために発振器の発振数をカウントするためである。

【0101】

[0122] 別の利点は、電圧バイアス更新のレートが低減される（即ち、 N が増加される）とき、クロック遅延回路1615の電力消費が、大幅に低減されることである。これは、発振器1720及び1770が、更新から更新までの間、ディセーブルにされるためである。結果として、更新から更新までの間の間隔が増加される（即ち、 N が増加される）とき、発振器1720及び1770からの動的な電力消費が低減される。例えば、 N が1よりも大きいとき、発振器1720及び1770によって消費される電力は、電圧バイアス V_{bn} 及び V_{bp} がクロック周期ごとに更新されるケースの場合の発振器1720及び1770によって消費される電力の略 $1/N$ に低減される。

【0102】

[0123] 別の利点は、2つの遅延段1710及び1750を使用することが、各段に、Qパルス間でリセットするための時間をより多く提供することである。例えば、第1の遅延段1710が現在のQパルスについての終カウントに達し、 N が1に等しいとき、第1の遅延段1710は、次のQパルスのためにリセットするための、第2の遅延段1750の遅延に略等しい時間量を有する。

【0103】

[0124] 遅延回路1725及び1775がNANDゲートに制限されないことは認識されるべきである。例えば、各遅延回路1725及び1775は、NANDゲート以外の遅延素子のチェーンを備え得、ここでは、遅延素子は、スレーブ遅延回路内の遅延素子の複製であり得る。この例では、遅延チェーンの入力及び出力は、発振器を形成するために選択的に結合され得、それぞれのカウント回路1730及び1780は、遅延を作成するために発振器の発振数をカウントし得る。

【0104】

[0125] クロック遅延回路1615が2つの遅延段に制限されないことも認識されるべきである。例えば、クロック遅延回路1615は、第1の遅延段1710の出力がPFD1

10

20

30

40

50

620に遅延Qパルスを提供する1つの遅延段1710を備え得る。1つの遅延段1710は、例えば、遅延段1710が、第2の遅延段の必要なく次のQパルスのためにリセットするのに十分な時間を有するとき（例えば、Nが2つ以上に等しいとき）、使用され得る。

【0105】

[0126]図19は、本開示の実施形態に係る、第1の遅延段1710内のカウント回路1730の例示的な実装形態を示す。第2の遅延段1750内のカウント回路1780はまた、図19に示される回路を使用して実装され得る。

【0106】

[0127]この実施形態では、カウント回路1730は、リセット論理回路1915、カウンタ1910、NANDゲート1920、NORゲート1930、インバータ1925及びORゲート1935を備える。以下の説明では、カウント回路1730内のNANDゲート1920は、第2のNANDゲート1920と呼ばれ、発振器1720をイネーブル/ディセーブルにするために使用されるNANDゲート1740は、第1のNANDゲート1740と呼ばれるだろう。

【0107】

[0128]第2のNANDゲート1920は、遅延回路1725の出力（「o__osc」と表される）に結合された第1の入力と、リセット論理回路1915の出力（「rst__cnt」と表される）に結合された第2の入力とを有する。カウンタ1910は、第2のNANDゲート1920の出力に結合された入力（「i__cnt」と表される）と、第1のNANDゲート1740の制御入力1745に結合された出力（「o__cnt」と表される）とを有する。故に、この実施形態では、カウンタ1910の出力（o__cnt）の論理状態は、発振器1720がイネーブルにされるかディセーブルにされるかを制御する。ORゲート1935は、初期リセット信号（「i__rst」と表される）を受けるための第1の入力と、インバータ1925を通る遅延回路1725の出力（「o__osc」と表される）に結合された第2の入力とを有する。ORゲート1935の出力は、リセット論理回路1915のリセット入力（「rst」と表される）に結合される。NORゲート1930は、カウンタ1910の入力（i__cnt）に結合された第1の入力と、カウンタ1910の出力（o__cnt）に結合された第2の入力とを有する

[0129]カウント回路1730の例示的な動作が、ここから、本開示の実施形態に従って説明されるだろう。この例では、第1の遅延段が、更新回路712（この例は、図10に示される）から低いQパルスを受けることが想定され得る。更新回路712からQパルスの立ち上がりエッジを受けるのに先立ち、発振器1720は、ディセーブルにされ（即ち、カウンタ1910は、第1のNANDゲート1740の制御入力1745に論理ゼロを出力（o__cnt）し、遅延回路1725は、第2のNANDゲート1920に論理1を出力（o__osc）する。リセット論理回路1915は、第2のNANDゲート1920に論理1を出力（rst__cnt）する。故に、第2のNANDゲート1920は、遅延回路1725及びリセット論理回路1915から論理1を受け、これは、カウンタ1910の入力（i__cnt）に論理ゼロを出力することを第2のNANDゲート1920に行わせる。カウンタ1910の入力（i__cnt）及び出力（o__cnt）の両方が論理ゼロであるため、NORゲート1930は、論理1を出力する。

【0108】

[0130]Qパルスの立ち上がりエッジ上で、リセット論理回路1915の出力（rst__cnt）は、ハイからローに遷移する。これは、カウンタ1910の入力（i__cnt）に論理1を出力することを第2のNANDゲート1920に行わせ、これは、カウンティングを開始するようカウンタ1910をトリガする。これに応答して、カウンタ1910は、第1のNANDゲート1740の制御入力1745に論理1を出力（o__cnt）し、発振器1720をイネーブルにする。故に、カウンタ1910は、リセット論理回路1915の出力（rst__cnt）がローになることに応答して発振器1720をイネーブルにする。更に、カウンタ1910の出力（o__cnt）における論理1（これは、NOR

ゲート 1930 にも供給される) は、NOR ゲート 1930 の出力を、ハイからローに遷移させる。

【0109】

[0131] 遅延回路 1725 の出力 (o__osc) が最初に、発振モードにおいて論理ゼロに変化すると、インバータ 1925 及び OR ゲート 1935 を介してリセット論理回路 1915 のリセット入力 (rst) に論理 1 が入力される。これは、リセットすることと、第 2 の NAND ゲート 1920 に論理 1 を出力することとをリセット論理回路 1915 に行わせる。リセット論理回路 1915 からの論理 1 は、カウンタ 1910 の入力 (i__cnt) に遅延回路 1725 の出力 (o__osc) の逆数をパスすることを第 2 の NAND ゲート 1920 に行わせる。

10

【0110】

[0132] 発振器 1720 が発振すると、遅延回路 1725 の出力 (o__osc) における論理状態が変化する。出力論理状態の変化から変化までの時間は、第 1 の NAND ゲート 1740 と遅延回路 1725 内の経路 1712 とを通る 1 トリップの遅延に略等しい。

【0111】

[0133] 発振中、カウンタ 1910 は、カウント入力 (i__cnt) がローからハイに上昇する度 (即ち、NAND ゲート 1920 の出力における各立ち上がりエッジ) にカウント値をインクリメントする。これは、信号が、第 1 の NAND ゲート 1740 と遅延回路 1725 内の経路 1712 とを通るトリップを 2 回行う度に発生する。故に、この態様では、カウンタ 1910 は、第 1 の NAND ゲート 1740 と遅延回路 1725 内の経路 1712 とを通る 2 回のトリップの遅延の後にカウント値をインクリメントする。第 1 の NAND ゲート 1740 と遅延回路 1725 内の経路 1712 とを通る遅延が $16.5 * t_d$ に等しい例の場合、カウンタ 1910 は、 $2 * 16.5 * t_d$ の遅延の後にカウント値をインクリメントする。

20

【0112】

[0134] カウント値が終カウント値 (例えば、13 カウント) に達すると、カウンタ 1910 は、NOR ゲート 1930 及び第 1 の NAND ゲート 1740 の制御入力 1745 の両方に論理ゼロを出力 (o__cnt) する。第 1 の NAND ゲート 1740 の制御入力 175 における論理ゼロは、第 1 の NAND ゲート 1740 の出力を、論理 1 で一定に保たせ、これは、発振器 1720 をディセーブルにする。第 1 の NAND ゲート 1740 の出力における論理 1 は、遅延回路 1725 を通って伝播し、これは、第 2 の NAND ゲート 1920 に論理 1 を出力 (o__osc) することを遅延回路 1725 に行わせる。これは、次に、NOR ゲート 1930 及びカウンタ 1910 の入力 (i__cnt) の両方に論理ゼロを出力することを第 2 の NAND ゲート 1920 に行わせる。結果として、NOR ゲート 1930 の両方の入力 が論理ゼロとなり、これは、NOR ゲート 1930 の出力をローからハイに遷移させ、故に、第 2 の遅延段 1750 に立ち上がりエッジを出力することを NOR ゲート 1930 に行わせる。故に、第 1 の遅延段 1710 は、カウンタ 1910 が終カウント値に達した後、第 2 の遅延段 1750 に立ち上がりエッジを出力する。終カウント値が 13 であり、NAND ゲート 1740 及び遅延回路 1725 を介する遅延が $16.5 * t_d$ である例の場合、Q パルスの立ち上がりエッジと、第 2 の遅延段 1750 に出力される立ち上がりエッジとの間の遅延は、 $13 * 2 * 16.5 * t_d$ に略等しい。

30

40

【0113】

[0135] 上述したように、カウンタ入力 (i__cnt) における各立ち上がりエッジでカウント値をインクリメントする代わりに、カウンタ 1910 が、各立ち上がりエッジでカウント値をデクリメントし得ることは認識されるべきである。このケースでは、カウンタ 1910 は、所定のカウント値からカウントを開始し、各立ち上がりエッジにおいてカウント値をデクリメントし、カウント値が終カウント値ゼロに達したとき第 2 のクロック遅延回路 1710 をトリガし得る。

【0114】

[0136] 図 20 は、本開示の実施形態に係る、リセット論理回路 1915 の例示的な実装

50

形態を示す。リセット論理回路 1915 は、第 1 の AND ゲート 2010、第 1 の NOR ゲート 2020、インバータ 2030、第 2 の AND ゲート 2040、第 2 の NOR ゲート 2050 及び第 3 の NOR ゲート 2060 を備える。リセット論理回路 1915 のクロック入力 (「clk」と表される) は、第 1 の AND ゲート 2010 の第 1 の入力と、第 2 の AND ゲート 2040 の第 1 の入力とに結合される。第 1 の AND ゲート 2010 の出力は、第 1 の NOR ゲート 2020 の第 1 の入力に結合され、リセット入力は、第 1 の NOR ゲート 2020 の第 2 の入力に結合される。第 1 の NOR ゲート 2020 の出力は、インバータ 2030 を通して第 1 の AND ゲート 2010 の第 2 の入力にフィードバックされる。第 1 の NOR ゲート 2020 の出力はまた、第 2 の AND ゲート 2040 の第 2 の入力に結合される。第 2 の AND ゲート 2040 の出力は、第 2 の NOR ゲート 2050 の第 1 の入力に結合される。第 2 の NOR ゲート 2050 の出力は、第 3 の NOR ゲート 2060 の第 1 の入力に結合され、リセット入力、第 3 の NOR ゲート 2060 の第 2 の入力に結合される。第 3 の NOR ゲート 2060 の出力は、第 2 の NOR ゲート 2050 の第 2 の入力に結合される。第 2 の NOR ゲート 2050 の出力は、リセット論理回路 1915 の出力 (「yn」と表される) に結合される。

10

20

30

40

50

【0115】

[0137] リセット論理回路 1915 は、リセット入力 (rst) に論理 1 を入力することでリセットされ得る。一度リセットされると、リセット論理回路 1915 は、立ち上がりエッジをクロック入力 (clk) において受けるまで、論理 1 を出力 (yn) し得る。リセット論理回路 1915 が、第 1 の遅延段 1710 において使用されるとき、クロック入力 (clk) は、更新回路 712 の Q 出力に結合され得、リセット論理回路 1915 が第 2 の遅延段 1750 において使用されると、クロック入力 (clk) は、第 1 の遅延段 1710 の出力に結合され得る。

【0116】

[0138] 立ち上がりエッジがクロック入力 (clk) において受けられると、リセット論理回路 1915 の出力はローになる (即ち、リセット論理回路 1915 は、論理ゼロを出力する)。上述したように、これは、カウンティングを開始するように、カウント回路 1730 内のカウンタ 1910 をトリガし得る。リセット論理回路 1915 は、遅延回路 1725 の出力 (o__osc) がローになると、リセットされ得る。これは、第 1 の遅延回路 1725 の出力 (o__osc) が、インバータ 1925 を通してリセット論理回路 1915 のリセット入力 (rst) に供給されるためである。リセット論理回路 1915 が第 1 の遅延段 1710 で使用されるとき、これは、次の Q パルスの立ち上がりエッジのためにリセット論理回路 1915 をリセットする。

【0117】

[0139] 図 21 は、本開示の実施形態に係る、更新回路 2110 の例示的な実装形態を示す。更新回路 2110 は、図 7 及び 16 に示される更新回路 712 を実装するために使用され得る。更新回路 2110 は、入力基準クロックの N 個の周期 (サイクル) ごとに一对のパルスを出力するように構成される。パルスの各対は、低い Q パルス及び低い ZQ パルス (これらの例は、図 10 に示される) を備え、ここでは、ZQ パルスは、Q パルスに対して略 1 クロック周期ぶん遅延されている。

【0118】

[0140] 更新コントローラ 2110 は、プログラマブルカウンタ 2115、第 1 のインバータ 2120、第 1 の D フリップフロップ 2130、第 2 の D フリップフロップ 2150、第 2 のインバータ 2135、第 1 の OR ゲート 2140、第 3 のインバータ 2155、及び第 2 の OR ゲート 2160 を備える。カウンタ 2115、第 1 のフリップフロップ 2130 及び第 2 のフリップフロップ 2150 は、図 21 に示されるように、初期リセット信号 (i__rst) によってリセットされ得る。

【0119】

[0141] カウンタ 2115 は、更新コントローラ 750 からの制御信号 N と、基準クロックとを受ける。カウンタ 2115 は、基準クロックの N 番目ごとの周期 (サイクル) の間

ずっとその出力（「tcn」と表される）において論理ゼロを出力し、1より大きいNのN番目ごとの周期（サイクル）の間でその出力（tcn）において論理1を出力するように構成される。

【0120】

[0142]第1のフリップフロップ2130は、基準クロックに結合された（「clk」と表される）クロック入力と、第1のインバータ2120を通してカウンタ2115の出力（tcn）に結合されたd入力と、q出力とを有する。第2のフリップフロップ2150は、基準クロックに結合された（「clk」と表される）クロック入力と、第1のフリップフロップ2130のq出力に結合されたd入力と、q出力とを有する。フリップフロップ2130及び2150の両方が、正エッジトリガされたフリップフロップであり得、ここでは、各フリップフロップは、基準クロックの立ち上がりエッジ上でそれぞれのd入力において論理値をラッチし、そのラッチされた論理値を、略1クロック周期の間それぞれのq出力において出力する。

10

【0121】

[0143]第1のORゲート2140は、第2のインバータ2135を介して第1のフリップフロップ2130のq出力に結合された第1の入力と、基準クロックに結合された第2の入力とを有する。第1のORゲート2140の出力は、更新回路2110のQ出力を形成し得る。第2のORゲート2160は、第3のインバータ2155を通して第2のフリップフロップ2150のq出力に結合された第1の入力と、基準クロックに結合された第2の入力とを有する。第2のORゲート2160の出力は、更新回路2110のZQ出力を形成し得る。

20

【0122】

[0144]更新回路2110の動作が、ここから、本開示の実施形態に従って説明されるだろう。

【0123】

[0145]上述したように、カウンタ2115は、基準クロックのN番目ごとの周期（サイクル）の間ずっと論理ゼロを出力する。1クロック周期（サイクル）の間カウンタ2115が論理ゼロを出力する度に、第1のORゲート2140及び第2のORゲート2160は、それぞれ、低いQパルス及び低いZQパルスを出力し、ここでは、ZQパルスは、Qパルスに対して略1クロック周期ぶん遅延されている。より具体的には、第1のインバータ2120は、カウンタ2115の出力（tcn）において論理ゼロを反転させ、第1のフリップフロップ2130のd入力に論理1を出力する。第1のフリップフロップ2130は、基準クロックの立ち上がりエッジ上で論理1をラッチし、そのラッチされた論理1を、1クロック周期の間にそのq出力において出力する。第2のインバータ2135は、第1のフリップフロップ2130のq出力において論理1を反転させ、第1のORゲート2140の第1の入力に論理ゼロを出力する。これは、低いQパルスを生成するために、1クロック周期の間基準クロックをQ出力にパスすることを第1のORゲート2140に行わせる。

30

【0124】

[0146]第2のフリップフロップ2150は、1クロック周期の遅延の後、第1のフリップフロップ2130のq出力において論理1をラッチし、このラッチされた論理1を1クロック周期の間出力する。第3のインバータ2155は、第2のフリップフロップ2150のq出力において論理1を反転させ、第2のORゲート2160の第1の入力に論理ゼロを出力する。これは、低いZQパルスを生成するために、1クロック周期の間ZQ出力に基準クロックをパスすることを第2のORゲート2160に行わせる。第2のフリップフロップ2150のq出力が、第1のフリップフロップ2130のq出力に対して1クロック周期ぶん遅延されているため、ZQパルスは、Qパルスに対して1クロック周期ぶん遅延されている。

40

【0125】

[0147]図22は、本開示の実施形態に係る、遅延制御のための方法2200を例示する

50

フロー図 2 2 0 0 である。方法 2 2 0 0 は、マスタ遅延回路 1 6 1 0 及び更新コントローラ 7 5 0 によって実行され得る。

【 0 1 2 6 】

[0148] ステップ 2 2 1 0 において、電圧バイアスは、遅延回路に供給され、ここにおいて、電圧バイアスは、遅延回路の遅延を制御する。例えば、マスタ遅延回路（例えば、マスタ遅延回路 1 6 1 0 ）は、スレーブ遅延回路（例えば、スレーブ遅延回路 1 3 1 5 ）のステップ遅延を制御するために、このスレーブ遅延回路に電圧バイアスを供給し得る。

【 0 1 2 7 】

[0149] ステップ 2 2 2 0 において、電圧バイアスは、更新レートで更新される。例えば、電圧バイアスは、基準クロックの N 個の周期（サイクル）あたり 1 回という更新のレートで調整され得る。

10

【 0 1 2 8 】

[0150] ステップ 2 2 3 0 において、更新レートが調整される。例えば、更新レートは、遅延回路を組み込んでいるメモリインターフェースのタイミング要件に基づいて調整され得る。この例では、更新レートは、タイミング要件がより緩和される（例えば、より低いデータレートである）とき、低減され得、タイミング要件がより厳しい（例えば、より高いデータレートである）とき、増加され得る。

【 0 1 2 9 】

[0151] 方法は、オプション的に、遅延回路によって遅延されている信号のデータレートに基づいて更新レートを調整することを含み得る。例えば、更新レートは、信号のデータレートが第 1 のデータレートに略等しい場合、第 1 の更新レートに設定され、更新レートは、信号のデータレートが第 2 のデータレートに略等しい場合、第 2 の更新レートに設定され得、ここにおいて、第 1 のデータレートは、第 2 のデータレートよりも低く、第 1 の更新レートは、第 2 の更新レートよりも低い。

20

【 0 1 3 0 】

[0152] 方法は、オプション的に、遅延回路に第 2 の電圧バイアス（例えば、電圧バイアス V b p ）を供給することと、更新レートで第 2 の電圧バイアスを更新することを含み得る。第 2 の電圧バイアスはまた、遅延回路の遅延を制御し得る。

【 0 1 3 1 】

[0153] 更新コントローラ 7 5 0 が、汎用プロセッサ、デジタルシグナルプロセッサ（DSP）、特定用途向け集積回路（ASIC）、フィールドプログラマブルゲートアレイ（FPGA）又は他のプログラマブル論理デバイス、ディスクリートゲート又はトランジスタ論理、ディスクリートハードウェア構成要素若しくは本明細書で説明された機能を実行するよう設計されたそれらの任意の組み合わせで実装され得ることは認識されるべきである。汎用プロセッサは、マイクロプロセッサであり得るが、代替的に、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ又はステートマシンであり得る。プロセッサは、本明細書で説明された更新コントローラ 7 5 0 の機能を実行するためのコードを備えるソフトウェアを実行することで、これらの機能を実行し得る。ソフトウェアは、RAM、ROM、EEPROM（登録商標）、光ディスク及び/又は磁気ディスクのようなコンピュータ可読記憶媒体上に記憶され得る。

30

40

【 0 1 3 2 】

[0154] 本開示の以上の説明は、当業者が本開示を実施又は使用することを可能にするために提供される。本開示に対する様々な修正は当業者には容易に明らかであり、本明細書で定義された包括的な原理は、本開示の精神又は範囲から逸脱することなく、他の変形に適用され得る。例えば、本開示の実施形態は DRAM の例を使用して上述されているが、本開示の実施形態が、この例に制限されず、他のタイプのメモリデバイスで使用され得ることは認識されるべきである。故に、本開示は、本明細書で説明された例及び設計に制限されることを意図せず、本明細書に開示された原理及び新規な特徴に合致する最も広い範囲が与えられるべきである。

【 図 2 】

图 2

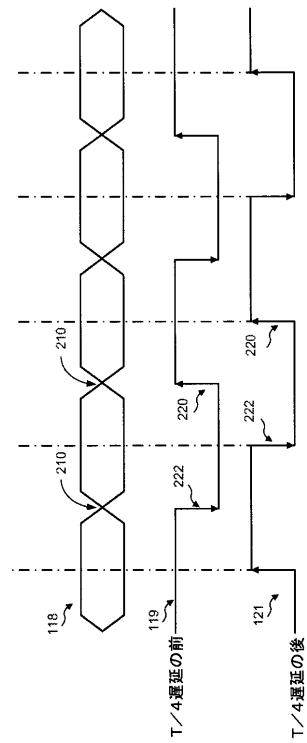


FIG. 2

【 図 4 】

图 4

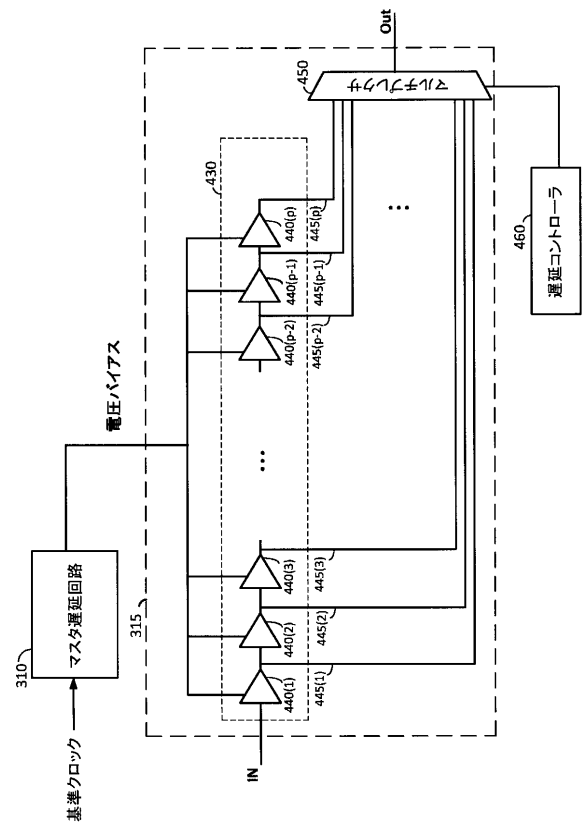


FIG. 4

【 図 5 】

图 5

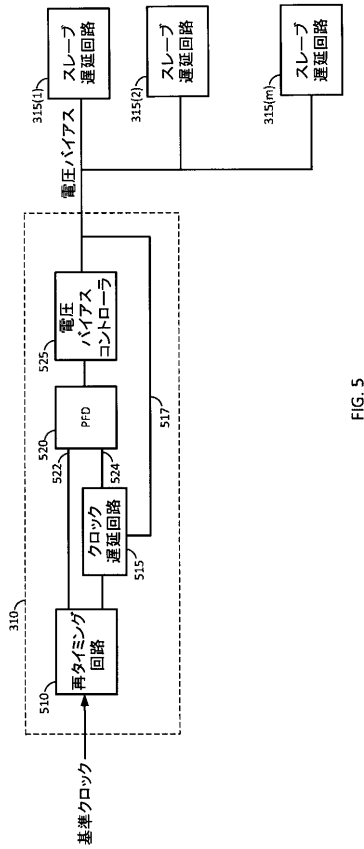


FIG. 5

【 図 6 】

图 6

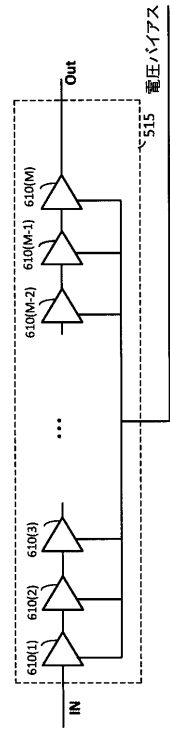


FIG. 6

【 図 7 】

图 7

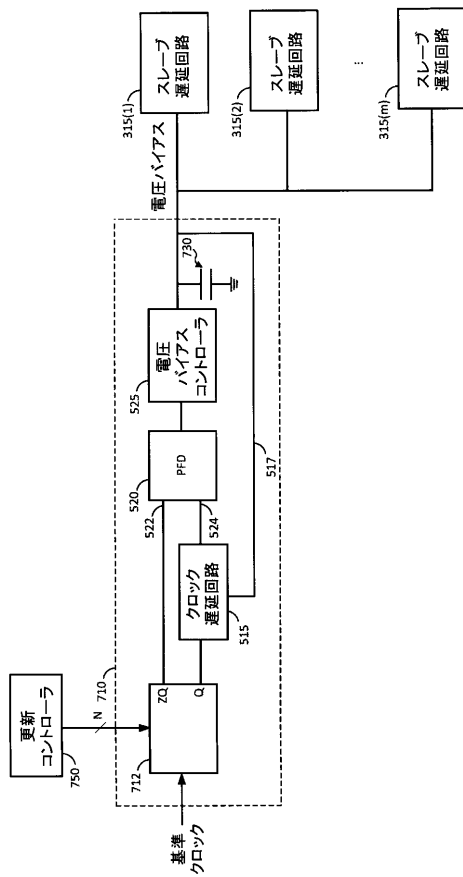


FIG. 7

【 図 8 】

图 8

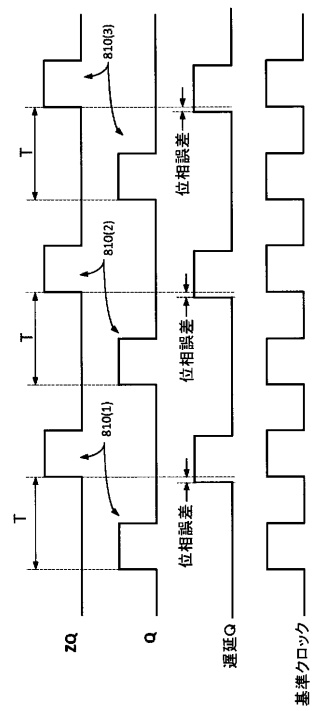


FIG. 8

【図 9】

図 9

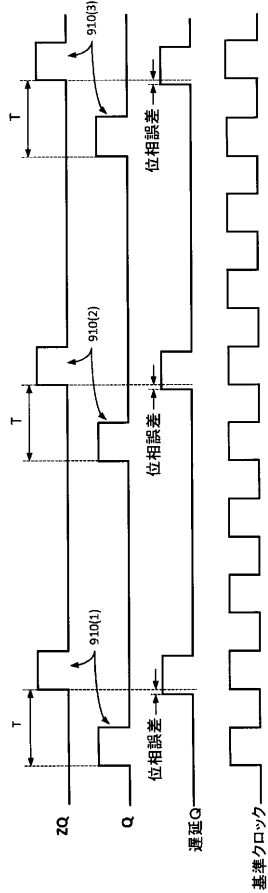


FIG. 9

【図 10】

図 10

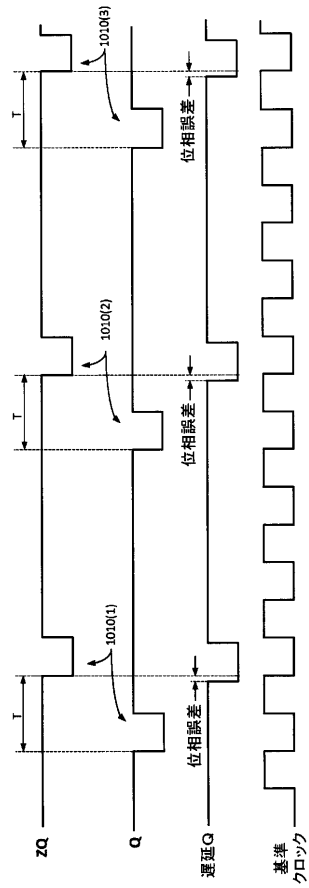


FIG. 10

【図 11】

図 11

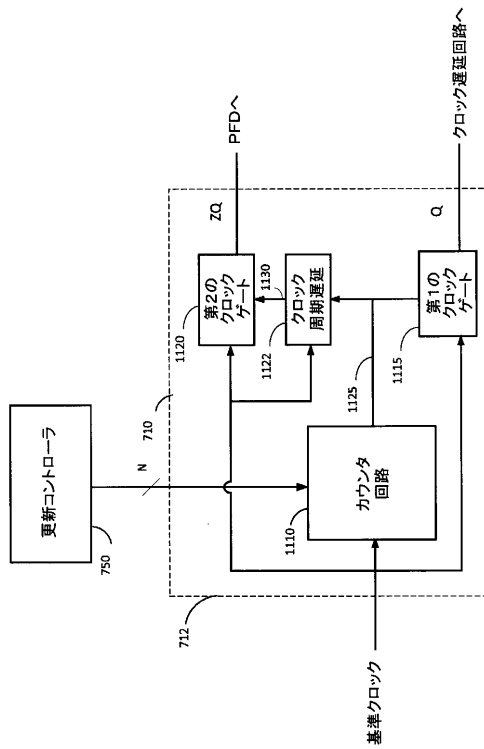


FIG. 11

【図 12】

図 12

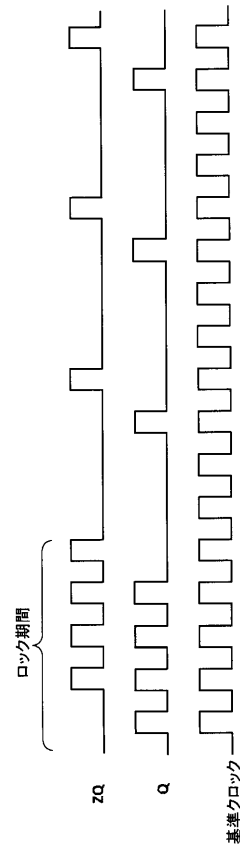


FIG. 12

【図 1 3】

図 13

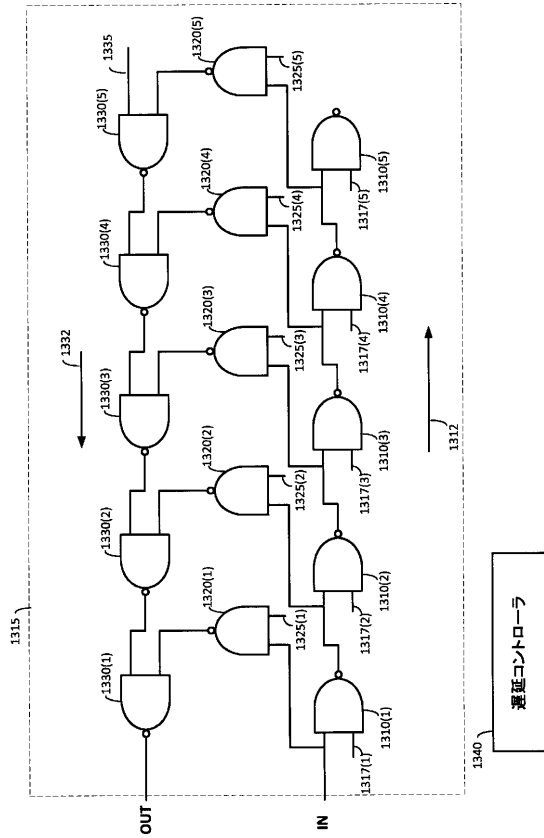


FIG. 13

【図 1 4 A】

図 14A

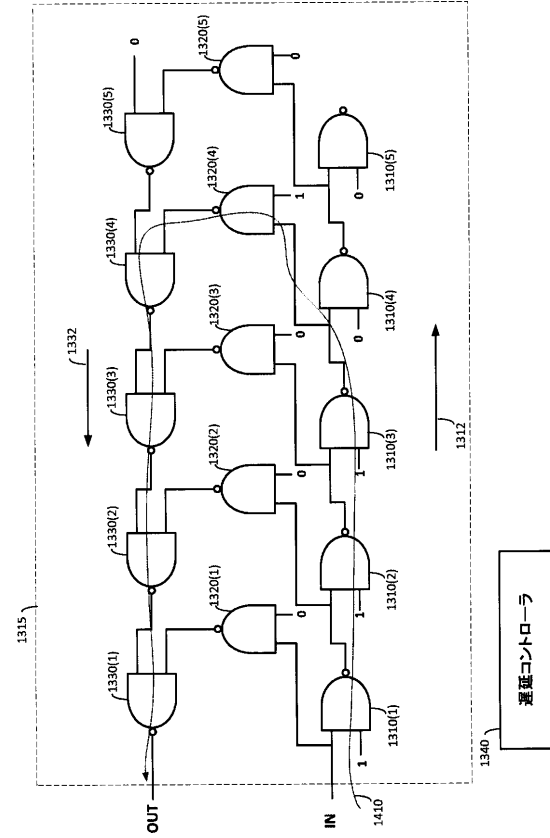


FIG. 14A

【図 1 4 B】

図 14B

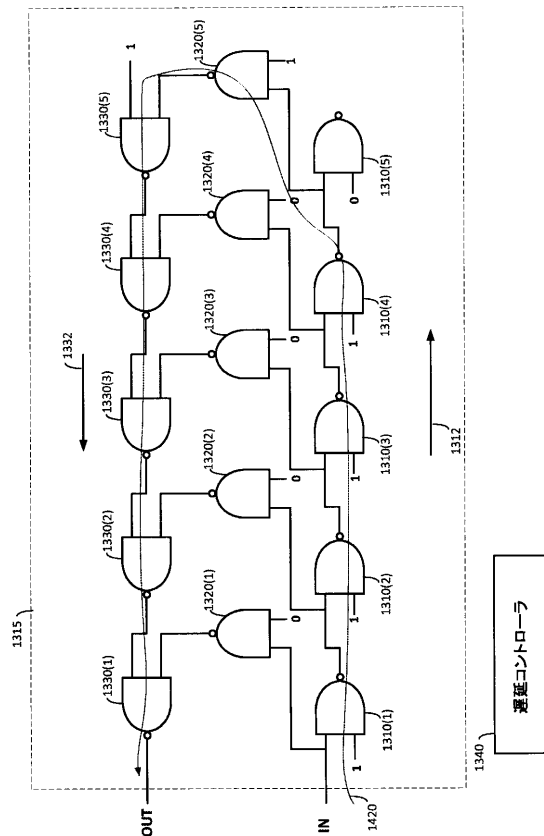


FIG. 14B

【図 1 5】

図 15

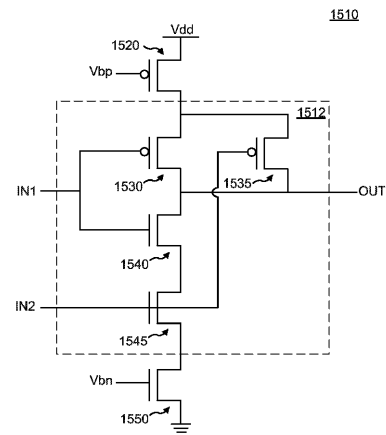


FIG. 15

【 図 1 6 】

图 16

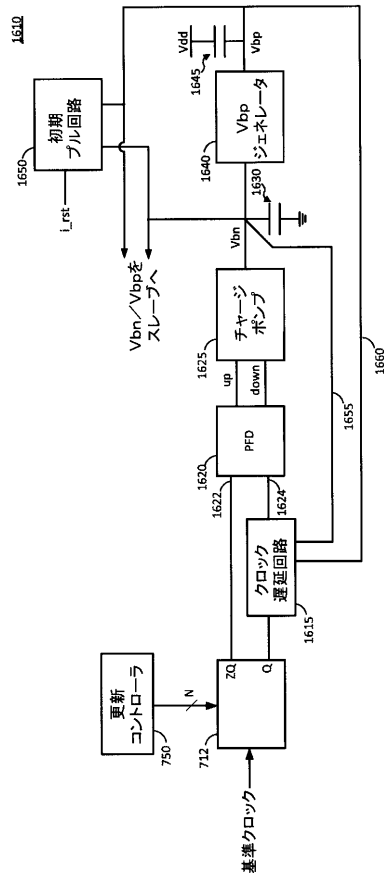


FIG. 16

【 図 1 7 】

图 17

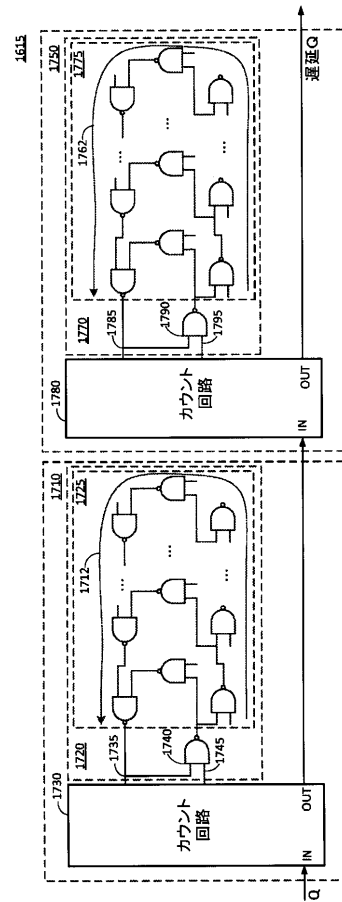


FIG. 17

【 図 1 8 】

图 18

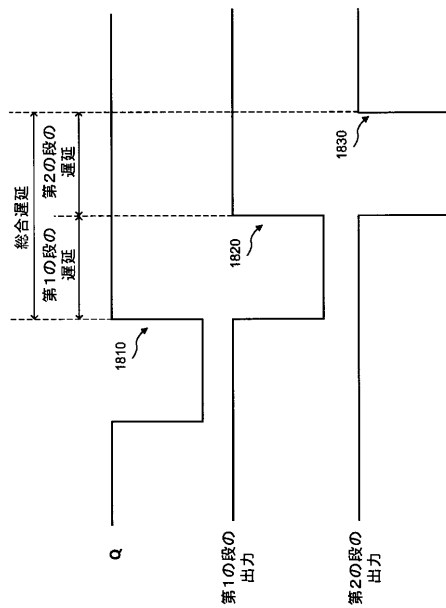


FIG. 18

【 図 1 9 】

图 19

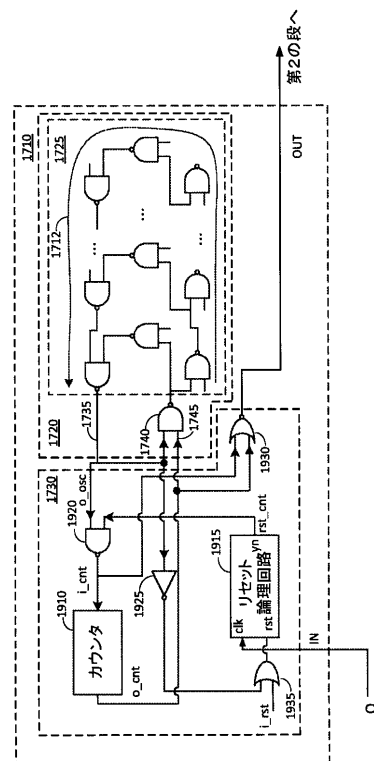


FIG. 19

【図 20】

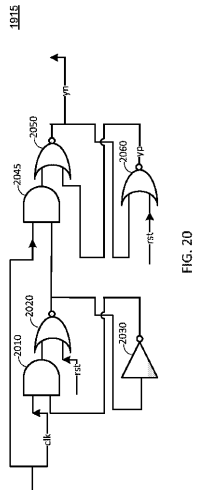


FIG. 20

【図 21】

図 21

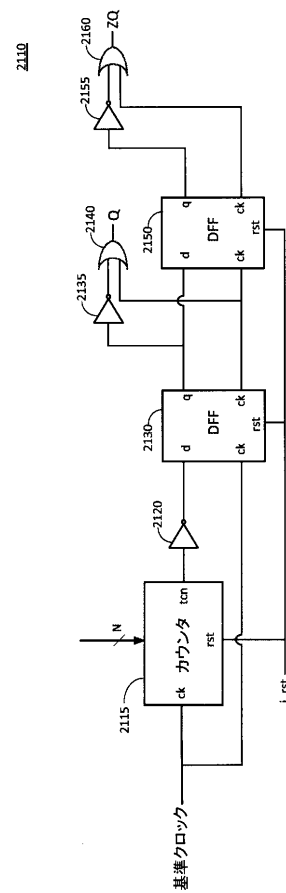


FIG. 21

【図 22】

図 22

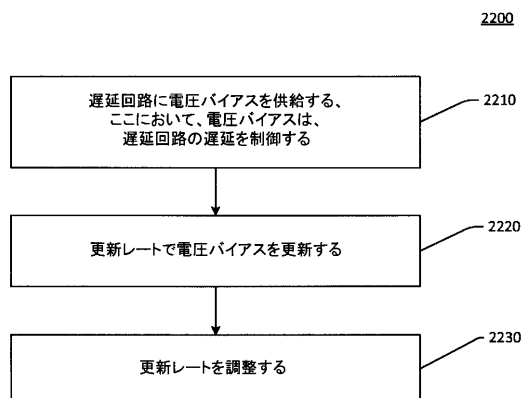


FIG. 22

【手続補正書】

【提出日】平成29年2月14日(2017.2.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

遅延システムであって、

第 2 の遅延回路に電圧バイアスを供給し、更新レートで前記電圧バイアスを更新するように構成された第 1 の遅延回路と、ここにおいて、前記電圧バイアスは、前記第 2 の遅延回路の遅延を制御する、

前記第 2 の遅延回路によって遅延されている信号のデータレートに基づいて、前記第 1 の遅延回路の前記更新レートを調整するように構成された更新コントローラと
を備える遅延システム。

【請求項 2】

前記更新コントローラは、前記信号の前記データレートが第 1 のデータレートに略等しい場合、前記更新レートを第 1 の更新レートに設定し、前記信号の前記データレートが第 2 のデータレートに略等しい場合、前記更新レートを第 2 の更新レートに設定するように構成され、前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、前記第 1 の更新レートは、前記第 2 の更新レートよりも低い、請求項 1 に記載の遅延システム。

【請求項 3】

前記第 1 の遅延回路は、基準クロックに基づいて前記電圧バイアスを更新するように構成され、ここで、前記更新レートは、前記基準クロックの N 個の周期あたり 1 回の前記電圧バイアスの更新に略等しく、N は整数であり、前記更新コントローラは、N を調整するように構成される、請求項 1 に記載の遅延システム。

【請求項 4】

前記更新コントローラは、前記信号の前記データレートが第 1 のデータレートに略等しい場合、N を第 1 の値に設定し、前記信号の前記データレートが第 2 のデータレートに略等しい場合、N を第 2 の値に設定するように構成され、前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、N の前記第 1 の値は、N の前記第 2 の値よりも大きい、請求項 3 に記載の遅延システム。

【請求項 5】

前記第 1 の遅延回路は、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成するように構成された更新回路と、ここにおいて、各パルス対は、第 1 のパルス及び第 2 のパルスを備え、前記第 1 のパルスは、前記第 2 のパルスに対して前記基準クロックの略 1 周期ぶん遅延されている、

各パルス対の前記第 2 のパルスを前記電圧バイアスによって制御された量ぶん遅延させるように構成された電圧制御型遅延回路と、

パルス対ごとに、それぞれの前記第 1 のパルスとそれぞれの遅延された前記第 2 のパルスとの間の位相誤差を検出するように構成された位相周波数検出器と、

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更新するように構成された電圧バイアスコントローラと

を備える、請求項 1 に記載の遅延システム。

【請求項 6】

前記更新回路は、前記基準クロックの N 個の周期あたり 1 つのパルス対というレートで前記パルス対を生成するように構成され、N は整数であり、前記更新コントローラは、N を調整するように構成される、請求項 5 に記載の遅延システム。

【請求項 7】

前記更新コントローラは、前記信号の前記データレートが第1のデータレートに略等しい場合、Nを第1の値に設定し、前記信号の前記データレートが第2のデータレートに略等しい場合、Nを第2の値に設定するように構成され、前記第1のデータレートは、前記第2のデータレートよりも低く、Nの前記第1の値は、Nの前記第2の値よりも大きい、請求項6に記載の遅延システム。

【請求項 8】

前記電圧バイアスによって制御される前記第2の遅延回路の前記遅延は、前記第2の遅延回路のステップ遅延であり、前記第2の遅延回路は、信号を前記ステップ遅延の倍数ぶん遅延させるように構成される、請求項1に記載の遅延システム。

【請求項 9】

遅延制御のための方法であって、

遅延回路に電圧バイアスを供給することと、ここにおいて、前記電圧バイアスは、前記遅延回路の遅延を制御する、

更新レートで前記電圧バイアスを更新することと、

前記遅延回路によって遅延されている信号のデータレートに基づいて、前記更新レートを調整することと

を備える方法。

【請求項 10】

前記更新レートを調整することは、

前記信号の前記データレートが第1のデータレートに略等しい場合、前記更新レートを第1の更新レートに設定することと、

前記信号の前記データレートが第2のデータレートに略等しい場合、前記更新レートを第2の更新レートに設定することと

を備え、

前記第1のデータレートは、前記第2のデータレートよりも低く、前記第1の更新レートは、前記第2の更新レートよりも低い、

請求項9に記載の方法。

【請求項 11】

前記電圧バイアスを更新することは、基準クロックに基づいて前記電圧バイアスを更新することを備え、ここで、前記更新レートは、前記基準クロックのN個の周期あたり1回の前記電圧バイアスの更新に略等しく、Nは整数であり、前記更新レートを調整することは、Nを調整することを備える、請求項9に記載の方法。

【請求項 12】

前記更新レートを調整することは、

前記信号の前記データレートが第1のデータレートに略等しい場合、Nを第1の値に設定することと

前記信号の前記データレートが第2のデータレートに略等しい場合、Nを第2の値に設定することと

を備え、

前記第1のデータレートは、前記第2のデータレートよりも低く、Nの前記第1の値は、Nの前記第2の値よりも大きい、

請求項11に記載の方法。

【請求項 13】

前記電圧バイアスを更新することは、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成することと、ここにおいて、各パルス対は、第1のパルス及び第2のパルスを備え、前記第1のパルスは、前記第2のパルスに対して前記基準クロックの略1周期ぶん遅延されている、

各パルス対の前記第2のパルスを前記電圧バイアスによって制御された量ぶん遅延させることと、

パルス対ごとに、それぞれの前記第 1 のパルスとそれぞれの遅延された前記第 2 のパルスとの間の位相誤差を検出することと、

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更新することと

を備える、請求項 9 に記載の方法。

【請求項 14】

前記遅延回路に第 2 の電圧バイアスを供給することと、ここにおいて、前記第 2 の電圧バイアスはまた、前記遅延回路の前記遅延を制御する、

前記更新レートで前記第 2 の電圧バイアスを更新することと

を更に備える、請求項 9 に記載の方法。

【請求項 15】

遅延制御のための装置であって、

遅延回路に電圧バイアスを供給するための手段と、ここにおいて、前記電圧バイアスは、前記遅延回路の遅延を制御する、

更新レートで前記電圧バイアスを更新するための手段と、

前記遅延回路によって遅延されている信号のデータレートに基づいて、前記更新レートを調整するための手段と

を備える装置。

【請求項 16】

前記更新レートを調整するための前記手段は、

前記信号の前記データレートが第 1 のデータレートに略等しい場合、前記更新レートを第 1 の更新レートに設定するための手段と、

前記信号の前記データレートが第 2 のデータレートに略等しい場合、前記更新レートを第 2 の更新レートに設定するための手段と

を備え、

前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、前記第 1 の更新レートは、前記第 2 の更新レートよりも低い、

請求項 15 に記載の装置。

【請求項 17】

前記電圧バイアスを更新するための前記手段は、基準クロックに基づいて前記電圧バイアスを更新するための手段を備え、ここで、前記更新レートは、前記基準クロックの N 個の周期あたり 1 回の前記電圧バイアスの更新に略等しく、 N は整数であり、前記更新レートを調整するための前記手段は、 N を調整するための手段を備える、請求項 15 に記載の装置。

【請求項 18】

前記更新レートを調整するための前記手段は、

前記信号の前記データレートが第 1 のデータレートに略等しい場合、 N を第 1 の値に設定するための手段と、

前記信号の前記データレートが第 2 のデータレートに略等しい場合、 N を第 2 の値に設定するための手段と

を備え、

前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、 N の前記第 1 の値は、 N の前記第 2 の値よりも大きい、

請求項 17 に記載の装置。

【請求項 19】

前記電圧バイアスを更新するための前記手段は、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成するための手段と、ここにおいて、各パルス対は、第 1 のパルス及び第 2 のパルスを備え、前記第 1 のパルスは、前記第 2 のパルスに対して前記基準クロックの略 1 周期ぶん遅延されている、

各パルス対の前記第 2 のパルスを前記電圧バイアスによって制御された量ぶん遅延させ

るための手段と、

パルス対ごとに、それぞれの前記第 1 のパルスとそれぞれの遅延された前記第 2 のパルスとの間の位相誤差を検出するための手段と、

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更新するための手段と

を備える、請求項 1 5 に記載の装置。

【請求項 2 0】

前記遅延回路に第 2 の電圧バイアスを供給するための手段と、ここにおいて、前記第 2 の電圧バイアスはまた、前記遅延回路の前記遅延を制御する、

前記更新レートで前記第 2 の電圧バイアスを更新するための手段と

を更に備える、請求項 1 5 に記載の装置。

【請求項 2 1】

メモリインターフェースであって、

信号を遅延するように構成された第 1 の遅延回路と、ここにおいて、前記信号は、データ信号及びデータストロブ信号のうちの 1 つを備える、

前記第 1 の遅延回路に電圧バイアスを供給し、更新レートで前記電圧バイアスを更新するように構成された第 2 の遅延回路と、ここにおいて、前記電圧バイアスは、前記第 1 の遅延回路の遅延を制御する、

前記信号のデータレートに基づいて、前記第 2 の遅延回路の前記更新レートを調整するように構成された更新コントローラと

を備えるメモリインターフェース。

【請求項 2 2】

前記更新コントローラは、前記信号の前記データレートが第 1 のデータレートに略等しい場合、前記更新レートを第 1 の更新レートに設定し、前記信号の前記データレートが第 2 のデータレートに略等しい場合、前記更新レートを第 2 の更新レートに設定するように構成され、前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、前記第 1 の更新レートは、前記第 2 の更新レートよりも低い、請求項 2 1 に記載のメモリインターフェース。

【請求項 2 3】

前記第 2 の遅延回路は、基準クロックに基づいて前記電圧バイアスを更新するように構成され、ここで、前記更新レートは、前記基準クロックの N 個の周期あたり 1 回の前記電圧バイアスの更新に略等しく、 N は整数であり、前記更新コントローラは、 N を調整するように構成される、請求項 2 1 に記載のメモリインターフェース。

【請求項 2 4】

前記更新コントローラは、前記信号の前記データレートが第 1 のデータレートに略等しい場合、 N を第 1 の値に設定し、前記信号の前記データレートが第 2 のデータレートに略等しい場合、 N を第 2 の値に設定するように構成され、前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、 N の前記第 1 の値は、 N の前記第 2 の値よりも大きい、請求項 2 3 に記載のメモリインターフェース。

【請求項 2 5】

前記第 2 の遅延回路は、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成するように構成された更新回路と、ここにおいて、各パルス対は、第 1 のパルス及び第 2 のパルスを備え、前記第 1 のパルスは、前記第 2 のパルスに対して前記基準クロックの略 1 周期ぶん遅延されている、

各パルス対の前記第 2 のパルスを前記電圧バイアスによって制御された量ぶん遅延させるように構成された電圧制御型遅延回路と、

パルス対ごとに、それぞれの前記第 1 のパルスとそれぞれの遅延された前記第 2 のパルスとの間の位相誤差を検出するように構成された位相周波数検出器と、

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更

新するように構成された電圧バイアスコントローラと
を備える、請求項 2 1 に記載のメモリインターフェース。

【請求項 2 6】

前記電圧バイアスによって制御される前記第 1 の遅延回路の前記遅延は、前記第 1 の遅延回路のステップ遅延であり、前記第 1 の遅延回路は、前記信号を前記ステップ遅延の倍数ぶん遅延させるように構成される、請求項 2 1 に記載のメモリインターフェース。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 1 3 2

【補正方法】変更

【補正の内容】

【0 1 3 2】

[0154]本開示の以上の説明は、当業者が本開示を実施又は使用することを可能にするために提供される。本開示に対する様々な修正は当業者には容易に明らかであり、本明細書で定義された包括的な原理は、本開示の精神又は範囲から逸脱することなく、他の変形に適用され得る。例えば、本開示の実施形態は D R A M の例を使用して上述されているが、本開示の実施形態が、この例に制限されず、他のタイプのメモリデバイスで使用され得ることは認識されるべきである。故に、本開示は、本明細書で説明された例及び設計に制限されることを意図せず、本明細書に開示された原理及び新規な特徴に合致する最も広い範囲が与えられるべきである。

以下に本願発明の当初の特許請求の範囲に記載された発明を付記する。

[C 1]

遅延システムであって、

第 2 の遅延回路に電圧バイアスを供給し、更新レートで前記電圧バイアスを更新するように構成された第 1 の遅延回路と、
ここにおいて、前記電圧バイアスは、前記第 2 の遅延回路の遅延を制御する、

前記第 1 の遅延回路の前記更新レートを調整するように構成された更新コントローラと
を備える遅延システム。

[C 2]

前記更新コントローラは、前記第 2 の遅延回路によって遅延されている信号のデータレートに基づいて前記更新レートを調整するように構成される、

C 1 に記載の遅延システム。

[C 3]

前記更新コントローラは、前記信号の前記データレートが第 1 のデータレートに略等しい場合、前記更新レートを第 1 の更新レートに設定し、前記信号の前記データレートが第 2 のデータレートに略等しい場合、前記更新レートを第 2 の更新レートに設定するように構成され、前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、前記第 1 の更新レートは、前記第 2 の更新レートよりも低い、
C 2 に記載の遅延システム。

[C 4]

前記第 1 の遅延回路は、基準クロックに基づいて前記電圧バイアスを更新するように構成され、ここで、前記更新レートは、前記基準クロックの N 個の周期あたり 1 回の前記電圧バイアスの更新に略等しく、N は整数であり、前記更新コントローラは、N を調整するように構成される、
C 1 に記載の遅延システム。

[C 5]

前記更新コントローラは、前記第 2 の遅延回路によって遅延されている信号のデータレートが第 1 のデータレートに略等しい場合、N を第 1 の値に設定し、前記信号の前記データレートが第 2 のデータレートに略等しい場合、N を第 2 の値に設定するように構成され、前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、N の前記第 1 の値は、N の前記第 2 の値よりも大きい、
C 4 に記載の遅延システム。

[C 6]

前記第 1 の遅延回路は、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成するように構成された更新回路と、
ここにおいて、各パルス対は、第 1 のパルス及び第 2 のパルスを備え、前記第 1 のパルスは、前記第 2 のパルスに対して前記基準クロックの略 1 周期ぶん遅延されている、

各パルス対の前記第 2 のパルスを前記電圧バイアスによって制御された量ぶん遅延させるように構成された電圧制御型遅延回路と、

パルス対ごとに、それぞれの前記第 1 のパルスとそれぞれの遅延された前記第 2 のパルスとの間の位相誤差を検出するように構成された位相周波数検出器と、

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更新するように構成された電圧バイアスコントローラと

を備える、C 1 に記載の遅延システム。

[C 7]

前記更新回路は、前記基準クロックの N 個の周期あたり 1 つのパルス対というレートで前記パルス対を生成するように構成され、N は整数であり、前記更新コントローラは、N を調整するように構成される、C 6 に記載の遅延システム。

[C 8]

前記更新コントローラは、前記第 2 の遅延回路によって遅延されている信号のデータレートが第 1 のデータレートに略等しい場合、N を第 1 の値に設定し、前記信号の前記データレートが第 2 のデータレートに略等しい場合、N を第 2 の値に設定するように構成され、前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、N の前記第 1 の値は、N の前記第 2 の値よりも大きい、C 7 に記載の遅延システム。

[C 9]

前記電圧バイアスによって制御される前記第 2 の遅延回路の前記遅延は、前記第 2 の遅延回路のステップ遅延であり、前記第 2 の遅延回路は、信号を前記ステップ遅延の倍数ぶん遅延させるように構成される、C 1 に記載の遅延システム。

[C 10]

遅延制御のための方法であって、

遅延回路に電圧バイアスを供給することと、ここにおいて、前記電圧バイアスは、前記遅延回路の遅延を制御する、

更新レートで前記電圧バイアスを更新することと、

前記更新レートを調整することと

を備える方法。

[C 11]

前記更新レートを調整することは、前記遅延回路によって遅延されている信号のデータレートに基づいて前記更新レートを調整することを備える、C 10 に記載の方法。

[C 12]

前記更新レートを調整することは、

前記信号の前記データレートが第 1 のデータレートに略等しい場合、前記更新レートを第 1 の更新レートに設定することと、

前記信号の前記データレートが第 2 のデータレートに略等しい場合、前記更新レートを第 2 の更新レートに設定することと

を備え、

前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、前記第 1 の更新レートは、前記第 2 の更新レートよりも低い、

C 11 に記載の方法。

[C 13]

前記電圧バイアスを更新することは、基準クロックに基づいて前記電圧バイアスを更新することを備え、ここで、前記更新レートは、前記基準クロックの N 個のあたり 1 回の前記電圧バイアスの更新に略等しく、N は整数であり、前記更新レートを調整することは、

Nを調整することを備える、C 1 0に記載の方法。

[C 1 4]

前記更新レートを調整することは、

前記遅延回路によって遅延されている信号のデータレートが第1のデータレートに略等しい場合、Nを第1の値に設定することと

前記信号の前記データレートが第2のデータレートに略等しい場合、Nを第2の値に設定することと

を備え、

前記第1のデータレートは、前記第2のデータレートよりも低く、Nの前記第1の値は、Nの前記第2の値よりも大きい、

C 1 3に記載の方法。

[C 1 5]

前記電圧バイアスを更新することは、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成することと、ここにおいて、各パルス対は、第1のパルス及び第2のパルスを備え、前記第1のパルスは、前記第2のパルスに対して前記基準クロックの略1周期ぶん遅延されている、

各パルス対の前記第2のパルスを前記電圧バイアスによって制御された量ぶん遅延させることと、

パルス対ごとに、それぞれの前記第1のパルスとそれぞれの遅延された前記第2のパルスとの間の位相誤差を検出することと、

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更新することと

を備える、C 1 0に記載の方法。

[C 1 6]

前記遅延回路に第2の電圧バイアスを供給することと、ここにおいて、前記第2の電圧バイアスはまた、前記遅延回路の前記遅延を制御する、

前記更新レートで前記第2の電圧バイアスを更新することと

を更に備える、C 1 0に記載の方法。

[C 1 7]

遅延制御のための装置であって、

遅延回路に電圧バイアスを供給するための手段と、ここにおいて、前記電圧バイアスは、前記遅延回路の遅延を制御する、

更新レートで前記電圧バイアスを更新するための手段と、

前記更新レートを調整するための手段と

を備える装置。

[C 1 8]

前記更新レートを調整するための前記手段は、前記遅延回路によって遅延されている信号のデータレートに基づいて前記更新レートを調整するための手段を備える、C 1 7に記載の装置。

[C 1 9]

前記更新レートを調整するための前記手段は、

前記信号の前記データレートが第1のデータレートに略等しい場合、前記更新レートを第1の更新レートに設定するための手段と、

前記信号の前記データレートが第2のデータレートに略等しい場合、前記更新レートを第2の更新レートに設定するための手段と

を備え、

前記第1のデータレートは、前記第2のデータレートよりも低く、前記第1の更新レートは、前記第2の更新レートよりも低い、

C 1 8に記載の装置。

[C 2 0]

前記電圧バイアスを更新するための前記手段は、基準クロックに基づいて前記電圧バイアスを更新するための手段を備え、ここで、前記更新レートは、前記基準クロックのN個の周期あたり1回の前記電圧バイアスの更新に略等しく、Nは整数であり、前記更新レートを調整するための前記手段は、Nを調整するための手段を備える、C 1 7に記載の装置

。

[C 2 1]

前記更新レートを調整するための前記手段は、
前記遅延回路によって遅延されている信号のデータレートが第1のデータレートに略等しい場合、Nを第1の値に設定するための手段と、

前記信号の前記データレートが第2のデータレートに略等しい場合、Nを第2の値に設定するための手段と

を備え、

前記第1のデータレートは、前記第2のデータレートよりも低く、Nの前記第1の値は、Nの前記第2の値よりも大きい、

C 2 0に記載の装置。

[C 2 2]

前記電圧バイアスを更新するための前記手段は、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成するための手段と、
ここにおいて、各パルス対は、第1のパルス及び第2のパルスを備え、前記第1のパルスは、前記第2のパルスに対して前記基準クロックの略1周期ぶん遅延されている、

各パルス対の前記第2のパルスを前記電圧バイアスによって制御された量ぶん遅延させるための手段と、

パルス対ごとに、それぞれの前記第1のパルスとそれぞれの遅延された前記第2のパルスとの間の位相誤差を検出するための手段と、

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更新するための手段と

を備える、C 1 7に記載の装置。

[C 2 3]

前記遅延回路に第2の電圧バイアスを供給するための手段と、ここにおいて、前記第2の電圧バイアスはまた、前記遅延回路の前記遅延を制御する、

前記更新レートで前記第2の電圧バイアスを更新するための手段と

を更に備える、C 1 7に記載の装置。

[C 2 4]

メモリインターフェースであって、

信号を遅延するように構成された第1の遅延回路と、ここにおいて、前記信号は、データ信号及びデータストロブ信号のうちの1つを備える、

前記第1の遅延回路に電圧バイアスを供給し、更新レートで前記電圧バイアスを更新するように構成された第2の遅延回路と、ここにおいて、前記電圧バイアスは、前記第1の遅延回路の遅延を制御する、

前記第2の遅延回路の前記更新レートを調整するように構成された更新コントローラとを備えるメモリインターフェース。

[C 2 5]

前記更新コントローラは、前記信号のデータレートに基づいて前記更新レートを調整するように構成される、

C 2 4に記載のメモリインターフェース。

[C 2 6]

前記更新コントローラは、前記信号の前記データレートが第1のデータレートに略等しい場合、前記更新レートを第1の更新レートに設定し、前記信号の前記データレートが第2のデータレートに略等しい場合、前記更新レートを第2の更新レートに設定するように構成され、前記第1のデータレートは、前記第2のデータレートよりも低く、前記第1の

更新レートは、前記第 2 の更新レートよりも低い、C 2 5 に記載のメモリインターフェース。

[C 2 7]

前記第 2 の遅延回路は、基準クロックに基づいて前記電圧バイアスを更新するように構成され、ここで、前記更新レートは、前記基準クロックの N 個の周期あたり 1 回の前記電圧バイアスの更新に略等しく、N は整数であり、前記更新コントローラは、N を調整するように構成される、C 2 4 に記載のメモリインターフェース。

[C 2 8]

前記更新コントローラは、前記信号のデータレートが第 1 のデータレートに略等しい場合、N を第 1 の値に設定し、前記信号の前記データレートが第 2 のデータレートに略等しい場合、N を第 2 の値に設定するように構成され、前記第 1 のデータレートは、前記第 2 のデータレートよりも低く、N の前記第 1 の値は、N の前記第 2 の値よりも大きい、C 2 7 に記載のメモリインターフェース。

[C 2 9]

前記第 2 の遅延回路は、

前記電圧バイアスの更新ごとに、基準クロックからパルス対を生成するように構成された更新回路と、ここにおいて、各パルス対は、第 1 のパルス及び第 2 のパルスを備え、前記第 1 のパルスは、前記第 2 のパルスに対して前記基準クロックの略 1 周期ぶん遅延されている、

各パルス対の前記第 2 のパルスを前記電圧バイアスによって制御された量ぶん遅延させるように構成された電圧制御型遅延回路と、

パルス対ごとに、それぞれの前記第 1 のパルスとそれぞれの遅延された前記第 2 のパルスとの間の位相誤差を検出するように構成された位相周波数検出器と、

それぞれの検出された前記位相誤差に基づいて、パルス対ごとに前記電圧バイアスを更新するように構成された電圧バイアスコントローラと

を備える、C 2 4 に記載のメモリインターフェース。

[C 3 0]

前記電圧バイアスによって制御される前記第 1 の遅延回路の前記遅延は、前記第 1 の遅延回路のステップ遅延であり、前記第 1 の遅延回路は、前記信号を前記ステップ遅延の倍数ぶん遅延させるように構成される、C 2 4 に記載のメモリインターフェース。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2015/030214

A. CLASSIFICATION OF SUBJECT MATTER

INV. G11C7/10 G11C7/22 H03L7/08 H03L7/081
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G11C H03L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010/033217 A1 (SHIAH CHUN [TW] ET AL) 11 February 2010 (2010-02-11) paragraph [0019]; figure 2	1-30
X	US 2013/121094 A1 (ZERBE JARED L [US] ET AL) 16 May 2013 (2013-05-16) paragraphs [0132], [0146]; figures 11E, 14	1, 4, 5, 9, 10, 13, 14, 17, 20, 21, 24, 27, 28, 30
A	US 2009/085623 A1 (SCHNEIDER JACOB S [US] ET AL) 2 April 2009 (2009-04-02) paragraphs [0001] - [0004]; figure 1 -/--	1-30

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

3 July 2015

Date of mailing of the international search report

23/07/2015

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Kontogiannis, K

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2015/030214

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2010/219867 A1 (CHOI JONG-RYUN [KR] ET AL) 2 September 2010 (2010-09-02) figure 1	16,23
A	----- US 2014/019792 A1 (OH KYUNG SUK [US] ET AL) 16 January 2014 (2014-01-16) paragraph [0022]; figure 1 -----	1-30

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2015/030214

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2010033217 A1	11-02-2010	TW 201008124 A US 2010033217 A1	16-02-2010 11-02-2010
US 2013121094 A1	16-05-2013	NONE	
US 2009085623 A1	02-04-2009	NONE	
US 2010219867 A1	02-09-2010	KR 20100097927 A US 2010219867 A1	06-09-2010 02-09-2010
US 2014019792 A1	16-01-2014	US 2014019792 A1 WO 2012118714 A2	16-01-2014 07-09-2012

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 ディフェンダーファー、ジャン・クリスチャン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドレイブ 5 7 7 5

(72)発明者 チェン、イェーチュン・クレア

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドレイブ 5 7 7 5

Fターム(参考) 5B060 CC01