

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97141311

※ 申請日期： 97.10.28 ※IPC 分類： G06F 9/34 (2006.01)

一、發明名稱：(中文/英文)

任意點數快速傳立葉轉換之計算與定址方法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

代表人：(中文/英文) 吳重雨

住居所或營業所地址：(中文/英文)

300-10 新竹市大學路 1001 號

No.1001, Ta-Hsueh Rd., Hsinchu City 300, Taiwan (R.O.C.)

國 籍：(中文/英文) 中華民國/R.O.C.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 李鎮宜

2. 蕭清峯

3. 陳元

國 籍：(中文/英文) 1-3 皆為中華民國/R.O.C.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明關於一種快速傅利葉轉換之計算與定址方法以及使用此方法之以記憶體為基礎之任意點數正/逆向快速傅立葉轉換處理器設計。對於任意點數的以記憶體為基礎的離散快速傅立葉轉換處理器設計可以有效的減少處理器面積與所需的操作時脈。

【先前技術】

按，有關本發明相關之快速傅利葉轉換計算與定址方法以及使用此方法之以記憶體為基礎之正/逆向快速傅立葉轉換處理器之先前技術謹羅列並比較缺點如下：

- (1) 由於美國專利號 4,477,878 名為 “Discrete Fourier transform with non-tumbled output” 不能支援多記憶體架構 (multi-bank memory structure)，因而，對於基 r (radix- r) 計算時，就需要有 r 個時脈週期才能把資料從記憶體中讀出或將計算完的資料寫回記憶體中。這將導致 FFT 在計算過程中需要更多的時脈週期，以及為了即時應用所需的更高時脈速度。

本發明可藉由支援多記憶體定址，而在無記憶體存取衝突的情況下，將諸如基 r 的 r 筆資料在一個時脈週期內完成讀或寫，以解決先前技術的問題。

- (2) 由於美國專利號 5091875 名為 “Fast Fourier transform (FFT) addressing apparatus and method”，美國專利公開號 20060253514 名為 “Memory-based Fast Fourier Transform device”，以及學術論文 L. G.

Johnson “Conflict free memory addressing for dedicated FFT hardware,” IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process., vol. 39, no. 5, pp. 312-316, May 1992 等，均僅支援固定的基 r ，因此僅能適用在具有 $N = r^n$ 大小的 FFT 中。若考慮到應用在中國數位電視之 3780 點 FFT 或者是 PLC 應用之 3072 點 FFT 的情況時，前述兩件先前技術即無法運作。

但本發明能夠支援任意基數 r 的混和。因此，能夠在任何大小的 FFT 應用中使用。

- (3) 美國專利號 7062523 名為 “Method for efficiently computing a fast Fourier transform” 僅支援固定的基 r ，因此不能支援中國 DTV 或是 PLC 之類的應用。除此之外，他也不能支援多記憶體架構 (multi-bank memory structure)，其在基 r (radix- r) 運算時，需要 r 個時脈週期自記憶體存取資料。因此將比使用多記憶體架構的處理器需要更高的時脈來完成 FFT 的計算。

本發明除了支援任意大小的 FFT 應用之可變基數外，尚支援多記憶體架構，在不產生記憶體存取衝突的情況下減低所需時脈。

- (4) 美國專利號 7,164,723 名為 “Modulation apparatus using mixed-radix fast Fourier transform”，以及論文 B. G. Jo, and M. H. Sunwoo, “New continuous-flow mixed-radix (CFMR) FFT processor using novel in-place strategy,” IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 52, no. 5, pp. 911-919, May 2005 僅適用於基 2/4 混和的

演算法 (algorithm)，故僅能工作在 $N=2^n$ 大小上的 FFT，無法應用於例如 $N=3780$ 之中國 DTV 之其他大小的 FFT 應用。

本發明因為可支援任何混合的基數，所以可以滿足上述需求。除此之外，對於諸如 $N=8192$ 的更長點數的處理器設計，本發明可以讓處理器設計更加有彈性，因本發明可支援大於基 4 的演算法。

(5) 美國專利公開號 20080025199 名為“Method and device for high throughput n-point forward and inverse fast Fourier transform”提出 3780 的可能分解 (candidate decomposition)，例如， $3780 = 3 \times 3 \times 3 \times 2 \times 2 \times 5 \times 7$ 。其以 MDC 架構實行每個小點數的 FFT 模組來減少後續會提到的一些中國專利中的較大內部暫存器。然而，由於此方法需要對每個模組在一個時脈週期中完成運算，因此會需要大量硬體。此外，在實際的系統應用上是需要依序輸出資料的，但是此專利輸出資料卻不是依序輸出的，因此尚有部分問題未解決。

(6) 中國專利號 01140060.9 名稱“3780 點離散傅里葉變換處理器系統及其結構”、中國專利號 03107204.6 名稱“具有 3780 點 IDFT/DFT 處理器的多載波系統及其方法”、中國專利公開號 200410090873.2 名稱“採用升採樣處理方法實現 3780 點離散傅立葉變換”、中國專利公開號 200610104144.7 名稱“3780 點離散傅立葉變換處理器”以及中國專利公開號 200710044716.1 名稱“流水線結構的 3780 點快速傅里葉變換處理器”等上述專利可

執行 3780 點之具有類似管線(pipelined)架構之 FFT 處理器，其所提出的架構內部需要大量的暫存器或記憶體來重新排列資料。此外，對於實際系統應用之需求而言，依序輸入輸出資料以及支援連續資料流都是必須的，為了達成這些，中國專利號 01140060.9 名稱”3780 點離散傅里葉變換處理器系統及其結構”以及中國專利號 03107204.6 名稱”具有 3780 點 IDFT/DFT 處理器的多載波系統及其方法”就至少需要 $3N$ 字元的記憶體空間；中國專利公開號 200410090873.2，名稱”採用升採樣處理方法實現 3780 點離散傅立葉變換”、中國專利公開號 200710044716.1，名稱”流水線結構的 3780 點快速傅里葉變換處理器”就至少需要 $5N$ 字元的記憶體空間；中國專利公開號 200610104144.7 名稱”3780 點離散傅立葉變換處理器”就至少需要 $6N$ 字元的記憶體空間。

相較前述，本發明僅僅需要 $2N$ 字元的記憶體空間就可以做到了。並且，請注意到在中國專利號 01140060.9、中國專利號 03107204.6 以及中國專利公開號 200710044716.1 之輸出資料並不是有序的，因此他們需要至少一個 N 字元的記憶體空間與額外的控制邏

輯來重新排序輸出資料以便依序輸出。

(7) 在論文 Z.-X. Yang, Y.-P. Hu, C.-Y. Pan, and L. Yang, "Design of a 3780-point IFFT processor for TDS-OFDM," IEEE Trans. Broadcast., vol. 48, no.1, pp. 57-61, Mar. 2002 所提出的 3780 點 FFT 處理器之輸出資料並非依序排列，為了能夠依序排列，其需要一個緩衝器去重新排列輸出資料，因此其至少需要 $3N$ 字元的記憶體空間，才能在能處理連續資料流的前提下達成此需求，但本發明已如上述僅需 $2N$ 字元空間的記憶體。

【發明內容】

有鑑於上述先前技術的缺失，本發明提出一種快速傅利葉轉換之計算與定址方法以及使用此方法之以記憶體為基礎之任意點數正/逆向快速傅立葉轉換處理器設計，其方法第一項特徵為：

藉由分解方程式將長點數離散傅立葉轉換的計算分解為數個短點數的離散傅立葉轉換，並同時將其指標由單一維度映射成多維度指標向量。

本發明的方法第二項特徵為：藉由控制這些多維度

指標向量，本發明把原始輸入資料分散存放到數個記憶體裡，使得在不產生記憶體存取衝突的情況下同時達到計算期間的資料置換與記憶體完整蝴蝶點數一次存取的目的。

本發明的方法第三項特徵為：當資料置換使用在已計算完成的舊資料依序輸出與新資料依序輸入時，為了往後計算期間可以繼續保持資料存取時沒有記憶體衝突，本發明對於新資料的計算採取與先前資料計算時的反序操作來達成目的。此方法，對於任意點數的以記憶體為基礎的離散快速傅立葉轉換處理器設計可以有效的減少處理器面積與所需的操作時脈。

本發明提出之以記憶體為基礎之快速傅立葉轉換處理器設計，其包含：一用以存放資料之主要記憶體、一用以進行分解後短點數快速傅立葉轉換之處理元件以及一控制單元，其中該控制單元具有控制以下項目之功能：(1)輸入輸出資料與蝴蝶運算用之記憶體，(2)分解後之短點數快速傅立葉轉換之計算順序，及(3)以資料置換方式進行資料存取所需之記憶體定址。用以執行上述之方法。

【實施方式】

為了達成上述的發明目的，茲將本發明之一具體實施

例說明如下：

離散傅立葉轉換之定義為 $X(k) = \sum_{n=0}^{N-1} x(n)W_N^{nk}$ 。將長點數離散傅立葉轉換分解為數個短點數離散傅立葉轉換之方法已在論文"IEEE TRANSACTIONS ON ACOUSTICS, SPEECH, AND SIGNAL PROCESSING, VOL. ASSP-25, NO. 3, JUNE 1977"名稱『Index Mappings for Multidimensional Formulation of the DFT and Convolution』中提出。本發明在此以點數長度 $N=N_1N_2$ 之分解方程式(1)加以說明：

$$\begin{cases} n = N_2n_1 + A_2n_2 \bmod N & n_1, k_1 = 0, 1, \dots, N_1 - 1 \\ k = B_1k_1 + N_1k_2 \bmod N & n_2, k_2 = 0, 1, \dots, N_2 - 1 \end{cases} \quad (1)$$

方程式(1)將指標 n 與 k 映射為指標向量 (n_1, n_2) 與 (k_1, k_2) ，使其由單一維度 $[0, N-1]$ 映射成二維度 $[0, N_1-1] \times [0, N_2-1]$ 。其中係數 A_2 與 B_1 之選擇取決於 N_1 與 N_2 間之關係。於本發明提出之方法中，方程式(1)係數選用規則如下：

情況一：若 N_1 與 N_2 互質，則選用符合下列條件之 A_2 及 B_1 為係數

$$A_2 = p_1N_1 \quad \text{並且} \quad A_2 = q_1N_2 + 1$$

$$B_1 = p_2N_2 \quad \text{並且} \quad B_1 = q_2N_1 + 1$$

在此， p_1 、 q_1 、 p_2 及 q_2 皆為正整數。因此，離散傅立葉轉換之定義可寫成以下之方程式(2)：

$$\begin{aligned} X(k_1, k_2) &= \sum_{n_2} \sum_{n_1} x(n_1, n_2) W_{N_1}^{n_1 k_1} W_{N_2}^{n_2 k_2} \\ &= \sum_{n_2} \left\{ \sum_{n_1} x(n_1, n_2) W_{N_1}^{n_1 k_1} \right\} W_{N_2}^{n_2 k_2} \\ &= \sum_{n_2} y(k_1, n_2) W_{N_2}^{n_2 k_2} \end{aligned} \quad (2)$$

情況二：若 N_1 與 N_2 非為互質，則選用 $A_2 = B_1 = 1$ 。因此，離散傅立葉轉換之定義可寫成以下之方程式(3)：

$$\begin{aligned} X(k_1, k_2) &= \sum_{n_2} \sum_{n_1} x(n_1, n_2) W_{N_1}^{n_1 k_1} W_{N_2}^{n_2 k_2} W_N^{n_2 k_1} \\ &= \sum_{n_2} \left\{ W_N^{n_2 k_1} \sum_{n_1} x(n_1, n_2) W_{N_1}^{n_1 k_1} \right\} W_{N_2}^{n_2 k_2} \\ &= \sum_{n_2} W_N^{n_2 k_1} y(k_1, n_2) W_{N_2}^{n_2 k_2} \end{aligned} \quad (3)$$

本發明可由方程式(2)及(3)得知，一長點數（ N 點）快速傅立葉轉換可分別在第一及第二階段中以二較短點數（ N_1 點及 N_2 點）快速傅立葉轉換加以計算。就定值 n_2 而言，第一階段 N_1 點快速傅立葉轉換之原始輸入資料為 $x(n_1, n_2)$ ， $n_1 = 0, 1, \dots, N_1-1$ 。對應此 n_2 之第一階段輸出資料為 $y(k_1, n_2)$ ， $k_1 = 0, 1, \dots, N_1-1$ 。就定值 k_1 而言，第二階段 N_2 點快速傅立葉轉換之原始輸入資料為 $y(k_1, n_2)$ ， $n_2 = 0, 1, \dots, N_2-1$ 。對應此 k_1 之第二階段輸出資料則為 $X(k_1, k_2)$ ， $k_2 = 0, 1, \dots, N_2-1$ 。方程式

(2)與(3)之差異在於若 $N1$ 與 $N2$ 非為互質，則第一與第二階段間存在有如方程式(3)所示之旋轉因子 $W_N^{n_1 k}$ 。

註：就情況一而言，其係數選取亦可如情況二，且本發明之後續流程相同

現於第一階段計算 $N1$ 點離散傅立葉轉換並於第二階段計算 $N2$ 點離散傅立葉轉換，以求取第一個離散傅立葉轉換符元。先將原始輸入資料分散存放到數個記憶庫(memory bank)中。假定 $N2 \geq N1$ 且記憶庫之數量為 $N2$ ，則可藉由方程式(4)將該原始輸入資料分散存放至 $N2$ 個記憶庫中以避免記憶體衝突。

$$\text{bank} = n1 + n2 \bmod N2 \quad (4)$$

避免記憶體衝突之關鍵在於透過方程式(1)及(4)將資料分散存放於記憶庫。一旦選定記憶庫，便需將資料定址。同一記憶庫中之任兩筆資料應映射至 0 到 $N1-1$ 範圍內之不同位址。為求簡單，在此選用以下之方程式(5)執行資料定址。

$$\text{address} = n1 \quad (5)$$

完成第一個離散傅立葉轉換符元之計算後，應將資料依序輸出。輸出指標係由方程式(1)映射而得。在將計

算完成之第一個離散傅立葉轉換符元資料依序輸出之同時，亦以資料置換之方式依序輸入第二個離散傅立葉轉換符元之輸入資料。亦即，新的原始輸入資料 $x(i)$ 應置於輸出資料 $X(i)$ 之位置。計算第二個離散傅立葉轉換符元之順序係與計算第一個離散傅立葉轉換符元時相反。

即於第一階段計算 $N/2$ 點離散傅立葉轉換，再於第二階段計算 $N/4$ 點離散傅立葉轉換，藉以求取第二個離散傅立葉轉換符元。完成第二個離散傅立葉轉換符元之計算後，同樣以資料置換方式依序輸出計算完成之舊資料並依序輸入新資料。第三個離散傅立葉轉換符元復依第一個離散傅立葉轉換符元之方式計算。

以下將以中國數位電視所需之 3780 點快速傅立葉轉換為例詳加說明。以下所述之分解順序僅為可行方式之一例。

由於 $3780=4 \times 3 \times 3 \times 3 \times 5 \times 7$ ，本發明可分別進行 3 點、4 點、5 點與 7 點之快速傅立葉轉換計算。在此，資料係分散存放於 7 個記憶庫。

先依分解順序 4、3、3、3、5 及 7 執行計算。第一階段(4 點快速傅立葉轉換)係採用分解方程式(6)進行計算。

$$\begin{cases} n = 945n_1 + 2836\tilde{n}_2 \bmod 3780 & n_1, k_1 = 0, 1, 2, 3 \\ k = 945k_1 + 4\tilde{k}_2 \bmod 3780 & \tilde{n}_2, \tilde{k}_2 = 0, \dots, 944 \end{cases} \quad (6)$$

上述方程式將指標 n 映射為向量 $(n_1, \tilde{n}_2)$ ，即由 $[0, 3779]$ 至 $[0, 3] \times [0, 944]$ ，如表一所示。

表一

第一階段之指標映射

	$n1=0$	$n1=1$	$n1=2$	$n1=3$
$\tilde{n}_2=0$	$x[0]$	$x[945]$	$x[1890]$	$x[2835]$
$\tilde{n}_2=1$	$x[2836]$	$x[1]$	$x[946]$	$x[1891]$
$\tilde{n}_2=2$	$x[1892]$	$x[2837]$	$x[2]$	$x[947]$
...	...	...	...	...
$\tilde{n}_2=944$	$x[944]$	$x[1889]$	$x[2834]$	$x[3779]$

表一中每一列之資料為每個 4 點快速傅立葉轉換之原始輸入資料。輸入順序取決於指標 $n1$ 。例如， $\tilde{n}_2=1$ 列

中，輸入順序為 $(n_1, \tilde{n}_2) = (0, 1), (1, 1), (2, 1)$ 以及 $(3, 1)$ ，其分別對應之資料為 $x[2836]$ 、 $x[1]$ 、 $x[946]$ 與 $x[1891]$ ，如表一所示。

由於每個 4 點快速傅立葉轉換之原始輸入資料皆具有相同之指標 $\tilde{n}_2$ ，故可藉由方程式(7)將資料分散存入不同記憶庫來避免第一階段之記憶體衝突。

$$\text{bank} = n_1 + x \bmod 7 \quad (7)$$

歷經第一階段後，原始資料已被分解為 4 個 945 點快速傅立葉轉換之獨立群組，並分別對應於 $k_1 = 0, 1, 2$ 及 3。

同樣地，本發明亦可以 $945 = 3 \times 3 \times 3 \times 5 \times 7$ 之順序分解上述之 945 點快速傅立葉轉換，並將指標 $\tilde{n}_2$ 映射為向量 $(n_2, n_3, n_4, n_5, n_6)$ ，即由 $[0, 944]$ 映射為 $[0, 2] \times [0, 2] \times [0, 2] \times [0, 4] \times [0, 6]$ 。

結合各階段之所有分解方程式，即可求得 3780 點快速傅立葉轉換依此分解順序之完整指標映射方程式，如方程式(8)與(9)所示，在選擇記憶庫時係利用方程式(10)以避免記憶體衝突，定址方程式則可採用方程式(11)。

$$n = 945n_1 + 1260n_2 + 2940n_3 + 980n_4 + 1512n_5 +$$

$$540n_6 \bmod 3780 \quad (8)$$

$$k = 945k_1 + 2380k_2 + 3360k_3 + 2520k_4 + 2268k_5 + 540k_6 \bmod 3780 \quad (9)$$

$$\text{bank} = n_1 + n_2 + n_3 + n_4 + n_5 + n_6 \bmod 7 \quad (10)$$

$$\text{address} = 135n_1 + 45n_2 + 15n_3 + 5n_4 + n_5 \quad (11)$$

繼計算第一個快速傅立葉轉換符元，亦即單數之快速傅立葉轉換符元之後，方程式(10)及(11)中所有指標 n_i 將轉換為 k_i 。對於第二個輸入之快速傅立葉轉換符元而言，亦即雙數之快速傅立葉轉換符元，該雙數快速傅立葉轉換符元之輸入資料 $x_{\text{even}}[n]$ 應被置入單數離散傅立葉轉換符元之輸出資料 $X_{\text{odd}}[k]$ 之位置，兩者間關係為 $k=n$ ，其映射指標、記憶庫與位址應分別以方程式(9)、(10)與(11)決定。

以下討論如何於目前雙數快速傅立葉轉換符元之資料分配下，於計算期間持續避免資料存取時之記憶體衝突。

為計算雙數快速傅立葉轉換符元，本發明係採用與

計算單數快速傅立葉轉換符元時相反之分解順序進行計算，亦即 $3780 = 7 \times 5 \times 3 \times 3 \times 3 \times 4$ ，換言之，本發明係以 7 點、5 點、3 點、3 點、3 點以及 4 點快速傅立葉轉換之順序執行計算。藉由類似方式，本發明可求得雙數快速傅立葉轉換符元之完整輸入輸出指標映射方程式(12)及(13)，其結果類似於單數快速傅立葉轉換符元之完整指標映射方程式(8)及(9)，方程式(12)及(13)分別將輸入指標 n 與輸出指標 k 映射為向量 $(a_1, a_2, a_3, a_4, a_5, a_6)$ 與 $(b_1, b_2, b_3, b_4, b_5, b_6)$ ，即由 $[0, 3779]$ 映射為 $[0, 6] \times [0, 4] \times [0, 2] \times [0, 2] \times [0, 2] \times [0, 3]$ ，以計算雙數快速傅立葉轉換符元。

$$n = 540a_1 + 2268a_2 + 2520a_3 + 3360a_4 + 2380a_5 + 945a_6 \bmod 3780 \quad (12)$$

$$k = 540b_1 + 1512b_2 + 980b_3 + 2940b_4 + 1260b_5 + 945b_6 \bmod 3780 \quad (13)$$

將輸入與輸出指標方程式(9)與(12)以及(8)與(13)對應比較，可發現此兩組方程式恰以反序向量之關係彼此匹配，如方程式(14)及(15)所示。

$$(a_1, a_2, a_3, a_4, a_5, a_6) = (k_6, k_5, k_4, k_3, k_2,$$

$$k1) \quad (14)$$

$$(n1, n2, n3, n4, n5, n6) = (b6, b5, b4, b3, b2, b1) \quad (15)$$

因雙數快速傅立葉轉換符元 $x_{\text{even}}[n]$ 之輸入資料被置於已計算完成之單數快速傅立葉轉換符元輸出資料 $X_{\text{odd}}[k]$ 之位置，而兩者間之關係為 $k=n$ ，由此可得雙數快速傅立葉轉換符元之記憶庫選擇與記憶體定址方程式 (16) 及 (17)。

$$\text{bank} = a1 + a2 + a3 + a4 + a5 + a6 \bmod 7 \quad (16)$$

$$\text{address} = 135a6 + 45a5 + 15a4 + 5a3 + a2 \quad (17)$$

請注意，輸入映射方程式 (12) 與輸出映射方程式 (9) 相同，且記憶庫選擇方程式 (10) 與 (16) 亦保持相同。是以，於雙數快速傅立葉轉換符元之計算期間，藉由倒轉單數快速傅立葉轉換符元分解順序之計算方式，可使記憶體始終免於存取衝突。

此外，本發明發現，輸出映射方程式 (13) 與輸入映射方程式 (8) 亦為相同，意指在將第三個快速傅立葉轉換輸入資料 $x_{\text{third}}[n]$ 置入已計算完成之雙數快速傅立葉轉換輸出資料 $X_{\text{even}}[k]$ 之位置並令其中 $k=n$ 時，該第三個

快速傅立葉轉換輸入資料之分散儲存方式可與方程式(8)、(10)及(11)所決定者相同，也即第三個快速傅立葉轉換符元的資料存放位置跟單數快速傅立葉轉換符元之資料存放位置一樣而又回到起始討論的狀態， $x_{third}[n] = x_{odd}[n]$ 。

根據以上之實施例，本發明可藉由倒轉先前之快速傅立葉轉換符元分解順序，設計出無記憶體衝突之可變基數快速傅立葉轉換處理器，其可同時達到蝴蝶輸出與資料輸入輸出之資料置換。

第一圖係以記憶體為基礎之 3780 點離散傅立葉轉換處理器設計方塊圖，其中 MEM_1 與 MEM_2 為二記憶區塊(memory block)，各區塊包含 7 個記憶庫(memory bank)，各記憶庫大小為 540 個字，FFT_CORE 包含可分別處理短點數離散傅立葉轉換之處理單元，其計算各短點數離散傅立葉轉換所需的時脈週期數由設計者依需求決定，此亦決定計算單元所需硬體數量，控制單元主控資料存取與處理單元之計算。

以下將就離散傅立葉轉換處理器之運作加以闡明，為便於說明，在此定義第一類之分解與計算順序依次為 4

點、3 點、3 點、3 點、5 點與 7 點離散傅立葉轉換，並將其倒轉順序定義為第二類順序，依次為 7 點、5 點、3 點、3 點、3 點與 4 點離散傅立葉轉換。

假設第一個與第二個離散傅立葉轉換符元分別儲存於記憶區塊 MEM_1 與 MEM_2，並假設第一個與第二個離散傅立葉轉換符元之分解與計算順序皆為第一類順序，則根據以上之說明，本發明可知：

(1) 第一、五、九、十三...離散傅立葉轉換符元係儲存於記憶區塊 MEM_1 且以第一類順序計算。

(2) 第二、六、十、十四...離散傅立葉轉換符元係儲存於記憶區塊 MEM_2 且以第一類順序計算。

(3) 第三、七、十一、十五...離散傅立葉轉換符元係儲存於記憶區塊 MEM_1 且以第二類順序計算。

(4) 第四、八、十二、十六...離散傅立葉轉換符元係儲存於記憶區塊 MEM_2 且以第二類順序計算。

為說明之便，第二圖中僅以長度為 $N=N_1N_2N_3$ 之離散傅立葉轉換為例來說明取得資料存取所需指標向量之硬體實施方式。如第二圖所示，其係由數個累加器 A1、A2、...、A5 組成。於控制單元中包含 3 組此硬體設計，

其中 2 組分別用於產生資料輸入與輸出所需之指標向量，其參數 $U1$ 、 $U2$ 、 $U3$ 、 $U4$ 、 q 與 r 係由各階段之分解方程式 (1) 決定。而第 3 組則是用於產生各個短點數傅立葉轉換所需資料的指標向量，其與前面兩組唯一不同處是此時之參數 q ， r 皆為 0，即 $A4$ ， $A5$ 可去除。

下表二顯示以記憶體為基礎之離散傅立葉轉換處理器設計之不同即時應用方法的比較結果。所有項目中，僅有本案方法與 [美國專利 4,477,878] 可支援任何一般基數之混合，並進行任何點數長度之快速傅立葉轉換。然而，如前所述，[美國專利 4,477,878] 未能實現無記憶體衝突之多記憶體架構 (multi-bank memory structure)，因而無法減少即時應用所需之操作時脈。

本發明提出以記憶體為基礎之快速傅立葉轉換處理器設計方法，使其可同時滿足以下三項目的：(1) 蝴蝶運算與輸入輸出資料時之資料置換；(2) 任何基數之混合；及 (3) 支援多記憶體架構。

表二

本發明與不同方法之比較

	[A1]	[A2] [B2] [A5]	[A3]	[A4] B[3]	本 發 明
基 數	所 有 一 般	固 定 基 數-r	固 定 基 數 - r	基 數 - 2/4	所 有 一 般
資 料 置 換	是	是	是	是	是
記 憶 體	2N 個 字	2N 個 字	2N 個 字	2N 個 字	2N 個 字
多 重 記 憶 庫	否	是	否	是	是

[A1]: 美國專利 4,477,878

[A2]: 美國專利 5,091,875

[A3]: 美國專利 7,062,523

[A4]: 美國專利 7,164,723

[A5]: 美國專利公開 20060253514

[B2]: 論文 L. G. Johnson “Conflict free memory addressing for dedicated FFT hardware,” IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process., vol. 39, no. 5, pp. 312–316, May 1992.

B[3]: 論文 B. G. Jo, and M. H. Sunwoo, “New continuous-flow mixed-radix (CFMR) FFT processor using novel in-place strategy,” IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 52, no. 5, pp. 911–919, May 2005.

綜上所述，當以本發明方法應用於中國數位電視所需之 3780 點離散傅立葉轉換時，僅需 $2N$ 個字之記憶體即可滿足系統需求，同時達到持續資料流與資料依序輸入輸出之目的。若欲達成與本案相同效果，[美國專利公開 20080025199]、[中國專利 01140060.9]、[中國專利 03107204.6]之方案需至少 $3N$ 個字之記憶體，[中國專利公開 200410090873.2]與[中國專利公開 200710044716.1]需至少 $5N$ 個字之記憶體，[中國專利公開 200610104144.7]需 $6N$ 個字之記憶體，而[論文 Z.-X. Yang, Y.-P. Hu, C.-Y. Pan, and L. Yang, “Design of

a 3780-point IFFT processor for TDS-OFDM,” IEEE Trans. Broadcast., vol. 48, no.1, pp. 57–61, Mar. 2002]亦至少需 $3N$ 個字以上之記憶體。因此，就此應用而言，若以本案方法設計 3780 點離散傅立葉轉換處理器，則相較於以現有方式設計者可大幅縮減晶片面積。

本發明更提出一種以記憶體為基礎之(正/逆向)快速傅立葉轉換處理器，用以執行上述之方法，其係包含：一用以存放資料之主要記憶體、一進行分解後短點數快速傅立葉轉換之處理元件以及一控制單元，其中該控制單元具有控制以下項目之功能：(1)輸入輸出資料與蝴蝶運算用之記憶體，(2)分解後之短點數快速傅立葉轉換之計算順序，及(3)以資料置換方式進行資料存取所需之記憶體定址。用以執行上述之方法。該主要記憶體包含二記憶區塊(memory block)，亦即 MEM_1 與 MEM_2，當 MEM_1 用於快速傅立葉轉換運算時，MEM_2 則用於輸入輸出資料，反之亦然；且，每一記憶區塊包含 M 個記憶庫(memory bank)，且每一記憶庫之大小為 N/M ，其中 N 為快速傅立葉轉換之點數長度， M 為由系統設計者自行設定之記憶庫數量，該處理單元 FFT_CORE 係設計為可對分解後之短點數快速傅

立葉轉換進行個別計算，其計算各短點數離散傅立葉轉換所需的時脈週期數由設計者依需求決定，此亦決定計算單元所需硬體數量。該控制單元之第(1)項控制功能係控制如前所述之該等記憶區塊，以將其功能切換為快速傅立葉轉換計算或輸入輸出資料。該控制單元之第(2)項控制功能係控制該處理元件，使其利用與同一記憶區塊之前次快速傅立葉轉換符元分解順序相反之順序進行短點數快速傅立葉轉換計算，從而取得快速傅立葉轉換符元；亦即，若該快速傅立葉轉換符元於一記憶區塊中係以 N_1 點快速傅立葉轉換、 N_2 點快速傅立葉轉換.....至 N_k 點快速傅立葉轉換之順序計算，則儲存於同一記憶區塊中之次一快速傅立葉轉換符元之計算順序為 N_k 點快速傅立葉轉換、 $N(k-1)$ 點快速傅立葉轉換.....至 N_1 點快速傅立葉轉換。該控制單元之第(3)項控制功能係控制以資料置換之方式進行資料存取，從而進行每一記憶區塊之蝴蝶運算與資料輸入輸出。其包含 3 組運作原理如圖二之硬體設計，其中 2 組分別用於產生資料輸入與輸出所需之指標向量，其參數 U_1 、 U_2 、 U_3 、 U_4 、 q 與 r 係由各階段之分解方程式決定。而第 3 組則是用於產生各個短點數傅立葉轉換所需資料的

指標向量，其與前面兩組唯一不同處是此時之參數 q ， r 皆為 0。

綜上所述，以上之實施例僅是用來解說本發明之具體實施方式，本發明之專利範圍仍應以申請專利範圍所載為準。

【圖式簡單說明】

● 第一圖 本發明快速傅立葉轉換處理器設計方塊圖。

第二圖 本發明指標向量產生器硬體實施圖。

【主要元件符號說明】

無

五、中文發明摘要：

本發明藉由分解方程式將長點數離散傅立葉轉換的計算分解為數個短點數的離散傅立葉轉換，並同時將其指標由單一維度映射成多維度指標向量。藉由控制這些指標向量，本發明把原始輸入資料分散存放到數個記憶體裡，使得在不產生記憶體存取衝突的情況下同時達到計算期間的資料置換(in-place policy)與記憶體完整蝴蝶點數一次存取的目的。此外，當資料置換使用在已計算完成的舊資料依序輸出與新資料依序輸入時，為了往後計算期間可以繼續保持資料存取時沒有記憶體衝突，本發明對於新資料的計算採取與先前資料計算時的反序操作來達成目的。此方法，對於任意點數的以記憶體為基礎的離散快速傅立葉轉換處理器設計可以有效的減少處理器面積與所需的操作時脈。本發明並涉及一種使用此方法之以記憶體為基礎之正/逆向快速傅立葉轉換(FFT/IFFT)處理器。

六、英文發明摘要：

For a large size FFT computation, the present invention decompose it into several smaller sizes FFT by decomposition equation and then transform the original index from one dimension into multi-dimension vector. By controlling the index vector, the present invention could distribute the input data into different memory banks such that both the in-place policy for computation and the multi-bank memory for high-radix structure could be supported simultaneously without memory conflict. Besides, in order to keep memory conflict-free when the in-place policy is also adopted for I/O data, the present invention reverse the decompose order of FFT to satisfy the vector reverse behavior. The proposed approach can minimize the area and reduce the necessary clock rate effectively for general sized memory-based FFT processor design.

Further, the present invention applies the proposed to the 3780-point DFT processor for the Chinese DTV application. Compared with all the prior arts, the present invention only needs $2N$ words memory to achieve the in order I/O data requirement for continuous data flow. However, all the current patents need at least $3N$ words memory to achieve this system requirement. Here, N is the DFT size, 3780.

十、申請專利範圍：

1. 一種任意點數快速傅立葉轉換之計算與定址方法，其特徵在於包含下列步驟：

(1) 將長點數離散傅立葉轉換的計算分解為數個短點數的離散傅立葉轉換，並同時將其指標由單一維度映射成多維度指標向量；

(2) 藉由控制這些多維度指標向量，把原始輸入資料分散存放到數個記憶體裡，使得在不產生記憶體存取衝突的情況下同時達到計算期間的資料置換與記憶體完整蝴蝶點數一次存取的目的；

(3) 當資料置換使用在已計算完成的舊資料依序輸出與新資料依序輸入時，為了往後計算期間可以繼續保持資料存取時沒有記憶體衝突，對於新資料的計算採取與先前資料計算時的反序操作來達成目的；

依此方法，對於設計任意點數的以記憶體為基礎的快速傅立葉轉換處理器，可以減少處理器面積與所需的操作時脈。

2. 一種以記憶體為基礎之正/逆向快速傅立葉轉換處理器，其係包含：一用以存放資料之主要記憶體、一進行分解後短點數快速傅立葉轉換之處理元件以及一控制單元，其中該控制單元具有控制以下項目之功能：(1)輸入輸出資料與蝴蝶運算用之記憶體，(2)分解後

之短點數快速傅立葉轉換之計算順序，及(3)以資料置換方式進行資料存取所需之記憶體定址。

3. 如申請專利範圍第 2 項所述之以記憶體為基礎之正/逆向快速傅立葉轉換處理器，其中，該主要記憶體包含二記憶區塊，為 MEM_1 與 MEM_2，當 MEM_1 用於快速傅立葉轉換運算時，MEM_2 則用於輸入輸出資料，反之亦然。

4. 如申請專利範圍第 3 項所述之以記憶體為基礎之正/逆向快速傅立葉轉換處理器，其中，每一記憶區塊包含 M 個記憶庫，且每一記憶庫之大小為 N/M ，其中 N 為快速傅立葉轉換之點數長度，M 為由系統設計者自行設定之記憶庫數量。

5. 如申請專利範圍第 2 項所述之以記憶體為基礎之正/逆向快速傅立葉轉換處理器，其中，該處理單元係設計為可對分解後之短點數快速傅立葉轉換進行個別計算。

6. 如申請專利範圍第 2 項所述之以記憶體為基礎之正/逆向快速傅立葉轉換處理器，其中，該控制單元之第(1)項控制功能係控制如申請專利範圍第 3 項所述之該兩記憶區塊，以將其功能切換為快速傅立葉轉換計算或輸入輸出資料。

7. 如申請專利範圍第 2 項所述之以記憶體為基礎之正/逆向快速傅立葉轉換處理器，其中，該控制單元之第(2)項控制功能係控制該處

理元件來依照申請專利範圍第 1 項第(3)點之步驟執行，使其利用與同一記憶區塊之前次快速傅立葉轉換符元分解順序相反之順序進行短點數快速傅立葉轉換計算，從而取得快速傅立葉轉換符元；亦即，若該快速傅立葉轉換符元於一記憶區塊中係以 N_1 點快速傅立葉轉換、 N_2 點快速傅立葉轉換……至 N_k 點快速傅立葉轉換之順序計算，則儲存於同一記憶區塊中之次一快速傅立葉轉換符元之計算順序為 N_k 點快速傅立葉轉換、 $N_{(k-1)}$ 點快速傅立葉轉換……至 N_1 點快速傅立葉轉換。

8. 如申請專利範圍第 2 項所述之以記憶體為基礎之正/逆向快速傅立葉轉換處理器，其中，該控制單元之第(3)項控制功能係記憶體定址並控制以資料置換之方式進行資料存取，從而進行每一記憶區塊之蝴蝶運算與資料輸入輸出。此項控制功能為申請專利範圍第 1 項第(2)點之實施。

9. 如申請專利範圍第 8 項所述之以記憶體為基礎之正/逆向快速傅立葉轉換處理器，其中，執行資料存取之記憶庫係由指標向量($n_1, n_2, \dots, n_k$)與方程式(a_1)所決定，其中方程式(a_1)之 c 為一常量整數，而該指標向量對應每一短點數快速傅立葉轉換，亦即如申請專利範圍第 6 項所述之 N_1 點快速傅立葉轉換、 N_2 點快速傅立葉轉換……至 N_k 點快速傅立葉轉換。

$$bank = n_1 + n_2 + \dots + n_k + c \bmod M \quad (a_1)$$

10. 如申請專利範圍第 9 項所述之以記憶體為基礎之正/逆向快速傅立葉轉換處理器，其中，方程式(a₁)將所有資料分為 M 個群組以存入每一記憶區塊之 M 個記憶庫，該位址公式可為該指標向量($n_1, n_2, \dots, n_k$)之任一函數，該指標向量可將同一群組中任兩筆資料置入兩個不同位址；當記憶庫數量 $M = N_t$ ， N_t 為 $N_1, N_2, \dots, N_k$ 其中之一。而 $(U_1, U_2, \dots, U_{k-1}) = (N_1, N_2, \dots, N_{t-1}, N_{t+1}, \dots, N_k)$ ， $(u_1, u_2, \dots, u_{k-1}) = (n_1, n_2, \dots, n_{t-1}, n_{t+1}, \dots, n_k)$ 。而分解與計算順序為 N_1 點快速傅立葉轉換、 N_2 點快速傅立葉轉換……至 N_k 點快速傅立葉轉換或其逆向順序，則我們採用公式(a₃)來決定資料位址。

$$address = \left\{ \sum_{i=1}^{k-2} \left(\prod_{j=i+1}^{k-1} U_j \right) u_i \right\} + u_{k-1} \bmod(N/M) \quad (a_3)$$

11. 如申請專利範圍第 9 項所述之以記憶體為基礎之正/逆向快速傅立葉轉換處理器，其中，該指標向量係由分解下列方程式(a₄)與(a₅)於各階段產生，在此以 $N=N_1N_2$ 為例，離散傅立葉轉換之定義為 $X(k) = \sum_{n=0}^{N-1} x(n)W_N^{nk}$ ，分解方程式(a₄)與(a₅)可將 N 點離散傅立葉轉換分解為兩個較短點數之離散傅立葉轉換，即 N_1 點離散傅立葉轉換與 N_2 點離散傅立葉轉換；分解方程式(a₄)與(a₅)中之係數 A_2 及 B_1

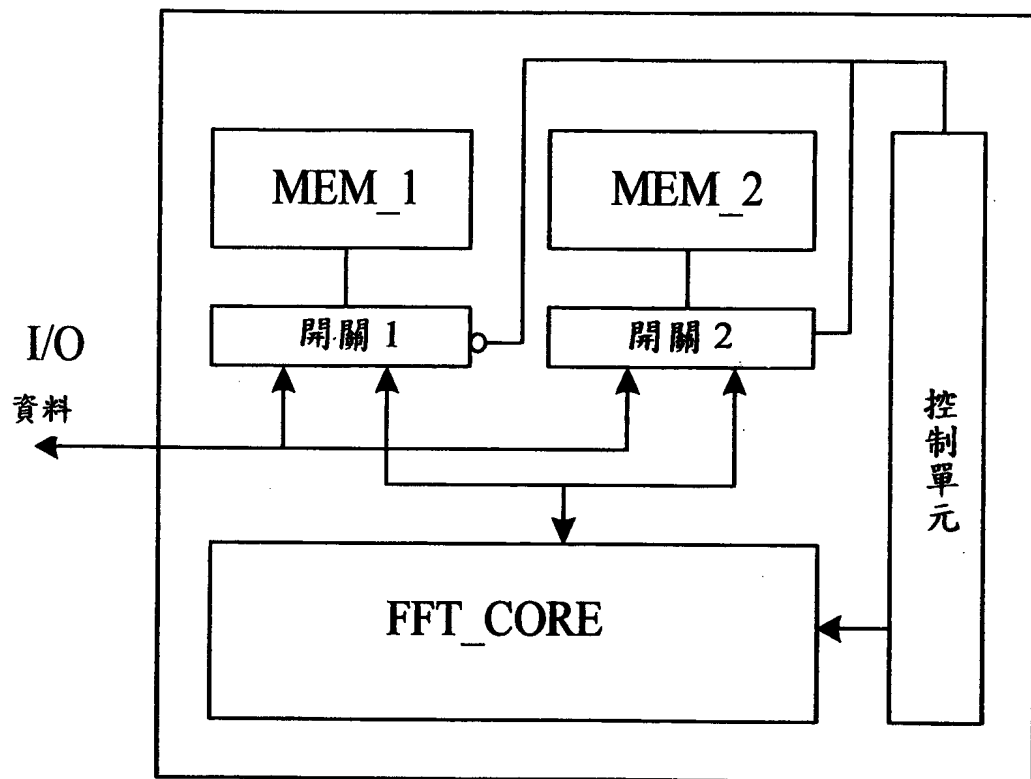
為正整數，輸入及輸出指標分別由該輸入及輸出方程式(a₄)與(a₅)轉換；

$$n = N_2 n_1 + A_2 n_2 \mod N \quad n_1, k_1 = 0, 1, \dots, N_1-1 \quad (a_4)$$

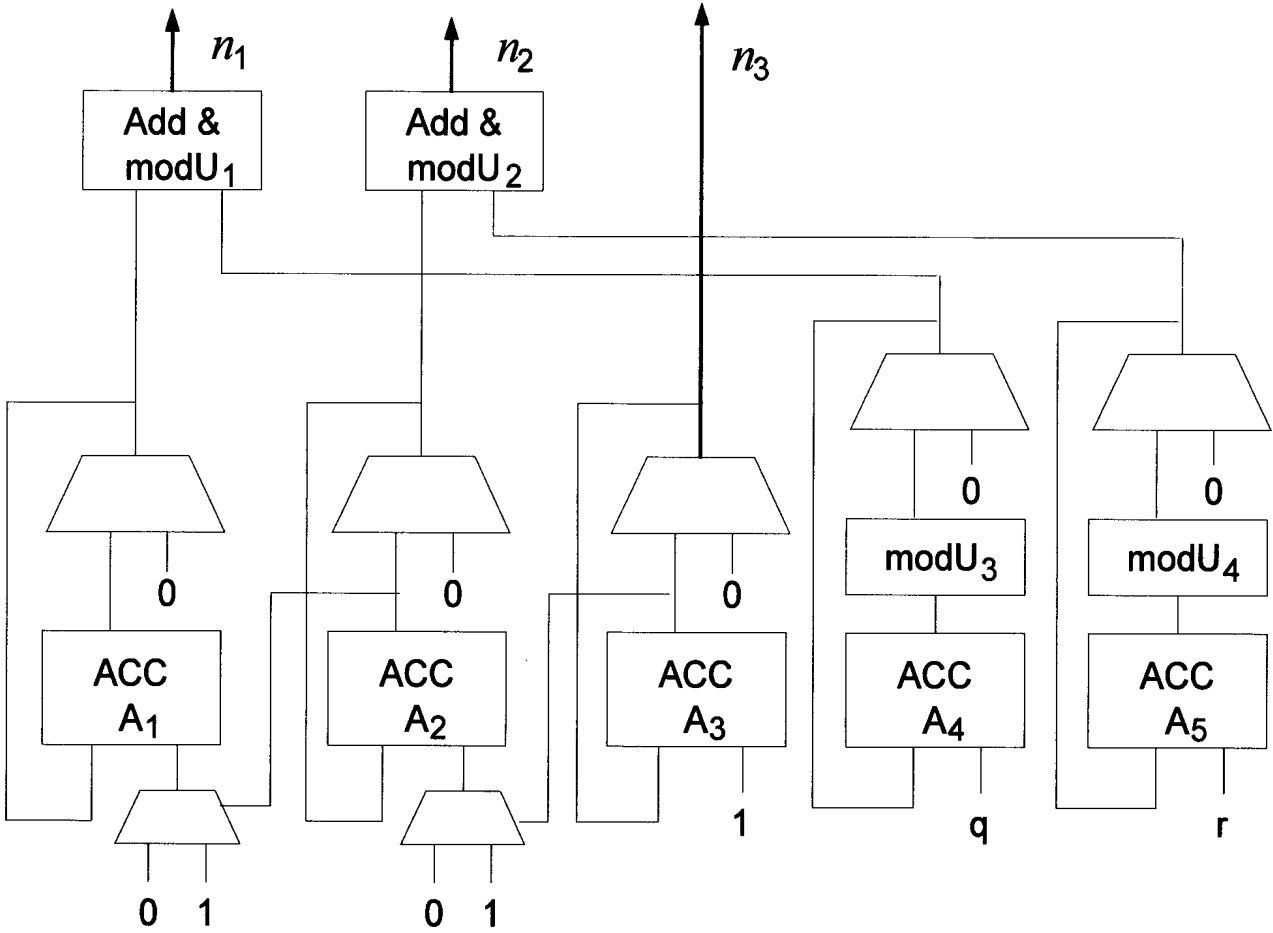
$$k = B_1 k_1 + N_1 k_2 \mod N \quad n_2, k_2 = 0, 1, \dots, N_2-1 \quad (a_5)。$$

12. 如申請專利範圍第 9 項所述之以記憶體為基礎之正/逆向快速傅立葉轉換處理器，其中，對應於如申請專利範圍第 10 項所述輸入及輸出方程式之該指標向量($n_1, n_2, \dots, n_k$)可經由累加器之硬體運用而取得。
13. 如申請專利範圍第 9 項所述之以記憶體為基礎之正/逆向快速傅立葉轉換處理器，其中，以該指標向量($n_1, n_2, \dots, n_k$)而言，用以於第 j 階段計算 N_j 點離散傅立葉轉換而被存取之 N_j 筆資料的每一組係對應($n_1, n_2, \dots, n_{j-1}, 0, n_{j+1}, \dots, n_k$), ($n_1, n_2, \dots, n_{j-1}, 1, n_{j+1}, \dots, n_k$), ..., ($n_1, n_2, \dots, n_{j-1}, N_j-1, n_{j+1}, \dots, n_k$)，且計算完成之輸出資料係於計算後寫回其原來位置。而上述所需之指標向量可由累加器之硬體運用而取得。

十一、圖式：



第一圖



第二圖

七、指定代表圖：

(一) 本發明指定代表圖：第 1 圖

(二) 本代表圖之元件符號簡單說明：

無

八、本發明若有化學式時，請揭示最能顯示發明特徵的化學式：

無