



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I758317 B

(45)公告日：中華民國 111 (2022) 年 03 月 21 日

(21)申請案號：106130093 (22)申請日：中華民國 106 (2017) 年 09 月 04 日

(51)Int. Cl. : G06F13/16 (2006.01) G06F12/0802(2016.01)

G06F3/06 (2006.01)

(30)優先權：2016/09/28 英國 1616452.7

(71)申請人：英商 A R M 股份有限公司 (英國) ARM LIMITED (GB)

英國

(72)發明人：派克 傑森 PARKER, JASON (GB)；巴納斯 葛雷莫彼德 BARNES, GRAEME

PETER (GB)

(74)代理人：李世章；彭國洋

(56)參考文獻：

TW	I483180	CN	103140829A
CN	104516831A	JP	4301520B2
US	9141547B2	US	2010/0332766A1
US	2010/0333096A1	US	2013/0275715A1
US	2015/0193265A1		

審查人員：廖天佑

申請專利範圍項數：19 項 圖式數：4 共 28 頁

(54)名稱

用於提供資料存取行為原子集的裝置及方法

(57)摘要

資料處理裝置 2 包括用於儲存要存取的資料項目的快取記憶體 8。一致性控制電路系統 20 控制儲存在快取記憶體內的資料項目及儲存在快取記憶體外面的資料項目的一或更多個其他複本之間的一致性。資料存取緩存器 6 緩存對於儲存在快取記憶體內的各別資料項目進行的複數個資料存取行為。存取控制電路系統 20 回應於由一致性控制電路系統所管理的該複數個資料項目的一致性狀態，在原子資料存取行為集開始之前確保所有這些資料項目的一致性狀態容許在快取記憶體內執行資料存取行為原子集中的所有資料存取行為，該複數個資料項目要經受要作為資料存取行為原子集而原子地一起執行的資料存取操作。

A data processing apparatus 2 includes a cache memory 8 for storing data items to be accessed. Coherency control circuitry 20 controls coherency between data items stored within the cache memory and one or more other copies of the data items stored outside the cache memory. A data access buffer 6 buffers a plurality of data access to respective data items stored within the cache memory. Access control circuitry 20 is responsive to coherency statuses managed by the coherency control circuitry for the plurality of data items to be subject to data access operations to be performed together atomically as an atomic set of data accesses to ensure that the coherency statuses for all of these data items permit all of the atomic set of data accesses to be performed within the cache memory before the set of atomic data accesses are commenced.

指定代表圖：

符號簡單說明：

32 . . . 步驟

34 . . . 步驟

36 . . . 步驟

38 . . . 步驟

40 . . . 步驟

42 . . . 步驟

44 . . . 步驟

46 . . . 步驟

儲存
操作

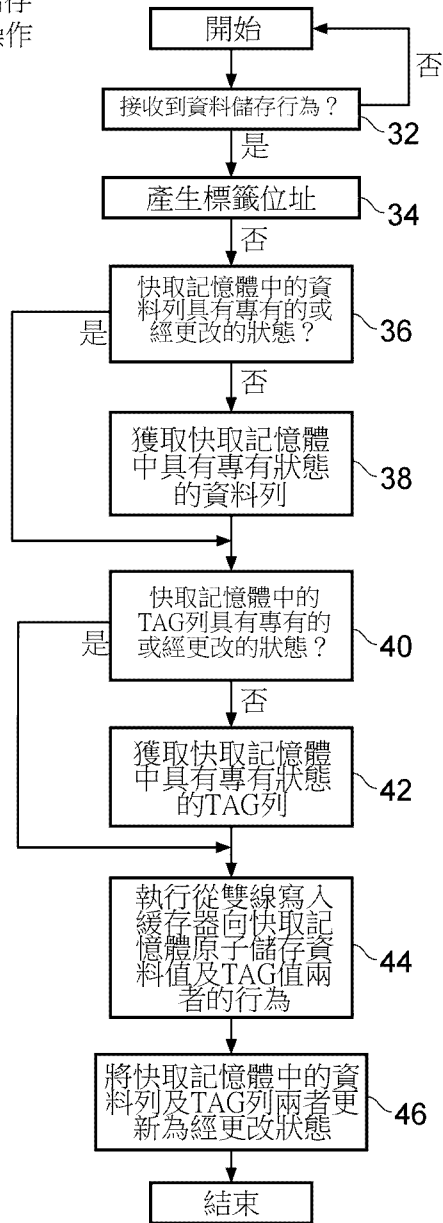


圖3



I758317

【發明摘要】**【中文發明名稱】** 用於提供資料存取行為原子集的裝置及方法**【英文發明名稱】** APPARATUS AND METHOD FOR PROVIDING AN ATOMIC SET OF DATA ACCESSES**【中文】**

資料處理裝置 2 包括用於儲存要存取的資料項目的快取記憶體 8。一致性控制電路系統 20 控制儲存在快取記憶體內的資料項目及儲存在快取記憶體外面的資料項目的一或更多個其他複本之間的一致性。資料存取緩存器 6 緩存對於儲存在快取記憶體內的各別資料項目進行的複數個資料存取行為。存取控制電路系統 20 回應於由一致性控制電路系統所管理的該複數個資料項目的一致性狀態，在原子資料存取行為集開始之前確保所有這些資料項目的一致性狀態容許在快取記憶體內執行資料存取行為原子集中的所有資料存取行為，該複數個資料項目要經受要作為資料存取行為原子集而原子地一起執行的資料存取操作。

【英文】

A data processing apparatus 2 includes a cache memory 8 for storing data items to be accessed. Coherency control circuitry 20 controls coherency between data items stored within the cache memory and one or more other copies of the data items stored outside the cache memory. A data access buffer 6 buffers a plurality of data access to respective data items stored within the cache memory. Access control circuitry 20 is responsive to coherency statuses managed by the coherency control circuitry for the

plurality of data items to be subject to data access operations to be performed together atomically as an atomic set of data accesses to ensure that the coherency statuses for all of these data items permit all of the atomic set of data accesses to be performed within the cache memory before the set of atomic data accesses are commenced.

【指定代表圖】第（ 3 ）圖。

【代表圖之符號簡單說明】

3 2 步 驟

3 4 步 驟

3 6 步 驟

3 8 步 驟

4 0 步 驟

4 2 步 驟

4 4 步 驟

4 6 步 驟

【特徵化學式】

無

【發明說明書】

【中文發明名稱】用於提供資料存取行為原子集的裝置及方法

【英文發明名稱】 APPARATUS AND METHOD FOR PROVIDING AN
ATOMIC SET OF DATA ACCESSES

【技術領域】

【0001】 此揭示案關於資料處理系統的領域。更具體而言，此揭示案關於支援要原子地（*atomically*）執行的資料存取操作的資料處理系統。

【先前技術】

【0002】 資料處理系統領域內的原子操作指的是操作或行動的群組被控制為被執行為使得至少從程式設計師或外部觀測員的觀點來看，行動被一起執行且是全部成功或全部失敗。支援此類原子性的行為是有用的，且該原子性例如可確保多個狀態或資料項目以可能有用於確保正確操作或高安全水準的方式保持同步。然而，提供原子行為一般在系統內施加了效能懲罰及複雜度上的增加。例如，使用資料庫鎖來確保多個資料實例的更新一起執行可能顯著減緩了處理。

【發明內容】

【0003】 從一個態樣來看，本揭示案提供了用於處理資料的裝置，該裝置包括：

處理電路系統，用以執行資料處理操作，所述資料處理操作包括資料存取操作；

一快取記憶體，用以儲存要由所述資料存取操作所存取的資料項目；

一致性控制電路系統，用以控制儲存在所述快取記憶體內的所述資料項目及儲存在所述快取記憶體外面的所述資料項目的一或更多個其他複本之間的一致性；

一資料存取緩存器，用以緩存對於儲存在所述快取記憶體內的各別資料項目進行的複數個資料存取行為；及

存取控制電路系統，回應於由所述一致性控制電路系統所管理的針對複數個資料項目的一致性狀態，在一資料存取行為原子集開始及原子地一起執行之前確保所述複數個資料項目的所述一致性狀態容許在所述快取記憶體內執行所述資料存取行為原子集中的所有資料存取行為，該複數個資料項目經受要作為所述資料存取行為原子集而原子地一起執行的各別的資料存取操作。

【0004】 從另一態樣來看，本揭示案提供了一種處理資料的方法，包括以下步驟：

執行資料處理操作，所述資料處理操作包括資料存取操作；

將要由所述資料存取操作所存取的資料項目儲存在一快取記憶體內；

控制儲存在所述快取記憶體內的所述資料項目及儲存在所述快取記憶體外面的所述資料項目的一或更多個其他複本之間的一致性；

緩存對於儲存在所述快取記憶體內的各別資料項目進行的複數個資料存取行為；及

回應於複數個資料項目的一致性狀態，在一資料存取行為原子集開始及原子地一起執行之前確保所述複數個資料項目的所述一致性狀態容許在所述快取記憶體內執行所述資料存取行為原子集中的所有資料存取行為，該複數個資料項目經受要作為所述資料存取行為原子集而原子地一起執行的各別資料存取操作。

【0005】 從另一態樣來看，本揭示案提供了用於處理資料的裝置，該裝置包括：

處理電路系統，用以執行資料處理操作，所述資料處理操作包括使用一相對應的虛擬記憶體位址空間內的虛擬記憶體位址來指定的資料存取操作；

位址轉譯電路系統，用以將所述虛擬位址轉譯成一實體位址空間內的實體位址以定址記憶體電路系統；及

存取控制電路系統，回應於對於複數個資料項目進行的資料存取行為的虛擬記憶體位址，控制對於所述複數個資料項目進行的所述資料存取行為作為一資料存取行為原子集來執行。

【0006】 從另一態樣來看，本揭示案提供了一種處理資料的方法，包括以下步驟：

執行資料處理操作，所述資料處理操作包括使用一相對應的虛擬記憶體位址空間內的虛擬記憶體位址來指定的資料存取操作；

將所述虛擬位址轉譯成一實體位址空間內的實體位址以定址記憶體電路系統；及

回應於對於複數個資料項目進行的資料存取行為的虛擬記憶體位址，控制對於所述複數個資料項目進行的所述資料存取行為作為一資料存取行為原子集來執行。

【圖式簡單說明】

【0007】 將參照隨附繪圖僅藉由示例的方式描述示例實施例，在該等繪圖中：

【0008】 圖1示意性地繪示多核心/快取記憶體資料處理系統的一部分，該部分併入了用於確保複數個資料存取行為被執行為資料存取行為原子集（atomic set）的機構；

【0009】 圖2是一圖解，繪示可如何從能力值（酬載值）位址導出TAG值（有效性值）位址；

【0010】 圖3是一流程圖，示意性地繪示儲存操作；及

【0011】 圖4是一流程圖，示意性地繪示加載操作。

【實施方式】

【0012】 圖1示意性地繪示包括處理器核心4的資料處理系統2，該處理器核心藉由緩存電路系統6耦接到快取記憶體8。記憶管理單元10負責將由處理器核心4所產生的虛擬位址（VA）轉譯成如由快取記憶體8及主記憶體16所使用的實體位址（PA）。處理器核心4及快取記憶體8為存在於資料處理系統2內的此類核心及快取記憶體組合的一個實例。更具體而言，由虛線12所圍繞的電路

系統的其他實例存在於資料處理系統 2 內且連接到互連電路系統 14。互連電路系統 14 連接到主記憶體 16，該主記憶體在處理器核心 4 及快取記憶體 8 的不同實例之間被共享。

【0013】 為了管理相對應於實體記憶體位址空間內的給定記憶體位址的資料值的不同複本之間的一致性，資料處理系統 2 被提供為具有一致性機構，該一致性機構藉由依據例如為 MESI 協定的協定透過互連電路系統 14 傳輸監聽請求及監聽回應來運作。依據此類技術，儲存在快取記憶體 8 內的個別快取列 18 的一致性狀態被分配到經更改的、專有的、共享的或無效的狀態中的一者。快取列 18 中的各者的每個快取列的一致性狀態（*per cache line coherency status*）被儲存在快取記憶體 8 內。與快取記憶體 8 相關聯的一致性控制電路系統 20 用來取決於所涉及的快取記憶體 8 處的彼等快取列的一致性狀態來管理對快取列 18 進行的資料存取操作。例如，若快取列 18 在快取記憶體 8 內被保持在共享狀態下且處理器核心 4 希望寫入該快取列，則一致性控制電路系統 20 將透過互連電路系統 14 發出監聽請求，且使用耦接到互連電路系統 14 的監聽控制器 22，以在容許執行寫入之前獲取該快取列 18 的專有存取權。在獲取專有存取權時，這可使得相對應於被保持在其他處的涉及的記憶體位址的資料值的複本被標記為無效的。

【0014】 以類似的方式，在快取列18被相關聯的處理器核心4寫入時，則該快取列的狀態可被標記為經更改的，指示保持在其他處的該資料值的任何其他複本將過期，且此外指示在將該經更改的資料值遷出快取記憶體8時將經更改的資料值回寫到主記憶體16的需求。

【0015】 將理解的是，上述的一致性狀態值及一致性管理技術僅為各種不同的此類一致性狀態值、一致性協定及一致性管理技術的一個實例，該等一致性狀態值、一致性協定及一致性管理技術是可能的且此技術領域中的人將熟悉的。

【0016】 處理器核心4包括複數個處理管線22、24、26，該複數個處理管線包括用於執行資料存取操作的加載儲存管線26。某些這些資料存取操作可與加載至或儲存自一或更多個能力暫存器28的行為相關聯。這些能力暫存器儲存能力值，該等能力值可用來指示及控制由處理器核心4所執行的相對應程序的受容許的處理能力。例如，能力值可用來控制特定程序可在該程序的執行期間存取哪些範圍的記憶體位址。為了保護能力值的整體性及安全性，該等能力值具有相關聯的TAG值，該等TAG值指示經受資料存取的特定資料值是否要被視為有效的能力值。更具體而言，與資料存取相關聯的虛擬位址可用來導出TAG值的相對應位址，其中該TAG值指示該相對應的虛擬位址正在儲存有效的能力值或不在儲存有效的能力值。此類系統內的能力值及TAG值具有緊密的關係且應

被原子地存取以確保處理的整體性及足夠的安全程度。例如，在讀取能力值及讀取TAG值時，則應在相同時點（至少從程式設計師的觀點來看）取樣能力值及TAG值，以避免例如有效性值在讀取能力值的時點及讀取相對應TAG值的後續時點之間改變的可能性。

【0017】 上文所論述的能力值及TAG值為要將複數個資料項目作為資料存取行為原子集來存取的情況的一個實例。更一般的示例會是考慮存取酬載值及相對應的有效性值。有效性值指示相對應酬載值的有效性狀態的一態樣。將理解的是，存在許多其他類型的系統及用法，其中應透過資料存取行為原子集來存取彼此相關聯的多個資料項目。

【0018】 緩存電路系統6支援一起執行多個讀取行為或多個寫入行為。這些讀取及寫入行為可不精確地同時發生，但在給予由緩存電路系統6所提供的硬體支援的情況下，該等行為從程式設計師的觀點可看起來像是同時執行的。

【0019】 緩存電路系統6包括存取控制電路系統30。存取控制電路系統30回應於來自處理器核心4的訊號，該訊號指示在執行資料存取時該資料存取是否是針對能力值。存取控制電路系統30亦能夠讀取儲存在快取記憶體8內的不同快取列18的一致性狀態值。據此，在存取控制電路系統30偵測到存取行為要被執行為能力存取行為時，則該存取控制電路系統產生相對應TAG值的位址。

由處理器核心 4 所產生的能力存取行為使用虛擬記憶體空間內的虛擬位址。TAG 值亦使用此虛擬記憶體空間內的 TAG 位址。能力值的虛擬位址及相對應 TAG 值的虛擬位址之間的關係是預先決定的，且將在下文中與圖 2 關聯來進一步描述。記憶管理單元 20 在快取記憶體 8 及主記憶體 16 使用實體位址 (PA) 來運作時將虛擬位址 (VA) 重映射到實體位址 (PA)。記憶管理單元 10 亦可負責其他的控制功能，例如許可控制。

【0020】 在存取控制電路系統 30 擁有要存取的一致性值的位址及相對應 TAG 值的位址 (現在被轉譯成實體位址) 兩者時，可判定儲存彼等值的快取記憶體內的相對應快取列 18 的一致性狀態。若快取記憶體 18 目前並未儲存相對應 TAG 值的一致性值，則可如將在下文中進一步描述地將該一致性值提取進快取記憶體 8。存取控制電路系統回應於其讀取的一致性狀態 (這些一致性狀態是由一致性控制電路系統 20 及監聽控制器 22 所管理的)，藉由在該資料存取行為原子集開始之前確保一致性狀態指示包括針對一致性值進行的存取行為及針對相對應 TAG 值進行的存取行為的資料存取行為原子集中的所有資料存取行為可在快取記憶體內一起執行，來管理要原子地執行的針對能力值及相對應的 TAG 值進行的存取行為。若一致性狀態並未使得容許使用儲存在產生存取請求的處理器核心的快取記憶體 8 內的資料值來本端地執行存取行為，則使用一致性控制電路系統 20 及監聽控制器 22 來與

資料處理系統 2 的其餘部分交換監聽請求及監聽回應，以獲取涉及適當的一致性狀態的快取列的複本，該適當的一致性狀態容許在快取記憶體 8 內本端地執行形成存取原子集的一部分的存取行為。

【0021】 在資料存取行為原子集是資料寫入行為原子集的情況下，則存取控制電路系統 30 用來在資料寫入行為原子集中的任何資料寫入行為開始及以低延遲原子地一起執行之前確保資料寫入行為原子集中的所有資料寫入行為的一致性狀態是容許寫入的一致性狀態，該容許寫入的一致性狀態容許在快取記憶體 8 內執行彼等資料寫入行為原子集中的所有資料寫入行為。在圖 1 中所繪示的示例的情況下的容許寫入的一致性狀態的實例包括了專有一致性狀態及經更改一致性狀態，該專有一致性狀態指示快取記憶體 8 擁有相對應的快取列的專有存取寫入權，該經更改一致性狀態指示快取記憶體 8 正在儲存具有一值的相對應資料項目，該值在被儲存在快取記憶體 8 內的同時已被更改。

【0022】 在對快取記憶體 8 內的資料項目（快取列 18）作出寫入行為時，一致性狀態被一致性控制電路系統 20 及監聽控制器 22 用來控制被保持在資料處理裝置內的其他處的任何相對應的資料值的後續更改行為。可能的是，由資料寫入行為原子集中的任何資料寫入行為造成的任何相對應的後續資料寫入行為可被一致性控制電路系統 20 延緩，直到快取記憶體 8 不再儲存涉及容許寫入的資料

存取行為的資料項目（例如該資料項目的一致性狀態從專有的或經更改的改變了）為止。

【0023】 在資料存取行為原子集是資料讀取行為原子集的情況下，存取控制電路系統可用來在資料讀取行為原子集中的任何資料讀取行為開始之前確保資料讀取行為原子集中的所有資料讀取行為的一致性狀態是容許讀取的一致性狀態，使得該等資料讀取行為可接著以低延遲原子地一起執行，該容許讀取的一致性狀態容許在快取記憶體 8 內執行資料讀取行為原子集中的所有資料讀取行為。圖 1 的示例實施例中的容許讀取的一致性狀態的實例包括了如上文所論述的專有狀態、如上文所論述的經修改狀態及共享一致性狀態，該共享一致性狀態指示快取記憶體 8 正在儲存相對應資料項目亦被儲存在資料處理系統 2 內的其他處（例如所涉及的特定快取記憶體 8 外面）的最新複本。

【0024】 圖 2 示意性地繪示酬載值（例如能力值）及相對應的有效性值（例如 TAG 值）的位址之間的關係。在所繪示的實例中，如由處理器核心 4 所使用的虛擬記憶體位址空間具有該虛擬記憶體位址空間專用於儲存有效性值的最上方的第 128 個部分。最上方的部分開始於 TAG 基址處。據此，可如圖 2 中所示地判定有效性值的位址。因此，虛擬記憶體位址空間被分成用於儲存酬載值的資料分區及用於儲存有效性值的相對應的 TAG 分區。儲存在 TAG 分區內的有效性值可為填有中介空值（或可能是其

他元資料)的單一位元值。這樣做到使得在TAG值的快取列18被加載進多處理器系統內的快取記憶體8中的一者時，所涉及的快取列與較少的相對應的酬載快取列相關，且據此對於TAG值的給定快取列而言存在較少的爭用行為。

【0025】圖3是一流程圖，示意性地繪示可依據本技術來執行的儲存操作。處理在步驟32處等待直到接收到資料儲存操作為止。步驟34接著依據圖2中所示的關係針對接收到的資料儲存操作產生相對應的TAG位址。步驟36判定用於進行在步驟32處所接收到的資料儲存的資料列是否以專有的或經更改的狀態存在於快取記憶體8內。若步驟36處的判定是資料列未以專有的或經更改的狀態存在，則處理繼續進行到步驟30，在步驟30處，從主記憶體16或從另一核心及快取記憶體組合獲取資料列。若步驟36處的判定是資料列已經以專有的或經更改的狀態存在於所針對的快取記憶體內，則略過步驟38。

【0026】在步驟40處，作出關於包含用於所涉及的資料儲存行為的資料列的TAG值的TAG列是否已經以專有的或經更改的狀態存在於快取記憶體8內的判定。若TAG列不存在，則在步驟42處從記憶體16或另一核心及快取記憶體組合獲取具有專有狀態的該TAG列。若步驟40處的判定是TAG列已經以專有的或經更改的狀態存在於快取記憶體8內，則略過步驟42。

【0027】 步驟36、38、40及42的行動確保在到達步驟44處之前，資料列及相對應的TAG列兩者以專有的或經更改的狀態存在快取記憶體8於內。步驟44接著執行從緩存電路系統6內的雙線寫入緩存器原子儲存資料列內的資料值及相對應的TAG值兩者的行為。步驟46更新在步驟44處所寫入的資料列及TAG列兩者的一致性狀態以指示這些項目已被更改。

【0028】 圖4是一流程圖，示意性地繪示加載操作。處理在步驟48處等待直到接收到資料加載行為為止。步驟50接著產生相對應於所接收到的資料加載行為的TAG位址。步驟52判定相對應於步驟48處所接收到的資料加載行為的資料列目前是否以共享的、專有的或經更改的狀態中的一者存在於快取記憶體8內。若資料列未如此存在，則步驟54用來獲取快取記憶體8中具有共享狀態的資料列。若資料列已經存在於快取記憶體8內，則略過步驟54。步驟56判定相對應於步驟48處所接收到的資料加載行為的TAG列是否已經以共享的、專有的或經更改的狀態中的一者存在於快取記憶體8內。若TAG列還未如此存在，則在步驟58處獲取具有共享狀態的TAG列。若TAG列被步驟56判定為已經存在，則略過步驟58。

【0029】 步驟60執行將快取緩存在快取記憶體8內的資料值及TAG值兩者原子加載進緩存電路系統6的雙線讀取緩存器的行為。此使用雙線讀取緩存器的原子加載行為確保資料列及TAG值保持彼此一致。

【0030】 步驟62判定步驟48處所接收到的資料加載行為是否相對應於具有一能力值的加載行為。若加載行為具有一能力值，則步驟64判定相對應的TAG值是否是有效的而指示該加載行為是被正確作出的。若TAG值是有效的，則步驟66用來將資料值加載進核心4內的適當的暫存器。若TAG值在步驟64處被判定不是有效的，則步驟68用來產生錯誤訊息。

【0031】 儘管已於本文中參照隨附繪圖詳細描述說明性實施例，要瞭解的是，請求項不限於該等準確的實施例，且可由本領域中具技藝者將各種改變、添加及更改作用於該等實施例中而不脫離隨附請求項的範圍及精神。例如，可同獨立項的特徵作出附屬項之特徵的各種組合。

【符號說明】

【0032】

- 2 資料處理系統
- 4 處理器核心
- 6 緩存電路系統
- 8 快取記憶體
- 10 記憶管理單元
- 12 虛線
- 14 互連電路系統
- 16 主記憶體
- 18 快取列
- 20 一致性控制電路系統

- 2 2 監聽控制器 / 處理管線
- 2 4 處理管線
- 2 6 處理管線
- 2 8 能力暫存器
- 3 0 存取控制電路系統
- 3 2 步驟
- 3 4 步驟
- 3 6 步驟
- 3 8 步驟
- 4 0 步驟
- 4 2 步驟
- 4 4 步驟
- 4 6 步驟
- 4 8 步驟
- 5 0 步驟
- 5 2 步驟
- 5 4 步驟
- 5 6 步驟
- 5 8 步驟
- 6 0 步驟
- 6 2 步驟
- 6 4 步驟
- 6 6 步驟
- 6 8 步驟

【生物材料寄存】

【 0 0 3 3 】 國內寄存資訊 (請依寄存機構、日期、號碼順序註記)

無

【 0 0 3 4 】 國外寄存資訊 (請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【第1項】 一種用於提供一資料存取行為原子集的裝置，包括：

處理電路系統，用以執行資料處理操作，所述資料處理操作包括資料存取操作；

一快取記憶體，用以儲存要由所述資料存取操作所存取的資料項目；

一致性控制電路系統，用以控制儲存在所述快取記憶體內的所述資料項目及儲存在所述快取記憶體外面的所述資料項目的一或更多個其他複本之間的一致性；

一資料存取緩存器，用以緩存對於儲存在所述快取記憶體內的各別資料項目進行的複數個資料存取行為；及

存取控制電路系統，回應於指示出該處理電路系統正執行的一目前資料存取操作是要作為所述資料存取行為原子集而原子地一起執行的複數個資料存取操作中之一者的來自該處理電路系統的一信號，該存取控制電路系統用以：

針對回應於執行所述複數個資料存取操作而將被存取的各別資料項目，決定由所述一致性控制電路系統所管理的相對應一致性狀態；及

回應於該等相對應一致性狀態，決定是否該等相對應一致性狀態容許在所述快取記憶體內執行所述資料存取行為原子集中的所有資料存取行為，

其中，在所述資料存取行為原子集開始及原子地一起執行之前，在所述相對應一致性狀態沒有容許在所述快取記憶體內執行所述資料存取行為原子集中的所有資料存取行為之下，該一致性控制電路系統經配置以請求具有經更新一致性狀態的所述各別資料項目的複本，該等經更新一致性狀態容許在所述快取記憶體內執行所述資料存取行為原子集中的所有資料存取行為。

【第2項】如請求項1所述之裝置，其中所述資料存取行為原子集是一資料寫入行為原子集，且所述存取控制電路系統在所述資料寫入行為原子集開始且原子地一起執行之前確保所述資料寫入行為原子集中的所有資料寫入行為的所述一致性狀態是容許寫入的一致性狀態，該容許寫入的一致性狀態容許在所述快取記憶體內執行所述資料寫入行為原子集中的所有資料寫入行為。

【第3項】如請求項2所述之裝置，其中所述容許寫入的一致性狀態包括：

一專有一致性狀態，指示所述快取記憶體具有對於一相對應的資料項目的一專有存取權；及

一經更改一致性狀態，指示所述快取記憶體正在儲存具有已在所述快取記憶體內被更改的一值的一相對應的資料項目。

【第4項】如請求項2所述之裝置，其中所述一致性控制電路系統控制對於儲存在所述快取記憶體外面的所述資料項目的其他複本進行的任何繼起的相對應寫入行為，且該等相對應的寫入行為相對應於所述原子資料寫入行為集中的任何資料寫入行為。

【第5項】如請求項4所述之裝置，其中相對應於所述資料寫入行為原子集中的一個資料寫入行為的一資料項目的一繼起的相對應寫入行為被所述一致性控制電路系統延緩，直到儲存在所述快取記憶體內的所述資料項目不再具有一容許寫入的一致性狀態為止。

【第6項】如請求項1所述之裝置，其中所述資料存取行為原子集是一資料讀取行為原子集，且所述存取控制電路系統在所述資料讀取行為原子集開始且原子地一起執行之前確保所述資料讀取行為原子集中的所有資料讀取行為的所述一致性狀態是容許讀取的一致性狀態，該容許讀取的一致性狀態容許在所述快取記憶體內執行所述資料讀取行為原子集中的所有資料讀取行為。

【第7項】如請求項6所述之裝置，其中所述容許讀取的一致性狀態包括：

一專有一致性狀態，指示所述快取記憶體具有對於一相對應的資料項目的一專有存取權；

一經更改一致性狀態，指示所述快取記憶體正在儲存具有已在所述快取記憶體內被更改的一值的一相對應的資料項目；及

一共享一致性狀態，指示所述快取記憶體正在儲存一相對應資料項目的亦儲存在所述快取記憶體外面的一最新複本。

【第8項】如請求項1所述之裝置，其中所述資料存取行為原子集為對於一酬載值及一相對應的有效性值進行的存取行為，該有效性值指示所述酬載值的有效性。

【第9項】如請求項8所述之裝置，其中所述存取控制電路系統回應於對於所述酬載值進行的一資料存取操作，產生對於所述相對應的有效性值進行的一資料存取操作，對於所述酬載值進行的該資料存取操作由所述處理電路系統回應於由所述處理電路系統所執行的一程式指令而執行。

【第10項】如請求項9所述之裝置，其中所述存取控制電路系統從由對於所述酬載值進行的所述資料存取操作所指定的一記憶體位址判定儲存所述相對應有效性資料值的一記憶體位址。

【第11項】如請求項9所述之裝置，其中在對於所述酬載資料進行的資料存取操作是用以讀取所述酬載值的一酬載讀取操作時，所述存取控制電路系統回應於指

示所述酬載值的有效性的所述有效性值而容許回傳所述酬載值，且回應於指示所述酬載值的無效性的所述有效性值而防止回傳所述酬載值。

【第12項】 如請求項9所述之裝置，其中在對於所述酬載資料進行的資料存取操作是用以寫入所述酬載值的一酬載寫入操作時，所述存取控制電路系統原子地寫入所述酬載值及用以指示所述酬載值的有效性的所述有效性值。

【第13項】 如請求項9所述之裝置，其中在對於所述酬載資料進行的資料存取操作是用以讀取所述酬載值的一標準讀取操作時，所述存取控制電路系統回應於指示所述酬載值的有效性的所述有效性值而防止回傳所述酬載值，且回應於指示所述酬載值的無效性的所述有效性值而容許回傳所述酬載值。

【第14項】 如請求項9所述之裝置，其中在對於所述酬載資料進行的資料存取操作是用以寫入所述酬載值的一標準寫入操作時，所述存取控制電路系統回應於指示所述酬載值的有效性的所述有效性值而原子地執行所述酬載資料的一寫入行為及用以指示所述酬載資料的無效性的所述有效性值的一寫入行為，且回應於指示所述酬載值的無效性的所述有效性值而執行所述酬載資料的一寫入行為。

【第15項】 如請求項8所述之裝置，其中所述存取控制電路系統在允許任何行動獲取以指示容許存取的一一

致性狀態儲存在所述快取記憶體內的所述酬載資料之前檢查所述有效性值，所述有效性值以指示容許存取所述快取記憶體內的所述有效性值的一一致性狀態儲存在所述快取記憶體內。

【第16項】 如請求項8所述之裝置，其中所述酬載資料是指示由所述處理電路系統所執行的一相對應程序的受容許的處理能力的的能力資料。

【第17項】 如請求項1所述之裝置，其中所述資料項目被儲存在所述快取記憶體的各別的快取列內，且是在一每個快取列（*per-cache-line*）的基礎上管理所述一致性狀態。

【第18項】 如請求項8所述之裝置，其中所述資料項目被儲存在所述快取記憶體的各別的快取列內，且是在一每個快取列的基礎上管理所述一致性狀態，且其中儲存在一快取列內的複數個所述有效性值被填塞在所述快取列內以減少所述快取列內及共享一一致性狀態的一有效性值數量。

【第19項】 一種用於提供一資料存取行為原子集的方法，包括以下步驟：

執行資料處理操作，所述資料處理操作包括資料存取操作；

將要由所述資料存取操作所存取的資料項目儲存在一快取記憶體內；

控制儲存在所述快取記憶體內的所述資料項目及儲存在所述快取記憶體外面的所述資料項目的一或更多個其他複本之間的一致性；

緩存對於儲存在所述快取記憶體內的各別資料項目進行的複數個資料存取行為；

回應於指示出正執行的一目前資料存取操作是要作為所述資料存取行為原子集而原子地一起執行的複數個資料存取操作中之一者的一信號，針對回應於執行所述複數個資料存取操作而將被存取的各別資料項目來決定相對應一致性狀態；

回應於該等相對應一致性狀態，決定是否該等相對應一致性狀態容許在所述快取記憶體內執行所述資料存取行為原子集中的所有資料存取行為；及

在所述資料存取行為原子集開始及原子地一起執行之前，在所述相對應一致性狀態沒有容許在所述快取記憶體內執行所述資料存取行為原子集中的所有資料存取行為之下，請求具有經更新一致性狀態的所述各別資料項目的複本，該等經更新一致性狀態容許在所述快取記憶體內執行所述資料存取行為原子集中的所有資料存取行為。

【發明圖式】

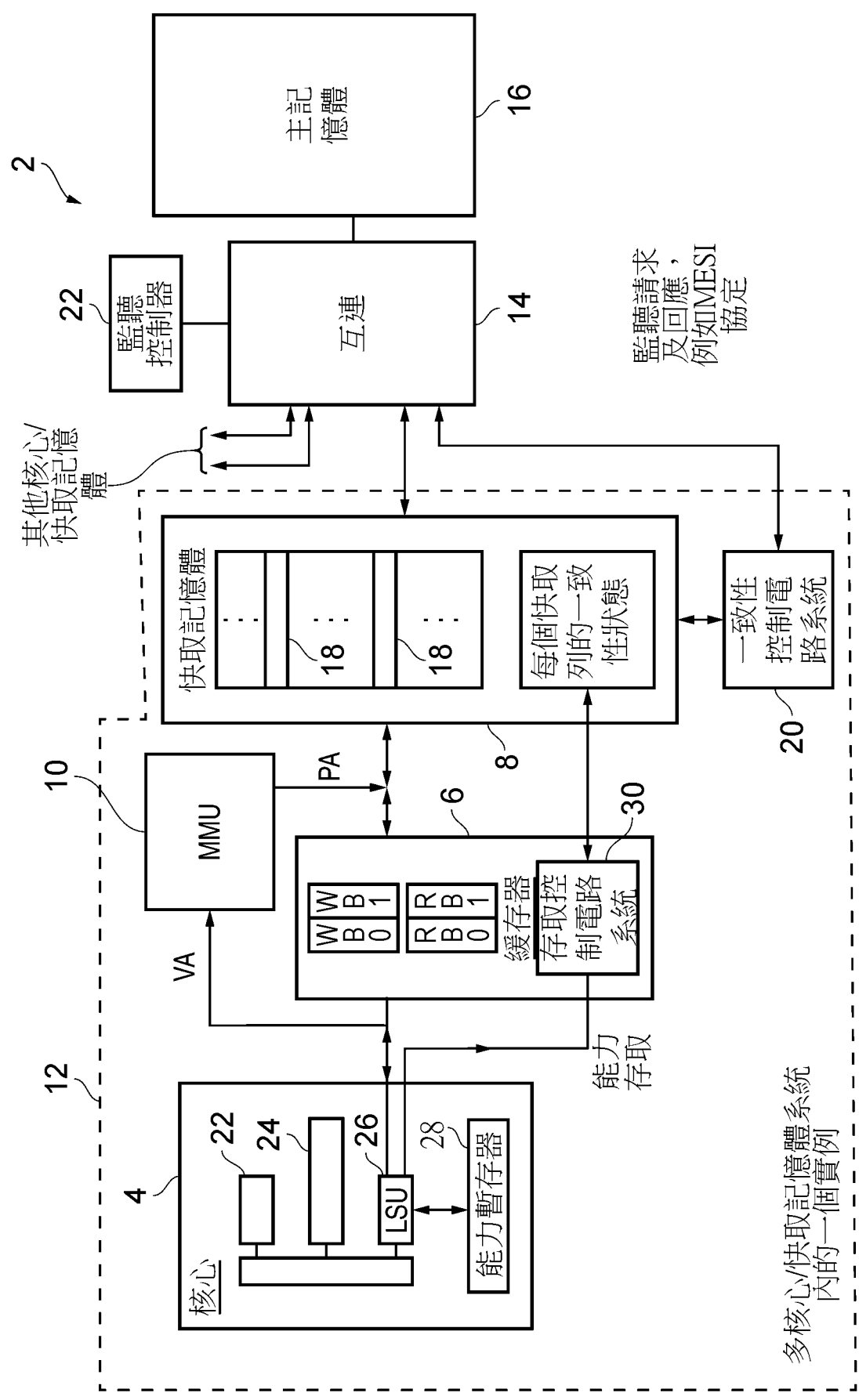


圖1

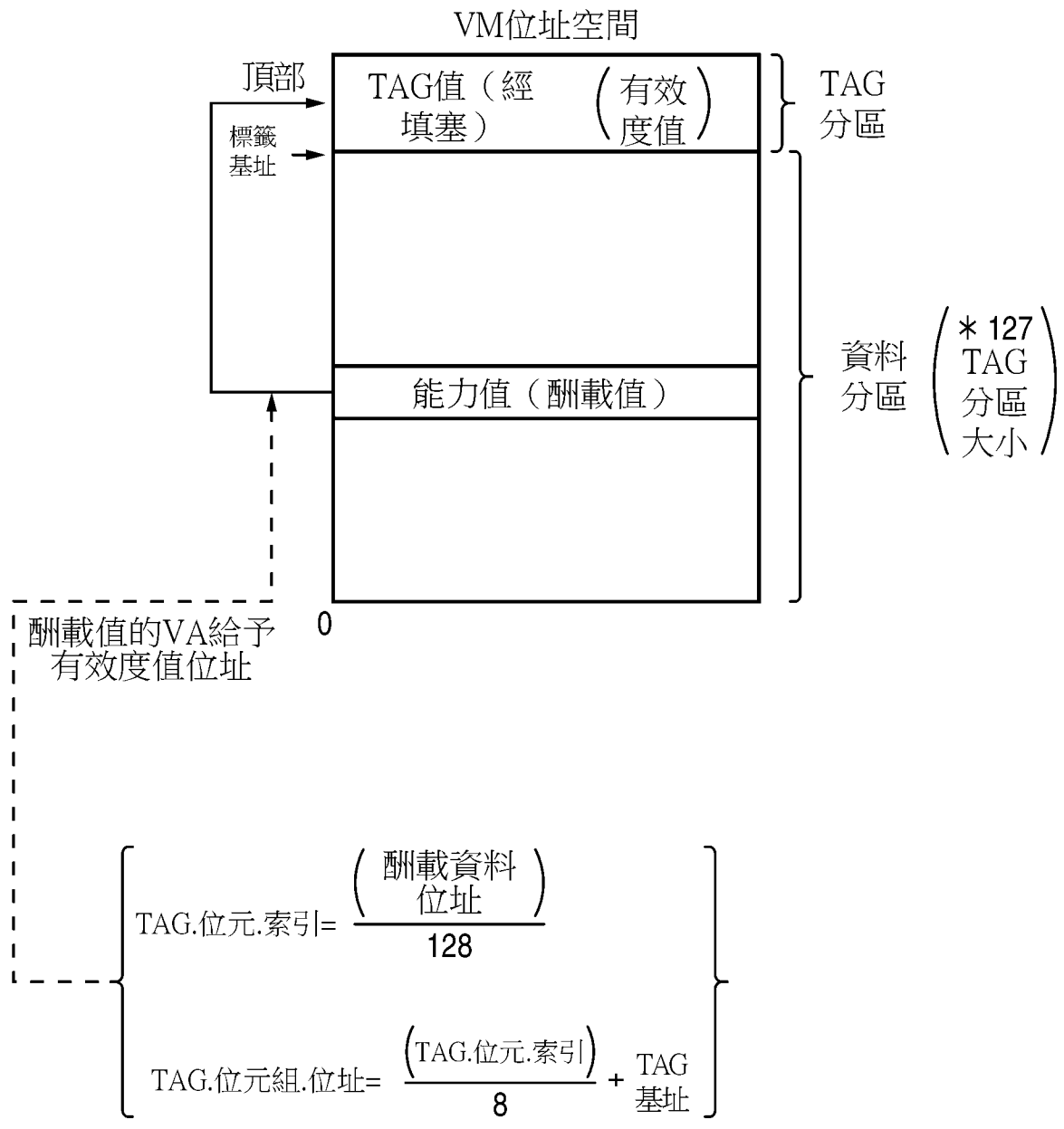


圖2

儲存
操作

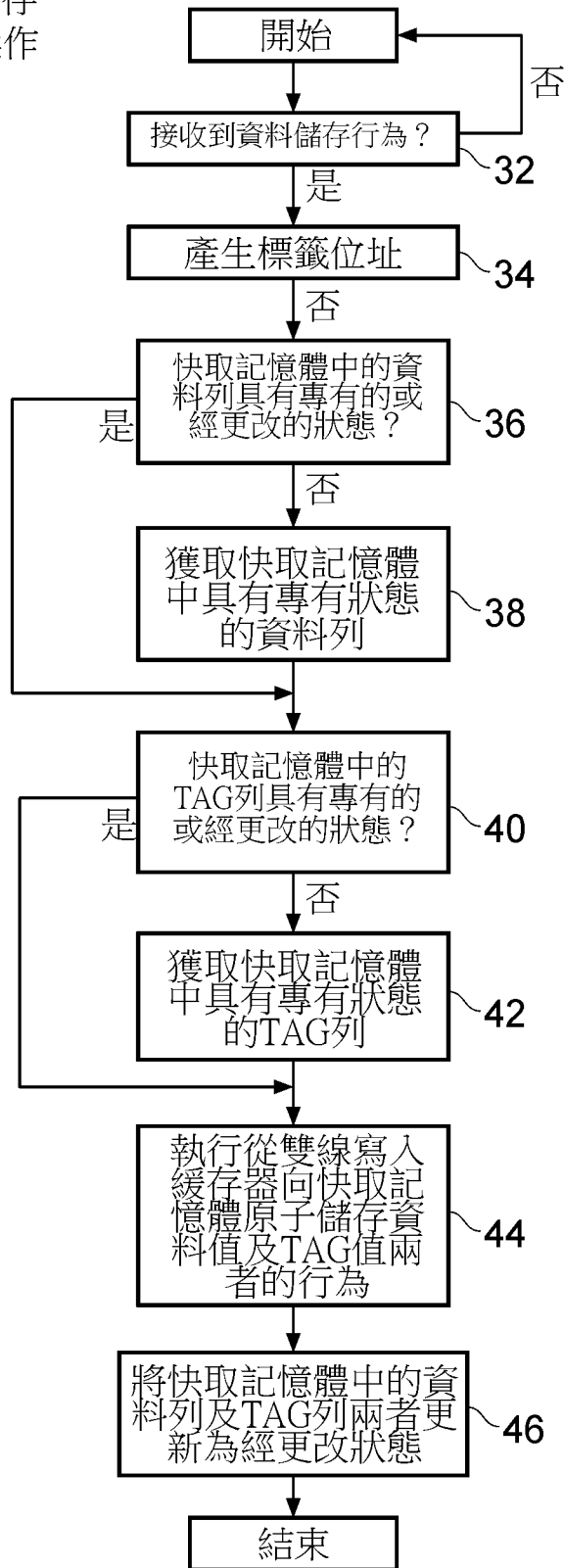


圖3

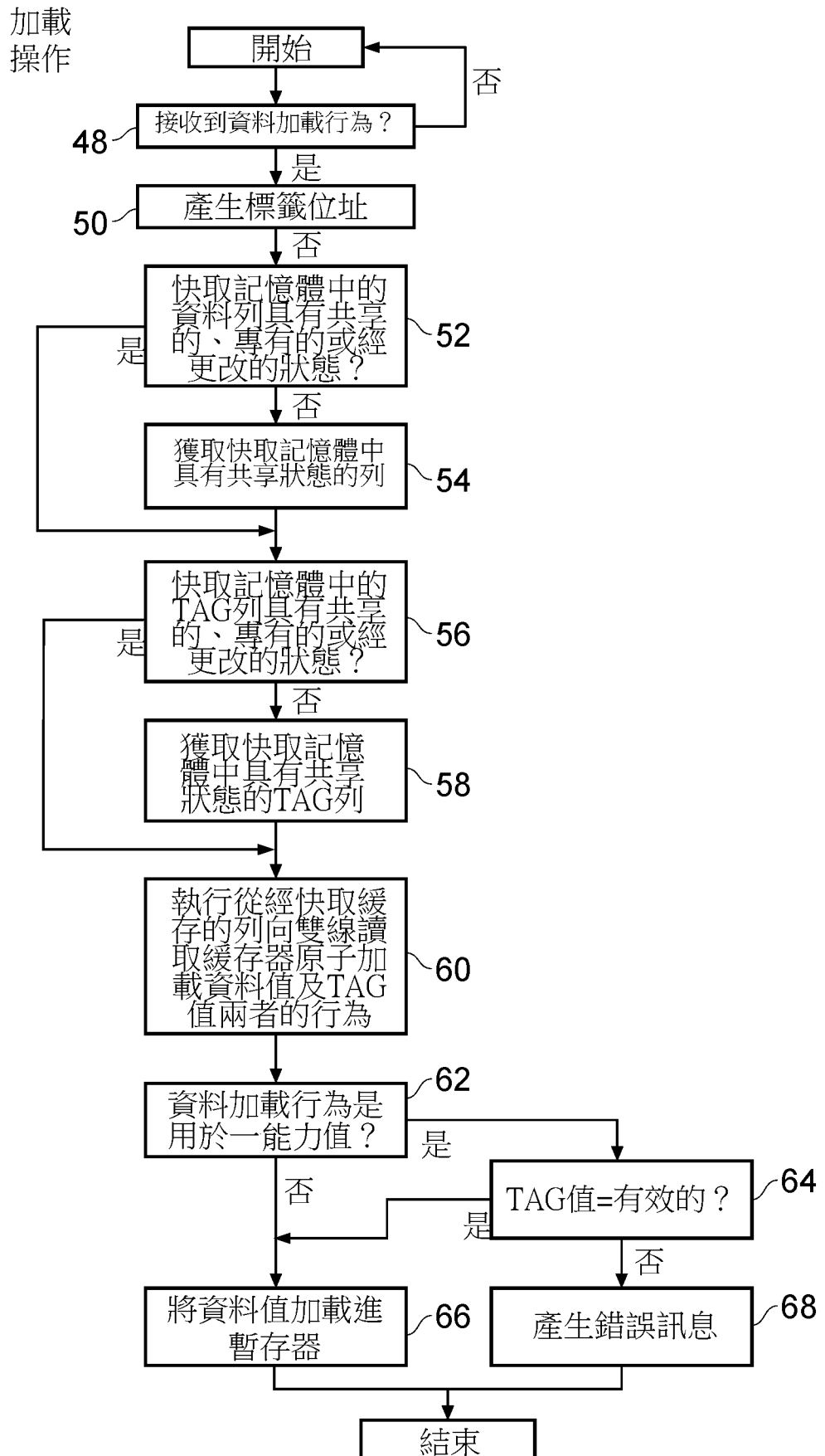


圖4