



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년10월20일
(11) 등록번호 10-2315248
(24) 등록일자 2021년10월14일

(51) 국제특허분류(Int. Cl.)
G09G 3/20 (2006.01) G09G 3/36 (2006.01)
(52) CPC특허분류
G09G 3/20 (2013.01)
G09G 3/3648 (2013.01)
(21) 출원번호 10-2015-0020791
(22) 출원일자 2015년02월11일
심사청구일자 2020년01월20일
(65) 공개번호 10-2015-0099426
(43) 공개일자 2015년08월31일
(30) 우선권주장
JP-P-2014-031501 2014년02월21일 일본(JP)
(56) 선행기술조사문헌
KR1020040097503 A*
KR1020130001247 A*
KR1020110116579 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시킴가이사 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
우메자키 아츠시
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시킴가이사 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
양영준, 박충범

전체 청구항 수 : 총 16 항

심사관 : 신영교

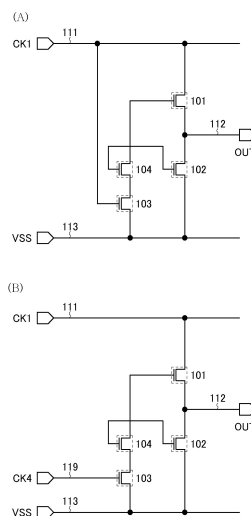
(54) 발명의 명칭 반도체 장치 및 전자 기기

(57) 요약

본 발명은 신규 시프트 레지스터를 제공한다.

트랜지스터(101), 트랜지스터(102), 트랜지스터(103), 및 트랜지스터(104)를 가진다. 트랜지스터(101)는 제 1 단자가 배선(111)과 접속되고, 제 2 단자는 배선(112)과 접속되어 있다. 트랜지스터(102)는 제 1 단자가 배선(113)과 접속되고, 제 2 단자가 배선(112)과 접속되어 있다. 트랜지스터(103)는 제 1 단자가 배선(113)과 접속되고, 게이트가 배선(111) 또는 배선(119)과 접속되어 있다. 트랜지스터(104)는 제 1 단자가 트랜지스터(103)의 제 2 단자와 접속되고, 제 2 단자가 트랜지스터(101)의 게이트와 접속되고, 게이트가 트랜지스터(102)의 게이트와 접속되어 있다.

대표도 - 도10



명세서

청구범위

청구항 1

반도체 장치에 있어서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 4 트랜지스터와;

제 1 배선 및 제 2 배선을 포함하고,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터는 동일한 도전형을 가지고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽과 상기 제 3 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트는 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽과 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 배선은 상기 제 1 트랜지스터의 소스 및 드레인 중 상기 다른 쪽과 상기 제 3 트랜지스터의 상기 게이트에 클럭 신호를 공급하고,

상기 제 2 배선은 상기 제 2 트랜지스터의 소스 및 드레인 중 상기 다른 쪽과 상기 제 3 트랜지스터의 소스 및 드레인 중 상기 한쪽에 전압을 공급하는, 반도체 장치.

청구항 3

반도체 장치에 있어서,

제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 및 제 4 트랜지스터와;

제 1 배선, 제 2 배선, 및 제 3 배선을 포함하고,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터는 동일한 도전형을 가지고,

상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 1 배선에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트는 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽과 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 배선에 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 게이트는 상기 제 3 배선에 전기적으로 접속되고,
 상기 제 3 배선은 상기 제 3 트랜지스터의 상기 게이트에 제 2 클럭 신호를 공급하는, 반도체 장치.

청구항 4

제 1 항 또는 제 3 항에 있어서,
 상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 4 트랜지스터 중 적어도 하나의 채널 형성 영역은 산화물 반도체를 포함하는, 반도체 장치.

청구항 5

제 3 항에 있어서,
 상기 제 1 배선은 상기 제 1 트랜지스터의 소스 및 드레인 중 상기 다른 쪽에 제 1 클럭 신호를 공급하고,
 상기 제 2 배선은 상기 제 2 트랜지스터의 소스 및 드레인 중 상기 다른 쪽과 상기 제 3 트랜지스터의 소스 및 드레인 중 상기 한쪽에 전압을 공급하는, 반도체 장치.

청구항 6

반도체 장치에 있어서,
 제 1 트랜지스터, 제 2 트랜지스터, 제 3 트랜지스터, 제 4 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터, 및 제 7 트랜지스터와;
 제 1 배선, 제 2 배선, 제 3 배선, 및 제 4 배선을 포함하고,
 상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 및 상기 제 7 트랜지스터는 동일한 도전형을 가지고,
 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽 및 상기 제 3 트랜지스터의 게이트는 상기 제 1 배선에 전기적으로 접속되고,
 상기 제 1 트랜지스터의 게이트는 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽과 상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 배선에 전기적으로 접속되고,
 상기 제 2 트랜지스터의 게이트는 상기 제 4 트랜지스터의 게이트, 상기 제 6 트랜지스터의 소스 및 드레인 중 한쪽, 및 상기 제 7 트랜지스터의 소스 및 드레인 중 한쪽에 전기적으로 접속되고,
 상기 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽에 전기적으로 접속되고,
 상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 7 트랜지스터의 게이트에 전기적으로 접속되고,
 상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 배선에 전기적으로 접속되고,
 상기 제 6 트랜지스터의 게이트는 상기 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 7

제 1 항, 제 3 항, 및 제 6 항 중 어느 한 항에 있어서,
 상기 제 4 트랜지스터의 채널 길이에 대한 채널 폭의 비는 상기 제 3 트랜지스터의 채널 길이에 대한 채널 폭의

비보다 높은, 반도체 장치.

청구항 8

제 1 항, 제 3 항, 및 제 6 항 중 어느 한 항에 있어서,

상기 제 3 트랜지스터는 제 1 반도체층 및 제 1 게이트 전극을 포함하고,

상기 제 4 트랜지스터는 제 2 반도체층 및 제 2 게이트 전극을 포함하고,

상기 제 2 반도체층과 상기 제 2 게이트 전극이 서로 중첩되는 면적은 상기 제 1 반도체층과 상기 제 1 게이트 전극이 서로 중첩되는 면적보다 큰, 반도체 장치.

청구항 9

제 6 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 및 상기 제 7 트랜지스터 중 적어도 하나의 채널 형성 영역은 산화물 반도체를 포함하는, 반도체 장치.

청구항 10

제 6 항에 있어서,

상기 제 1 배선은 상기 제 1 트랜지스터의 소스 및 드레인 중 상기 다른 쪽에 제 1 클럭 신호를 공급하고,

상기 제 2 배선은 상기 제 2 트랜지스터의 소스 및 드레인 중 상기 다른 쪽과 상기 제 3 트랜지스터의 소스 및 드레인 중 상기 한쪽에 전압을 공급하고,

상기 제 3 배선은 상기 제 6 트랜지스터의 상기 게이트에 제 2 클럭 신호를 공급하고,

상기 제 4 배선은 상기 제 4 트랜지스터의 소스 및 드레인 중 상기 다른 쪽에 스타트 펄스를 공급하는, 반도체 장치.

청구항 11

제 6 항에 있어서,

상기 제 5 트랜지스터의 게이트는 상기 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 12

제 6 항에 있어서,

상기 제 5 트랜지스터의 게이트는 상기 제 4 배선에 전기적으로 접속되는, 반도체 장치.

청구항 13

제 6 항에 있어서,

상기 제 6 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 14

제 6 항에 있어서,

제 5 배선을 더 포함하고,

상기 제 6 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 5 배선에 전기적으로 접속되는, 반도체 장치.

청구항 15

제 6 항에 있어서,

상기 제 7 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 배선에 전기적으로 접속되는, 반도체 장치.

청구항 16

제 6 항에 있어서,

상기 제 7 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 배선에 전기적으로 접속되는, 반도체 장치.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 반도체 장치, 표시 장치, 표시 모듈, 및 전자 기기에 관한 것이다.

[0002] 다만, 본 발명의 일 형태는 상술한 기술 분야에 한정되지 않는다. 본 명세서 등에 개시(開示)된 발명의 기술 분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로 본 명세서에 개시된 발명의 일 형태의 더 구체적인 기술 분야의 일례로서는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 이들의 구동 방법 또는 제조 방법을 들 수 있다.

배경 기술

[0003] 근년에 들어, 극성이 같은 트랜지스터들로 구성되는 시프트 레지스터의 개발이 진행되고 있다. 특허문헌 1 및 특허문헌 2에는 이와 같은 시프트 레지스터에 관한 기술이 개시되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본국 특개 2004-103226호 공보

(특허문헌 0002) 일본국 특개 2005-050502호 공보

발명의 내용

해결하려는 과제

- [0005] 특허문헌 1에서 도 7에 도시된 시프트 레지스터에서는 트랜지스터(M2)가 온 상태가 됨으로써 전압 VOFF가 출력된다. 그러나, GOUT[N-1]이 하이 레벨인 기간에 트랜지스터(M2)는 오프 상태가 되기 때문에 전압 VOFF가 출력되는 기간은 짧다. 또한, 트랜지스터(M2)의 게이트는 트랜지스터(M4)의 게이트와 접속되어 있으므로 트랜지스터(M2)가 온 상태가 되면 트랜지스터(M4)도 온 상태가 된다. 따라서, GOUT[N-1]이 하이 레벨인 기간에 트랜지스터(M2)를 온 상태로 하면 시프트 레지스터가 기능하지 않게 된다.
- [0006] 특허문헌 2에서 도 7에 도시된 시프트 레지스터에서는 트랜지스터(Q53) 또는 트랜지스터(Q56)가 온 상태가 됨으로써 전압 VOFF가 출력된다. 신호 IN1이 하이 레벨인 기간에 트랜지스터(Q53)는 오프 상태이지만, 트랜지스터(Q56)가 온 상태이기 때문에 전압 VOFF가 출력된다. 그러나, 이것을 실현하려면 트랜지스터(Q53)와 트랜지스터(Q56)라는 2개의 트랜지스터가 필요하므로 트랜지스터 수가 많아진다.
- [0007] 본 발명의 일 형태는 신규 회로 구성을 제공하는 것을 과제 중 하나로 한다. 특히 시프트 레지스터의 일부, 또는 이 시프트 레지스터가 가지는 순서 회로의 일부에 적용할 수 있는 신규 회로 구성을 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 전압을 출력하는 기간을 길게 하는 것, 또는 이것을 실현할 수 있는 회로 구성을 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 전압을 출력하기 위한 트랜지스터가 온 상태인 기간을 길게 하는 것, 또는 이것을 실현할 수 있는 회로 구성을 제공하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 트랜지스터 수를 줄이는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 소비 전력을 저감하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 레이아웃 면적을 축소하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 제작 공정을 삭감하는 것을 과제 중 하나로 한다. 본 발명의 일 형태는 제작 비용을 삭감하는 것을 과제 중 하나로 한다.
- [0008] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없다. 또한, 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 과제가 추출될 수 있다.

과제의 해결 수단

- [0009] 본 발명의 일 형태는 제 1~제 4 트랜지스터를 포함하는 반도체 장치이다. 제 1 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 배선과 전기적으로 접속된다. 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 배선과 전기적으로 접속된다. 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 배선과 전기적으로 접속된다. 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 배선과 전기적으로 접속된다. 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 배선과 전기적으로 접속된다. 제 4 트랜지스터의 소스 및 드레인 중 한쪽은 제 3 트랜지스터의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 1 트랜지스터의 게이트와 전기적으로 접속된다. 제 4 트랜지스터의 게이트는 제 2 트랜지스터의 게이트와 전기적으로 접속된다.
- [0010] 상기 반도체 장치에서 제 3 트랜지스터의 게이트는 제 1 배선과 전기적으로 접속되어도 좋다.
- [0011] 상기 반도체 장치에서 제 3 트랜지스터의 게이트는 제 4 배선과 전기적으로 접속되어도 좋다.
- [0012] 상기 반도체 장치에서 제 4 트랜지스터의 W(채널 폭)/L(채널 길이)은 제 3 트랜지스터의 W/L보다 높아도 좋다.
- [0013] 상기 반도체 장치에서 제 4 트랜지스터의 반도체층과 게이트 전극이 중첩되는 면적은 제 3 트랜지스터의 반도체층과 게이트 전극이 중첩되는 면적보다 커도 좋다.
- [0014] 상기 반도체 장치에서 제 1~제 4 트랜지스터 중 적어도 하나는 산화물 반도체에 채널 형성 영역을 가져도 좋다.

발명의 효과

- [0015] 본 발명의 일 형태는 신규 회로 구성을 제공할 수 있다.

도면의 간단한 설명

- [0016] 도 1은 순서 회로의 회로도.
- 도 2는 순서 회로의 타이밍 차트.

- 도 3은 순서 회로의 회로도.
- 도 4는 순서 회로의 회로도.
- 도 5는 순서 회로의 회로도.
- 도 6은 순서 회로의 회로도.
- 도 7은 순서 회로의 회로도.
- 도 8은 순서 회로의 회로도.
- 도 9는 순서 회로의 회로도.
- 도 10은 순서 회로의 회로도.
- 도 11은 시프트 레지스터의 회로도.
- 도 12는 시프트 레지스터의 타이밍 차트.
- 도 13은 반도체 표시 장치의 구성을 도시한 도면.
- 도 14는 화소의 상면도.
- 도 15는 화소의 단면도.
- 도 16은 트랜지스터의 단면 구조를 도시한 도면.
- 도 17은 액정 표시 장치의 상면도.
- 도 18은 액정 표시 장치의 단면도.
- 도 19는 전자 기기를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하에서는, 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재된 실시형태의 내용에 한정하여 해석되는 것은 아니다.
- [0018] 본 발명의 일 형태는 집적 회로, RF 태그, 반도체 표시 장치 등, 트랜지스터를 사용한 각종 반도체 장치를 그 범주에 포함한다. 또한, 집적 회로에는, 마이크로프로세서, 화상 처리 회로, DSP(Digital Signal Processor), 마이크로컨트롤러를 포함하는 LSI(Large Scale Integrated Circuit), FPGA(Field Programmable Gate Array)나 CPLD(Complex PLD) 등의 프로그래머블 논리 회로(PLD: Programmable Logic Device)가, 그 범주에 포함된다. 또한, 반도체 표시 장치에는, 액정 표시 장치, 유기 발광 소자(OLED)로 대표되는 발광 소자를 각 화소에 포함하는 발광 장치, 전자 종이, DMD(Digital Micromirror Device), PDP(Plasma Display Panel), FED(Field Emission Display) 등, 반도체막을 사용한 회로 소자를 구동 회로에 가지는 반도체 표시 장치가, 그 범주에 포함된다.
- [0019] 본 명세서에서 반도체 표시 장치란, 액정 소자나 발광 소자 등의 표시 소자가 각 화소에 형성된 패널과, 이 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을, 그 범주에 포함한다.
- [0020] 예를 들어, 본 명세서 등에서 "X와 Y가 접속되어 있다"라고 명시적으로 기재되어 있는 경우, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우를 포함한다. 따라서, 소정의 접속 관계, 예를 들어, 도면 또는 문장으로 나타낸 접속 관계에 한정되지 않고, 도면 또는 문장으로 나타낸 접속 관계 이외의 것도 포함하는 것으로 한다.
- [0021] 여기서 X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)이다.
- [0022] X와 Y가 전기적으로 접속되는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 스위치는 온 상태와 오프 상태가 제어된다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 됨으로써 전류를 흘릴지 여부를 제어하는 기능을 가진다.

또는, 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 가진다.

- [0023] X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 변화시키는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 일례로서, X와 Y 사이에 다른 회로가 존재하더라도 X로부터 출력된 신호가 Y로 전달된다면 X와 Y는 기능적으로 접속되어 있는 것으로 한다.
- [0024] 또한, "X와 Y가 접속되어 있다"라고 명시적으로 기재되어 있는 경우, X와 Y가 전기적으로 접속되어 있는 경우(즉, X와 Y가 다른 소자 또는 다른 회로를 사이에 개재(介在)하여 접속되어 있는 경우)와, X와 Y가 기능적으로 접속되어 있는 경우(즉, X와 Y가 다른 소자 또는 다른 회로를 사이에 개재하여 기능적으로 접속되어 있는 경우)와, X와 Y가 직접 접속되어 있는 경우(즉, X와 Y가 다른 소자 또는 다른 회로를 사이에 개재하지 않고 접속되어 있는 경우)를 포함한다. 즉, "전기적으로 접속되어 있다"라고 명시적으로 기재되어 있는 경우는, 단순히 "접속되어 있다"라고 명시적으로 기재되어 있는 것과 같다.
- [0025] 또한, 예를 들어 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y와 전기적으로 접속되어 있는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와 직접 접속되고, Z1의 다른 일부가 X와 직접 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와 직접 접속되고, Z2의 다른 일부가 Y와 직접 접속되어 있는 경우에는 이하와 같이 표현할 수 있다.
- [0026] 예를 들어, "X, Y, 트랜지스터의 소스(또는 제 1 단자 등), 및 트랜지스터의 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y의 순서로 전기적으로 접속되어 있다"라고 표현할 수 있다. 또는, "트랜지스터의 소스(또는 제 1 단자 등)는 X와 전기적으로 접속되어 있고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y는 이 순서로 전기적으로 접속되어 있다"라고 표현할 수 있다. 또는, "X는 트랜지스터의 소스(또는 제 1 단자 등) 및 트랜지스터의 드레인(또는 제 2 단자 등)을 통하여 Y와 전기적으로 접속되어 있고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y는 이 접속 순서로 제공되어 있다"라고 표현할 수 있다. 상술한 것과 같은 표현 방법으로 회로 구성에서의 접속 순서를 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다. 다만, 이들 표현 방법은 일례에 불과하고 이들에 한정되지 않는다. 여기서 X, Y, Z1, 및 Z2는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)이다.
- [0027] 트랜지스터의 소스란, 활성층으로서 기능하는 반도체막의 일부인 소스 영역, 또는 상기 반도체막에 전기적으로 접속된 소스 전극을 의미한다. 마찬가지로, 트랜지스터의 드레인이란, 활성층으로서 기능하는 반도체막의 일부인 드레인 영역, 또는 상기 반도체막에 전기적으로 접속된 드레인 전극을 의미한다. 또한, 게이트는 게이트 전극을 의미한다.
- [0028] 트랜지스터가 가지는 소스와 드레인은 트랜지스터의 채널형 및 각 단자에 공급되는 전위의 고저(高低)에 따라 그 호칭이 서로 바뀐다. 일반적으로 n채널형 트랜지스터의 경우, 낮은 전위가 공급되는 단자를 소스라고 하고, 높은 전위가 공급되는 단자를 드레인이라고 한다. 또한, p채널형 트랜지스터의 경우, 낮은 전위가 공급되는 단자를 드레인이라고 하고, 높은 전위가 공급되는 단자를 소스라고 한다. 본 명세서에서는 편의상 소스와 드레인이 고정되어 있는 것으로 가정하여 트랜지스터의 접속 관계를 설명하는 경우가 있지만, 실제로는 상기 전위의 관계에 따라 소스와 드레인의 호칭이 바뀐다.
- [0029] (실시형태 1)
- [0030] 본 실시형태에서는 순서 회로(반도체 장치라고도 함)에 대하여 설명한다.
- [0031] 순서 회로의 구성의 일례에 대하여 도 1을 참조하여 설명한다. 도 1은 순서 회로의 회로도 일례이다. 도 1에 도시된 순서 회로는 트랜지스터(101)~트랜지스터(107) 및 배선(111)~배선(115)을 가진다.
- [0032] 또한, 도 1에 예로서 도시된 트랜지스터(101)~트랜지스터(107)는 n채널형 트랜지스터이다. 다만, 이에 한정되지 않고 트랜지스터(101)~트랜지스터(107)는 p채널형 트랜지스터이어도 좋다. 트랜지스터(101)~트랜지스터

(107)의 도전형을 모두 동일하게 하면 CMOS 회로와 비교하여 제작 공정을 간략화할 수 있어 제작 비용을 삭감할 수 있다.

- [0033] 또한, 트랜지스터(101)~트랜지스터(107)를 n채널형 트랜지스터로 하는 경우, 채널 형성 영역에 산화물 반도체, 비정질 실리콘, 또는 미결정 실리콘을 사용할 수 있다. 이에 의하여 채널 형성 영역에 다결정 실리콘을 사용한 경우와 비교하여 제작 공정을 간략화할 수 있어 제작 비용을 삭감할 수 있다. 특히 채널 형성 영역에 산화물 반도체를 사용하면 트랜지스터(101)~트랜지스터(107)의 오프 전류를 매우 작게 할 수 있으므로 소비 전력의 삭감을 도모할 수 있다.
- [0034] 각 트랜지스터의 접속 관계에 대하여 설명한다. 트랜지스터(101)는 제 1 단자가 배선(111)과 접속되고, 제 2 단자가 배선(112)과 접속되어 있다. 트랜지스터(102)는 제 1 단자가 배선(113)과 접속되고, 제 2 단자가 배선(112)과 접속되어 있다. 트랜지스터(103)는 제 1 단자가 배선(113)과 접속되고, 게이트가 배선(111)과 접속되어 있다. 트랜지스터(104)는 제 1 단자가 트랜지스터(103)의 제 2 단자와 접속되고, 제 2 단자가 트랜지스터(101)의 게이트와 접속되고, 게이트가 트랜지스터(102)의 게이트와 접속되어 있다. 트랜지스터(105)는 제 1 단자가 배선(114)과 접속되고, 제 2 단자가 트랜지스터(101)의 게이트와 접속되고, 게이트가 배선(115)과 접속되어 있다. 트랜지스터(106)는 제 1 단자가 배선(115)과 접속되고, 제 2 단자가 트랜지스터(102)의 게이트와 접속되고, 게이트가 배선(115)과 접속되어 있다. 트랜지스터(107)는 제 1 단자가 배선(113)과 접속되고, 제 2 단자가 트랜지스터(102)의 게이트와 접속되고, 게이트가 트랜지스터(101)의 게이트와 접속되어 있다. 이와 같이 신규 회로 구성을 제공할 수 있다.
- [0035] 또한, 트랜지스터(101)의 게이트를 노드(N1)라고 기재하고, 트랜지스터(102)의 게이트를 노드(N2)라고 기재한다.
- [0036] 각 배선에 입력되는 신호 또는 전압의 일례에 대하여 설명한다. 배선(111)에 신호 CK1이 입력되고, 배선(113)에 전압 VSS가 입력되고, 배선(114)에 신호 SP가 입력되고, 배선(115)에 신호 CK2가 입력된다. 그리고, 신호 CK1, 신호 CK2, 및 신호 SP에 따라 신호 OUT가 배선(112)에 출력된다. 신호 CK1 및 신호 CK2로서는 클럭 신호가 있다. 신호 CK1 및 신호 CK2는 위상이 서로 다르다. 신호 SP로서는 스타트 펄스(세트 신호라고도 함)가 있다. 전압 VSS로서는 전원 전압 또는 접지 전압이 있다. 신호 OUT는 순서 회로의 출력 신호이다.
- [0037] 또한, 편의상 신호 CK1, 신호 CK2, 및 신호 SP의 하이 레벨 전위를 VDD(VDD>VSS)로 하고, 로 레벨 전위를 VSS로 한다.
- [0038] 또한, 본 발명의 일 형태는 각 배선에 신호 또는 전압 등이 입력되고 있지 않은 상태도 그 범주에 포함한다. 예를 들어, 각 배선은 상기 신호 또는 전압이 입력될 수 있는 것이면 좋다.
- [0039] 각 트랜지스터가 가지는 기능에 대하여 설명한다.
- [0040] 트랜지스터(101)는 노드(N1)의 전위에 따라 배선(111)과 배선(112) 사이의 도통 상태 또는 비도통 상태를 제어한다. 그리고, 트랜지스터(101)는 노드(N1)의 전위에 따라 신호 CK1을 배선(112)에 공급하여 신호 OUT를 하이 레벨로 한다.
- [0041] 트랜지스터(102)는 노드(N2)의 전위에 따라 배선(113)과 배선(112) 사이의 도통 상태 또는 비도통 상태를 제어한다. 그리고, 트랜지스터(102)는 노드(N2)의 전위에 따라 전압 VSS를 배선(112)에 공급하여 신호 OUT를 로 레벨로 한다.
- [0042] 트랜지스터(103)는 신호 CK1에 따라 배선(113)과 트랜지스터(104)의 제 1 단자 사이의 도통 상태 또는 비도통 상태를 제어한다. 또한, 트랜지스터(104)는 노드(N2)의 전위에 따라 트랜지스터(103)의 제 2 단자와 노드(N1) 사이의 도통 상태 또는 비도통 상태를 제어한다. 즉, 트랜지스터(103) 및 트랜지스터(104)를 가지는 회로는 신호 CK1 및 노드(N2)의 전위에 따라 배선(113)과 노드(N1) 사이의 도통 상태 또는 비도통 상태를 제어한다. 그리고, 트랜지스터(103) 및 트랜지스터(104)를 가지는 회로는 신호 CK1 및 노드(N2)의 전위에 따라 전압 VSS를 노드(N1)에 공급하여 노드(N1)의 전위를 트랜지스터(101)가 오프 상태가 되는 값으로 한다.
- [0043] 트랜지스터(105)는 신호 CK2에 따라 배선(114)과 노드(N1) 사이의 도통 상태 또는 비도통 상태를 제어한다. 그리고, 트랜지스터(105)는 신호 CK2에 따라 신호 SP를 노드(N1)에 공급하여 노드(N1)의 전위를 트랜지스터(101)가 온 상태가 되는 값으로 한다. 그 후 트랜지스터(105)는 노드(N1)에 대한 신호 SP의 공급을 정지하여 노드(N1)를 부유 상태로 한다.
- [0044] 트랜지스터(106)는 신호 CK2에 따라 배선(115)과 노드(N2) 사이의 도통 상태 또는 비도통 상태를 제어한다. 그

리고, 트랜지스터(106)는 신호 CK2에 따라 신호 CK2를 노드(N2)에 공급하여 노드(N2)의 전위를 트랜지스터(102) 및 트랜지스터(104)가 온 상태가 되는 값으로 한다.

[0045] 트랜지스터(107)는 노드(N1)의 전위에 따라 배선(113)과 노드(N2) 사이의 도통 상태 또는 비도통 상태를 제어한다. 그리고, 트랜지스터(107)는 노드(N1)의 전위에 따라 전압 VSS를 노드(N2)에 공급하여 노드(N2)의 전위를 트랜지스터(102) 및 트랜지스터(104)가 오프 상태가 되는 값으로 한다.

[0046] 도 1에 도시된 순서 회로의 동작의 일례에 대하여 도 2~도 4를 참조하여 설명한다. 도 2는 신호 CK1, 신호 CK2, 신호 SP, 노드(N1)의 전위(V_{N1}), 노드(N2)의 전위(V_{N2}), 및 신호 OUT의 일례를 나타낸 타이밍 차트이다. 도 3의 (A)는 시각 t_1 ~시각 t_2 (기간 T1이라고도 함)에서의 동작의 모식도이고, 도 3의 (B)는 시각 t_2 ~시각 t_3 (기간 T2라고도 함)에서의 동작의 모식도이다. 도 4의 (A)는 시각 t_3 ~시각 t_4 (기간 T3이라고도 함)에서의 동작의 모식도이고, 도 4의 (B)는 시각 t_4 ~시각 t_5 (기간 T4라고도 함)에서의 동작의 모식도이다.

[0047] 또한, 도 2에 예로서 나타낸 신호 CK1 및 신호 CK2는 한 주기에서 하이 레벨인 기간과 로 레벨인 기간의 길이가 같고 위상차가 180° 이다. 즉, 신호 CK1은 신호 CK2의 반전 신호이다. 또한, 도 2에 예로서 나타낸 신호 SP는 펄스 폭이 신호 CK1 또는 신호 CK2의 반주기이다.

[0048] 먼저, 시각 t_1 에서 신호 SP가 하이 레벨이 되고, 신호 CK1이 로 레벨이 되고, 신호 CK2가 하이 레벨이 된다.

[0049] 노드(N1)의 전위에 대해서는 다음과 같다. 신호 CK2가 하이 레벨이 되어 트랜지스터(105)가 온 상태가 된다. 또한, 신호 CK1이 로 레벨이 되어 트랜지스터(103)가 오프 상태가 된다. 또한, 후술하는 바와 같이 노드(N2)의 전위가 높은 값이 되어 트랜지스터(104)가 온 상태가 된다. 이에 따라 하이 레벨인 신호 SP가 트랜지스터(105)를 통하여 노드(N1)에 공급되기 때문에 노드(N1)의 전위는 상승된다. 그 후 노드(N1)의 전위가 트랜지스터(105)의 게이트의 전위로부터 트랜지스터(105)의 문턱 전압을 뺀 값, 즉 신호 CK2의 하이 레벨 전위로부터 트랜지스터(105)의 문턱 전압을 뺀 값($V_{DD}-V_{th105}$)까지 상승되었을 때 트랜지스터(105)가 오프 상태가 된다. 그리고, 노드(N1)는 부유 상태가 되고 노드(N1)의 전위는 $V_{DD}-V_{th105}$ 로 유지된다.

[0050] 노드(N2)의 전위에 대해서는 다음과 같다. 신호 CK2가 하이 레벨이 되어 트랜지스터(106)가 온 상태가 된다. 또한, 노드(N1)의 전위가 높은 값이 되어 트랜지스터(107)가 온 상태가 된다. 이에 따라 노드(N1)에는 트랜지스터(106)를 통하여 하이 레벨인 신호 CK2가, 트랜지스터(107)를 통하여 전압 VSS가 공급된다. 그러므로 노드(N2)의 전위는 트랜지스터(106) 및 트랜지스터(107)의 저항비에 따라 정해진다. 여기서 트랜지스터(106)의 소스와 드레인 사이의 저항값이 트랜지스터(107)의 그것보다 충분히 작은 것으로 한다. 그리고, 노드(N2)의 전위는 VSS보다 충분히 높은 값이 되는 것으로 한다. 구체적으로는 노드(N2)의 전위는 트랜지스터(102)의 제 1 단자의 전위와 트랜지스터(102)의 문턱 전압의 합보다 높고, 또한 트랜지스터(104)의 제 1 단자의 전위와 트랜지스터(104)의 문턱 전압의 합보다 높은 값, 즉 전압 VSS와 트랜지스터(102)의 문턱 전압의 합($VSS+V_{th102}$)보다 높고, 또한 전압 VSS와 트랜지스터(104)의 문턱 전압의 합($VSS+V_{th104}$)보다 높은 값이 되는 것으로 한다.

[0051] 배선(112)의 전위에 대해서는 다음과 같다. 노드(N1)의 전위가 높은 값이 되어 트랜지스터(101)가 온 상태가 된다. 또한, 노드(N2)의 전위가 높은 값이 되어 트랜지스터(102)가 온 상태가 된다. 이에 따라 배선(112)에는 트랜지스터(101)를 통하여 로 레벨인 신호 CK1이, 트랜지스터(102)를 통하여 전압 VSS가 공급되어, 배선(112)의 전위는 VSS가 된다. 즉, 신호 OUT가 로 레벨이 된다.

[0052] 다음에, 시각 t_2 에서 신호 SP가 로 레벨이 되고, 신호 CK1이 하이 레벨이 되고, 신호 CK2가 로 레벨이 된다.

[0053] 노드(N1)의 전위에 대해서는 다음과 같다. 신호 CK2가 로 레벨이 되어 트랜지스터(105)가 오프 상태로 유지된다. 신호 CK1이 하이 레벨이 되어 트랜지스터(103)가 온 상태가 된다. 후술하는 바와 같이 노드(N2)의 전위가 VSS가 되어 트랜지스터(104)가 오프 상태가 된다. 그러므로 노드(N1)는 부유 상태로 유지되고, 노드(N1)의 전위는 $V_{DD}-V_{th105}$ 로 유지된다. 다만, 후술하는 바와 같이 배선(112)의 전위가 상승됨에 따라 노드(N1)의 전위가 더 상승된다.

[0054] 노드(N2)의 전위에 대해서는 다음과 같다. 신호 CK2가 로 레벨이 되어 트랜지스터(106)가 오프 상태가 된다. 또한, 노드(N1)의 전위가 높은 값이 되어 트랜지스터(107)가 오프 상태로 유지된다. 이에 따라 노드(N2)에 트랜지스터(107)를 통하여 전압 VSS가 공급되어, 노드(N2)의 전위는 VSS가 된다.

[0055] 배선(112)의 전위에 대해서는 다음과 같다. 노드(N1)의 전위가 높은 값으로 유지되어 트랜지스터(101)가 온 상태로 유지된다. 또한, 노드(N2)의 전위가 VSS가 되어 트랜지스터(102)가 오프 상태가 된다. 이에 따라 배선(112)에 트랜지스터(101)를 통하여 하이 레벨인 신호 CK1이 공급되어 배선(112)의 전위가 상승된다. 이 때 트

랜지스터(101)의 게이트와 제 2 단자 사이의 기생 용량에 의하여 노드(N1)와 배선(112)의 전위차가 유지된다. 또한, 노드(N1)는 부유 상태이다. 그러므로, 배선(112)의 전위가 상승됨에 따라 노드(N1)의 전위도 상승된다. 여기서는 노드(N1)의 전위는 트랜지스터(101)의 제 1 단자의 전위와 트랜지스터(101)의 문턱 전압의 합, 즉 신호 CK1의 하이 레벨 전위와 트랜지스터(101)의 문턱 전압의 합($V_{DD}+V_{th101}$)보다 높은 값이 되는 것으로 한다. 따라서 배선(112)의 전위는 VDD가 될 때까지 상승된다. 즉, 신호 OUT가 하이 레벨이 된다.

[0056] 다음에, 시각 t3에서 신호 SP가 로 레벨로 유지되고, 신호 CK1이 로 레벨이 되고, 신호 CK2가 하이 레벨이 된다.

[0057] 노드(N1)의 전위에 대해서는 다음과 같다. 신호 CK2가 하이 레벨이 되어 트랜지스터(105)가 온 상태가 된다. 신호 CK1이 로 레벨이 되어 트랜지스터(103)가 오프 상태가 된다. 또한, 후술하는 바와 같이 노드(N2)의 전위가 높은 값이 되어 트랜지스터(104)가 온 상태가 된다. 이에 따라 노드(N1)에는 로 레벨인 신호 SP가 입력되어 노드(N1)의 전위가 VSS가 된다.

[0058] 노드(N2)의 전위에 대해서는 다음과 같다. 신호 CK2가 하이 레벨이 되어 트랜지스터(106)가 온 상태가 된다. 또한, 노드(N1)의 전위가 VSS가 되어 트랜지스터(107)가 오프 상태가 된다. 이에 따라 노드(N2)에는 하이 레벨인 신호 CK2가 트랜지스터(106)를 통하여 공급되기 때문에 노드(N2)의 전위는 상승된다. 그 후 노드(N2)의 전위가 트랜지스터(106)의 게이트의 전위로부터 트랜지스터(106)의 문턱 전압을 뺀 값, 즉 신호 CK2의 하이 레벨 전위로부터 트랜지스터(106)의 문턱 전압을 뺀 값($V_{DD}-V_{th106}$)까지 상승되었을 때 트랜지스터(106)가 오프 상태가 된다. 그리고, 노드(N2)는 부유 상태가 되고 노드(N2)의 전위는 $V_{DD}-V_{th106}$ 으로 유지된다.

[0059] 배선(112)의 전위에 대해서는 다음과 같다. 노드(N1)의 전위가 VSS가 되어 트랜지스터(101)가 오프 상태가 된다. 또한, 노드(N2)의 전위가 높은 값이 되어 트랜지스터(102)가 온 상태가 된다. 이에 따라 배선(112)에는 트랜지스터(102)를 통하여 전압 VSS가 공급되어, 배선(112)의 전위는 VSS가 된다. 즉, 신호 OUT가 로 레벨이 된다.

[0060] 다음에, 시각 t4에서 신호 SP가 로 레벨로 유지되고, 신호 CK1이 하이 레벨이 되고, 신호 CK2가 로 레벨이 된다.

[0061] 노드(N1)의 전위에 대해서는 다음과 같다. 신호 CK2가 로 레벨이 되어 트랜지스터(105)가 오프 상태가 된다. 또한, 신호 CK1이 하이 레벨이 되어 트랜지스터(103)가 온 상태가 된다. 또한, 후술하는 바와 같이 노드(N2)의 전위가 높은 값으로 유지되어 트랜지스터(104)가 온 상태가 된다. 이에 따라 노드(N1)에는 트랜지스터(103) 및 트랜지스터(104)를 통하여 전압 VSS가 공급되어, 노드(N1)의 전위는 VSS로 유지된다.

[0062] 노드(N2)의 전위에 대해서는 다음과 같다. 신호 CK2가 로 레벨이 되어 트랜지스터(106)가 오프 상태가 된다. 또한, 노드(N1)의 전위가 VSS가 되어 트랜지스터(107)가 오프 상태가 된다. 그러므로 노드(N2)는 부유 상태가 되고 노드(N2)의 전위는 $V_{DD}-V_{th106}$ 으로 유지된다.

[0063] 배선(112)의 전위에 대해서는 다음과 같다. 노드(N1)의 전위가 VSS로 유지되어 트랜지스터(101)가 오프 상태로 유지된다. 또한, 노드(N2)의 전위가 높은 값으로 유지되어 트랜지스터(102)가 온 상태로 유지된다. 이에 따라 배선(112)에는 트랜지스터(102)를 통하여 전압 VSS가 계속적으로 공급되어, 배선(112)의 전위는 VSS로 유지된다. 즉, 신호 OUT가 로 레벨로 유지된다.

[0064] 시각 t5 이후, 신호 SP가 다시 하이 레벨이 될 때까지는 신호 CK1 및 신호 CK2가 반전될 때마다 시각 t3~시각 t4에서의 동작과 시각 t4~시각 t5에서의 동작이 반복된다.

[0065] 도 1에 도시된 순서 회로가 나타내는 효과의 일례에 대하여 설명한다.

[0066] 신규 회로 구성을 제공할 수 있다.

[0067] 기간 T1에서 트랜지스터(103)를 오프 상태로 함으로써 트랜지스터(102)의 게이트를 트랜지스터(104)의 게이트와 접속할 수 있고, 또한 기간 T1, 기간 T3, 및 기간 T4에서 트랜지스터(102)를 온 상태로 할 수 있다. 따라서, 트랜지스터(102)가 온 상태인 기간을 길게 할 수 있어, 전압 VSS가 배선(112)에 공급되는 기간을 길게 할 수 있다. 또한, 트랜지스터(102)와 교대로 온 상태가 되는 트랜지스터를 제공할 필요가 없기 때문에 트랜지스터 수를 줄일 수 있다. 또한, 트랜지스터(102) 및 트랜지스터(104)의 온/오프를 공통의 신호 또는 공통의 회로로 제어할 수 있어 신호 수를 줄이거나 또는 회로 규모를 축소할 수 있다.

[0068] 트랜지스터(103)와 노드(N1) 사이에 트랜지스터(104)를 접속함으로써, 트랜지스터(103)의 게이트의 전위 변동이

노드(N1)에 전달되기 어렵게 할 수 있다. 이에 의하여 노드(N1)의 전위를 안정화할 수 있고 오동작을 억제할 수 있다.

- [0069] 상술한 효과를 나타낼 수 있는 회로 구성을 제공할 수 있다.
- [0070] 트랜지스터(101)~트랜지스터(107)의 W(채널 폭) 및 L(채널 길이)의 일례에 대하여 설명한다.
- [0071] 배선(112)의 부하는 노드(N1)의 부하 및 노드(N2)의 부하보다 큰 경우가 많다. 그러므로, 트랜지스터(101)의 W/L은 트랜지스터(103)의 W/L보다 높은 것이 바람직하다. 트랜지스터(101)의 W/L은 트랜지스터(104)의 W/L보다 높은 것이 바람직하다. 트랜지스터(101)의 W/L은 트랜지스터(105)의 W/L보다 높은 것이 바람직하다. 트랜지스터(101)의 W/L은 트랜지스터(106)의 W/L보다 높은 것이 바람직하다. 트랜지스터(101)의 W/L은 트랜지스터(107)의 W/L보다 높은 것이 바람직하다. 또한, 트랜지스터(102)의 W/L은 트랜지스터(103)의 W/L보다 높은 것이 바람직하다. 트랜지스터(102)의 W/L은 트랜지스터(104)의 W/L보다 높은 것이 바람직하다. 트랜지스터(102)의 W/L은 트랜지스터(105)의 W/L보다 높은 것이 바람직하다. 트랜지스터(102)의 W/L은 트랜지스터(106)의 W/L보다 높은 것이 바람직하다. 트랜지스터(102)의 W/L은 트랜지스터(107)의 W/L보다 높은 것이 바람직하다. 이로써 트랜지스터(101) 및 트랜지스터(102)의 전류 공급 능력을 높일 수 있어 신호 OUT의 변화를 급준하게 할 수 있다. 또한, 배선(112)의 부하를 크게 할 수 있다. 한편, 트랜지스터(103)~트랜지스터(107)의 크기를 작게 할 수 있기 때문에 순서 회로의 레이아웃 면적을 축소할 수 있다.
- [0072] 노드(N1)의 부하는 노드(N2)의 부하보다 큰 경우가 많다. 그러므로, 트랜지스터(105)의 W/L은 트랜지스터(106)의 W/L보다 높은 것이 바람직하다. 트랜지스터(105)의 W/L은 트랜지스터(107)의 W/L보다 높은 것이 바람직하다. 이로써 트랜지스터(105)의 전류 공급 능력을 높일 수 있으므로 노드(N1)의 전위를 빨리 변화시킬 수 있고 순서 회로의 동작 속도를 빠르게 할 수 있다. 한편, 트랜지스터(106) 및 트랜지스터(107)의 크기를 작게 할 수 있기 때문에 순서 회로의 레이아웃 면적을 축소할 수 있다.
- [0073] 트랜지스터(105)는 노드(N1)의 전위를 변화시키기 위하여 온 상태로 하지만, 트랜지스터(103) 및 트랜지스터(104)는 노드(N1)의 전위가 유지되게 하기 위하여 온 상태로 한다. 그러므로, 트랜지스터(105)의 W/L은 트랜지스터(103)의 W/L보다 높은 것이 바람직하다. 트랜지스터(105)의 W/L은 트랜지스터(104)의 W/L보다 높은 것이 바람직하다. 이로써 트랜지스터(105)의 전류 공급 능력을 높일 수 있으므로 노드(N1)의 전위를 빨리 변화시킬 수 있고 순서 회로의 동작 속도를 빠르게 할 수 있다. 한편, 트랜지스터(103) 및 트랜지스터(104)의 크기를 작게 할 수 있기 때문에 순서 회로의 레이아웃 면적을 축소할 수 있다.
- [0074] 배선(113)과 노드(N1) 사이에는 트랜지스터(103) 및 트랜지스터(104)가 직렬로 접속되어 있고, 배선(113)과 노드(N2) 사이에는 트랜지스터(107)가 접속되어 있다. 또한, 노드(N1)의 부하는 노드(N2)의 부하보다 큰 경우가 많다. 그러므로, 트랜지스터(103)의 W/L은 트랜지스터(107)의 W/L보다 높은 것이 바람직하다. 또한, 트랜지스터(104)의 W/L은 트랜지스터(107)의 W/L보다 높은 것이 바람직하다. 이로써 트랜지스터(103) 및 트랜지스터(104)의 전류 공급 능력을 높일 수 있으므로 노드(N1)의 전위를 빨리 낮출 수 있게 되며 순서 회로의 동작 속도의 향상을 도모할 수 있다. 또한, 노드(N1)의 전위를 VSS로 확실하게 유지할 수 있게 되어 오동작을 억제할 수 있다. 한편, 트랜지스터(107)의 크기를 작게 할 수 있기 때문에 순서 회로의 레이아웃 면적을 축소할 수 있다.
- [0075] 트랜지스터(103)에서 반도체층과 게이트 전극이 중첩되는 면적이 작을수록 트랜지스터(103)의 게이트의 전위가 노드(N1)에 전달되기 어려워진다. 다만, 트랜지스터(103)에서 반도체층과 게이트 전극이 중첩되는 면적을 작게 하면 트랜지스터(103)의 전류 공급 능력이 낮게 될 우려가 있으므로, 트랜지스터(104)의 전류 공급 능력을 높게 하는 것이 바람직하다. 따라서, 트랜지스터(104)에서 반도체층과 게이트 전극이 중첩되는 면적은 트랜지스터(103)에서 반도체층과 게이트 전극이 중첩되는 면적보다 큰 것이 바람직하다. 또는, 트랜지스터(104)의 W/L이 트랜지스터(103)의 W/L보다 높은 것이 바람직하다. 또는, 트랜지스터(104)의 W×L이 트랜지스터(103)의 W×L보다 높은 것이 바람직하다.
- [0076] 트랜지스터(106)의 소스와 드레인 사이의 저항값을 트랜지스터(107)의 그것보다 충분히 작게 하기 위해서는 트랜지스터(106)의 W/L이 트랜지스터(107)의 그것보다 높은 것이 바람직하다.
- [0077] 도 1에 도시된 순서 회로의 변형예에 대하여 설명한다. 다만, 도 1과 공통되는 부분에 대해서는 같은 부호를 사용하거나 또는 도시하지 않고 그 설명을 생략한다.
- [0078] 도 5의 (A)에 도시된 바와 같이 트랜지스터(105)의 게이트를 배선(114)과 접속하여도 좋다. 도 5의 (A)에 도시된 트랜지스터(105)는 신호 SP에 따라 신호 SP를 노드(N1)에 공급한다. 따라서, 신호 SP와 신호 CK2의 타이밍

어긋남으로 인한 오동작을 방지할 수 있다.

- [0079] 도 5의 (B)에 도시된 바와 같이 트랜지스터(105)의 제 1 단자를 배선(115)과 접속하고, 트랜지스터(105)의 게이트를 배선(114)과 접속하여도 좋다. 도 5의 (B)에 도시된 트랜지스터(105)는 신호 SP에 따라 신호 CK2를 노드(N1)에 공급한다. 따라서, 노드(N1)의 전위 변화를 급준하게 할 수 있으므로 순서 회로의 동작 속도 향상을 도모할 수 있다.
- [0080] 도 5의 (C)에 도시된 바와 같이 트랜지스터(105)의 제 1 단자를 배선(117)과 접속하고, 트랜지스터(105)의 게이트를 배선(114)과 접속하여도 좋다. 배선(117)에는 전압 VDD가 공급된다. 도 5의 (C)에 도시된 트랜지스터(105)는 신호 SP에 따라 전압 VDD를 노드(N1)에 공급한다. 따라서, 노드(N1)의 전위 변화를 급준하게 할 수 있으므로 순서 회로의 동작 속도 향상을 도모할 수 있다.
- [0081] 또한, 도 1과 도 5의 (A), (B), 및 (C)에 도시된 트랜지스터(105)들 중 2개 이상을 순서 회로에 제공하여도 좋다. 예를 들어, 도 5의 (D)에 도시된 바와 같이, 도 5의 (A)에 도시된 트랜지스터(105)에 상당하는 트랜지스터(105A), 및 도 1에 도시된 트랜지스터(105)에 상당하는 트랜지스터(105B)를 제공하여도 좋다.
- [0082] 도 6의 (A)에 도시된 바와 같이 트랜지스터(107)의 제 1 단자를 배선(115)과 접속하여도 좋다. 도 6의 (A)에 도시된 트랜지스터(107)는 노드(N1)의 전위에 따라 신호 CK2를 노드(N2)에 공급한다. 신호 CK2는 기간 T1에서 하이 레벨이 되기 때문에, 기간 T1에서 트랜지스터(106) 및 트랜지스터(107)에 관통 전류가 발생하는 것을 방지할 수 있다. 이에 의하여 소비 전력의 삭감을 도모할 수 있다. 또한, 트랜지스터(106)의 W/L을 높게 할 필요가 없으므로 순서 회로의 레이아웃 면적의 축소를 도모할 수 있다.
- [0083] 도 6의 (B)에 도시된 바와 같이 트랜지스터(107)의 제 1 단자를 배선(114)과 접속하여도 좋다. 도 6의 (B)에 도시된 트랜지스터(107)는 노드(N1)의 전위에 따라 신호 SP를 노드(N2)에 공급한다. 신호 SP는 기간 T1에서 하이 레벨이 되기 때문에, 기간 T1에서 트랜지스터(106) 및 트랜지스터(107)에 관통 전류가 발생하는 것을 방지할 수 있다. 이에 의하여 소비 전력의 삭감을 도모할 수 있다. 또한, 트랜지스터(106)의 W/L을 높게 할 필요가 없으므로 순서 회로의 레이아웃 면적의 축소를 도모할 수 있다.
- [0084] 도 6의 (C)에 도시된 바와 같이 트랜지스터(107)의 게이트를 배선(112)과 접속하여도 좋다. 도 6의 (C)에 도시된 트랜지스터(107)는 신호 OUT에 따라 전압 VSS를 노드(N2)에 공급한다. 신호 OUT는 기간 T1에서 로 레벨이 되기 때문에, 기간 T1에서 트랜지스터(107)를 오프 상태로 할 수 있다. 이에 의하여 기간 T1에서 트랜지스터(106) 및 트랜지스터(107)에 관통 전류가 발생하는 것을 방지할 수 있으므로 소비 전력의 삭감을 도모할 수 있다. 또한, 트랜지스터(106)의 W/L을 높게 할 필요가 없으므로 순서 회로의 레이아웃 면적의 축소를 도모할 수 있다.
- [0085] 도 6의 (D)에 도시된 바와 같이 트랜지스터(107)의 제 1 단자를 배선(115)과 접속하고, 트랜지스터(107)의 게이트를 배선(112)과 접속하여도 좋다. 도 6의 (D)에 도시된 트랜지스터(107)는 신호 OUT에 따라 신호 CK2를 노드(N2)에 공급한다. 신호 OUT는 기간 T1에서 로 레벨이 되기 때문에, 기간 T1에서 트랜지스터(107)를 오프 상태로 할 수 있다. 이에 의하여 기간 T1에서 트랜지스터(106) 및 트랜지스터(107)에 관통 전류가 발생하는 것을 방지할 수 있으므로 소비 전력의 삭감을 도모할 수 있다. 또한, 트랜지스터(106)의 W/L을 높게 할 필요가 없으므로 순서 회로의 레이아웃 면적의 축소를 도모할 수 있다.
- [0086] 도 6의 (E)에 도시된 바와 같이 트랜지스터(107)의 제 1 단자를 배선(114)과 접속하고, 트랜지스터(107)의 게이트를 배선(112)과 접속하여도 좋다. 도 6의 (E)에 도시된 트랜지스터(107)는 신호 OUT에 따라 신호 SP를 노드(N2)에 공급한다. 신호 OUT는 기간 T1에서 로 레벨이 되기 때문에, 기간 T1에서 트랜지스터(107)를 오프 상태로 할 수 있다. 이에 의하여 기간 T1에서 트랜지스터(106) 및 트랜지스터(107)에 관통 전류가 발생하는 것을 방지할 수 있으므로 소비 전력의 삭감을 도모할 수 있다. 또한, 트랜지스터(106)의 W/L을 높게 할 필요가 없으므로 순서 회로의 레이아웃 면적의 축소를 도모할 수 있다.
- [0087] 도 7의 (A)에 도시된 바와 같이 트랜지스터(106)의 제 1 단자를 배선(117)과 접속하여도 좋다. 도 7의 (A)에 도시된 트랜지스터(106)는 신호 CK2에 따라 전압 VDD를 노드(N2)에 공급한다. 이에 의하여 타이밍 어긋남 등으로 인하여 로 레벨 신호가 노드(N2)에 공급되는 것을 방지할 수 있다.
- [0088] 도 7의 (B)에 도시된 바와 같이 트랜지스터(106)의 제 1 단자를 배선(118)과 접속하고, 트랜지스터(106)의 게이트를 배선(118)과 접속하여도 좋다. 배선(118)에는 신호 CK3이 입력된다. 신호 CK3으로서는 클럭 신호가 있다. 다만, 신호 CK3은 신호 CK1 및 신호 CK2와 위상이 다르다. 도 7의 (B)에 도시된 트랜지스터(106)는 신

호 CK3에 따라 신호 CK3을 노드(N2)에 공급한다.

- [0089] 도 7의 (C)에 도시된 바와 같이 트랜지스터(106)의 제 1 단자를 배선(117)과 접속하고, 트랜지스터(107)의 게이트를 배선(118)과 접속하여도 좋다. 도 7의 (C)에 도시된 트랜지스터(106)는 신호 CK3에 따라 전압 VDD를 노드(N2)에 공급한다. 이에 의하여 타이밍 어긋남 등으로 인하여 로 레벨 신호가 노드(N2)에 공급되는 것을 방지할 수 있다.
- [0090] 도 8의 (A)에 도시된 바와 같이 트랜지스터(104)의 제 1 단자를 배선(113)과 접속하고, 트랜지스터(103)의 제 1 단자를 트랜지스터(104)의 제 2 단자와 접속하고, 트랜지스터(103)의 제 2 단자를 노드(N1)와 접속하여도 좋다.
- [0091] 도 8의 (B)에 도시된 바와 같이 트랜지스터(103)의 게이트를 배선(119)과 접속하여도 좋다. 배선(119)에는 신호 CK4가 입력되고, 신호 CK4는 배선(119)을 통하여 트랜지스터(103)의 게이트에 공급된다. 신호 CK4로서는 클럭 신호가 있다. 다만, 신호 CK4는 신호 CK1 및 신호 CK2와 위상이 다르다.
- [0092] 도시하지 않았지만 트랜지스터(103)의 게이트를 배선(118)과 접속하여도 좋다.
- [0093] 도시하지 않았지만 제 1 단자가 노드(N1)와 접속되고 제 2 단자가 배선(112)과 접속된 용량 소자를 제공하여도 좋다.
- [0094] 도시하지 않았지만 트랜지스터(102)의 제 1 단자를 배선(113)과는 다른 배선과 접속하여도 좋다. 예를 들어, 상기 배선에 전압 VSS보다 높은 전압을 공급함으로써 트랜지스터(101) 및 트랜지스터(102)에 발생하는 전류를 작게 할 수 있다.
- [0095] 도시하지 않았지만 트랜지스터(102)의 게이트를 배선(115), 배선(118), 또는 배선(119)과 접속하여도 좋다.
- [0096] 또한, 도 1, 도 5~도 8 등에 도시된 상술한 순서 회로들을 자유로이 조합하여도 좋다. 예를 들어, 도 7의 (A)에 도시된 바와 같이 트랜지스터(106)의 제 1 단자를 배선(117)과 접속하고 도 6의 (A)에 도시된 바와 같이 트랜지스터(107)의 제 1 단자를 배선(115)과 접속하여도 좋다(도 9의 (A) 참조). 이와 다른 예로서, 도 7의 (A)에 도시된 바와 같이 트랜지스터(106)의 제 1 단자를 배선(117)과 접속하고 도 8의 (B)에 도시된 바와 같이 트랜지스터(103)의 게이트를 배선(119)과 접속하여도 좋다(도 9의 (B) 참조).
- [0097] 본 발명의 일 형태는 이하와 같은 구성을 그 범주에 포함한다.
- [0098] 본 발명의 일 형태는 트랜지스터(101), 트랜지스터(102), 트랜지스터(103), 및 트랜지스터(104)를 가진다. 트랜지스터(101)는 제 1 단자가 배선(111)과 접속되고, 제 2 단자가 배선(112)과 접속되어 있다. 트랜지스터(102)는 제 1 단자가 배선(113)과 접속되고, 제 2 단자가 배선(112)과 접속되어 있다. 트랜지스터(103)는 제 1 단자가 배선(113)과 접속되고, 게이트가 배선(111)과 접속되어 있다. 트랜지스터(104)는 제 1 단자가 트랜지스터(103)의 제 2 단자와 접속되고, 제 2 단자가 트랜지스터(101)의 게이트와 접속되고, 게이트가 트랜지스터(102)의 게이트와 접속되어 있다(도 10의 (A) 참조).
- [0099] 본 발명의 일 형태는 트랜지스터(101), 트랜지스터(102), 트랜지스터(103), 및 트랜지스터(104)를 가진다. 트랜지스터(101)는 제 1 단자가 배선(111)과 접속되고, 제 2 단자가 배선(112)과 접속되어 있다. 트랜지스터(102)는 제 1 단자가 배선(113)과 접속되고, 제 2 단자가 배선(112)과 접속되어 있다. 트랜지스터(103)는 제 1 단자가 배선(113)과 접속되고, 게이트가 배선(119)과 접속되어 있다. 트랜지스터(104)는 제 1 단자가 트랜지스터(103)의 제 2 단자와 접속되고, 제 2 단자가 트랜지스터(101)의 게이트와 접속되고, 게이트가 트랜지스터(102)의 게이트와 접속되어 있다(도 10의 (B) 참조).
- [0100] 본 실시형태는 본 명세서 등의 다른 실시형태 등에 개시된 구성과 적절히 조합하여 실시할 수 있다.
- [0101] (실시형태 2)
- [0102] 본 실시형태에서는 실시형태 1에 기재된 순서 회로를 사용한 시프트 레지스터(반도체 장치라고도 함)에 대하여 설명한다.
- [0103] 시프트 레지스터의 구성의 일례에 대하여 도 11을 참조하여 설명한다. 도 11은 시프트 레지스터의 회로도의 일례이다.
- [0104] 도 11에 도시된 시프트 레지스터는 순서 회로(100[1])~순서 회로(100[N])(N은 2 이상의 자연수임)를 가진다. 다만, 도 11에는 순서 회로(100[1])~순서 회로(100[3])만을 도시하였다. 순서 회로(100[1])~순서 회로(100[N])는 도 1에 도시된 순서 회로이다. 다만, 순서 회로(100[1])~순서 회로(100[N])는 도 11에 도시된 순서

회로에 한정되지 않고 실시형태 1 등, 본 명세서 등에 개시된 다른 순서 회로로 하여도 좋다.

- [0105] 도 11에 도시된 시프트 레지스터는 배선(121[1])~배선(121[N]), 배선(122), 배선(123), 배선(124), 및 배선(125)과 접속되어 있다. 순서 회로(100[i])(i는 2~N 중 어느 것)에서 배선(111)은 배선(123) 및 배선(124) 중 한쪽과 접속되고, 배선(112)은 배선(121[i])과 접속되고, 배선(113)은 배선(125)과 접속되고, 배선(114)은 배선(121[i-1])과 접속되고, 배선(115)은 배선(123) 및 배선(124) 중 다른 쪽과 접속되어 있다. 순서 회로(100[1])는 배선(114)이 배선(122)과 접속되어 있는 점에서 순서 회로(100[i])와 다르다. 또한, 홀수 단째 순서 회로와 짝수 단째 순서 회로에서는 배선(111) 및 배선(115)의 접속처가 서로 반대이다. 예를 들어, 홀수 단째 순서 회로에서 배선(111)이 배선(123)과 접속되고 배선(115)이 배선(124)과 접속된다면, 짝수 단째 순서 회로에서는 배선(111)이 배선(124)과 접속되고 배선(115)이 배선(123)과 접속된다.
- [0106] 배선(121[1])~배선(121[N])으로부터는 각각, 신호 SOUT[1]~신호 SOUT[N]가 출력된다. 배선(121[1])~배선(121[N])은 각각 배선(112)에 상당하고, 신호 SOUT[1]~신호 SOUT[N]는 각각 신호 OUT에 상당한다. 배선(122)에는 신호 SSP가 입력된다. 배선(122)은 배선(114)에 상당하고, 신호 SSP는 신호 SP에 상당한다. 특히 순서 회로(100[i])에서는 배선(121[i-1])이 배선(114)에 상당하고, 신호 SOUT[i-1]가 신호 SP에 상당한다. 배선(123)에는 신호 SCK1이 입력되고, 배선(124)에는 신호 SCK2가 입력된다. 배선(123)은 배선(111) 및 배선(115) 중 한쪽에 상당하고, 신호 SCK1은 신호 CK1 및 신호 CK2 중 한쪽에 상당한다. 또한, 배선(124)은 배선(111) 및 배선(115) 중 다른 쪽에 상당하고, 신호 SCK2는 신호 CK1 및 신호 CK2 중 다른 쪽에 상당한다. 배선(125)에는 전압 VSS가 공급된다. 배선(125)은 배선(113)에 상당한다.
- [0107] 도 11에 도시된 시프트 레지스터의 동작의 일례에 대하여 도 12를 참조하여 설명한다. 도 12는 신호 SCK1, 신호 SCK2, 신호 SSP, 순서 회로(100[1])의 노드(N1)의 전위(V_{N1}), 순서 회로(100[1])의 노드(N2)의 전위(V_{N2}), 신호 SOUT[1], 신호 SOUT[2], 및 신호 SOUT[3]의 일례를 나타낸 타이밍 차트이다.
- [0108] 먼저, 시각 t1에 신호 SCK1이 로 레벨이 되고, 신호 SCK2가 하이 레벨이 되고, 신호 SSP가 하이 레벨이 된다. 순서 회로(100[1])가 실시형태 1에서 설명한 기간 T1에서의 동작을 하기 때문에 신호 SOUT[1]는 로 레벨이 된다. 순서 회로(100[2])가 실시형태 1에서 설명한 기간 T4에서의 동작을 하기 때문에 신호 SOUT[2]는 로 레벨이 된다. 순서 회로(100[3])가 실시형태 1에서 설명한 기간 T3에서의 동작을 하기 때문에 신호 SOUT[3]는 로 레벨이 된다.
- [0109] 다음에, 시각 t2에 신호 SCK1이 하이 레벨이 되고, 신호 SCK2가 로 레벨이 되고, 신호 SSP가 로 레벨이 된다. 순서 회로(100[1])가 실시형태 1에서 설명한 기간 T2에서의 동작을 하기 때문에 신호 SOUT[1]는 하이 레벨이 된다. 순서 회로(100[2])가 실시형태 1에서 설명한 기간 T1에서의 동작을 하기 때문에 신호 SOUT[2]는 로 레벨이 된다. 순서 회로(100[3])가 실시형태 1에서 설명한 기간 T4에서의 동작을 하기 때문에 신호 SOUT[3]는 로 레벨이 된다.
- [0110] 다음에, 시각 t3에 신호 SCK1이 로 레벨이 되고, 신호 SCK2가 하이 레벨이 되고, 신호 SSP가 로 레벨이 된다. 순서 회로(100[1])가 실시형태 1에서 설명한 기간 T3에서의 동작을 하기 때문에 신호 SOUT[1]는 로 레벨이 된다. 순서 회로(100[2])가 실시형태 1에서 설명한 기간 T2에서의 동작을 하기 때문에 신호 SOUT[2]는 하이 레벨이 된다. 순서 회로(100[3])가 실시형태 1에서 설명한 기간 T1에서의 동작을 하기 때문에 신호 SOUT[3]는 로 레벨이 된다.
- [0111] 다음에, 시각 t4에 신호 SCK1이 하이 레벨이 되고, 신호 SCK2가 로 레벨이 되고, 신호 SSP가 로 레벨이 된다. 순서 회로(100[1])가 실시형태 1에서 설명한 기간 T4에서의 동작을 하기 때문에 신호 SOUT[1]는 로 레벨이 된다. 순서 회로(100[2])가 실시형태 1에서 설명한 기간 T3에서의 동작을 하기 때문에 신호 SOUT[2]는 로 레벨이 된다. 순서 회로(100[3])가 실시형태 1에서 설명한 기간 T2에서의 동작을 하기 때문에 신호 SOUT[3]는 하이 레벨이 된다.
- [0112] 본 실시형태는 본 명세서 등의 다른 실시형태 등에 개시된 구성과 적절히 조합하여 실시할 수 있다.
- [0113] (실시형태 3)
- [0114] <반도체 표시 장치의 구성예>
- [0115] 다음에, 본 발명의 일 형태에 따른 반도체 표시 장치의 구성예에 대하여 설명한다.
- [0116] 도 13의 (A)에 도시된 반도체 표시 장치(70)에서는 화소부(71)에, 복수의 화소(55), 화소(55)를 행마다 선택하

기 위한 버스 라인에 상당하는 배선(GL)(배선(GL1)~배선(GLy)(y는 자연수임)으로 나타냄), 선택된 화소(55)에 화상 신호를 공급하기 위한 배선(SL)(배선(SL1)~배선(SLx)(x는 자연수임)으로 나타냄)이 제공되어 있다. 배선(GL)에 대한 신호의 입력은 구동 회로(72)에 의하여 제어된다. 배선(SL)에 대한 화상 신호의 입력은 구동 회로(73)에 의하여 제어된다. 복수의 화소(55)는 각각 배선(GL) 중 적어도 하나 및 배선(SL) 중 적어도 하나와 접속되어 있다.

- [0117] 구체적으로, 구동 회로(72)는 배선(GL1)~배선(GLy)을 순차적으로 선택하기 위한 신호를 생성하는 시프트 레지스터(75)를 가진다. 또한, 구체적으로 구동 회로(73)는 펄스를 가지는 신호를 순차적으로 생성하는 시프트 레지스터(76)와, 시프트 레지스터(76)에 의하여 생성되는 신호에 따라, 배선(SL1)~배선(SLx)에 대한 화상 신호의 공급을 제어하는 스위치 회로(77)를 가진다.
- [0118] 본 발명의 일 형태에 따른 순서 회로 또는 시프트 레지스터는 시프트 레지스터(75) 또는 시프트 레지스터(76)로서 사용될 수 있다. 이 경우 예를 들어, 배선(GL1)~배선(GLy) 각각이 배선(112)에 상당한다.
- [0119] 또한, 화소부(71)에 제공되는 배선의 종류와 개수는 화소(55)의 구성, 개수, 및 배치에 따라 결정할 수 있다. 구체적으로, 도 13의 (A)에는 화소부(71)에 화소(55)가 x열×y행의 매트릭스 형태로 배치되고 배선(SL1)~배선(SLx) 및 배선(GL1)~배선(GLy)이 화소부(71) 내에 배치되는 경우를 예로서 도시하였다.
- [0120] 또한, 도 13의 (A)에는 구동 회로(72) 및 구동 회로(73)가 화소부(71)와 함께 하나의 기관 위에 형성되는 경우를 예로서 도시하였지만, 구동 회로(72) 및 구동 회로(73)는 화소부(71)와는 다른 기관 위에 형성되어도 좋다.
- [0121] 또한, 도 13의 (B)에 일례로서 화소(55)의 구성을 도시하였다. 각 화소(55)는 액정 소자(60), 액정 소자(60)에 대한 화상 신호의 공급을 제어하는 트랜지스터(56), 및 액정 소자(60)의 화소 전극과 공통 전극 사이의 전압을 유지하기 위한 용량 소자(57)를 가진다. 액정 소자(60)는 화소 전극, 공통 전극, 및 화소 전극과 공통 전극 사이의 전압이 인가되는 액정 재료를 포함하는 액정층을 가진다.
- [0122] 트랜지스터(56)는 액정 소자(60)의 화소 전극에 배선(SL)의 전위를 공급할지 여부를 제어한다. 액정 소자(60)의 공통 전극에는 소정의 전위가 공급된다.
- [0123] 이하에서, 트랜지스터(56)와 액정 소자(60)의 구체적인 접속 구성에 대하여 설명한다. 도 13의 (B)에서는 트랜지스터(56)의 게이트가 배선(GL1)~배선(GLy) 중 어느 하나와 접속되어 있다. 트랜지스터(56)의 소스 및 드레인 중 한쪽은 배선(SL1)~배선(SLx) 중 어느 하나와 접속되고, 트랜지스터(56)의 소스 및 드레인 중 다른 쪽은 액정 소자(60)의 화소 전극과 접속되어 있다.
- [0124] 액정 소자(60)에서는 화소 전극과 공통 전극 사이에 인가되는 전압의 값에 따라, 액정층에 포함되는 액정 분자의 배향이 변화되어 투과율이 변화된다. 따라서, 액정 소자(60)는 화소 전극에 공급되는 화상 신호의 전위에 의하여 그 투과율이 제어됨으로써, 계조를 표시할 수 있다. 그리고 화소부(71)가 가지는 복수의 화소(55) 각각에서 화상 정보를 가지는 화상 신호에 따라 액정 소자(60)의 계조가 조정됨으로써, 화소부(71)에 화상이 표시된다.
- [0125] 도 13의 (B)에는 화소(55)에서, 화소(55)에 대한 화상 신호의 입력을 제어하는 스위치로서 하나의 트랜지스터(56)를 사용하는 경우를 예로서 도시하였다. 그러나, 하나의 스위치로서 기능하는 복수의 트랜지스터를 화소(55)에 사용하여도 좋다.
- [0126] 본 발명의 일 형태에서는 화소(55)에 대한 화상 신호의 입력을 제어하는 스위치로서 오프 전류가 현저히 작은 트랜지스터(56)를 사용하는 것이 바람직하다. 트랜지스터(56)의 오프 전류가 작으면 트랜지스터(56)를 통하여 전하가 누설되는 것을 방지할 수 있다. 따라서, 액정 소자(60) 및 용량 소자(57)에 공급되는 화상 신호의 전위가 더 확실히 유지될 수 있기 때문에, 1프레임 기간에 있어서 전하 누설로 인하여 액정 소자(60)의 투과율이 변화되는 것을 방지하여, 표시되는 화상의 질을 향상시킬 수 있다. 또한, 트랜지스터(56)의 오프 전류가 작으면 트랜지스터(56)를 통하여 전하가 누설되는 것을 방지할 수 있기 때문에, 정지 화상을 표시하는 기간에 있어서 구동 회로(72) 및 구동 회로(73)에 대한 전원 전위 또는 신호의 공급을 정지하여도 좋다. 이 구성에 의하여, 화소부(71)에 대한 화상 신호의 기록 횟수를 줄여 반도체 표시 장치의 소비 전력을 저감할 수 있다.
- [0127] 예를 들어, 산화물 반도체를 반도체막에 포함하는 트랜지스터는 오프 전류가 현저히 작기 때문에, 이것을 트랜지스터(56)로서 사용하는 것이 적합하다.
- [0128] 또한, 도 13의 (B)에서 트랜지스터(56)는 반도체막을 개재하여 중첩되는 한 쌍의 게이트 전극을 가져도 좋다. 상기 한 쌍의 게이트 전극은 전기적으로 접속된다. 본 발명의 일 형태에서는 이 구성에 의하여, 트랜지스터

(56)의 온 전류를 크게 하고, 또한 트랜지스터(56)의 신뢰성을 높일 수 있다.

- [0129] 다음에 도 13의 (C)에 화소(55)의 다른 일례를 도시하였다. 화소(55)는 화소(55)에 대한 화상 신호의 입력을 제어하는 트랜지스터(95), 발광 소자(98), 화상 신호에 따라 발광 소자(98)에 공급하는 전류값을 제어하는 트랜지스터(96), 및 화상 신호의 전위를 유지하기 위한 용량 소자(97)를 가진다.
- [0130] 발광 소자(98)로서는 예를 들어, LED(Light Emitting Diode)나 OLED(Organic Light Emitting Diode) 등, 전류 또는 전압에 의하여 휘도가 제어되는 소자를 사용할 수 있다. 예를 들어 OLED는 적어도 EL층, 양극(anode), 및 음극(cathode)을 가진다. EL층은 양극과 음극 사이에 제공된 단층 또는 복수의 층으로 구성되고, 이들 층 중에 발광성 물질을 포함하는 발광층을 적어도 포함한다.
- [0131] 또한, EL층에서는 양극과 음극 사이의 전위차가 발광 소자(98)의 문턱 전압 이상이 되었을 때에 공급되는 전류에 의하여, 전계 발광을 얻을 수 있다. 전계 발광에는 일중항 여기 상태에서부터 기저 상태로 되돌아갈 때의 발광(형광)과 삼중항 여기 상태에서부터 기저 상태로 되돌아갈 때의 발광(인광)이 포함된다.
- [0132] 발광 소자(98)의 양극 및 음극 중 한쪽은 화소(55)에 입력되는 화상 신호에 따라 그 전위가 제어된다. 양극 및 음극 중, 화상 신호에 따라 그 전위가 제어되는 쪽을 화소 전극으로 하고, 다른 쪽을 공통 전극으로 한다. 발광 소자(98)의 공통 전극에는 소정의 전위가 공급되고, 발광 소자(98)의 휘도는 화소 전극과 공통 전극 사이의 전위차에 의하여 정해진다. 따라서, 발광 소자(98)는 화상 신호의 전위에 따라 그 휘도가 제어됨으로써, 계조를 표시할 수 있다. 그리고 화소부가 가지는 복수의 화소(55) 각각에서 발광 소자(98)의 계조가 화상 정보를 가지는 화상 신호에 따라 조정됨으로써, 화소부(71)에 화상이 표시된다.
- [0133] 다음에, 화소(55)가 가지는 트랜지스터(95), 트랜지스터(96), 용량 소자(97), 및 발광 소자(98)의 접속 구성에 대하여 설명한다.
- [0134] 트랜지스터(95)는 소스 및 드레인 중 한쪽이 배선(SL)과 접속되고, 소스 및 드레인 중 다른 쪽이 트랜지스터(96)의 게이트와 접속되어 있다. 트랜지스터(95)는 게이트가 배선(GL)과 접속되어 있다. 트랜지스터(96)는 소스 및 드레인 중 한쪽이 전원선(VL)과 접속되고, 소스 및 드레인 중 다른 쪽이 발광 소자(98)와 접속되어 있다. 구체적으로, 트랜지스터(96)는 소스 및 드레인 중 다른 쪽이 발광 소자(98)의 양극 및 음극 중 한쪽과 접속되어 있다. 발광 소자(98)의 양극 및 음극 중 다른 쪽에는 소정의 전위가 공급된다.
- [0135] 도 13의 (C)에서 트랜지스터(96)는 반도체막을 개재하여 증착되는 한 쌍의 게이트 전극을 가져도 좋다. 상기한 쌍의 게이트 전극은 전기적으로 접속된다. 본 발명의 일 형태에서는 이 구성에 의하여, 트랜지스터(96)의 온 전류를 크게 하고, 또한 트랜지스터(96)의 신뢰성을 높일 수 있다.
- [0136] 예를 들어, 본 명세서 등에서 표시 소자, 표시 소자를 가지는 장치인 표시 장치, 발광 소자, 및 발광 소자를 가지는 장치인 발광 장치는 다양한 형태를 가질 수 있고, 또한 다양한 소자를 포함할 수 있다. 표시 소자, 표시 장치, 발광 소자, 또는 발광 장치는 예를 들어, EL(일렉트로루미네선스) 소자(유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 트랜지스터(전류에 의하여 발광하는 트랜지스터), 전자 방출 소자, 액정 소자, 전자 잉크, 전기 영동(泳動) 소자, 회전 광 밸브(GLV), 플라즈마 디스플레이(PDP), 미세 전자 기계 시스템(MEMS)를 사용한 표시 소자, 디지털 마이크로미러 디바이스(DMD), 디지털 마이크로 셔터(DMS), 간섭 변조(IMOD) 소자, 셔터 방식의 MEMS 표시 소자, 광 간섭 방식의 MEMS 표시 소자, 전기 습윤 소자, 압전 세라믹 디스플레이, 카본 나노 튜브를 사용한 표시 소자 등 중 적어도 하나를 가진다. 이들 외에도 전기적 또는 자기적(磁氣的) 작용에 의하여 콘트라스트, 휘도, 반사율, 투과율 등이 변화되는 표시 매체를 가져도 좋다. EL 소자를 사용한 표시 장치의 일례로서는 EL 디스플레이 등이 있다. 전자 방출 소자를 사용한 표시 장치의 일례로서는, 전계 방출 디스플레이(FED) 또는 SED 방식의 평판 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있다. 액정 소자를 사용한 표시 장치의 일례로서는 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. 전자 잉크, 전자 분류체(電子粉流體, Electronic Liquid Powder(등록상표)), 또는 전기 영동 소자를 사용한 표시 장치의 일례로서는 전자 종이 등이 있다. 또한, 반투과형 액정 디스플레이나 반사형 액정 디스플레이를 구현하려는 경우에는, 화소 전극의 일부 또는 전부가 반사 전극으로서 기능하도록 하면 좋다. 예를 들어, 화소 전극의 일부 또는 전부가 알루미늄이나 은 등을 포함하도록 하면 좋다. 그리고 이 경우, 반사 전극 아래에 SRAM 등의 기억 회로를 제공하는 것도 가능하다. 이로써 소비 전력을 더 저감할 수 있다.
- [0137] 또한, 본 명세서 등에서는 다양한 기판을 사용하여 트랜지스터를 형성할 수 있다. 기판의 종류는 특정한 것에

한정되지 않는다. 기판의 일례로서는 반도체 기판(예를 들어 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스 강 기판, 스테인리스 강 포일을 가지는 기판, 텅스텐 기판, 텅스텐 포일을 가지는 기판, 가요성 기판, 접합 필름, 섬유 형태의 재료를 포함하는 종이, 또는 기재 필름(base material film) 등이 있다. 유리 기판의 일례로서는, 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리, 또는 소다 석회 유리 등이 있다. 가요성 기판, 접합 필름, 베이스 필름 등의 일례로서는 이하와 같은 것들을 들 수 있다. 예를 들어, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES)으로 대표되는 플라스틱이 있다. 또는, 일례로서 아크릴 등의 합성 수지 등이 있다. 또는, 일례로서 폴리프로필렌, 폴리에스터, 폴리불화 바이닐, 또는 폴리염화 바이닐 등이 있다. 또는, 일례로서 폴리아마이드, 폴리이미드, 아라미드, 에폭시, 무기 증착 필름, 또는 종이류 등이 있다. 특히, 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용하여 트랜지스터를 제작하면 특성, 크기, 또는 형상 등에 편차가 적고, 전류 능력이 높고, 크기가 작은 트랜지스터를 제작할 수 있다. 이와 같은 트랜지스터로 회로를 구성하면, 회로의 저소비 전력화 또는 회로의 고집적화를 도모할 수 있다.

[0138] 또한, 기판으로서 가요성 기판을 사용하고, 이 가요성 기판 위에 직접 트랜지스터를 형성하여도 좋다. 또는, 기판과 트랜지스터 사이에 박리층을 제공하여도 좋다. 박리층은 그 위에 반도체 장치의 일부 또는 전체를 형성한 후에 기판으로부터 분리하여 다른 기판으로 전재(轉載)하기 위하여 사용할 수 있다. 이 때, 트랜지스터는 내열성이 떨어지는 기판이나 가요성 기판에도 전재될 수 있다. 또한, 이 박리층은 예를 들어, 텅스텐막과 산화실리콘막 등의 무기막이 적층된 구성이나, 기판 위에 폴리이미드 등의 유기 수지막이 형성된 구성 등을 가질 수 있다.

[0139] 즉, 한 기판을 사용하여 트랜지스터를 형성한 후에 트랜지스터를 다른 기판으로 전치함으로써 그 다른 기판 위에 트랜지스터를 배치하여도 좋다. 트랜지스터를 전치하는 기판의 일례로서는, 트랜지스터를 형성할 수 있는 상술한 기판에 더하여, 종이 기판, 셀로판 기판, 아라미드 필름 기판, 폴리이미드 필름 기판, 석재 기판, 목재 기판, 직물 기판(천연 섬유(명주(silk), 솜(cotton), 삼(hemp)), 합성 섬유(나일론, 폴리에틸렌, 폴리에스터), 또는 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스터) 등을 포함함), 피혁 기판, 또는 고무 기판 등을 들 수 있다. 이와 같은 기판을 사용함으로써, 특성이 좋은 트랜지스터의 형성, 소비 전력이 낮은 트랜지스터의 형성, 파괴되기 어려운 장치의 제조, 내열성의 부여, 경량화, 또는 박형화를 도모할 수 있다.

[0140] 본 실시형태는 본 명세서 등의 다른 실시형태 등에 개시된 구성과 적절히 조합하여 실시할 수 있다.

[0141] (실시형태 4)

[0142] <화소의 구성>

[0143] 다음에, 도 13의 (A)에 도시된 반도체 표시 장치(70)의 일례인 액정 표시 장치의 화소(55)의 구성예에 대하여 설명한다. 도 14에 화소(55)의 상면도를 일례로서 나타내었다. 또한 도 14에서는 화소(55)의 레이아웃을 명확하게 나타내기 위하여 각종 절연막을 생략하였다. 또한, 도 14에 도시된 화소(55)를 가지는 소자 기판을 사용하여 형성된 액정 표시 장치의 단면도를 도 15에 나타내었다. 도 15에 도시된 액정 표시 장치에서, 기판(31)을 포함하는 소자 기판은 도 14의 파선 B1-B2를 따른 단면도에 상당한다.

[0144] 도 14 및 도 15에 도시된 화소(55)는 트랜지스터(56) 및 용량 소자(57)를 가진다. 또한 도 15에 도시된 화소(55)는 액정 소자(60)를 가진다.

[0145] 트랜지스터(56)는 절연 표면을 가지는 기판(31) 위에, 게이트 전극으로서 기능하는 도전막(40), 도전막(40) 위에 있고 게이트 절연막으로서 기능하는 절연막(22), 절연막(22) 위에 있고 도전막(40)과 중첩되는 산화물 반도체막(41), 산화물 반도체막(41)과 전기적으로 접속되며 소스 전극 또는 드레인 전극으로서 기능하는 도전막(43) 및 도전막(44)을 가진다. 도전막(40)은 도 13의 (B)에 도시된 배선(GL)으로서 기능한다. 또한, 도전막(43)은 도 13의 (B)에 도시된 배선(SL)으로서 기능한다.

[0146] 또한, 화소(55)는 절연막(22) 위에 금속 산화물막(42)을 가진다. 금속 산화물막(42)은 가시광에 대한 투광성을 가지는 도전막이다. 그리고, 금속 산화물막(42) 위에는 금속 산화물막(42)과 전기적으로 접속된 도전막(61)이 제공되어 있다. 도전막(61)은 금속 산화물막(42)에 소정의 전위를 공급하는 배선으로서 기능한다.

[0147] 절연막(22)은 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈럼 중 1종류 이상을 포함하는 절연막의 단층 구조 또는 적층 구조로 하면 좋다. 또한 본 명세서 중에서, 산화 질화물이란 그 조성에서 질소보다 산소의 함유량이 많은 재료를 가리키고, 질화 산화물이란 그 조성에서 산

소보다 질소의 함유량이 많은 재료를 가리킨다.

- [0148] 또한, 도 15에서는 산화물 반도체막(41), 도전막(43), 및 도전막(44) 위, 또한 금속 산화물막(42) 및 도전막(61) 위에, 절연막(26)과 절연막(27)이 순차적으로 적층되어 있다. 트랜지스터(56)는 그 구성 요소로서 절연막(26) 및 절연막(27)을 포함하여도 좋다. 또한 도 15에는 절연막(26) 및 절연막(27)이 순차적으로 적층되는 경우를 예시하였지만, 절연막(26) 및 절연막(27) 대신에 단층 구조의 절연막을 사용하여도 좋고, 적층된 3층 이상의 절연막을 사용하여도 좋다.
- [0149] 그리고, 절연막(26) 및 절연막(27)은 금속 산화물막(42)과 중첩되는 위치에 개구부(58)를 가진다. 개구부(58)는 금속 산화물막(42)과 중첩되는 영역에 제공되고, 상기 영역에는 산화물 반도체막(41), 도전막(43), 및 도전막(44)이 제공되어 있지 않다.
- [0150] 또한, 도 15에서는 절연막(26) 및 절연막(27) 위, 또한 개구부(58)에서의 금속 산화물막(42) 위에, 질화물 절연막(28)과 절연막(29)이 순차적으로 적층되어 있다.
- [0151] 또한, 절연막(22) 위에 산화물 반도체막을 형성하고, 상기 산화물 반도체막에 접촉하도록 질화물 절연막(28)을 형성함으로써, 상기 산화물 반도체막의 도전성을 높일 수 있다. 그리고, 도전성이 높은 상기 산화물 반도체막을 금속 산화물막(42)으로서 사용할 수 있다. 산화물 반도체막의 도전성이 높아지는 것은, 개구부(58)의 형성 시, 또는 질화물 절연막(28)의 형성 시에 산화물 반도체막 내에 산소 빈자리(oxygen vacancy)가 형성되고, 질화물 절연막(28)으로부터 확산된 수소가 상기 산소 빈자리에 결합됨으로써 도너가 생성되기 때문이라고 생각된다. 구체적으로, 금속 산화물막(42)의 저항률은 대표적으로는 $1 \times 10^{-3} \Omega \text{cm}$ 이상 $1 \times 10^4 \Omega \text{cm}$ 미만, 더 바람직하게는 저항률이 $1 \times 10^{-3} \Omega \text{cm}$ 이상 $1 \times 10^{-1} \Omega \text{cm}$ 미만이면 좋다.
- [0152] 금속 산화물막(42)은 산화물 반도체막(41)보다 수소 농도가 높은 것이 바람직하다. 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 얻어지는 금속 산화물막(42)의 수소 농도는 $8 \times 10^{19} \text{atoms/cm}^3$ 이상, 바람직하게는 $1 \times 10^{20} \text{atoms/cm}^3$ 이상, 더 바람직하게는 $5 \times 10^{20} \text{atoms/cm}^3$ 이상으로 한다. 이차 이온 질량 분석법으로 얻어지는 산화물 반도체막(41)의 수소 농도는 $5 \times 10^{19} \text{atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{atoms/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17} \text{atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{16} \text{atoms/cm}^3$ 이하로 한다.
- [0153] 질화물 절연막(28)에는 예를 들어, 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등을 사용할 수 있다. 상술한 재료를 사용한 질화물 절연막(28)은 산화 실리콘이나 산화 알루미늄 등을 사용한 산화물 절연막에 비하여 외부로부터의 불순물, 예를 들어 물, 알칼리 금속, 알칼리 토금속 등이 산화물 반도체막(41)으로 확산되는 것을 방지할 수 있다.
- [0154] 또한, 질화물 절연막(28) 및 절연막(29)에는 도전막(44)과 중첩되는 위치에 개구부(62)가 제공되어 있다. 그리고, 질화물 절연막(28) 및 절연막(29) 위에는 가시광에 대한 투광성을 가지고 화소 전극으로서 기능하는 도전막(45)이 제공되어 있다. 도전막(45)은 개구부(62)에서 도전막(44)과 전기적으로 접촉되어 있다. 또한, 도전막(45)은 개구부(58)에서 금속 산화물막(42)과 중첩되어 있다. 질화물 절연막(28) 및 절연막(29)을 개재하여 도전막(45)과 금속 산화물막(42)이 중첩되는 부분은 용량 소자(57)로서 기능한다.
- [0155] 용량 소자(57)에서 한 쌍의 전극으로서 기능하는 금속 산화물막(42) 및 도전막(45)과, 유전체막으로서 기능하는 질화물 절연막(28) 및 절연막(29)은 가시광에 대한 투광성을 가진다. 이 때문에, 용량 소자(57)는 가시광에 대한 투광성을 가지므로 용량 소자의 가시광에 대한 투광성이 낮은 화소에 비하여 화소(55)의 개구율을 높일 수 있다. 그러므로, 높은 화질을 얻기 위하여 필요한 용량값을 확보하면서 패널 내에서의 광의 손실을 작게 억제하여, 반도체 장치의 소비 전력을 저감할 수 있다.
- [0156] 또한 상술한 바와 같이 절연막(29)은 반드시 형성할 필요는 없지만, 질화물 절연막(28)보다 비유전율이 낮은 절연물을 사용한 절연막(29)을 질화물 절연막(28)과 함께 유전체막으로서 사용함으로써, 용량 소자(57)의 유전체막의 유전율을 질화물 절연막(28)의 두께를 늘리지 않고 원하는 값으로 조정할 수 있다.
- [0157] 도전막(45) 위에는 배향막(52)이 제공되어 있다.
- [0158] 또한, 기관(31)과 대향하도록 기관(46)이 제공되어 있다. 기관(46) 위에는 가시광을 차단하는 기능을 가지는 차폐막(47)과, 특정의 파장 범위의 가시광을 투과시키는 착색층(48)이 제공되어 있다. 차폐막(47) 및 착색층

(48) 위에는 수지막(50)이 제공되어 있고, 수지막(50) 위에는 공통 전극으로서 기능하는 도전막(59)이 제공되어 있다. 또한, 도전막(59) 위에는 배향막(51)이 제공되어 있다.

[0159] 그리고, 기관(31)과 기관(46) 사이에는 배향막(52)과 배향막(51)에 끼워지도록, 액정 재료를 포함하는 액정층(53)이 제공되어 있다. 액정 소자(60)는 도전막(45), 도전막(59), 및 액정층(53)을 가진다.

[0160] 또한 도 14 및 도 15에서는 액정의 구동 방법으로서 TN(Twisted Nematic) 모드를 채용하는 경우를 예시하였지만, FFS(Fringe Field Switching) 모드, STN(Super Twisted Nematic) 모드, VA(Vertical Alignment) 모드, MVA(Multi-domain Vertical Alignment) 모드, IPS(In-Plane Switching) 모드, OCB(Optically Compensated Birefringence) 모드, 블루상 모드, TBA(Transverse Bend Alignment) 모드, VA-IPS 모드, ECB(Electrically Controlled Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Anti-Ferroelectric Liquid Crystal) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, PNLC(Polymer Network Liquid Crystal) 모드, 게스트 호스트 모드, ASV(Advanced Super View) 모드 등을 적용할 수도 있다.

[0161] 또한, 본 발명의 일 형태에 따른 액정 표시 장치에서, 액정층에는 예를 들어 서모트로픽 액정 또는 리�트로픽 액정으로 분류되는 액정 재료를 사용할 수 있다. 또는, 액정층에는 예를 들어, 네마틱 액정, 스메틱 액정, 콜레스테릭 액정, 또는 디스코틱 액정으로 분류되는 액정 재료를 사용할 수 있다. 또는, 액정층에는 예를 들어, 강유전성 액정 또는 반강유전성 액정으로 분류되는 액정 재료를 사용할 수 있다. 또는, 액정층에는 예를 들어, 주쇄형 고분자 액정, 측쇄형 고분자 액정, 또는 복합형 고분자 액정 등의 고분자 액정, 또는 저분자 액정으로 분류되는 액정 재료를 사용할 수 있다. 또는, 액정층에는 고분자 분산형 액정(PDLC)으로 분류되는 액정 재료를 사용할 수 있다.

[0162] 또한, 배향막을 필요로 하지 않는, 블루상을 나타내는 액정을 액정층에 사용하여도 좋다. 블루상은 액정상 중 하나로, 콜레스테릭 액정의 온도를 올려갈 때 콜레스테릭상이 등방상으로 전이(轉移)하기 직전에 발현된다. 블루상은 좁은 온도 범위에서밖에 발현되지 않기 때문에, 키랄제나 자외선 경화 수지를 첨가하여 온도 범위를 개선한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은, 응답 속도가 1msec 이하로 짧고, 광학적 등방성을 가지기 때문에 배향 처리가 불필요하며, 시야각 의존성이 작으므로 바람직하다.

[0163] 또한, 도 15에는 컬러 필터를 이용하여 컬러 화상을 표시하는 액정 표시 장치를 예로서 도시하였지만, 본 발명의 일 형태에 따른 액정 표시 장치는 다른 색상의 광을 발하는 복수의 광원을 순차적으로 점등시킴으로써 컬러 화상을 표시하는 구성을 가져도 좋다.

[0164] 또한, 트랜지스터(56)의 산화물 반도체막(41)은 하나의 산화물 반도체막에 한정되지 않고, 적층된 복수의 산화물 반도체막으로 구성되어 있어도 좋다. 도 16의 (A)에는 산화물 반도체막(41)이 적층된 3층의 산화물 반도체막으로 구성되어 있는 경우를 예시하였다. 구체적으로, 도 16의 (A)에 도시된 트랜지스터(56)에서는 산화물 반도체막(41)으로서 산화물 반도체막(41a), 산화물 반도체막(41b), 및 산화물 반도체막(41c)이 절연막(22) 측에서부터 순차적으로 적층되어 있다.

[0165] 그리고, 산화물 반도체막(41a) 및 산화물 반도체막(41c)은 산화물 반도체막(41b)을 구성하는 금속 원소 중 적어도 하나를 그 구성 요소로서 포함하고, 전도띠 바닥의 에너지가 산화물 반도체막(41b)보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상이고 2eV이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하만큼 진공 준위에 가까운 산화물막이다. 또한, 산화물 반도체막(41b)은 적어도 인듐을 포함하면, 캐리어 이동도가 높아지므로 바람직하다.

[0166] 또한, 도 16의 (B)에 도시된 바와 같이, 산화물 반도체막(41c)을 절연막(22)과 중첩되도록 도전막(43) 및 도전막(44) 위에 제공하여도 좋다.

[0167] 본 실시형태는 본 명세서 등의 다른 실시형태 등에 개시된 구성과 적절히 조합하여 실시할 수 있다.

[0168] (실시형태 5)

[0169] <반도체 표시 장치의 상면도와 단면도>

[0170] 다음에 액정 표시 장치를 예로 들어, 본 발명의 일 형태에 따른 반도체 표시 장치의 외관에 대하여 도 17을 사용하여 설명한다. 도 17은 기관(4001)과 기관(4006)이 밀봉재(4005)로 접촉된 액정 표시 장치의 상면도이다. 또한, 도 18은 도 17의 파선 C1-C2를 따른 단면도에 상당한다.

- [0171] 기관(4001) 위에 제공된 화소부(4002)와 한 쌍의 구동 회로(4004)를 둘러싸도록 밀봉재(4005)가 제공되어 있다. 또한, 화소부(4002) 및 구동 회로(4004) 위에 기관(4006)이 제공되어 있다. 따라서, 화소부(4002) 및 구동 회로(4004)는 기관(4001), 밀봉재(4005), 및 기관(4006)으로 밀봉되어 있다.
- [0172] 또한, 기관(4001) 위에서 밀봉재(4005)로 둘러싸인 영역과는 다른 영역에, 구동 회로(4003)가 제공되어 있다.
- [0173] 또한, 기관(4001) 위에 제공된 화소부(4002) 및 구동 회로(4004)는 복수의 트랜지스터를 가진다. 도 18에는 화소부(4002)에 포함되는 트랜지스터(4010)를 예시하였다. 트랜지스터(4010) 위에는 질화물 절연막을 포함하는 각종 절연막으로 구성된 절연막(4020)이 제공되어 있고, 트랜지스터(4010)는 절연막(4020)에 형성된 개구부에서 절연막(4020) 위의 화소 전극(4021)과 접속되어 있다.
- [0174] 또한, 기관(4006) 위에는 수지막(4059)이 제공되어 있고, 수지막(4059) 위에는 공통 전극(4060)이 제공되어 있다. 그리고, 기관(4001)과 기관(4006) 사이에서 화소 전극(4021)과 공통 전극(4060) 사이에 개재되도록 액정층(4028)이 제공되어 있다. 액정 소자(4023)는 화소 전극(4021), 공통 전극(4060), 및 액정층(4028)을 가진다.
- [0175] 액정 소자(4023)에서는 화소 전극(4021)과 공통 전극(4060) 사이에 인가되는 전압의 값에 따라, 액정층(4028)에 포함되는 액정 분자의 배향이 변화되어 투과율이 변화된다. 따라서, 액정 소자(4023)는 화소 전극(4021)에 공급되는 화상 신호의 전위에 의하여 그 투과율이 제어됨으로써, 계조를 표시할 수 있다.
- [0176] 또한, 도 18에 도시된 바와 같이, 본 발명의 일 형태에서 절연막(4020)은 패널 단부에서 제거되어 있다. 그리고, 절연막(4020)이 제거된 영역에 도전막(4050)이 형성되어 있다. 도전막(4050)과 트랜지스터(4010)의 소스 또는 드레인으로서 기능하는 도전막은 하나의 도전막을 에칭함으로써 형성할 수 있다.
- [0177] 그리고, 기관(4001)과 기관(4006) 사이에는 도전성을 가지는 도전성 입자(4061)가 분산된 수지막(4062)이 제공되어 있다. 도전막(4050)은 공통 전극(4060)과 도전성 입자(4061)를 통하여 전기적으로 접속되어 있다. 즉, 공통 전극(4060)과 도전막(4050)은 패널 단부에서 도전성 입자(4061)를 통하여 전기적으로 접속되어 있다. 수지막(4062)에는 열 경화성 수지 또는 자외선 경화 수지를 사용할 수 있다. 또한, 도전성 입자(4061)로서는 예를 들어, 구(球)상 유기 수지를 박막 형태의 Au나 Ni, Co 등의 금속으로 피복한 입자를 사용할 수 있다.
- [0178] 또한 도 18에는 배향막을 도시하지 않았지만 화소 전극(4021)과 공통 전극(4060) 위에 각각 배향막을 제공하는 경우, 공통 전극(4060), 도전성 입자(4061), 및 도전막(4050)을 전기적으로 접속하기 위하여, 배향막에서 공통 전극(4060)과 중첩되는 부분을 부분적으로 제거하고, 또한 배향막에서 도전막(4050)과 중첩되는 부분을 부분적으로 제거하면 좋다.
- [0179] 또한, 본 발명의 일 형태에 따른 액정 표시 장치에서는 컬러 필터를 이용하여 컬러 화상을 표시하여도 좋고, 다른 색상의 광을 발하는 복수의 광원을 순차적으로 점등시킴으로써 컬러 화상을 표시하여도 좋다.
- [0180] 또한, 구동 회로(4003)로부터의 화상 신호나 FPC(4018)로부터의 각종 제어 신호 및 전위는 리드 배선(4030) 및 리드 배선(4031)을 통하여 구동 회로(4004) 또는 화소부(4002)에 공급된다.
- [0181] 본 실시형태는 본 명세서 등의 다른 실시형태 등에 개시된 구성과 적절히 조합하여 실시할 수 있다.
- [0182] (실시형태 6)
- [0183] 본 실시형태에서는, 상술한 실시형태에서 설명한 트랜지스터의 반도체층에 사용될 수 있는 산화물 반도체층에 대하여 설명한다.
- [0184] 트랜지스터의 반도체층 중의 채널 형성 영역에 사용하는 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 양쪽 모두 포함하는 것이 바람직하다. 또한, 이들에 더하여 산소를 강하게 결합시키는 스테빌라이저를 포함하는 것이 바람직하다. 스테빌라이저로서는 갈륨(Ga), 주석(Sn), 지르코늄(Zr), 하프늄(Hf), 및 알루미늄(Al) 중 적어도 어느 하나를 포함하면 좋다.
- [0185] 또한 다른 스테빌라이저로서, 란타노이드인 란타넘(La), 세륨(Ce), 프라세오디움(Pr), 네오디움(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 터븀(Tb), 디스프로슘(Dy), 홀름(Ho), 어븀(Er), 툴륨(Tm), 이터븀(Yb), 루테튬(Lu) 중 어느 1종류 또는 복수 종류를 포함하여도 좋다.
- [0186] 트랜지스터의 반도체층에 사용할 수 있는 산화물 반도체로서는 예를 들어, 산화 인듐, 산화 주석, 산화 아연, In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물,

Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-Zr-Zn계 산화물, In-Ti-Zn계 산화물, In-Sc-Zn계 산화물, In-Y-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물 등이 있다.

- [0187] 예를 들어, 원자수비가 In:Ga:Zn=1:1:1, In:Ga:Zn=3:1:2, 또는 In:Ga:Zn=2:1:3인 In-Ga-Zn계 산화물이나 그 근방의 조성을 가지는 산화물을 사용하면 좋다.
- [0188] 반도체층을 구성하는 산화물 반도체막에 수소가 많이 포함되면 산화물 반도체와 결합됨으로써 수소의 일부가 도너가 되어, 캐리어인 전자를 발생시킨다. 이에 따라 트랜지스터의 문턱 전압은 음 방향으로 시프트된다. 그러므로, 산화물 반도체막을 형성한 후에 탈수화 처리(탈수소화 처리)에 의하여 산화물 반도체막으로부터 수소 또는 수분을 제거하여 불순물이 가능한 한 포함되지 않도록 고순도화하는 것이 바람직하다.
- [0189] 또한, 산화물 반도체막의 탈수화 처리(탈수소화 처리)에 의하여 산화물 반도체막에서 산소가 감소되는 경우가 있다. 그래서, 탈수화 처리(탈수소화 처리)에 의하여 증가된 산소 빈자리를 보전하기 위하여 산화물 반도체막에 산소를 첨가하는 처리를 수행하는 것이 바람직하다. 본 명세서 등에서 산화물 반도체막에 산소를 공급하는 일을 가(加)산소화 처리라고 기재하는 경우가 있다. 또는, 산화물 반도체막에 포함되는 산소를 화학량론적 조성보다 많게 하는 일을 과(過)산소화 처리라고 기재하는 경우가 있다.
- [0190] 이와 같이, 산화물 반도체막은 탈수화 처리(탈수소화 처리)에 의하여 수소 또는 수분이 제거되고, 가산소화 처리에 의하여 산소 빈자리가 보전됨으로써, i형(진성) 또는 i형에 한없이 가까운 실질적으로 i형(진성)인 산화물 반도체막이 될 수 있다. 또한, 실질적으로 진성이라는 것은 산화물 반도체막 내에 도너에서 유래하는 캐리어가 매우 적고(제로에 가까움) 캐리어 밀도가 $1 \times 10^{17}/\text{cm}^3$ 이하, $1 \times 10^{16}/\text{cm}^3$ 이하, $1 \times 10^{15}/\text{cm}^3$ 이하, $1 \times 10^{14}/\text{cm}^3$ 이하, $1 \times 10^{13}/\text{cm}^3$ 이하인 것을 말한다.
- [0191] 또한 이와 같은 i형 또는 실질적으로 i형인 산화물 반도체막을 사용한 트랜지스터는 매우 우수한 오프 전류 특성을 가질 수 있다. 예를 들어, 산화물 반도체막을 사용한 트랜지스터의 오프 상태 시의 드레인 전류는 실온(25°C 정도)에서 $1 \times 10^{-18}\text{A}$ 이하, 바람직하게는 $1 \times 10^{-21}\text{A}$ 이하, 더 바람직하게는 $1 \times 10^{-24}\text{A}$ 이하, 또는 85°C에서 $1 \times 10^{-15}\text{A}$ 이하, 바람직하게는 $1 \times 10^{-18}\text{A}$ 이하, 더 바람직하게는 $1 \times 10^{-21}\text{A}$ 이하일 수 있다. 또한, 트랜지스터가 오프 상태라는 것은 n채널형 트랜지스터의 경우 게이트 전압이 문턱 전압보다 충분히 작은 상태를 말한다. 구체적으로는, 게이트 전압이 문턱 전압보다 1V 이상, 2V 이상, 또는 3V 이상 작으면 트랜지스터는 오프 상태이다.
- [0192] 이하에서 산화물 반도체막의 구조에 대하여 설명한다.
- [0193] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 나뉜다. 또는, 산화물 반도체는 예를 들어, 결정성 산화물 반도체와 비정질 산화물 반도체로 나뉜다.
- [0194] 또한, 비단결정 산화물 반도체로서는, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), 다결정 산화물 반도체, 미결정 산화물 반도체, 비정질 산화물 반도체 등이 있다. 또한, 결정성 산화물 반도체로서는, 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 미결정 산화물 반도체 등이 있다.
- [0195] 우선, CAAC-OS막에 대하여 설명한다.
- [0196] CAAC-OS막은 c축 배향된 복수의 결정부를 가지는 산화물 반도체막 중 하나이다.
- [0197] 투과 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 CAAC-OS막의 명시야상과 회절 패턴의 복합 해석상(고분해능 TEM 이미지라고도 함)을 관찰하면, 복수의 결정부가 확인된다. 그러나, 고분해능 TEM 이미지에서 명확한 결정부들의 경계, 즉 결정 입계(그레인 바운더리(grain boundary)라고도 함)는 확인되지 않는다. 그러므로, CAAC-OS막에서는 결정 입계에 기인한 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0198] 시료면에 실질적으로 평행한 방향으로부터 CAAC-OS막의 단면을 관찰한 고분해능 TEM 이미지에서는 결정부에서 금속 원자가 층상으로 배열되어 있는 것이 확인된다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며 CAAC-OS막의 피형성면 또는 상면에 평행하게 배

열된다.

- [0199] 한편, 시료면에 실질적으로 수직인 방향으로부터 CAAC-OS막의 평면을 관찰한 고분해능 TEM 이미지에서는 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것이 확인된다. 그러나, 상이한 결정부들간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.
- [0200] X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 CAAC-OS막의 구조 해석을 수행하면, 예를 들어 InGaZnO₄의 결정을 가지는 CAAC-OS막의 out-of-plane법에 의한 해석에서는 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 가지고, c축이 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되어 있는 것을 확인할 수 있다.
- [0201] 또한, InGaZnO₄의 결정을 가지는 CAAC-OS막을 out-of-plane법으로 해석하면 2θ가 31° 근방일 때 나타나는 피크에 더하여, 2θ가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2θ가 36° 근방일 때 나타나는 피크는 CAAC-OS막 내의 일부에, c축 배향성을 가지지 않는 결정이 포함되어 있음을 가리킨다. CAAC-OS막은 2θ가 31° 근방일 때 피크가 나타나고, 2θ가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.
- [0202] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물이란 수소, 탄소, 실리콘, 전이 금속(transition metal) 원소 등, 산화물 반도체막의 주성분 이외의 원소를 말한다. 특히 실리콘 등, 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한 철이나 니켈 등의 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 될 수 있다.
- [0203] 또한 CAAC-OS막은 결합 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어 산화물 반도체막 내의 산소 빈자리는 캐리어 트랩이 되거나 수소를 포획함으로써 캐리어 발생원이 될 수 있다.
- [0204] 불순물 농도가 낮고 결합 준위 밀도가 낮은(산소 빈자리가 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적어 캐리어 밀도를 낮게 할 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 문턱 전압이 음(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작고 신뢰성이 높은 트랜지스터가 된다. 또한, 산화물 반도체막의 캐리어 트랩에 포획된 전하는 방출될 때까지 걸리는 시간이 길어 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로 불순물 농도가 높고 결합 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.
- [0205] 또한 CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사로 인한 전기 특성의 변동이 작다.
- [0206] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.
- [0207] 미결정 산화물 반도체막은 고분해능 TEM 이미지에서 결정부가 확인되는 영역과 결정부가 명확히 확인되지 않는 영역을 가진다. 미결정 산화물 반도체막에 포함되는 결정부의 크기는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 포함하는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막이라고 한다. 또한, nc-OS막은 예를 들어, 고분해능 TEM 이미지에서 결정 입계가 명확히 확인되지 않는 경우가 있다.
- [0208] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 또한, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서, 막 전체에서 배향성이 확인되지 않는다. 그러므로, 분석 방법에 따라서는 nc-OS막과 비정질 산화물 반도체막을 구별하지 못하는 경우가 있다. 예를 들어, 결정부보다 큰 직경을 가지는 X선을 이용하는 XRD 장치에 의하여 out-of-plane법으로 nc-OS막의 구조를 해석하면, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 결정부보다 프로브 직경이 큰(예를 들어, 50nm 이상) 전자 빔을 이용하여 관찰한 nc-OS막의 전자 회절 패턴(제한 시야 전자 회절 패턴이라고도 함)에는 헤일로(halo) 패턴과 같은 회절 패턴이 관측된다. 한편, 프로브 직경이 결정부의 크기와 가깝거나 결정부보다 작은 전자 빔을 이용하여 관찰한 nc-OS막의 나노빔 전자 회절 패턴에는 스폿이 관측된다. 또한, nc-OS막의 나노빔 전자 회절 패턴에는, 휘도가 높은 환상(고리 형상)의 영역이 관측되는 경우가 있다. 또한, nc-OS막의 나노빔 전자 회절 패턴에는 고리 형상의 영역에 복수의 스폿이 관측되는 경우도

있다.

- [0209] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결합 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, nc-OS막은 CAAC-OS막에 비하여 결합 준위 밀도가 높다.
- [0210] 다음에, 비정질 산화물 반도체막에 대하여 설명한다.
- [0211] 비정질 산화물 반도체막은, 막 내에서의 원자 배열이 불규칙하고, 결정부를 가지지 않는 산화물 반도체막이다. 석영과 같은 무정형 상태를 가지는 산화물 반도체막이 그 일례이다.
- [0212] 비정질 산화물 반도체막의 고분해능 TEM 이미지에서 결정부가 확인되지 않는다.
- [0213] XRD 장치를 이용하여 비정질 산화물 반도체막의 구조 해석을 수행하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체막의 전자 회절 패턴에는 헤일로 패턴이 관측된다. 또한, 비정질 산화물 반도체막의 나노빔 전자 회절 패턴에는 스폿이 관측되지 않고, 헤일로 패턴이 관측된다.
- [0214] 또한, 산화물 반도체막은 nc-OS막과 비정질 산화물 반도체막 사이의 물성을 나타내는 구조를 가지는 경우가 있다. 이러한 구조를 가지는 산화물 반도체막을 특히 a-like OS(amorphous-like Oxide Semiconductor)막이라고 한다.
- [0215] a-like OS막의 고분해능 TEM 이미지에서는 공동(보이드(void)라고도 함)이 관찰되는 경우가 있다. 또한, 고분해능 TEM 이미지에는 결정부가 명확히 확인되는 영역과 결정부가 확인되지 않는 영역이 있다. a-like OS막은 TEM에 의한 관찰 정도의 미량의 전자 조사에 의하여 결정화가 일어나, 결정부가 성장되는 경우가 있다. 한편, 양질의 nc-OS막에서는 TEM에 의한 관찰과 같은 미량의 전자 조사에 의한 결정화는 거의 일어나지 않는다.
- [0216] 또한, a-like OS막 및 nc-OS막의 결정부의 크기는 고분해능 TEM 이미지에서 계속할 수 있다. 예를 들어, InGaZnO₄의 결정은 층상 구조를 가지며, In-0층들 사이에 2층의 Ga-Zn-0층을 가진다. InGaZnO₄의 결정의 단위 격자는 In-0층 3층과 Ga-Zn-0층 6층의 총 9층이 c축 방향으로 층상으로 중첩된 구조를 가진다. 따라서, 이들 근접하는 층들 사이의 간격은 (009)면의 격자면 간격(d값이라고도 함)과 같은 정도이며, 그 값은 결정 구조 해석으로부터 0.29nm로 산출된다. 그러므로 고분해능 TEM 이미지에서의 격자 줄무늬(lattice fringe)에 착안하여 격자 줄무늬의 간격이 0.28nm 이상 0.30nm 이하인 부분에서는 각 격자 줄무늬가 InGaZnO₄의 결정의 a-b면에 대응한다.
- [0217] 또한, 산화물 반도체막은 구조에 따라 밀도가 다른 경우가 있다. 예를 들어, 어느 산화물 반도체막의 조성을 알면, 이 조성과 같은 조성을 가지는 단결정 산화물 반도체막의 밀도와 비교함으로써, 그 산화물 반도체막의 구조를 추정할 수 있다. 예를 들어, 단결정 산화물 반도체막의 밀도에 대하여, a-like OS막의 밀도는 78.6% 이상 92.3% 미만인 된다. 또한, 예를 들어 단결정 산화물 반도체막의 밀도에 대하여, nc-OS막의 밀도 및 CAAC-OS막의 밀도는 92.3% 이상 100% 미만인 된다. 또한, 단결정 산화물 반도체막의 밀도에 대하여 밀도가 78% 미만인 산화물 반도체막은 성막 자체가 곤란하다.
- [0218] 상기에 대하여 구체적인 예를 들어 설명한다. 예를 들어, In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체막에 있어서 능면체정(rhombohedral crystal) 구조를 가지는 단결정 InGaZnO₄의 밀도는 6.357g/cm³이다. 따라서 예를 들어, In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체막에 있어서, a-like OS막의 밀도는 5.0g/cm³ 이상 5.9g/cm³ 미만이다. 또한, 예를 들어, In:Ga:Zn=1:1:1[원자수비]을 만족시키는 산화물 반도체막에 있어서 nc-OS막의 밀도 및 CAAC-OS막의 밀도는 5.9g/cm³ 이상 6.3g/cm³ 미만이다.
- [0219] 또한, 같은 조성을 가지는 단결정이 존재하지 않는 경우가 있다. 이 경우에는 조성이 다른 단결정을 임의의 비율로 조합함으로써, 원하는 조성을 가지는 단결정의 밀도에 상당하는 밀도를 산출할 수 있다. 원하는 조성을 가지는 단결정의 밀도에 상당하는 밀도는 조성이 다른 단결정을 조합하는 비율에 대하여 가중 평균을 이용하여 산출하면 좋다. 다만, 밀도를 산출할 때는 가능한 한 적은 종류의 단결정을 조합하는 것이 바람직하다.
- [0220] 또한, 산화물 반도체막은 예를 들어, 비정질 산화물 반도체막, a-like OS막, 미결정 산화물 반도체막, CAAC-OS막 중, 2종류 이상을 가지는 적층막이어도 좋다.

- [0221] 본 명세서에서 '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '실질적으로 평행'이란, 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다. 또한, '실질적으로 수직'이란, 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.
- [0222] 또한, 본 명세서에 있어서 삼방정 또는 능면체정은 육방정계에 포함된다.
- [0223] 본 실시형태는 본 명세서 등의 다른 실시형태 등에 개시된 구성과 적절히 조합하여 실시할 수 있다.
- [0224] (실시형태 7)
- [0225] <반도체 장치를 사용한 전자 기기의 구성예>
- [0226] 본 발명의 일 형태에 따른 반도체 장치는 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하여 그 화상을 표시할 수 있는 디스플레이를 가지는 장치)에 사용할 수 있다. 이 외에도 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있는 전자 기기로서 휴대 전화, 게임기(휴대용 게임기를 포함함), 휴대 정보 단말, 전자 서적, 비디오 카메라나 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운티드 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 19에 도시하였다.
- [0227] 도 19의 (A)에 도시된 휴대용 게임기는 하우징(5001), 하우징(5002), 표시부(5003), 표시부(5004), 마이크론(5005), 스피커(5006), 조작 키(5007), 스타일러스(5008) 등을 가진다. 표시부(5003) 또는 표시부(5004)나, 이 외의 집적 회로에 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있다. 도 19의 (A)에 도시된 휴대용 게임기는 2개의 표시부(5003 및 5004)를 가지고 있지만, 휴대용 게임기가 가지는 표시부의 개수는 이에 한정되지 않는다.
- [0228] 도 19의 (B)에 도시된 휴대 정보 단말은 제 1 하우징(5601), 제 2 하우징(5602), 제 1 표시부(5603), 제 2 표시부(5604), 접속부(5605), 조작 키(5606) 등을 가진다. 제 1 표시부(5603)는 제 1 하우징(5601)에 제공되고, 제 2 표시부(5604)는 제 2 하우징(5602)에 제공되어 있다. 그리고, 제 1 하우징(5601)과 제 2 하우징(5602)은 접속부(5605)에 의하여 접속되어 있고, 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도는 접속부(5605)로 조정할 수 있다. 제 1 표시부(5603)에 표시되는 영상을 접속부(5605)에서의 제 1 하우징(5601)과 제 2 하우징(5602) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 제 1 표시부(5603) 또는 제 2 표시부(5604)나, 이 외의 집적 회로에 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있다.
- [0229] 도 19의 (C)에 도시된 노트북형 퍼스널 컴퓨터는 하우징(5401), 표시부(5402), 키보드(5403), 포인팅 디바이스(5404) 등을 가진다. 표시부(5402)나 이 외의 집적 회로에 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있다.
- [0230] 도 19의 (D)에 도시된 손목시계는 하우징(5201), 표시부(5202), 조작용 버튼(5203), 밴드(5204) 등을 가진다. 표시부(5202)나 이 외의 집적 회로에 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있다.
- [0231] 도 19의 (E)에 도시된 비디오 카메라는 제 1 하우징(5801), 제 2 하우징(5802), 표시부(5803), 조작 키(5804), 렌즈(5805), 접속부(5806) 등을 가진다. 조작 키(5804) 및 렌즈(5805)는 제 1 하우징(5801)에 제공되고, 표시부(5803)는 제 2 하우징(5802)에 제공되어 있다. 그리고, 제 1 하우징(5801)과 제 2 하우징(5802)은 접속부(5806)에 의하여 접속되어 있고, 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도는 접속부(5806)로 조정할 수 있다. 표시부(5803)에 표시되는 영상을 접속부(5806)에서의 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 표시부(5803)나 이 외의 집적 회로에 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있다.
- [0232] 도 19의 (F)에 도시된 휴대 전화는 하우징(5901)에 표시부(5902), 마이크론(5907), 스피커(5904), 카메라(5903), 외부 접속부(5906), 조작용 버튼(5905)이 제공되어 있다. 표시부(5902)나 이 외의 집적 회로에 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있다. 또한, 본 발명의 일 형태에 따른 반도체 장치를 가요성을 가지는 기판에 형성함으로써, 도 19의 (F)에 도시된 바와 같은 곡면을 가지는 표시부(5902)에 상기 반도체 장치를 적용할 수 있다.
- [0233] 또한, 어느 한 실시형태에 기재된 내용(또는 그 일부)은 그 실시형태에 기재된 다른 내용(또는 그 일부), 및/또

는 하나 또는 복수의 다른 실시형태에 기재된 내용(또는 그 일부)에 적용, 조합, 또는 치환될 수 있다.

- [0234] 또한, 실시형태에 기재된 내용이란, 각 실시형태에서 다양한 도면을 사용하여 설명된 내용, 또는 명세서에 기재된 문장을 사용하여 기재된 내용을 말한다.
- [0235] 또한, 어느 한 실시형태에서 참조하는 도면(또는 그 일부)을 그 도면의 다른 부분, 그 실시형태에서 참조하는 다른 도면(또는 그 일부), 및/또는 하나 또는 복수의 다른 실시형태에서 참조하는 도면(또는 그 일부)과 조합하여 더 많은 도면을 구성할 수 있다.
- [0236] 또한, 명세서에 있어서 도면이나 문장으로 규정되지 않은 내용에 대해서는, 그 내용을 제외함을 규정하는 발명의 일 형태를 구성할 수 있다. 또는, 어떤 값에 관하여, 상한값과 하한값 등으로 나타내어지는 수치 범위가 기재되어 있는 경우, 그 범위를 임의로 좁히거나 또는 그 범위 내의 한 지점을 제외함으로써 그 범위의 일부를 제외한 발명의 일 형태를 규정할 수 있다. 이로써, 예를 들어 종래 기술이 본 발명의 일 형태의 기술적 범위 내에 들어가지 않음을 규정할 수 있다.
- [0237] 구체적인 예로서는, 어떤 회로에 관하여 제 1~제 5 트랜지스터를 사용한 회로도가 기재되어 있는 경우, 그 회로가 제 6 트랜지스터를 가지지 않음을 규정하여 발명을 구성할 수 있다. 또는, 그 회로가 용량 소자를 가지지 않음을 규정하여 발명을 구성할 수 있다. 또한, 그 회로가 어느 특정의 접속 구조를 가지는 제 6 트랜지스터를 가지지 않음을 규정하여 발명을 구성할 수 있다. 또는, 그 회로가 어떤 특정의 접속 구조를 가지는 용량 소자를 가지지 않음을 규정하여 발명을 구성할 수 있다. 예를 들어, 게이트가 제 3 트랜지스터의 게이트에 접속된 제 6 트랜지스터를 가지지 않음을 규정하여 발명을 구성할 수 있다. 또는, 예를 들어 제 1 전극이 제 3 트랜지스터의 게이트에 접속된 용량 소자를 가지지 않음을 규정하여 발명을 구성할 수 있다.
- [0238] 다른 구체적인 예로서는, 어떤 값에 관하여 "어떤 전압은 3V 이상 10V 이하인 것이 적합하다"라고 기재되어 있는 경우에는 예를 들어, 어떤 전압이 -2V 이상 1V 이하인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다. 또는, 예를 들어, 어떤 전압이 13V 이상인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다. 또한, 예를 들어 그 전압이 5V 이상 8V 이하임을 규정하여 발명을 구성할 수도 있다. 또한, 예를 들어, 그 전압이 약 9V임을 규정하여 발명을 구성할 수도 있다. 또한, 예를 들어 그 전압이 3V 이상 10V 이하이지만 9V인 경우를 제외함을 규정하여 발명을 구성할 수도 있다. 또한, 어떤 값에 관하여 "이와 같은 범위 내인 것이 바람직하다", "이들을 만족시키는 것이 바람직하다" 등으로 기재되더라도, 어떤 값은 이들 기재에 한정되지 않는다. 즉, "바람직하다", "적합하다" 등으로 기재되더라도 반드시 이들 기재에 한정되는 것은 아니다.
- [0239] 다른 구체적인 예로서는, 어떤 값에 관하여 "어떤 전압은 10V인 것이 적합하다"라고 기재되어 있는 경우에는 예를 들어, 어떤 전압이 -2V 이상 1V 이하인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다. 또는, 예를 들어, 어떤 전압이 13V 이상인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다.
- [0240] 다른 구체적인 예로서는, 어떤 물질의 성질에 관하여 "어떤 막은, 절연막이다"라고 기재되어 있는 경우에는 예를 들어, 그 절연막이 유기 절연막인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다. 또는, 예를 들어 그 절연막이 무기 절연막인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다. 또는, 예를 들어, 그 막이 도전막인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다. 또는, 예를 들어, 그 막이 반도체막인 경우를 제외함을 규정하여 발명의 일 형태를 구성할 수 있다.
- [0241] 다른 구체적인 예로서는, 어떤 적층 구조에 관하여 "A막과 B막 사이에 어떤 막이 제공되어 있다"라고 기재되어 있는 경우에는 예를 들어, 그 막이 4층 이상의 적층막인 경우를 제외함을 규정하여 발명을 구성할 수 있다. 또는 예를 들어, A막과 그 막 사이에 도전막이 제공되어 있는 경우를 제외함을 규정하여 발명을 구성할 수 있다.
- [0242] 또한, 본 명세서 등에서는 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 가지는 모든 단자에 관하여, 그 접속처가 특정되지 않더라도, 당업자라면 발명의 일 형태를 구성하는 것이 가능한 경우가 있다. 즉, 접속처가 특정되지 않더라도 발명의 일 형태가 명확하다고 할 수 있다. 그리고 접속처가 특정된 내용이 본 명세서 등에 기재되어 있는 경우에는 접속처가 특정되지 않은 발명의 일 형태가 본 명세서 등에 기재되어 있는 것으로 판단할 수 있는 경우가 있다. 특히, 한 단자에 대하여 몇 가지 접속처가 생각될 수 있다면 그 단자의 접속처를 특정의 개소로 한정할 필요는 없다. 따라서, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 가지는 일부의 단자에 대해서만 그 접속처를 특정함으로써 발명의 일 형태를 구성할 수 있는 경우가 있다.
- [0243] 또한, 본 명세서 등에서는 어떤 회로에 관하여, 적어도 접속처가 특정되어 있으면 당업자라면 발명을 특정할 수 있는 경우가 있다. 또는, 어떤 회로에 관하여, 적어도 기능이 특정되어 있으면 당업자라면 발명을 특정할 수

있는 경우가 있다. 즉, 기능이 특정되어 있으면 발명의 일 형태는 명확하다고 할 수 있다. 그리고, 기능이 특정된 발명의 일 형태가 본 명세서 등에 기재되어 있는 것으로 판단할 수 있는 경우가 있다. 따라서, 어떤 회로에 관하여 기능이 특정되지 않더라도 접속처가 특정되어 있으면 발명의 일 형태로서 개시되어 있는 것으로서 발명의 일 형태를 구성할 수 있다. 또는, 어떤 회로에 관하여 접속처가 특정되지 않더라도 기능이 특정되어 있으면 발명의 일 형태로서 개시되어 있는 것으로서 발명의 일 형태를 구성할 수 있다.

[0244] 또한, 본 명세서 등에서는 어느 한 실시형태에서의 도면 또는 문장의 일부를 추출하여 발명의 일 형태를 구성할 수 있다. 따라서, 어느 부분을 설명하기 위한 도면 또는 문장이 있을 때 그 도면 또는 문장의 일부를 추출한 내용도 발명의 일 형태로서 개시되어 있는 것으로서 이들로 발명의 일 형태를 구성할 수 있다. 그리고, 그 발명의 일 형태는 명확하다고 할 수 있다. 그러므로 예를 들어, 능동 소자(트랜지스터, 다이오드 등), 배선, 수동 소자(용량 소자, 저항 소자 등), 도전층, 절연층, 반도체층, 유기 재료, 무기 재료, 부품, 장치, 동작 방법, 제조 방법 등이 하나 또는 복수 기재된 도면 또는 문장이 있을 때 그 일부를 추출하여 발명의 일 형태를 구성할 수 있다. 예를 들어, N개(N은 정수(整數))의 회로 소자(트랜지스터, 용량 소자 등)를 포함하여 구성된 회로도에서 M개(M은 정수이며 $M < N$)의 회로 소자(트랜지스터, 용량 소자 등)를 추출하여 발명의 일 형태를 구성할 수 있다. 다른 예로서는, N개(N은 정수)의 층을 포함하여 구성된 단면도에서 M개(M은 정수이며 $M < N$)의 층을 추출하여 발명의 일 형태를 구성할 수 있다. 또 다른 예로서는, N개(N은 정수)의 요소를 포함하여 구성된 흐름도에서 M개(M은 정수이며 $M < N$)의 요소를 추출하여 발명의 일 형태를 구성할 수 있다. 또 다른 예로서는, "A는 B, C, D, E, 또는 F를 가진다"라는 문장에서 일부의 요소를 임의로 추출하여, "A는 B와 E를 가진다", "A는 E와 F를 가진다", "A는 C와 E와 F를 가진다", 또는 "A는 B와 C와 D와 E를 가진다" 등으로 발명의 일 형태를 구성할 수 있다.

[0245] 또한, 본 명세서 등에서는 어느 한 실시형태에서 도면 또는 문장으로 적어도 하나의 구체적인 예가 기재되어 있는 경우, 그 구체적인 예의 상위 개념을 도출하는 것은 당업자에게는 용이한 일이다. 따라서, 어느 한 실시형태에서 도면 또는 문장으로 적어도 하나의 구체적인 예가 기재되어 있는 경우, 그 구체적인 예의 상위 개념도 발명의 일 형태로서 개시되어 있는 것으로서 발명의 일 형태를 구성할 수 있다. 그리고, 그 발명의 일 형태는 명확하다고 할 수 있다.

[0246] 또한, 본 명세서 등에서는 적어도 도면에 기재된 내용(또는 그 일부)은 발명의 일 형태로서 개시된 것으로서 발명의 일 형태를 구성할 수 있다. 따라서, 어느 내용에 관하여, 도면에 기재되어 있으면 문장으로 기재되지 않더라도 그 내용은 발명의 일 형태로서 개시되어 있는 것으로서 발명의 일 형태를 구성할 수 있다. 마찬가지로, 도면의 일부를 추출한 도면에 대해서도 발명의 일 형태로서 개시되어 있는 것으로서 발명의 일 형태를 구성할 수 있다. 그리고, 그 발명의 일 형태는 명확하다고 할 수 있다.

부호의 설명

- [0247] 13: 트랜지스터
- 22: 절연막
- 26: 절연막
- 27: 절연막
- 28: 질화물 절연막
- 29: 절연막
- 31: 기관
- 40: 도전막
- 41: 산화물 반도체막
- 41a: 산화물 반도체막
- 41b: 산화물 반도체막
- 41c: 산화물 반도체막
- 42: 금속 산화물막

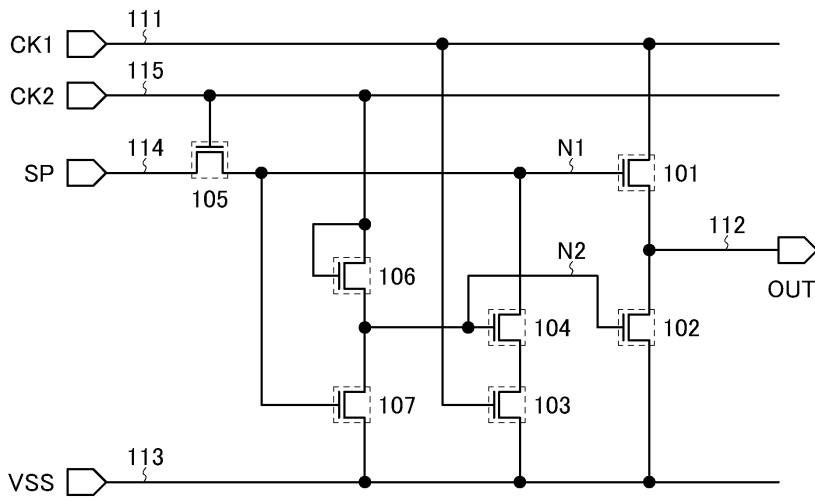
- 43: 도전막
- 44: 도전막
- 45: 도전막
- 46: 기관
- 47: 차폐막
- 48: 착색층
- 50: 수지막
- 51: 배향막
- 52: 배향막
- 53: 액정층
- 55: 화소
- 56: 트랜지스터
- 57: 용량 소자
- 58: 개구부
- 59: 도전막
- 60: 액정 소자
- 61: 도전막
- 62: 개구부
- 70: 반도체 표시 장치
- 71: 화소부
- 72: 구동 회로
- 73: 구동 회로
- 75: 시프트 레지스터
- 76: 시프트 레지스터
- 77: 스위치 회로
- 95: 트랜지스터
- 96: 트랜지스터
- 97: 용량 소자
- 98: 발광 소자
- 100: 순서 회로
- 101: 트랜지스터
- 102: 트랜지스터
- 103: 트랜지스터
- 104: 트랜지스터
- 105: 트랜지스터
- 105A: 트랜지스터

105B: 트랜지스터
106: 트랜지스터
107: 트랜지스터
111: 배선
112: 배선
113: 배선
114: 배선
115: 배선
117: 배선
118: 배선
119: 배선
121: 배선
122: 배선
123: 배선
124: 배선
125: 배선
4001: 기관
4002: 화소부
4003: 구동 회로
4004: 구동 회로
4005: 밀봉재
4006: 기관
4010: 트랜지스터
4018: FPC
4020: 절연막
4021: 화소 전극
4023: 액정 소자
4028: 액정층
4030: 배선
4050: 도전막
4059: 수지막
4060: 공통 전극
4061: 도전성 입자
4062: 수지막
5001: 하우징
5002: 하우징

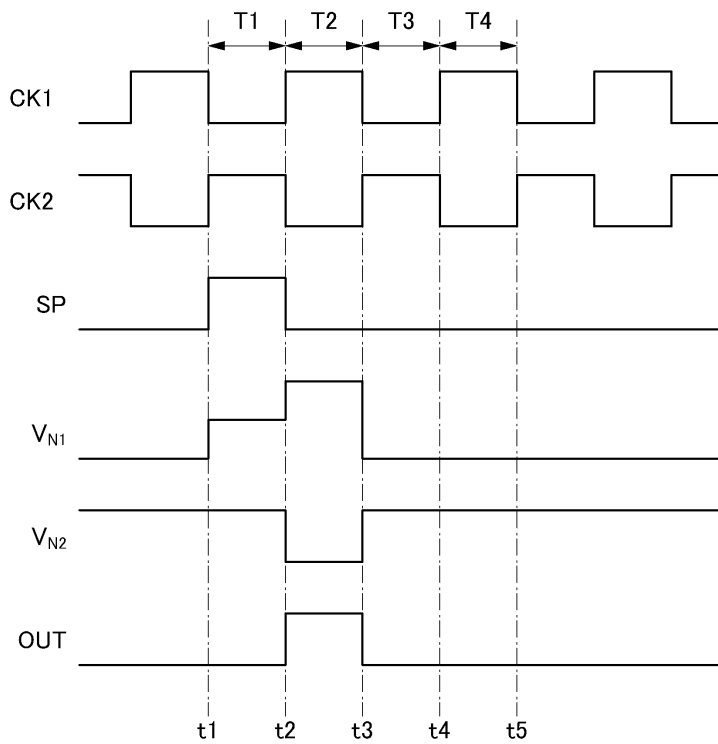
- 5003: 표시부
- 5004: 표시부
- 5005: 마이크로폰
- 5006: 스피커
- 5007: 조작 키
- 5008: 스타일러스
- 5201: 하우징
- 5202: 표시부
- 5203: 조작용 버튼
- 5204: 밴드
- 5401: 하우징
- 5402: 표시부
- 5403: 키보드
- 5404: 포인팅 디바이스
- 5601: 하우징
- 5602: 하우징
- 5603: 표시부
- 5604: 표시부
- 5605: 접속부
- 5606: 조작 키
- 5801: 하우징
- 5802: 하우징
- 5803: 표시부
- 5804: 조작 키
- 5805: 렌즈
- 5806: 접속부
- 5901: 하우징
- 5902: 표시부
- 5903: 카메라
- 5904: 스피커
- 5905: 버튼
- 5906: 외부 접속부
- 5907: 마이크로폰

도면

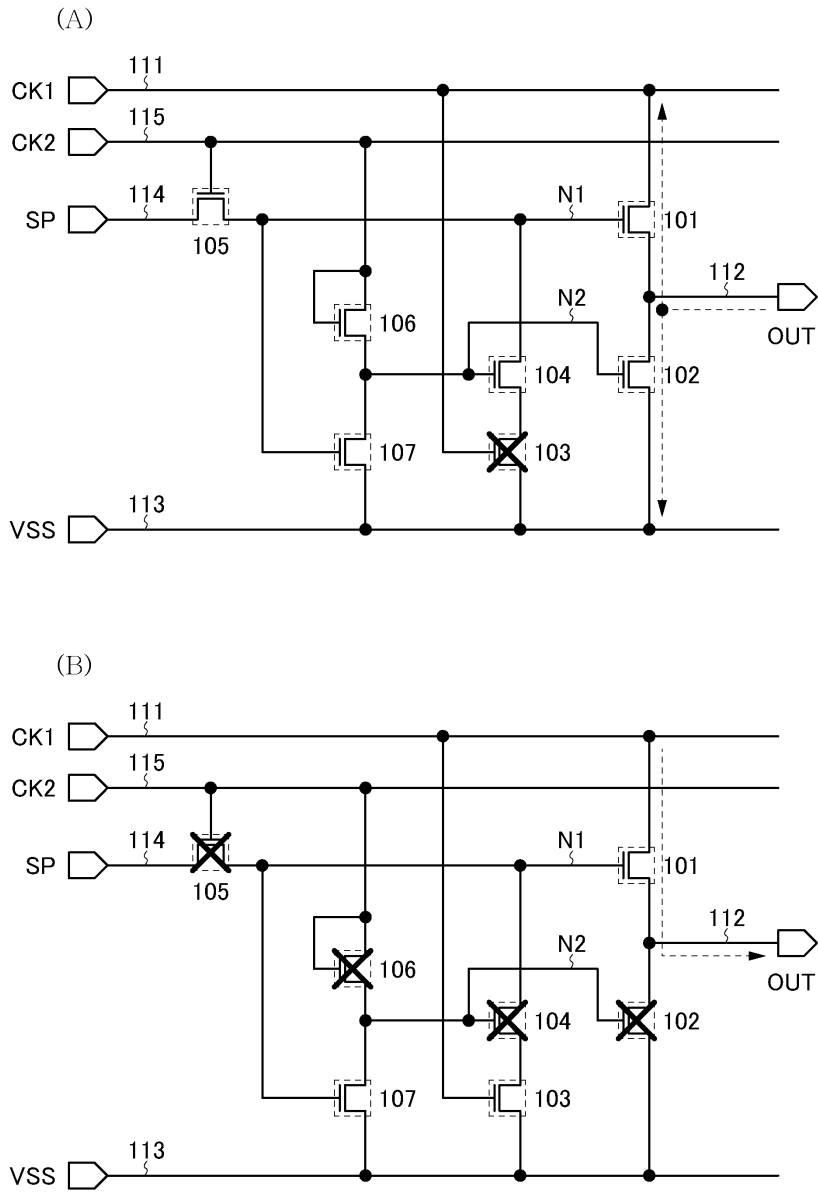
도면1



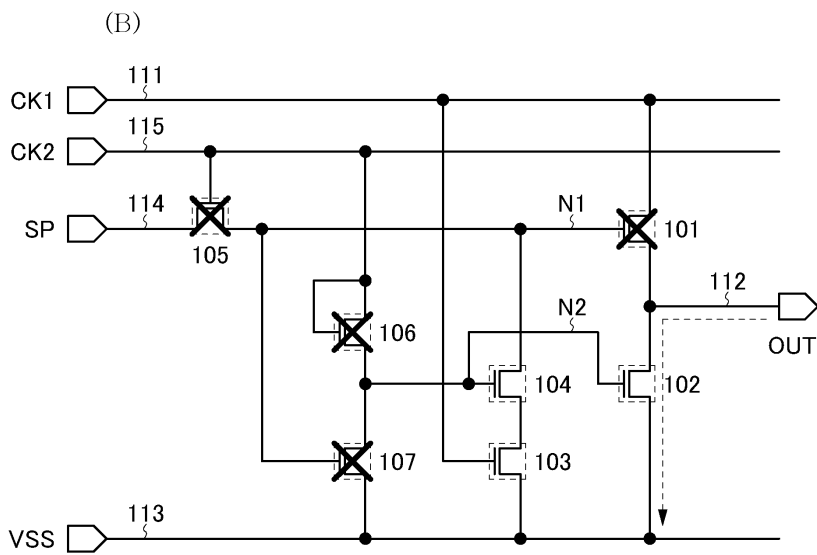
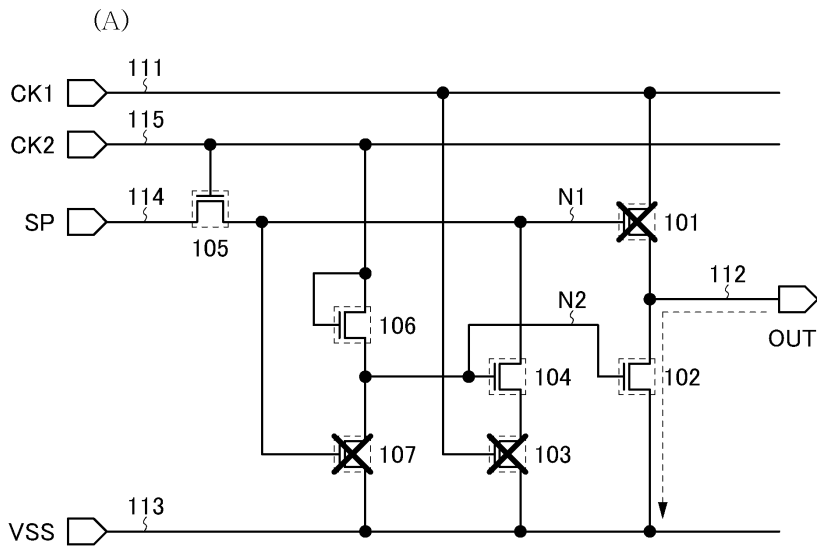
도면2



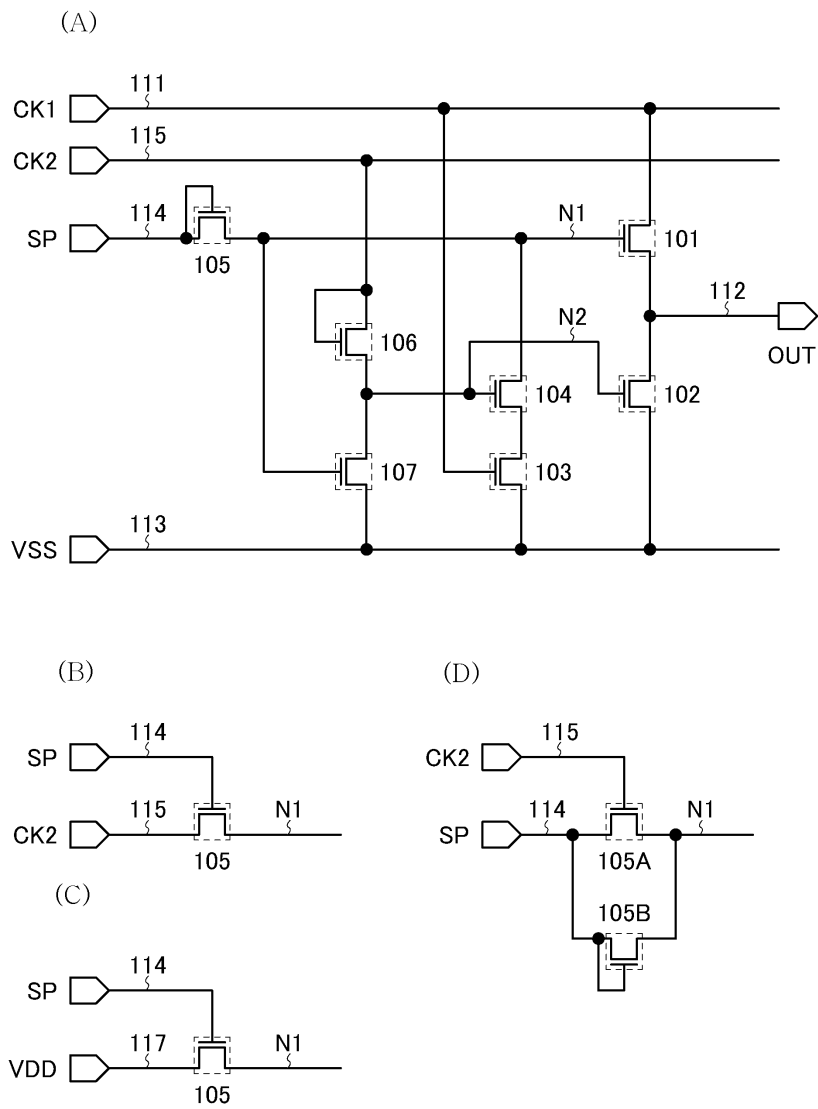
도면3



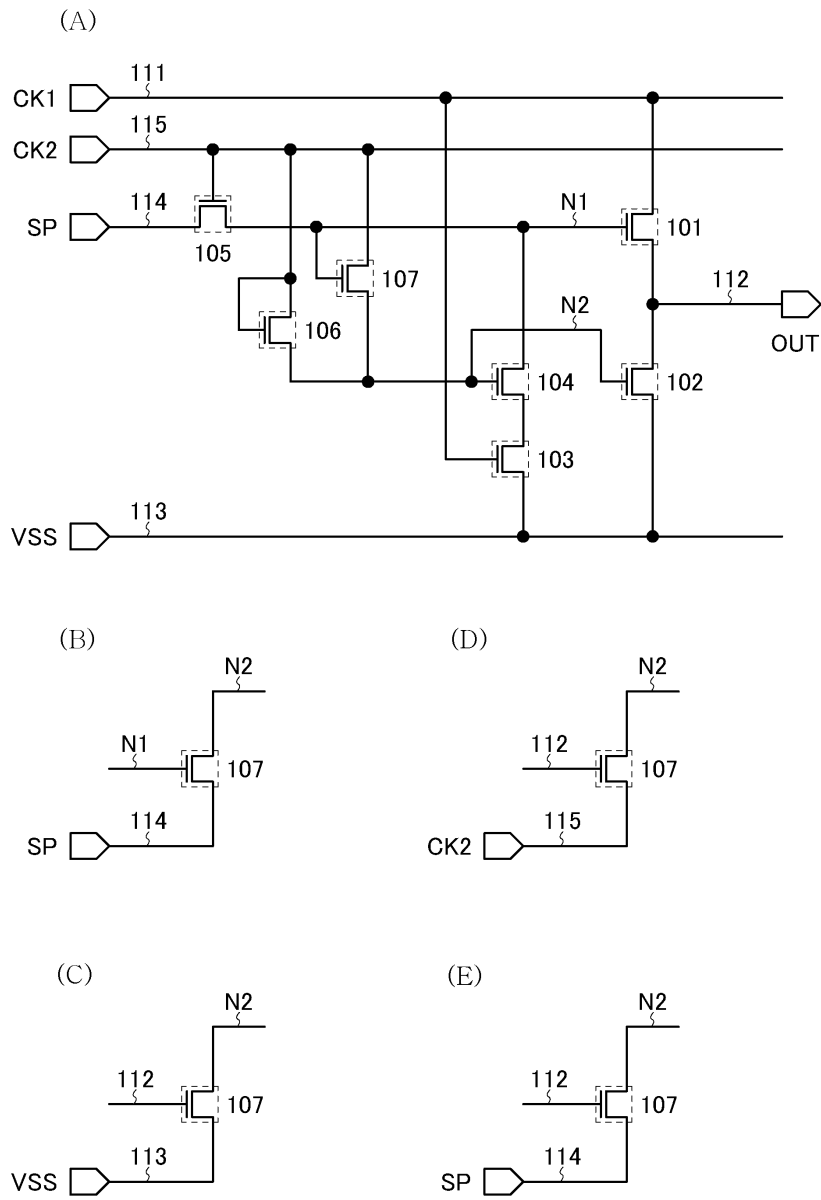
도면4



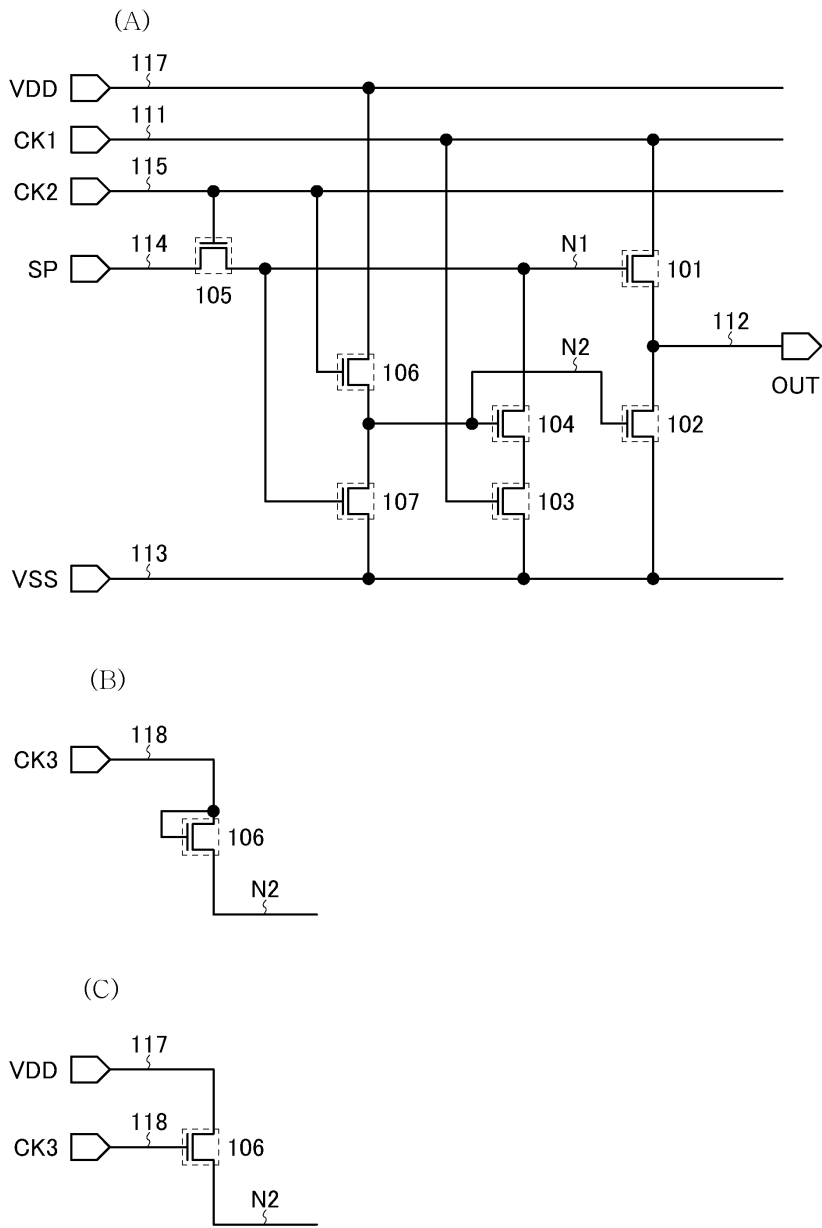
도면5



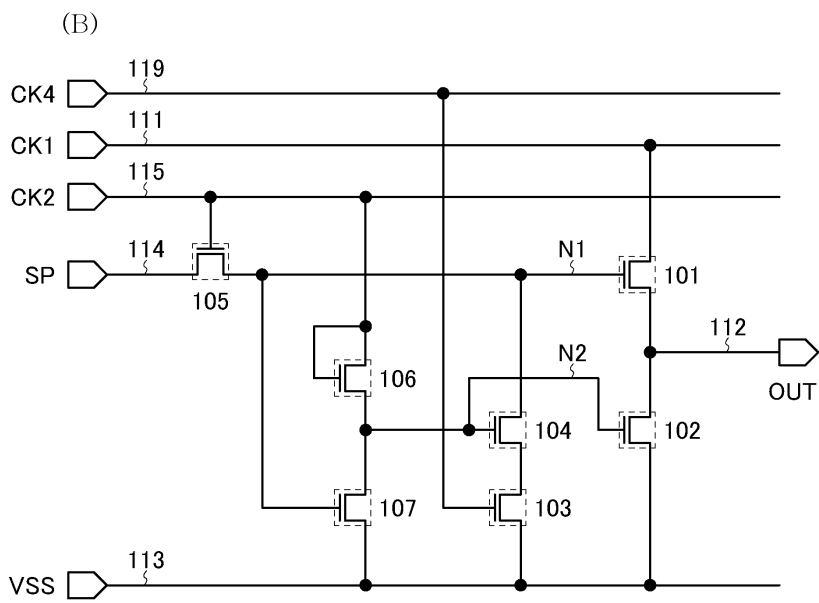
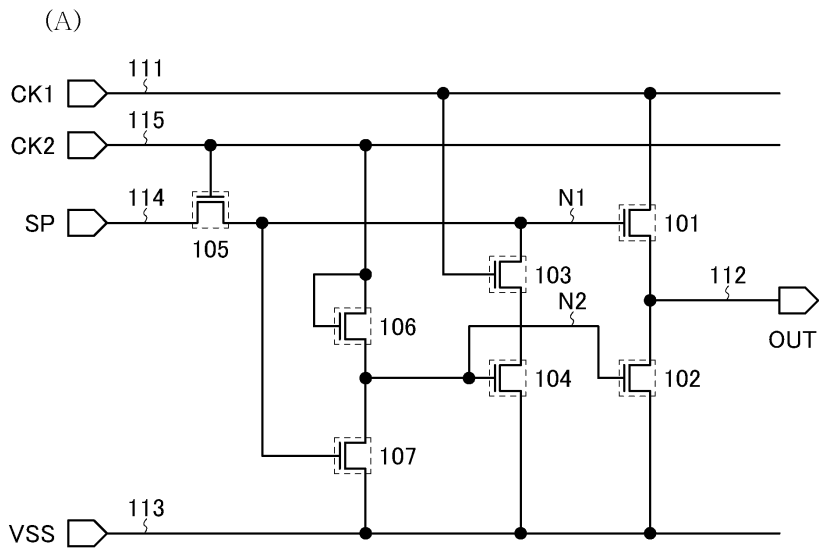
도면6



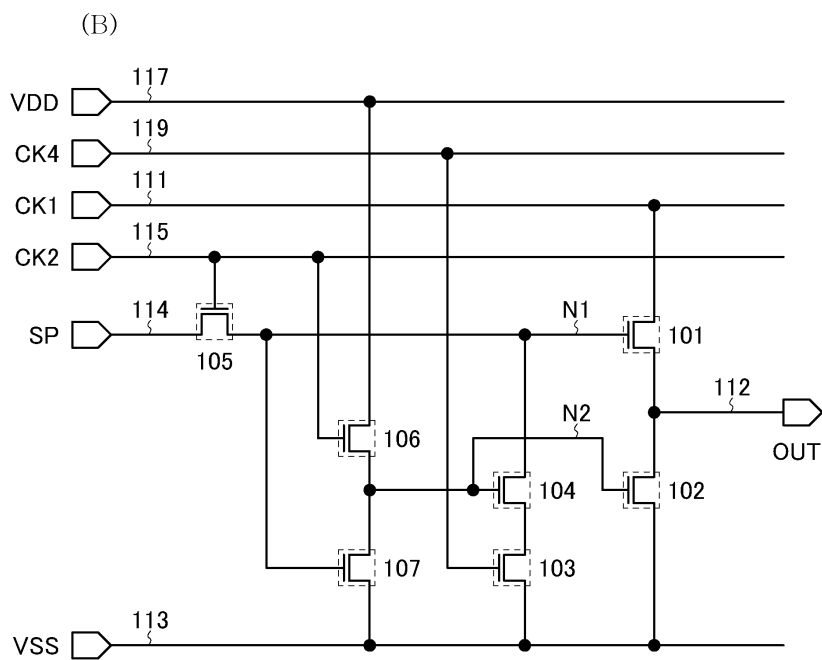
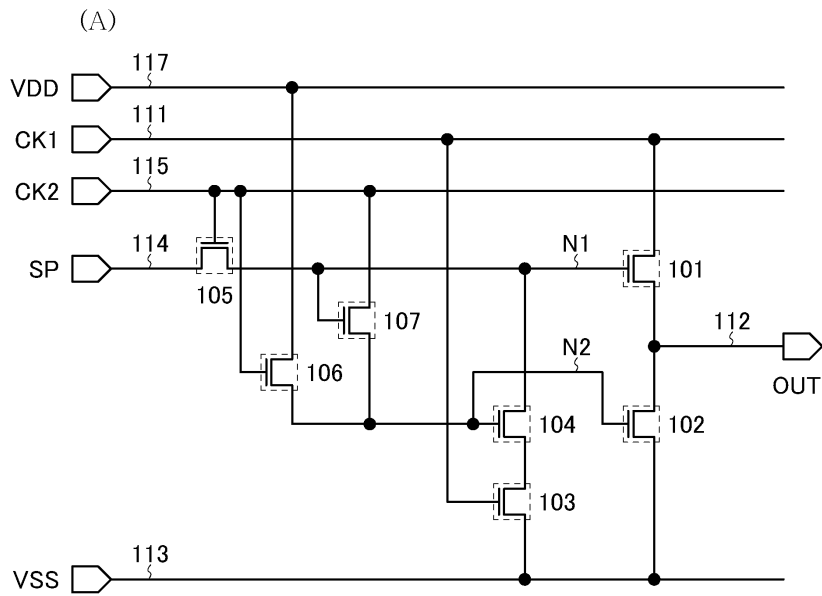
도면7



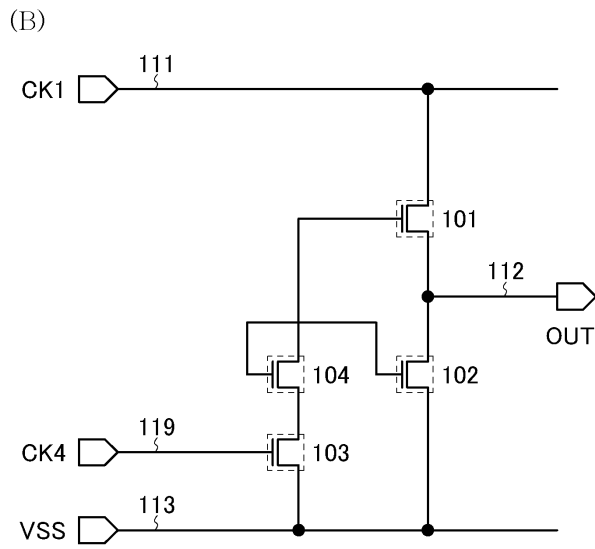
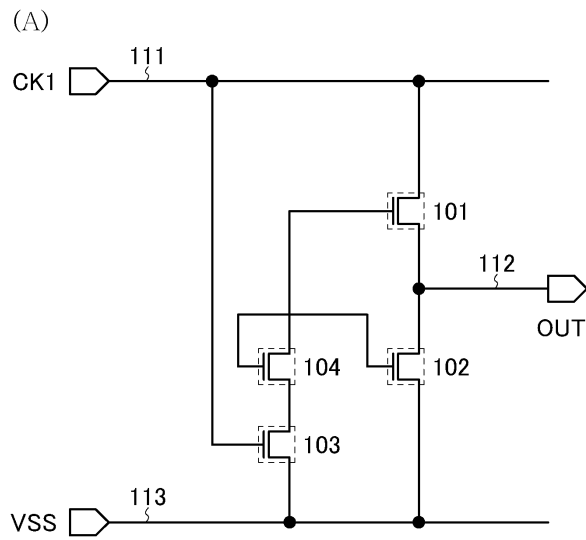
도면8



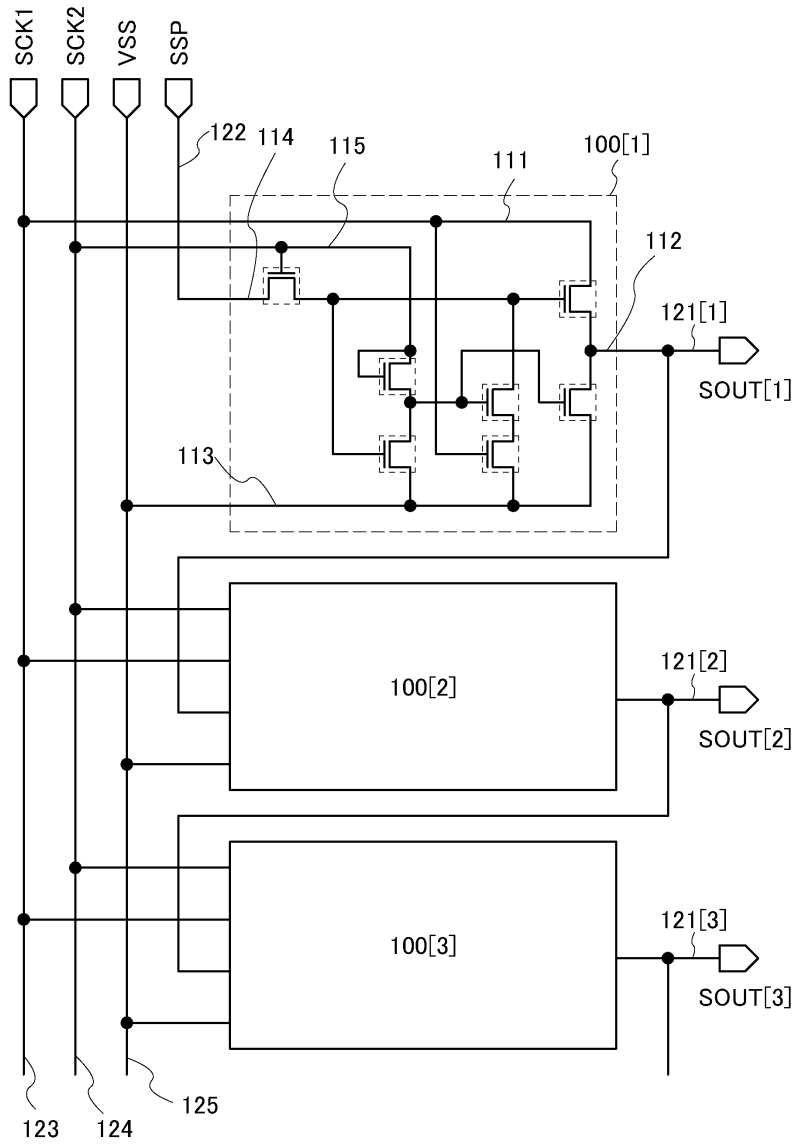
도면9



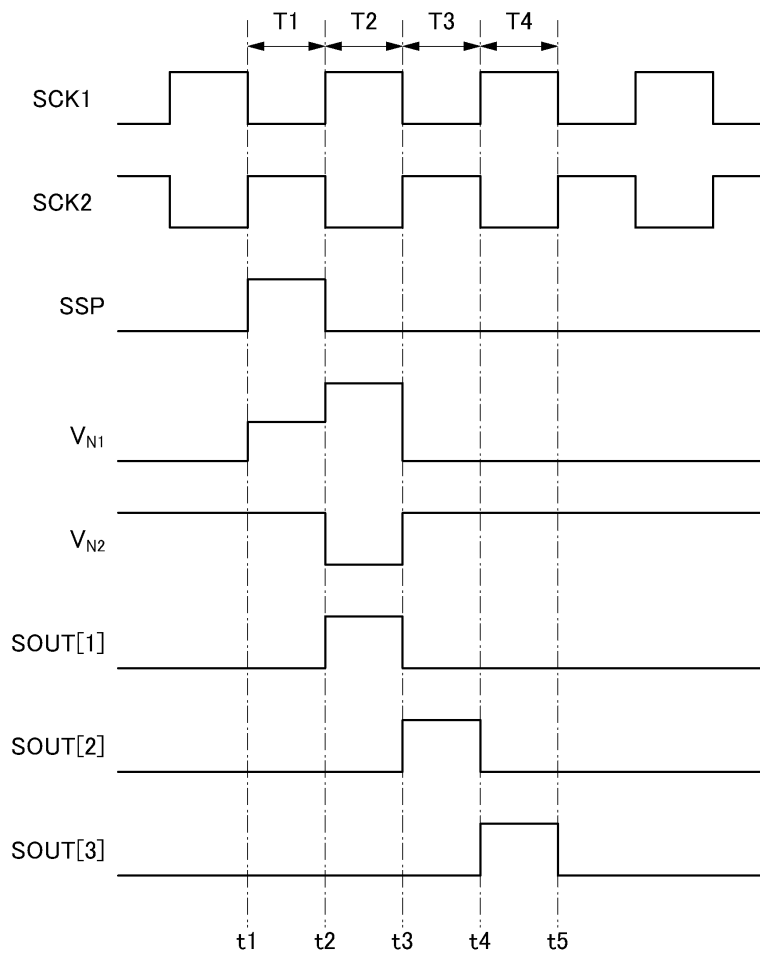
도면10



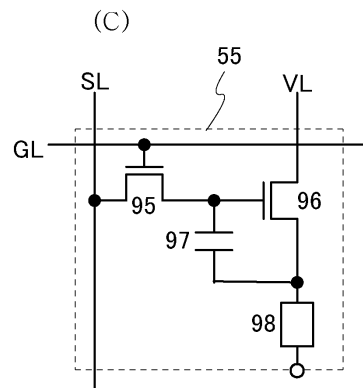
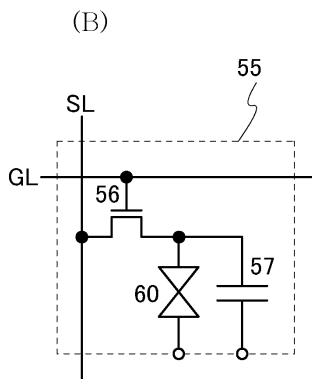
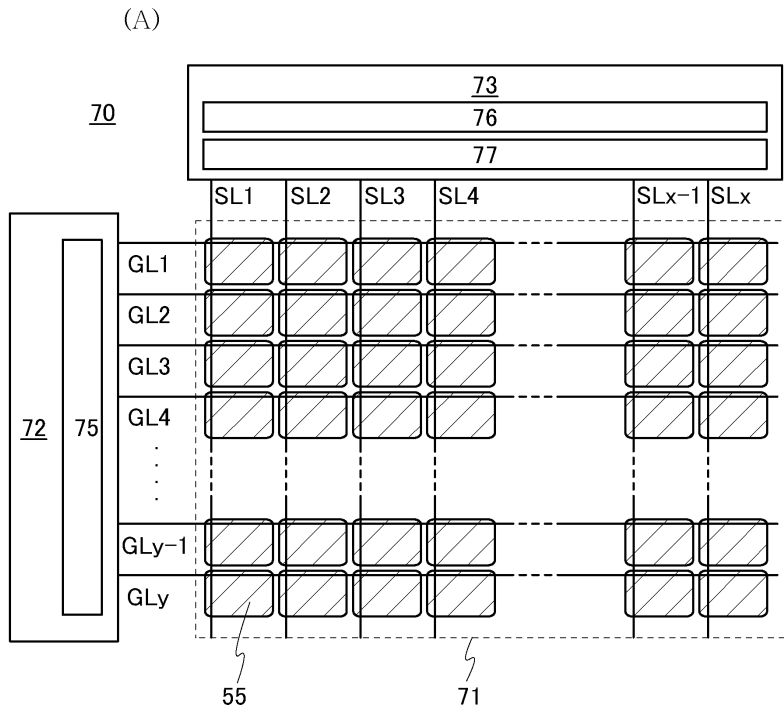
도면11



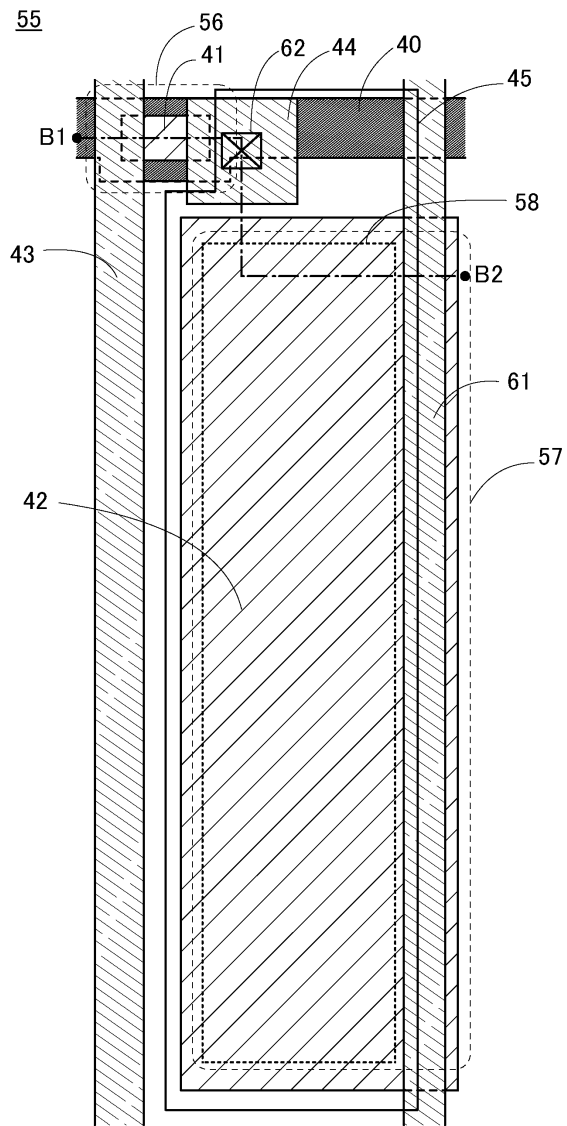
도면12



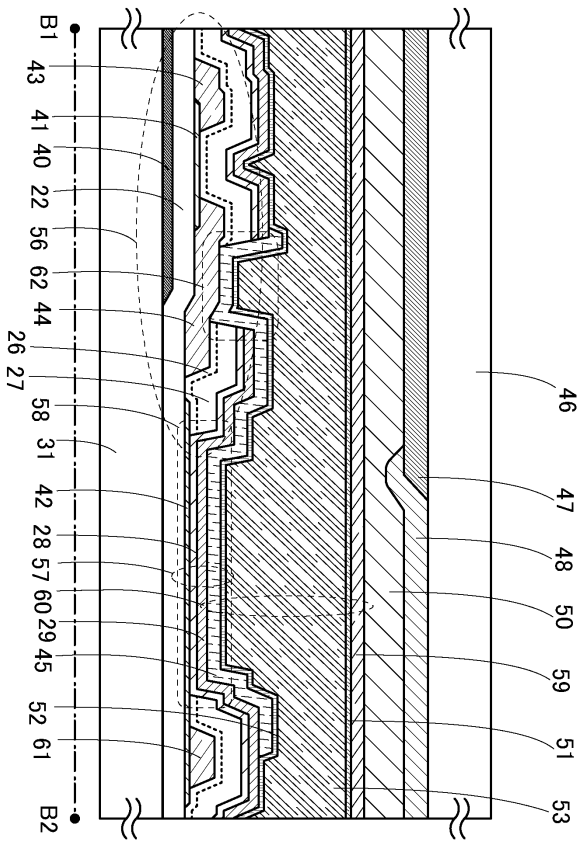
도면13



도면14

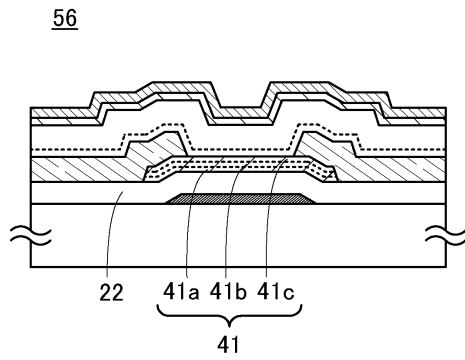


도면15

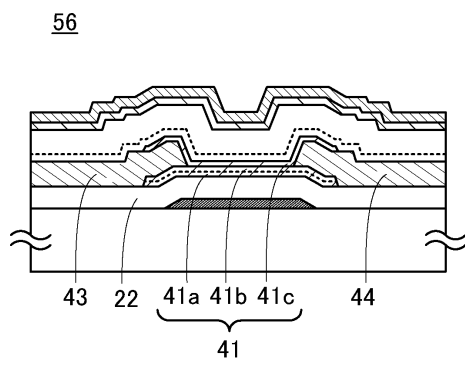


도면16

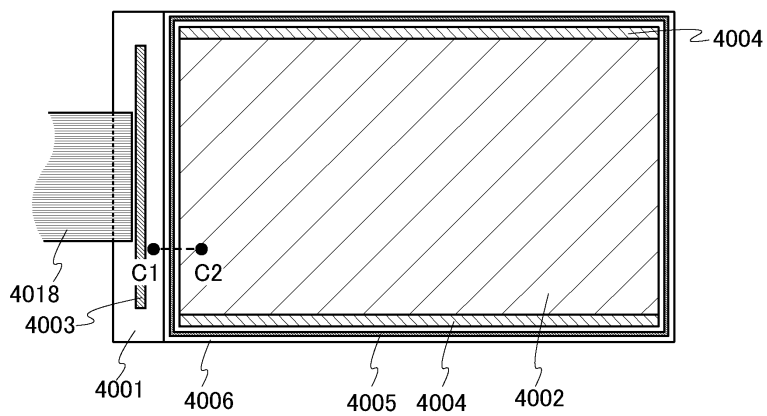
(A)



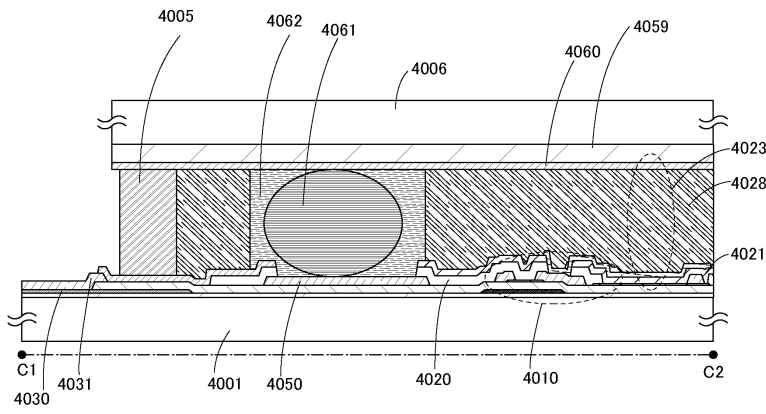
(B)



도면17



도면18



도면19

