(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年7月4日(04.07.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/143456 A1

(51) 国際特許分類:
H01G 4/33 (2006.01) *H01G 9/052* (2006.01)
H01G 9/048 (2006.01)

(21) 国際出願番号： PCT/JP2023/046882

(22) 国際出願日： 2023年12月27日(27.12.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
63/477,674 2022年12月29日(29.12.2022) US

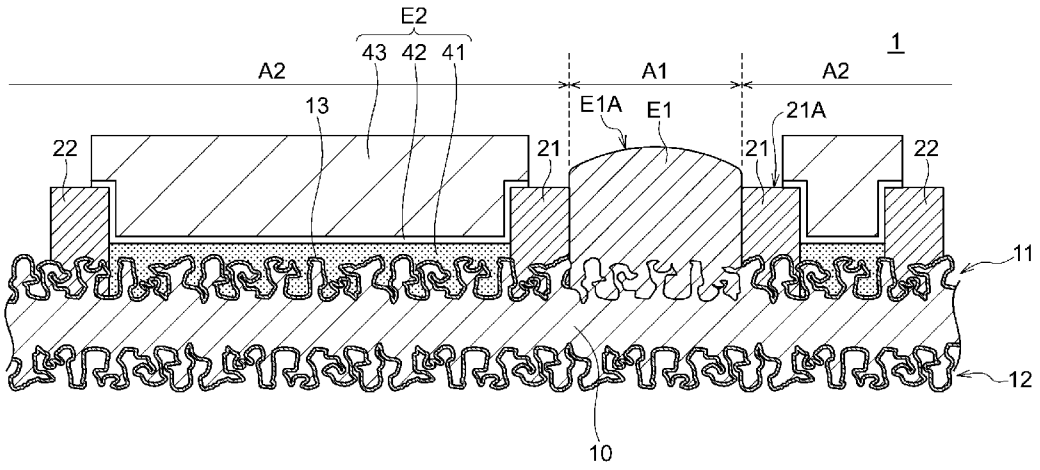
(71) 出願人：ＴＤＫ株式会社(**TDK CORPORATION**) [JP/JP]；〒1036128 東京都中央区日本橋二丁目５番１号 Tokyo (JP).

(72) 発明者：長谷川 光勇 (**HASEGAWA Miyu**)；〒1036128 東京都中央区日本橋二丁目５番１号 ＴＤＫ株式会社内 Tokyo (JP). 石井 大基 (**ISHII Daiki**)；〒1036128 東京都中央区日本橋二丁目５番１号 ＴＤＫ株式会社内 Tokyo (JP). 川合 悟(**KAWAI Satoru**)；〒1036128 東京都中央区日本橋二丁目５番１号 ＴＤＫ株式会社内 Tokyo (JP). 冨川 満広(**TOMIKAWA Mitsuhiro**)；〒1036128 東京都中央区日本橋二丁目５番１号 ＴＤＫ株式会社内 Tokyo (JP).

(74) 代理人：鷲頭 光宏，外 (**WASHIZU Mitsuhiro** et al.)；〒1040061 東京都中央区銀座一丁目８番１号銀座池田園ビル７Ｆ Tokyo (JP).

(54) **Title:** THIN-FILM CAPACITOR, METHOD FOR PRODUCING SAME, AND ELECTRONIC CIRCUIT BOARD COMPRISING THIN-FILM CAPACITOR

(54) 発明の名称： 薄膜キャパシタ及びその製造方法、並びに、薄膜キャパシタを備える電子回路基板



(57) **Abstract:** [Problem] To prevent the separation of a lower-section electrode in a thin-film capacitor which uses a metal foil which has a roughened surface. [Solution] A thin-film capacitor 1 which is equipped with: a metal foil 10 which has a roughened main surface 11 which includes regions A1, A2; a dielectric film 13 for covering the region A2 without covering the region A1; an electrode E1 which contacts the metal foil 10 which is exposed in the region A1; and an electrode E2 which covers the metal foil 10 with the dielectric film 13 provided to the region A2 interposed therebetween.

WO 2024/143456 A1

［続葉有］

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

The metal material which constitutes the electrode E1 contacts the metal foil 10 exposed in the region A1.

(57) 要約：【課題】表面が粗面化された金属箔を用いた薄膜キャパシタにおいて、下部電極の剥離を防止する。【解決手段】薄膜キャパシタ１は、領域Ａ１，Ａ２を含む主面１１が粗面化された金属箔１０と、領域Ａ１を覆うことなく、領域Ａ２を覆う誘電体膜１３と、領域Ａ１に露出する金属箔１０と接する電極Ｅ１と、領域Ａ２に設けられた誘電体膜１３を介して金属箔１０を覆う電極Ｅ２と、を備える。電極Ｅ１を構成する金属材料は、領域Ａ１に露出する金属箔１０と接触する。

明　細　書

発明の名称 ：

薄膜キャパシタ及びその製造方法、並びに、薄膜キャパシタを備える電子回路基板

技術分野

[0001] 本開示は薄膜キャパシタ及びその製造方法に関し、特に、金属箔を用いた薄膜キャパシタ及びその製造方法に関する。また、本開示は、このような薄膜キャパシタを備える電子回路基板に関する。

背景技術

[0002] ＩＣが搭載される回路基板には、通常、ＩＣに供給する電源の電位を安定させるためにデカップリングコンデンサが搭載される。デカップリングコンデンサとしては、一般的に積層セラミックチップコンデンサが用いられ、多数の積層セラミックチップコンデンサを回路基板の表面に搭載することにより必要なデカップリング容量を確保している。

[0003] 近年においては、回路基板が小型化していることから、多数の積層セラミックチップコンデンサを搭載するためのスペースが不足することがある。このため、積層セラミックチップコンデンサの代わりに、回路基板に埋め込み可能な薄膜キャパシタが用いられることがある（特許文献１～４参照）。

[0004] 特許文献１～４に記載された薄膜キャパシタは、表面が粗面化された金属基材を用い、誘電体膜を介して金属基材の表面を上部電極で覆う構成を有している。

先行技術文献

特許文献

[0005] 特許文献1：国際公開ＷＯ２０１５－１１８９０１号
特許文献2：国際公開ＷＯ２０１８－０９２７２２号
特許文献3：国際公開ＷＯ２０１７－０２６２４７号
特許文献4：国際公開ＷＯ２０１７－０１４０２０号

発明の概要

発明が解決しようとする課題

[0006] この種の薄膜キャパシタにおいては、下部電極を金属基材と接触させる必要がある。下部電極と金属基材の界面において剥離が生じると、接続不良が生じてしまう。

[0007] 本開示においては、薄膜キャパシタの下部電極の剥離を防止する技術が説明される。

課題を解決するための手段

[0008] 本開示の一側面による薄膜キャパシタは、第１及び第２の領域を含む主面が粗面化された金属箔と、第１の領域を覆うことなく、第２の領域を覆う誘電体膜と、第１の領域に露出する金属箔と接する第１の電極と、第２の領域に設けられた誘電体膜を介して金属箔を覆う第２の電極と、を備え、第１の電極を構成する金属材料は、第１の領域に露出する金属箔と接触する。

[0009] 本開示の一側面による薄膜キャパシタの製造方法は、第１及び第２の領域を含む金属箔の主面を粗面化し、第１及び第２の領域に誘電体膜を形成し、第１の領域を覆う誘電体膜を除去することによって、第１の領域に位置する金属箔を露出させ、第１の領域に露出する金属箔を給電体とする電解メッキにより、第１の領域上に第１の電極を形成し、第２の領域上に、誘電体膜を介して第２の電極を形成する。

発明の効果

[0010] 本開示によれば、第１の電極を構成する金属材料が金属箔の粗面化された表面と接することから、両者間の密着性を高めることが可能となる。

図面の簡単な説明

[0011] [図1]図１は、本開示に係る技術の一実施形態による薄膜キャパシタ１の構造を説明するための略断面図である。

[図2]図２は、電極Ｅ１の部分拡大図である。

[図3]図３は、薄膜キャパシタ１の製造方法を説明するための工程図である。

[図4]図４は、薄膜キャパシタ１の製造方法を説明するための工程図である。

[図5]図５は、薄膜キャパシタ１の製造方法を説明するための工程図である。

[図6]図６は、薄膜キャパシタ１の製造方法を説明するための工程図である。

[図7]図７は、薄膜キャパシタ１の製造方法を説明するための工程図である。

[図8]図８は、薄膜キャパシタ１の製造方法を説明するための工程図である。

[図9]図９は、薄膜キャパシタ１の製造方法を説明するための工程図である。

[図10]図１０は、薄膜キャパシタ１の製造方法を説明するための工程図である。

[図11]図１１は、薄膜キャパシタ１の製造方法を説明するための工程図である。

[図12]図１２は、薄膜キャパシタ１の製造方法を説明するための工程図である。

[図13]図１３は、薄膜キャパシタ１が多層基板１００に埋め込まれた構成を有する電子回路基板を示す略断面図である。

[図14]図１４は、薄膜キャパシタ１が多層基板３００の表面に搭載された構成を有する電子回路基板を示す略断面図である。

発明を実施するための形態

[0012] 以下、添付図面を参照しながら、本開示に係る技術の実施形態について詳細に説明する。

[0013] 図１は、本開示に係る技術の一実施形態による薄膜キャパシタ１の構造を説明するための略断面図である。

[0014] 図１に示すように、本実施形態による薄膜キャパシタ１は、金属箔１０と、金属箔１０の上面である主面１１上に形成された電極Ｅ１，Ｅ２とを備えている。金属箔１０は、例えばＡＩ（アルミニウム）からなる。金属箔１０の主面１１は粗面化されている。主面１１の反対側に位置する金属箔１０の主面１２についても、粗面化されていても構わない。金属箔１０の厚み方向における中心部分は粗化されていない。金属箔１０の粗面化された主面１１には、誘電体膜１３が形成されている。金属箔１０の下面である主面１２に

も、誘電体膜１３が形成されていても構わない。誘電体膜１３は、例えば酸化アルミニウムからなるものであっても構わない。

[0015] 金属箔１０の主面１１上には、リング状又は多角環状の絶縁樹脂２１と、主面１１の外周に沿って延在する絶縁樹脂２２が設けられている。金属箔１０の主面１１のうち、絶縁樹脂２１で囲まれた領域Ａ１においては、誘電体膜１３が除去されている。つまり、領域Ａ１においては、粗面化された金属箔１０の主面１１が誘電体膜１３で覆われることなく露出している。その他の領域Ａ２においては、粗面化された金属箔１０の主面１１が露出することなく、誘電体膜１３で覆われている。絶縁樹脂２１は、領域Ａ１と領域Ａ２の境界に沿って設けられている。領域Ａ１における金属箔１０の表面粗さは、領域Ａ２における金属箔１０の表面粗さと等しくても構わない。

[0016] 電極Ｅ１は、絶縁樹脂２１に囲まれた領域Ａ１に形成されている。誘電体膜１３は、絶縁樹脂２１によって囲まれた領域Ａ１の全面において除去されていても構わない。電極Ｅ２は、絶縁樹脂２１に囲まれた領域の外側であって、絶縁樹脂２２に囲まれた領域に形成されている。これにより、電極Ｅ１は金属箔１０と接する一方、電極Ｅ２は誘電体膜１３によって金属箔１０から絶縁される。また、電極Ｅ１と電極Ｅ２は、絶縁樹脂２１によって絶縁される。これにより、電極Ｅ１と電極Ｅ２は、誘電体膜１３を介して対向する一対の容量電極として機能する。例えば、電極Ｅ１は下部電極を構成し、電極Ｅ２は上部電極を構成する。

[0017] 電極Ｅ１は、金属箔１０の主面１１と平行な絶縁樹脂２１の上面２１Ａと接することなく、絶縁樹脂２１の上面２１Ａから突出していても構わない。これによれば、電極Ｅ１の平面サイズを小型化することができるとともに、電極Ｅ１と外部端子との接続が容易となる。電極Ｅ１の小型化により、複数の電極Ｅ１を高密度に配置することも可能である。また、電極Ｅ１が絶縁樹脂２１の上面２１Ａを覆わないことから、その分、絶縁樹脂２１のサイズを小型化することができ、その結果、より大きなキャパシタンスを得ることが可能となる。

[0018] 電極Ｅ１の露出面である表面Ｅ１Ａは、中央部に向かうほど高さ位置が高くなる凸面であっても構わない。これによれば、電極Ｅ１の平面サイズを小型化しつつ、電極Ｅ１と外部端子の接合面積を拡大することが可能となる。また、電極Ｅ１と外部端子の界面に生じる応力が効果的に分散されるため、両者間の接合強度も向上する。これらの効果を得るためには、電極Ｅ１の表面Ｅ１Ａは、周縁部における高さ位置と中央部における高さ位置との差が２μｍ以上であっても構わない。

[0019] 図２は、電極Ｅ１の部分拡大図である。

[0020] 図２に示すように、電極Ｅ１は、粗面化された金属箔１０の主面１１と直接接している。領域Ａ１における金属箔１０の主面１１は、凸部１１Ａと凹部１１Ｂを有している。凸部１１Ａ及び凹部１１Ｂは、いずれも誘電体膜１３で覆われておらず、金属箔１０が露出している。凸部１１Ａと凹部１１Ｂの高さ位置の差、つまり凹部１１Ｂの深さＤは、２μｍ以上であっても構わない。深さＤが一定ではない場合、平均値によって定義しても構わない。凹部１１Ｂの深さＤが２μｍ以上であれば、電極Ｅ１と金属箔１０の密着性が十分に確保される。また、凸部１１Ａの幅ＷＡや、凹部１１Ｂの幅ＷＢは、０．１～２μｍの範囲であっても構わない。凸部１１Ａの幅ＷＡや、凹部１１Ｂの幅ＷＢが一定ではない場合、平均値によって定義しても構わない。凸部１１Ａの幅ＷＡおよび凹部１１Ｂの幅ＷＢが０．１～２μｍの範囲であれば、電極Ｅ１と金属箔１０の密着性が十分に確保される。

[0021] 電極Ｅ１は、Ｃｕ（銅）などの良導体からなる本体部３１と、金属箔１０と接し、例えばＺｎ（亜鉛）からなる界面部３２とを含む。界面部３２は、粗面化された金属箔１０の主面１１と直接接している。界面部３２は、凸部１１Ａの表面だけでなく、凹部１１Ｂの表面にも形成されている。このように、本実施形態においては、電極Ｅ１を構成する金属材料が粗面化された金属箔１０の主面１１と直接接していることから、アンカー効果により、両者間における高い密着性を確保することが可能となる。しかも、電極Ｅ１の全体が金属材料からなることから、電極Ｅ１の抵抗値も低減される。尚、全て

の凹部１１Ｂが電極Ｅ１で完全に埋め込まれている必要はなく、凹部１１Ｂの一部に空洞が存在していても構わない。この場合であっても、凹部１１Ｂによって形成される空間の２５％以上の領域が電極Ｅ１によって埋め込まれていることが好ましい。

[0022] 電極Ｅ２は、金属箔１０と接することなく誘電体膜１３と接する導電性高分子層４１と、導電性高分子層４１上に設けられたシード層４２と、シード層４２上に設けられた金属層４３によって構成されていても構わない。金属層４３の材料としては、銅、ニッケル、金などの金属材料及びこれらの合金を用いることができる。金属層４３は、これらの金属材料が積層された構造を有していても構わない。シード層４２の材料としては、金属層４３に含まれる銅などの拡散を防ぐバリア機能を有するとともに、金属箔１０や導電性高分子層４１に対する密着性が高く、且つ、導電性高分子層４１にダメージを与えない材料を用いることが好ましい。

[0023] 本実施形態による薄膜キャパシタ１は、多層基板に埋め込むことにより、デカップリングコンデンサとして使用することができる。

[0024] 次に、薄膜キャパシタ１の製造方法の一例について説明する。

[0025] 図３～図１２は、薄膜キャパシタ１の製造方法を説明するための工程図である。

[0026] まず、厚さ５０μｍ程度のアルミニウムなどからなる金属箔１０を用意し、その主面１１，１２をエッチングすることにより粗面化する（図３）。平坦な金属箔１０を粗面化する代わりに、金属粉を焼結させることによって金属箔１０を形成しても構わない。これにより、金属箔１０には、主面１１側に位置する多孔質層１１ａと、主面１２側に位置する多孔質層１２ａが形成される。多孔質層１１ａと多孔質層１２ａの間は、粗面化されていない非多孔質層１０ａである。この時、少なくとも上面側に位置する主面１１を粗面化すれば足り、下面側に位置する主面１２を粗面化する必要はないが、両面を粗面化することにより、金属箔１０の反りを防止することができる。また、主面１１については表面積ができるだけ増大する条件でエッチングするこ

とが好ましい。主面１１と主面１２の両方を粗面化する場合であっても、主面１１と主面１２のエッチング条件が異なっていても構わない。例えば、主面１２については多層基板に対する密着性ができるだけ増大する条件でエッチングしても構わない。

[0027] 次に、金属箔１０の表面に誘電体膜１３を形成する（図４）。誘電体膜１３は、金属箔１０を酸化することによって形成しても構わないし、ＡＬＤ法、ＣＶＤ法、ミストＣＶＤ法などカバレッジ性に優れた成膜方法を用いて成膜しても構わない。誘電体膜１３の材料としては、Al_2O_3、TiO_2、Ta_2O_5及びＳｉＮｘなどを用いることができる。誘電体膜１３の材料は、アモルファスであっても構わない。この場合、誘電体膜１３の組成比は必ずしも前記の組成比とはならない。この時、少なくとも主面１１に誘電体膜１３を形成すれば足り、主面１２に誘電体膜１３を形成する必要はないが、主面１２にも誘電体膜１３を形成することにより、主面１２の絶縁性を確保することができる。

[0028] 次に、金属箔１０の主面１２側に支持基板６０を貼り付けた後、金属箔１０の主面１１に絶縁樹脂２１，２２を形成する（図５）。絶縁樹脂２１，２２の形成は、フォトリソパターニング法、スクリーン印刷、グラビア印刷、インクジェット法などによって行うことができる。金属箔１０の主面１１のうち、平面視で絶縁樹脂２１によって囲まれた部分は、領域Ａ１を構成する。次に、感光性のレジストを形成し、露光及び現像を行うことにより、パターニングされたレジスト６１を形成する（図６）。レジスト６１には、領域Ａ１上の誘電体膜１３を露出させる開口部６２が設けられる。レジストはポジ型であってもネガ型であっても構わない。

[0029] 次に、レジスト６１の開口部６２に位置する誘電体膜１３及び金属箔１０に対して、ジンケート処理を行う。これにより、領域Ａ１に位置する誘電体膜１３が除去されるとともに、領域Ａ１に露出する金属箔１０の表面にＺｎ（亜鉛）被膜が形成される（図７）。ジンケート処理を行う前に、誘電体膜１３のエッチングを行っても構わない。誘電体膜１３のエッチングを行う場

合、金属箔１０自体がエッチングされない条件で行うことにより、領域Ａ１が粗面化された状態を維持する。誘電体膜１３をエッチングにより除去した場合であっても、領域Ａ１に露出する金属箔１０の表面には、自然酸化膜が形成される。この自然酸化膜は、ジンケート処理により除去される。ジンケート処理を行うと、領域Ａ１に位置する誘電体膜１３又は自然酸化膜が除去され、露出した金属箔１０の主面１１がＺｎ（亜鉛）によって置換される。

[0030] 次に、領域Ａ１に露出する金属箔１０を給電体とする電解メッキを行うことにより、絶縁樹脂２１に囲まれた領域Ａ１上に電極Ｅ１を形成する（図８）。電解メッキにより形成される電極Ｅ１の本体部３１は、例えばＣｕ（銅）からなる。本体部３１と金属箔１０の界面には、ジンケート処理によって形成されたＺｎ（亜鉛）からなる界面部３２が介在する。

[0031] 次に、アッシングなどによりレジスト６１を除去した後、絶縁樹脂２１で囲まれた領域Ａ１の外側であって、絶縁樹脂２２で囲まれた領域Ａ２に、導電性高分子材料からなるペースト状又は液状の導電性高分子層４１を形成する（図９）。導電性高分子層４１はペースト状又は液状であることから、毛細管現象によって多孔質層１１ａの底部まで充填される。これにより、導電性高分子層４１は金属箔１０と接することなく誘電体膜１３と接する。

[0032] 次に、スパッタリング法などを用いて、主面１１側の全面にシード層４２を形成する（図１０）。シード層４２を形成する前に、逆スパッタリングなどを行うことによって、表面に残存する残渣を除去しても構わない。次に、全面に感光性の液状レジスト６３を塗布し、露光及び現像を行うことにより、レジスト６３をパターニングする（図１１）。これにより、金属層４３を形成すべき領域のシード層４２が露出する。次に、電解メッキを行うことにより、金属層４３を形成する（図１２）。これにより、領域Ａ２上に誘電体膜１３を介して電極Ｅ２が形成される。

[0033] そして、アッシングなどによりレジスト６３を除去した後、露出するシード層４２を除去し、さらに、金属箔１０を個片化した後、支持基板６０を除去すれば、図１に示した薄膜キャパシタ１が完成する。

[0034] 以上説明した薄膜キャパシタ１は、多層基板に埋め込んでも構わないし、多層基板の表面に搭載しても構わない。

[0035] 図１３に示す電子回路基板は、多層基板１００に半導体ＩＣ２００が搭載された構成を有している。多層基板１００は、絶縁層１０１～１０４を含む複数の絶縁層と、配線パターン１１１，１１２を含む複数の配線パターンを含む多層基板である。絶縁層の層数については特に限定されない。図１３に示す例では、絶縁層１０２と絶縁層１０３の間に薄膜キャパシタ１が埋め込まれている。多層基板１００の表面には、ランドパターン１４１，１４２を含む複数のランドパターンが設けられている。半導体ＩＣ２００は、パッド電極２０１，２０２を含む複数のパッド電極を有している。パッド電極２０１，２０２は、例えば、一方が電源端子であり、他方がグランド端子である。パッド電極２０１とランドパターン１４１はハンダ２１１を介して接続され、パッド電極２０２とランドパターン１４２はハンダ２１２を介して接続されている。そして、ランドパターン１４１は、ビア導体１２１、配線パターン１１１及びビア導体１３１を介して薄膜キャパシタ１の電極Ｅ２に接続される。一方、ランドパターン１４２は、ビア導体１２２、配線パターン１１２及びビア導体１３２を介して薄膜キャパシタ１の電極Ｅ１に接続される。これにより、薄膜キャパシタ１は、半導体ＩＣ２００に対するデカップリングコンデンサとして機能する。

[0036] 図１４に示す電子回路基板は、多層基板３００に半導体ＩＣ４００が搭載された構成を有している。多層基板３００は、絶縁層３０１，３０２を含む複数の絶縁層と、配線パターン３１１，３１２を含む複数の配線パターンを含む多層基板である。絶縁層の層数については特に限定されない。図１４に示す例では、多層基板３００の表面３００ａに薄膜キャパシタ１が表面実装されている。多層基板３００の表面３００ａには、ランドパターン３４１～３４４を含む複数のランドパターンが設けられている。半導体ＩＣ４００は、パッド電極４０１，４０２を含む複数のパッド電極を有している。パッド電極４０１，４０２は、例えば、一方が電源端子であり、他方がグランド端

子である。パッド電極４０１とランドパターン３４１はハンダ４１１を介して接続され、パッド電極４０２とランドパターン３４２はハンダ４１２を介して接続されている。そして、ランドパターン３４１は、ビア導体３２１、配線パターン３１１、ビア導体３３１、ランドパターン３４３及びハンダ４１３を介して薄膜キャパシタ１の電極Ｅ２に接続される。一方、ランドパターン３４２は、ビア導体３２２、配線パターン３１２、ビア導体３３２、ランドパターン３４４及びハンダ４１４を介して薄膜キャパシタ１の電極Ｅ１に接続される。これにより、薄膜キャパシタ１は、半導体ＩＣ４００に対するデカップリングコンデンサとして機能する。

[0037] 以上、本開示に係る技術の実施形態について説明したが、本開示に係る技術は、上記の実施形態に限定されることなく、その主旨を逸脱しない範囲で種々の変更が可能であり、それらも本開示に係る技術の範囲内に包含されるものであることはいうまでもない。

[0038] 本開示に係る技術には、以下の構成例が含まれるが、これに限定されるものではない。

[0039] 本開示の一側面による薄膜キャパシタは、第１及び第２の領域を含む主面が粗面化された金属箔と、第１の領域を覆うことなく、第２の領域を覆う誘電体膜と、第１の領域に露出する金属箔と接する第１の電極と、第２の領域に設けられた誘電体膜を介して金属箔を覆う第２の電極と、を備え、第１の電極を構成する金属材料は、第１の領域に露出する金属箔と接触する。これによれば、第１の電極と金属箔の密着性が向上する。

[0040] 上記の薄膜キャパシタは、第１の領域と第２の領域の境界に沿って、金属箔の主面に設けられた絶縁樹脂をさらに備え、第１の領域は、絶縁樹脂によって囲まれていても構わない。これによれば、第１の電極と第２の電極の絶縁が絶縁樹脂によって確保される。

[0041] 上記の薄膜キャパシタにおいて、誘電体膜は、絶縁樹脂によって囲まれた領域の全面において除去されていても構わない。これによれば、第１の電極と金属箔の接触抵抗が低減される。

[0042] 上記の薄膜キャパシタにおいて、第１の電極は、金属箔の主面と平行な絶縁樹脂の上面と接することなく、絶縁樹脂の上面から突出しても構わない。これによれば、第１の電極及び絶縁樹脂の平面サイズを小型化することができる。

[0043] 上記の薄膜キャパシタにおいて、第１の領域における金属箔の表面粗さは、第２の領域における金属箔の表面粗さと等しくても構わない。これによれば、第１の電極と金属箔の密着性がより向上する。

[0044] 上記の薄膜キャパシタにおいて、第１の領域における金属箔の表面は、凸部と凹部を有し、凸部及び凹部は、誘電体膜で覆われることなく金属箔が露出しても構わない。これによれば、第１の電極と金属箔の接触抵抗が低減される。

[0045] 上記の薄膜キャパシタにおいて、第１の電極は、第１の金属材料からなる本体部と、金属箔と接し、第２の金属材料からなる界面部とを含んでいても構わない。これによれば、金属箔の表面における自然酸化膜の形成を防止することが可能となる。

[0046] 上記の薄膜キャパシタにおいて、金属箔は、Ａｌ（アルミニウム）を含み、第１の金属材料は、Ｃｕ（銅）を含み、第２の金属材料は、Ｚｎ（亜鉛）含んでいても構わない。これによれば、ジンケート処理によって界面部を形成することが可能となる。

[0047] 本開示の一側面による電子回路基板は、配線パターンを有する基板と、基板に設けられた半導体ＩＣ及び上記の薄膜キャパシタと、を備え、薄膜キャパシタの第１及び第２の電極は、配線パターンを介して半導体ＩＣに接続されている。これによれば、薄膜キャパシタが半導体ＩＣに対するデカップリングコンデンサとして機能する。

[0048] 本開示の一側面による薄膜キャパシタの製造方法は、第１及び第２の領域を含む金属箔の主面を粗面化し、第１及び第２の領域に誘電体膜を形成し、第１の領域を覆う誘電体膜を除去することによって、第１の領域に位置する金属箔を露出させ、第１の領域に露出する金属箔を給電体とする電解メッキ

により、第１の領域上に第１の電極を形成し、第２の領域上に、誘電体膜を介して第２の電極を形成する。これによれば、粗面化された金属箔の主面に第１の電極を直接形成することが可能となる。

[0049] 上記の製造方法において、金属箔は、ＡＩ（アルミニウム）を含み、金属箔を露出させる工程をジンケート処理によって行っても構わない。これによれば、第１の領域における金属箔の粗面化状態を維持したまま、第１の領域を覆う誘電体膜を除去することが可能となる。

[0050] 上記の製造方法において、金属箔を露出させた後、第１の電極を形成する前に、第１の領域に位置する金属箔の表面に形成された自然酸化膜を除去しても構わない。これによれば、第１の電極と金属箔の接触抵抗が低減される。

符号の説明

[0051] １　薄膜キャパシタ

１０　金属箔

１０ａ　非多孔質層

１１，１２　主面

１１Ａ　凸部

１１Ｂ　凹部

１１ａ，１２ａ　多孔質層

１３　誘電体膜

２１，２２　絶縁樹脂

２１Ａ　上面

３１　本体部

３２　界面部

４１　導電性高分子層

４２　シード層

４３　金属層

６０　支持基板

６１　　レジスト

６２　　開口部

６３　　レジスト

１００　　多層基板

１０１～１０４　　絶縁層

１１１，１１２　　配線パターン

１２１，１２２，１３１，１３２　　ビア導体

１４１，１４２　　ランドパターン

２００　　半導体ＩＣ

２０１，２０２　　パッド電極

２１１，２１２　　ハンダ

３００　　多層基板

３００ａ　　表面

３０１，３０２　　絶縁層

３１１，３１２　　配線パターン

３２１，３２２，３３１，３３２　　ビア導体

３４１～３４４　　ランドパターン

４００　　半導体ＩＣ

４０１，４０２　　パッド電極

４１１～４１４　　ハンダ

Ａ１，Ａ２　　領域

Ｅ１，Ｅ２　　電極

Ｅ１Ａ　　表面

請求の範囲

[請求項1] 第１及び第２の領域を含む主面が粗面化された金属箔と、

前記第１の領域を覆うことなく、前記第２の領域を覆う誘電体膜と、

前記第１の領域に露出する前記金属箔と接する第１の電極と、

前記第２の領域に設けられた前記誘電体膜を介して前記金属箔を覆う第２の電極と、を備え、

前記第１の電極を構成する金属材料は、前記第１の領域に露出する前記金属箔と接触する、

薄膜キャパシタ。

[請求項2] 前記第１の領域と前記第２の領域の境界に沿って、前記金属箔の前記主面に設けられた絶縁樹脂をさらに備え、

前記第１の領域は、前記絶縁樹脂によって囲まれている、

請求項１に記載の薄膜キャパシタ。

[請求項3] 前記誘電体膜は、前記絶縁樹脂によって囲まれた領域の全面において除去されている、

請求項２に記載の薄膜キャパシタ。

[請求項4] 前記第１の電極は、前記金属箔の前記主面と平行な前記絶縁樹脂の上面と接することなく、前記絶縁樹脂の前記上面から突出する、

請求項２に記載の薄膜キャパシタ。

[請求項5] 前記第１の領域における前記金属箔の表面粗さは、前記第２の領域における前記金属箔の表面粗さと等しい、

請求項１に記載の薄膜キャパシタ。

[請求項6] 前記第１の領域における前記金属箔の表面は、凸部と凹部を有し、

前記凸部及び凹部は、前記誘電体膜で覆われることなく前記金属箔が露出する、

請求項１に記載の薄膜キャパシタ。

[請求項7] 前記第１の電極は、第１の金属材料からなる本体部と、前記金属箔

と接し、第２の金属材料からなる界面部とを含む、

請求項１乃至６のいずれか一項に記載の薄膜キャパシタ。

[請求項8] 前記金属箔は、ＡＩ（アルミニウム）を含み、

前記第１の金属材料は、Ｃｕ（銅）を含み、

前記第２の金属材料は、Ｚｎ（亜鉛）含む、

請求項７に記載の薄膜キャパシタ。

[請求項9] 第１及び第２の領域を含む金属箔の主面を粗面化し、

前記第１及び第２の領域に誘電体膜を形成し、

前記第１の領域を覆う前記誘電体膜を除去することによって、前記第１の領域に位置する前記金属箔を露出させ、

前記第１の領域に露出する前記金属箔を給電体とする電解メッキにより、前記第１の領域上に第１の電極を形成し、

前記第２の領域上に、前記誘電体膜を介して第２の電極を形成する、

薄膜キャパシタの製造方法。

[請求項10] 前記金属箔は、ＡＩ（アルミニウム）を含み、

前記金属箔を露出させる工程をジンケート処理によって行う、

請求項９に記載の薄膜キャパシタの製造方法。

[請求項11] 前記金属箔を露出させた後、前記第１の電極を形成する前に、前記第１の領域に位置する前記金属箔の表面に形成された自然酸化膜を除去する、

請求項９又は１０に記載の薄膜キャパシタの製造方法。

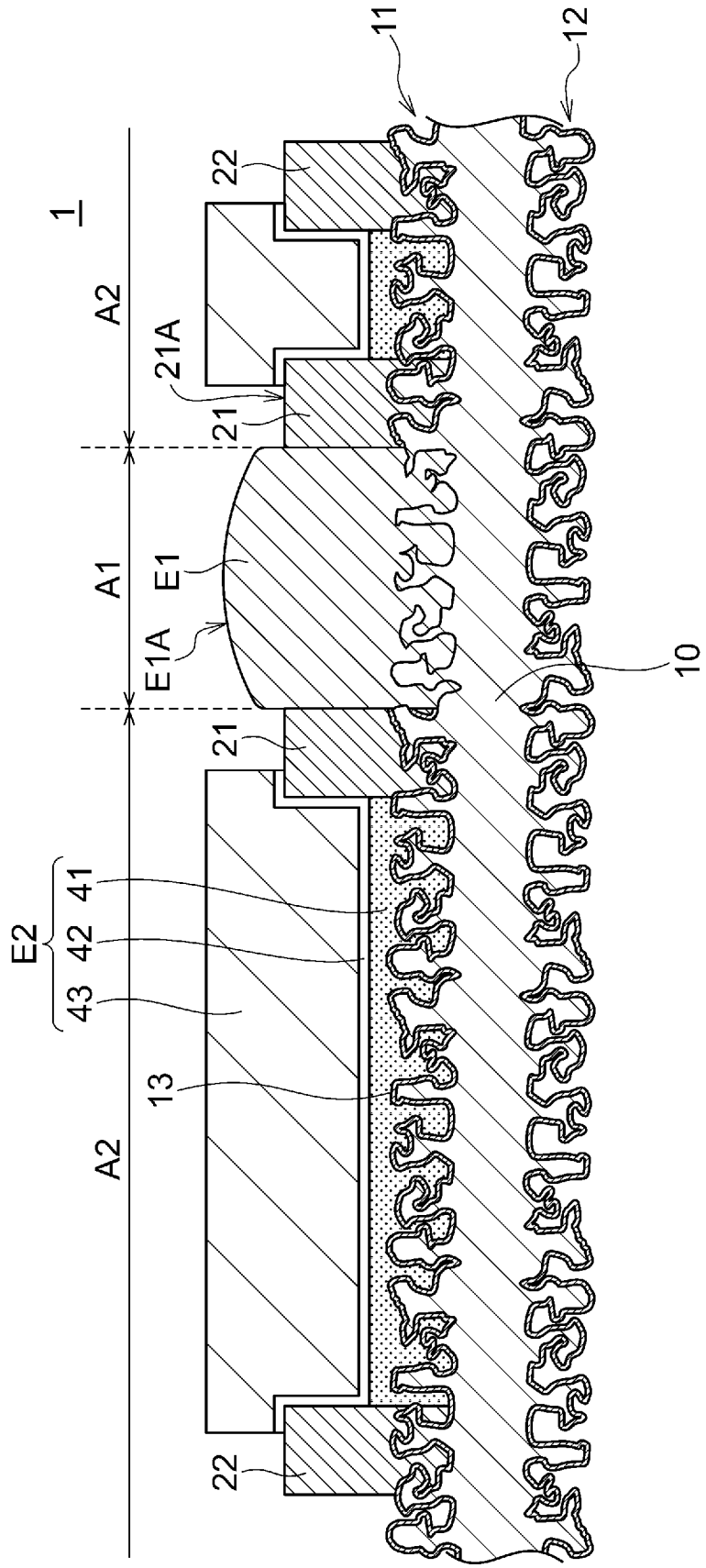
[請求項12] 配線パターンを有する基板と、

前記基板に設けられた半導体ＩＣ及び請求項１乃至８のいずれか一項に記載の薄膜キャパシタと、を備え、

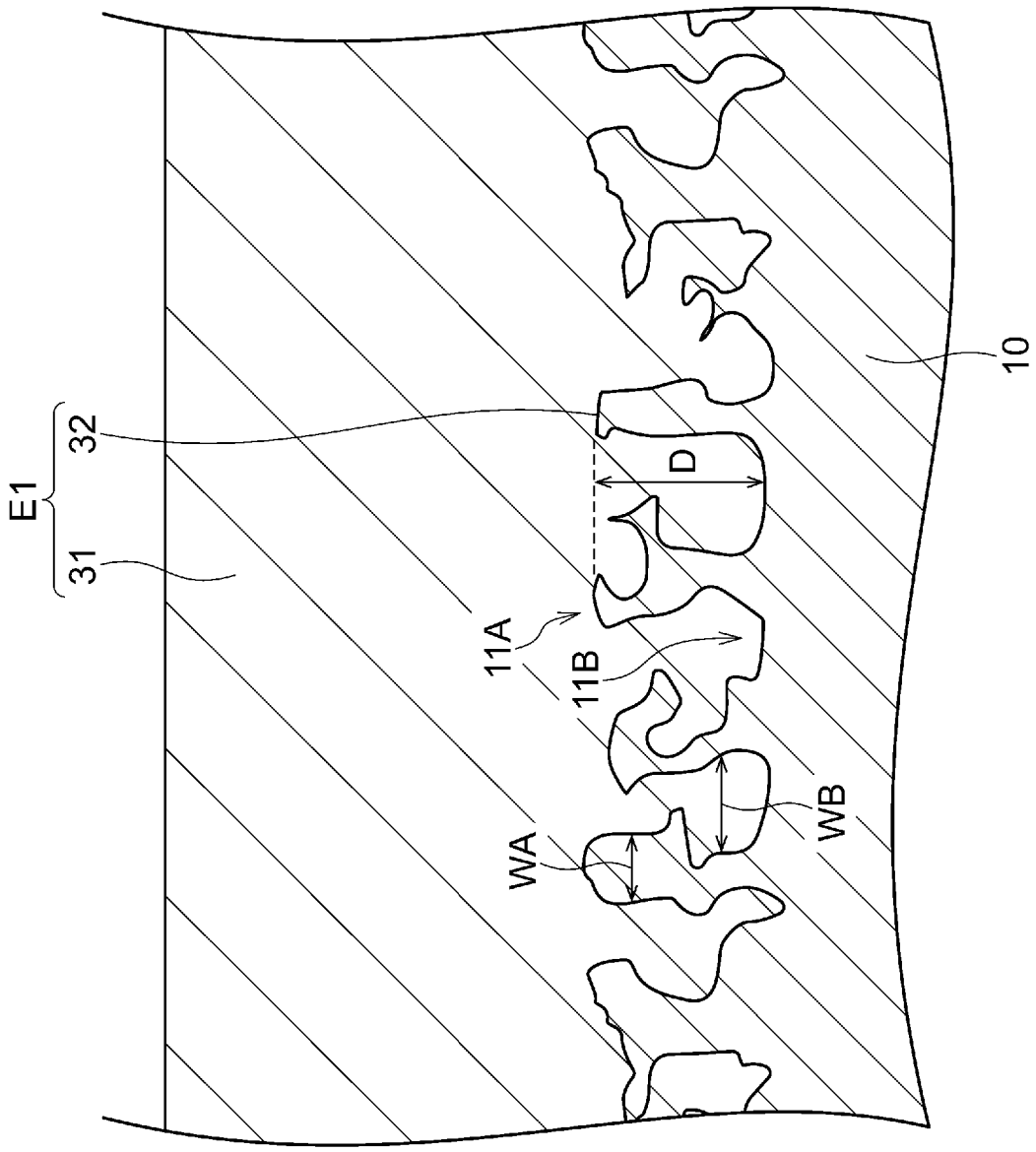
前記薄膜キャパシタの前記第１及び第２の電極は、前記配線パターンを介して前記半導体ＩＣに接続されている、

電子回路基板。

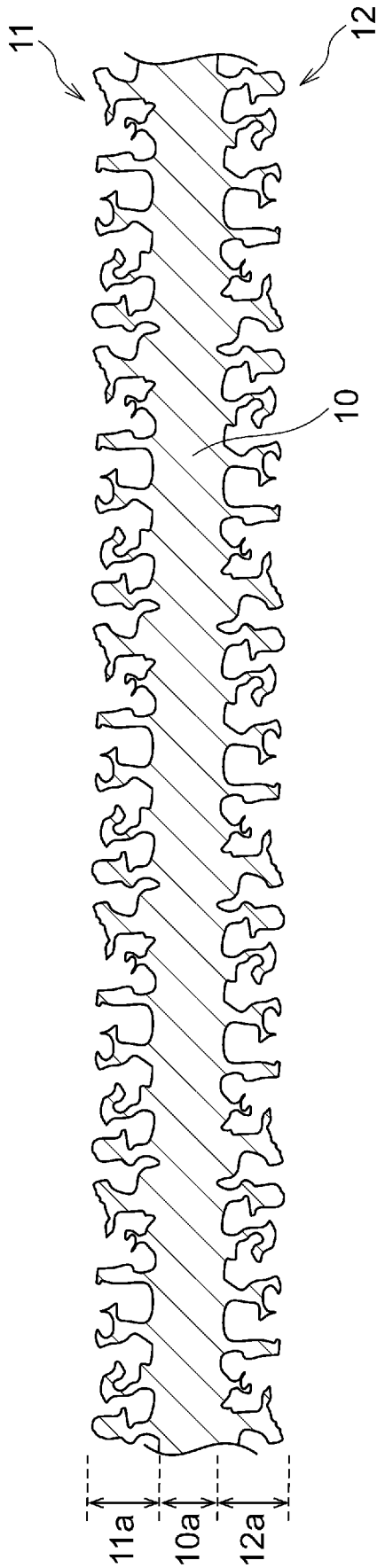
[図1]



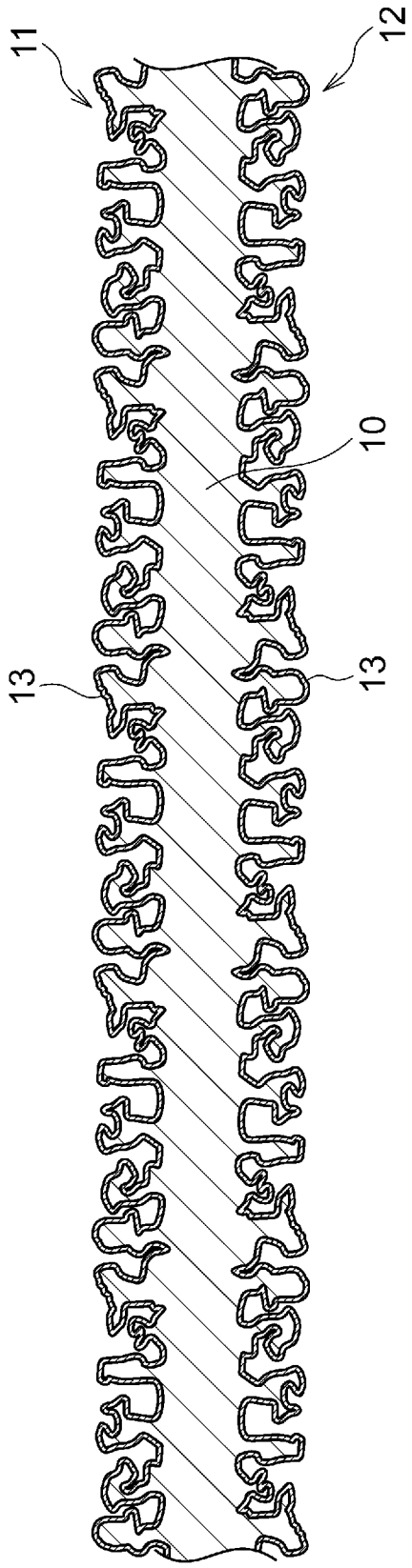
[図2]



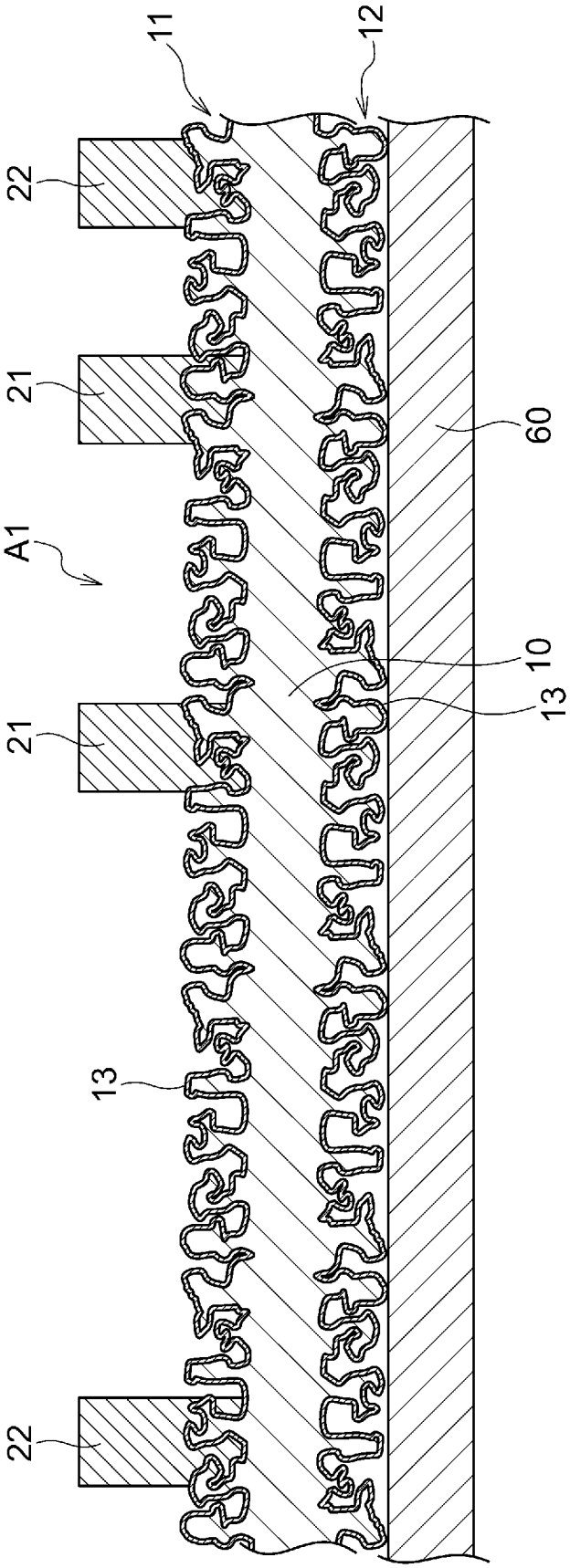
[図3]



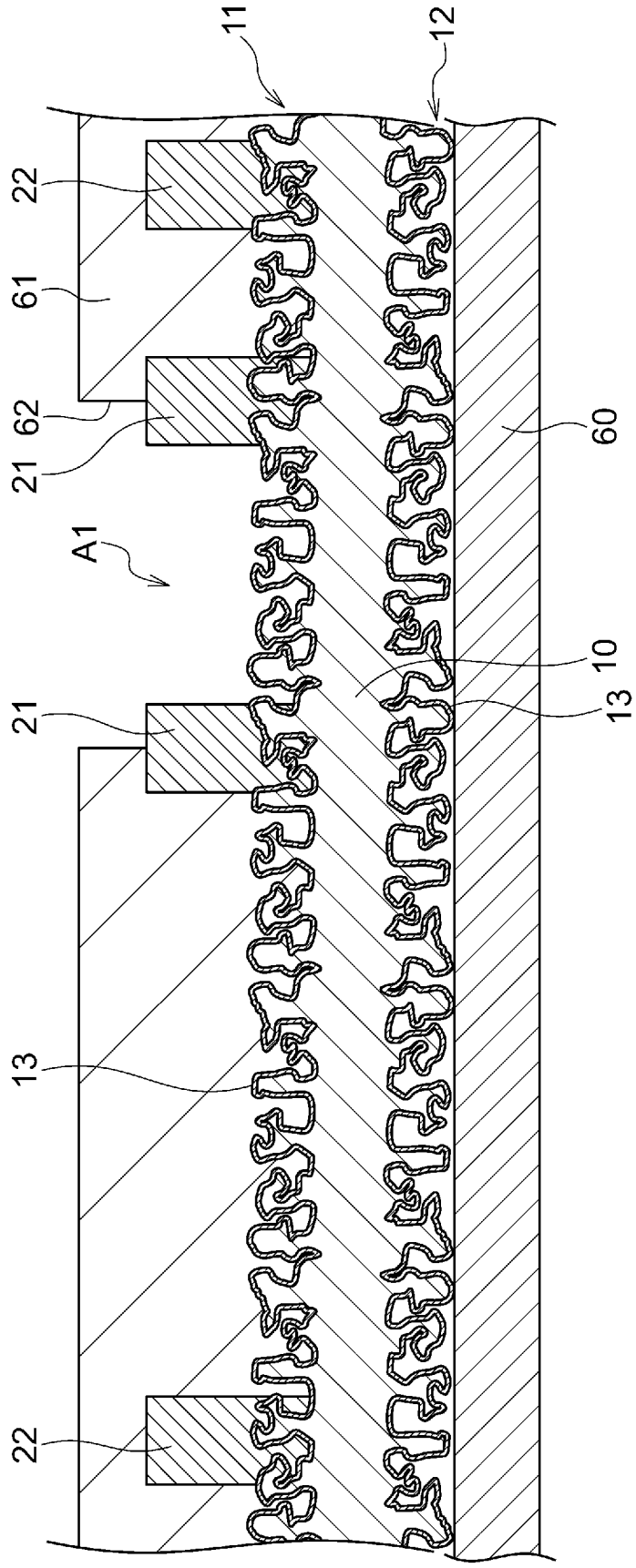
[図4]



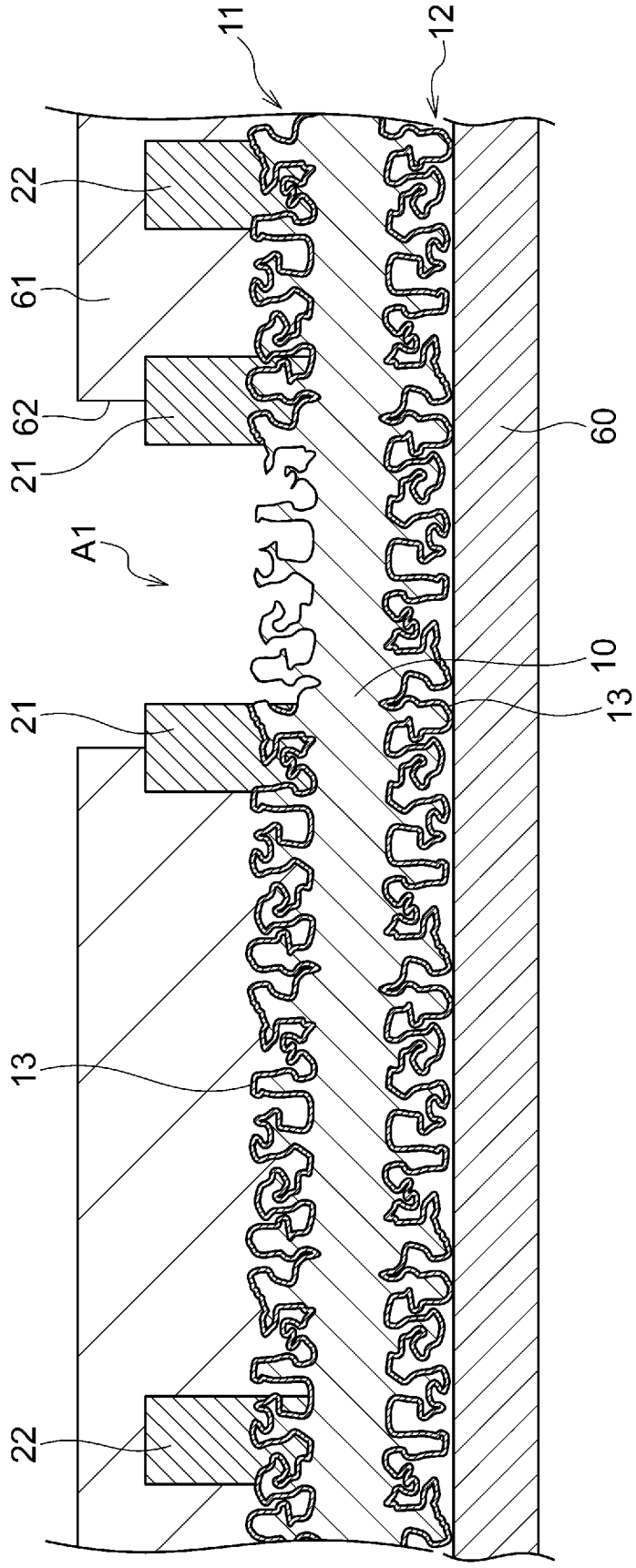
[図5]



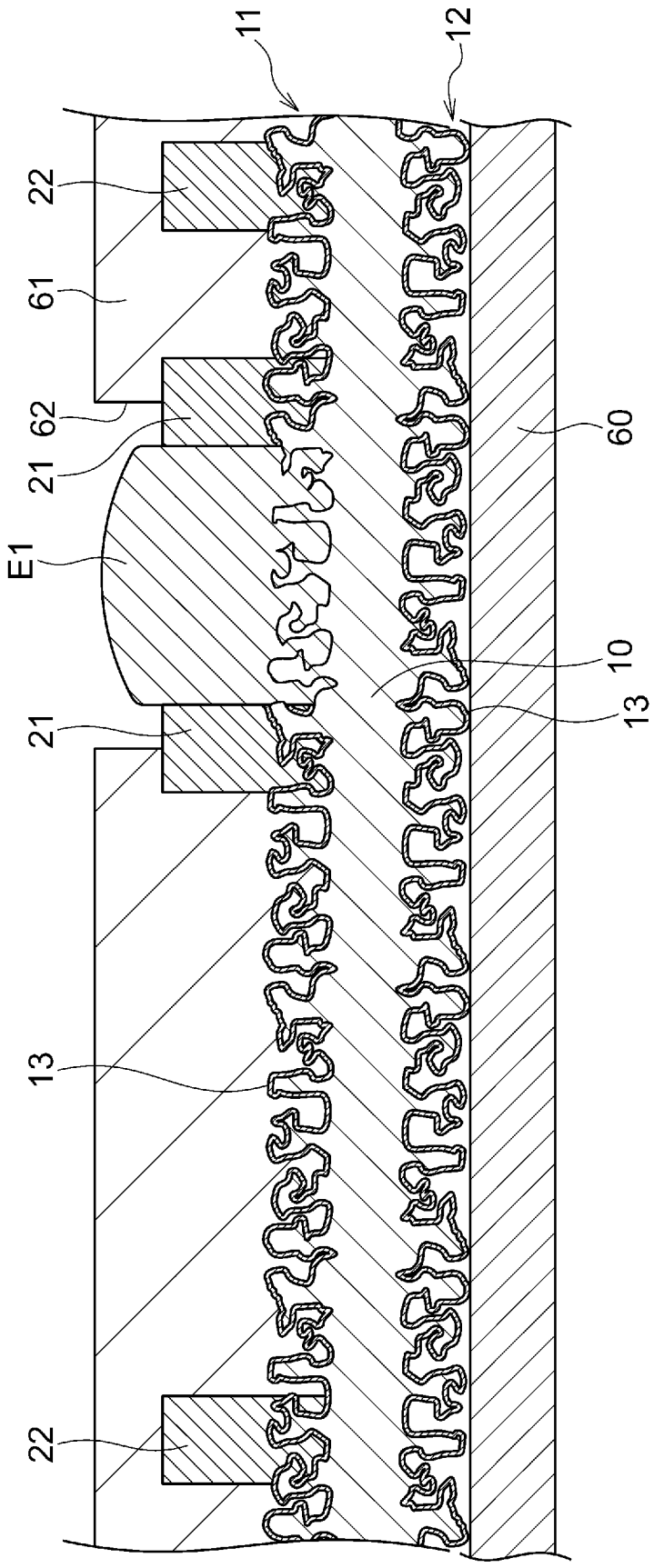
[図6]



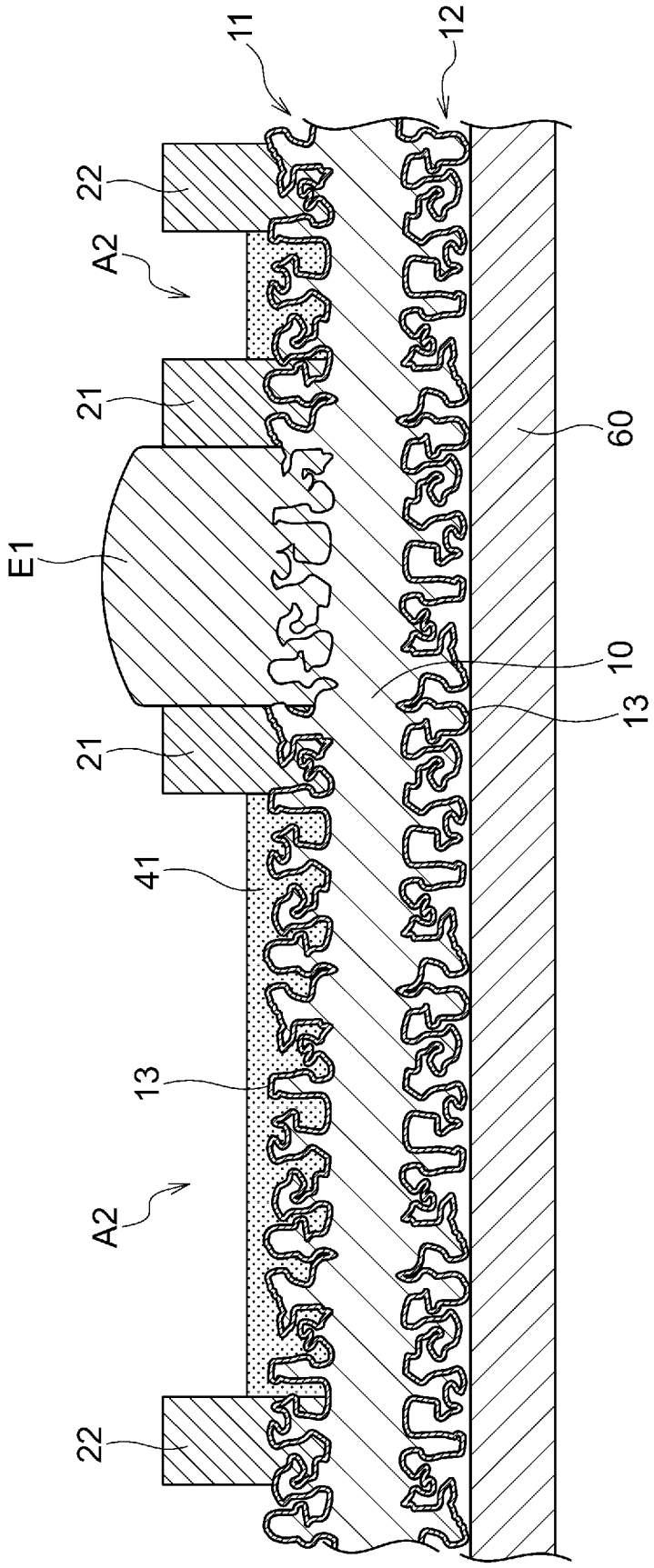
[図7]



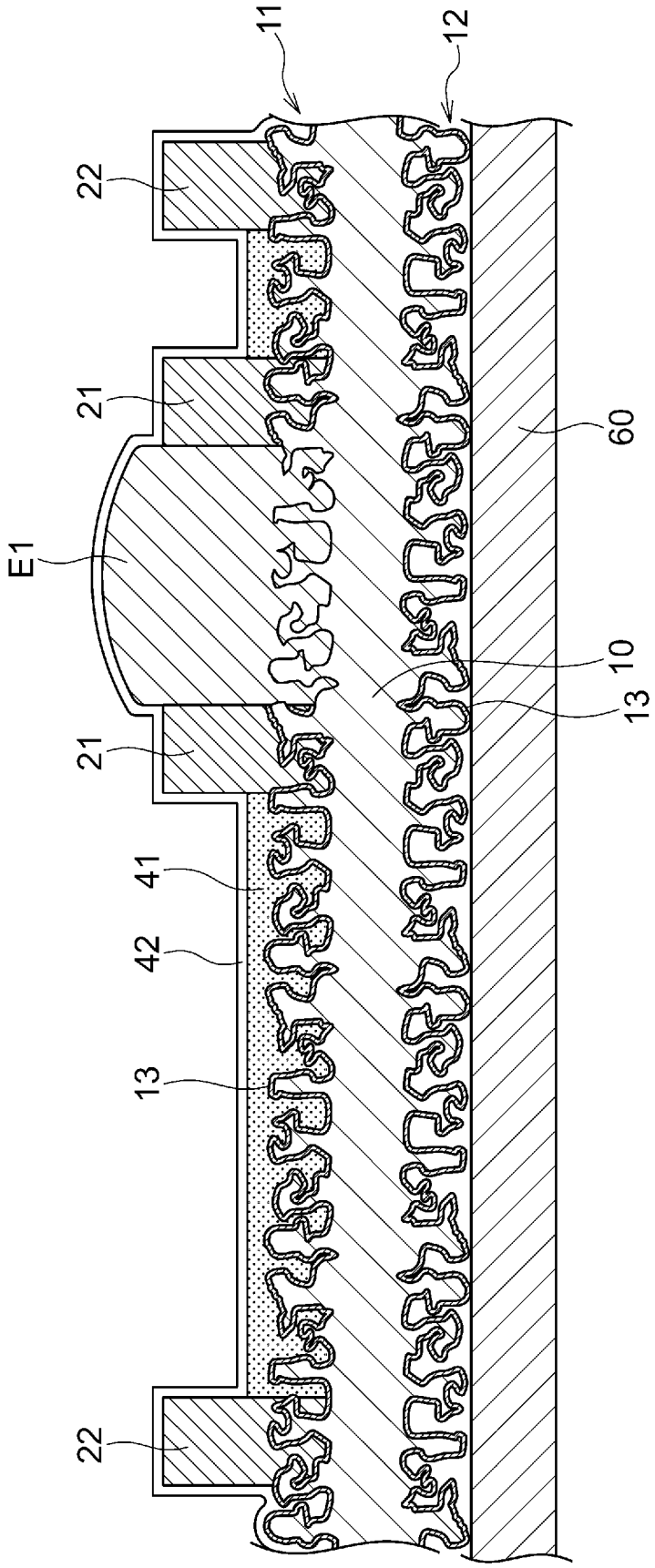
[図8]



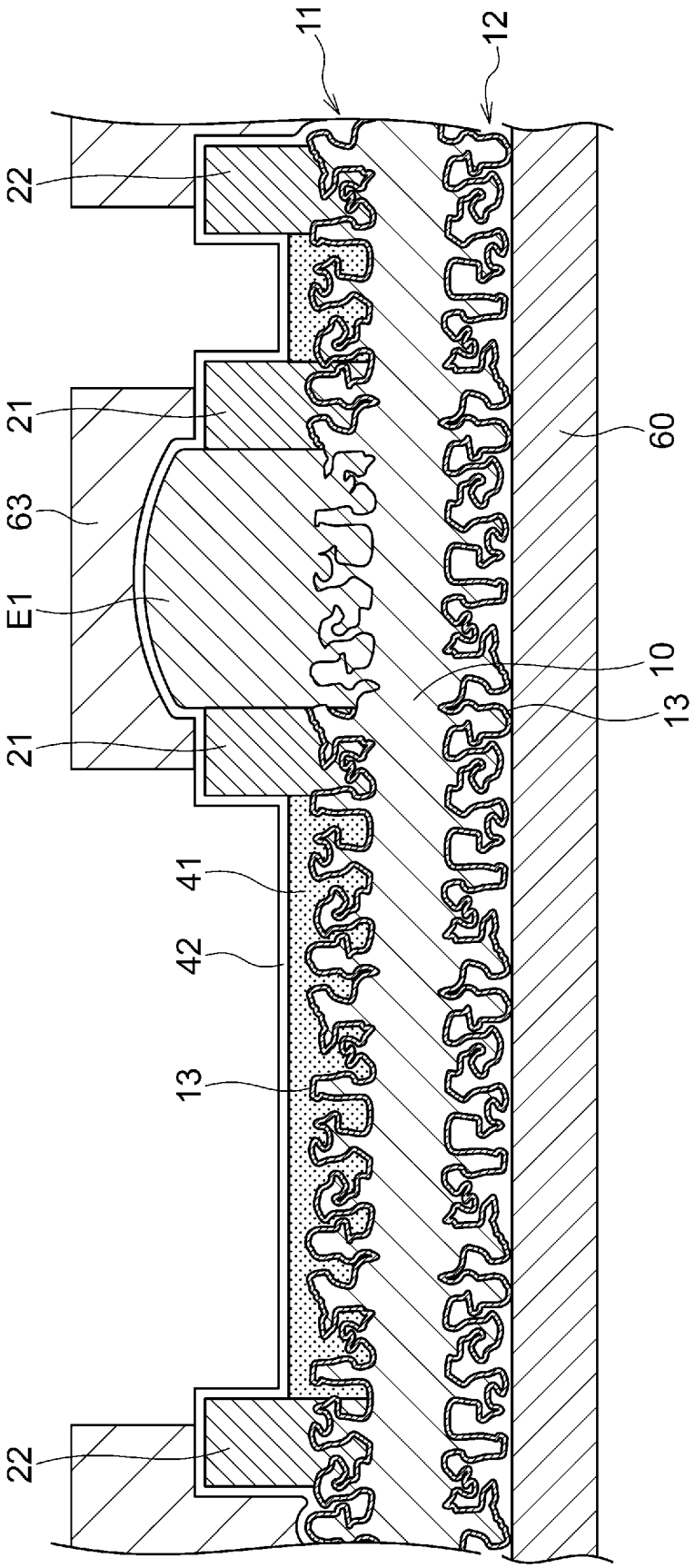
[図9]



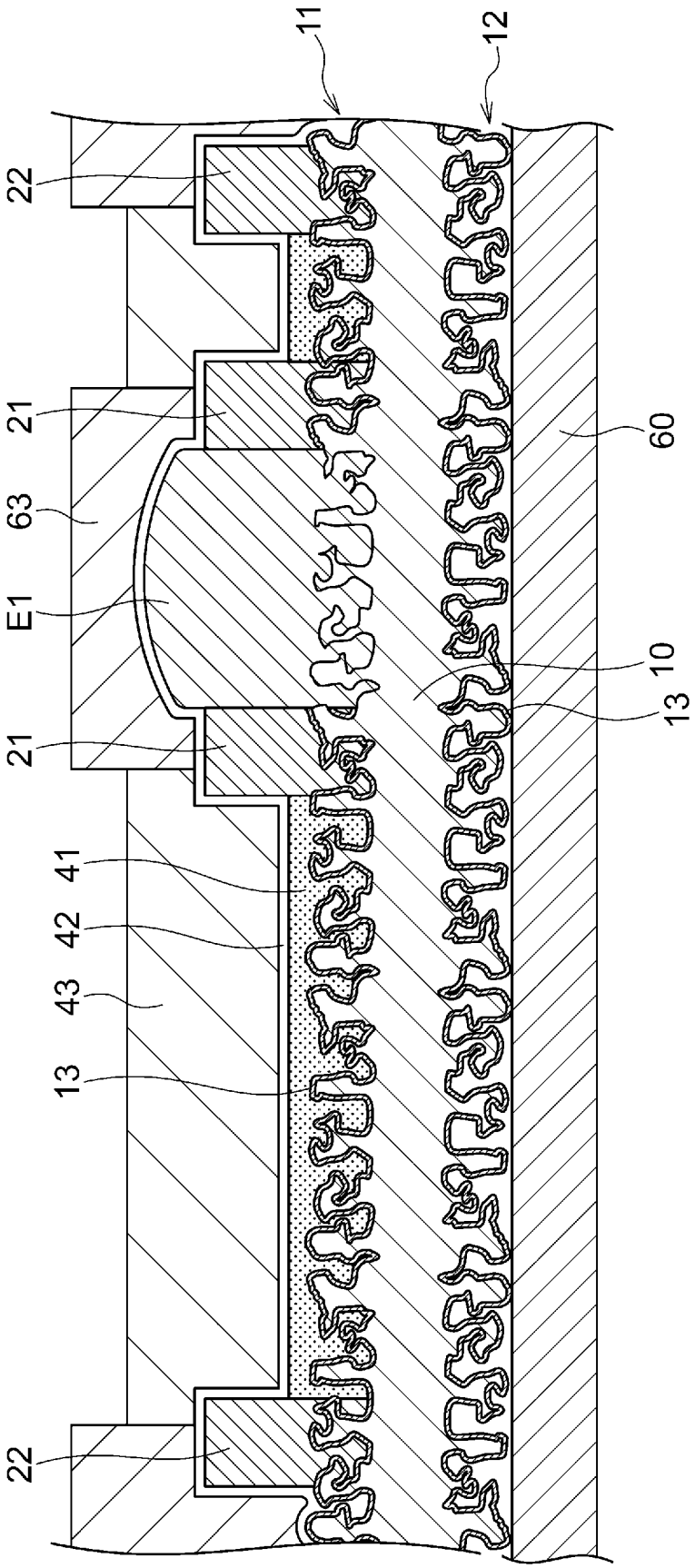
[図10]



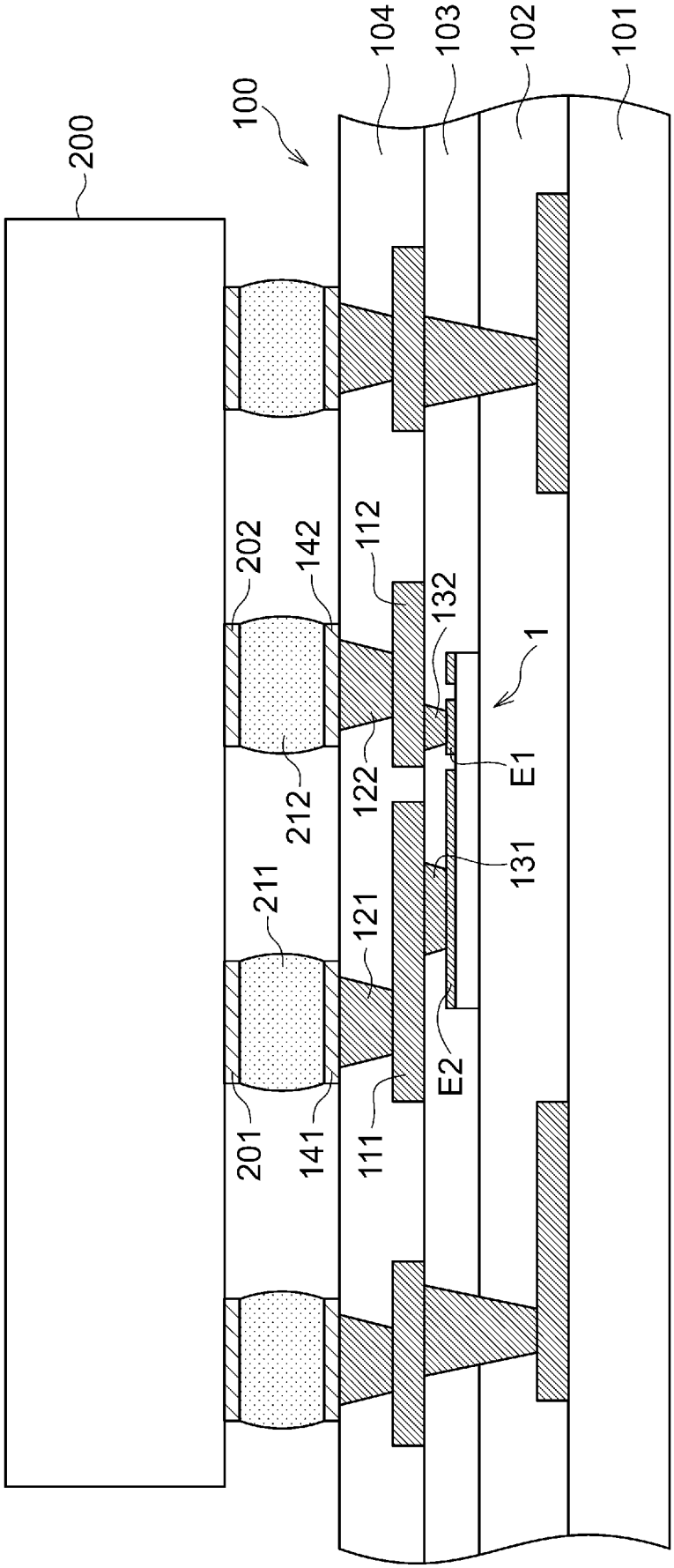
[図11]



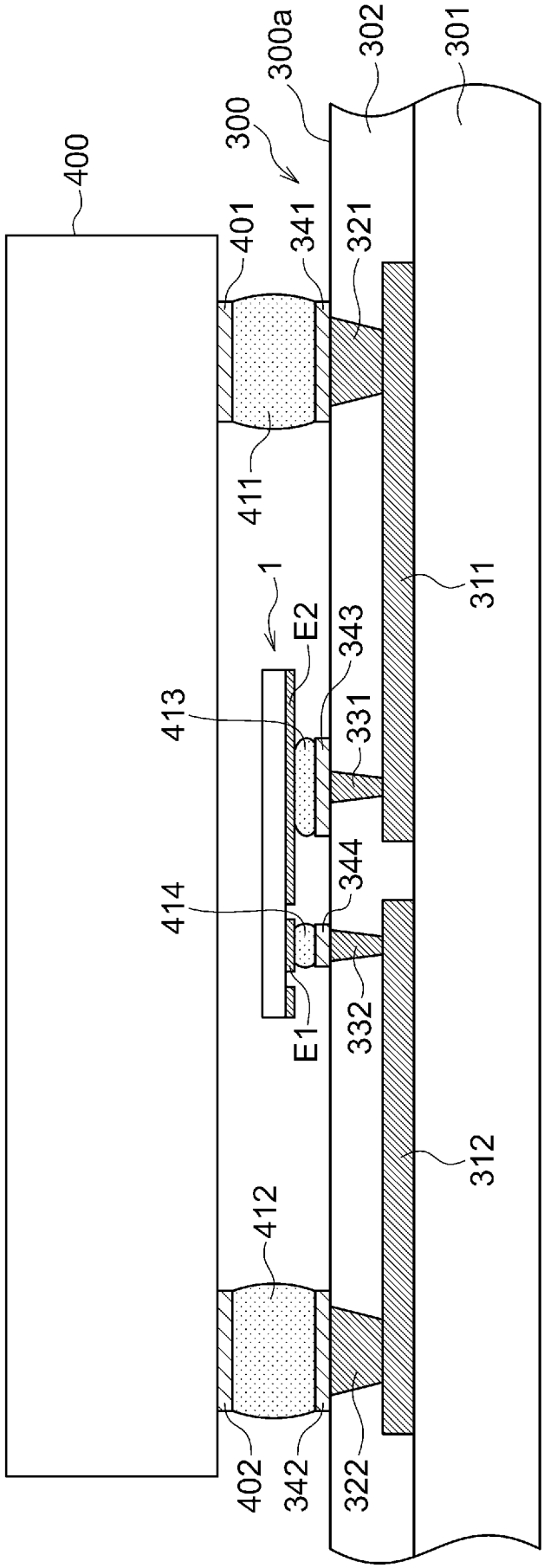
[図12]



[図13]


200
100
104
103
102
101
202
142
112
132
1
E1
122
212
131
211
121
E2
201
141
111

[図14]


400
300
300a
302
301
401
341
321
411
1
E2
343
311
413
331
344
414
E1
332
312
412
402
342
322

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/046882

A. CLASSIFICATION OF SUBJECT MATTER

H01G 4/33(2006.01)i; ***H01G 9/048***(2006.01)i; ***H01G 9/052***(2006.01)i
FI: H01G4/33 102; H01G9/048 A; H01G9/052 505

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/33; H01G9/048; H01G9/052

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022/004020 A1 (TDK CORPORATION) 06 January 2022 (2022-01-06) claims, paragraphs [0009], [0014]-[0033], fig. 1	1-9, 11, 12
Y	claims, paragraphs [0009], [0014]-[0033], fig. 1	10
Y	WO 2021/066091 A1 (MURATA MANUFACTURING CO., LTD.) 08 April 2021 (2021-04-08) paragraph [0039]	10
A	JP 2008-078299 A (FUJITSU LIMITED) 03 April 2008 (2008-04-03) entire text, all drawings	1-12
A	JP 2007-149730 A (SHINKO ELECTRIC INDUSTRIES CO., LTD.) 14 June 2007 (2007-06-14) entire text, all drawings	1-12

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 March 2024	**26 March 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/046882

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2022/004020 A1	06 January 2022	US 2023/0253161 A1 claims, paragraphs [0012], [0064]-[0083], fig. 1	
WO 2021/066091 A1	08 April 2021	US 2022/0223349 A1 paragraphs [0073]-[0076]	
JP 2008-078299 A	03 April 2008	US 2008/0068780 A1 entire text, all drawings	
JP 2007-149730 A	14 June 2007	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2023/046882

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01G 4/33(2006.01)i; H01G 9/048(2006.01)i; H01G 9/052(2006.01)i
FI: H01G4/33 102; H01G9/048 A; H01G9/052 505

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01G4/33; H01G9/048; H01G9/052

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2022/004020 A1 (ＴＤＫ株式会社) 06.01.2022 (2022-01-06) 請求の範囲,段落[0009],[0014]-[0033],図1	1-9,11,12
Y	請求の範囲,段落[0009],[0014]-[0033],図1	10
Y	WO 2021/066091 A1 (株式会社村田製作所) 08.04.2021 (2021-04-08) 段落[0039]	10
A	JP 2008-078299 A (富士通株式会社) 03.04.2008 (2008-04-03) 全文,全図	1-12
A	JP 2007-149730 A (新光電気工業株式会社) 14.06.2007 (2007-06-14) 全文,全図	1-12

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"D" 国際出願で出願人が先行技術文献として記載した文献
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
11.03.2024	26.03.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

田中　晃洋 5D 3800

電話番号 03-3581-1101 内線 3551

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/046882

引用文献	公表日	パテントファミリー文献	公表日
WO 2022/004020 A1	06.01.2022	US 2023/0253161 A1 請求の範囲,段落[0012], [0064]-[0083],図1	
WO 2021/066091 A1	08.04.2021	US 2022/0223349 A1 段落[0073]-[0076]	
JP 2008-078299 A	03.04.2008	US 2008/0068780 A1 全文,全図	
JP 2007-149730 A	14.06.2007	（ファミリーなし）	