

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月12日(12.03.2020)



(10) 国際公開番号

WO 2020/049969 A1

(51) 国際特許分類:

H01L 29/861 (2006.01) H01L 29/06 (2006.01)
B82Y 10/00 (2011.01) H01L 29/868 (2006.01)

(21) 国際出願番号: PCT/JP2019/031920

(22) 国際出願日: 2019年8月14日(14.08.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-165856 2018年9月5日(05.09.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 深作 克彦 (FUKASAKU Katsuhiko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

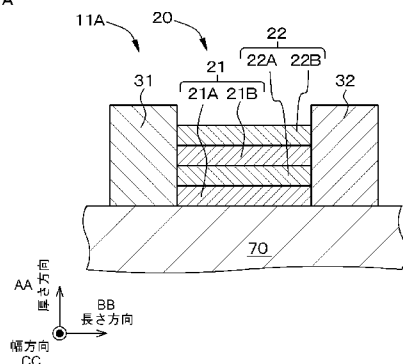
(74) 代理人: 山本 孝久, 外(YAMAMOTO Takahisa et al.); 〒1410032 東京都品川区大崎4丁目3番2号 秋葉ビル301号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: DIODE

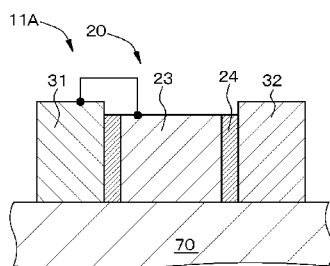
(54) 発明の名称: ダイオード

【図1】
図1A



AA... THICKNESS DIRECTION
BB... LENGTH DIRECTION
CC... WIDTH DIRECTION

図1B



(57) **Abstract:** This diode 11A is provided with a layered structure 20 as well as a first connecting section 31 and a second connecting section 32 that are disposed at ends in the length direction of the layered structure. The layered structure 20 is formed by alternate layering, in the thickness direction, of first structures 21 and second structures 22 that have a nanowire structure or a nanosheet structure. The first connecting section 31 is a first conductivity type; the second connecting section 32 is a second conductivity type; a control electrode section 23 is further provided, which spans at least from a peak

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

section to a side surface of the layered structure 20 and is formed to be separated from the first connecting section 31 and the second connecting section 32; and the first connecting section 31 and the control electrode section 23, or the second connecting section 32 and the control electrode section 23, are electrically connected.

(57) 要約：本開示のダイオード 1 1 A は、積層構造体 2 0、積層構造体の長さ方向の端部に設けられた第 1 接続部 3 1 及び第 2 接続部 3 2 を備えており、積層構造体 2 0 は、ナノワイヤー構造又はナノシート構造を有する第 1 構造体 2 1 及び第 2 構造体 2 2 が、厚さ方向に、交互に積層されて成り、第 1 接続部 3 1 は第 1 導電型を有し、第 2 接続部 3 2 は第 2 導電型を有し、少なくとも積層構造体 2 0 の頂部から側面に亙り、第 1 接続部 3 1 及び第 2 接続部 3 2 と離間して形成された制御電極部 2 3 を更に備えており、第 1 接続部 3 1 と制御電極部 2 3、又は、第 2 接続部 3 2 と制御電極部 2 3 とは、電氣的に接続されている。

明 細 書

発明の名称： ダイオード

技術分野

[0001] 本開示は、ダイオードに関する。

背景技術

[0002] 先端CMOS技術においては、小面積、低消費電力化を目的としたデバイスの微細化が進み、ゲート絶縁膜の薄膜化やチャネル長が縮小されている。ところで、チャネル長を縮小した場合、ソース領域とドレイン領域との間に生じる電位差が、ゲート電極によって印加される電圧よりもトランジスタ動作に大きな影響を及ぼし、短チャネル特性の低下といった問題が生じる。そこで、このようなドレイン領域によるチャネル部の電位低下というDIBL (Drain Induced Barrier Lowering) 対策のために、ゲート電極からの電圧をチャネル部に効果的に印加し得る構造が検討されている。従来のトランジスタでは、チャネル部の上方にゲート電極が形成されており、ゲート電圧がチャネル部の上方だけから印加される。これに対して、チャネル部の上部、側面及び下部を囲むようにゲート絶縁膜を介してゲート電極を形成するGAA (Gate All Around) 構造の検討が進められている。GAA構造によってチャネル部を空乏化させることで、DIBLの影響、短チャネル特性低下を抑制することができる。GAA構造を有するトランジスタにおいては、ナノワイヤー構造又はナノシート構造を有するチャネル部が、複数、垂直方向に並置して設けられており、複数のチャネル部の外周部が、ゲート絶縁膜を介してゲート電極で埋め込まれている。

[0003] 半導体装置には、回路機能を実現するための各要素として、増幅・整流機能を有する能動素子であるトランジスタ（電界効果トランジスタ）やダイオードが備えられている。そして、例えば、非特許文献1、“ESD Diodes in a Bulk Si Gate-All-Around Vertically Stacked Horizontal Nanowire Technology”, S.-H. Chen, et al, International Electron Device Meeting Techn

ical Digest, Year: 2016, pp.890 には、G A A構造に類似した構造（以下、便宜上、『G A A類似構造』と呼ぶ）を有するダイオードが提案されている。このG A A類似構造を有するダイオードにおいて、電流経路は、複数のナノワイヤー構造から構成され、ナノワイヤー構造の外周部に制御電極部が設けられている。

先行技術文献

非特許文献

- [0004] 非特許文献1: "ESD Diodes in a Bulk Si Gate-All-Around Vertically Stacked Horizontal Nanowire Technology", S.-H. Chen, et al, International Electron Device Meeting Technical Digest, Year: 2016, p.890

発明の概要

発明が解決しようとする課題

- [0005] G A A構造を有する電界効果トランジスタは、短チャネル特性を確保しつつ、低電圧動作が可能である。一方、G A A類似構造を有するダイオードにあっては、ダイオードに求められる電流特性が犠牲となる。即ち、G A A構造を有する電界効果トランジスタにあっては、チャネル部を完全空乏化するために、チャネル部の厚さを10nm以下まで薄くする。このようなG A A構造をダイオードに適用すると、ダイオードにおける電流経路が10nm以下に制約される。半導体基板に作り込まれた従来のダイオード（『従来構造のダイオード』と呼ぶ）にあっては、半導体基板の深さ100nm程度までを電流経路とすることが可能である。従って、G A A類似構造を有するダイオードにあっては、電流経路の断面積が従来構造のダイオードの1/10程度となってしまうが故に、G A A類似構造を有するダイオードに流せる電流が減少してしまう。また、G A A構造を有する電界効果トランジスタと従来構造のダイオードとを別々の工程で製造すると、製造工程数が増え、製造コストが増加してしまう。

- [0006] 従って、本開示の目的は、流せる電流の減少を出来る限り抑制することが

でき、しかも、電界効果トランジスタの製造工程との親和性が高いダイオードを提供することにある。

課題を解決するための手段

[0007] 上記の目的を達成するための本開示の第1の態様～第2の態様に係るダイオードは、

積層構造体、

積層構造体の長さ方向の一端に設けられた第1接続部、及び、

積層構造体の長さ方向の他端に設けられた第2接続部、

を備えており、

積層構造体は、ナノワイヤー構造又はナノシート構造を有する第1構造体、及び、第1構造体を構成する材料とは異なる材料から構成されたナノワイヤー構造又はナノシート構造を有する第2構造体が、厚さ方向に、交互に積層されて成り、

第1接続部は、第1導電型を有し、

第2接続部は、第1導電型とは異なる第2導電型を有する。

[0008] そして、本開示の第1の態様に係るダイオードは、少なくとも積層構造体の頂部から側面に亙り、第1接続部及び第2接続部と離間して形成された制御電極部を更に備えており、第1接続部と制御電極部、又は、第2接続部と制御電極部とは、電氣的に接続されている。また、本開示の第2の態様に係るダイオードにおいて、第1接続部に接する積層構造体の第1の部分は第1導電型を有し、第2接続部に接する積層構造体の第2の部分は第2導電型を有する。

図面の簡単な説明

[0009] [図1]図1A及び図1Bは、それぞれ、図2Aの矢印A-A及び矢印B-Bに沿った実施例1のダイオードの模式的な一部断面図である。

[図2]図2A及び図2Bは、それぞれ、実施例1のダイオードの積層構造体、第1接続部及び第2接続部の模式的な配置図、及び、制御電極部、絶縁層、第1接続部及び第2接続部の模式的な配置図である。

[図3]図3 A及び図3 Bは、それぞれ、図2 Aの矢印C－C及び矢印D－Dに沿った実施例1のダイオードの模式的な一部断面図である。

[図4]図4 A及び図4 Bは、それぞれ、実施例1における電界効果トランジスタのチャネル部及びソース／ドレイン領域の模式的な配置図、及び、ゲート電極、ゲートサイドウォール及びソース／ドレイン領域の模式的な配置図である。

[図5]図5 A及び図5 Bは、それぞれ、図4 Aの矢印A－Aに沿ったpチャネル型の電界効果トランジスタの模式的な一部断面図、及び、図4 Bの矢印B－Bに沿ったpチャネル型の電界効果トランジスタの模式的な一部断面図である。

[図6]図6 A及び図6 Bは、それぞれ、図4 Aの矢印C－Cに沿ったpチャネル型の電界効果トランジスタの模式的な一部断面図、及び、図4 Bの矢印D－Dに沿ったpチャネル型の電界効果トランジスタの模式的な一部断面図である。

[図7]図7 A及び図7 Bは、それぞれ、図4 Aの矢印A－Aに沿ったnチャネル型の電界効果トランジスタの模式的な一部断面図、及び、図4 Bの矢印B－Bに沿ったnチャネル型の電界効果トランジスタの模式的な一部断面図である。

[図8]図8 A及び図8 Bは、それぞれ、図4 Aの矢印C－Cに沿ったnチャネル型の電界効果トランジスタの模式的な一部断面図、及び、図4 Bの矢印D－Dに沿ったnチャネル型の電界効果トランジスタの模式的な一部断面図である。

[図9]図9 A及び図9 Bは、それぞれ、実施例1のダイオードの変形例1の、図2 Aの矢印B－Bに沿ったと同様の模式的な一部断面図、及び、実施例1のダイオードの変形例2の、図2 Aの矢印A－Aに沿ったと同様の模式的な一部断面図である。

[図10]図10 A及び図10 Bは、それぞれ、実施例1のダイオードの変形例3の、図2 Aの矢印A－Aに沿ったと同様の模式的な一部断面図、及び、実

施例 1 のダイオードの変形例 4 の、図 2 A の矢印 A - A に沿ったと同様の模式的な一部断面図である。

[図11]図 1 1 A 及び図 1 1 B は、それぞれ、実施例 1 のダイオードの変形例 5 の、図 2 A の矢印 A - A に沿ったと同様の模式的な一部断面図、及び、図 2 A の矢印 B - B に沿ったと同様の模式的な一部断面図である。

[図12]図 1 2 A 及び図 1 2 B は、それぞれ、実施例 1 のダイオードの変形例 5 の、図 2 A の矢印 C - C 及び矢印 D - D に沿ったと同様の模式的な一部断面図である。

[図13]図 1 3 A 及び図 1 3 B は、それぞれ、実施例 2 のダイオードの、図 2 A の矢印 C - C 及び図 2 B の矢印 D - D に沿ったと同様の模式的な一部断面図である。

[図14]図 1 4 は、実施例 1 のダイオードの変形例 5 の、図 2 A の矢印 C - C に沿ったと同様の模式的な一部断面図である。

[図15]図 1 5 は、実施例 1 のダイオードの動作機構を説明するための図である。

[図16]図 1 6 は、非特許文献 1 において提案されたダイオードの動作機構を説明するための図である。

[図17]図 1 7 A、図 1 7 B、図 1 7 C 及び図 1 7 D は、実施例 1 のダイオードに類似した構造を有するダイオード、及び、このダイオードの積層構造体内におけるポテンシャル分布、電界強度分布及び電流密度分布をシミュレーションした結果を示す図である。

[図18]図 1 8 は、図 1 7 A に示した実施例 1 のダイオードに類似した構造を有するダイオード、積層構造体を 2 層のシリコン層で置き換えたダイオード、及び、2 層のシリコン-ゲルマニウム層で置き換えたダイオードにおいてパルス電圧を印加したときに流れるパルス電流をシミュレーションした結果を示す図である。

[図19]図 1 9 の (A)、(B)、(C)、(D)、(E)、(F)、(G)、(H) 及び (J) は、図 1 7 A に示した実施例 1 のダイオードに類似した

構造を有するダイオード、積層構造体を２層のシリコン層で置き換えたダイオード、及び、２層のシリコン－ゲルマニウム層で置き換えたダイオードの積層構造体内におけるポテンシャル分布、電界強度分布及び電流密度分布をシミュレーションした結果を示す図である。

[図20]図２０Ａ、図２０Ｂ及び図２０Ｃは、実施例１のダイオード及び電界効果トランジスタの製造方法の概要を説明するための基体等の模式的な一部断面図である。

[図21]図２１Ａ、図２１Ｂ及び図２１Ｃは、実施例１のダイオード及び電界効果トランジスタの製造方法の概要を説明するための基体等の模式的な一部断面図である。

[図22]図２２Ａ、図２２Ｂ及び図２２Ｃは、実施例１のダイオード及び電界効果トランジスタの製造方法の概要を説明するための基体等の模式的な一部断面図である。

[図23]図２３Ａ、図２３Ｂ及び図２３Ｃは、実施例１のダイオード及び電界効果トランジスタの製造方法の概要を説明するための基体等の模式的な一部断面図である。

[図24]図２４Ａ、図２４Ｂ及び図２４Ｃは、実施例１のダイオード及び電界効果トランジスタの製造方法の概要を説明するための基体等の模式的な一部断面図である。

[図25]図２５Ａ、図２５Ｂ及び図２５Ｃは、実施例１のダイオード及び電界効果トランジスタの製造方法の概要を説明するための基体等の模式的な一部断面図である。

発明を実施するための形態

[0010] 以下、図面を参照して、実施例に基づき本開示を説明するが、本開示は実施例に限定されるものではなく、実施例における種々の数値や材料は例示である。尚、説明は、以下の順序で行う。

- １．本開示の第１の態様～第２の態様に係るダイオード、全般に関する説明
- ２．実施例１（本開示の第１の態様に係るダイオード）

3. 実施例2（本開示の第2の態様に係るダイオード）

4. その他

[0011] 〈本開示の第1の態様～第2の態様に係るダイオード、全般に関する説明〉

本開示の第1の態様～第2の態様に係るダイオードにおいて、積層構造体は基体の上に設けられている構成とすることができる。このような構成にあつては、積層構造体の底面は基体と接しているので、制御電極部は積層構造体の底面に形成されていない。

[0012] あるいは又、本開示の第1の態様～第2の態様に係るダイオードにおいて、制御電極部は、更に、積層構造体の底面に互り形成されている構成とすることができる。この場合、積層構造体は基体の上方に設けられている構成とすることができる。このような構成にあつては、積層構造体の底面は基体と接しておらず、制御電極部の底面は基体と接しており、あるいは又、制御電極部の底面は基体の上方に位置し、制御電極部の底面と基体の頂面との間には隙間が存在する。

[0013] 更には、本開示の第1の態様～第2の態様に係るダイオードにおける以上に説明した各種の好ましい構成において、基体はシリコン半導体基板又はS O I（Si On Insulator）基板から成り、あるいは又、G O I（Ge On Insulator）基板、S G O I（SiGe On Insulator）基板から成る構成とすることができる。

[0014] 更には、本開示の第1の態様～第2の態様に係るダイオードにおける以上に説明した各種の好ましい構成において、第1接続部及び第2接続部は基体上に設けられている構成とすることができる。

[0015] 更には、本開示の第1の態様に係るダイオードにおける以上に説明した各種の好ましい構成において、ダイオードが設けられている基体の領域は第2導電型を有し、第1接続部と制御電極部とは電氣的に接続されている構成とすることができる。

[0016] 更には、以上に説明した各種の好ましい構成を含む本開示の第1の態様～第2の態様に係るダイオードにおいて、第1導電型はp型であり、第2導電

型はn型である形態とすることができる。

[0017] 更には、以上に説明した好ましい形態、構成を含む本開示の第1の態様～第2の態様に係るダイオードにおいて、第1構造体はシリコン-ゲルマニウム (Si-Ge) から成り、第2構造体はシリコン (Si) から成る形態とすることができる。あるいは又、第1構造体はゲルマニウム (Ge) 又は InGaAs から成り、第2構造体はシリコン (Si) から成る形態とすることができる。

[0018] 第1接続部は、例えば、第1構造体を構成する材料から構成すればよいし、第2接続部は、例えば、第2構造体を構成する材料から構成すればよい。

[0019] 更には、以上に説明した好ましい形態、構成を含む本開示の第1の態様に係るダイオードにおいて、積層構造体は真性半導体領域 (イントリンシック領域) を有する形態とすることができ、あるいは又、積層構造体の不純物濃度は $1 \times 10^{18} / \text{cm}^3$ 以下である形態とすることができる。

[0020] 更には、以上に説明した好ましい形態、構成を含む本開示の第1の態様に係るダイオードにおいて、第1接続部と対向する制御電極部の側面、及び、第2接続部と対向する制御電極部の側面には、絶縁層 (サイドウォール) が形成されている形態とすることができる。

[0021] 更には、以上に説明した好ましい形態、構成を含む本開示の第1の態様に係るダイオードにおいて、制御電極部は、TiN、Ta₂N₅、Al、TiAl₃ 又はWから成る形態とすることができる。

[0022] また、以上に説明した好ましい形態を含む本開示の第2の態様に係るダイオードにおいて、積層構造体の第1の部分と積層構造体の第2の部分とは接している形態とすることができる。

[0023] 以上に説明した好ましい形態、構成を含む本開示の第1の態様～第2の態様に係るダイオードにおいて、積層構造体の数は、1あるいは2以上の複数とすることができる。また、第1構造体の数は、1あるいは2以上の複数とすることができるし、第2構造体の数も、1あるいは2以上の複数とすることができる。第1構造体と第2構造体の数は、同じであってもよいし、異な

っていてもよい。積層構造体の最下層は、第1構造体によって構成されていてもよいし、第2構造体によって構成されていてもよい。本開示の第1の態様に係るダイオードにおいて、積層構造体の数を2以上の複数とする場合、これらの積層構造体全体に対して1つの制御電極部を設けてもよいし、これらの積層構造体のそれぞれに1つの制御電極部を設けてもよい。

[0024] 半導体装置は、本開示の第1の態様～第2の態様に係るダイオード、及び、G A A構造を有する電界効果トランジスタを備えている形態とすることができる。ここで、電界効果トランジスタは、ナノワイヤー構造又はナノシート構造を有する複数のチャネル部、各チャネル部を取り囲むゲート絶縁膜、及び、各ゲート絶縁膜の少なくとも一部を取り囲むゲート電極を備えたチャネル構造部を有する。チャネル部は、チャネル構造部の厚さ方向において、少なくとも2つ、並置されており、且つ、最下層のチャネル部は基体の上あるいは基体の上方に形成されている。即ち、複数のチャネル部は、チャネル構造部の厚さ方向において、相互に離間して配置されており、チャネル部とチャネル部との間は、ゲート絶縁膜及びゲート電極で埋め込まれている。電界効果トランジスタのチャネル構造部の積層方向におけるチャネル部の数は2以上であればよいし、チャネル構造部の厚さ方向と直交する方向（チャネル構造部の幅方向）におけるチャネル部の数は1あるいは2以上であればよい。チャネル部の高さの合計は、チャネル部を構成するナノワイヤー構造あるいはナノシート構造を構成する材料（例えば、S i や S i - G e、G e、I n G a A s）の直径あるいは厚さの合計である。

[0025] 電界効果トランジスタを構成する最下層のチャネル部の少なくとも一部分はゲート電極で取り囲まれており、それ以外のチャネル部はゲート電極で取り囲まれている形態とすることができる。即ち、電界効果トランジスタにおいて、チャネル部とチャネル部との間には、下方に位置するチャネル部を取り囲むゲート絶縁膜（即ち、チャネル部の外周部に形成されたゲート絶縁膜）、及び、上方に位置するチャネル部を囲むゲート絶縁膜（即ち、チャネル部の外周部に形成されたゲート絶縁膜）が形成されており、更には、これら

のゲート絶縁膜の間にゲート電極が形成されている。

[0026] nチャネル型の電界効果トランジスタのチャネル部は、シリコン (Si) から成り、pチャネル型の電界効果トランジスタのチャネル部は、シリコン-ゲルマニウム (Si-Ge)、ゲルマニウム (Ge) 又は InGaAs から成る形態とすることができる。但し、これに限定するものではなく、

[a] nチャネル型の電界効果トランジスタのチャネル部は、シリコン-ゲルマニウム (Si-Ge) から成り、pチャネル型の電界効果トランジスタのチャネル部は、シリコン (Si)、ゲルマニウム (Ge) 又は InGaAs から成る形態とすることができるし、

[b] nチャネル型の電界効果トランジスタのチャネル部は、ゲルマニウム (Ge) から成り、pチャネル型の電界効果トランジスタのチャネル部は、シリコン (Si)、シリコン-ゲルマニウム (Si-Ge) 又は InGaAs から成る形態とすることができるし、

[c] nチャネル型の電界効果トランジスタのチャネル部は、InGaAs から成り、pチャネル型の電界効果トランジスタのチャネル部は、シリコン (Si)、シリコン-ゲルマニウム (Si-Ge) 又はゲルマニウム (Ge) から成る形態とすることができる。

[0027] 電界効果トランジスタがnチャネル型であるかpチャネル型であるかは、例えば、ゲート電極を構成する材料の仕事関数の値によって決定される。具体的には、チャネル部をSiから構成する場合、電界効果トランジスタをnチャネル型とするためには、ゲート電極を構成する材料としてTiN、Ta₂N₅、Al、TiAl、Wを挙げることができる。一方、チャネル部をSi-Geから構成する場合、電界効果トランジスタをpチャネル型とするためには、ゲート電極を構成する材料としてTiN、Wを挙げることができる。

[0028] 電界効果トランジスタのゲート電極に印加される電圧は、例えば、0.5ボルト乃至0.8ボルトである形態とすることができるが、これに限定するものではない。

[0029] 絶縁層やゲート絶縁膜を構成する材料として、SiON、SiO₂を挙げる

ことができるし、高誘電率材料（所謂High-k材料）、例えば、 HfO_2 、 HfAlON 、 Y_2O_3 を挙げることができる。

[0030] 積層構造体を構成するナノワイヤー構造にあっては、直径が、例えば、5 nm乃至10 nmの、例えばSiやSi-Ge等から成るナノワイヤー構造の両端が、第1接続部及び第2接続部に接している。積層構造体を構成するナノシート構造にあっては、幅×厚さが、例えば、(10 nm乃至50 nm) × (5 nm乃至10 nm)の、例えばSiやSi-Ge等から成る断面形状が略矩形の材料の両端が、第1接続部及び第2接続部に接している。電界効果トランジスタのチャネル部を構成するナノワイヤー構造にあっては、直径が、例えば、5 nm乃至10 nmの、例えばSiやSi-Ge等から成るナノワイヤー構造の両端が、電界効果トランジスタを構成するソース／ドレイン領域によって支持されている。電界効果トランジスタのチャネル部を構成するナノシート構造にあっては、幅×厚さが、例えば、(10 nm乃至50 nm) × (5 nm乃至10 nm)の、例えばSiやSi-Ge等から成る断面形状が略矩形の材料の両端が、電界効果トランジスタを構成するソース／ドレイン領域によって支持されている。ナノワイヤー構造となるか、ナノシート構造となるかは、これらを構成する材料の厚さ、幅に依存する。

[0031] 前述したとおり、基体としてシリコン半導体基板やSOI基板、GOI基板、SGOI基板を挙げることができる。積層構造体やチャネル部は、結晶性を有することが好ましいが、多結晶から構成されていてもよいし、場合によっては非晶質から構成されていてもよい。積層構造体やチャネル部の形成方法として、エピタキシャルCVD法、プラズマCVD法、原子層堆積法（ALD法）を挙げることができる。

[0032] ダイオード及び電界効果トランジスタをどのように配置するかは、要求される半導体回路の仕様に依存するので、一概に規定することはできない。例えば、ロジック回路やSRAM回路、CMOS回路等のデジタル回路をダイオードや電界効果トランジスタから構成することができるし、撮像装置の制御を行うロジック回路や撮像装置を構成する撮像素子（受光素子）の駆動回

路をダイオードや電界効果トランジスタから構成することができるし、CPUやGPU等をダイオードや電界効果トランジスタから構成することもできるが、これらに限定するものではない。

実施例 1

[0033] 実施例 1 は、本開示の第 1 の態様に係るダイオードに関する。実施例 1 のダイオードの積層構造体、第 1 接続部及び第 2 接続部の模式的な配置図を図 2 A に示し、制御電極部、絶縁層、第 1 接続部及び第 2 接続部の模式的な配置図を図 2 B に示し、図 2 A の矢印 A-A に沿った実施例 1 のダイオードの模式的な一部断面図を図 1 A に示し、図 2 A の矢印 B-B に沿った模式的な一部断面図を図 1 B に示し、図 2 A の矢印 C-C に沿った模式的な一部断面図を図 3 A に示し、図 2 B の矢印 D-D に沿った模式的な一部断面図を図 3 B に示す。また、実施例 1 における電界効果トランジスタのチャンネル部及びソース／ドレイン領域の模式的な配置図を図 4 A に示し、ゲート電極、ゲートサイドウォール及びソース／ドレイン領域の模式的な配置図を図 4 B に示し、図 4 A の矢印 A-A に沿った p チャンネル型及び n チャンネル型の電界効果トランジスタの模式的な一部断面図を図 5 A 及び図 7 A に示し、図 4 B の矢印 B-B に沿った p チャンネル型及び n チャンネル型の電界効果トランジスタの模式的な一部断面図を図 5 B 及び図 7 B に示し、図 4 A の矢印 C-C に沿った p チャンネル型及び n チャンネル型の電界効果トランジスタ模式的な一部断面図を図 6 A 及び図 8 A に示し、図 4 B の矢印 D-D に沿った p チャンネル型及び n チャンネル型の電界効果トランジスタ模式的な一部断面図を図 6 B 及び図 8 B に示す。

[0034] 実施例 1 あるいは後述する実施例 2 のダイオードは、
積層構造体 20、25、
積層構造体 20、25 の長さ方向の一端に設けられた第 1 接続部 31、及び、
積層構造体 20、25 の長さ方向の他端に設けられた第 2 接続部 32、
を備えており、

積層構造体 20, 25 は、ナノワイヤー構造又はナノシート構造（具体的には、例えば、ナノワイヤー構造）を有する第 1 構造体 21, 26、及び、第 1 構造体 21, 26 を構成する材料とは異なる材料から構成されたナノワイヤー構造又はナノシート構造（具体的には、例えば、ナノワイヤー構造）を有する第 2 構造体 22, 27 が、厚さ方向に、交互に積層されて成り、

第 1 接続部 31 は第 1 導電型（具体的には、例えば、p 型）を有し、

第 2 接続部 32 は、第 1 導電型とは異なる第 2 導電型（具体的には、例えば、n 型）を有する。

[0035] そして、実施例 1 のダイオードは、少なくとも積層構造体 20 の頂部から側面に亙り、第 1 接続部 31 及び第 2 接続部 32 と離間して形成された制御電極部 23 を更に備えており、第 1 接続部 31 と制御電極部 23、又は、第 2 接続部 32 と制御電極部 23 とは、電氣的に接続されている。具体的には、実施例 1 のダイオード 11A は、積層構造体 20 の頂部から側面に亙り、第 1 接続部 31 及び第 2 接続部 32 と離間して形成された制御電極部 23 を更に備えており、第 1 接続部 31 と制御電極部 23 とは電氣的に接続されている。即ち、実施例 1 のダイオードは、所謂 MOS ダイオード構造を有する。

[0036] そして、実施例 1 あるいは後述する実施例 2 のダイオードにおいて、積層構造体 20, 25 は基体 70 の上に設けられている。このような構成にあつては、積層構造体 20, 25 の底面は基体 70 と接している。実施例 1 のダイオード 11A において、制御電極部 23 は積層構造体 20 の底面に形成されていない。また、実施例 1 あるいは後述する実施例 2 のダイオードにおいて、積層構造体 20, 25 は、具体的には、2 つの第 1 構造体 21A, 21B, 26A, 26B 及び 2 つの第 2 構造体 22A, 22B, 27A, 27B が、厚さ方向に、交互に積層されて成り、4 層構成であり、各構造体の厚さ（各層の厚さ）及び幅を、例えば、8 nm、8 nm とした。そして、積層構造体 20, 25 の長さ方向の一端は第 1 接続部 31 と接しており、他端は第 2 接続部 32 と接している。積層構造体 20, 25 の最下層は、第 1 構造体

21A, 26Aによって構成されていてもよいし、第2構造体22A, 27Aによって構成されていてもよいが、図示した例では、第1構造体21A, 26Aによって構成されている。

[0037] 実施例1あるいは後述する実施例2のダイオードにおいて、基体70はシリコン半導体基板から成る。また、実施例1あるいは後述する実施例2のダイオードにおいて、第1接続部31及び第2接続部32は基体70上に設けられている。更には、実施例1あるいは後述する実施例2のダイオードにおいて、第1構造体21及び第1接続部31はシリコン-ゲルマニウム(Si-Ge)から成り、第2構造体22及び第2接続部32はシリコン(Si)から成る。また、実施例1のダイオード11Aにおいて、第1接続部31と対向する制御電極部23の側面、及び、第2接続部32と対向する制御電極部23の側面には、例えばHfO₂から成る絶縁層(サイドウォール)24が形成されているし、制御電極部23はTiN、Ta₂N₅、Al、TiAl又はWから成り、具体的には、例えばTiNから成る。制御電極部23の長さを、例えば、0.1μmとし、第1接続部31と第2接続部32の間隔を0.14μmとした。

[0038] 更には、実施例1のダイオード11Aにおいて、積層構造体20は真性半導体領域(イントリンシック領域)を有し、あるいは又、積層構造体20の不純物濃度は $1 \times 10^{18} / \text{cm}^3$ 以下である。具体的には、第1構造体21及び第2構造体22は、真性半導体から成り、あるいは又、不純物濃度は $1 \times 10^{18} / \text{cm}^3$ 以下である。

[0039] 実施例1あるいは後述する実施例2において、半導体装置は、実施例1あるいは実施例2のダイオード、及び、GAA構造(ゲート電極がチャネル部の外周部を、切れ目無く、連続した状態で囲んでいる形態)を有する電界効果トランジスタ42を備えているし、所謂オメガ(Ω)構造(ゲート電極がチャネル部の外周部を囲んでいるが、部分的に不連続な状態で囲んでいる形態)の電界効果トランジスタ41を備えている。

[0040] pチャネル型の電界効果トランジスタ41は、ナノワイヤー構造又はナノ

シート構造を有する複数のチャネル部51（51A, 51B）、各チャネル部51（51A, 51B）を取り囲むゲート絶縁膜55、及び、各ゲート絶縁膜55の少なくとも一部を取り囲むゲート電極53を備えたチャネル構造部50Aを有する。一方、nチャネル型の電界効果トランジスタ42は、ナノワイヤー構造又はナノシート構造を有する複数のチャネル部52（52A, 52B）、各チャネル部52（52A, 52B）を取り囲むゲート絶縁膜55、及び、各ゲート絶縁膜55の少なくとも一部を取り囲むゲート電極53を備えたチャネル構造部50Bを有する。チャネル部51, 52は、チャネル構造部50の厚さ方向において、少なくとも2つ、形成されており、且つ、最下層のチャネル部51, 52は基体70の上あるいは基体70の上方に形成されている。図示した例では、チャネル部51（51A, 51B）は、チャネル構造部50Aの厚さ方向において、2つ、形成されており、且つ、最下層のチャネル部51Aは基体70の上に形成されている。最下層のチャネル部51Aと基体70の間にはゲート電極53は形成されていない（ Ω 構造）。一方、チャネル部52（52A, 52B）は、チャネル構造部50Bの厚さ方向において、2つ、形成されており、且つ、最下層のチャネル部52Aは基体70の上方に形成されている。最下層のチャネル部52Aと基体70の間にはゲート電極53が形成されている（GAA構造）。複数のチャネル部51, 52は、チャネル構造部50A, 50Bの厚さ方向において、相互に離間して配置されており、チャネル部51, 52とチャネル部51, 52との間は、ゲート絶縁膜55及びゲート電極53で埋め込まれている。チャネル部51, 52の長さ方向の一端は一方のソース／ドレイン領域61に接しており、他端は他方のソース／ドレイン領域62に接している。ソース／ドレイン領域61, 62と対向するゲート電極53の側面には、例えばHfO₂から成るゲートサイドウォール54が形成されている。

[0041] 上述したとおり、電界効果トランジスタを構成する最下層のチャネル部の少なくとも一部分はゲート電極で取り囲まれており、それ以外のチャネル部はゲート電極で取り囲まれている。図示した例では、電界効果トランジスタ

4 1 を構成する最下層のチャネル部 5 1 A の外周部の一部分はゲート電極 5 3 で取り囲まれていない。一方、電界効果トランジスタ 4 2 を構成する最下層のチャネル部 5 2 A の外周部の一部はゲート電極 5 3 で取り囲まれている。

[0042] 実施例 1 の電界効果トランジスタ 4 1 のチャネル部 5 1 (5 1 A, 5 1 B) はシリコン-ゲルマニウム (Si - Ge) から成り、電界効果トランジスタ 4 2 のチャネル部 5 2 (5 2 A, 5 2 B) はシリコン (Si) から成る。また、電界効果トランジスタ 4 1, 4 2 のゲート電極 5 3 を構成する材料を、例えば T i N とし、ゲート絶縁膜 5 5 を、S i O N 及び H f O₂ の積層構造とする。

[0043] 実施例 1 のダイオード 1 1 A の動作機構を説明するための図を図 1 5 に示し、前述した非特許文献 1 に提案された G A A 構造を有するダイオードの動作機構を説明するための図を図 1 6 に示す。尚、図 1 5、図 1 6 の最上段の図は、図 1 A と同様の模式的な断面図である。図 1 5 における「(1) 位置」は、第 2 構造体 2 2 B におけるポテンシャルの変化を示す図であり、「(2) 位置」は、第 1 構造体 2 1 B におけるポテンシャルの変化を示す図である。また、「V = 0」は、第 1 接続部 3 1 及び制御電極部 2 3 に 0 ボルトを印加し、第 2 接続部 3 2 を接地した (0 ボルトの印加) したときのポテンシャルを示しており、「V > V_{bi}」は、第 1 接続部 3 1 及び制御電極部 2 3 に基板バイアス V_{bi} (具体的には、0 ボルト) よりも高い電圧 (例えば、+ 1 . 0 ボルト) を印加し、第 2 接続部 3 2 を接地した (0 ボルトの印加) したときのポテンシャルを示している。

[0044] 以下、図 2 0 A、図 2 0 B、図 2 0 C、図 2 1 A、図 2 1 B、図 2 1 C、図 2 2 A、図 2 2 B、図 2 2 C、図 2 3 A、図 2 3 B、図 2 3 C、図 2 4 A、図 2 4 B、図 2 4 C、図 2 5 A、図 2 5 B 及び図 2 5 C を参照して、実施例 1 のダイオード及び電界効果トランジスタの製造方法の概要を説明する。尚、図 2 0 A、図 2 0 B、図 2 0 C、図 2 1 A、図 2 1 B、図 2 1 C、図 2 2 A、図 2 2 B、図 2 2 C、図 2 3 A、図 2 3 B、図 2 3 C、図 2 4 A、図

24B及び図24Cは、図2A及び図4Aの矢印C-Cに沿ったと同様の基体等の模式的な一部断面図であり、図25A、図25B及び図25Cは、図2A及び図4Aの矢印A-Aに沿ったと同様の基体等の模式的な一部断面図である。

[0045] [工程-100]

先ず、基体70の所望の領域の上に、ダイオード及び電界効果トランジスタのための素子分離領域（図示せず）を形成した後、Si-Geから成る第1半導体層81（第1構造体21A及びpチャネル型の電界効果トランジスタ41のチャンネル部51Aを構成する半導体層である）、Siから成る第2半導体層82（第2構造体22A及びnチャネル型の電界効果トランジスタ42のチャンネル部52Aを構成する半導体層である）、Si-Geから成る第3半導体層83（第1構造体21B及びpチャネル型の電界効果トランジスタ41のチャンネル部51Bを構成する半導体層である）、Siから成る第4半導体層84（第2構造体22B及びnチャネル型の電界効果トランジスタ42のチャンネル部52Bを構成する半導体層である）を、順次、例えば、エピタキシャルCVD法に基づき形成する。第1半導体層81、第2半導体層82、第3半導体層83及び第4半導体層84は、真性半導体から成り、あるいは又、不純物濃度は $1 \times 10^{18} / \text{cm}^3$ 以下である。

[0046] [工程-110]

次に、第1半導体層81、第2半導体層82、第3半導体層83及び第4半導体層84から成る積層構造体20及び積層構造体20'、20''（チャンネル構造部50A、50Bを形成するための積層構造体）のそれぞれを、周知のリソグラフィ技術及びエッチング技術に基づき、ダイオード11Aを形成すべき基体70の上、及び、電界効果トランジスタを形成すべき基体70の上に形成する。こうして、図20A、図20B及び図20Cに示す構造を得ることができる。

[0047] [工程-120A]

その後、積層構造体20、及び、nチャネル型の電界効果トランジスタ4

2のチャネル構造部50Bを形成するための積層構造体20''を適切なマスク層で被覆し、pチャネル型の電界効果トランジスタ41のチャネル構造部50Aを形成するための積層構造体20'を露出した状態とする。そして、所望のレジストパターンを有するエッチング用レジスト91を形成し（図21A参照）、第4半導体層84、第3半導体層83、第2半導体層82及び第1半導体層81をパターンニングする。エッチング用レジスト91の幅に依存して、ナノワイヤー構造が得られ、あるいは又、ナノシート構造が得られる。こうして、図21Bに示す構造を得ることができる。

[0048] [工程－120B]

次いで、第1半導体層81及び第3半導体層83を構成する材料（Si-Ge）に対してエッチング選択比を有するエッチャントを用いて、Siから成る第2半導体層82及び第4半導体層84を除去する。ナノワイヤー構造から成るチャネル部52の両端は、積層構造体20'から成る支持部によって支持されている。その後、エッチング用レジスト91を除去する。こうして、図21Cに示す構造を得ることができる。

[0049] [工程－130A]

その後、pチャネル型の電界効果トランジスタ41のチャネル構造部50Aの構成要素を適切なマスク層で被覆し、積層構造体20、及び、nチャネル型の電界効果トランジスタ42のチャネル構造部50Bを形成するための積層構造体20''を露出した状態とする。そして、所望のレジストパターンを有するエッチング用レジスト92を形成し（図22A参照）、第4半導体層84、第3半導体層83、第2半導体層82及び第1半導体層81をパターンニングする。エッチング用レジスト92の幅に依存して、ナノワイヤー構造が得られ、あるいは又、ナノシート構造が得られる。こうして、図22B及び図23Cに示す構造を得ることができる。

[0050] [工程－130B]

次いで、第2半導体層82及び第4半導体層84を構成する材料（Si）に対してエッチング選択比を有するエッチャントを用いて、Si-Geから

成る第1半導体層81及び第3半導体層83を除去する。ナノワイヤー構造から成るチャネル部51の両端は、積層構造体20”から成る支持部によって支持されている。その後、エッチング用レジスト92を除去する。こうして、図22Cに示す構造を得ることができる。

[0051] [工程－140]

その後、チャネル部51、52にゲート絶縁膜55を形成する。具体的には、先ず、所望のレジストパターンを有するレジスト層（図示せず）を形成した後、チャネル部51、52に熱酸化処理を行うことで、SiONから成るゲート絶縁膜の一部を形成する。熱酸化処理を行うことで、ナノワイヤー構造から成るチャネル部51、52の断面形状は円形となる。次いで、ゲート絶縁膜の上に、ALD法に基づき、HfO₂から成るゲート絶縁膜の残部を形成する。こうして、図23A及び図23Bに示す構造を得ることができる。

[0052] [工程－150]

次に、ダイオード11Aを構成する積層構造体20の一部に制御電極部23を、CVD法、リソグラフィ技術及びエッチング技術に基づき形成する。併せて、pチャネル型の電界効果トランジスタ41及びnチャネル型の電界効果トランジスタ42のゲート電極53を、CVD法、リソグラフィ技術及びエッチング技術に基づき形成する（図24A、図24B及び図24C参照）。その後、絶縁層（サイドウォール）24、ゲートサイドウォール54を周知の方法で形成する。

[0053] [工程－160]

次に、第1接続部31、第2接続部32、ソース／ドレイン領域61、62を形成する。具体的には、チャネル部51、52の両端を支持している積層構造体20’、20”から成る支持部をリソグラフィ技術及びエッチング技術に基づき除去し、また、積層構造体20から不要の部分をリソグラフィ技術及びエッチング技術に基づき除去し、基体70を露出させる。そして、第1接続部31を形成すべき基体70の領域以外の領域を、例えば、SiN

から成るマスク層（図示せず）で覆う。そして、選択エピタキシャル成長法に基づき、基体 70 上に、p 型不純物を含む Si-Ge から成る第 1 接続部 31 を形成した後、マスク層を除去する。次に、第 2 接続部 32 及びソース／ドレイン領域 61, 62 を形成すべき基体 70 の領域以外の領域を、例えば、SiN から成る別のマスク層（図示せず）で覆う。そして、選択エピタキシャル成長法に基づき、基体 70 上に、n 型不純物を含む Si から成る第 2 接続部 32 及びソース／ドレイン領域 61, 62 を形成した後、マスク層を除去する。こうして、ナノワイヤー構造を有するダイオード 11A 及び電界効果トランジスタ 41, 42 を得ることができる。そして、更には、全面に層間絶縁層を形成し、第 1 接続部 31、第 2 接続部 32、制御電極部 23 の上方に位置する層間絶縁層に開口部を形成し、開口部内から層間絶縁層上に互り、接続孔及び配線、接続部（第 1 接続部 31 と制御電極部 23 とを接続する接続部）を形成すればよい。また、ゲート電極 53、ソース／ドレイン領域 61, 62 の上方に位置する層間絶縁層に開口部を形成し、開口部内から層間絶縁層上に互り、接続孔及び配線を形成すればよい。

[0054] 図 17A に示す実施例 1 のダイオードに類似した構造を有するダイオード（便宜上、『シミュレーション用のダイオード』と呼ぶ）、及び、このシミュレーション用のダイオードの積層構造体内におけるポテンシャル分布、電界強度分布及び電流密度分布をシミュレーションした結果を、図 17B、図 17C 及び図 17D に示す。シミュレーション用のダイオードは、Si-Ge から成る第 1 接続部 31、Si から成る第 2 接続部 32、Si-Ge から成る 1 つの第 1 構造体 21 及び SiGe から成る 1 つの第 2 構造体 22 の合計 2 層が積層された積層構造体 20、並びに、積層構造体 20 の外周部を取り囲む制御電極部 23 から成る。そして、第 1 接続部 31 及び制御電極部 23 に +1.0 ボルトを印加し、第 2 接続部 32 を接地した（0 ボルトの印加）状態のシミュレーションを行った。図 17B、図 17C 及び図 17D の結果から、第 1 構造体 21 と第 2 構造体 22 との間において、ポテンシャル分布、電界強度分布及び電流密度分布に相違は認められず、ダイオード動作の確

認ができた。

[0055] また、図 1 7 A に示したシミュレーション用のダイオード、積層構造体を 2 層のシリコン層で置き換えたダイオード（便宜上、『比較例 1 A のダイオード』と呼ぶ）、及び、2 層のシリコン-ゲルマニウム層で置き換えたダイオード（便宜上、『比較例 1 B のダイオード』と呼ぶ）においてパルス電圧を印加したときに流れるパルス電流をシミュレーションした結果を図 1 8 に示す。尚、図 1 8 の「B」にシミュレーション用のダイオードの結果を示し、図 1 8 の「A」に比較例 1 A のダイオードの結果を示し、図 1 8 の（C）に比較例 1 B のダイオードの結果を示す。シミュレーション用のダイオードは、比較例 1 A ダイオードとほぼ同様の動作特性を有し、比較例 1 B のダイオードよりも優れた特性を有することが確認できた。

[0056] 更には、シミュレーション用のダイオード、比較例 1 A のダイオード及び比較例 1 B のダイオードの積層構造体内におけるポテンシャル分布、電界強度分布及び電流密度分布をシミュレーションした結果を図 1 9 に示す。

[0057] [ポテンシャル分布]

シミュレーション用のダイオード	図 1 9 の（C）参照
比較例 1 A のダイオード	図 1 9 の（A）参照
比較例 1 B のダイオード	図 1 9 の（B）参照

[電界強度分布]

シミュレーション用のダイオード	図 1 9 の（F）参照
比較例 1 A のダイオード	図 1 9 の（D）参照
比較例 1 B のダイオード	図 1 9 の（E）参照

[電流密度分布]

シミュレーション用のダイオード	図 1 9 の（J）参照
比較例 1 A のダイオード	図 1 9 の（G）参照
比較例 1 B のダイオード	図 1 9 の（H）参照

[0058] 図 1 9 の結果から、シミュレーション用のダイオード、比較例 1 A のダイオード及び比較例 1 B のダイオードの積層構造体内におけるポテンシャル分

布、電界強度分布及び電流密度分布において、積層構造体を構成する上層と下層の間で大きな差異は認められなかった。

- [0059] 実施例1あるいは後述する実施例2のダイオードにあっては、ナノワイヤー構造又はナノシート構造を有する第1構造体及び第2構造体が厚さ方向に交互に積層されて成る積層構造体を有するので、ダイオードに流せる電流の減少を出来る限り抑制することができる。しかも、例えば、G A A構造を有する電界効果トランジスタの製造工程との親和性が高い。即ち、実施例1あるいは後述する実施例2のダイオードは、例えば、G A A構造を有する電界効果トランジスタと同じ工程で製造することが可能である。
- [0060] しかも、実施例1のダイオードにあっては、制御電極部が設けられているので、ゲート電極から積層構造体に電子が注入される結果、積層構造体において伝導帯及び価電子帯が押し下げられ、積層構造体が真性半導体領域（イントリンシック領域）を有し、あるいは又、積層構造体の不純物濃度が $1 \times 10^{18} / \text{cm}^3$ 以下であっても、第1接続部とほぼ同じ電位となり、ダイオードとして電流を流すことができる。
- [0061] また、前述した非特許文献1に提案されたG A A構造を有するダイオードと、実施例1のダイオードとを、以下、比較する。実施例1のダイオードにおける第1構造体21及び第2構造体22の幅及び高さを a とする。2つの第1構造体21及び2つの第2構造体22から構成された積層構造体20の断面積、即ち、実施例1のダイオードにおける電流を流せる断面積は $4a^2$ である。一方、非特許文献1に提案されたダイオードにおいては、幅 a 、高さ $4a$ の断面領域は2つの構造体で占められる。従って、非特許文献1に提案されたダイオードにおける電流を流せる断面積は $2 \times \pi \times (a/2)^2 = 1.57a^2$ である。即ち、実施例1のダイオードと非特許文献1に提案されたダイオードにおいて、ダイオードの断面積を同じとする場合、非特許文献1に提案されたダイオードと比較して、実施例1のダイオードは、2.5倍（ $= 4 / 1.57$ ）、電流を流すことができるし、ダイオードが流す電流を同じとする場合、非特許文献1に提案されたダイオードと比較して、実施例1の

ダイオードは、断面積を、 $1/2.5$ 倍、縮小することが可能になる。

[0062] 〈実施例 1 のダイオードの変形例 1〉

実施例 1 のダイオードの変形例 1（ダイオード 11B）の、図 2A の矢印 B-B に沿ったと同様の模式的な一部断面図を図 9A に示す。この変形例 1 にあっては、第 2 接続部 32 と制御電極部 23 とが電氣的に接続されている。

[0063] 〈実施例 1 のダイオードの変形例 2〉

実施例 1 のダイオードの変形例 2（ダイオード 11C）の、図 2A の矢印 A-A に沿ったと同様の模式的な一部断面図を図 9B に示す。この変形例 2 にあっては、ダイオード 11C が設けられている基体 70 の領域は第 2 導電型（具体的には、 n^+ ）を有し、第 1 接続部 31 と制御電極部 23 とは電氣的に接続されており、あるいは又、第 2 接続部 32 と制御電極部 23 とは電氣的に接続されている。より具体的には、ダイオード 11C が設けられた基体 70 の上部の領域は n^+ 領域 71 から構成されており、第 1 接続部 31 及びこの n^+ 領域 71 によってもダイオードが構成される。そして、このような構造とすることで、電流経路を増やすことができ、ダイオードが流せる電流の増加を図ることができる。

[0064] 〈実施例 1 のダイオードの変形例 3〉

実施例 1 のダイオードの変形例 3（ダイオード 11D）の、図 2A の矢印 A-A に沿ったと同様の模式的な一部断面図を図 10A に示す。この変形例 3 にあっては、基体は SOI 基板 72 から成る。ダイオード 11D は、SOI 基板 72 を構成するシリコン層 73 上に設けられている。

[0065] 〈実施例 1 のダイオードの変形例 4〉

実施例 1 のダイオードの変形例 4（ダイオード 11E）の、図 2A の矢印 A-A に沿ったと同様の模式的な一部断面図を図 10B に示す。この変形例 4 にあっても、ダイオード 11E が設けられている基体 72 の部分を構成するシリコン層 74 は第 2 導電型（具体的には、 n^+ ）を有し、第 1 接続部 31 と制御電極部 23 とは電氣的に接続されており、あるいは又、第 2 接続部 3

2と制御電極部23とは電氣的に接続されている。より具体的には、基体はSOI基板72から成り、ダイオード11Eは、SOI基板72を構成するn⁺シリコン層74上に設けられている。第1接続部31及びこのn⁺シリコン層74によってもダイオードが構成される。そして、このような構造とすることで、電流経路を増やすことができ、ダイオードが流せる電流の増加を図ることができる。

[0066] 〈実施例1のダイオードの変形例5〉

実施例1のダイオードの変形例5（ダイオード11F）の、図2Aの矢印A-Aに沿ったと同様の模式的な一部断面図を図11Aに示し、図2Aの矢印B-Bに沿ったと同様の模式的な一部断面図を図11Bに示し、図2Aの矢印C-C及び矢印D-Dに沿ったと同様の模式的な一部断面図を図12A及び図12Bのそれぞれに示す。ダイオード11Fにおいて、制御電極部23は、積層構造体20の底面に互り形成されている。積層構造体20は基体70の上方に設けられている。このような構成にあつては、積層構造体20の底面は基体70と接しておらず、制御電極部23の底面は基体70と接しており、あるいは又、図示するように、制御電極部23の底面は基体70の上方に位置し、制御電極部23の底面と基体70の頂面との間には隙間が存在する。積層構造体20の最下層は、第2構造体22Aによって構成されており、第1構造体21の数は1であり、第2構造体22の数を2としたが、これらに限定するものではない。このような構造は、前述した第1半導体層81の代わりに犠牲層を形成し、[工程-130B]と同様の工程において、積層構造体20から犠牲層を除去することで得ることができる。

実施例 2

[0067] 実施例2は、本開示の第2の態様に係るダイオードに関する。実施例2のダイオードの、図2Aの矢印C-C及び図2Bの矢印D-Dに沿ったと同様の模式的な一部断面図を、図13A及び図13Bに示す。実施例2のダイオードにあつては、実施例1のダイオードと異なり、制御電極部23は設けられておらず、第1接続部31に接する積層構造体25の第1の部分25Aは

第1導電型（具体的には、例えばp型）を有し、第2接続部32に接する積層構造体25の第2の部分25Bは第2導電型（具体的には、例えば、n型）を有する。そして、積層構造体25の第1の部分25Aと積層構造体25の第2の部分25Bとは接している。第1の部分25Aは、p型不純物をイオン注入することによって設けることができるし、第2の部分25Bは、n型不純物をイオン注入することによって設けることができる。

[0068] 以上の点を除き、実施例2のダイオードの構成、構造は実施例1のダイオードの構成、構造を同様とすることができるので、詳細な説明は省略する。尚、実施例1の変形例2、変形例3、変形例4、変形例5の構成、構造を、適宜、実施例2のダイオードに適用することができる。

[0069] 実施例2のダイオードにあっては、Si-Geから成る第1構造体26（26B）と、Siから成る第2構造体27（27A，27B）との仕事関数の値の差は0.1eV程度であり、ダイオードとして動作するときの第1接続部31と第2接続部32との間の電位差（通常、1ボルト以上）では、仕事関数の値の差が吸収され、全体としてダイオード動作が可能である。そして、第1構造体26と第2構造体27とが別々にダイオード動作すること無く、一体にダイオード動作するが故に、電流経路を倍とすることができ、ダイオードが流せる電流の増加を図ることができる。

[0070] 以上、本開示を好ましい実施例に基づき説明したが、実施例において説明したダイオードや電界効果トランジスタの構成、構造、ダイオードや電界効果トランジスタを構成する材料、ダイオードや電界効果トランジスタの製造方法は例示であり、適宜、変更することができる。ダイオードや電界効果トランジスタの製造方法における工程順序は、所望に応じて、適宜、変更することができる。実施例においては、積層構造体やチャネル部を専らナノワイヤー構造に基づき説明したが、ナノシート構造とすることもできる。基体として、シリコン半導体基板やSOI基板の代わりに、GOI基板やSGOI基板を用いることもできる。素子分離領域は、例えば、[工程-120A]や[工程-130A]において形成することもできる。

[0071] 図2Aの矢印A-Aに沿ったと同様の模式的な一部断面図を図14に示すように、積層構造体20、25の長さ方向の一端に接した第1接続部31は、第1構造体21、26及び第2構造体22、27に対して突起部を有し、積層構造体20、25の長さ方向の他端に接した第2接続部32は、第1構造体21、26及び第2構造体22、27に対して突起部を有する形態とすることができる。即ち、第1構造体21、26あるいは第2構造体22、27の上面の長さを L_T 、第1構造体21、26あるいは第2構造体22、27の下面の長さを L_B 、第1構造体21、26あるいは第2構造体22、27の厚さ方向中央部の長さを L_C としたとき、

$$L_T > L_C, \text{ 且つ、 } L_B > L_C$$

を満足する。第1構造体21、26や第2構造体22、27の主面の面方位を、例えば $\{110\}$ とすることで、エッチングによって第1構造体21、26や第2構造体22、27を得るとき、第1構造体21、26や第2構造体22、27をこのような形状とすることができる。尚、エッチングによって得られる第1構造体21、26や第2構造体22、27の形状は、第1構造体21、26や第2構造体22、27の面方位と第1構造体21、26や第2構造体22、27の延びる方向によって変化する。

[0072] Si-Ge層は、下層のSi層の上に上層のSi-Ge層を形成し、酸化処理を行うことで、上層のSi-Ge層を SiO_2 とし、下層のSi層をSi-Ge層とするプロセスによって得ることもできる。

[0073] 尚、本開示は、以下のような構成を取ることもできる。

[A01] 《ダイオード：第1の態様》

積層構造体、

積層構造体の長さ方向の一端に設けられた第1接続部、及び、

積層構造体の長さ方向の他端に設けられた第2接続部、

を備えており、

積層構造体は、ナノワイヤー構造又はナノシート構造を有する第1構造体、及び、第1構造体を構成する材料とは異なる材料から構成されたナノワイ

ヤー構造又はナノシート構造を有する第2構造体が、厚さ方向に、交互に積層されて成り、

第1接続部は、第1導電型を有し、

第2接続部は、第1導電型とは異なる第2導電型を有し、

少なくとも積層構造体の頂部から側面に互り、第1接続部及び第2接続部と離間して形成された制御電極部を更に備えており、

第1接続部と制御電極部、又は、第2接続部と制御電極部とは、電氣的に接続されているダイオード。

[A02] 積層構造体は、基体の上に設けられている[A01]に記載のダイオード。

[A03] 制御電極部は、更に、積層構造体の底面に互り形成されている[A01]に記載のダイオード。

[A04] 積層構造体は、基体の上方に設けられている[A03]に記載のダイオード。

[A05] 基体は、シリコン半導体基板又はSOI基板から成る[A02]乃至[A04]のいずれか1項に記載のダイオード。

[A06] 第1接続部及び第2接続部は、基体上に設けられている[A02]乃至[A05]のいずれか1項に記載のダイオード。

[A07] ダイオードが設けられている基体の領域は第2導電型を有し、

第1接続部と制御電極部とは電氣的に接続されており、又は、第2接続部と制御電極部とは電氣的に接続されている[A02]乃至[A06]のいずれか1項に記載のダイオード。

[A08] 第1導電型はp型であり、

第2導電型はn型である[A01]乃至[A07]のいずれか1項に記載のダイオード。

[A09] 第1構造体は、シリコン-ゲルマニウムから成り、

第2構造体は、シリコンから成る[A01]乃至[A08]のいずれか1項に記載のダイオード。

[A 1 0] 積層構造体は真性半導体領域を有する [A 0 1] 乃至 [A 0 9] のいずれか 1 項に記載のダイオード。

[A 1 1] 積層構造体の不純物濃度は $1 \times 10^{18} / \text{cm}^3$ 以下である [A 0 1] 乃至 [A 0 9] のいずれか 1 項に記載のダイオード。

[A 1 2] 第 1 接続部と対向する制御電極部の側面、及び、第 2 接続部と対向する制御電極部の側面には、絶縁層が形成されている [A 0 1] 乃至 [A 1 1] のいずれか 1 項に記載のダイオード。

[A 1 3] 制御電極部は、TiN、TaN、Al、TiAl 又は W から成る [A 0 1] 乃至 [A 1 2] のいずれか 1 項に記載のダイオード。

[B 0 1] 《ダイオード：第 2 の態様》

積層構造体、

積層構造体の長さ方向の一端に設けられた第 1 接続部、及び、

積層構造体の長さ方向の他端に設けられた第 2 接続部、

を備えており、

積層構造体は、ナノワイヤー構造又はナノシート構造を有する第 1 構造体、及び、第 1 構造体を構成する材料とは異なる材料から構成されたナノワイヤー構造又はナノシート構造を有する第 2 構造体が、厚さ方向に、交互に積層されて成り、

第 1 接続部は、第 1 導電型を有し、

第 2 接続部は、第 1 導電型とは異なる第 2 導電型を有し、

第 1 接続部に接する積層構造体の第 1 の部分は第 1 導電型を有し、

第 2 接続部に接する積層構造体の第 2 の部分は第 2 導電型を有するダイオード。

[B 0 2] 積層構造体の第 1 の部分と積層構造体の第 2 の部分とは接している [B 0 1] に記載のダイオード。

[C 0 1] 積層構造体の長さ方向の一端に接した第 1 接続部は、第 1 構造体及び第 2 構造体に対して突起部を有し、積層構造体の長さ方向の他端に接した第 2 接続部は、第 1 構造体及び第 2 構造体に対して突起部を有する [A 0

1] 乃至 [B 0 2] のいずれか 1 項に記載のダイオード。

[C 0 2] 第 1 構造体あるいは第 2 構造体の上面の長さを L_T 、第 1 構造体あるいは第 2 構造体の下面の長さを L_B 、第 1 構造体あるいは第 2 構造体の厚さ方向中央部の長さを L_C としたとき、

$$L_T > L_C、且つ、L_B > L_C$$

を満足する [C 0 1] に記載のダイオード。

符号の説明

[0074] 1 1 A, 1 1 B, 1 1 C, 1 1 D, 1 1 E, 1 1 F, 1 2 . . . ダイオード、2 0, 2 5 . . . 積層構造体、2 1, 2 1 A, 2 1 B, 2 6, 2 6 B . . . 第 1 構造体、2 2, 2 2 A, 2 2 B, 2 7, 2 7 A, 2 7 B . . . 第 2 構造体、2 3 . . . 制御電極部、2 4 . . . 絶縁層（サイドウォール）、2 5 A . . . 積層構造体の第 1 の部分、2 5 B . . . 積層構造体の第 2 の部分、3 1 . . . 第 1 接続部、3 2 . . . 第 2 接続部、4 1, 4 2 . . . 電界効果トランジスタ、5 0 A, 5 0 B . . . チャンネル構造部、5 1, 5 1 A, 5 1 B, 5 2, 5 2 A, 5 2 B . . . チャンネル部、5 3 . . . ゲート電極、5 4 . . . ゲートサイドウォール、5 5 . . . ゲート絶縁膜、6 1, 6 2 . . . ソース／ドレイン領域、7 0 . . . 基体、7 1 . . . 基体における n^+ 層、7 2 . . . SOI 基板、7 3 . . . SOI 基板におけるシリコン層、7 4 . . . SOI 基板における n^+ シリコン層、8 1 . . . 第 1 半導体層、8 2 . . . 第 2 半導体層、8 3 . . . 第 3 半導体層、8 4 . . . 第 4 半導体層、9 1, 9 2 . . . エッチング用レジスト

請求の範囲

- [請求項1] 積層構造体、
積層構造体の長さ方向の一端に設けられた第1接続部、及び、
積層構造体の長さ方向の他端に設けられた第2接続部、
を備えており、
積層構造体は、ナノワイヤー構造又はナノシート構造を有する第1構造体、及び、第1構造体を構成する材料とは異なる材料から構成されたナノワイヤー構造又はナノシート構造を有する第2構造体が、長さ方向に、交互に積層されて成り、
第1接続部は、第1導電型を有し、
第2接続部は、第1導電型とは異なる第2導電型を有し、
少なくとも積層構造体の頂部から側面に亙り、第1接続部及び第2接続部と離間して形成された制御電極部を更に備えており、
第1接続部と制御電極部、又は、第2接続部と制御電極部とは、電気的に接続されているダイオード。
- [請求項2] 積層構造体は、基体の上に設けられている請求項1に記載のダイオード。
- [請求項3] 制御電極部は、更に、積層構造体の底面に亙り形成されている請求項1に記載のダイオード。
- [請求項4] 積層構造体は、基体の上方に設けられている請求項3に記載のダイオード。
- [請求項5] 基体は、シリコン半導体基板又はSOI基板から成る請求項2又は請求項3に記載のダイオード。
- [請求項6] 第1接続部及び第2接続部は、基体上に設けられている請求項2又は請求項3に記載のダイオード。
- [請求項7] ダイオードが設けられている基体の領域は第2導電型を有し、
第1接続部と制御電極部とは電気的に接続されている請求項2又は請求項3に記載のダイオード。

- [請求項8] 第1導電型はp型であり、
第2導電型はn型である請求項1に記載のダイオード。
- [請求項9] 第1構造体は、シリコン-ゲルマニウムから成り、
第2構造体は、シリコンから成る請求項1に記載のダイオード。
- [請求項10] 積層構造体は真性半導体領域を有する請求項1に記載のダイオード。
。
- [請求項11] 積層構造体の不純物濃度は $1 \times 10^{18} / \text{cm}^3$ 以下である請求項1に記載のダイオード。
- [請求項12] 第1接続部と対向する制御電極部の側面、及び、第2接続部と対向する制御電極部の側面には、絶縁層が形成されている請求項1に記載のダイオード。
- [請求項13] 制御電極部は、TiN、Ta₂N、Al、TiAl又はWから成る請求項1に記載のダイオード。
- [請求項14] 積層構造体、
積層構造体の長さ方向の一端に設けられた第1接続部、及び、
積層構造体の長さ方向の他端に設けられた第2接続部、
を備えており、
積層構造体は、ナノワイヤー構造又はナノシート構造を有する第1構造体、及び、第1構造体を構成する材料とは異なる材料から構成されたナノワイヤー構造又はナノシート構造を有する第2構造体が、厚さ方向に、交互に積層されて成り、
第1接続部は、第1導電型を有し、
第2接続部は、第1導電型とは異なる第2導電型を有し、
第1接続部に接する積層構造体の第1の部分は第1導電型を有し、
第2接続部に接する積層構造体の第2の部分は第2導電型を有するダイオード。
- [請求項15] 積層構造体の第1の部分と積層構造体の第2の部分とは接している請求項14に記載のダイオード。

[図1]

図 1 A

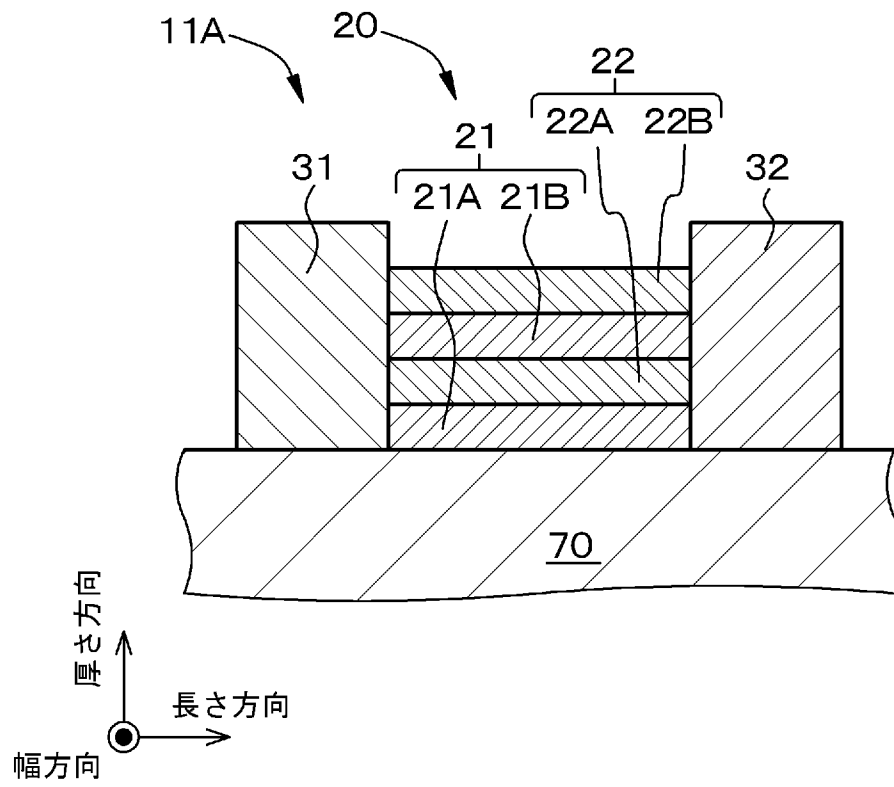
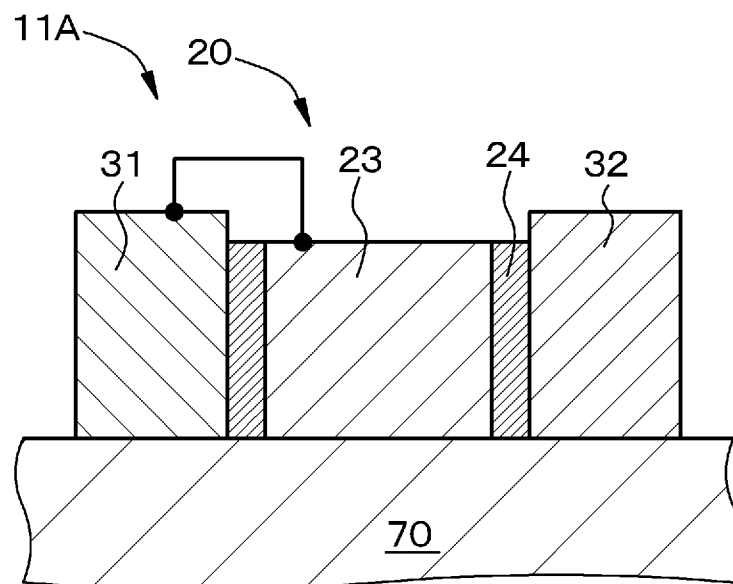


図 1 B



[図2]

図 2 A

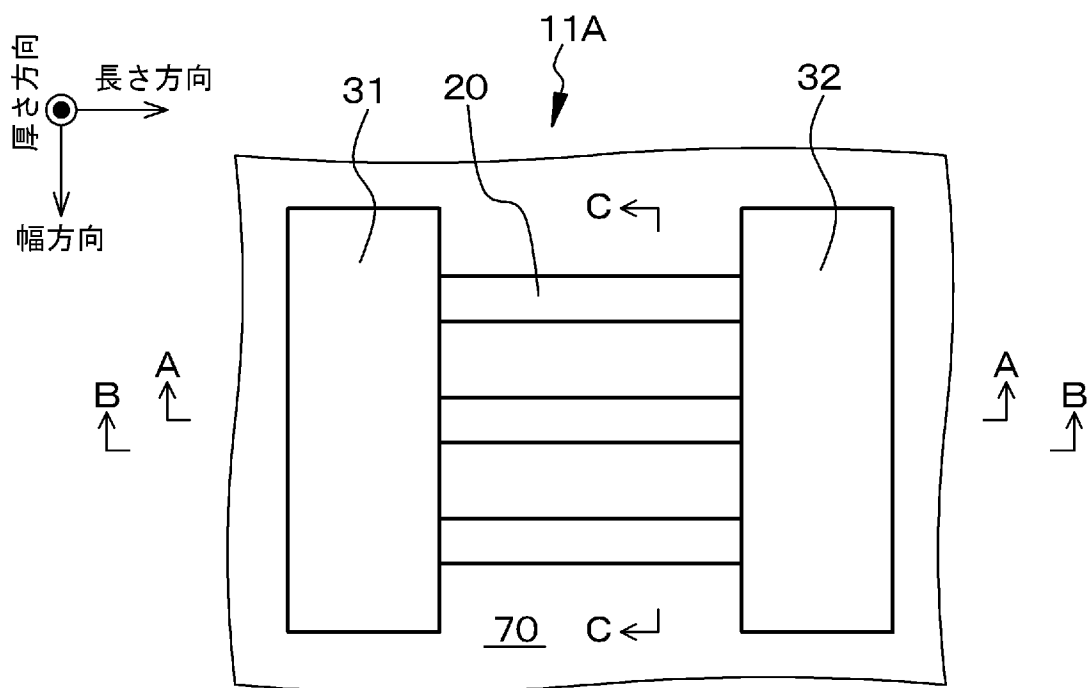
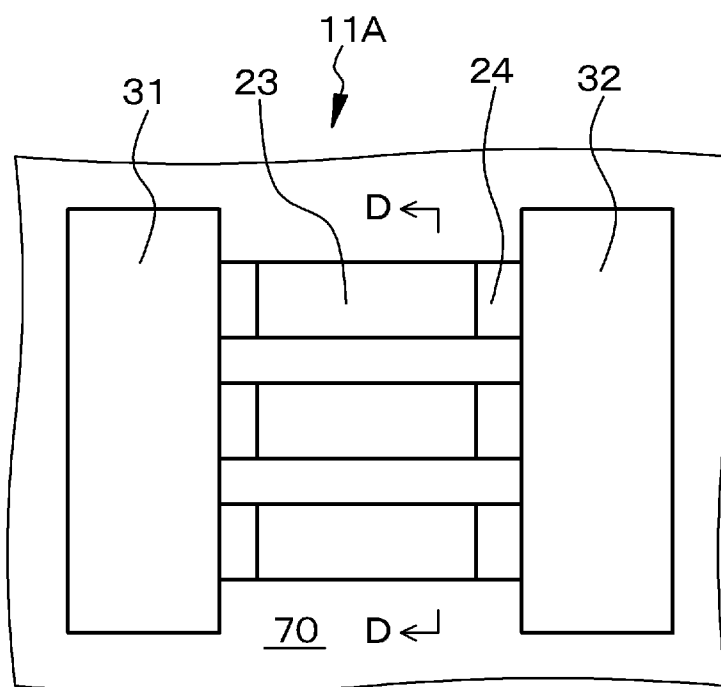


図 2 B



[図3]

図 3 A

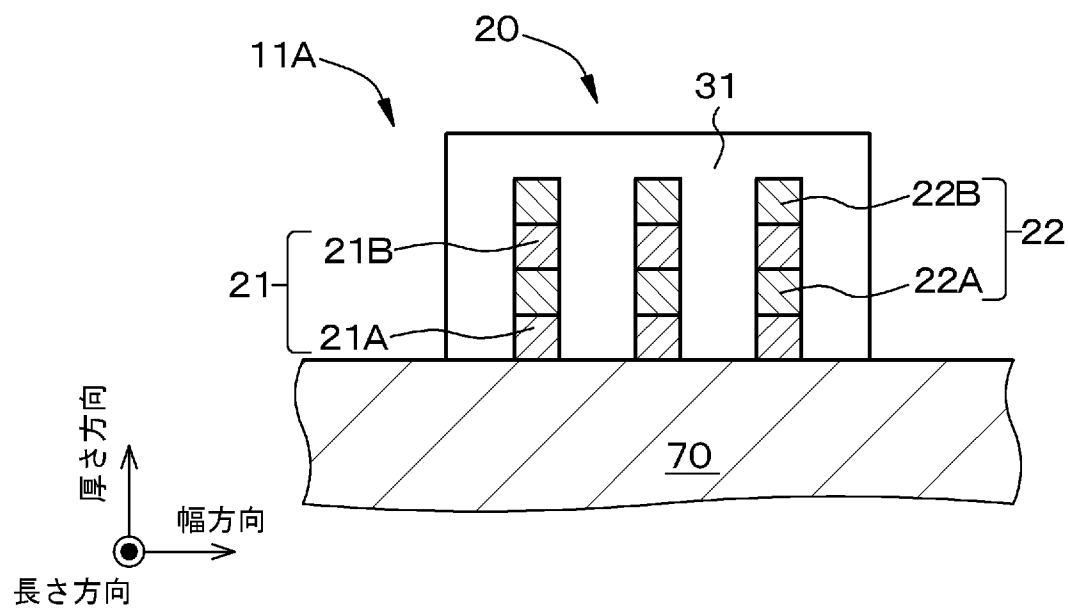
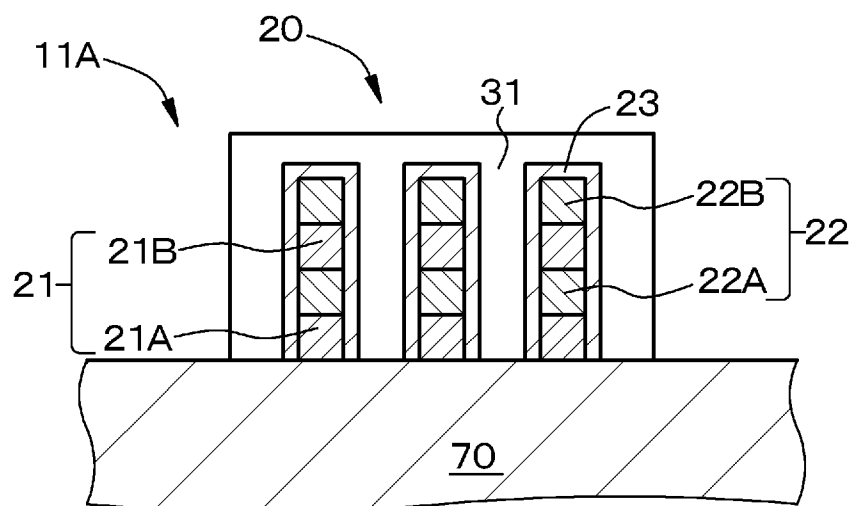


図 3 B



[図4]

図 4 A

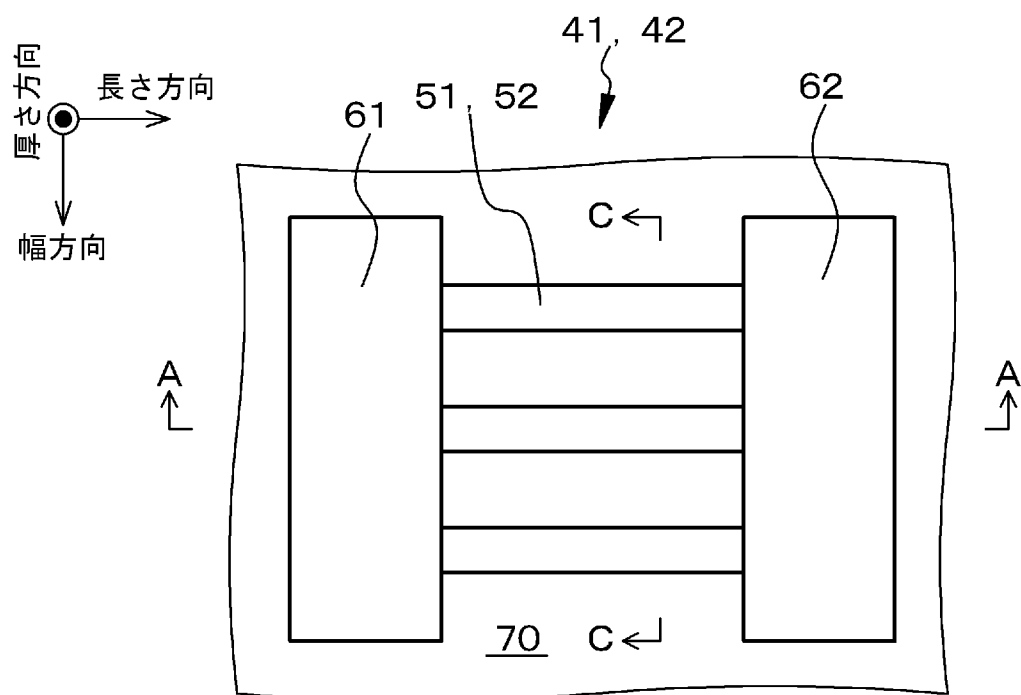
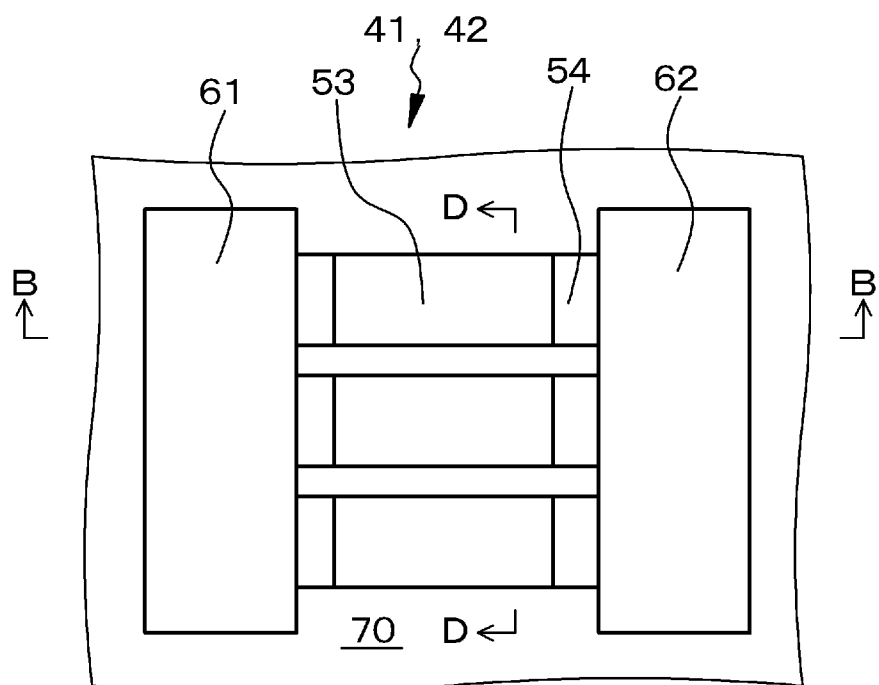


図 4 B



[図5]

図 5 A

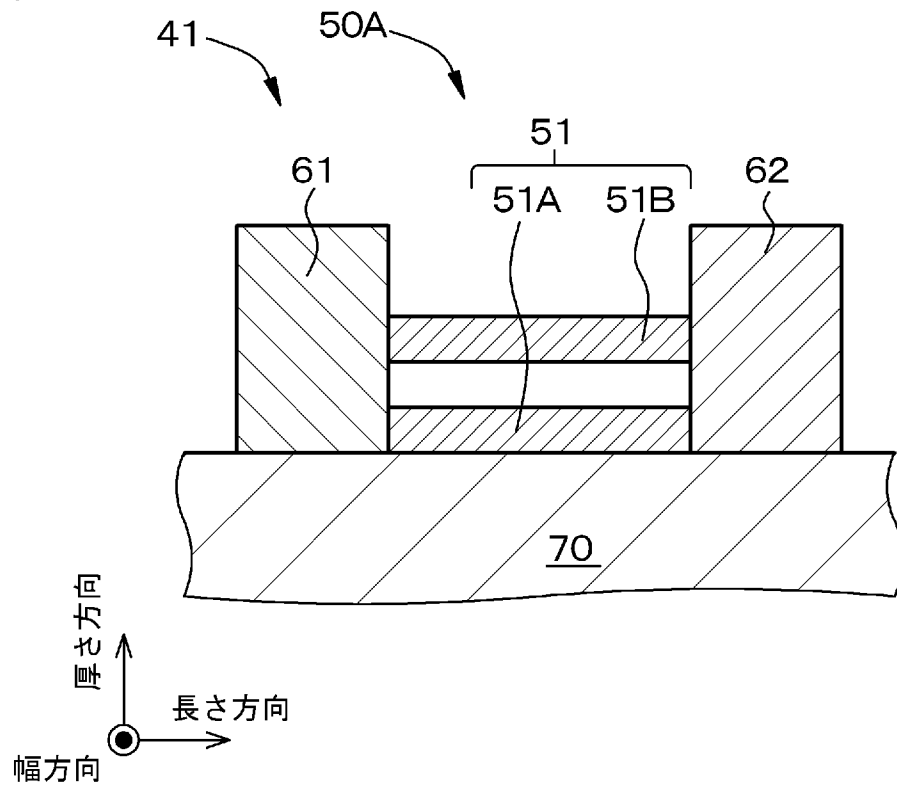
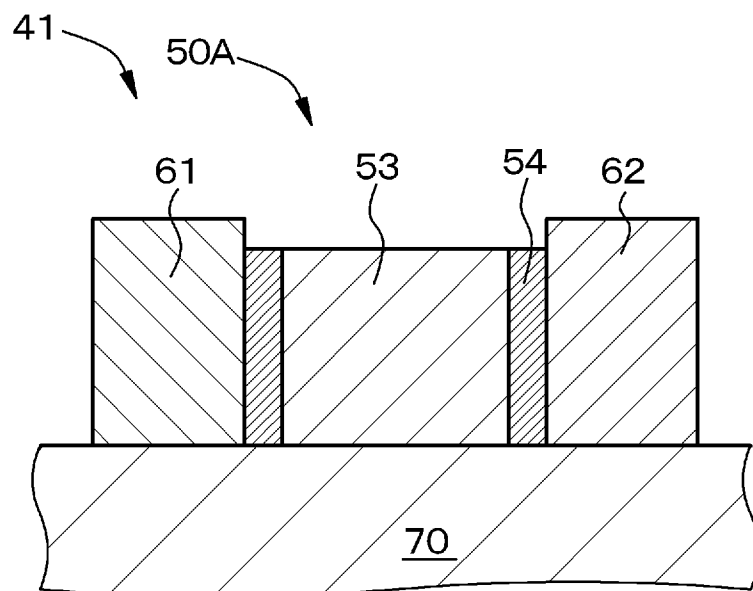


図 5 B



[図6]

図 6 A

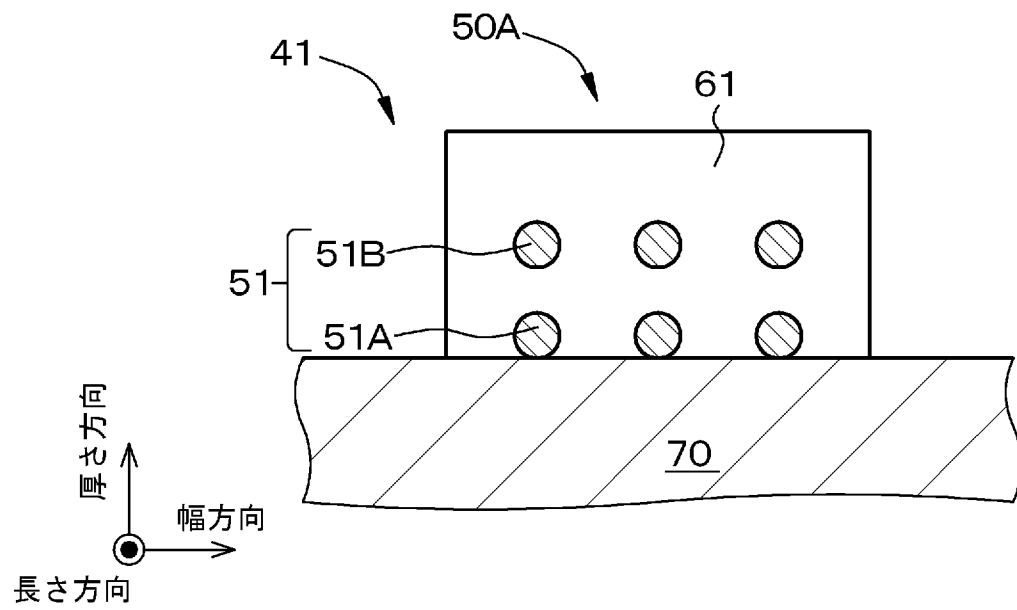
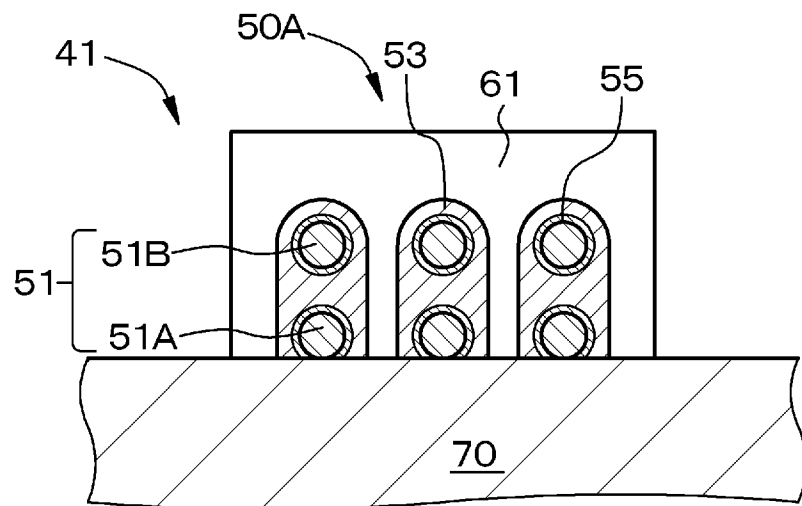


図 6 B



[図7]

図 7 A

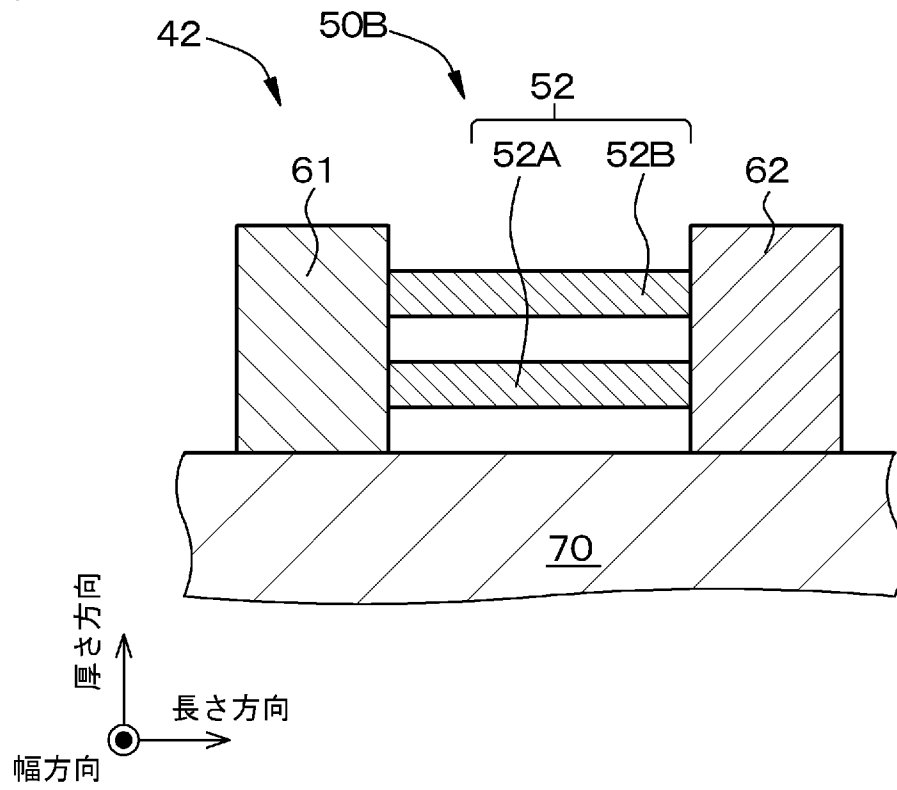
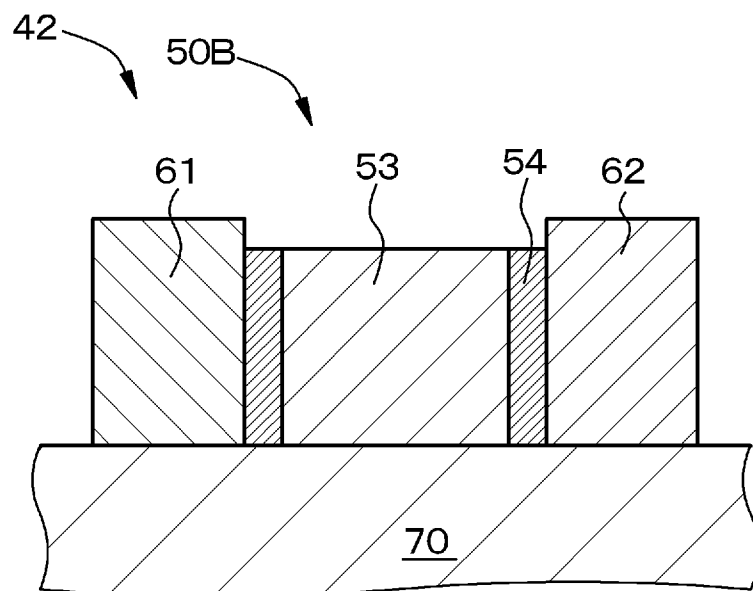


図 7 B



[図8]

図 8 A

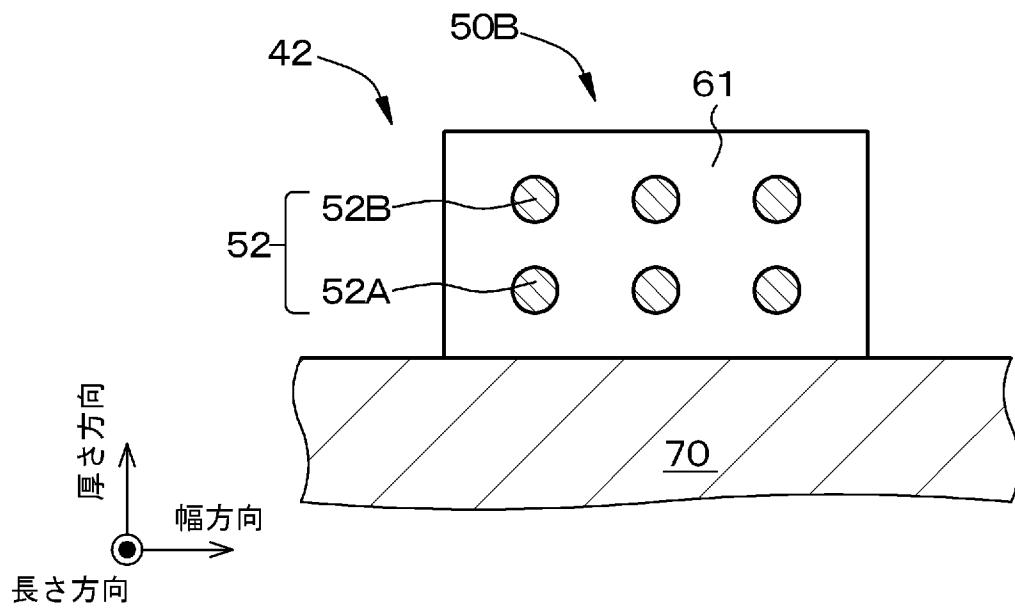
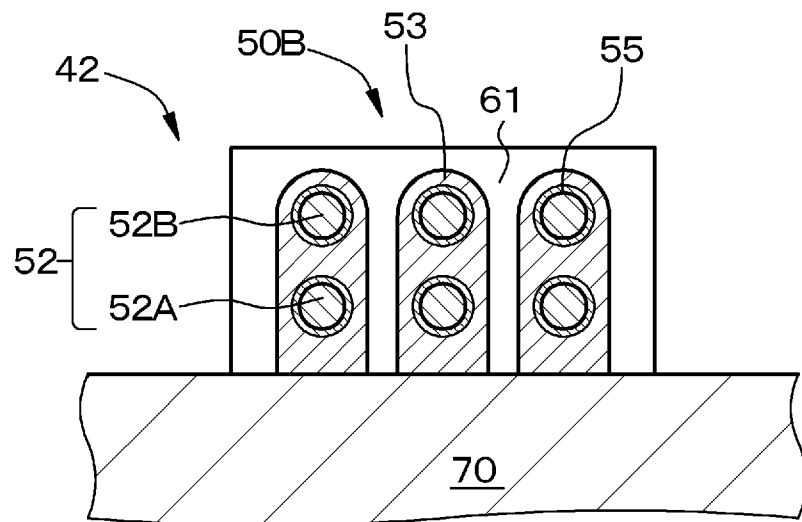


図 8 B



[図9]

図 9 A

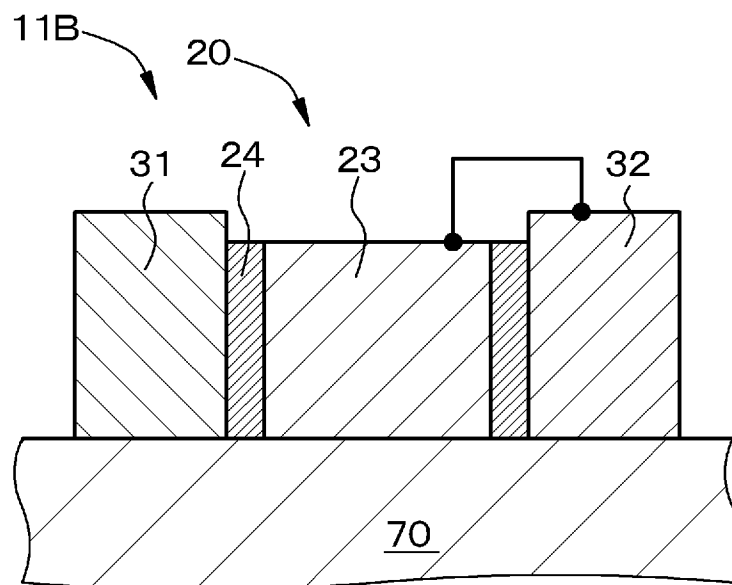
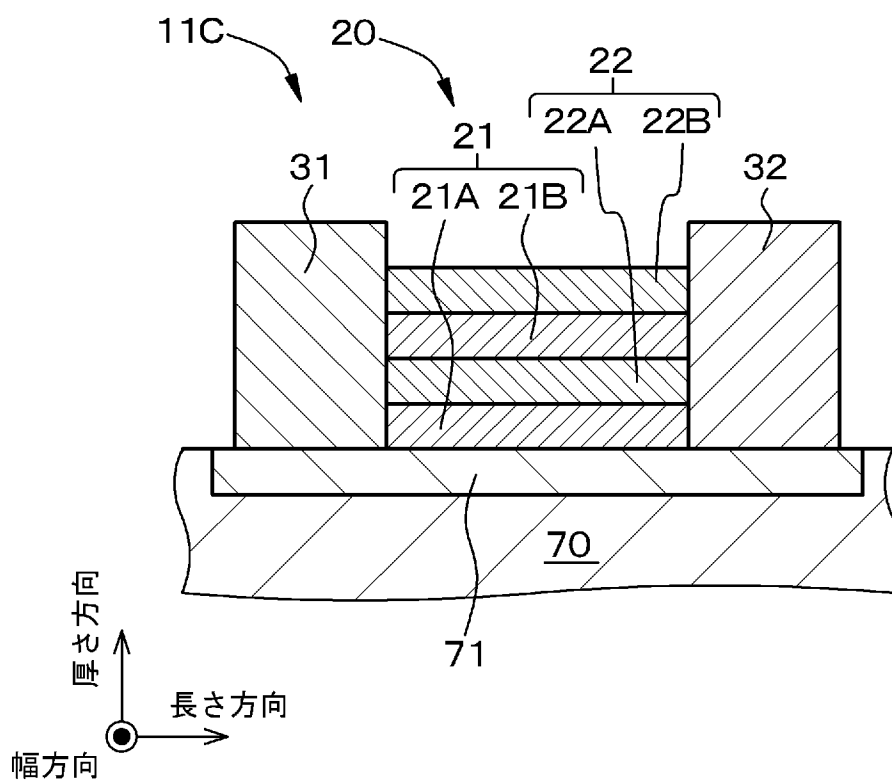


図 9 B



[図10]

図 1 0 A

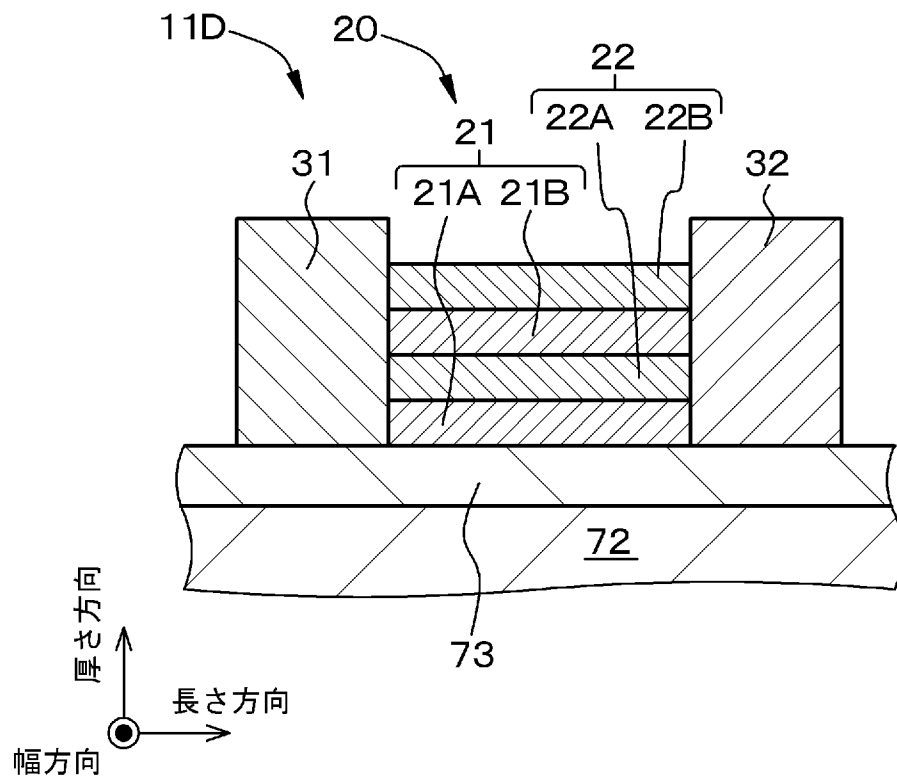
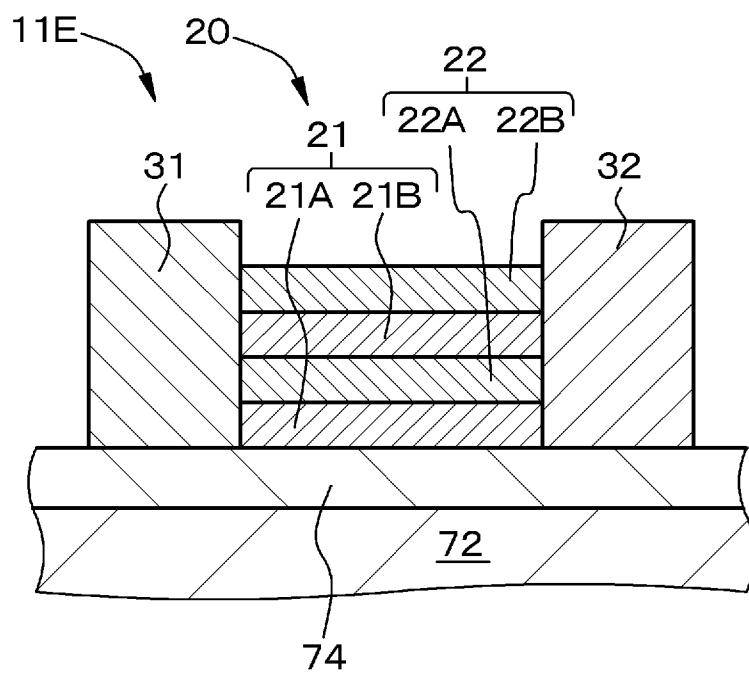


図 1 0 B



[図11]

図 1 1 A

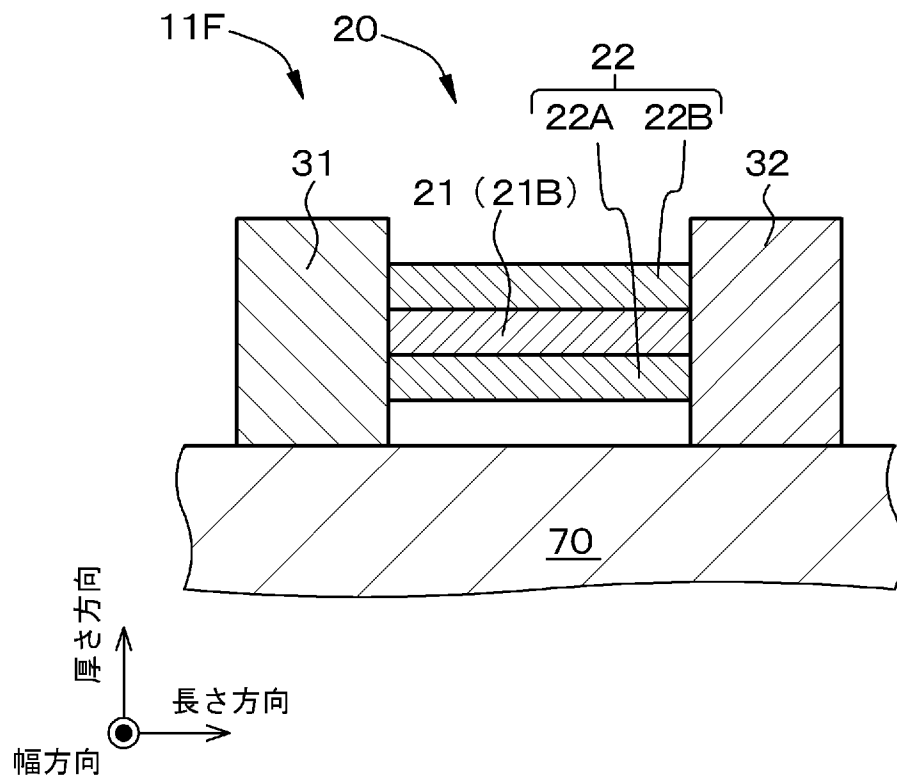
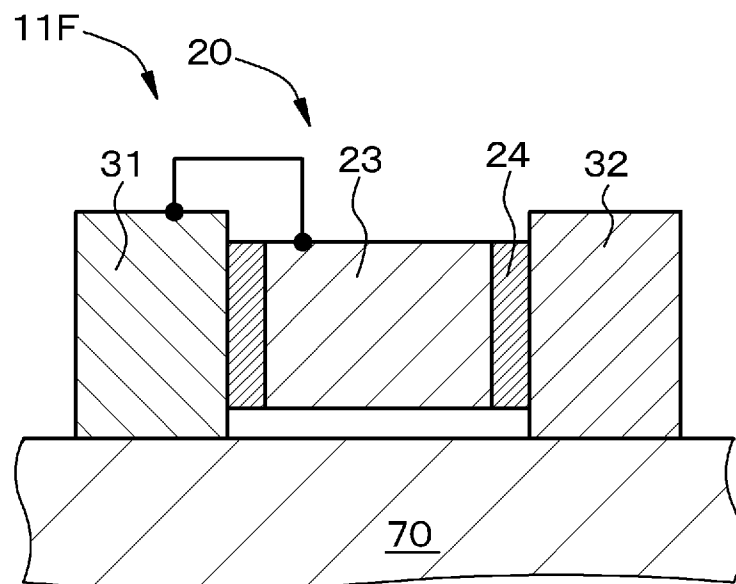


図 1 1 B



[図12]

図 1 2 A

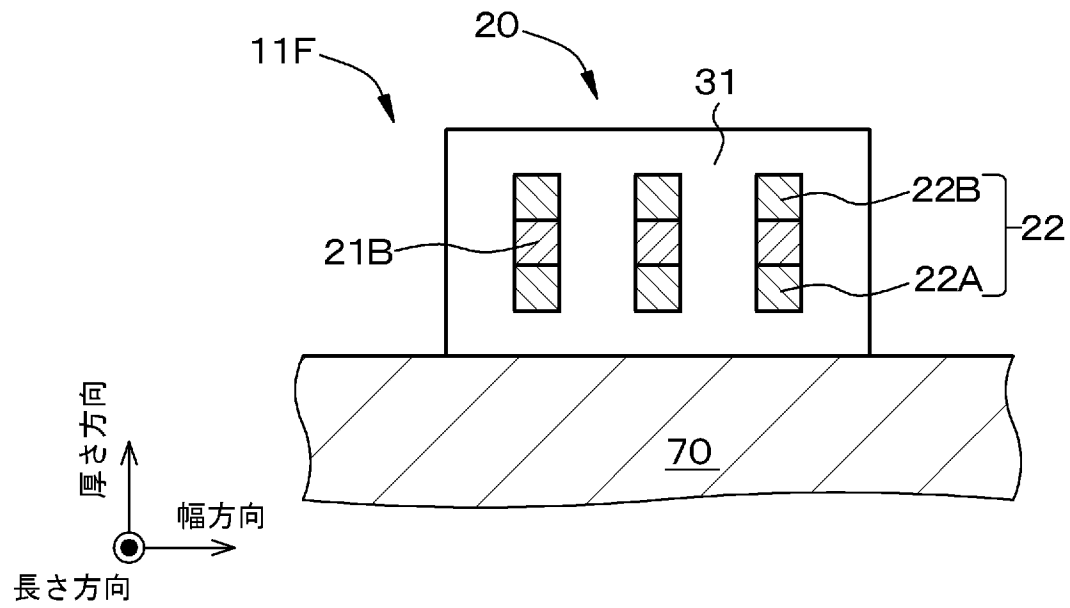
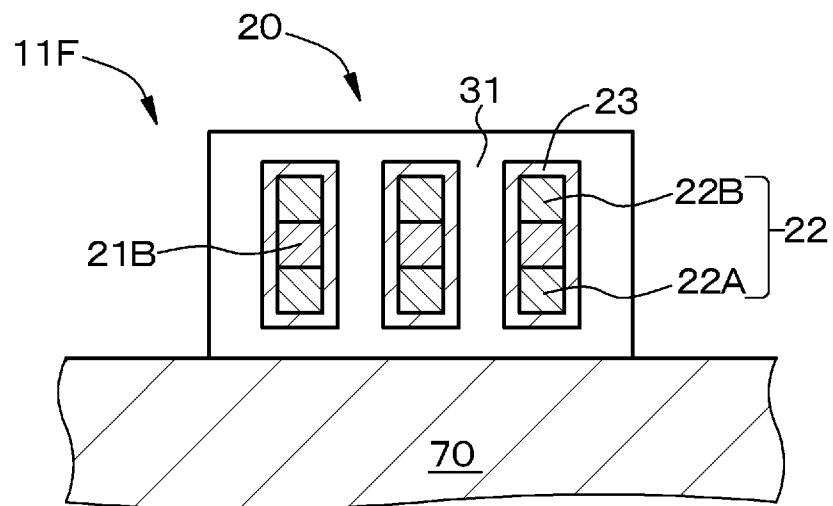


図 1 2 B



[図13]

図 1 3 A

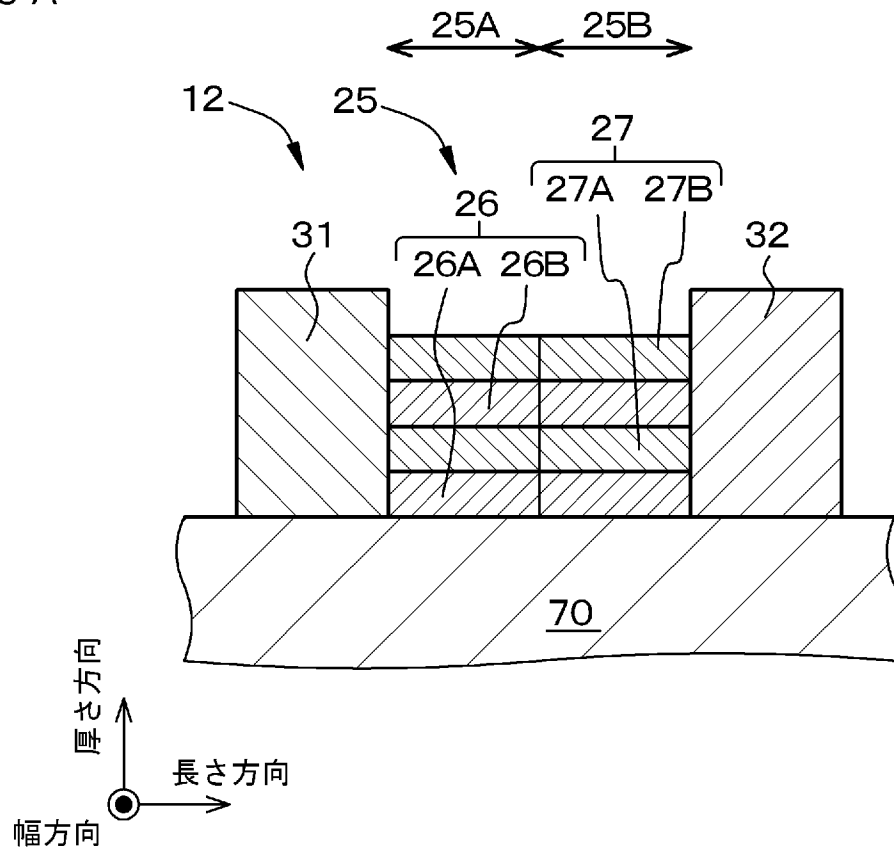
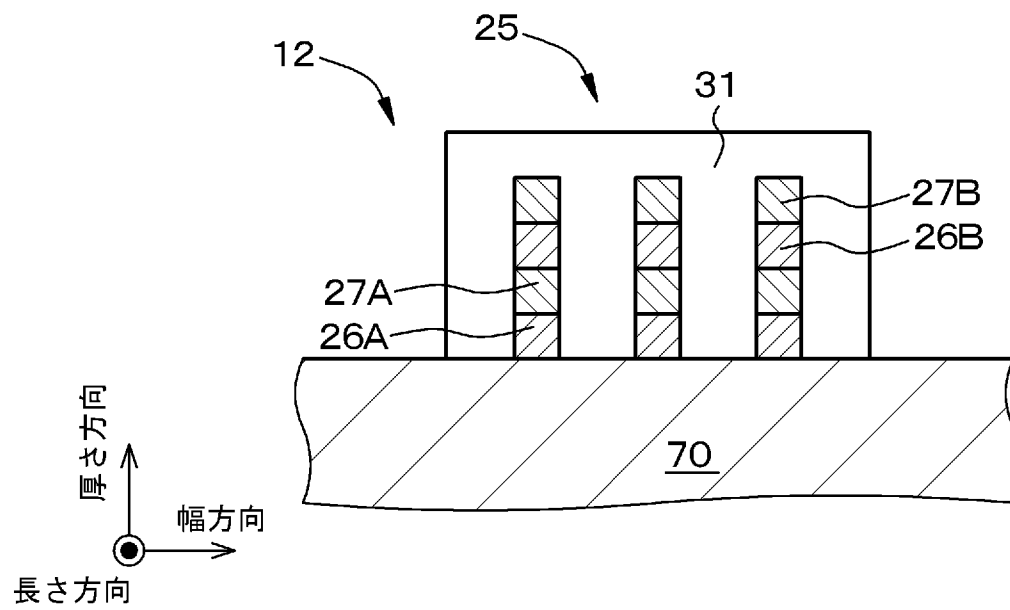
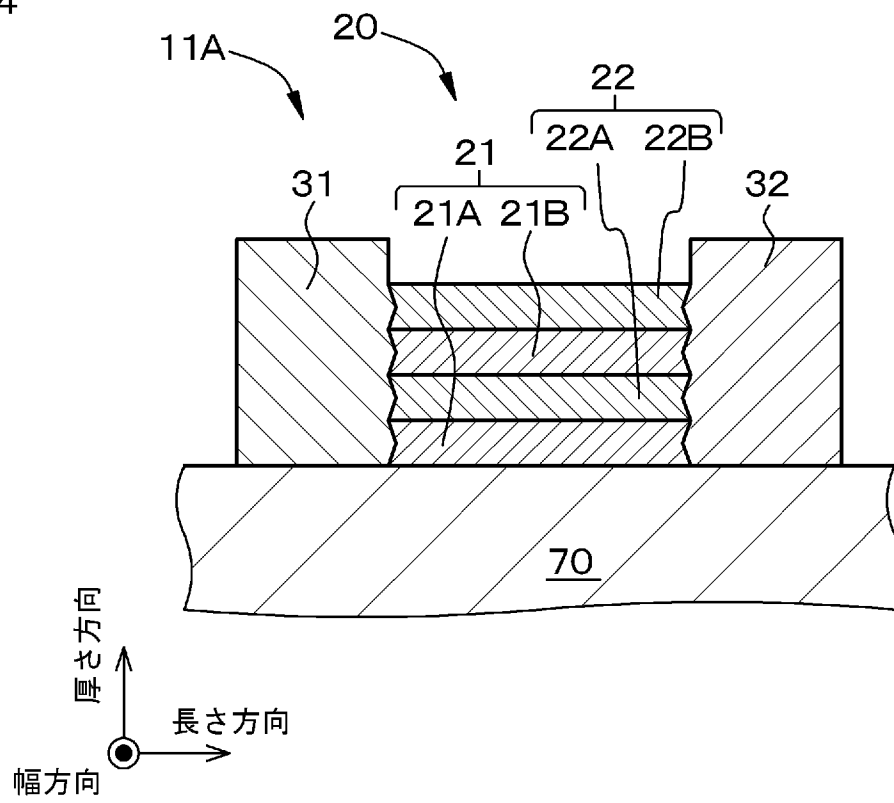


図 1 3 B



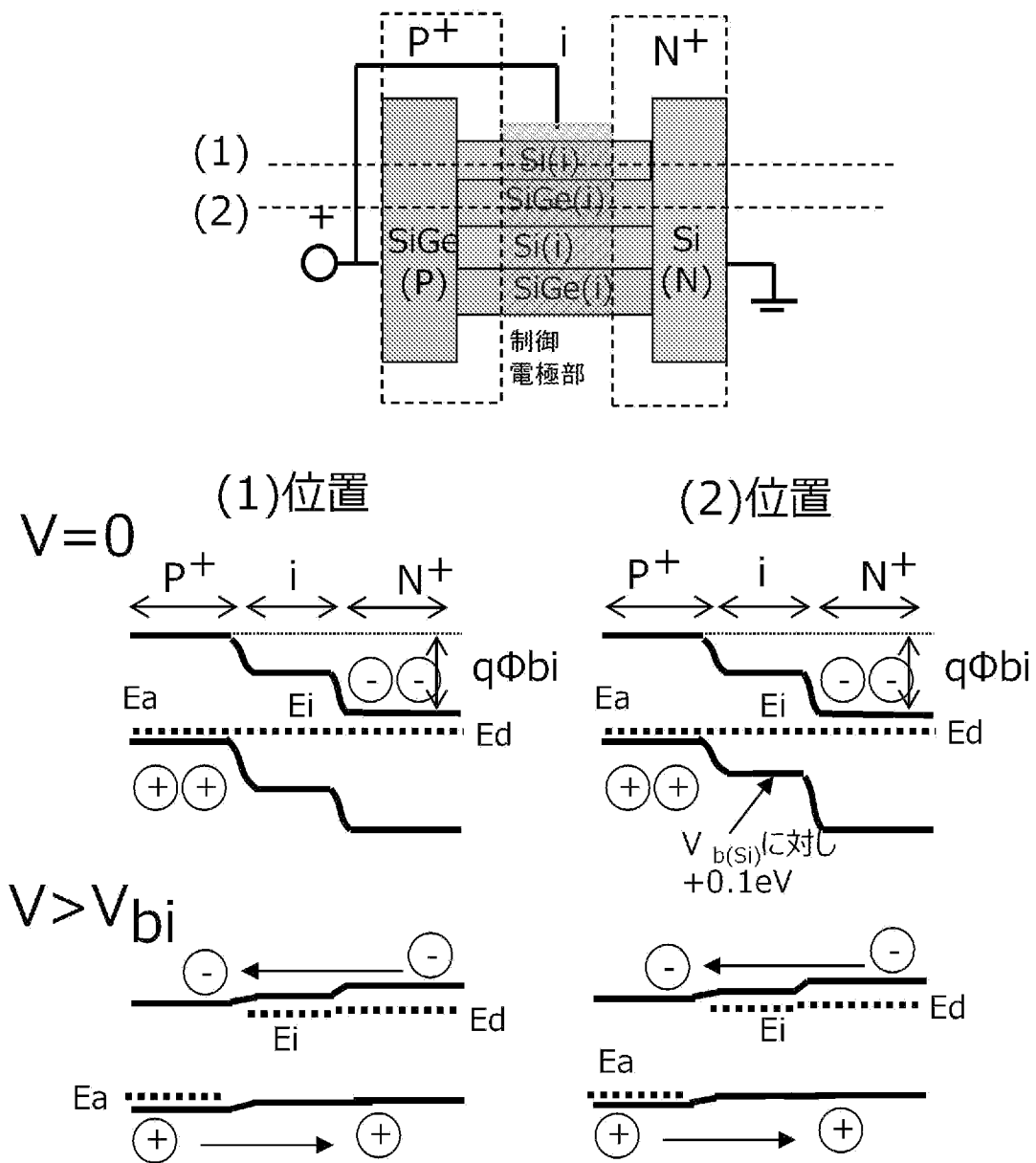
[図14]

図 1 4



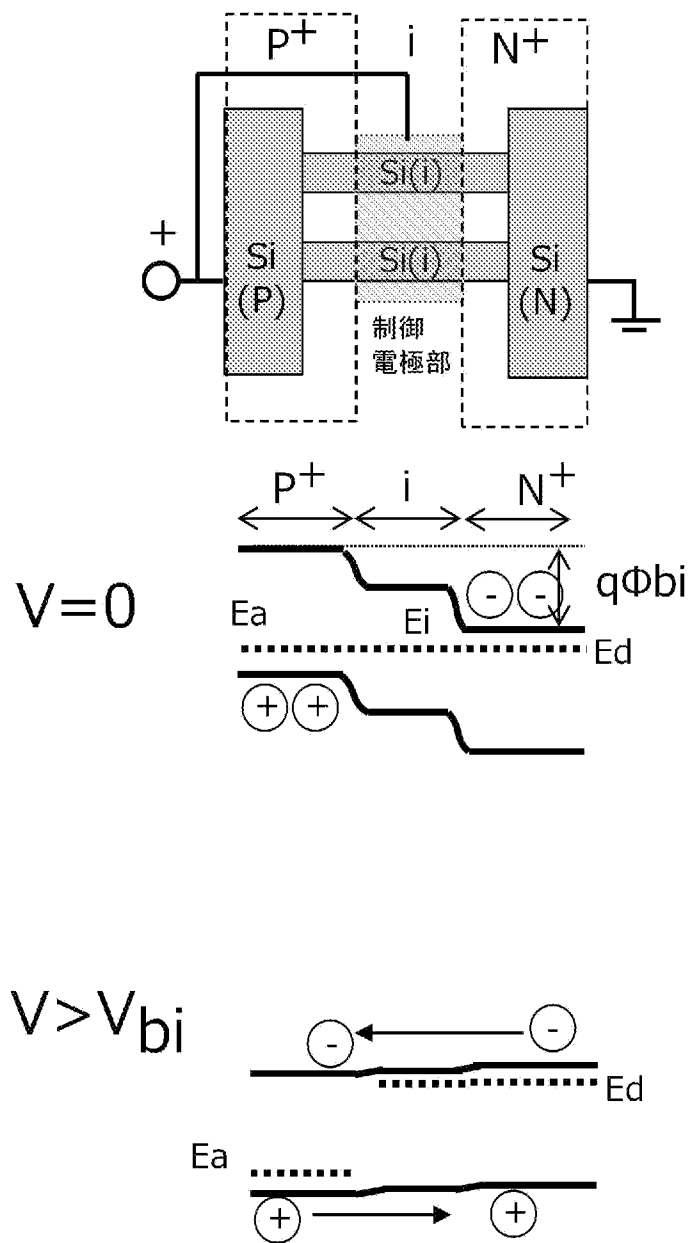
[図15]

図15



[図16]

図16



[図17]

図17A

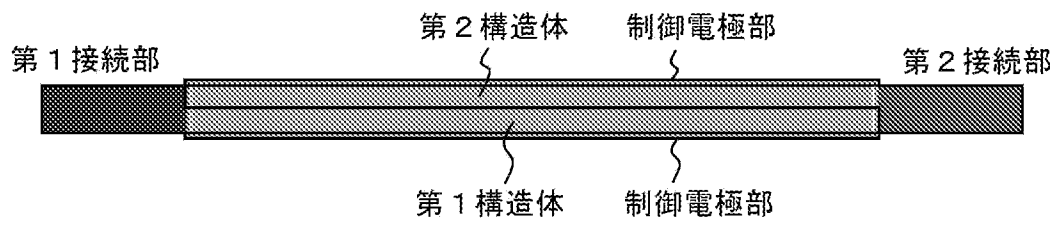


図17B

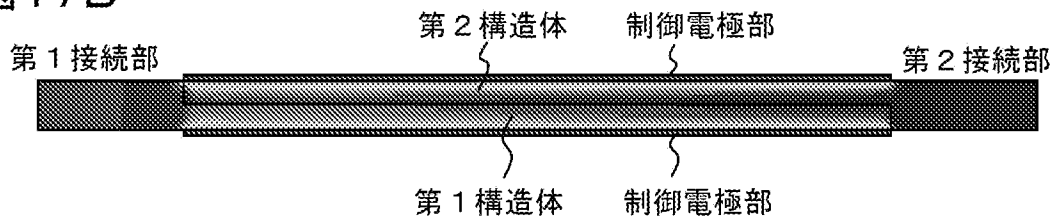


図17C

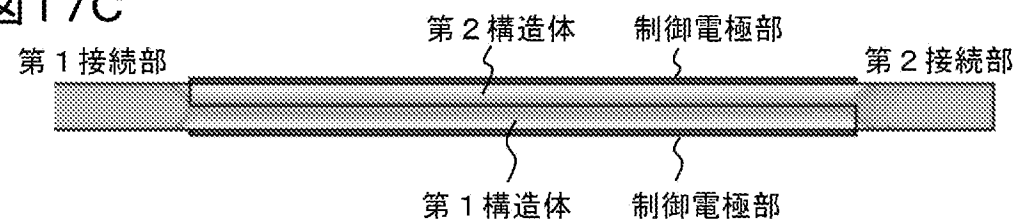
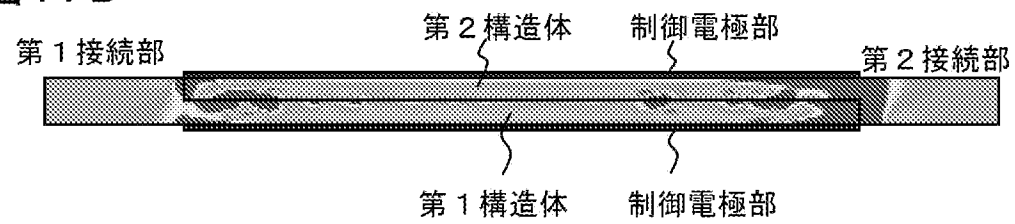
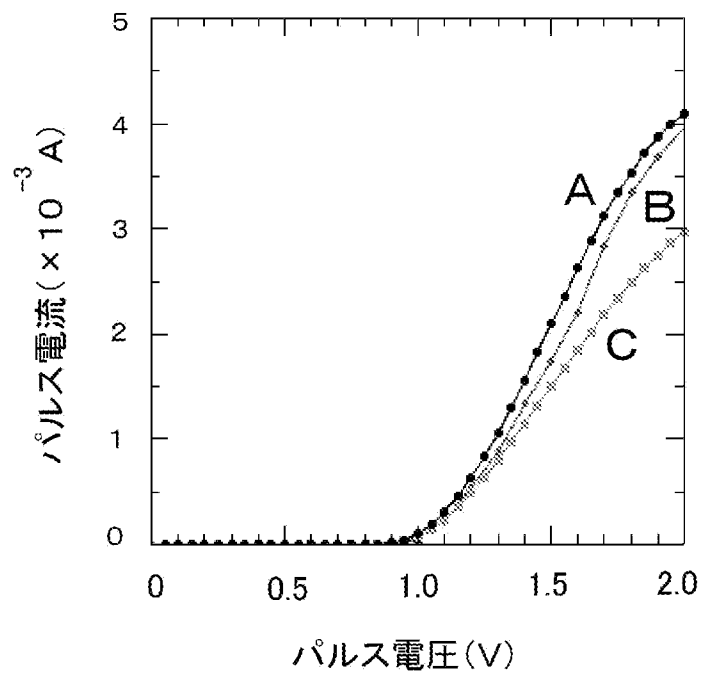


図17D



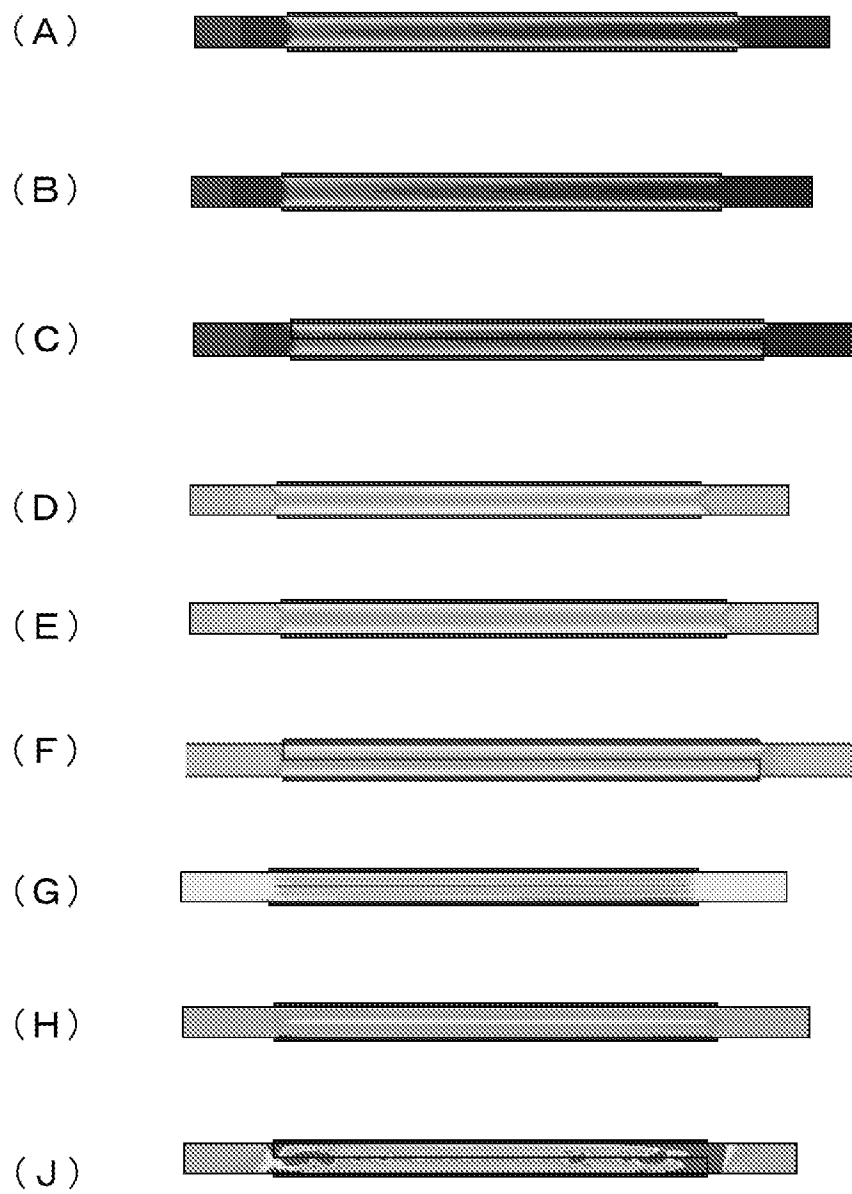
[図18]

図18



[図19]

図19



[図20]

図20A

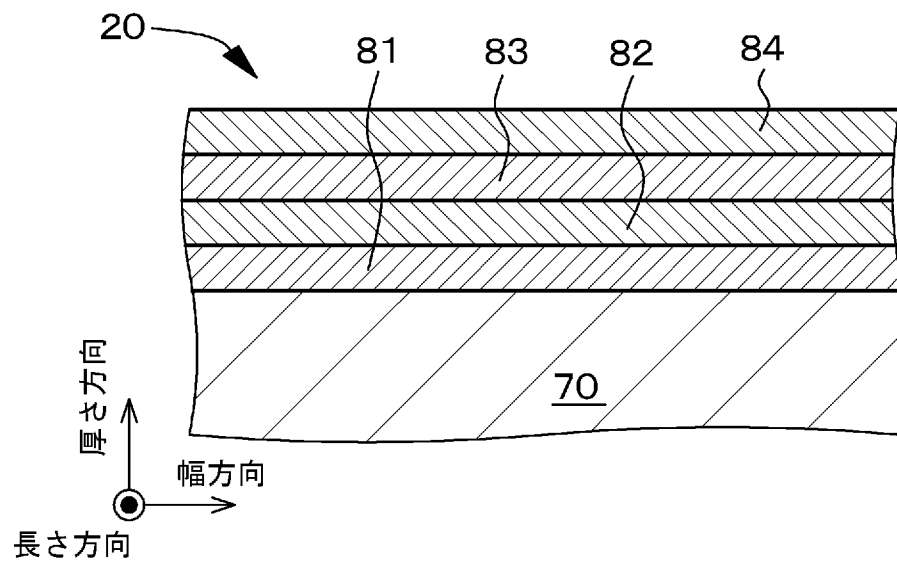


図20B

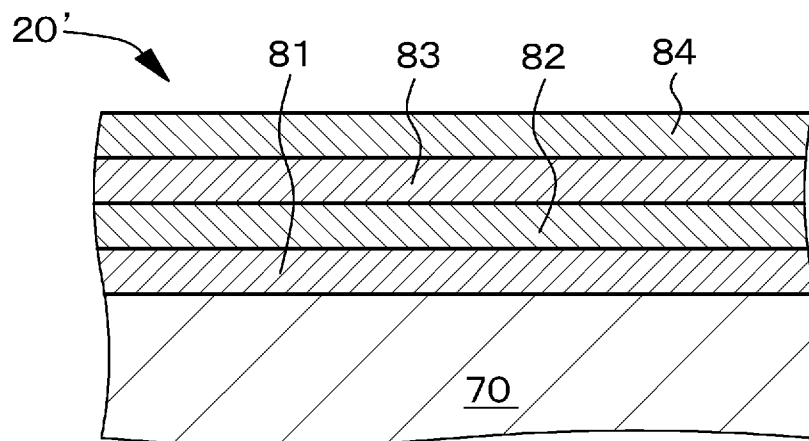
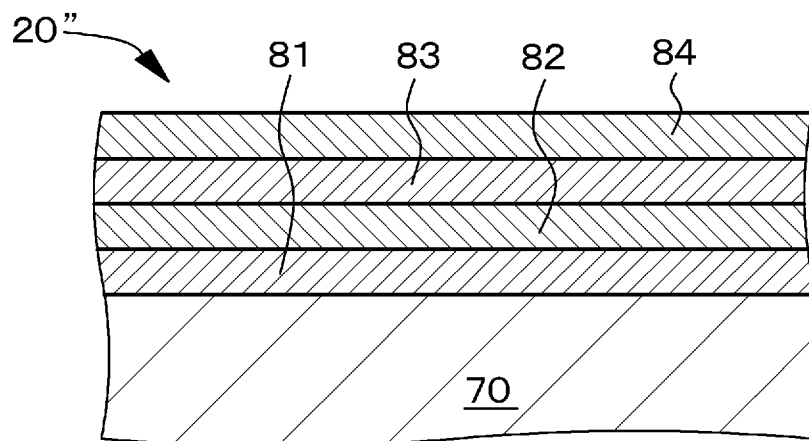


図20C



[図21]

図 2 1 A

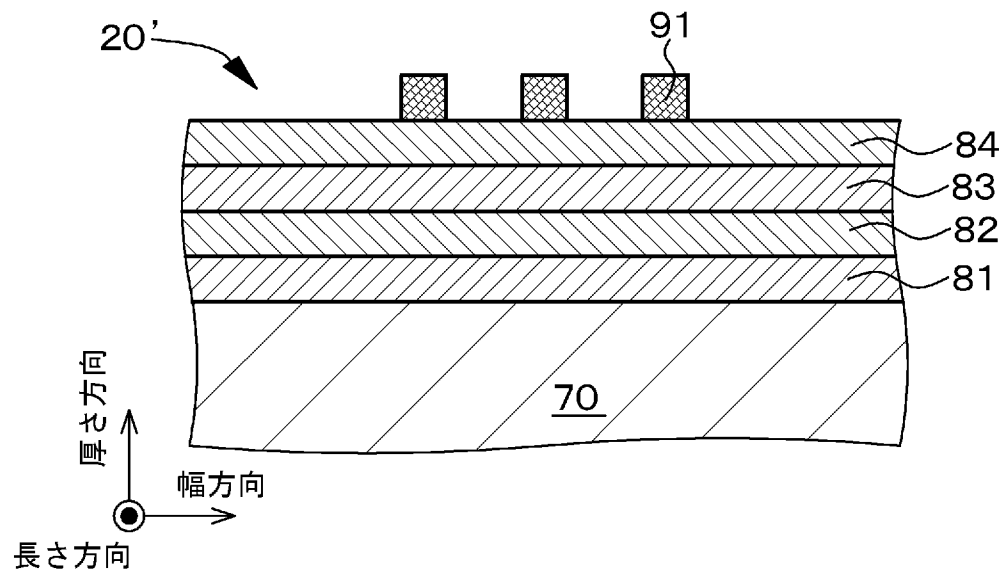


図 2 1 B

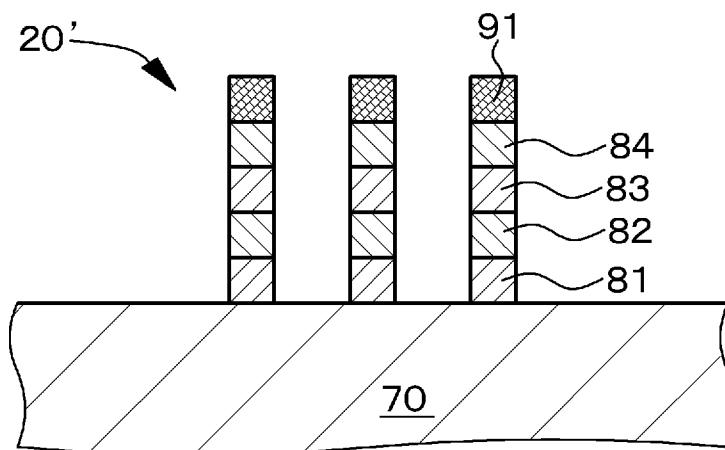
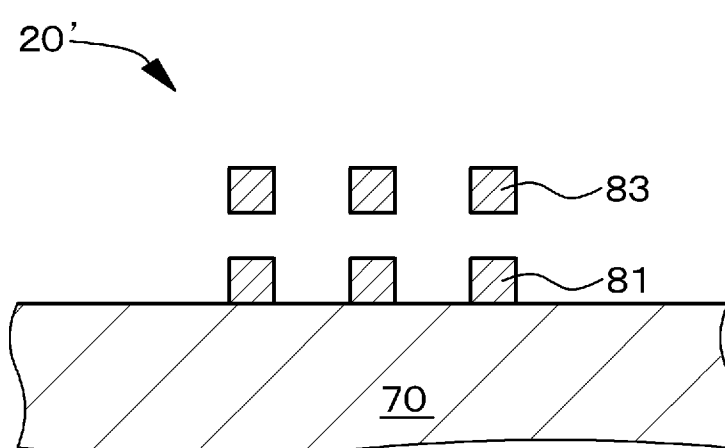


図 2 1 C



[図22]

図 2 2 A

20, 20''

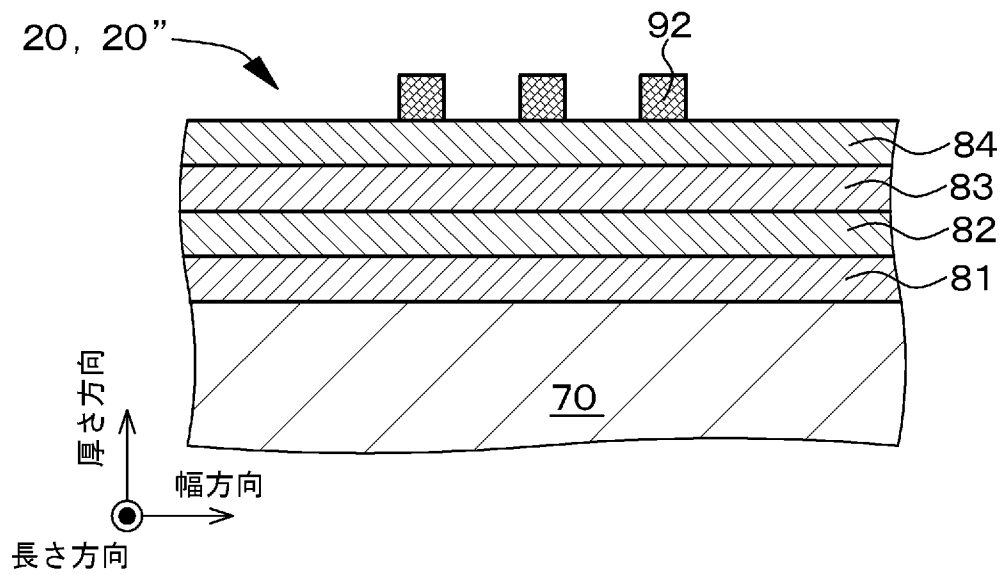


図 2 2 B

20, 20''

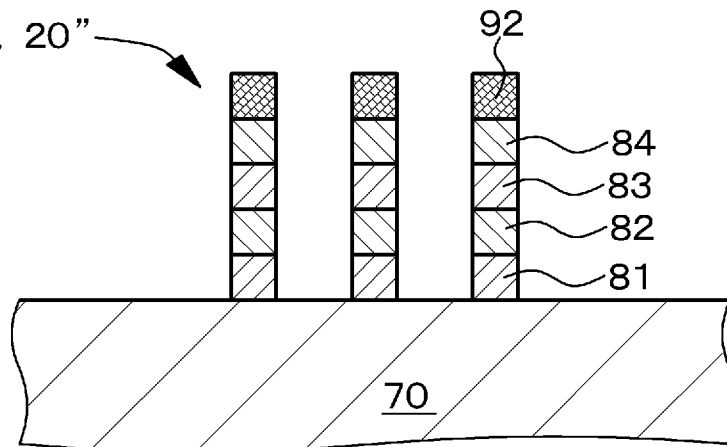
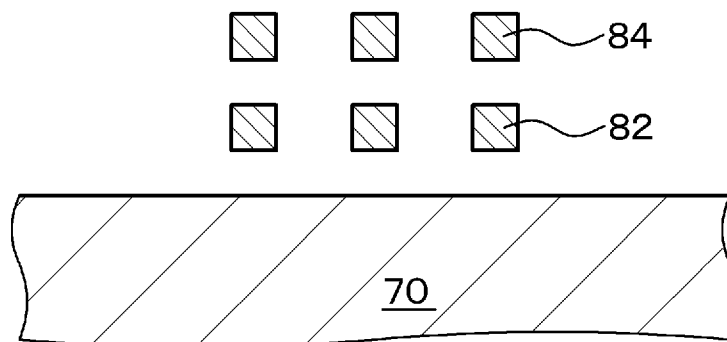


図 2 2 C

20''



[図23]

図 2 3 A

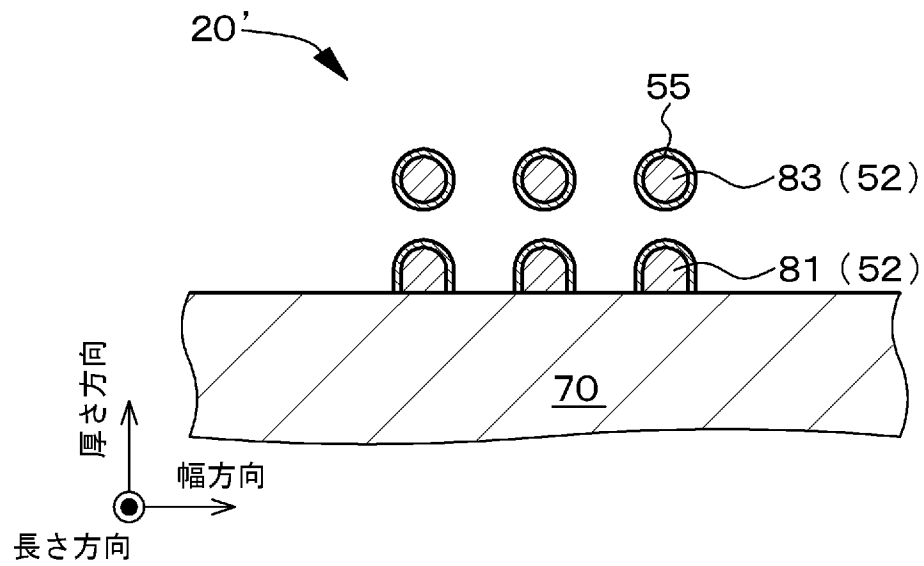


図 2 3 B

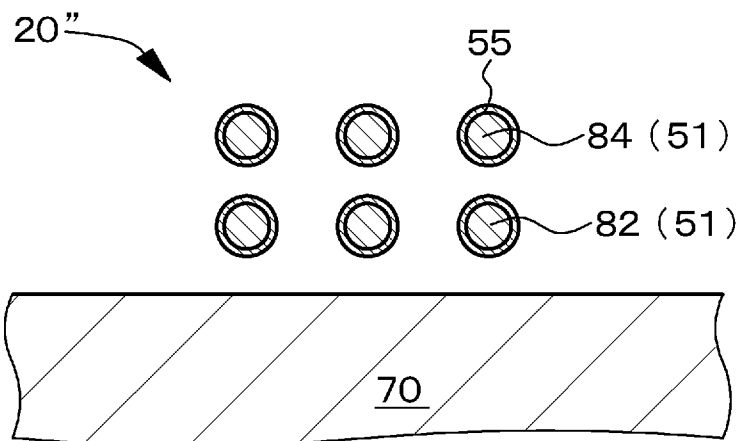
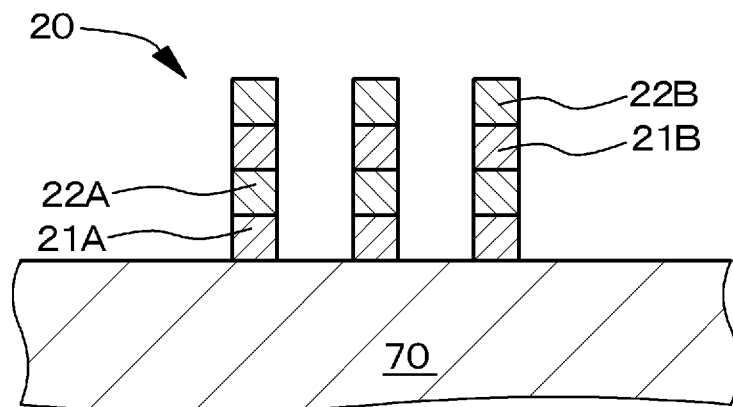


図 2 3 C



[図24]

図 2 4 A

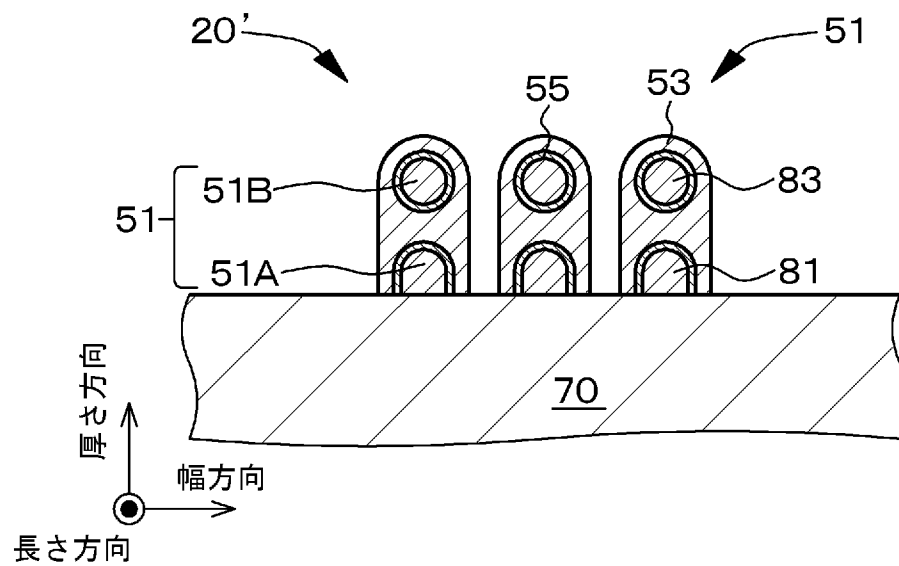


図 2 4 B

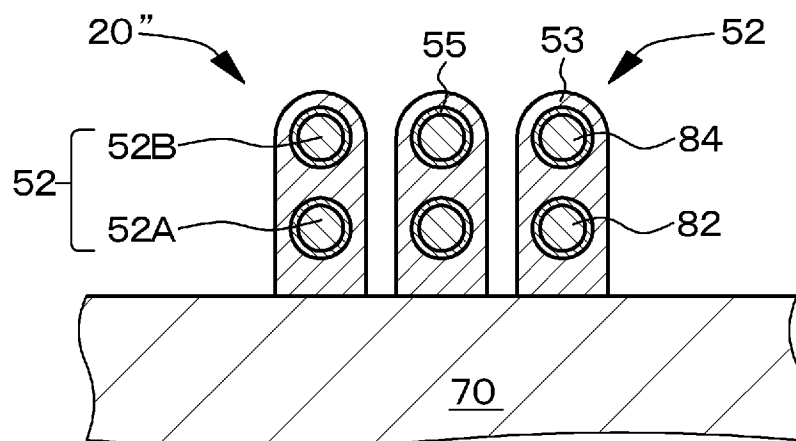
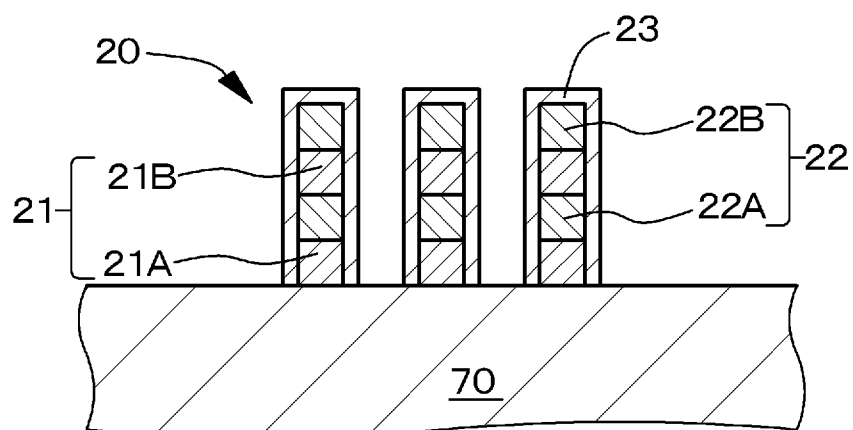


図 2 4 C



[図25]

図 2 5 A

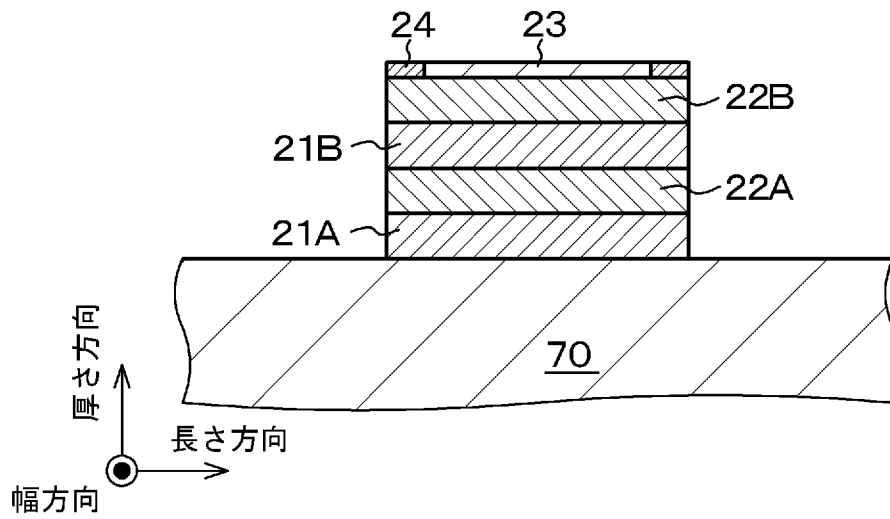


図 2 5 B

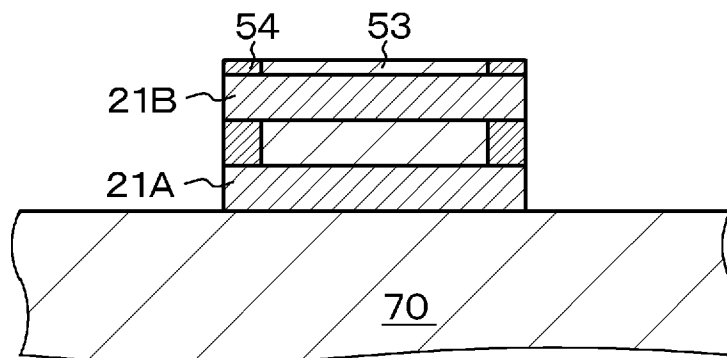
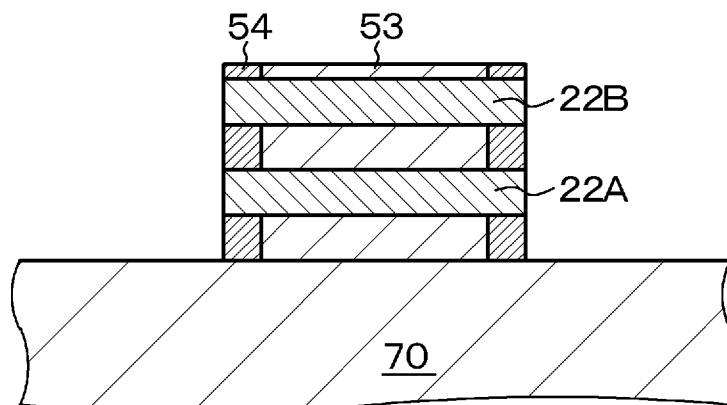


図 2 5 C



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/031920

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/861(2006.01)i, B82Y10/00(2011.01)i, H01L29/06(2006.01)i,
H01L29/868(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/861, B82Y10/00, H01L29/06, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 9842835 B1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 12 December 2017, column 5, line 24 to column 9, line 52, fig. 1-9 & US 2018/0102359 A1	1, 2, 4-6, 8, 9, 11-13 3, 7, 10, 14, 15
Y A	S. -H. Chen et al., "ESD Diodes in a Bulk Si Gate-All-Around Vertically Stacked Horizontal Nanowire Technology", IEDM2016, 03 December 2016, pp. 890-893	1, 2, 4-6, 8, 9, 11-13 3, 7, 10, 14, 15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 November 2019 (06.11.2019)

Date of mailing of the international search report
19 November 2019 (19.11.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/031920

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-244088 A (NIPPON TELEGRAPH AND TELEPHONE CORP.) 10 December 2012, paragraphs [0016]-[0036], fig. 1-3 (Family: none)	1-15

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/861(2006.01)i, B82Y10/00(2011.01)i, H01L29/06(2006.01)i, H01L29/868(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/861, B82Y10/00, H01L29/06, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	US 9842835 B1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2017.12.12, 第5欄第24行-第9欄第52行, 図1-9 & US 2018/0102359 A1	1, 2, 4-6, 8, 9, 11-13 3, 7, 10, 14, 15
Y A	S.-H. Chen et al., ESD Diodes in a Bulk Si Gate-All-Around Vertically Stacked Horizontal Nanowire Technology, IEDM2016, 2016.12.03, 890頁-893頁	1, 2, 4-6, 8, 9, 11-13 3, 7, 10, 14, 15

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

06.11.2019

国際調査報告の発送日

19.11.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

恩田 和彦

5 F

5896

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-244088 A (日本電信電話株式会社) 2012.12.10, 段落 0016-0036, 図 1-3 (ファミリーなし)	1-15