



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년10월09일
(11) 등록번호 10-0862534
(24) 등록일자 2008년10월01일

(51) Int. Cl.

H02H 7/18 (2006.01) H01M 2/34 (2006.01)

H02J 7/00 (2006.01)

(21) 출원번호 10-2006-7026446

(22) 출원일자 2006년12월15일

심사청구일자 2006년12월19일

번역문제출일자 2006년12월15일

(65) 공개번호 10-2007-0024606

(43) 공개일자 2007년03월02일

(86) 국제출원번호 PCT/JP2005/009326

국제출원일자 2005년05월23일

(87) 국제공개번호 WO 2005/124964

국제공개일자 2005년12월29일

(30) 우선권주장

JP-P-2004-00178440 2004년06월16일 일본(JP)

JP-P-2004-00206244 2004년07월13일 일본(JP)

(56) 선행기술조사문헌

JP11215716 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 무라타 세이사쿠쇼

일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고

(72) 발명자

츠바키 슈지

일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고가부시키가이샤 무라타 세이사쿠쇼

미야가와 카츠토

일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고가부시키가이샤 무라타 세이사쿠쇼

이케다 유타카

일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고가부시키가이샤 무라타 세이사쿠쇼

(74) 대리인

박지만, 윤동열

전체 청구항 수 : 총 12 항

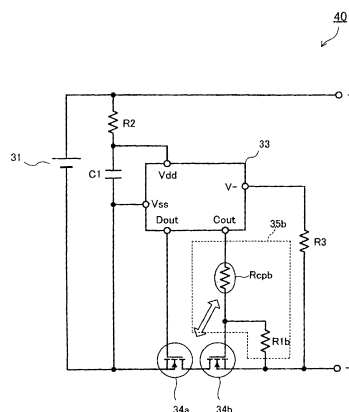
심사관 : 진상범

(54) 전지팩의 보호회로 및 전지팩

(57) 요약

전지셀(31)에 흐르는 방전전류를 차단하는 제1의 스위치소자(34a)와 충전전류를 차단하는 제2의 스위치소자(34b)를 설치하고, 보호제어회로(33)의 게이트제어단자(Dout, Cout)와 스위치소자(34a, 34b)의 적어도 일방의 게이트와의 사이에 정특성 서스미터(Rcpb)를 삽입하고, 그 스위치소자의 게이트·소스간에 저항(R1b)을 접속한다. 정특성 서스미터(Rcpb)는 제1·제2의 스위치소자(34a, 34b), 또는 전지셀(31)과 열적으로 결합시킨다. 이것에 의해 스위치소자(34a, 34b)나 전지셀(31)의 이상과열상태에서 정특성 서스미터(Rcpb)의 저항값 상승에 의해서 스위치소자(34b)가 차단상태가 되어 보호기능이 작동한다.

대표도 - 도1



특허청구의 범위

청구항 1

전지셀에서 흐르는 방전전류를 차단하는 제1의 스위치소자와, 상기 전지셀에 흐르는 충전전류를 차단하는 제2의 스위치소자와, 상기 전지셀의 전압, 전류, 또는 주위온도의 이상상태를 검출함과 동시에 상기 제1·제2의 스위치소자를 제어해서 상기 이상상태에서 상기 전지셀을 보호하는 보호제어회로를 구비한 전지팩의 보호회로에 있어서,

상기 제1의 스위치소자, 제2의 스위치소자, 및 상기 전지셀의 적어도 1개로부터 발생하는 열이 전달되도록 결합(이하, '열적으로 결합'이라고 함)하고, 상기 제1 및 제2의 스위치소자의 적어도 일방의 제어신호경로에 삽입된, 1개 이상의 정특성 서미스터를 포함하는 스위치소자제어회로를 설치하고, 상기 제1의 스위치소자, 제2의 스위치소자, 또는 상기 전지셀의 과열시의 상기 정특성 서미스터의 저항치 증가에 의해, 상기 제어신호경로에 상기 스위치소자제어회로가 삽입된 제1 또는 제2의 스위치소자를 차단하도록 한 것을 특징으로 하는 전지팩의 보호회로.

청구항 2

제1항에 있어서, 상기 스위치소자제어회로는 직렬접속된 복수의 상기 정특성 서미스터를 포함하고, 상기 복수의 정특성 서미스터는 상기 제1의 스위치소자, 제2의 스위치소자 및 상기 전지셀 중 적어도 2개와 각각 열적으로 결합하고 있는 것을 특징으로 하는 전지팩의 보호회로.

청구항 3

제1항 또는 제2항에 있어서, 상기 스위치소자제어회로가 상기 제2의 스위치소자의 제어신호경로에만 삽입된 것을 특징으로 하는 전지팩의 보호회로.

청구항 4

제1항 또는 제2항에 있어서, 상기 제1의 스위치소자 및 제2의 스위치소자는 FET이며, 상기 보호제어회로는 상기 FET의 게이트를 제어하는 게이트 제어단자를 구비한 집적회로인 것을 특징으로 하는 전지팩의 보호회로.

청구항 5

제4항에 있어서, 상기 스위치소자제어회로는 상기 FET의 게이트·소스간을 접속한 저항과, 상기 보호회로의 게이트 제어단자와 상기 FET의 게이트와의 사이에 삽입한 상기 1개 이상의 정특성 서미스터로 이루어지는 것을 특징으로 하는 전지팩의 보호회로.

청구항 6

제4항에 있어서, 상기 스위치소자제어회로는 상기 FET의 게이트·소스간에 드레인 및 소스를 각각 접속한 제어용 FET와, 상기 제어용 FET의 게이트·소스간을 접속한 상기 1개 이상의 정특성 서미스터로 이루어지는 것을 특징으로 하는 전지팩의 보호회로.

청구항 7

제어단자를 가지고, 전지의 정극 또는 부극에 직렬로 접속되어 있고, 이상시에 OFF상태가 됨으로써 충방전시의 전류경로를 차단하는 적어도 1개의 스위치소자와,

상기 전류경로에 이상전류가 흘렀을 때에, 상기 적어도 1개의 스위치소자를 OFF상태로 하는 것을 가능하게끔 상기 적어도 1개의 스위치소자의 상기 제어단자에 접속된 보호제어회로를 구비하고, 상기 보호제어회로가 상기 이상전류 이외의 이상상태인 것을 나타내는 신호가 입력되는 신호입력단자를 가지고, 상기 신호입력단자에 상기 이상전류 이외의 이상상태를 나타내는 신호가 입력되었을 때에, 상기 적어도 1개의 스위치소자를 OFF상태로 하게끔 구성되어 있는 전지팩의 보호회로에 있어서,

상기 적어도 1개의 스위치소자에 열적으로 결합된 제1의 정특성 서미스터를 더 구비하고, 상기 제1의 정특성 서미스터가 열적으로 결합된 스위치소자의 이상과열에 의한 상기 제1의 정특성 서미스터의 저항치 변화에 따른 신호가 상기 이상상태를 나타내는 신호로서 상기 신호입력단자에 입력되게끔 구성한 것을 특징으로 하는 전지팩의

보호회로.

청구항 8

제7항에 있어서, 상기 전류경로를 차단하는 스위치소자를 복수 설치하고, 각스위치소자에 상기 제1의 정특성 서미스터를 열적으로 결합시켜, 제1의 정특성 서미스터를 전기적으로 직렬로 접속한 것을 특징으로 하는 전지팩의 보호회로.

청구항 9

제7항 또는 제8항에 있어서, 상기 적어도 1개의 스위치소자 이외의 발열부분에 열적으로 결합시킨 적어도 1개의 제2의 정특성 서미스터를 더 구비하고, 상기 스위치소자에 열적으로 결합된 제1의 정특성 서미스터와, 상기 적어도 1개의 제2의 정특성 서미스터를 직렬로 접속한 것을 특징으로 하는 전지팩의 보호회로.

청구항 10

제9항에 있어서, 상기 발열부분은 전지이며, 상기 전지에 상기 제2의 정특성 서미스터를 열적으로 결합시킨 것을 특징으로 하는 전지팩의 보호회로.

청구항 11

제9항에 있어서, 상기 스위치소자에 열적으로 결합시킨 제1의 정특성 서미스터의 저항온도 특성과, 상기 발열부분에 열적으로 결합시킨 제2의 정특성 서미스터의 저항온도 특성이 상이한 것을 특징으로 하는 전지팩의 보호회로.

청구항 12

제1항, 제2항, 제7항, 또는 제8항 중 어느 한 항에 기재의 전지팩의 보호회로와, 전지셀을 구비한 것을 특징으로 하는 전지팩.

명세서

기술분야

- <1> 본 발명은 이차전지를 가지는 전지팩을 과전류나 이상과열로부터 보호하는 보호회로에 관하며, 보다 상세하게는 정특성 서미스터 및 스위치소자를 이용한 전지팩의 보호회로 및 전지팩에 관한 것이다.

배경기술

- <2> 종래 휴대전화 등의 전원으로서 사용되는 전지팩에 있어서는 과전류나 과열 등에 대한 보호수단을 이중화하는 것이 요구되고 있다. 일반적인 방법으로서 특허문헌 1에 그 구성이 제시되고 있다.
- <3> 이 특허문헌 1의 전지팩 보호회로의 예를 도 11에 나타낸다. 도 11에 있어서 전지셀(131)에는 그 충방전경로에 제1·제2의 스위치소자(134a, 134b)를 설치하고, 그것들을 제어하는 보호제어회로(133)를 설치하고 있다. 또한 전지셀(131)의 근방에, 그 충방전경로에 대하여 직렬로 정특성 서미스터로 이루어지는 보호소자(132)를 접속하고 있다. 만약 스위치소자(134a, 134b)가 이상과열해서, 열폭주 또는 고장에 이른 경우에, 보호제어회로(133)에서 이상을 감지해도, 스위치소자(134a, 134b)를 차단할 수 없기 때문에 보호기능이 작동하지 않게 될 우려가 있는데, 그와 같은 경우라도, 상기 보호소자(132)의 작용에 의해서 과전류나 전지셀의 과열에 대한 보호기능을 확보할 수 있다.
- <4> 상기 보호소자(132)를 구성하는 정특성 서미스터로서 폴리머 PTC소자를 이용하는 것이 특허문헌 2에 제시되고 있다.
- <5> 또한 특허문헌 3에는 보호제어회로에, 제1, 제2의 신호입력단자가 설치되어 있고, 제1 또는 제2의 신호입력단자에 소정의 신호가 인가되었을 때에 스위치소자를 제어하고, 전류경로를 차단하는 방법이 개시되어 있다. 여기에서는 제1의 신호입력단자에 이상전류가 흐른 것을 나타내는 신호가 입력되었을 때에 스위치소자가 제어되어 전류경로가 차단된다. 거기다가 상기 소정의 신호로서, 전지팩 전체의 온도를 나타내는 신호가 제2의 신호입력단자에 입력되었을 때에도 전류경로가 차단된다. 즉 특허문헌 3에 기재의 전지팩의 보호회로에서는 전지팩 전체의 온도상승을 검출하고, 보호제어회로의 보호기능을 이용해 이상온도 시에 전류경로를 차단하는 구성이 개시되어

있다.

- <6> 특허문헌 1: 일본국 특허공개 2000-152516호 공보
- <7> 특허문헌 2: 일본국 특허공개 2002-8608호 공보
- <8> 특허문헌 3: 일본국 특허공개 2004-120849호 공보

발명의 상세한 설명

- <9> 그런데, 상기 보호소자(132)로서 사용하는 폴리머 PTC소자는 전체의 중량이 무겁고, 체적도 크고, 또한 리드타입이기 때문에, 이것을 전지팩에 조립할 시에 수작업에 의한 헨더볼임이나 용접작업이 필요해지며, 제조비용이 증가한다는 문제가 있었다. 또한 보호소자(132)로서 온도퓨즈를 사용해도, 폴리머 PTC소자의 경우와 마찬가지로, 전체의 중량이 무겁고, 체적도 크고, 또한 소자가 리드타입이기 때문에 제조비용이 증가한다. 게다가 이상온도에 의해 단선한 후에는 재사용할 수 없다는 문제가 있었다. 더욱이 과충전에 대해서는 전지셀이 과열하고, 보호소자가 작용할 때까지, 보호기능이 작용하지 않기 때문에, 스위치소자(134a, 134b)의 이상과열 자체를 보호할 수 없는 문제도 있었다. 그 때문에, 이상과열에 의한 전지팩의 외장수지 케이스의 변형이나 용융 등의 우려가 있었다.
- <10> 특허문헌 1에는 이 문제를 해소하기 위해서, 상기 보호소자(132)의 대신에 FET에 의한 제3의 스위치소자를 설치하고, 전지팩 내에 설치한 부특성 서미스터 또는 정특성 서미스터의 온도에 대한 저항치 변화를 이용해서 상기 제3의 스위치소자를 제어하는 것이 제안되고 있다. 이것에 의해, 보호제어회로(133)가 기능할 수 없게 된 바와 같은 경우라도 충방전시의 과전류에서 전지팩을 보호할 수 있다.
- <11> 그런데, 상기 제3의 스위치소자는 전지셀의 충방전전류경로에 대하여 직렬로 삽입하는 것이기 때문에, 즉 고가인 파워 FET를 필요로 하기 때문에 가격상승을 초래한다는 문제가 있었다. 또한 이 제3의 스위치소자를 설치함으로써 이상과열에 의한 열폭주나 고장의 요인이 증가한다는 문제가 있었다.
- <12> 한편, 특허문헌 3에 기재의 전지팩의 보호회로에서는 전류경로에 직렬로 저항성분은 삽입되지 않고 있다. 그러나 특허문헌 3에 기재의 보호회로에서는 전지팩 전체의 온도상승을 검출하고, 이상온도가 되었을 때에, 보호제어회로에 의해 스위치소자를 제어해서 전류경로를 차단하고 있었다. 따라서 전지팩 내의 국소적인 온도상승을 검출할 수는 없었다. 현실에는 과전류에 의해 최초로 고온상태가 되는 것은 스위치소자이다. 따라서, 스위치소자만이 과열상태가 되었다 하더라도, 전지팩 전체로서는 아직 보호기능을 작용시킬 정도의 고온상태에 이르지 않는 일이 있다. 이와 같은 경우, 스위치소자가 열폭주하게 된다. 그 때문에, 스위치소자의 열폭주 후에, 전지팩 전체의 온도가 고온이 되고, 보호제어회로에 의해 스위치소자를 제어하려고 해도 제어할 수 없게 될 가능성이 있었다. 즉, 특허문헌 3에 기재의 보호회로에서는 국부적인 과열을 검출해서 회로를 보호할 수 없기 때문에, 보호기능이 충분하지 않았다. 또한 반대로 보호개시온도를 낮게 설정하면, 실제로는 문제가 없을 정도의 과열에서도 보호동작이 작동해버릴 가능성이 있었다.
- <13> 이 발명의 목적은 폴리머 PTC소자 등의 보호소자를 전지셀의 충방전전류경로에 직렬로 설치하지 않고, 나아가 정특성 또는 부특성의 서미스터로 제어되는 제3의 스위치소자를 설치하지 않고, 과전류나 과열에 대한 보호수단을 이중화한 전지팩의 보호회로 및 그것을 구비한 전지팩을 제공하는 것에 있다.
- <14> 또한 본 발명의 목적은 상술한 종래기술의 결점을 해소하고, 전류경로에 직렬로 저항성분을 삽입하지 않고, 따라서 손실의 증대를 초래하지 않고, 게다가 국부적인 이상과열이 생긴 경우라도 전지팩을 확실하게 보호하는 것을 가능하게 하는 보호회로를 제공하는 것에 있다.
- <15> 상기 과제를 해결하기 위해서 이 발명의 전지팩의 보호회로 및 전지팩은 다음과 같이 구성한다.
- <16> (1)이 발명의 전지팩의 보호회로는 전지셀로부터 흐르는 방전전류를 차단하는 제1의 스위치소자와, 전지셀에 흐르는 충전전류를 차단하는 제2의 스위치소자와, 전지셀의 전압, 전류, 또는 주위온도의 이상상태를 검출하는 동시에 제1·제2의 스위치소자를 제어해 상기 이상상태에서 전지셀을 보호하는 보호제어회로를 구비한 전지팩의 보호회로에 있어서, 제1의 스위치소자, 제2의 스위치소자, 및 전지셀의 적어도 1개와 열적으로 결합하고, 제1 및 제2의 스위치소자의 적어도 일방의 제어신호경로에 삽입된, 1개 이상의 정특성 서미스터를 포함하는 스위치소자제어회로를 설치하고, 제1의 스위치소자, 제2의 스위치소자, 또는 전지셀의 과열시의 정특성 서미스터의 저항치 증가에 의해, 제어신호경로에 스위치소자제어회로가 삽입된 제1 또는 제2의 스위치소자를 차단하도록 구성한다.

- <17> (2)상기 스위치소자제어회로는 직렬접속한 복수의 정특성 서미스터를 설치하고, 상기 복수의 정특성 서미스터를, 제1의 스위치소자, 제2의 스위치소자 및 전지셀 중 적어도 2개와 각각 열적으로 결합시킨다.
- <18> (3)상기 스위치소자제어회로는 제2의 스위치소자의 제어신호경로에만 삽입한 것으로 한다.
- <19> (4)상기 제1의 스위치소자 및 제2의 스위치소자는 FET로 하고, 상기 보호제어회로를 FET의 게이트를 제어하는 게이트 제어단자를 구비한 집적회로로 한다.
- <20> (5)상기 스위치소자제어회로는 상기 FET의 게이트·소스간을 접속한 저항과, 상기 보호회로의 게이트 제어단자와 상기 FET의 게이트와의 사이에 삽입한 1개 이상의 정특성 서미스터로 구성한다.
- <21> (6)상기 스위치소자제어회로는 상기 FET의 게이트·소스간에 드레인 및 소스를 각각 접속한 제어용 FET와, 상기 제어용 FET의 게이트·소스간을 접속한 상기 1개 이상의 정특성 서미스터로 구성한다.
- <22> (7)이 발명의 전지팩의 보호회로는 제어단자를 가지고, 전지의 정극 또는 부극에 직렬로 접속되고 있고, 이상시에 OFF상태가 됨으로써 충방전시의 전류경로를 차단하는 적어도 1개의 스위치소자와, 상기 전류경로에 이상전류가 흘렀을 때에, 상기 적어도 1개의 스위치소자를 OFF상태로 하는 것을 가능하게 하도록 상기 적어도 1개의 스위치소자의 상기 제어단자에 접속된 보호제어회로를 구비하고, 상기 보호제어회로가 상기 이상전류 이외의 이상상태임을 나타내는 신호가 입력되는 신호입력단자를 가지고, 상기 신호입력단자에 상기 이상전류 이외의 이상상태를 나타내는 신호가 입력되었을 때에, 상기 적어도 1개의 스위치소자를 OFF상태로 하도록 구성되어 있는 전지팩의 보호회로에 있어서, 상기 적어도 1개의 스위치소자에 연결합된 제1의 정특성 서미스터를 더욱 구비하고, 상기 제1의 정특성 서미스터가 연결합된 스위치소자의 이상과열에 의한 상기 제1의 정특성 서미스터의 저항치 변화에 따른 신호가 상기 이상상태를 나타내는 신호로서 상기 신호입력단자에 입력되도록 구성한다.
- <23> (8)상기 전류경로를 차단하는 스위치소자를 복수 설치하고, 각 스위치소자에 상기 제1의 정특성 서미스터를 열결합시키고, 제1의 정특성 서미스터를 전기적으로 직렬로 접속한다.
- <24> (9)상기 적어도 1개의 스위치소자 이외의 발열부분에 열결합시킨 적어도 1개의 제2의 정특성 서미스터를 더 구비하고, 상기 스위치소자에 열결합시킨 제1의 정특성 서미스터와, 상기 적어도 1개의 제2의 정특성 서미스터를 직렬로 접속한다.
- <25> (10)상기 발열부분은 전지이며, 상기 전지에 상기 제2의 정특성 서미스터를 열결합시킨다.
- <26> (11)상기 스위치소자에 열결합시킨 제1의 정특성 서미스터의 저항온도 특성과, 상기 발열부분에 열결합시킨 제2의 정특성 서미스터의 저항온도 특성은 다른 것으로 한다.
- <27> (12)이 발명의 전지팩은 상기 어느 하나의 구성을 구비한 전지팩의 보호회로와, 그것에 의해서 보호되는 전지셀로 구성한다.
- <28> <발명의 효과>
- <29> (1)스위치소자제어회로는 제1 및 제2의 스위치소자의 적어도 일방의 제어신호경로에 삽입되어, 정특성 서미스터를 포함하는 것이므로, 즉 전지셀의 충방전경로에 설치하는 것이 아니므로, 미약(微弱)전류가 흐르는 극히 소형의 칩소자를 이용할 수 있어 제조비용을 삭감할 수 있다. 또 전지셀의 충방전전류경로에 삽입하는 제3의 스위치소자가 불필요해지므로 소형 저비용화를 꾀할 수 있다.
- <30> 게다가 제1의 스위치소자, 제2의 스위치소자, 또는 전지셀의 과열시의 상기 정특성 서미스터의 저항치 증가에 의해 제1 또는 제2의 스위치소자가 차단되므로, 상기 보호제어회로가 기능하지 못하게 되어도, 이 스위치소자제어회로와 제1 또는 제2의 스위치소자 및 상기 정특성 서미스터에 의해서 보호기능을 수행할 수 있고, 보호수단의 이중화를 확보할 수 있다.
- <31> (2)스위치소자제어회로는 직렬접속한 복수의 정특성 서미스터를 설치하고, 상기 복수의 정특성 서미스터를, 제1의 스위치소자, 제2의 스위치소자 및 전지셀 중 적어도 2개와 각각 열적으로 결합시킴으로써 정특성 서미스터를 스위치소자 또는 전지셀에 각각 열적으로 강하게 결합시킬 수 있고, 과열보호의 응답성을 높일 수 있다. 게다가 복수의 정특성 서미스터를 직렬로 접속할 뿐이므로, 회로규모가 거의 증대할 일도 없다.
- <32> (3)상기 정특성 서미스터를 제2의 스위치소자의 제어신호경로에만 설치함으로써 이상시에 특히 과전류가 흐르는 경향이 높은 충전시의 보호를 행할 수 있다. 즉 적은 부품점수로 신뢰성을 대폭으로 확보할 수 있게 된다.
- <33> (4)제1의 스위치소자 및 제2의 스위치소자를 FET로 하고, 보호제어회로를 FET의 게이트를 제어하는 게이트 제어

단자를 구비한 집적회로로 함으로써 제1·제2의 스위치소자에서의 전압강하가 억제되며, 또한 전체의 소형 경량화를 꾀할 수 있다.

- <34> (5)상기 스위치소자제어회로를, 상기 FET의 게이트·소스간을 접속한 저항과, 보호회로의 게이트 제어단자와 상기 FET의 게이트와의 사이에 삽입한 1개 이상의 정특성 서미스터와로부터 구성함으로써, 정특성 서미스터와 저항만을 추가하는 것만으로 스위치소자제어회로를 구성할 수 있고, 전체에 소형화·경량화·저가격화를 꾀하면서 보호수단을 이중화할 수 있다.
- <35> (6)상기 스위치소자제어회로를, 상기 FET의 게이트·소스간에 드레인 및 소스를 각각 접속한 제어용 FET와, 상기 제어용 FET의 게이트·소스간을 접속한 상기 1개 이상의 정특성 서미스터로 구성함으로써 이상시에, 제어용 FET의 게이트·소스간 전압을 보다 낮게 할 수 있고, 제어용 FET의 차단을 보다 확실하게 행할 수 있다.
- <36> (7)또한 본 발명에 관한 전지팩의 보호회로에서는 이상전류 시에 OFF상태가 됨으로써 전류경로를 차단하는 적어도 1개의 스위치소자와, 이상전류가 흘렀을 때에 적어도 1개의 스위치소자를 OFF상태로 하는 것을 가능하게끔 스위치소자에 접속된 보호제어회로를 구비하기 때문에, 이상전류 시에는 보호제어회로에 의해 적어도 1개의 스위치소자가 전류경로를 차단하도록 동작한다. 그리고 보호제어회로에는 이상전류 이외의 이상상태인 것을 나타내는 신호가 입력되는 신호입력단자가 설치되어 있고, 상기 신호입력단자에 이상전류 이외의 이상상태를 나타내는 신호가 입력되었을 때에, 적어도 1개의 스위치소자가 OFF상태가 되어, 역시 전류경로가 차단된다.
- <37> 그리고, 적어도 1개의 스위치소자에 제1의 정특성 서미스터가 열결합되고 있고, 상기 스위치소자가 과열상태가 되었을 경우에, 제1의 정특성 서미스터의 저항치 변화에 따른 신호가 상기 신호입력단자에 입력된다. 즉 상기 이상전류가 흘렀을 경우뿐만 아니라, 적어도 1개의 스위치소자가 이상과열상태가 되었을 경우라도, 스위치소자가 보호제어회로보다 제어되어서, 전류경로가 차단된다.
- <38> 따라서 스위치소자 자체의 과열이 검출되어, 보호제어회로에 의해 스위치소자가 제어되어 전류경로가 차단된다. 따라서, 전지팩 전체의 과열로 이르기 전에, 신속하게 전지팩을 보호할 수 있다.
- <39> 나아가, 본 발명에서는 상기 제1의 정특성 서미스터는 적어도 1개의 스위치소자에 열결합되어 있는데, 상기 제1의 정특성 서미스터는 전지의 충방전에 있어서의 전류경로에 삽입되어 있지 않기 때문에, 정특성 서미스터를 이용한 것에 따른 손실의 증대도 초래하기 어렵다.
- <40> 따라서 본 발명에 의하면 저손실이면서 또한 보호성능에 뛰어난 전지팩의 보호회로를 제공하는 것이 가능해진다.
- <41> (8)스위치소자는 복수 설치되어 있고, 각 스위치소자에 제1의 정특성 서미스터가 열결합되고 있고, 복수의 제1의 정특성 서미스터가 전기적으로 직렬로 접속되어 있는 경우에는 정특성 서미스터에서는 저항-온도 특성이 급준하기 때문에, 직렬접속한 복수의 정특성 서미스터의 어느 한 개라도 이상온도를 감지해 저항이 높아지면, 이 직렬접속된 정특성 서미스터로 이루어지는 회로 전체의 저항치는 크게 증가한다. 그 때문에 이 직렬회로의 저항의 변화를 감지하는 것만으로, 복수의 스위치소자의 어느 하나에 있어서도 이상과열이 생긴 경우라도, 확실하게 전지팩을 확보할 수 있다.
- <42> 또한, NTC 서미스터를 이용한다는 사고방식도 가능하지만, NTC 서미스터의 경우에는 온도변화에 대한 저항치의 변화가 완만하기 때문에, 이것을 직렬접속한 회로를 상정해도 직렬저항치의 변화가 작고, 이상과열의 감지가 곤란하다. 그 때문에, 예를 들면 각 NTC 서미스터의 저항치의 변화를 각각 컴퍼레이터(comparator)로 소정의 값과 비교하고, 나아가 각 컴퍼레이터의 논리합을 취해서 보호IC에 입력하는 것과 같은 회로를 설치할 필요가 있다. 따라서 회로구성이 복잡해지며, 소형화가 곤란해지는 문제가 있다.
- <43> (9)상기 적어도 1개 스위치소자 이외의 발열부분에 열결합된 적어도 1개의 제2의 정특성 서미스터가 더 구비되어 있고, 스위치소자에 열결합된 제1의 정특성 서미스터와, 적어도 1개의 제2의 정특성 서미스터가 직렬로 접속되어 있는 경우에는 스위치소자에 있어서의 이상과열을 검출해서 전지팩을 보호할 수 있는 뿐만 아니라, 제2의 정특성 서미스터가 열결합되어 있는 발열부분의 이상과열시에, 전지팩을 보호하는 것이 가능해진다.
- <44> (10)상기 발열부분이 전지이며, 상기 전지에 제2의 정특성 서미스터가 열결합되어 있는 경우에는 전지자체의 이상과열시에, 전지팩을 보호할 수 있다.
- <45> (11)상기 스위치소자에 열결합된 제1의 정특성 서미스터의 저항온도 특성과, 발열부분에 열결합된 제2의 정특성 서미스터의 저항온도 특성이 상이하고 있을 경우에는 스위치소자에 있어서의 이상시의 발열량 및 다른 발열부분에 있어서의 이상시의 발열량에 따라서, 제1의 정특성 서미스터 및 제2의 정특성 서미스터의 저항온도 특성을

선택할 수 있다. 따라서, 이상과열시의 보호동작을 보다 확실하면서 보다 신속하게 행하게 할 수 있다.

- <46> (12)이와 같은 기능을 구비한 전지팩의 보호회로와 전지셀을 구비함으로써 소형·경량·저가격이면서 또한 신뢰성이 높은 전지팩으로서 이용할 수 있다.

실시예

- <74> 제1의 실시형태에 관한 전지팩의 보호회로 및 전지팩의 구성을, 도 1을 토대로 설명한다.
- <75> 도 1은 전지팩의 보호회로를 구비한 전지팩의 회로도이다. 전지셀(31)의 충방전경로에 대하여 직렬로 제1의 스위치소자(34a)와 제2의 스위치소자(34b)를 설치하고 있다. 보호제어회로(33)는 그 접지단자 Vss를 전지셀(31)의 마이너스극에 접속하고, Vdd를 저항 R2를 통해서 전지셀(31)의 플러스극에 접속하고 있다. 또 Vdd와 Vss와의 사이에 노이즈신호제거용의 콘덴서 C1을 접속하고 있다. 또 보호제어회로(33)의 V-단자와 전지팩(10)의 마이너스(-)단자와의 사이에 저항 R3을 접속하고 있다.
- <76> 제1·제2의 스위치소자(34a,34b)는 각각 FET로 이루어진다. 보호제어회로(33)는 반도체집적회로로 이루어지고, 제1·제2의 스위치소자(34a,34b)에 대한 게이트 제어단자(Dout, Cout)를 구비하고 있다. Dout는 제1의 스위치소자(34a)의 게이트에 접속하고 있다. 또 다른 일방의 게이트 제어단자(Cout)와 제2의 스위치소자(34b)의 게이트와의 사이에는, 세라믹 정특성 서미스터(Rcpb)를 직렬로 접속하고 있다. 또 제2의 스위치소자(34b)의 게이트와 소스와의 사이에 저항 R1b를 접속하고 있다. 이 저항 R1b와 세라믹 정특성 서미스터 Rcpb에 의해서 스위치소자 제어회로(35b)를 구성하고 있다.
- <77> 보호제어회로(33)는 Vdd-Vss간의 전압을 전원으로 동작하고, Vss와 V-단자와의 사이의 전위차에 의해서 충전전류 및 방전전류를 검출함과 동시에, 충전시의 과전류를 검지했을 때, Cout 단자를 낮은 수준으로 해서 제2의 스위치소자(34b)를 차단한다. 또 방전시의 과전류를 검지했을 때, Dout 단자를 낮은 수준으로 해서 제1의 스위치소자(34a)를 차단한다.
- <78> 도 1에 나타난 회로의 동작은 다음과 같다.
- <79> 통상 시, 보호제어회로(33)의 게이트 제어단자(Cout, Dout)를 함께 높은 수준으로 해서, 제1·제2의 스위치소자(34a,34b)를 함께 ON상태로 한다. 이것에 의해 통상의 충방전이 가능해진다.
- <80> 충전전류가 커지게 되고, 보호제어회로(33)의 Vss와 V-단자와의 사이의 전위차가 소정의 문턱값을 넘었다면, 보호제어회로(33)는 Cout 단자를 낮은 수준으로 한다. 이것에 의해, 스위치소자(34b)가 차단상태가 되고, 그 과전류가 방지된다. 또한 방전전류가 커져서, 보호제어회로(33)의 Vss와 V-단자와의 사이의 전위차가 소정의 문턱값을 넘었다면, 보호제어회로(33)는 Dout 단자를 낮은 수준으로 한다. 이것에 의해 스위치소자(34a)가 차단상태가 되고, 그 과전류가 방지된다.
- <81> 한편, 보호제어회로(33)의 동작과는 독립해서, 어떠한 이상이 발생하고, 충전전류가 과전류상태가 되어서 제1의 스위치소자(34a) 또는 제2의 스위치소자(34b)가 과열상태가 되며, 그것과 열적으로 결합하고 있는 세라믹 정특성 서미스터(Rcpb)가 그 큐리점(Curie point)을 초과하는 온도까지 상승하면, 그 저항치가 급격하게 높아진다. 그 결과, 제2의 스위치소자(34b)의 게이트·소스간 전압이 저하하고, 34b가 차단상태가 된다. 이것에 의해서 전지셀(31)에 흐르는 전류가 차단되어서 상기 이상상태가 회피된다.
- <82> 도 1에 있어서, 저항 R1b를 500k Ω , 세라믹 정특성 서미스터(Rcpb)를, R25 (25℃에 있어서의 저항치)=47k Ω , 큐리온도 100도, 1.0×0.5×0.5mm사이즈의 면실장형으로 한다. 그리고 제1·제2의 스위치소자(34a,34b)의 양쪽에 열적으로 결합하게끔 기판상에 배치한다.
- <83> 이와 같이 해서 제1·제2의 스위치소자(34a,34b)가 열폭주나 고장에 이르는 온도가 되기 전에, 그 전류가 통전을 차단할 수 있어, 전지셀(31) 및 제1·제2의 스위치소자(34a,34b)를 영구적인 파괴로부터 보호할 수 있다.
- <84> 또한, 도 1에 나타난 예에서는 세라믹 정특성 서미스터(Rcpb)를 제1·제2의 스위치소자(34a,34b)의 양방에 열적 결합시켰지만, 이것을 한쪽의 스위치소자에만 열적결합시키도록 해도 좋다. 그 경우라도 제1·제2의 스위치소자(34a,34b)는 충전시 또는 방전시의 과전류에 의해 함께 발열하므로 상술의 경우와 동일한 효과를 연주한다.
- <85> 또한 세라믹 정특성 서미스터(Rcpb)는 제1·제2의 스위치소자(34a,34b)와 함께 전지셀(31)과도 열적으로 결합시켜도 좋다. 이것에 의해, 충전시 또는 방전시의 과전류에 의한 전지셀(31)의 발열을 검지해서 보호할 수 있다.
- <86> 다음으로, 제2의 실시형태에 관한 전지팩의 보호회로 및 전지팩의 구성을 도 2를 토대로 설명한다.

- <87> 도 1에 나타난 예에서는 단일의 세라믹 정특성 서미스터를 사용했지만, 이 제2의 실시형태에서는 다른 부위로 각각 열적으로 결합하는 복수의 세라믹 정특성 서미스터를 사용하고 있다. 즉, 보호제어회로(33)의 게이트 제어단자(Cout)와 제2의 스위치소자(34b)의 게이트와의 사이에, 전지셀용 정특성 서미스터(Rcp1)와 스위치소자용 세라믹 정특성 서미스터(Rcp2)의 직렬회로를 삽입하고 있다. 그리고 제2의 스위치소자(34b)의 게이트·소스간에 저항 R1b를 접속하고 있다. 이 저항 R1b와 2개의 세라믹 정특성 서미스터(Rcp1, Rcp2)에 의해서 스위치소자제어회로(35b)를 구성하고 있다. 그 밖의 구성은 도 1에 나타난 것과 동일하다.
- <88> 도 2에 있어서, 전지셀용 세라믹 정특성 서미스터(Rcp1)는 전지셀(31)과 열적으로 결합하고 있다. 스위치소자용 세라믹 정특성 서미스터(Rcp2)는 제1·제2의 스위치소자(34a, 34b)에 각각 열적으로 결합하고 있다. 이와 같이 복수의 세라믹 정특성 서미스터를 사용함으로써, 전지셀(31)의 발열부와 제1·제2의 스위치소자(34a, 34b)를 위치적으로 떨어진 개소에 배치할 수 있고, 구조설계상의 자유도가 증가한다. 또한 이 제1·제2의 스위치소자 중 1개라도 쿨리점을 넘으면 보호동작하기 때문에 보호동작을 시키는 온도를 서로 다르게 해서, 과열부의 대상과 온도에 따른 보호동작을 최적화할 수도 있다.
- <89> 여기에서 주의해야 할 점은, 개별로 열적결합시킨 상기 2개의 서미스터의 각각이 세라믹 정특성 서미스터라는 것이다. 세라믹 정특성 서미스터는 온도상승에 대한 저항치 상승비율이 매우 크므로, 단순하게 직렬접속하는 것만으로 회로를 구성할 수 있다. 즉, 직렬접속한 세라믹 정특성 서미스터 중 어느 하나라도 쿨리점을 초과했을 때에 보호동작한다고 하는 OR(논리합)조건을 만족할 수 있다. 이와 같은 보호동작을 행하는 회로를, 부특성 서미스터를 이용해서 구성하고자 해도 그것은 불가능하다. 부특성 서미스터에서는 온도변화에 대한 저항치 변화율이 세라믹 정특성 서미스터에 비교해서 매우 작기 때문에, 만일 2개의 부특성 서미스터를 직렬접속하였다 하더라도 그 2개의 부특성 서미스터의 온도변화가, 2개의 부특성 서미스터의 합성저항치의 변화로서 나타날 뿐이며, 이 합성저항치의 변화에서 2점의 열검출을 동시에 행하고, 일방의 온도가 소정의 상한을 초과했을 때에 보호동작을 행한다고 하는 것은 전혀 불가능하다.
- <90> 다음으로, 제3의 실시형태에 관한 전지팩의 보호회로 및 전지팩의 구성을, 도 3을 토대로 설명한다.
- <91> 도 1이나 도 2에 나타난 예에서는 제2의 스위치소자(34b)의 제어신호경로에 스위치소자제어회로(35b)를 설치하였지만, 이 제3의 실시형태에서는 제1의 스위치소자(34a)의 제어신호경로에도 스위치소자제어회로(35a)를 설치하고 있다. 즉 제1의 스위치소자(34a)의 게이트와 보호제어회로(33)의 게이트 제어단자(Dout)와의 사이에, 제1의 스위치소자(34a)와 열적으로 결합하는 세라믹 정특성 서미스터(Rcpa)를 삽입하고, 또 스위치소자(34a)의 게이트와 소스와 사이에 저항 R1a를 접속하고 있다. 이 저항 R1a와 세라믹 정특성 서미스터(Rcpa)에 의해 스위치소자제어회로(35a)를 구성하고 있다. 그 밖의 구성은 도 2에 나타난 것과 동일하다.
- <92> 이 구성에 의하면, 방전시의 과전류에 의한 제1의 스위치소자(34a)의 과열에 의해서 세라믹 정특성 서미스터(Rcpa)의 저항치가 상승한다. 이것에 의해서 제1의 스위치소자(34a)를 차단상태로 하고, 상기 과전류로부터 보호할 수 있다. 충전시의 보호동작에 대해서는 제2의 실시형태의 경우와 동일하다.
- <93> 다음으로 제4의 실시형태에 관한 전지팩의 보호회로 및 전지팩의 구성을, 도 4를 토대로 설명한다.
- <94> 제1~제3의 실시형태에서는 세라믹 정특성 서미스터와 저항으로 스위치소자제어회로를 구성하였지만, 이 제4의 실시형태에서는 제1·제2의 스위치소자(34a, 34b)의 양방의 제어신호경로에 스위치소자제어회로(35a, 35b)를 설치하고 있다. 스위치소자제어회로 내에는 또 다른 스위치소자(36a, 36b)를 설치하고 있다. 스위치소자(36a, 36b)는 스위치소자(34a, 34b)를 각각 제어하기 위한 제어용 FET이다.
- <95> 스위치소자제어회로(35b)는 스위치소자(34b)의 게이트·소스간에 스위치소자(36b)의 드레인·소스를 접속하고, 스위치소자(34b)의 게이트와 보호제어회로(33)의 게이트 제어단자(Cout)와의 사이에 저항 R5b를 접속하고, 게이트 제어단자(Cout)와 스위치소자(36b)의 게이트와의 사이에 저항 R4b를 접속하고, 스위치소자(36b)의 게이트·소스간에 세라믹 정특성 서미스터(Rcpb)를 접속하고 있다.
- <96> 마찬가지로, 스위치소자제어회로(35a)는 스위치소자(34a)의 게이트·소스간에 스위치소자(36a)의 드레인·소스를 접속하고, 스위치소자(34a)의 게이트와 보호제어회로(33)의 게이트 제어단자(Dout)와의 사이에 저항 R5a를 접속하고, 게이트 제어단자(Dout)와 스위치소자(36a)의 게이트와의 사이에 저항 R4a를 접속하고, 스위치소자(36a)의 게이트·소스간에 세라믹 정특성 서미스터(Rcpa)를 접속하고 있다.
- <97> 세라믹 정특성 서미스터(Rcpa)는 스위치소자(34a)와 열적으로 결합하고 있다. 또한, 세라믹 정특성 서미스터(Rcpb)는 스위치소자(34b)와 열적으로 결합하고 있다.

- <98> 도 4에 나타난 회로의 동작은 다음과 같다.
- <99> 통상시, 보호제어회로(33)의 게이트 제어단자(Cout, Dout)를 함께 높은 수준으로 해서 제1·제2의 스위치소자(34a, 34b)를 함께 ON상태로 한다. 이것에 의해 통상의 충방전이 가능해진다.
- <100> 충전전류가 커지게 되고, 보호제어회로(33)의 Vss와 V-단자와의 사이의 전위차가 소정의 문턱값을 넘었다면, 보호제어회로(33)는 Cout 단자를 낮은 수준으로 한다. 이것에 의해, 스위치소자(34b)가 차단상태가 되고, 그 과전류가 방지된다. 또한 방전전류가 커지게 되고, 보호제어회로(33)의 Vss와 V-단자와의 사이의 전위차가 소정의 문턱값을 넘었다면, 보호제어회로(33)는 Dout 단자를 낮은 수준으로 한다. 이것에 의해 스위치소자(34a)가 차단상태가 되고, 그 과전류가 방지된다.
- <101> 한편, 보호제어회로(33)의 동작과는 독립해서, 어떠한 이상이 발생하고, 충전전류가 과전류상태가 되어서 제2의 스위치소자(34b)가 과열상태가 되고, 그것과 열적으로 결합한 세라믹 정특성 서미스터(Rcpb)가 그 쿨리점을 초과하는 온도까지 상승하면 그 저항치가 급격하게 높아진다. 이것에 의해 스위치소자(36b)의 게이트·소스간 전압이 상승해서 ON한다. 그 결과, 스위치소자(34b)의 게이트·소스간 전압이 저하하고, 스위치소자(34b)는 차단상태가 된다. 이것에 의해서 전지셀(31)에 흐르는 전류가 차단되어 상기 이상상태가 회피된다.
- <102> 마찬가지로, 방전전류가 과전류상태가 되어서 제1의 스위치소자(34a)가 과열상태가 되고, 그것과 열적으로 결합한 세라믹 정특성 서미스터(Rcpa)가 그 쿨리점을 초과하는 온도까지 상승하면, 그 저항치가 급격하게 높아진다. 이것에 의해 스위치소자(36a)의 게이트·소스간 전압이 상승하여 ON한다. 그 결과, 스위치소자(34a)의 게이트·소스간 전압이 저하하고, 스위치소자(34a)는 차단상태가 된다. 이것에 의해 전지셀(31)로부터 흐르는 전류가 차단되어 상기 이상상태가 회피된다.
- <103> 또한, 이와 같이 스위치소자제어회로에 제어용 FET인 스위치소자(36a, 36b)를 설치함으로써 이상시에 스위치소자(34a, 34b)의 게이트·소스간 전압을 보다 낮게 할 수 있고, 스위치소자(34a, 34b)의 차단을 보다 확실하게 행할 수 있다.
- <104> 다음으로, 제5의 실시형태에 관한 전지팩의 보호회로 및 전지팩의 구성을 도 5를 토대로 설명한다.
- <105> 4에 나타난 예와 다른 것은, 세라믹 정특성 서미스터 부분을 2개의 세라믹 정특성 서미스터의 직렬회로로 구성하고, 그 중의 일방을 제1·제2의 스위치소자(34a · 34b)에 열적으로 결합시켜, 타방을 전지셀(31)에 열적으로 결합시키고 있는 점이다.
- <106> 이와 같은 구성이기 때문에, 전지셀(31)이 과열상태가 되고, 세라믹 정특성 서미스터(Rcp1a)가 쿨리점을 초과하는 온도에 달하면, 스위치소자(36a)가 ON하고, 스위치소자(34a)가 차단상태가 되어서 전지셀(31)이 과열로부터 보호된다. 마찬가지로 세라믹 정특성 서미스터(Rcp1b)가 쿨리점을 초과하는 온도에 달하면, 스위치소자(36b)가 ON하고, 스위치소자(34b)가 차단상태가 되어서 전지셀(31)이 과열로부터 보호된다. 따라서, 스위치소자(34a, 34b)와 전지셀(31)의 어느 하나가 먼저 과열상태가 되어도 보호동작이 기능한다. 그 밖의 동작은 제4의 실시형태의 경우와 마찬가지로이다.
- <107> 이와 같이 세라믹 정특성 서미스터를, 제1 및 제2의 스위치소자(34a, 34b)의 적어도 일방과 열적으로 결합하는 스위치소자용 세라믹 정특성 서미스터(Rcp2a, Rcp2b)와, 전지셀(31)과 열적으로 결합하는 전지셀용 세라믹 정특성 서미스터(Rcp1a, Rcp1b)로 나눈과 동시에, 그 2개의 세라믹 정특성 서미스터를 전기적으로 직렬접속함으로써, 스위치소자용 세라믹 정특성 서미스터(Rcp2a, Rcp2b)가 스위치소자(34a, 34b)에, 전지셀용 세라믹 정특성 서미스터(Rcp1a, Rcp1b)가 전지셀(31)에, 각각 열적으로 강하게 결합해서 과열보호의 응답성을 높일 수 있다. 게다가 회로적으로는 상기 2개의 세라믹 정특성 서미스터를 직렬로 접속할 뿐이므로 회로규모가 거의 증대할 일도 없다.
- <108> 도 6은 본 발명의 제6의 실시형태에 관한 전지팩의 보호회로를 설명하기 위한 회로도이다. 전지팩(51)은 전지셀(52)과, 전지셀(52)을 보호하기 위한 도시의 보호회로를 가진다.
- <109> 전지셀(52)의 정극은 제1의 단자(53)에, 부극은 제2의 단자(54)에 접속되어 있다. 전지셀(52)과, 단자(53, 54)를 접속하고 있는 경로가 충방전에 있어서 전류가 흐르는 전류경로를 구성하고 있다.
- <110> 본 실시형태의 보호회로에서는 상기 전류경로에 이상시에 전류경로를 차단하게끔 동작되는, 적어도 1개의 스위치소자로서 FET로 이루어지는 제1, 제2의 스위치소자(55, 56)가 설치되어 있다. 즉 전지셀(52)의 부극과 단자(54)와의 사이에 직렬로, 제1의 스위치소자(55) 및 제2의 스위치소자(56)가 접속되어 있다. 보다 구체적으로는 스위치소자(55)의 소스전극이 전지셀(52)의 부극에 접속되어 있고, 스위치소자(55)의 드레인전극과 스위치소자

(56)의 드레인전극이 접속되고 있고, 스위치소자(56)의 소스전극이 단자(54)에 접속되어 있다.

- <111> 한편, 스위치소자(55,56)의 게이트 전극은 각각 보호용 IC로부터 이루어지는 보호제어회로(57)에 접속되어 있다. 보호제어회로(57)는 스위치소자(55,56)를 ON 상태 또는 OFF상태로 하는 신호를 스위치소자(55,56)의 게이트 전극에 인가하고, 스위치소자(55,56)에 의한 전류경로 차단동작을 실현한다.
- <112> 또한 보호제어회로는 제1, 제2의 입력단자(57a,57b)를 가진다. 제1의 입력단자(57a)는 전지셀(52)의 정극과 단자(53)와의 사이의 접속점(58)과 접속되어 있고, 접속점(58)과 입력단자(57a)와의 사이에 저항(59)이 접속되어 있다. 또한 보호제어회로(57)의 제2의 신호입력단자(57b)에는 정특성 서미스터(60)의 일단이 접속되어 있다. 이 정특성 서미스터(60)가 본 발명의 제1의 정특성 서미스터이다. 정특성 서미스터(60)의 타단은 제2의 스위치소자(56)의 소스전극과 단자(54)의 사이의 접속점(61)에 접속되어 있다. 즉 정특성 서미스터(60)는 신호입력단자(57b)와 스위치소자(56)의 소스전극과의 사이에 접속되어 있고, 환언하면, 정특성 서미스터(60)는 전지셀(52)의 충방전시의 전류경로에는 직렬로는 삽입되어 있지 않다. 한편 정특성 서미스터(60)는 제2의 스위치소자(56)에 열결합되어 있다.
- <113> 정특성 서미스터(60)의 신호입력단자(57b)에 접속되어 있는 측의 단부에는 직렬로 저항(62)이 접속되어 있다. 저항(62)의 타단은 전지셀(52)의 정극과 단자(53)와의 사이의 접속점(63)에 접속되어 있다.
- <114> 따라서 저항(62) 및 정특성 서미스터(60)는 서로 직렬로 접속되어 있고, 전지셀(52)의 정극 및 부극간에 병렬로 접속되어 있다.
- <115> 또한 보호제어회로(57)의 단자(57c)가 전지셀(52)의 부극에 접속점(66)을 통해서 접속되어 있다. 또한 보호제어회로(57)의 단자(57d)가 단자(54)에 저항(67)을 통해서 접속되어 있다.
- <116> 본 실시형태의 전지팩의 보호회로에서는 전지셀(52)의 충방전시에, 이상전류가 흐른 시에는 보호제어회로(57)는 스위치소자(55,56)의 적어도 일방을 OFF상태로 한다. 그 결과 전류경로가 차단되며 전지팩(51)의 보호가 수행되어진다.
- <117> 또한 본 실시형태에서는 예를 들면 스위치소자(56)가 선행해서 이상과열해 고온상태가 되었을 경우이며, 전지팩(51) 전체가 과열상태에 이르지 못한 경우라도 정특성 서미스터(60)가 스위치소자(56)에 열결합되어 있기 때문에, 정특성 서미스터(60)의 저항치가 급격하게 상승한다. 즉, 도 7(a)에 나타내는 바와 같이, 정특성 서미스터에서는 온도가 상승하면, 저항치는 급격하게 상승한다. 따라서 정특성 서미스터(60)와 저항(62)과의 사이의 접속점(P)에 있어서의 전압 V_p 는 도 7(b)에 나타내는 바와 같이, 온도상승에 수반해서 급격하게 상승하게 된다. 따라서, 보호제어회로(57)의 신호입력단자(57b)에 가해지는 전압이 급격하게 상승하고, 보호제어회로(57)는 스위치소자(55,56)를 OFF상태로 하는 전기신호를 부여한다.
- <118> 즉 본 실시형태에서는 전류경로에 이상전류가 흐른 경우뿐만 아니라, 스위치소자(56)가 이상과열했을 경우에도, 전지팩(51)을 보호할 수 있다. 따라서, 전지팩 전체가 이상과열에 달하기 전에, 스위치소자(56)의 이상과열을 검지하고, 보호할 수 있다. 따라서 고부하상태가 계속된 경우 등에 있어서, 스위치소자(56)가 열폭주하거나, 고장에 이르거나 하기 전에, 스위치소자(56)를 OFF상태로 할 수 있다. 부가해서 정특성 서미스터가 전류경로에 삽입되고 있지 않으므로, 손실도 증대하기 어렵다.
- <119> 도 8은 상기 실시형태의 전지팩의 보호회로의 변형예를 나타내는 회로도이다. 도 6에 나타낸 전지팩(51)에서는 1개의 정특성 서미스터(60)가 1개의 스위치소자(56)에 열결합되어 있었지만, 도 8에 나타내는 바와 같이, 정특성 서미스터(60)를, 제1, 제2의 스위치소자(55,56)의 쌍방에 열결합해도 좋다. 이 경우에는 복수의 스위치소자(55,56) 중에서, 어느 일방에 있어서만 이상과열상태가 생긴 경우에 있어서도, 혹은 쌍방의 스위치소자(55,56)에 있어서 이상과열상태가 생겼을 경우에 있어서도 전지팩을 확실하게 보호할 수 있다.
- <120> 도 9는 상기 실시형태의 전지팩의 보호회로의 또 다른 변형예를 나타내는 회로도이다. 도 9에 나타내는 전지팩의 보호회로에서는 제1의 서미스터로서의 2개의 정특성 서미스터(60,60A)가 서로 직렬로 접속되어 있다. 그리고 일방의 정특성 서미스터(60A)가 스위치소자(55)에 열결합되고 있고, 타방의 정특성 서미스터(60)가 제6의 실시형태와 동일하게 스위치소자(56)에 열결합되어 있다.
- <121> 도 9에 나타낸 보호회로에서는 스위치소자(56)가 이상과열했을 경우에는 정특성 서미스터(60)의 저항치가 급격하게 상승하고, 보호가 피해진다. 그리고 스위치소자(55)가 이상과열했을 경우에는 정특성 서미스터(60A)의 저항치가 급격하게 상승하고, 역시 보호를 피할 수 있게 된다. 이와 같이, 복수의 스위치소자의 각각에, 열결합된 복수의 정특성 서미스터를 배치하고, 상기 복수의 정특성 서미스터를 직렬로 접속해도 좋다. 이 경우에는 정특

정 서미스터에서는 저항-온도특성이 급준하기 때문에, 직렬접속한 복수의 정특성 서미스터의 어느 한개라도 이상온도를 감지해서 저항이 높아지면, 이 직렬접속된 정특성 서미스터로부터 이루어지는 회로전체의 저항치는 크게 증가한다. 그 때문에 이 직렬회로의 저항의 변화를 감지하는 것만으로 복수의 스위치소자의 어느 하나에 있어서도 이상과열이 생겼을 경우라도 확실하게 전지팩을 보호할 수 있다.

<122> 도 10은 본 발명의 제7의 실시형태에 관한 전지팩의 회로구성을 나타내는 회로도이다. 제7의 실시형태의 전지팩(71)에 있어서도 제6의 실시형태의 경우와 마찬가지로, 스위치소자(56)에 정특성 서미스터(60)가 열결합되어 있다. 더욱이 본 실시형태에 있어서는 정특성 서미스터(60)에 직렬로, 제2의 정특성 서미스터(72)를 접속되어 있다. 그리고 제2의 정특성 서미스터(72)는 전지셀(52)에 열결합되어 있다. 기타의 점에 대해서는 제7의 실시형태의 보호회로는 제6의 실시형태의 보호회로와 동일하기 때문에 동일부분에 대해서는 동일한 참조번호를 부기함으로써 그 상세한 설명을 생략한다.

<123> 도 10에 나타난 보호회로에서는 제2의 정특성 서미스터(72)가 전지셀(52)에 열결합되어 있다. 따라서 전지셀(52) 자체가 이상과열했을 경우에도 정특성 서미스터(72)의 저항치가 급격하게 상승하고, 전압 V_p 이 급격하게 상승한다. 따라서 보호제어회로(57)는 전지셀(52)이 이상과열했을 경우에도 스위치소자(55, 56)를 OFF상태로 하고, 전류경로를 차단해 보호를 꾀한다.

<124> 이와 같이 본 발명에 관한 전지팩의 보호회로에서는 적어도 1개의 스위치소자에 열결합된 제1의 정특성 서미스터뿐만 아니라, 전지셀(52) 등의 다른 발열부분에 열결합된 제2의 정특성 서미스터(72)를 더 구비하고, 그것들을 직렬로 접속하고 있어도 좋다. 그 경우에는 제2의 정특성 서미스터에 열결합된 발열부분의 이상과열을 검출하고, 전지팩의 보호를 피하는 것이 가능해진다.

<125> 또한 제1의 정특성 서미스터(60)와, 제2의 정특성 서미스터(72)를 병용할 경우, 양자의 저항온도 특성은 동일해도 좋고, 달라 있어도 좋다. 더욱이 스위치소자의 과열상태와, 다른 발열부분의 과열상태가 다르기 때문에, 바람직하게는 스위치소자나 각 발열부분에 따른 저항온도 특성을 가지게끔, 정특성 서미스터(60,72)의 저항온도 특성을 선택하는 것이 바람직하다. 따라서 바람직하게는 제1의 정특성 서미스터(60)의 저항온도 특성과, 제2의 정특성 서미스터(72)의 저항온도 특성은 상이하고 있다.

<126> 아울러 상술해 온 제6, 제7의 실시형태 및 변형예에서는 스위치소자로서, 2개의 스위치소자(55,56)를 사용하였지만, 전류경로를 차단해서 보호를 피하는 소자로서의 스위치소자는 스위치소자에 한정되는 것이 아니다. 또한 1개의 스위치소자만이 사용되어도 좋고, 3개 이상의 스위치소자를 사용해도 좋다.

도면의 간단한 설명

<47> 도 1은 제1의 실시형태에 관한 전지팩의 보호회로 및 전지팩의 구성을 나타내는 회로도이다.

<48> 도 2는 제2의 실시형태에 관한 전지팩의 보호회로 및 전지팩의 구성을 나타내는 회로도이다.

<49> 도 3은 제3의 실시형태에 관한 전지팩의 보호회로 및 전지팩의 구성을 나타내는 회로도이다.

<50> 도 4는 제4의 실시형태에 관한 전지팩의 보호회로 및 전지팩의 구성을 나타내는 회로도이다.

<51> 도 5는 제5의 실시형태에 관한 전지팩의 보호회로 및 전지팩의 구성을 나타내는 회로도이다.

<52> 도 6은 본 발명의 제6의 실시형태의 전지팩의 보호회로를 설명하기 위한 회로도이다.

<53> 도 7(a)은 제6의 실시형태로 이용되고 있는 정특성 서미스터의 저항온도 특성을 나타내는 도이며, 7(b)은 도 6의 접속점 P에 있어서의 전압 V_p 의 온도에 따른 변화를 나타내는 도이다.

<54> 도 8은 제6의 실시형태의 전지팩의 보호회로의 변형예를 나타내는 회로도이다.

<55> 도 9는 제6의 실시형태의 전지팩의 보호회로의 다른 변형예를 나타내는 회로도이다.

<56> 도 10은 본 발명의 제7의 실시형태에 관한 전지팩의 보호회로를 설명하기 위한 회로도이다.

<57> 도 11은 종래의 전지팩의 보호회로의 구성을 나타내는 회로도이다.

<58> <부호의 설명>

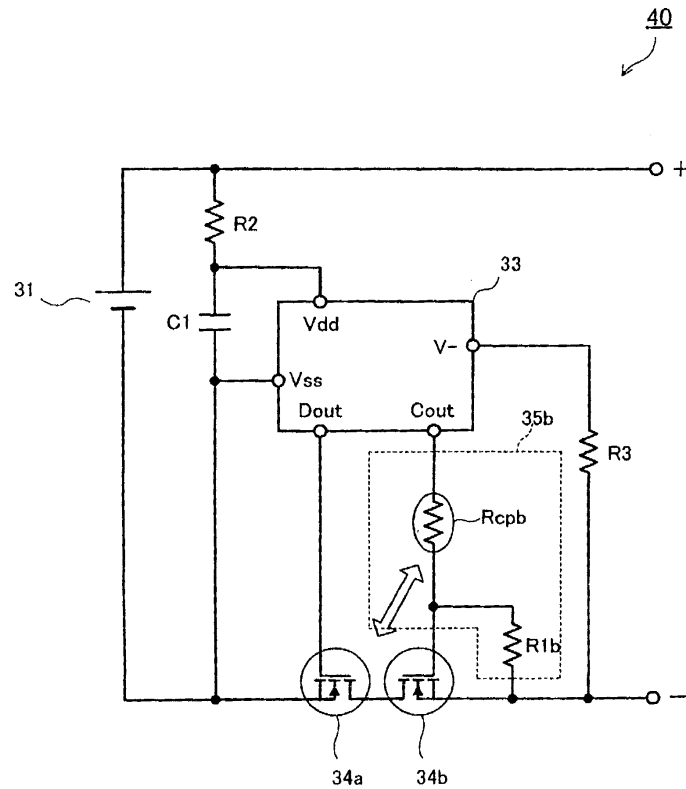
<59> 31: 전지셀 33: 보호제어회로

<60> 34a: 제1의 스위치소자 34b: 제2의 스위치소자

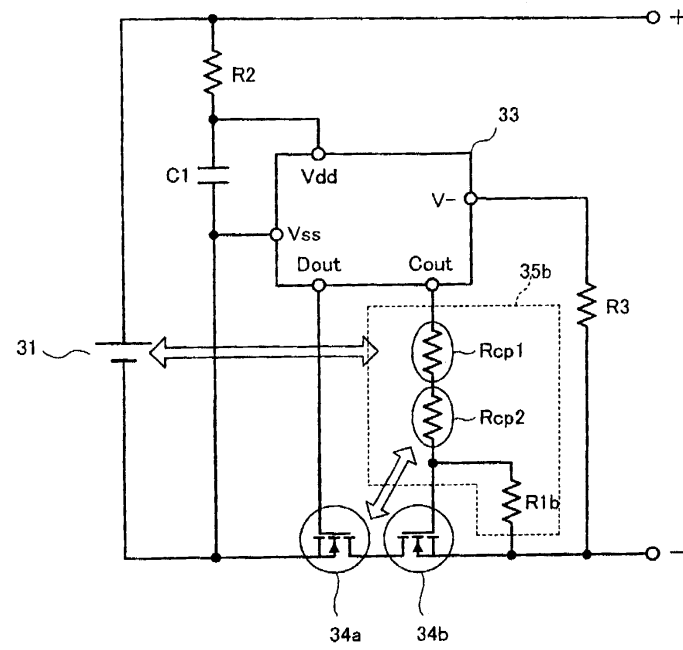
<61>	35: 스위치소자제어회로	36: 스위치소자
<62>	40: 전지팩	51: 전지팩
<63>	52: 전지셀	53,54: 단자
<64>	55: 스위치소자(제1의 스위치소자)	56: 스위치소자(제2의 스위치소자)
<65>	57: 보호제어회로	57a: 제1의 신호입력단자
<66>	57b: 제2의 신호입력단자	57c,57d: 단자
<67>	58: 접속점	59: 저항
<68>	60: 정특성 서미스터	58: 접속점
<69>	60A: 정특성 서미스터	61: 접속점
<70>	62: 저항	63: 접속점
<71>	66: 접속점	67: 저항
<72>	71: 전지팩	72: 정특성 서미스터
<73>	Rcp: 세라믹 정특성 서미스터	Cout, Dout: 게이트 제어단자

도면

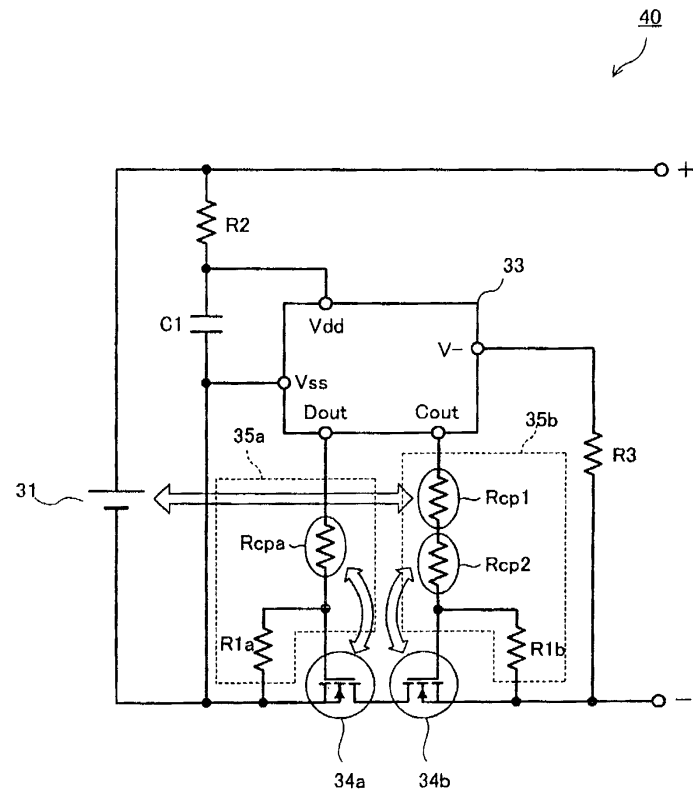
도면1



도면2

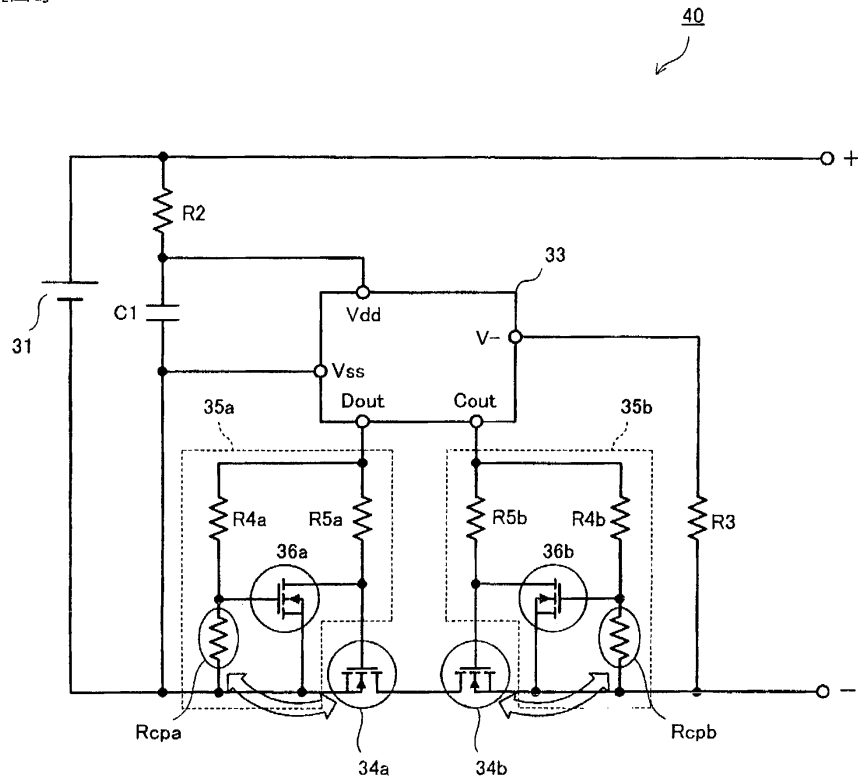


도면3

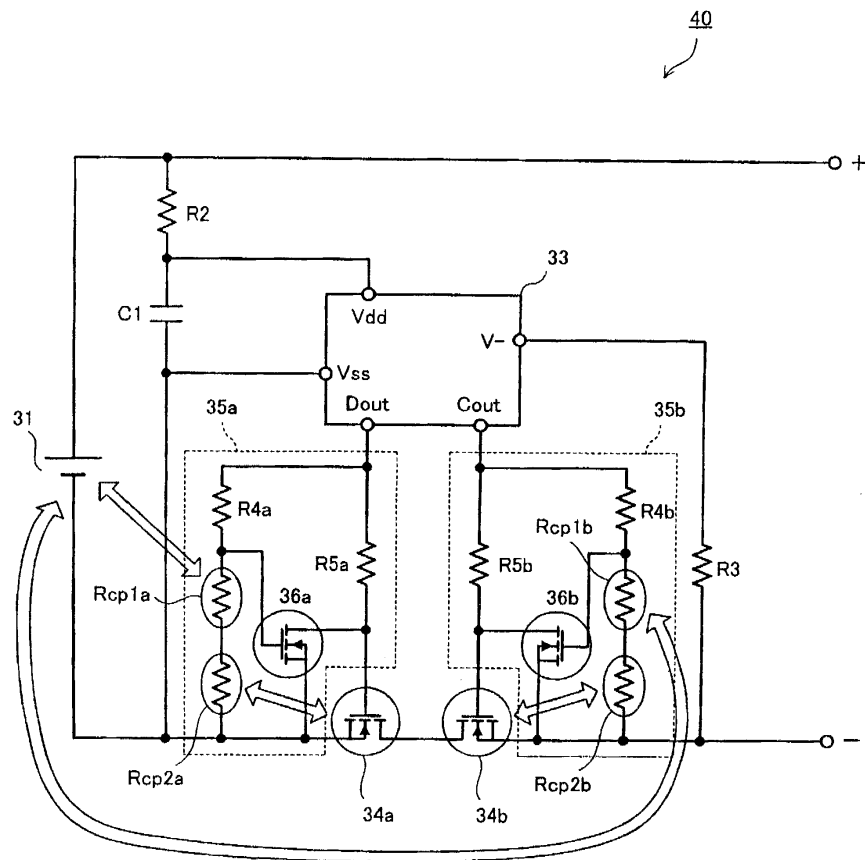


도면4

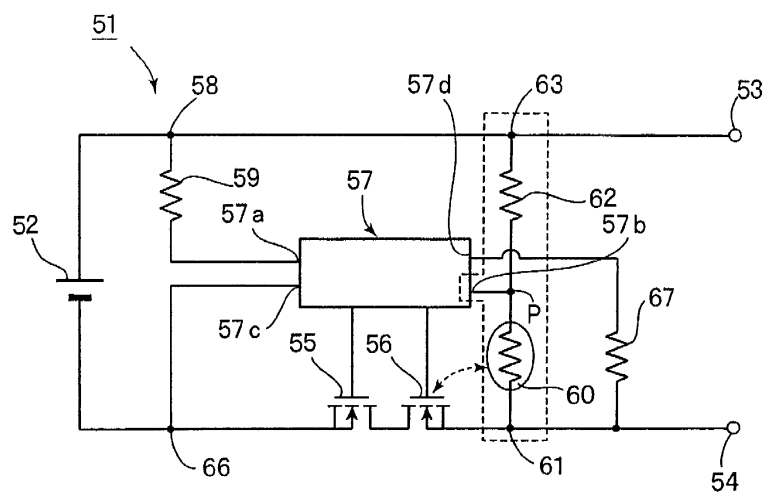
[圖4]



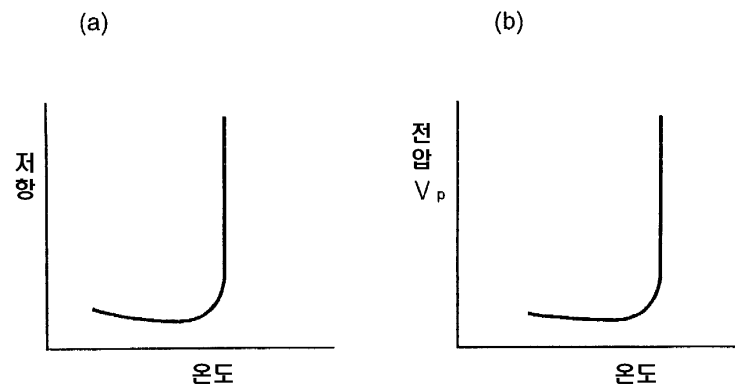
도면5



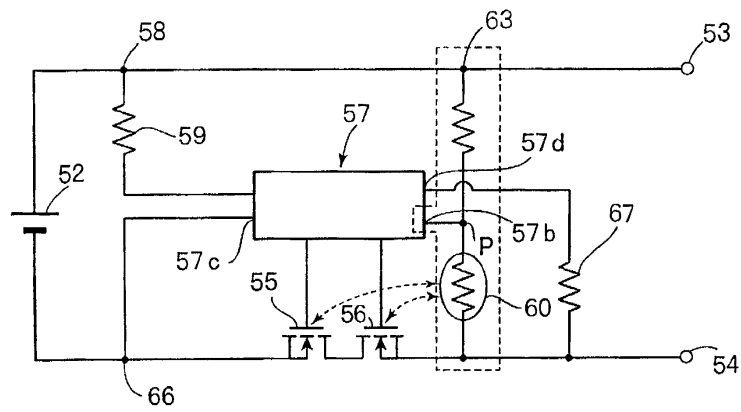
도면6



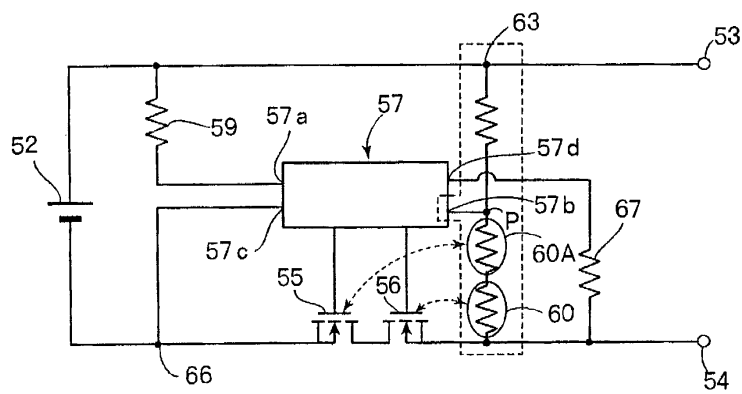
도면7



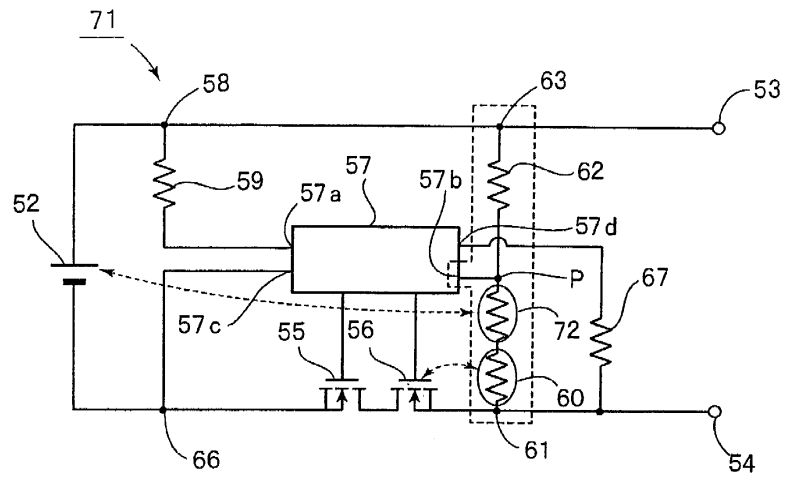
도면8



도면9



도면10



도면11

