



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202349493 A

(43) 公開日：中華民國 112 (2023) 年 12 月 16 日

(21) 申請案號：112108525

(22) 申請日：中華民國 112 (2023) 年 03 月 08 日

(51) Int. Cl. :

*H01L21/3065(2006.01)**H01L21/336 (2006.01)**H01J37/32 (2006.01)*

(30) 優先權：2022/03/09

美國

17/690,715

(71) 申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)

日本

(72) 發明人：韓 蘊 HAN, YUN (US)；蘭傑 艾洛克 RANJAN, ALOK (US)；大石智之 OISHI, TOMOYUKI (JP)；小川秀平 OGAWA, SHUHEI (JP)；小林憲 KOBAYASHI, KEN (JP)；拜歐錫 披特 BIOLSI, PETER (US)

(74) 代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：20 項 圖式數：3 共 34 頁

(54) 名稱

多晶半導體的蝕刻

(57) 摘要

一種處理基板的方法，包括：執行一循環電漿蝕刻製程，其包括多個循環，該多個循環中之每一者包括：藉由暴露一基板於一第一電漿來蝕刻包括一多晶半導體材料的一圖案化層以形成或延伸一凹槽，該基板包括一氧化物層，該圖案化層形成在該氧化物層上；暴露該基板於一第二電漿，該第二電漿包括二氫；以及藉由暴露該基板於一第三電漿來延伸該凹槽，該第二電漿不同於該第一電漿和該第三電漿。

A method of processing a substrate that includes: performing a cyclic plasma etch process including a plurality of cycles, each of the plurality of cycles including: etching a patterning layer including a polycrystalline semiconductor material to form or extend a recess by exposing the substrate to a first plasma, the substrate including an oxide layer, the patterning layer formed over the oxide layer, exposing the substrate to a second plasma, the second plasma including dihydrogen, and extending the recess by exposing the substrate to a third plasma, the second plasma being different from the first plasma and the third plasma.

指定代表圖：

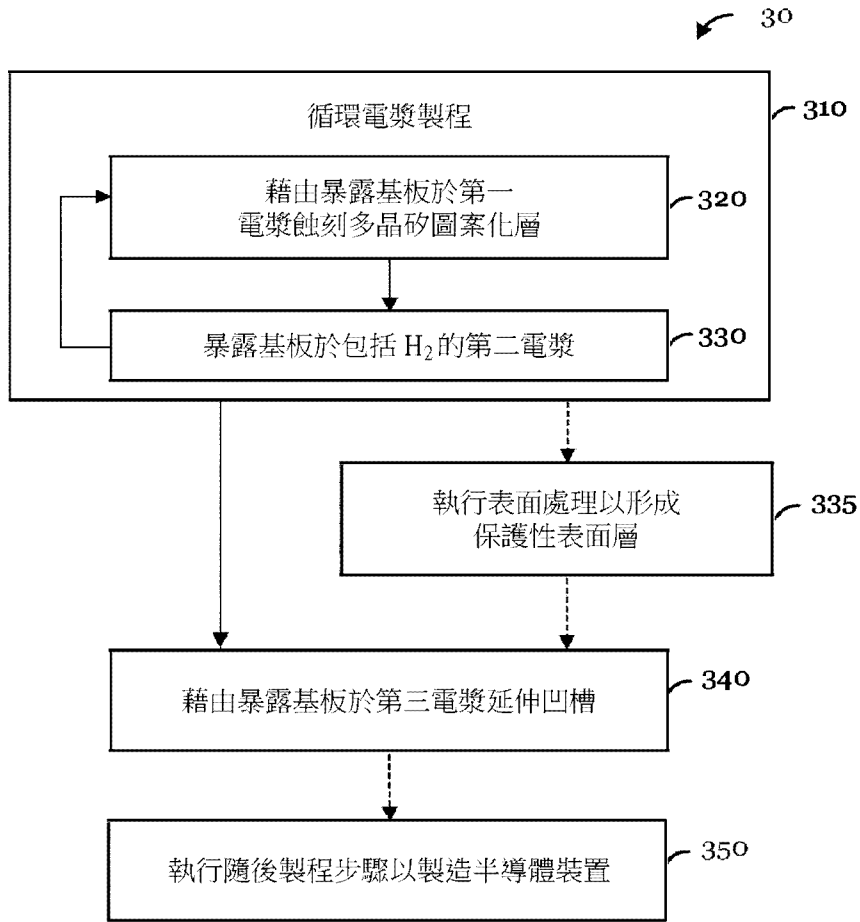


圖 3A

【發明摘要】

【中文發明名稱】 多晶半導體的蝕刻

【英文發明名稱】 ETCHING OF POLYCRYSTALLINE SEMICONDUCTORS

【中文】一種處理基板的方法，包括：執行一循環電漿蝕刻製程，其包括多個循環，該多個循環中之每一者包括：藉由暴露一基板於一第一電漿來蝕刻包括一多晶半導體材料的一圖案化層以形成或延伸一凹槽，該基板包括一氧化物層，該圖案化層形成在該氧化物層上；暴露該基板於一第二電漿，該第二電漿包括二氫；以及藉由暴露該基板於一第三電漿來延伸該凹槽，該第二電漿不同於該第一電漿和該第三電漿。

【英文】 A method of processing a substrate that includes: performing a cyclic plasma etch process including a plurality of cycles, each of the plurality of cycles including: etching a patterning layer including a polycrystalline semiconductor material to form or extend a recess by exposing the substrate to a first plasma, the substrate including an oxide layer, the patterning layer formed over the oxide layer, exposing the substrate to a second plasma, the second plasma including dihydrogen, and extending the recess by exposing the substrate to a third plasma, the second plasma being different from the first plasma and the third plasma.

【指定代表圖】 圖3A

【代表圖之符號簡單說明】 無。

【發明說明書】

【中文發明名稱】 多晶半導體的蝕刻

【英文發明名稱】 ETCHING OF POLYCRYSTALLINE SEMICONDUCTORS

【技術領域】

【0001】 本申請案主張以下優先權：2022年3月9日提交的美國非臨時專利申請案第17/690,715號的優先權和權益，該申請案的全部內容通過引用併入本文。

【0002】 本發明總體關於一種處理基板的方法，且在特定實施例中，關於多晶半導體的蝕刻。

【先前技術】

【0003】 一般來說，半導體裝置，例如積體電路(IC)，是藉由在基板上依序沉積和圖案化介電質、導電和半導體材料的層體以形成整合在一個單片(monolithic)結構中的電子部件和互連元件（例如，電晶體、電阻器、電容器、金屬線、接觸部和通孔）的網路來製造的。許多用於形成半導體裝置的組成結構的製程步驟是使用電漿製程執行的。

【0004】 半導體工業反覆將半導體裝置中的最小特徵尺寸減小到幾奈米以增加部件的封裝密度。因此，半導體工業越來越需要電漿處理技術來提供具有準確度、精確度和輪廓控制的圖案化特徵部的製程(通常在原子尺度上)。這些要求對於三維(3D)結構特別嚴格，例如，鰭式場效應電晶體 (FinFET)，其中閘極電極包裹著藉由蝕刻進入半導體基板的溝槽所形成的間隔緊密、窄且長的

鰭狀半導體特徵部的三邊。應對這一挑戰以及大批量IC製造所需的均一性和可重複性需要電漿處理技術的進一步創新。

【發明內容】

【0005】 根據本發明的一實施例，一種處理基板的方法包括：執行一循環電漿蝕刻製程，其包括多個循環，該多個循環中之每一者包括：藉由暴露一基板於一第一電漿來蝕刻包括一多晶半導體材料的一圖案化層以形成或延伸一凹槽，該基板包括一氧化物層，該圖案化層形成在該氧化物層上；暴露該基板於一第二電漿，該第二電漿包括二氫；以及藉由暴露該基板於一第三電漿來延伸該凹槽，該第二電漿不同於該第一電漿和該第三電漿。

【0006】 根據本發明的一實施例，一種處理基板的方法包括：執行一循環電漿蝕刻製程，其包括多個循環，該多個循環中之每一者包括：藉由在一第一期間暴露一基板於一第一電漿來蝕刻一多晶矽層以形成一凹槽，該基板包括一氧化物層，該多晶矽層形成在該氧化物層上，該第一電漿包括溴化氫和二氫；以及在一第二期間暴露該基板於一第二電漿，該第二電漿包括二氫。

【0007】 根據本發明的一實施例，一種製造鰭式場效應電晶體的方法包括：在一氧化物層上形成一鰭狀特徵部，該氧化物層形成在一基板上，該鰭狀特徵部包括一鰭狀硬遮罩和該鰭狀硬遮罩下的一鰭狀物，該鰭狀物包括矽；沉積包括多晶矽的一虛設閘極材料；在該虛設閘極材料上沉積一閘極硬遮罩層；在該硬遮罩層上沉積一光阻；執行一微影製程以圖案化該光阻；蝕刻該閘極硬遮罩層以將一圖案從該光阻轉移到該硬遮罩層；以及使用該閘極硬遮罩層作為一蝕刻遮罩執行一循環電漿蝕刻製程，該循環電漿蝕刻製程暴露該鰭狀硬遮

罩，該循環電漿蝕刻製程包括多個循環，該多個循環中之每一者包括：藉由暴露該基板於一第一電漿來蝕刻該虛設閘極材料以形成一凹槽，該第一電漿包括鹵素；以及暴露該基板於一第二電漿，該第二電漿包括氫。

【圖式簡單說明】

【0008】為了更完整地理解本發明及其優點，現結合所附圖式參考以下描述，其中：

【0009】圖1A-1G繪示根據各種實施例在示例性循環電漿製程期間之各個階段的示例性基板的橫剖面圖，其中圖1A繪示包括多晶矽、硬遮罩層和圖案化光阻層的進料基板，圖1B繪示硬遮罩打開步驟之後的基板，圖1C繪示在以循環電漿製程的第一電漿進行第一主蝕刻之後的基板，圖1D繪示在以第二電漿進行循環電漿製程的第一氫處理之後的基板，圖1E繪示在循環電漿製程步驟之循環後的基板，圖1F繪示基板在表面處理後以形成保護性表面層，圖1G繪示使用第三電漿進行軟著陸式蝕刻後的基板；

【0010】圖2A-2E繪示根據各種實施例在用於製造三維(3D)半導體裝置的示例性循環電漿製程期間之各個階段的示例性基板的透視圖，其中圖2A繪示包括氧化物層、鰭狀特徵部、多晶矽層、硬遮罩層和圖案化光阻層的進料晶圓，圖2B繪示硬遮罩打開步驟後的基板，圖2C繪示循環電漿製程步驟之循環後的基板，圖2D繪示基板在表面處理後以形成保護性表面層，圖2E繪示基板在軟著陸式蝕刻後形成包裹鰭狀特徵部的虛設閘極特徵部；以及

【0011】圖3A-3C繪示根據各種實施例的循環電漿製程方法的製造流程圖，其中圖3A繪示一些實施例的製造流程，圖3B繪示替代實施例的製造流程，而圖3C繪示又一實施例的製造流程。

【實施方式】

【0012】 本申請關於一種處理基板的方法，更具體關於一種能夠在具有高縱橫比(HAR)的特徵部中實現蝕刻輪廓控制的循環電漿製程的方法。在半導體裝置製造中，HAR特徵部中不良的蝕刻輪廓控制可能會導致整個HAR特徵部的臨界尺寸(CD)變化和線邊緣粗糙度(LER)不良。在先進邏輯節點的前段製程(FEOL)製造中使用的多晶矽電漿蝕刻過程中，這個問題可能特別具有挑戰性。多晶矽的不同矽晶體定向和晶界傾向於導致橫向蝕刻速率的變化，這會導致側壁輪廓不佳且表面粗糙。因此，可能需要一種具有更好蝕刻輪廓控制之用於HAR特徵部中的多晶矽的電漿蝕刻技術。本申請的實施例揭露包括主電漿蝕刻步驟和用於使側壁平滑的氫電漿處理步驟的循環電漿製程的方法。循環電漿製程還可以包括在最後的主電漿蝕刻步驟之後執行的軟著陸式蝕刻。

【0013】 本揭露中描述的方法可以有利地降低在包括多晶矽的層中形成的HAR特徵部的LER。這對於在諸如鰭式場效應電晶體(FinFET)的3D半導體裝置中製造多晶矽閘極或虛設閘極可以是特別有用的。此外，本文的方法可以藉由在側壁上提供均一的、經控制的橫向蝕刻速率來改善HAR特徵部中的臨界尺寸(CD)控制。在各種實施例中，縱橫比(特徵部的高度與特徵部的寬度之比率)等於或高於10:1的特徵部可以藉由循環電漿製程實現。

【0014】 在下文中，根據各種實施例，首先參照圖1A-1G描述包括主電漿蝕刻步驟和用於使側壁平滑的氫電漿處理步驟的循環電漿製程的步驟。接下來參考圖2A-2E描述在製造鰭式場效應電晶體(FinFET)期間應用於閘極蝕刻的循環電漿製程的一些實施例。示例製造流程圖如圖3A-3C所示。本揭露中的所有圖僅出於說明目的而繪製且未按比例繪製(包括特徵部的縱橫比)。

【0015】 圖1A繪示包括多晶矽層120的進料基板100的橫剖面圖。

【0016】 在圖1A中，在各種實施例中，基板100包括半導體基板。在一個或多個實施例中，基板100可以是矽晶圓或絕緣體上矽(SOI)晶圓。在某些實施例中，基板100可以包括矽鍺晶圓、碳化矽晶圓、砷化鎵晶圓、氮化鎵晶圓和其他化合物半導體。在其他實施例中，基板100包括異質層(例如矽上的矽鍺、矽上的氮化鎵、矽上的矽碳)，以及矽上的矽層或SOI基板。基板100可以經過多個以下處理步驟，例如，一傳統製程以製造半導體結構。因此，可以在基板100中形成各種裝置區域。在這個階段，例如，基板100可以包括諸如淺溝槽隔離(STI)區域的隔離區域以及形成在其中的其他區域。

【0017】 基板100還可以包括絕緣層110。在各種實施例中，絕緣層110可以包括諸如氧化矽的氧化物。在某些實施例中，絕緣層110可以藉由熱氧化形成。在一個或多個實施例中，絕緣層110是將被製造為絕緣區域的層，例如半導體裝置中的埋藏氧化物(BOX)層。在一實施例中，絕緣層110的厚度可以介於約10nm和約1 μ m之間。

【0018】 在絕緣層110上形成多晶矽層120。圖1A中所示的多晶矽層120是要藉由用於形成高縱橫比(HAR)特徵部的實施例方法來圖案化的層。例如，HAR特徵部的縱橫比(寬度：高度)可以大於1：5或更多，例如，在一些實施例中為1：10或更多。在各種實施例中，多晶矽層120作為圖案化對象以形成半導體裝置的閘極或虛設閘極。在多晶矽層120中使用的多晶矽可以包括經摻雜的多晶矽以具有期望的材料特性(包括電性)。多晶矽層120可以使用適當的沉積技術沉積在絕緣層110上，例如氣相沉積，包括化學氣相沉積(CVD)、物理氣相沉積(PVD)、以及其他電漿製程(例如電漿增強CVD(PECVD)、濺射及其他製程)。在一個或多個實施例中，多晶矽層120可以具有約50nm至約500nm的厚度。由於多晶矽是矽的多晶形式，它包括許多微晶125和各個微晶之間的晶界，如圖1A所繪示。

【0019】繼續參照圖1A，可以在多晶矽層120上形成硬遮罩層130。在一實施例中，硬遮罩層130可以包括氧化矽。在各種實施例中，硬遮罩層130可以包括氮化矽、碳氮化矽(SiCN)或碳氧化矽(SiOC)。在替代實施例中，硬遮罩層130可以包括氮化鈦。在一個或多個實施例中，硬遮罩層130可以包括其他合適的有機材料，例如旋塗碳硬遮罩(SOH)材料。此外，硬遮罩層130可以是包括例如使用兩種不同材料的兩層以上之層的堆疊硬遮罩。在一些這樣的實施例中，硬遮罩層130的第一硬遮罩可以包括諸如氮化鈦、鈦、氮化鈮、鈮、鎢基化合物、鈦基化合物或鋁基化合物的金屬基層，且硬遮罩層130的第二硬遮罩材料可以包括介電層，例如氧化矽、氮化矽、SiCN、SiOC、氮氧化矽或碳化矽。可以使用合適的沉積技術沉積硬遮罩層130，例如氣相沉積，包括化學氣相沉積(CVD)、物理氣相沉積(PVD)、以及其他電漿製程(例如電漿增強CVD(PECVD)、濺射和包括濕式製程的其他製程)。在各種實施例中，硬遮罩層130可以具有約5nm至約50nm的厚度。在一個或多個實施例中，可以在硬遮罩層130上形成諸如含矽抗反射塗膜(SiARC)或其他ARC膜的附加層。

【0020】圖案化光阻層140可以形成在硬遮罩層130上。在各種實施例中，圖案化光阻層140提供圖案以在多晶矽層120中形成相應的特徵部。在所繪示的示例中，圖案化光阻層140在硬遮罩層130中形成相應特徵部時用作第一蝕刻遮罩(圖1B)，隨後在硬遮罩層130中形成的特徵部可以在循環電漿製程期間用作第二蝕刻遮罩以蝕刻多晶矽使得圖案化光阻層140的特徵部將被轉移到多晶矽層120，如下所述。在某些實施例中，圖案化光阻層140可包括248nm阻劑、193nm阻劑、157nm阻劑、EUV(極紫外光)阻劑或電子束(EB)敏感阻劑。在各種實施例中，可以使用乾式製程或濕式製程例如旋塗技術在硬遮罩層130上沉積光

阻。經沉積的光阻然後可以用適當的微影製程圖案化以形成圖案化光阻層140。在一實施例中，圖案化光阻層140具有介於20nm和100nm之間的厚度。要使用圖案化光阻層140圖案化的特徵部對於要圖案化的層可以具有期望的臨界尺寸(CD)或寬度。在一些實施例中，CD可以介於10nm和100nm之間。在一個或多個實施例中，CD可以介於10nm和40nm之間。

【0021】 圖1B繪示根據一實施例在硬遮罩打開步驟之後的製造期間的半導體結構的橫剖面圖。

【0022】 硬遮罩打開步驟可以使用電漿蝕刻製程，例如反應離子蝕刻(RIE)製程來執行，以在硬遮罩層130中形成凹槽150。硬遮罩層130之未被圖案化光阻層140遮蔽的部分可以被移除，從而將圖案化光阻層140所界定的圖案轉移至硬遮罩層130。如圖1B所繪示，在硬遮罩打開步驟之後至少部分多晶矽層120可暴露於凹槽150的底部。在一個或多個實施例中，基板100可以包括在硬遮罩層130之上及/或之下的附加層，且附加層也可以在硬遮罩打開步驟期間被去除。在某些實施例中，在硬遮罩打開步驟之後，圖案化光阻層140的剩餘部分可以在執行隨後步驟之前被去除。在一個或多個實施例中，一些圖案化光阻層140可以在如圖1B-1G所繪示的隨後步驟期間保留，但可以在其他實施例中的任何階段被去除。

【0023】 圖1C繪示在使用循環電漿製程的第一電漿的第一主蝕刻之後的製造期間的半導體結構的橫剖面圖。

【0024】 可以應用循環電漿製程來蝕刻具有經控制的蝕刻輪廓和側壁的多晶矽。根據各種實施例的循環電漿製程的一循環可以藉由將基板100暴露於第一電漿而開始主蝕刻。主蝕刻可以是異向性的以將凹槽150延伸到多晶矽層120中。循環蝕刻製程可以在配備有一個或多個電漿源(例如電感耦合電漿(ICP)、電

容耦合電漿(CCP)、微波電漿(MW)或其他)的合適電漿製程腔室中執行。在各種實施例中，主蝕刻可以是反應離子蝕刻(RIE)製程，且可以使用第一蝕刻氣體，例如，包括鹵素氣體。在某些實施例中，第一蝕刻氣體可以是溴化氫(HBr)和二氯(dichlorine, Cl₂)。第一蝕刻氣體還可以包括諸如二氧(dioxygen, O₂)及/或惰性氣體(例如，He、Ne、Ar、Kr等)的附加氣體。可以選擇第一蝕刻氣體，使得蝕刻多晶矽的第一電漿具有高選擇性和高多晶矽蝕刻速率。選擇性可關於硬遮罩層130的遮罩材料，例如氧化矽、氮化矽或SiON。類似地，可以確定用於主蝕刻的電漿條件以獲得期望的選擇性和蝕刻速率。

【0025】 在某些實施例中，可以在介於50 sccm和1000 sccm之間的總氣體流量、介於5 mTorr和300 mTorr之間的壓力、介於-10°C和150°C之間的溫度以及介於100 kHz和10 GHz之間的操作頻率下執行主蝕刻。在一個或多個實施例中，HBr的流速保持在約0sccm至500sccm之範圍且Cl₂流速介於約0sccm和100sccm之間。在一實施例中，附加氣體的總流速可在約50sccm至500sccm的範圍。在各種實施例中，主蝕刻可以介於5s和120s之間的處理時間來執行，例如，在一實施例中為10s到30s。

【0026】 儘管主蝕刻可以主要是具有垂直方向性的異向性蝕刻以垂直地延伸凹槽150，但是凹槽150的側壁上仍可能發生一些橫向蝕刻。橫向蝕刻的效果在窄凹槽和HAR特徵部的CD控制中可能尤其重要，其中圖案化層的大部分表面為其側壁。橫向蝕刻可能導致CD損失和線邊緣粗糙度(LER)，這可能會嚴重影響裝置性能和良率。這些不期望的橫向蝕刻問題在多晶矽蝕刻中可能更糟。如圖1C中所繪示，由於多晶矽層120的微晶125的不同定向，凹槽150的側壁包括不同的晶粒，且表面上暴露出不同的晶面。因為矽的蝕刻速率取決於晶面的類型，所以在主蝕刻期間橫向蝕刻的速率可能於整個側壁從頂部到底部變化。因此，側壁的

表面可能不光滑且LER不良。本揭露的發明人發現，在循環電漿製程中實施隨後暴露於包括氫（例如， H_2 ）的第二電漿（下文稱為氫處理）可以藉由使側壁表面平滑來改善該問題，如下文進一步描述的。

【0027】 在第一主蝕刻製程之後的這個階段，凹槽150的深度可以小於三層(即，多晶矽層120、硬遮罩層130和圖案化光阻層140)的總厚度。換言之，凹槽150沒有達到多晶矽層120的底部。藉由重複循環電漿製程的主蝕刻來逐步延伸凹槽150以形成多晶矽層120的高縱橫比(HAR)特徵部。如參考圖1D-1F進一步描述的，藉由循環電漿製程逐步去除多晶矽有利地能夠在循環電漿製程的步驟之間多次執行使側壁平滑之步驟。

【0028】 圖1D繪示在使用第二電漿進行循環電漿製程之第一氫處理之後的製造期間的半導體結構的橫剖面圖。

【0029】 在各種實施例中，可以藉由將基板暴露於包括氫的第二電漿來執行氫處理。在某些實施例中，第二電漿包括分子氫，即二氫(dihydrogen, H_2)。氫處理使側壁的表面平滑，如圖1D所繪示。雖然不希望受限於任何理論，但第二電漿中的含氫自由基化學物可引起表面上的一部分多晶矽的非晶化和矽原子的蝕刻，這可導致平滑化。這在圖1D中繪示為形成在凹槽150的表面上表面改性矽層160。在一個或多個實施例中，在氫處理之後，CD變化，例如，3標準差（與CD的平均值的標準偏差，於所形成的凹槽150於不同的閘極高度或深度所測量）可以比氫處理之前減少20%或更多。在一實施例中，CD標準偏差在氫處理之後可以低於1.0nm。在某些實施例中，表面粗糙度可以由其他指標表示，例如高度變化的均方根(RMS)、平均粗糙度(R_a)和峰谷高度(peak-to-valley height, h)。除了

平滑效果之外，氫處理可以有利地改善循環電漿製程中下一個循環的蝕刻均勻性，因為側壁可以被非晶矽覆蓋且不再具有暴露在表面上的不同晶面。

【0030】 在某些實施例中，氫處理可以進一步包括使可選的惰性氣體（例如，He、Ne、Ar、Kr等）混合物流入電漿處理室。在某些實施例中，可以在介於50 sccm和500 sccm之間的總氣體流量、介於5 mTorr和300 Torr之間的壓力、介於-10°C和200°C之間的溫度以及介於100 kHz和10 GHz之間的操作頻率下執行暴露於第二電漿。在各種實施例中，暴露於第二電漿的處理時間可以介於2s和50s之間，例如，在一個實施例中為5s到10s。可以選擇諸如流速、壓力的一些製程參數以提供側壁表面的充分改性，同時使製程時間越短越好以獲得更好的製程效率。此外，氫電漿步驟的製程參數可以相對於循環電漿製程的先前步驟（例如圖1C）進行最佳化。在某些實施例中，電感耦合電漿（ICP）、微波電漿（MW）或電容耦合電漿（CCP）可用於包括氫的第二電漿。在一示例中，在ICP電漿室中，可以使用具有30-80mTorr的腔室壓力、250-1000W的源功率和100-200sccm的H₂流量的製程條件。

【0031】 在各種實施例中，可以在循環電漿製程中重複主蝕刻和氫處理的步驟以達到凹槽150的期望深度。例如，可以在第一氫處理（例如，圖1D）之後執行第二主蝕刻以垂直延伸凹槽150。側壁表面可以藉由第一氫處理被平滑化和非晶化，與第一主蝕刻相比，第二主蝕刻可以更好的蝕刻輪廓控制進行。在一些實施例中，第二主蝕刻的製程條件可以與第一主蝕刻相同，但在其他實施例中可以不同。在第二主蝕刻後，可以進行第二氫處理，以對凹槽150的新暴露的側壁和底表面進行處理和使其平滑，從而補充表面改性矽層160。在一些實施例中，第二氫處理的製程條件可以與第一氫處理相同，但在其他實施例中可以不同。在一

個或多個實施例中，在重複主蝕刻和氫處理的循環期間，主蝕刻或氫處理的一個或多個步驟可以根據製程配方跳過或替換為不同的中間製程步驟。

【0032】 圖1E繪示在循環電漿製程的步驟循環之後的基板100。

【0033】 在圖1E中，凹槽150在步驟循環之後在多晶矽層120中垂直延伸。表面改性矽層160也可以在最終氫處理之後延伸。根據各種實施例，藉由執行循環蝕刻製程的多個循環，凹槽150可以逐步且共形地延伸而臨界尺寸(CD)從凹槽頂部到底部沒有太大變化。在各種實施例中，可以執行任何數量的循環直到可以實現期望水平的蝕刻。在某些實施例中，循環可以主蝕刻結束且可以跳過最終的氫處理。最終的氫處理是否需要可取決於最終的蝕刻輪廓，其主要由膜深度處的表面改性矽層160的多晶狀況決定。在一個或多個實施例中，在最終主蝕刻和最終氫處理之後，凹槽150的底部可以仍然在圖1E所繪示的絕緣層110之上，且包括軟著陸式蝕刻的隨後步驟可以進一步延伸凹槽150，如下所示。

【0034】 圖1F繪示在表面處理以形成保護性表面層170之後的製造過程期間的半導體結構的橫剖面圖。

【0035】 在主蝕刻和氫處理的循環之後，可以進行表面處理以形成保護性表面層170。保護性表面層170用於在隨後的軟著陸式蝕刻期間提供側壁保護。在某些實施例中，表面處理包括將基板暴露於反應性氣體，該反應性氣體引起與側壁上的矽原子的表面反應。例如，包括氧氣(例如， O_2 、CO或 CO_2)的反應氣體和包括氧化物(例如，氧化矽)的薄層可以形成作為保護性表面層170。在替代實施例中，反應氣體可以包括氮(例如， N_2 、 NH_3 等)且保護性表面層170可以包括氮化物(例如，氮化矽)。在一個或多個實施例中，表面處理是電漿製程。在表面處理中，還可以沉積新材料為矽上的保護性表面層170。在一些實施例中，可以使用各種沉積技術，例如氣相沉積，包括化學氣相沉積(CVD)、物理氣相沉積(PVD)、

原子層沉積 (ALD)、以及其他電漿製程(例如電漿增強CVD (PECVD) 和其他製程)。在一示例中,在ICP電漿腔室中,使用製程條件:腔室壓力為80-120 mTorr、源功率為100-300 W且偏壓功率為0-50 W、O₂流量為100-200 sccm且Ar流量為200-500 sccm。

【0036】 圖1G繪示在使用第三電漿的軟著陸式蝕刻之後的製造期間的半導體結構的橫剖面圖。

【0037】 在各種實施例中,循環電漿製程還可以包括另一蝕刻製程,在本揭露中稱為軟著陸式蝕刻,其具有與主蝕刻不同的製程條件。軟著陸式蝕刻的目的是進一步去除多晶矽以在多晶矽層120中製造目標高縱橫比(HAR)特徵部,同時防止對基板100上的其他部件或特徵部造成任何損壞。例如,軟著陸式蝕刻可以具有比主蝕刻更高的蝕刻選擇性(例如,多晶矽相對氧化物的選擇性),使得絕緣層110和其他可能的特徵部(例如,如下圖2A-2E中所繪示的鰭狀特徵部)不受影響。如圖1G中所繪示,在各種實施例中,軟著陸式蝕刻進一步延伸凹槽150且可以暴露絕緣層110。軟著陸式蝕刻可以是反應離子蝕刻(RIE)製程,且可以使用第二蝕刻氣體,例如,包括鹵素氣體。在某些實施例中,第二蝕刻氣體可以是溴化氫(HBr)和二氯(Cl₂)。第二蝕刻氣體還可以包括諸如二氧(O₂)及/或惰性氣體(例如,He、Ne、Ar、Kr等)的附加氣體。在一些實施例中,用於軟著陸式蝕刻的第二蝕刻氣體的成分可以與用於主蝕刻的第一蝕刻氣體的成分相同,但在其他實施例中可以不同。第二蝕刻氣體可以選擇為使得在軟著陸式蝕刻期間蝕刻多晶矽的第三電漿具有比在主蝕刻期間蝕刻多晶矽的第一電漿有更高的選擇性。選擇性可以關於硬遮罩層130、絕緣層110、鰭狀結構或其他特徵部的遮罩材料。類似地,可以確定用於軟著陸式蝕刻的電漿條件以獲得期望的選擇性。為此

原因，在一實施例中，軟著陸式蝕刻的蝕刻速率可以小於主蝕刻的蝕刻速率。因此，軟著陸式蝕刻的處理時間可能比主蝕刻的處理時間長。因此，上面參照圖1F描述的保護性表面層170的形成在軟著陸式蝕刻期間的側壁保護中可能特別有用。在各種實施例中，軟著陸式蝕刻要蝕刻的多晶矽量小於主蝕刻循環要蝕刻的多晶矽量。

【0038】 在某些實施例中，可以在介於100 sccm和1000 sccm之間的總氣體流量、介於10m Torr和800 mTorr之間的壓力、介於-10°C和200°C之間的溫度以及介於100 kHz和10 GHz之間的操作頻率下執行軟著陸式蝕刻。在一個或多個實施例中，HBr的流速保持在約100sccm至500sccm的範圍且Cl₂流速介於約0sccm和300sccm之間。在一實施例中，附加氣體的總流速可在約0sccm至200sccm的範圍。在各種實施例中，可以用介於2s和120s之間的處理時間執行主蝕刻，例如，在一個實施例中為10s到50s。為了在軟著陸式步驟中實現高選擇性，相較於主蝕刻製程條件，該製程可以在具有更高腔室壓力、更低偏壓功率、更高附加物流速（例如，O₂、CO₂或N₂）的條件下進行，以獲得更多表面沉積。

【0039】 圖2A-2E繪示根據各種實施例在用於製造三維(3D)半導體裝置的示例循環電漿製程期間的各個階段的示例性基板的透視圖。根據本揭露中的各種實施例的循環電漿製程可以被應用且在製造3D半導體裝置中特別有用。圖2A-2E繪示鰭式場效應電晶體(FinFET)的一示例，儘管可以利用本揭露中描述的蝕刻多晶矽的方法製造其他3D半導體裝置。製程細節可以與上面已描述的內容相同且可以不再重複。

【0040】 在圖2A中，基板100包括與上面圖1A中所繪示相同的特徵部，包括絕緣層110、多晶矽層120、硬遮罩層130和圖案化光阻層140。此外，圖2A中的基板100包括具有鰭狀物200的鰭狀特徵部，鰭狀物200包括半導體材料和在鰭狀

物200上形成的鰭狀硬遮罩210。應當注意，雖然圖2A中出於說明目的繪示了兩個鰭狀物200，但鰭狀物的數量不受限制。在各種實施例中，鰭狀物200在製造結束時可以形成FinFET裝置中的電晶體通道。在一個或多個實施例中，鰭狀物200可具有介於約20nm和約100nm之間的高度和介於約5nm和約30nm之間的寬度。雖然圖2A-2E中繪示了SOI FinFET的製造，但循環電漿製程適用於主體FinFET的製造，其中鰭狀物200將與基板100直接連結及連接。

【0041】 在某些實施例中，鰭狀物200包括矽、矽鍺或其他半導體材料。在一些實施例中，n型場效應電晶體或p型場效應電晶體可以由用於鰭狀物200的不同類型材料形成。例如，n-FET可以使用具有高電子遷移率的鰭狀物200的材料來製造，而p-FET可以使用具有高電洞遷移率的鰭狀物200的材料來製造。在一個或多個實施例中，鰭狀物200可選擇為選自元素週期表第III-V族的材料。

【0042】 鰭狀特徵部可以藉由傳統方法形成，例如藉由沉積作為鰭狀物200的材料層、沉積鰭狀硬遮罩210、圖案化鰭狀硬遮罩以定義鰭狀物200的圖案，以及使用圖案化的鰭狀硬遮罩作為蝕刻遮罩蝕刻用於鰭狀物200的材料。在一些實施例中，用於鰭狀物200的材料層之沉積可以藉由沉積製程形成，例如藉由化學氣相沉積(CVD)方法磊晶形成。

【0043】 在一實施例中，鰭狀硬遮罩210可以包括氧化矽。在各種實施例中，鰭狀硬遮罩210可以包括氮化矽、碳氮化矽(SiCN)或碳氧化矽(SiOC)。鰭狀硬遮罩210可以使用合適的沉積技術沉積，例如氣相沉積，包括化學氣相沉積(CVD)、物理氣相沉積(PVD)，以及其他電漿製程(例如電漿增強CVD(PECVD)、濺射和其他製程)。然後可以例如藉由微影製程和蝕刻製程圖案化鰭狀硬遮罩210。在某些實施例中，可以在形成多晶矽層120之前去除鰭狀硬遮罩210。

【0044】在沉積多晶矽層120之後，鰭狀特徵部然後可以被埋藏在多晶矽層120中。在一實施例中，多晶矽層120可以用於形成虛設閘極。多晶矽層120的沉積以及沉積硬遮罩層130和形成圖案化光阻之隨後步驟可以如先前參考圖1A所描述的那樣進行。

【0045】圖2B繪示在硬遮罩打開步驟之後的製造期間的半導體結構的透視圖。

【0046】硬遮罩打開步驟可以使用電漿蝕刻製程來執行，例如如先前參考圖1B所描述的反應離子蝕刻（RIE）製程。因此，圖案化光阻層140的圖案可以被轉移到硬遮罩層130。如圖2B所示，圖案化光阻層140的剩餘部分可以在硬遮罩打開步驟之後被去除，例如藉由電漿清洗(ashing)。

【0047】圖2C繪示在循環電漿製程的步驟循環之後的製造期間半導體結構的透視圖。

【0048】類似於先前的實施例，可以執行主蝕刻和氫處理的循環以使用圖案化的硬遮罩層130作為蝕刻遮罩來蝕刻多晶矽層120。儘管為了說明的目的僅示繪出一條線特徵部，但是在各種實施例中假定包括多條線和凹槽的高縱橫比（HAR）特徵部。如圖2C中所繪示，循環電漿製程的循環可以最終氫處理作為結束，因此表面改性矽層160可以覆蓋被主蝕刻暴露的多晶矽層的表面。在其他實施例中，可以跳過最終的氫處理且可以暴露多晶矽層120的側壁。在各種實施例中，當先暴露鰭狀特徵部的頂表面（例如，圖2C中的鰭狀硬遮罩210的頂表面）時，可以停止循環，以便可以藉由更具選擇性的蝕刻(例如如下所述的軟著陸式蝕刻)單獨執行多晶矽層120中的多晶矽之進一步去除。

【0049】圖2D繪示在表面處理以形成保護性表面層170之後的製造期間的半導體結構的透視圖。

【0050】 在如圖2E所繪示的軟著陸式蝕刻之前，可以參考圖1F於上描述的那樣執行表面處理以形成保護性表面層170。保護性表面層170可以覆蓋或取代表面改性矽層160的表面和多晶矽層120的任何暴露部分。

【0051】 圖2E繪示在軟著陸式蝕刻形成包裹鰭狀特徵部的虛設閘極特徵部之後的製造期間的半導體結構的透視圖。

【0052】 接下來可以執行軟著陸式蝕刻以高於主蝕刻的選擇性進一步蝕刻多晶矽。可以選擇用於多晶矽的軟著陸式蝕刻的製程條件以最小化或消除對諸如絕緣層110和鰭狀物200之其他部件以及鰭狀硬遮罩210的損壞。在軟著陸式蝕刻之後，製造諸如FinFET之半導體裝置的隨後製程步驟可以接續。在一實施例中，所述步驟可以包括但不限於閘極間隔物形成、閘極離子佈植、鰭狀凹槽及源極/汲極形成、通道釋放以及中段製程（MOL）/後段製程（BEOL）。

【0053】 圖3A-3C繪示根據各種實施例的循環電漿製程方法的製造流程圖。製造流程可以按照上面討論的圖式進行，因此將不再描述。

【0054】 在圖3A中，製造流程30以循環電漿製程310開始，循環電漿製程310(作為主蝕刻)包括藉由將基板暴露於第一電漿來蝕刻包括多晶矽的圖案化層以形成凹槽（框320，圖1C）。接下來在循環電漿製程310的循環中，作為氫處理，基板可以暴露於包括二氫(H₂)的第二電漿(框330，圖1D)。主蝕刻和氫處理可以重複任意次數以延伸凹槽（例如，圖1E）。然後可以將基板暴露於第三電漿，用於軟著陸式蝕刻，以進一步延伸凹槽（框340，圖1G）。在某些實施例中，可以在軟著陸式蝕刻(框340)之前執行可選的表面處理以形成保護性表面層(框335，圖1F)。在某些實施例中，可以執行製造半導體裝置的隨後製造流程步驟(例如，閘極間隔物形成)(框350)。

【0055】在圖3B中，另一個製造流程32開始於循環電漿製程312，循環電漿製程312(作為主蝕刻)包括藉由在第一期間將基板暴露於包括溴化氫(HBr)和二氯(Cl₂)的第一電漿而蝕刻多晶矽層以形成凹槽(框322，圖1C)。接下來，作為氫處理，可在第二期間將基板暴露於包括二氫(H₂)的第二電漿(框332，圖1D)。主蝕刻和氫處理可以重複任意次數以延伸凹槽(例如，圖1E)。在某些實施例中，可以進行表面處理以形成保護性表面層(框335，圖1F)，然後進行軟著陸式蝕刻，其中在第三期間基板可以暴露於包括溴化氫(HBr)和二氯(Cl₂)的第三電漿(框342，圖1G)。

【0056】在圖3C中，又一個製造流程34開始於在氧化物層上形成包括鰭狀硬遮罩和矽鰭狀物的鰭狀特徵部(框301)。接下來，可以沉積包括多晶矽的虛設閘極材料(框302)，隨後在虛設閘極材料上沉積閘極硬遮罩層(框303)。然後在閘極硬遮罩層上沉積光阻(框304)並藉由執行光微影製程圖案化(框305，圖2A)。接下來可以蝕刻閘極硬遮罩層以將圖案從光阻轉移到硬遮罩層(框306，圖2B)。隨後可以進行循環電漿製程(框314)以使用圖案化的閘極硬遮罩層作為蝕刻遮罩來蝕刻虛設閘極材料。循環電漿製程可以藉由將基板暴露於包括鹵素的第一電漿以在虛設閘極材料中形成或延伸凹槽來開始主蝕刻(框324)。接下來，作為氫處理，可將基板暴露於包括氫的第二電漿(框334)。主蝕刻和氫處理可以重複任意次數以延伸凹槽。在一個或多個實施例中，可以繼續循環電漿製程直到鰭狀硬遮罩的頂表面暴露在凹槽的底部處(例如，圖2C)。在某些實施例中，製造流程34繼續進行表面處理以形成保護性表面層(框335，圖2D)，隨後是軟著陸式蝕刻，其中基板可以暴露於包括鹵素的第三電漿(框344，圖1G)。在一個或多個實施例中，軟著陸式蝕刻可以延伸凹槽以暴露氧化物層。

【0057】此處總結示例性實施例。從整個說明書以及在此提交的申請專利範圍也可以理解其他實施例。

【0058】 示例1. 一種處理基板的方法，包括：執行一循環電漿蝕刻製程，其包括多個循環，該多個循環中之每一者包括：藉由暴露一基板於一第一電漿來蝕刻包括一多晶半導體材料的一圖案化層以形成或延伸一凹槽，該基板包括一氧化物層，該圖案化層形成在該氧化物層上；暴露該基板於一第二電漿，該第二電漿包括二氫；以及藉由暴露該基板於一第三電漿來延伸該凹槽，該第二電漿不同於該第一電漿和該第三電漿。

【0059】 示例2. 如示例1之方法，更包括：在執行該循環電漿蝕刻製程之步驟之前，藉由一微影製程和一蝕刻在該圖案化層上形成一圖案化硬遮罩層，且其中該循環電漿蝕刻製程使用該硬遮罩層作為一蝕刻遮罩執行。

【0060】 示例3. 如示例1或2之一者之方法，更包括：在執行該循環電漿蝕刻製程之步驟之後和藉由暴露該基板於該第三電漿來延伸該凹槽之步驟之前，執行一表面處理以在該凹槽的表面上形成一保護性表面層，該保護性表面層在藉由暴露該基板於該第三電漿來延伸該凹槽之步驟期間保護該凹槽的側壁。

【0061】 示例4. 如示例3之方法，其中該表面處理包括暴露該基板於一反應性氣體，該反應性氣體包括氧，且其中該保護性表面層包括氧化物。

【0062】 示例5. 如示例3至4之一者之方法，其中該表面處理包括暴露該基板於一反應性氣體，該反應性氣體包括氮，且其中該保護性表面層包括氮化物。

【0063】 示例6. 如示例1至5之一者之方法，其中該第一電漿包括鹵素。

【0064】 示例7. 如示例1至6之一者之方法，該第一電漿包括溴化氫和二氫。

【0065】 示例8. 如示例1至7之一者之方法，其中暴露該基板於該第二電漿之步驟使位於該凹槽的表面處的該多晶半導體材料非晶化。

【0066】 示例9. 如示例1至8之一者之方法，其中暴露該基板於該第二電漿之步驟使該凹槽的側壁表面平滑。

【0067】 示例10. 如示例1至9之一者之方法，其中該第三電漿包括鹵素。

【0068】 示例11. 如示例1至10之一者之方法，其中該第三電漿包括溴化氫和二氯。

【0069】 示例12. 如示例1至11之一者之方法，其中在暴露該基板於該第三電漿之步驟期間該多晶半導體材料的蝕刻速率低於在暴露該基板於該第一電漿之步驟期間該多晶半導體材料的蝕刻速率。

【0070】 示例13. 如示例1至12之一者之方法，其中藉由暴露該基板於該第三電漿而延伸的該凹槽具有介於約5和10之間的高寬比。

【0071】 示例14. 一種處理基板的方法，包括：執行一循環電漿蝕刻製程，其包括多個循環，該多個循環中之每一者包括：藉由在一第一期間暴露一基板於一第一電漿來蝕刻一多晶矽層以形成一凹槽，該基板包括一氧化物層，該多晶矽層形成在該氧化物層上，該第一電漿包括溴化氫和二氯；以及在一第二期間暴露該基板於一第二電漿，該第二電漿包括二氯。

【0072】 示例15. 如示例14之方法，其中該第一期間介於5秒和120秒之間，且其中該第二期間介於2秒和50秒之間。

【0073】 示例16. 如示例14或15之一者之方法，其中暴露該基板於該第二電漿之步驟使位於該凹槽的表面處的該多晶矽層非晶化且將該凹槽在不同深度處的臨界尺寸的標準差減小20%或更多。

【0074】 示例17. 如示例14至16之一者之方法，還包括在執行該循環電漿蝕刻製程之步驟之後：執行一表面處理以在該凹槽的表面上形成一保護性表面層；以及藉由一蝕刻製程進一步延伸該多晶矽層中的該凹槽，該蝕刻製程包括在一第三期間暴露該基板於一第三電漿，該第三電漿包括溴化氫和二氯，該保護性表面層保護該凹槽的側壁免於該第三電漿的影響。

【0075】 示例18. 如示例17之方法，其中該第三期間長於該第一期間。

【0076】 示例19. 一種鰭式場效應電晶體的製法包括：在一氧化物層上形成一鰭狀特徵部，該氧化物層形成在一基板上，該鰭狀特徵部包括一鰭狀硬遮罩和該鰭狀硬遮罩下的一鰭狀物，該鰭狀物包括矽；沉積包括多晶矽的一虛設閘極材料；在該虛設閘極材料上沉積一閘極硬遮罩層；在該閘極硬遮罩層上沉積一光阻；執行一微影製程以圖案化該光阻；蝕刻該閘極硬遮罩層以將一圖案從該光阻轉移到該閘極硬遮罩層；以及使用該閘極硬遮罩層作為一蝕刻遮罩執行一循環電漿蝕刻製程，該循環電漿蝕刻製程暴露該鰭狀硬遮罩，該循環電漿蝕刻製程包括多個循環，該多個循環中之每一者包括：藉由暴露該基板於一第一電漿來蝕刻該虛設閘極材料以形成一凹槽，該第一電漿包括鹵素；以及暴露該基板於一第二電漿，該第二電漿包括氫。

【0077】 示例20. 如示例19之方法，還包括：在執行該循環電漿蝕刻製程之後，藉由暴露該基板於一第三電漿來延伸該凹槽，該第三電漿包括鹵素，其中執行該循環電漿蝕刻製程之步驟暴露該鰭狀硬遮罩的頂表面，且其中藉由暴露該基板於該第三電漿來延伸該凹槽之步驟暴露該氧化物層。

【0078】 雖然本發明已經參考示意性實施例進行了描述，但是該描述不旨在被解釋為限制意義。示例性實施例的各種修改和組合以及本發明的其他實施例對於所屬技術領域中具有通常知識者在參考說明書後將是顯而易見的。因此，申請專利範圍旨在涵蓋任何此類修改或實施例。

【符號說明】

【0079】

100:基板

110:絕緣層

120:多晶矽層

125:微晶

130:硬遮罩層

140:圖案化光阻層

150:凹槽

160:表面改性矽層

170:保護性表面層

200:鰭狀物

210:鰭狀硬遮罩

【發明申請專利範圍】

【請求項1】 一種處理基板的方法，該方法包括：

執行一循環電漿蝕刻製程，其包括多個循環，該多個循環中之每一者包括：

藉由暴露一基板於一第一電漿來蝕刻包括一多晶半導體材料的一圖案化層以形成或延伸一凹槽，該基板包括氧化物層，該圖案化層形成在該氧化物層上；

暴露該基板於一第二電漿，該第二電漿包括二氫；以及

藉由暴露該基板於一第三電漿來延伸該凹槽，該第二電漿不同於該第一電漿和該第三電漿。

【請求項2】 如請求項1所述之處理基板的方法，還包括：在執行該循環電漿蝕刻製程之步驟之前，藉由一微影製程和一蝕刻而在該圖案化層上形成一圖案化硬遮罩層，且其中該循環電漿蝕刻製程使用該硬遮罩層作為一蝕刻遮罩而執行。

【請求項3】 如請求項1所述之處理基板的方法，還包括：在執行該循環電漿蝕刻製程之步驟之後和藉由暴露該基板於該第三電漿來延伸該凹槽之步驟之前，執行一表面處理以在該凹槽的表面上形成一保護性表面層，該保護性表面層在藉由暴露該基板於該第三電漿來延伸該凹槽之步驟期間保護該凹槽的側壁。

【請求項4】 如請求項3所述之處理基板的方法，其中該表面處理包括暴露該基板於一反應性氣體，該反應性氣體包括氧，且其中該保護性表面層包括氧化物。

【請求項5】 如請求項3所述之處理基板的方法，其中該表面處理包括暴露該基板於一反應性氣體，該反應性氣體包括氮，且其中該保護性表面層包括氮化物。

【請求項6】 如請求項1所述之處理基板的方法，其中該第一電漿包括鹵素。

【請求項7】 如請求項6所述之處理基板的方法，其中該第一電漿包括溴化氫和二氯。

【請求項8】 如請求項1所述之處理基板的方法，其中暴露該基板於該第二電漿之步驟使位於該凹槽的表面處的該多晶半導體材料非晶化。

【請求項9】 如請求項1所述之處理基板的方法，其中暴露該基板於該第二電漿之步驟使該凹槽的側壁表面平滑。

【請求項10】 如請求項1所述之處理基板的方法，其中該第三電漿包括鹵素。

【請求項11】 如請求項1所述之處理基板的方法，其中該第三電漿包括溴化氫和二氯。

【請求項12】 如請求項1所述之處理基板的方法，其中在暴露該基板於該第三電漿之步驟期間該多晶半導體材料的蝕刻速率低於在暴露該基板於該第一電漿之步驟期間該多晶半導體材料的蝕刻速率。

【請求項13】 如請求項1所述之處理基板的方法，其中藉由暴露該基板於該第三電漿而延伸的該凹槽具有介於約5和10之間的高寬比。

【請求項14】 一種處理基板的方法，該方法包括：

執行一循環電漿蝕刻製程，其包括多個循環，該多個循環中之每一者包括：

藉由在一第一期間暴露一基板於一第一電漿來蝕刻一多晶矽層以形成一凹槽，該基板包括氧化物層，該多晶矽層形成在該氧化物層上，該第一電漿包括溴化氫和二氯；以及

在一第二期間暴露該基板於一第二電漿，該第二電漿包括二氫。

【請求項15】 如請求項14所述之處理基板的方法，其中該第一期間介於5秒和120秒之間，且其中該第二期間介於2秒和50秒之間。

【請求項16】 如請求項14所述之處理基板的方法，其中暴露該基板於該第二電漿之步驟使位於該凹槽的表面處的該多晶矽層非晶化且將該凹槽在不同深度處的臨界尺寸的標準差減小20%或更多。

【請求項17】 如請求項14所述之處理基板的方法，還包括：在執行該循環電漿蝕刻製程之步驟之後，

執行一表面處理以在該凹槽的表面上形成一保護性表面層；以及

藉由一蝕刻製程進一步延伸該多晶矽層中的該凹槽，該蝕刻製程包括在一第三期間暴露該基板於一第三電漿，該第三電漿包括溴化氫和二氯，該保護性表面層保護該凹槽的側壁免於該第三電漿的影響。

【請求項18】 如請求項17所述之處理基板的方法，其中該第三期間長於該第一期間。

【請求項19】 一種鱗式場效應電晶體的製造方法，該方法包括：

在氧化物層上形成一鱗狀特徵部，該氧化物層形成在一基板上，該鱗狀特徵部包括一鱗狀硬遮罩和該鱗狀硬遮罩下方的一鱗狀物，該鱗狀物包括矽；

沉積包括多晶矽的一虛設閘極材料；

在該虛設閘極材料上沉積一閘極硬遮罩層；

在該閘極硬遮罩層上沉積一光阻；

執行一微影製程以圖案化該光阻；

蝕刻該閘極硬遮罩層以將一圖案從該光阻轉移到該閘極硬遮罩層；以及
使用該閘極硬遮罩層作為一蝕刻遮罩執行一循環電漿蝕刻製程，該循環電漿蝕刻製程暴露該鰭狀硬遮罩，該循環電漿蝕刻製程包括多個循環，該多個循環中之每一者包括：

藉由暴露該基板於一第一電漿來蝕刻該虛設閘極材料以形成一凹槽，
該第一電漿包括鹵素；以及

暴露該基板於一第二電漿，該第二電漿包括氫。

【請求項20】 如請求項19所述之鰭式場效應電晶體的製造方法，還包括：在執行該循環電漿蝕刻製程之後，藉由暴露該基板於一第三電漿來延伸該凹槽，該第三電漿包括鹵素，其中執行該循環電漿蝕刻製程之步驟暴露該鰭狀硬遮罩的頂表面，且其中藉由暴露該基板於該第三電漿來延伸該凹槽之步驟暴露該氧化物層。

【發明圖式】

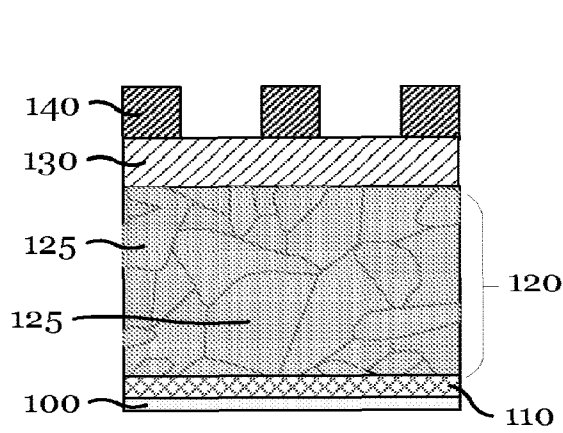


圖 1A

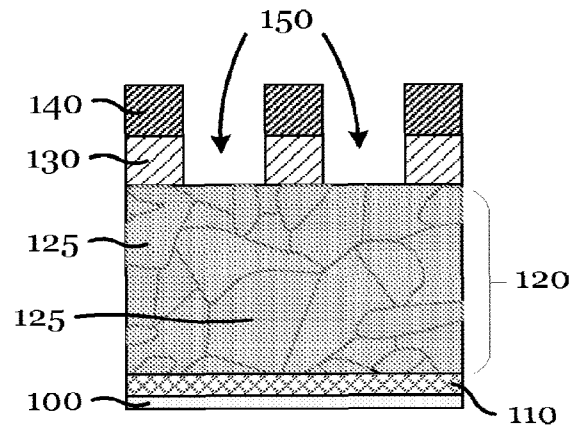


圖 1B

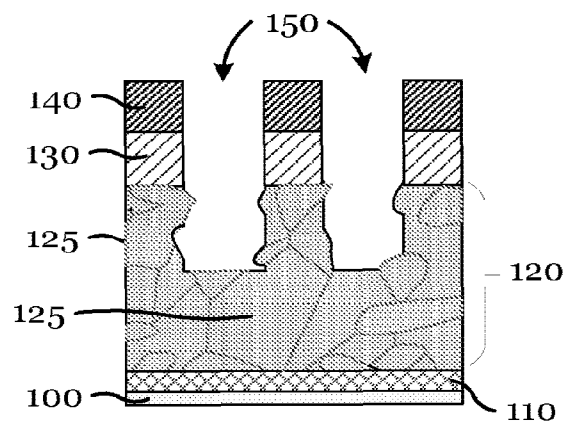


圖 1C

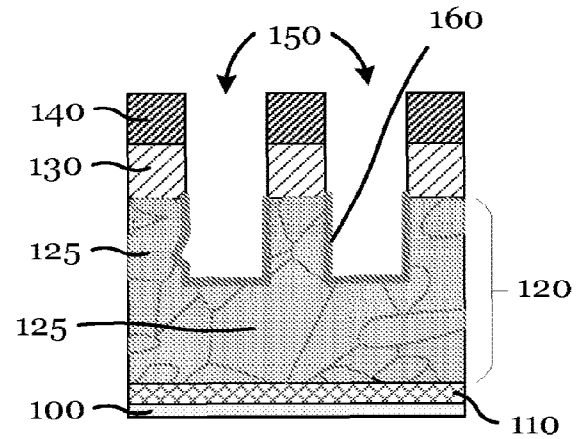


圖 1D

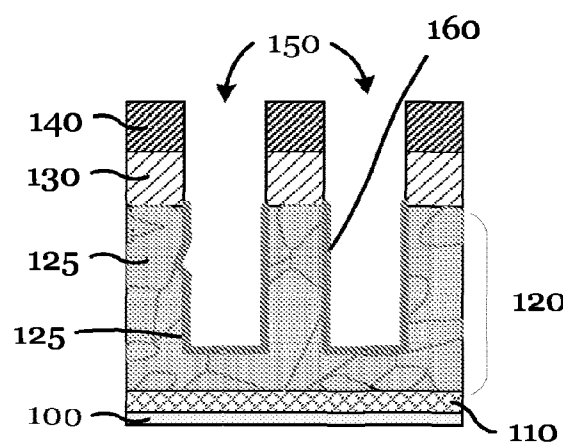


圖 1E

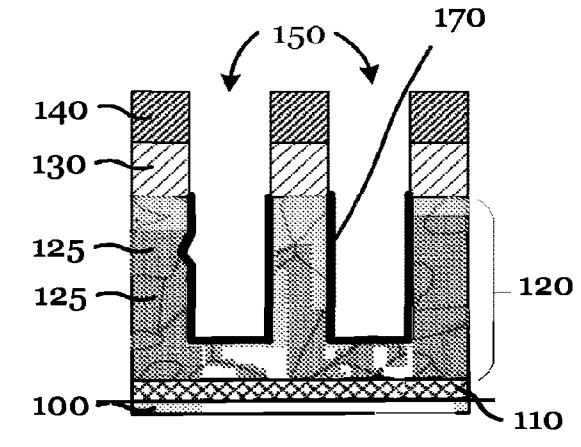


圖 1F

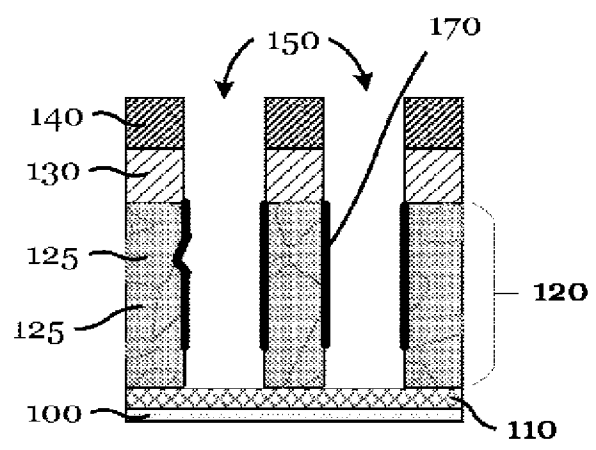


圖 1G

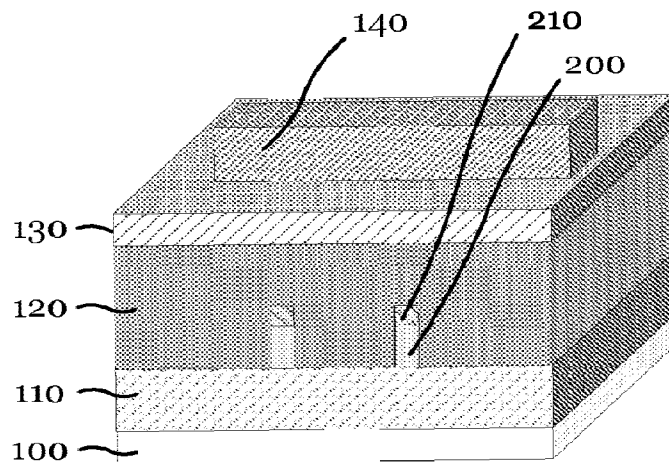


圖 2A

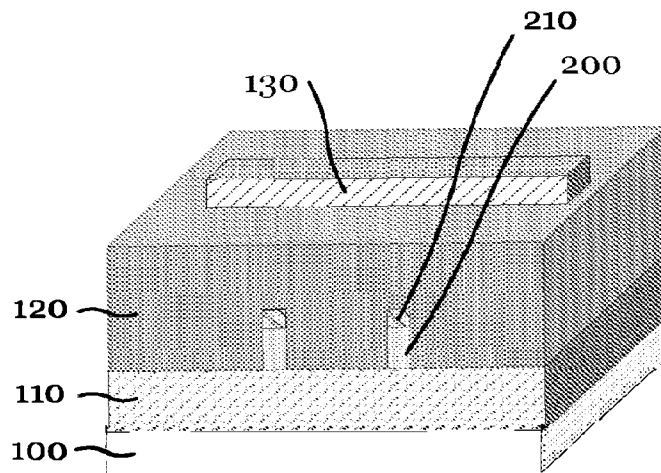


圖 2B

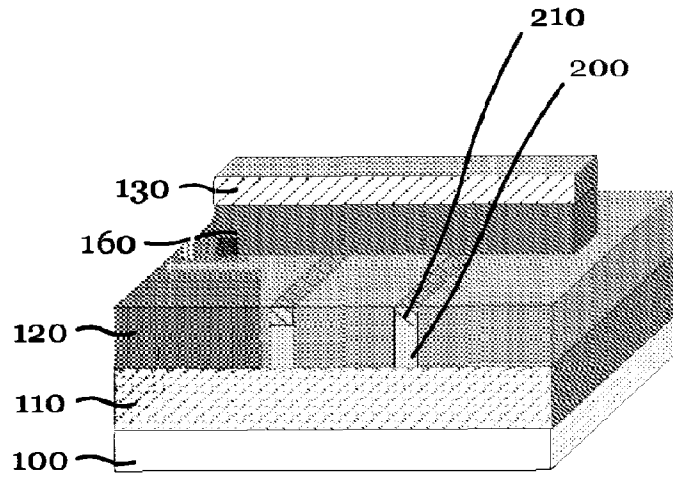


圖 2C

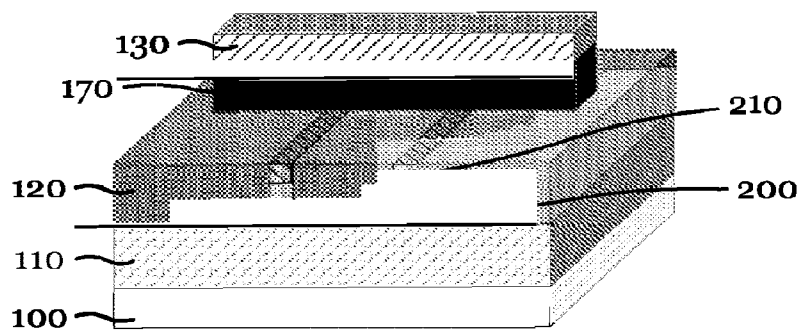


圖 2D

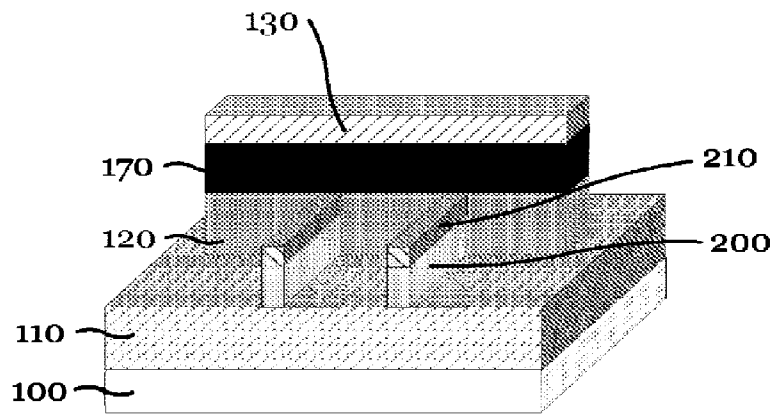


圖 2E

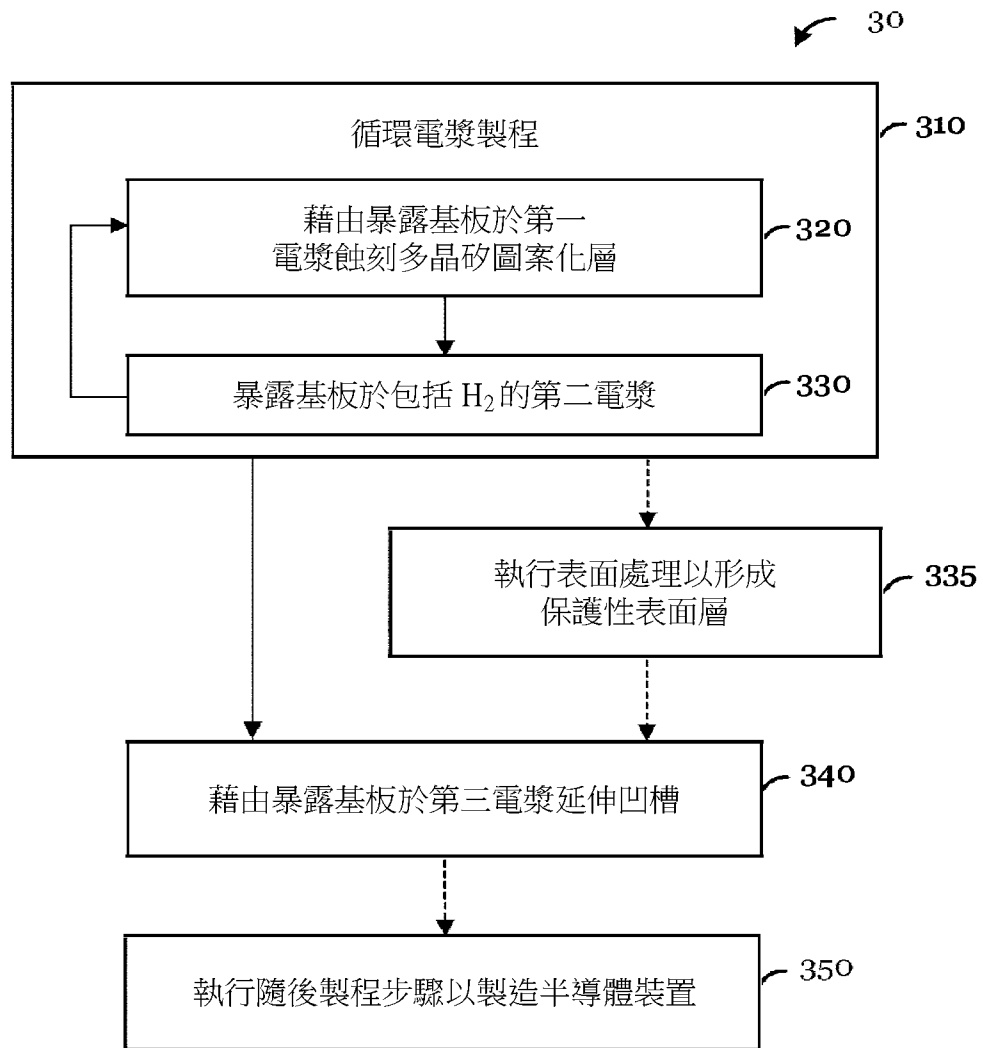


圖 3A

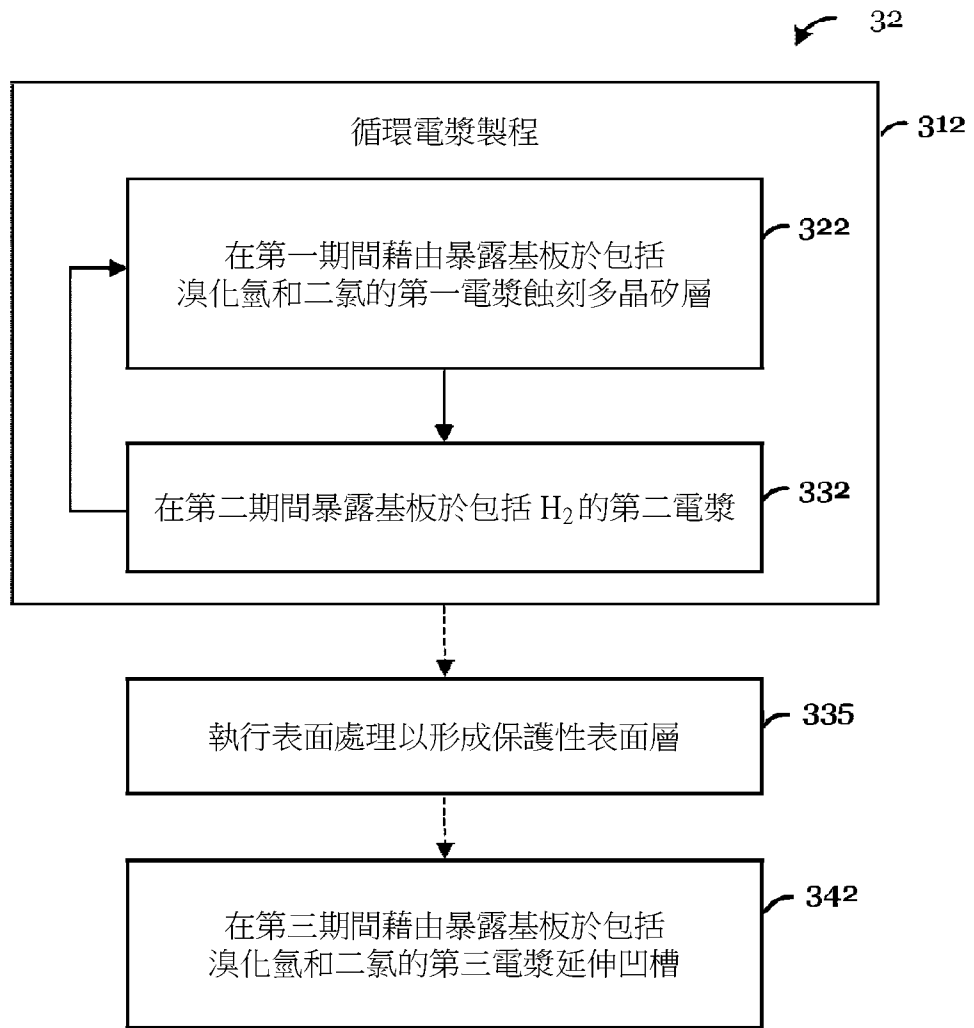


圖 3B



圖 3C