

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5225740号
(P5225740)

(45) 発行日 平成25年7月3日(2013.7.3)

(24) 登録日 平成25年3月22日(2013.3.22)

(51) Int.Cl.

F I

G05F 3/26 (2006.01)
H02M 3/155 (2006.01)G05F 3/26
H02M 3/155 X

請求項の数 4 (全 17 頁)

(21) 出願番号 特願2008-116614 (P2008-116614)
 (22) 出願日 平成20年4月28日(2008.4.28)
 (65) 公開番号 特開2009-266053 (P2009-266053A)
 (43) 公開日 平成21年11月12日(2009.11.12)
 審査請求日 平成23年4月21日(2011.4.21)

(73) 特許権者 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 100085501
 弁理士 佐野 静夫
 (74) 代理人 100134555
 弁理士 林田 英樹
 (72) 発明者 服部 拓也
 京都市右京区西院溝崎町2 1 番地 ローム
 株式会社内
 審査官 武市 匡紘

最終頁に続く

(54) 【発明の名称】 カレントミラー回路

(57) 【特許請求の範囲】

【請求項 1】

入力電流をミラーして第1ミラー電流を生成する第1カレントミラー段と；
 電源急変時に生じる第1ミラー電流の増加分に応じた補正電流を生成し、これを第1カレントミラー段の出力端から引き込むピーク電流吸収回路と；
 を有して成り、第1ミラー電流から前記補正電流を差し引いて得られる差分電流を出力電流として後段回路に出力することを特徴とするカレントミラー回路。

【請求項 2】

前記ピーク電流吸収回路は、
 前記入力電流をミラーして第2ミラー電流を生成する第2カレントミラー段と；
 第2ミラー電流に応じて前記補正電流の引き込み量を制御する補正電流生成回路と；
 を有して成ることを特徴とする請求項1に記載のカレントミラー回路。

【請求項 3】

前記補正電流生成回路は、
 第2ミラー電流を電圧信号に変換する抵抗と；
 第1カレントミラー段の出力端と接地端との間に接続され、前記電圧信号に応じて導通度が制御されるトランジスタと；
 を有して成ることを特徴とする請求項2に記載のカレントミラー回路。

【請求項 4】

第1カレントミラー段及び第2カレントミラー段を形成するトランジスタの制御端と電

10

20

源電圧の印加端との間にキャパシタを有して成ることを特徴とする請求項 2 または請求項 3 に記載のカレントミラー回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力電流をミラーして所望の出力電流を生成するカレントミラー回路に関するものである。

【背景技術】

【0002】

図 1 2 は、カレントミラー回路の一従来例を示す回路図である。本図に示す通り、従来のカレントミラー回路は、一対の p n p 型バイポーラトランジスタ Q a、Q b を有して成り、入力電流 I i n をミラーして所望の出力電流 I o u t を生成する構成とされていた。

10

【0003】

なお、上記に関連する従来技術の一例としては、本願出願人によって開示・提案されている特許文献 1 を挙げることができる。

【特許文献 1】特開 2 0 0 8 - 0 1 5 7 7 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

確かに、上記従来のカレントミラー回路であれば、入力電流 I i n をミラーして所望の出力電流 I o u t を生成し、これを後段回路に供給することが可能である。

20

【0005】

しかしながら、上記従来のカレントミラー回路では、図 1 3 に示すように、入力電圧 V i n に急変動が生じた場合、トランジスタ Q b のベース・エミッタ間電圧 V b e が大きくなり、これに伴って出力電流 I o u t にピーク電流が生じるため、後段回路の誤動作に繋がるおそれがあった。特に、入力電圧 V i n としてバッテリーの出力電圧が直接印加される場合には、入力電圧 V i n の急変動が生じやすいため、上記の課題が顕在化していた。

【0006】

本発明は、上記の問題点に鑑み、電源急変時に生じる出力電流の変動を抑制することが可能なカレントミラー回路を提供することを目的とする。

30

【課題を解決するための手段】

【0007】

上記目的を達成すべく、本発明に係るカレントミラー回路は、入力電流をミラーして第 1 ミラー電流を生成する第 1 カレントミラー段と；電源急変時に生じる第 1 ミラー電流の増加分に応じた補正電流を生成し、これを第 1 カレントミラー段の出力端から引き込むピーク電流吸収回路と；を有して成り、第 1 ミラー電流から前記補正電流を差し引いて得られる差分電流を出力電流として後段回路に出力する構成（第 1 の構成）とされている。

【0008】

なお、上記第 1 の構成から成るカレントミラー回路において、前記ピーク電流吸収回路は、前記入力電流をミラーして第 2 ミラー電流を生成する第 2 カレントミラー段と；第 2 ミラー電流に応じて前記補正電流の引き込み量を制御する補正電流生成回路と；を有して成る構成（第 2 の構成）にするとよい。

40

【0009】

また、上記第 2 の構成から成るカレントミラー回路にて、前記補正電流生成回路は、第 2 ミラー電流を電圧信号に変換する抵抗と；第 1 カレントミラー段の出力端と接地端との間に接続され、前記電圧信号に応じて導通度が制御されるトランジスタと；を有して成る構成（第 3 の構成）にするとよい。

【0010】

また、上記第 2 または第 3 の構成から成るカレントミラー回路は、第 1 カレントミラー段及び第 2 カレントミラー段を形成するトランジスタの制御端と電源電圧の印加端との間

50

にキャパシタを有して成る構成（第４の構成）にするとよい。

【発明の効果】

【００１１】

本発明に係るカレントミラー回路であれば、電源急変時に生じる出力電流の変動を抑制することが可能となる。

【発明を実施するための最良の形態】

【００１２】

図１は、本発明に係るスイッチングレギュレータの一実施形態を示す回路ブロック図である。本図に示すように、本実施形態のスイッチングレギュレータは、スイッチングレギュレータＩＣ１００と、これに外部接続されるダイオード（ショットキーダイオード）Ｄ１、インダクタＬ１、抵抗Ｒ１～Ｒ４、並びに、キャパシタＣ１及びＣ２を有して成る。

10

【００１３】

スイッチングレギュレータＩＣ１００は、内部電圧生成部１と、参照電圧生成部２と、ソフトスタート電圧生成部３と、誤差増幅器４と、ＰＷＭ[Pulse Width Modulation]コンパレータ５と、スロープ電圧生成部６と、発振器７と、論理和演算器８と、リセット優先型のＲＳフリップフロップ９と、プリドライバ１０と、Ｐチャネル型ＭＯＳ[Metal Oxide Semiconductor]電界効果トランジスタ１１と、センス抵抗１２（抵抗値Ｒ）と、コンパレータ１３と、直流電圧源１４（起電圧 V_{th1} ）と、遅延回路１５と、ラッチ回路１６と、タイマ回路１７と、定電流源１８と、Ｎチャネル型ＭＯＳ電界効果トランジスタ１９及び２０と、ダイオード列２１と、Ｐチャネル型ＭＯＳ電界効果トランジスタ２２と、抵抗２３と、低電圧ドライバ２４と、コンパレータ２５と、直流電圧源２６（起電圧 V_{th2} ）と、を集積化して成り、スイッチング素子（トランジスタ１１）のオン／オフ制御を行うスイッチ駆動装置である。なお、本実施形態では、スイッチングレギュレータＩＣ１００にトランジスタ１１を内蔵した構成を例示して説明を行うが、本発明の構成はこれに限定されるものではなく、トランジスタ１１を外付けする構成としても構わない。

20

【００１４】

内部電圧生成部１は、入力電圧 V_{in} から所定の内部電圧 V_{reg} を生成し、これをスイッチングレギュレータＩＣ１００の各部（参照電圧生成部２など）へ供給する手段である。なお、内部電圧生成部１の回路構成や動作については、後ほど詳述する。

【００１５】

参照電圧生成部２は、内部電圧 V_{reg} から所定の参照電圧 V_{ref} を生成し、これを誤差増幅器４の第１非反転入力端（＋）に出力する手段である。

30

【００１６】

ソフトスタート電圧生成部３は、スイッチングレギュレータＩＣ１００の起動時から緩やかに上昇するソフトスタート電圧 V_{ss} を生成し、これを誤差増幅器４の第２非反転入力端（＋）に出力する手段である。

【００１７】

誤差増幅器４は、第１非反転入力端（＋）に印加される参照電圧 V_{ref} 、及び、第２非反転入力端（＋）に印加されるソフトスタート電圧 V_{ss} のいずれか低い方と、反転入力端（－）に印加される帰還電圧 V_{fb} （抵抗Ｒ１と抵抗Ｒ２との接続ノードから引き出される出力電圧 V_{out} の分圧電圧）との差分を増幅して誤差電圧 E_{RR} を生成し、これをＰＷＭコンパレータ５の反転入力端（－）に出力する手段である。すなわち、スイッチングレギュレータＩＣ１００が起動してから、ソフトスタート電圧 V_{ss} が参照電圧 V_{ref} に達するまでは、ソフトスタート電圧 V_{ss} と帰還電圧 V_{fb} との差分が増幅されることになり、ソフトスタート電圧 V_{ss} が参照電圧 V_{ref} に達して以後は、参照電圧 V_{ref} と帰還電圧 V_{fb} との差分が増幅されることになる。なお、誤差増幅器４の出力端には、位相補償用の抵抗Ｒ３とキャパシタＣ２が外部接続されている。

40

【００１８】

ＰＷＭコンパレータ５は、非反転入力端（＋）に印加されるスロープ電圧 S_L と、反転入力端（－）に印加される誤差電圧 E_{RR} を比較して比較信号 CMP を生成し、これを論

50

理和演算器 8 の第 1 入力端に出力する手段である。図 2 は、トランジスタ 11 のオン/オフ制御に用いられるパルス信号 PWM の生成動作を説明するためのタイミングチャートである。なお、図 2 では、上から順に、誤差電圧 E_{RR} 、スロープ電圧 S_L 、比較信号 CMP (RS フリップフロップ 9 のリセット信号 R)、クロック信号 CLK (RS フリップフロップ 9 のセット信号 S)、及び、パルス信号 PWM (RS フリップフロップ 9 の出力信号 Q) が描写されている。図 2 に示す通り、スロープ電圧 S_L が誤差電圧 E_{RR} よりも高いときには、比較信号 CMP がハイレベルとされ、スロープ電圧 S_L が誤差電圧 E_{RR} よりも低いときには、比較信号 CMP がローレベルとされる。

【0019】

スロープ電圧生成部 6 は、クロック信号 CLK に基づいて、図 2 に示すスロープ電圧 S_L を生成し、これを PWM コンパレータ 5 の非反転入力端 (+) に出力する手段である。なお、図 2 では、三角波状のスロープ電圧 S_L を生成する構成を例に挙げたが、本発明の構成はこれに限定されるものではなく、鋸波状のスロープ電圧 S_L を生成する構成としても構わない。

【0020】

発振器 7 は、矩形波状のクロック信号 CLK を生成し、これをスロープ電圧生成部 6 と RS フリップフロップ 9 のセット端 (S) に各々出力する手段である。なお、クロック信号 CLK の発振周波数は、抵抗 R_4 の抵抗値に応じて任意に調整することができる。

【0021】

論理和演算器 8 は、第 1 入力端に印加される比較信号 CMP と、第 2 入力端に印加される過電流保護信号 S_3 との論理和演算信号 OR を生成し、これを RS フリップフロップ 9 のリセット端 (R) に出力する手段である。具体的に述べると、過電流保護信号 S_3 がローレベルであるときには、比較信号 CMP が論理和演算器 8 をスルーされる形となり、 RS フリップフロップ 9 のリセット端 (R) には、比較信号 CMP と同じ論理レベルの論理和演算信号 OR が入力される。一方、過電流保護信号 S_3 がハイレベルであるときには、比較信号 CMP が論理和演算器 8 によってマスクされる形となり、 RS フリップフロップ 9 のリセット端 (R) には、比較信号 CMP に依ることなく、常にハイレベルの論理和演算信号 OR が入力されることになる。

【0022】

RS フリップフロップ 9 は、図 2 に示すように、セット端 (S) に入力されるクロック信号 CLK の立上がりエッジをトリガとして、出力端 (Q) から出力するパルス信号 PWM をハイレベルにセットし、リセット端 (R) に入力される論理和演算信号 OR (過電流未検出時には比較信号 CMP に相当) の立上がりエッジをトリガとして、出力端 (Q) から出力するパルス信号 PWM をローレベルにリセットする手段である。なお、軽負荷時や無負荷時において、出力電圧 V_{out} が目標電圧値の近傍に維持されている場合には、図 2 に示すように、誤差電圧 E_{RR} がスロープ電圧 S_L の下限値を常に下回る状態となり、パルス信号 PWM は、連続発振状態から間欠発振状態に自動的にシフトされる。

【0023】

ブリドライバ 10 は、パルス信号 PWM の駆動能力を高めてゲート信号 SG を生成し、これをトランジスタ 11 のゲートに供給する手段であり、本実施形態では、ブリドライバ 10 として、上側駆動電圧 V_H (= 入力電圧 V_{in}) と下側駆動電圧 V_L との間で、ゲート信号 SG をパルス駆動するインバータが用いられている。すなわち、パルス信号 PWM とゲート信号 SG とは、互いに論理反転された信号となっている。

【0024】

トランジスタ 11 は、ゲート信号 SG (延いてはパルス信号 PWM) に応じてオン/オフ制御されるスイッチング素子 (パワー トランジスタ) である。トランジスタ 11 のソースは、センス抵抗 12 を介して入力電圧 V_{in} の印加端に接続されている。トランジスタ 11 のドレインは、ダイオード D_1 のカソードとインダクタ L_1 の一端にそれぞれ接続されている。ダイオード D_1 のアノードは、接地端に接続されている。インダクタ L_1 の他端は、出力電圧 V_{out} の引出端として負荷 (図示せず) に接続される一方、キャパシタ

10

20

30

40

50

C 1 を介する経路、及び、抵抗 R 1、R 2 を介する経路で、接地端にも接続されている。

【 0 0 2 5 】

なお、トランジスタ 1 1 のソースから引き出される矩形波状のスイッチ電圧 V_{sw} は、ダイオード D 1、インダクタ L 1、及び、キャパシタ C 1 によって整流・平滑され、出力電圧 V_{out} として負荷（不図示）に供給される。また、出力電圧 V_{out} は、抵抗 R 1 と抵抗 R 2 から成る抵抗分割回路によって分圧され、先述の帰還電圧 V_{fb} として誤差増幅器 4 に出力される。このようなフィードバック制御により、本実施形態のスイッチングレギュレータでは、入力電圧 V_{in} を降圧して所望の出力電圧 V_{out} が生成される。

【 0 0 2 6 】

センス抵抗 1 2 は、トランジスタ 1 1 に流れる電流 i を電圧信号として検出する手段であり、入力電圧 V_{in} の印加端とトランジスタ 1 1 のソースとの間に接続されている。

10

【 0 0 2 7 】

コンパレータ 1 3 の非反転入力端（+）は直流電圧源 1 4 の負極端に接続されている。直流電圧源 1 4 の正極端は、入力電圧 V_{in} の印加端（センス抵抗 1 2 の高電位端）に接続されている。コンパレータ 1 3 の反転入力端（-）は、トランジスタ 1 1 のソース（センス抵抗 1 2 の低電位端）に接続されている。すなわち、コンパレータ 1 3 は、非反転入力端（+）に印加される閾値電圧（ $= V_{in} - V_{th1}$ ）と、反転入力端（-）に印加されるセンス抵抗 1 2 の一端電圧（ $= V_{in} - i \times R$ ）を比較して過電流検出信号 S 1 を生成し、これをラッチ回路 1 6 に出力する過電流検出手段（過電流保護回路の一回路要素）として機能する。なお、センス抵抗 1 2 での電圧降下分（ $i \times R$ ）が直流電圧源 1 4 の起電圧 V_{th1} よりも小さい間は、過電流検出信号 S 1 がローレベルに維持されるが、センス抵抗 1 2 での電圧降下分（ $i \times R$ ）が直流電圧源 1 4 の起電圧 V_{th1} よりも大きくなると、過電流検出信号 S 1 がハイレベルに遷移される。

20

【 0 0 2 8 】

直流電圧源 1 4 は、過電流検出用の閾値電圧（ $= V_{in} - V_{th1}$ ）を設定する手段であり、入力電圧 V_{in} の印加端とコンパレータ 1 3 の非反転入力端（+）との間に接続されている。

【 0 0 2 9 】

遅延回路 1 5 は、パルス信号 PWM がローレベルとされるタイミングに遅延を与えて、コンパレータ 1 3 のイネーブル信号 E N を生成する手段である。なお、遅延回路 1 5 の動作については後述する。

30

【 0 0 3 0 】

ラッチ回路 1 6 は、コンパレータ 1 3 から入力される過電流検出信号 S 1 の立上がりエッジをトリガとして、過電流保護信号 S 3 をハイレベルにセットし、タイマ回路 1 7 から入力されるタイマ信号 S 2 の立上がりエッジをトリガとして、過電流保護信号 S 3 をローレベルにリセットする手段である。なお、ラッチ回路 1 6 の動作については後述する。

【 0 0 3 1 】

タイマ回路 1 7 は、コンパレータ 1 3 から入力される過電流検出信号 S 1 の立上がりエッジをトリガとして、保護動作期間 T_{off} のカウントを開始し、そのカウント動作が終了した時点で、タイマ信号 S 2 をローレベルからハイレベルにセットする手段である。なお、タイマ回路 1 7 の動作については後述する。

40

【 0 0 3 2 】

定電流源 1 8、Nチャネル型 MOS 電界効果トランジスタ 1 9 及び 2 0、ダイオード列 2 1、Pチャネル型 MOS 電界効果トランジスタ 2 2、及び、抵抗 2 3 は、トランジスタ 1 1 のゲート・ソース間電圧（入力電圧 V_{in} とゲート信号 S G との電圧差）を所定値以下に維持するように、入力電圧 V_{in} に応じて下側駆動電圧 V_L を制御しつつ、プリドライバ 1 0 の駆動電流を引き込む耐圧保護回路である。定電流源 1 8 の一端は、内部電圧 V_{reg} の印加端に接続されている。定電流源 1 8 の他端（定電流出力端）は、トランジスタ 1 9 のドレインに接続されている。トランジスタ 1 9 のソースは、接地端に接続されている。トランジスタ 1 9 のゲートは、トランジスタ 2 0 のゲートに接続される一方、トラ

50

ンジスタ 19 のドレインにも接続されている。トランジスタ 20 のソースは、接地端に接続されている。トランジスタ 20 のドレインは、ダイオード列 21 のアノード端と、トランジスタ 22 のゲートにそれぞれ接続されている。ダイオード列 21 のカソード端は、入力電圧 V_{in} の印加端に接続されている。トランジスタ 22 のドレインは、抵抗 23 を介して接地端に接続されている。トランジスタ 22 のソースは、下側駆動電圧 V_L の印加端に接続されている。なお、ダイオード列 21 を形成するダイオードの個数については、1 以上の任意の整数とすればよい。また、上記構成から成る耐圧保護回路の動作については後ほど詳細に説明する。

【0033】

低電圧ドライバ 24 は、コンパレータ 25 から入力される低電圧検出信号 S_4 に基づいて、プリドライバ 10 の下側駆動電圧 V_L を通常時よりも引き下げて、プリドライバ 10 の駆動電流を引き込むか否かを制御する手段である。なお、低電圧ドライバ 24 の回路構成及び動作については後述する。

【0034】

コンパレータ 25 は、非反転入力端 (+) に印加される直流電圧源 26 の起電圧 (閾値電圧 V_{th2}) と、反転入力端 (-) に印加される入力電圧 V_{in} を比較して低電圧検出信号 S_4 を生成し、これを低電圧ドライバ 24 に出力する低電圧検出回路である。すなわち、入力電圧 V_{in} が閾値電圧 V_{th2} よりも高いときには、低電圧検出信号 S_4 がローレベルに維持されるが、入力電圧 V_{in} が閾値電圧 V_{th2} よりも低くなると、低電圧検出信号 S_4 がハイレベルに遷移される。

【0035】

直流電圧源 26 は、低電圧検出用の閾値電圧 ($= V_{th2}$) を設定する手段であり、コンパレータ 25 の非反転入力端 (+) と接地端との間に接続されている。

【0036】

次に、過電流保護回路の消費電流低減機能について、図 3 ~ 図 5 を参照しながら詳細な説明を行う。図 3 ~ 図 5 は、いずれも、過電流保護回路の消費電流低減機能を説明するためのタイミングチャートであり、それぞれ、上から順に、クロック信号 CLK (RS フリップフロップ 9 のセット信号 S)、比較信号 CMP (RS フリップフロップ 9 のリセット信号 R)、パルス信号 PWM (RS フリップフロップ 9 の出力信号 Q)、イネーブル信号 EN 、ゲート信号 SG 、スイッチ電圧 V_{sw} 、及び、電流 i が描写されている。なお、図 3 には、パルス信号 PWM が連続発振されているときの様子が示されており、図 4 には、パルス信号 PWM が間欠発振されているときの様子が示されている。また、図 5 には、後述する遅延時間 d_2 を長く設定した場合の様子が示されている。

【0037】

まず、図 3 及び図 4 について説明する。先述したように、RS フリップフロップ 9 の出力端 (Q) から出力されるパルス信号 PWM は、セット端 (S) に入力されるクロック信号 CLK の立上がりエッジでハイレベルにセットされ、リセット端 (R) に入力される比較信号 CMP の立上がりエッジでローレベルにリセットされる。

【0038】

遅延回路 15 は、上記のパルス信号 PWM を過電流保護回路のイネーブル信号 EN として流用すべく、パルス信号 PWM がローレベルとされるタイミングに遅延を与えて、コンパレータ 13 のイネーブル信号 EN を生成する。すなわち、イネーブル信号 EN は、パルス信号 PWM の立上がりエッジと同じタイミングでハイレベルとされ、パルス信号 PWM の立下がりエッジから遅延時間 d_2 だけ遅れたタイミングでローレベルとされる。

【0039】

一方、プリドライバ 10 は、パルス信号 PWM の駆動能力を高めるとともに、その論理を反転することでゲート信号 SG を生成する。このとき、ゲート信号 SG がローレベルとされるタイミングは、プリドライバ 10 のスルーレートやトランジスタ 11 のゲート容量などに応じて、パルス信号 PWM がハイレベルとされるタイミングよりも遅延時間 d_1 だけ遅れる。すなわち、ゲート信号 SG は、パルス信号 PWM の立上がりエッジから遅延時

10

20

30

40

50

間 d_1 だけ遅れたタイミングでローレベルとされ、パルス信号 PWM の立下がりエッジと同じタイミングでハイレベルとされる。

【0040】

従って、コンパレータ 13 が動作状態とされる期間 T_2 は、トランジスタ 11 がオンされる期間 T_1 よりも長くなる。別の言い方をすれば、コンパレータ 13 は、トランジスタ 11 がオンされる前に動作状態とされ、かつ、トランジスタ 11 がオフされた後に非動作状態とされる。

【0041】

上記で説明した通り、本実施形態のスイッチングレギュレータ IC 100 は、トランジスタ 11 に流れる電流 i をモニタして過電流保護を行う過電流保護回路（コンパレータ 13 を含む）と、トランジスタ 11 のオン時に過電流保護回路を動作状態とし、トランジスタ 11 のオフ時に過電流保護回路を非動作状態とするイネーブル制御回路（本実施形態では、遅延回路 15）と、を有して成る構成とされている。

10

【0042】

このような構成とすることにより、電流 i をモニタすべきとき（すなわち、トランジスタ 11 をオンとし、トランジスタ 11 を介した電流経路が導通されているとき）にのみ、過電流保護回路を動作状態とし、その余の場合には過電流保護回路を非動作状態とすることができるので、過電流保護回路の消費電流を低減することが可能となる。特に、図 4 に示すように、パルス信号 PWM が間欠発振状態となる軽負荷時や無負荷時においては、スイッチングレギュレータ全体の消費電流に占める過電流保護回路の消費電流の割合が大きくなるため、本発明による消費電流の低減効果が顕著となる。

20

【0043】

なお、本実施形態のスイッチングレギュレータ IC 100 において、イネーブル制御回路（遅延回路 15）は、トランジスタ 11 のオン／オフ制御に用いられるパルス信号 PWM を過電流保護回路のイネーブル信号 EN として流用する構成とされている。このような構成であれば、トランジスタ 11 のオン／オフ制御タイミングと過電流保護回路のオン／オフ制御タイミングのマッチングを容易に実現することが可能となる。ただし、本発明の構成はこれに限定されるものではなく、その他の手段によって過電流保護回路のイネーブル信号 EN を生成しても構わない。例えば、トランジスタ 11 のゲート信号 SG からイネーブル信号 EN を生成する構成としてもよいし、或いは、トランジスタ 11 のオン／オフ状態を直接モニタしてイネーブル信号 EN を生成する構成としてもよい。

30

【0044】

また、先から述べている通り、本実施形態のスイッチングレギュレータ IC 100 は、イネーブル制御回路として、パルス信号 PWM がローレベルとされるタイミングに遅延を与えてイネーブル信号 EN を生成する遅延回路 15 を用いている。このような構成とすることにより、コンパレータ 13 が動作状態とされる期間 T_2 をトランジスタ 11 がオンされる期間 T_1 よりも長くすることができるので、トランジスタ 11 がオンされているときには、過電流保護回路を確実に起動しておくことが可能となる。

【0045】

次に、図 5 について説明する。図 5 の例では、遅延回路 15 でパルス信号 PWM に与える遅延時間 d_2 が図 3 や図 4 の例よりも長く設定されている。より具体的に述べると、遅延回路 15 では、パルス信号 PWM が連続発振されているときには、過電流保護回路が常に動作状態に維持され、パルス信号 PWM が間欠発振されているときにはのみ、過電流保護回路が非動作状態とされるように、その遅延時間 d_2 が設定されている。

40

【0046】

図 5 の例に即して説明すると、パルス信号 PWM が連続発振されているときには、パルス信号 PWM の立下がりエッジから遅延時間 d_2 が経過する前に、パルス信号 PWM の次の立上がりエッジが到来するので、イネーブル信号 EN は常にハイレベルとなり、過電流保護回路が常に動作状態に維持される。一方、パルス信号 PWM が間欠発振されているときには、パルス信号 PWM の立下がりエッジから遅延時間 d_2 が経過しても、パルス信号

50

PWMの次の立上がりエッジは到来しないので、イネーブル信号ENは、上記の遅延時間d2が経過した時点でローレベルとなり、過電流保護回路が非動作状態とされる。

【0047】

このような構成とすることにより、パルス信号PWMが連続発振されているときには、安全性の向上を優先して、過電流保護回路を常に動作状態に維持する一方、パルス信号PWMが間欠発振されているときには、消費電流の低減を優先して、過電流保護回路を非動作状態とすることが可能となる。

【0048】

なお、上記実施形態では、本発明をスイッチングレギュレータIC100に適用した構成を例に挙げて説明を行ったが、本発明の適用対象はこれに限定されるものではなく、過電流保護回路を備えたスイッチ駆動装置全般（例えば、モータドライバの出力段を形成するスイッチング素子のオン/オフ制御を行うスイッチ駆動装置）に広く適用することが可能である。

【0049】

次に、過電流保護回路の自己復帰機能について、先出の図1とともに、図6を参照しながら詳述する。図6は過電流保護回路の自己復帰機能を説明するためのタイミングチャートであり、上から順番に、クロック信号CLK、過電流検出信号S1、タイマ信号S2、及び、過電流保護信号S3が各々描写されている。

【0050】

先に述べた通り、タイマ回路17は、過電流検出信号S1の立上がりエッジをトリガとして、保護動作期間Toffのカウントを開始し、そのカウント動作が終了した時点で、タイマ信号S2をローレベルからハイレベルにセットする。また、ラッチ回路16は、過電流検出信号S1の立上がりエッジをトリガとして、過電流保護信号S3をハイレベルにセットし、タイマ信号S2の立上がりエッジをトリガとして、過電流保護信号S3をローレベルにリセットする。このようにして生成された過電流保護信号S3は、論理和演算器8の第2入力端に印加され、比較信号CMPのマスク処理に用いられる。具体的には、過電流保護信号S3がローレベルであるときには、比較信号CMPが論理和演算器8をスルーされ、過電流保護信号S3がハイレベルであるときには、比較信号CMPが論理和演算器8によってマスクされる。

【0051】

上記のように、本実施形態のスイッチングレギュレータIC100において、過電流保護回路は、過電流が検出されたときに所定の保護動作期間Toffを計時し始め、前記過電流が検出されてから保護動作期間Toffが経過するまで、トランジスタ11の駆動を継続的に停止させた後、トランジスタ11の駆動を再開させる構成とされている。

【0052】

このような構成であれば、パルス信号PWMの一周期毎（クロック信号CLKのパルス周期毎）に過電流保護回路を自己復帰させる従来構成と異なり、連続的に過電流が流れ続ける異常状態（出力ショートなど）に陥った場合でも、パルス信号PWMの一周期毎に過電流保護回路が自己復帰されて過大な電流iが断続的に流れ続けることはないので、スイッチングレギュレータIC100や外付け部品（コイルL1、ショットキーダイオードD1）の発熱を抑えることが可能となる。

【0053】

なお、タイマ回路17としては、RC時定数回路などのアナログタイマを用いてもよいし、クロック信号CLKのパルス数をカウントするデジタルタイマを用いても構わない。また、上記の保護動作期間Toffは、クロック信号CLKのパルス周期Tより十分長く設定することが望ましく、例えば、パルス周期Tが数[μs]である場合、保護動作期間Toffは、数十[μs]に設定すればよい。

【0054】

また、先出の図1では、過電流保護回路の自己復帰機能部として、ラッチ回路16とタイマ回路17を各々独立の回路ブロックで描写したが、本発明の構成はこれに限定される

10

20

30

40

50

ものではなく、ラッチ回路 16、並びに、タイマ回路 17 を形成する回路要素としては、図 7 に示すように、キャパシタ C A と、キャパシタ C A の充電電流を生成する定電流源 I A と、過電流が検出されたときにキャパシタ C A を放電する放電部（図 7 では過電流検出信号 S 1 がハイレベルであるときにオンとなる N チャネル型 MOS 電界効果トランジスタ N A ）と、キャパシタ C A の充電電圧 V C が所定の閾値電圧よりも高いか低いかに応じて過電流保護信号 S 3 の出力論理を変遷する比較部（図 7 ではインバータ I N V ）と、を有して成る構成としてもよい。

【0055】

図 8 は、上記構成から成る自己復帰機能部の動作を説明するためのタイミングチャートであり、上から順に、過電流検出信号 S 1、キャパシタ C A の充電電圧 V C、及び、過電流保護信号 S 3 が描写されている。

10

【0056】

図 8 に示すように、過電流検出信号 S 1 がハイレベルに立ち上がると、トランジスタ N A がオンとなり、キャパシタ C A が放電されて、充電電圧 V C がゼロ値（ローレベル）となる。従って、インバータ I N V の出力信号である過電流保護信号 S 3 は、ハイレベルに立ち上がり、トランジスタ 11 の駆動が継続的に停止される。トランジスタ 11 の駆動が停止されると、過電流検出信号 S 1 はローレベルに立ち下がり、トランジスタ N A はオフとなる。その結果、キャパシタ C A の充電が再開され、充電電圧 V C が上昇し始める。そして、充電電圧 V C がインバータ I N V の論理反転閾値（図 8 中の一点鎖線を参照）に達すると、過電流保護信号 S 3 がハイレベルからローレベルに遷移され、トランジスタ 11 の駆動が再開される。

20

【0057】

このように、上記構成から成る自己復帰機能部であれば、簡易なアナログ回路により、所望の過電流保護信号 S 3 を生成することが可能となる。なお、保護動作期間 T o f f の長さは、定電流源 I A で生成する電流量に応じて適宜調整することが可能である。

【0058】

また、上記実施形態では、キャパシタ C A の充電電圧 V C が所定の閾値電圧よりも高いか低いかに応じて過電流保護信号 S 3 の出力論理を変遷する比較部として、インバータ I N V を用いた構成を例に挙げて説明を行ったが、本発明の構成はこれに限定されるものではなく、バッファやコンパレータを用いても構わない。

30

【0059】

次に、内部電圧生成部 1 の回路構成及び動作について詳細に説明する。図 9 は、内部電圧生成部 1 の一構成例を示す回路図である。図 9 に示すように、本構成例の内部電圧生成部 1 は、p n p 型バイポーラトランジスタ Q a、Q b、Q c と、n p n 型バイポーラトランジスタ Q d、Q e と、抵抗 R a、R b、R c、R d と、キャパシタ C a と、オペアンプ A M P と、直流電圧源 E a と、を有して成る。

【0060】

トランジスタ Q a、Q b、Q c のエミッタは、いずれも入力電圧 V i n の印加端に接続されている。トランジスタ Q a、Q b、Q c のベースは、いずれもトランジスタ Q a のコレクタに接続されている。トランジスタ Q a のコレクタは、入力電流 I i n の入力端に接続されている。トランジスタ Q b のコレクタは、オペアンプ A M P の電源端に接続される一方、抵抗 R a を介してトランジスタ Q d のコレクタにも接続されている。トランジスタ Q c のコレクタは、抵抗 R b を介して接地端に接続される一方、トランジスタ Q d のベースにも接続されている。トランジスタ Q d のエミッタは、接地端に接続されている。トランジスタ Q e のコレクタは、入力電圧 V i n の印加端に接続されている。トランジスタ Q e のベースは、オペアンプ A M P の出力端に接続されている。トランジスタ Q e のエミッタは、抵抗 R c 及び抵抗 R d を介して接地端に接続される一方、内部電圧 V r e g の出力端にも接続されている。オペアンプ A M P の非反転入力端（+）は、第 1 電圧 V 1 の印加端（直流電圧源 E a の正極端）に接続されている。オペアンプ A M P の反転入力端（-）は、第 2 電圧 V 2 の印加端（抵抗 R c と抵抗 R d との接続ノード）に接続されている。

40

50

【0061】

上記構成から成る内部電圧生成部1は、オペアンプAMPを用いて、第1電圧V1と第2電圧V2が一致するように、トランジスタQeの開放度を制御することにより、入力電圧Vinから所望の内部電圧Vregを生成するシリースレギュレータである。

【0062】

また、上記構成から成る内部電圧生成部1において、トランジスタQa、Qbは、入力電流Iinから所望の出力電流Iout(=α×Iin)を生成し、これをオペアンプAMPに供給するカレントミラー回路を形成している。

【0063】

このカレントミラー回路には、トランジスタQa、Qbから成る第1カレントミラー段のほか、入力電圧Vinの急変に際して、出力電流Ioutの変動を抑えるためのピーク電流防止回路X(トランジスタQc、Qd、抵抗Ra、Rb、及び、キャパシタCa)が組み込まれている。

10

【0064】

図10は、ピーク電流防止動作を説明するための波形図であり、上から順に、入力電圧Vin、トランジスタQbのベース・エミッタ間電圧Vbe、第1ミラー電流I1、第2ミラー電流I2、補正電流I3、及び、出力電流Ioutが示されている。

【0065】

図10に示すように、入力電圧Vinが一定に保たれている場合、トランジスタQbのベース・エミッタ間電圧Vbeは、トランジスタQbのベース・エミッタ間における順方向降下電圧Vfに維持され、第1ミラー電流I1、及び、第2ミラー電流I2は、それぞれα×Iin、β×Iinに維持される。また、第2ミラー電流I2が上記の電流値に維持されている間、トランジスタQdはオフとなり、トランジスタQbのコレクタから抵抗Ra及びトランジスタQdを介して接地端に至る電流経路が遮断されるため、この電流経路に流れる補正電流I3はゼロ値となる。その結果、出力電流Ioutは、第1ミラー電流I1と同じ電流値(α×Iin)となる。なお、上記の第2ミラー定数βは、消費電流削減の観点から、第1ミラー定数αよりも十分に小さい値(例えば数十分の一)に設定しておくことが望ましい。

20

【0066】

一方、入力電圧Vinに急変動が生じると、トランジスタQbのベース・エミッタ間電圧Vbeは大きくなるが、入力電圧VinとトランジスタQbのベースとの間には、キャパシタCaが接続されているため、その増大量は、従来構成(図12や図13を参照)に比べて、非常に小さく抑えられている。

30

【0067】

また、ピーク電流防止回路Xには、上記キャパシタCaに加えて、第1ミラー電流I1の増加分を吸収するピーク電流吸収回路Y(トランジスタQc、Qd、及び、抵抗Ra、Rb)が設けられており、入力電圧Vinの急変時に生じるピーク電流のさらなる抑制が図られている。

【0068】

ピーク電流吸収回路Yの動作について、図9及び図10を参照しながら詳述する。入力電圧Vinに急変動が生じて第1ミラー電流I1にピーク電流が生じた場合、これと同様の挙動で第2ミラー電流I2にもピーク電流が生じる。このとき、第2ミラー電流I2が所定値に達すると、トランジスタQdのベース電位(第2ミラー電流I2が流れる抵抗Rbの一端電圧)がトランジスタQdのオンスレッシュホールド電圧まで引き上げられて、トランジスタQdがオンとなり、トランジスタQbのコレクタから抵抗Ra及びトランジスタQdを介して接地端に至る電流経路が導通される。その結果、トランジスタQbのコレクタからは、第2ミラー電流I2に応じた補正電流I3が引き抜かれるので、出力電流Ioutは、第1ミラー電流I1から補正電流I3を差し引いた電流値(第1ミラー電流I1の増加分が吸収された電流値)となる。

40

【0069】

50

上記で説明した通り、本発明に係るカレントミラー回路は、入力電流 I_{in} をミラーして第1ミラー電流 I_1 を生成する第1カレントミラー段（トランジスタ Q_a 、 Q_b ）と、電源急変時に生じる第1ミラー電流 I_1 の増加分に応じた補正電流 I_3 を生成し、これを第1カレントミラー段の出力端から引き込むピーク電流吸収回路 Y （トランジスタ Q_c 、 Q_d 、抵抗 R_a 、 R_b ）と、を有して成り、第1ミラー電流 i_1 から補正電流 I_3 を差し引いて得られる差分電流（ $= I_1 - I_3$ ）を出力電流 I_{out} として後段回路（オペアンプ AMP ）に出力する構成とされている。

【0070】

より具体的に述べると、上記のピーク電流吸収回路 Y は、入力電流 I_{in} をミラーして第2ミラー電流 I_2 を生成する第2カレントミラー段（トランジスタ Q_a 、 Q_c ）と、第2ミラー電流 I_2 に応じて補正電流 I_3 の引き込み量を制御する補正電流生成回路 Z （トランジスタ Q_d 、抵抗 R_a 、 R_b ）と、を有して成る構成とされている。

10

【0071】

さらに詳しく述べると、上記の補正電流生成回路 Z は、第2ミラー電流 I_2 を電圧信号に変換する抵抗 R_b と、第1カレントミラー段の出力端（トランジスタ Q_b のコレクタ）と接地端との間に接続され、上記の電圧信号に応じて導通度が制御されるトランジスタ Q_d と、を有して成る構成とされている。

【0072】

このような構成とすることにより、入力電圧 V_{in} が急変しても、カレントミラー回路の出力電流 I_{out} には大きなピーク電流が生じないので、後段回路の誤動作を防ぐことが可能となり、延いては、スイッチングレギュレータの安定性向上に貢献することができる。特に、入力電圧 V_{in} としてバッテリーの出力電圧が直接印加される場合には、入力電圧 V_{in} の急変動が生じやすいため、本発明によるピーク電流の低減効果が顕著となる。

20

【0073】

なお、上記実施形態では、オペアンプ AMP の駆動電流生成手段として、本発明に係るカレントミラー回路を用いた構成を例に挙げて説明を行ったが、本発明の適用対象はこれに限定されるものではなく、入力電流をミラーして所望の出力電流を生成するカレントミラー回路全般に広く適用することが可能である。

【0074】

次に、トランジスタ11の耐圧保護機能、及び、低電圧モードへの切換機能について、先出の図1を参照しながら詳述する。

30

【0075】

先述したように、本実施形態のスイッチングレギュレータ $IC100$ には、トランジスタ11のゲート・ソース間電圧（入力電圧 V_{in} とゲート信号 SG との電圧差）を所定値以下に維持するように、入力電圧 V_{in} に応じてプリドライバ10の下側駆動電圧 V_L を制御しつつ、プリドライバ10の駆動電流を引き込む耐圧保護回路が設けられている。

【0076】

なお、上記の耐圧保護回路は、図1に示す通り、カソード端が入力電圧 V_{in} の印加端に接続されたダイオード列21と、ダイオード列21に定電流を流す定電流源（18～20）と、ソースが下側駆動電圧 V_L の印加端に接続され、ゲートがダイオード列21のアノード端に接続されたPチャネル型電界効果トランジスタ22と、を有して成る。

40

【0077】

確かに、上記構成から成る耐圧保護回路であれば、プリドライバ10の下側駆動電圧 V_L を $V_{in} - V_A + V_{thB}$ （ただし、 V_A はダイオード列21の順方向降下電圧、 V_{thB} はトランジスタ22のオンスレッシュホールド電圧）に維持することができるので、トランジスタ11のゲート・ソース間電圧は、所定値（ $V_A - V_{thB}$ ）までしか開かなくなる。従って、トランジスタ11を高い入力電圧 V_{in} で動作させる場合でも、トランジスタ11のゲート・ソース間電圧がその耐圧を超えることはなく、装置の破壊や異常発熱などを防止することが可能である。

【0078】

50

ただし、上記の耐圧保護回路のみを備えた場合には、従来技術の項でも述べた通り、プリドライバ10を正常に動作させるために、 $V_{thA} + V_{thB} + V_{ds}$ 以上（ただし、 V_{thA} はトランジスタ11のオンスレッシュホールド電圧、 V_{ds} はトランジスタ20のドレイン・ソース間降下電圧）の入力電圧 V_{in} を供給する必要がある。また、入力電圧 V_{in} が低くなると、トランジスタ11のゲート・ソース間電圧が小さくなるため、トランジスタ11のオン抵抗が大きくなり、電力効率が低下してしまう。

【0079】

そこで、本実施形態のスイッチングレギュレータIC100は、入力電圧 V_{in} が閾値電圧 V_{th2} を下回っているか否かを検出する低電圧検出回路（コンパレータ25）と、低電圧検出回路において入力電圧 V_{in} の低電圧状態が検出されたときにのみ、プリドライバ10の下側駆動電圧 V_L を通常時よりも引き下げて、プリドライバ10の駆動電流を引き込む低電圧ドライバ24と、を有して成る。

10

【0080】

なお、低電圧ドライバ24は、図11に示すように、抵抗 R_x とNチャネル型電界効果トランジスタ N_x を有して成る。トランジスタ N_x のドレインは、抵抗 R_x を介して下側駆動電圧 V_L の印加端に接続されている。トランジスタ N_x のソースは接地端に接続されている。トランジスタ N_x のゲートは、低電圧検出信号 S_4 の印加端に接続されている。

【0081】

上記構成から成るスイッチングレギュレータIC100において、入力電圧 V_{in} が閾値電圧 V_{th2} を下回ったときには、低電圧ドライバ24の働きによって、プリドライバ10の下側駆動電圧 V_L が通常時よりも引き下げられ、かつ、トランジスタ22を介する電流経路のみならず、トランジスタ N_x を介する電流経路でもプリドライバ10の駆動電流が引き込まれることになる。すなわち、入力電圧 V_{in} の低電圧状態が検出されたときには、プリドライバ10の駆動モードが通常モードから低電圧モードに切り換えられる。

20

【0082】

このような構成とすることにより、入力電圧 V_{in} が高電圧範囲から低電圧範囲まで幅広く変化される場合であっても、安全かつ安定にスイッチングレギュレータを動作させることが可能となる。また、入力電圧 V_{in} が低電圧状態となった場合でも、トランジスタ11のゲート・ソース間電圧を確保して、トランジスタ11のオン抵抗を小さく維持することができるので、電力効率の低下を招くことがなくなる。

30

【0083】

なお、本発明の構成は、上記実施形態のほか、発明の主旨を逸脱しない範囲で種々の変更を加えることが可能である。

【産業上の利用可能性】

【0084】

本発明は、電化製品、自動車、電力設備など、電気回路や電子回路を備えた装置やシステム全般に利用可能な技術である。

【図面の簡単な説明】

【0085】

【図1】は、本発明に係るスイッチングレギュレータの一実施形態を示す回路ブロック図である。

40

【図2】は、トランジスタ11のオン/オフ制御に用いられるパルス信号PWMの生成動作を説明するためのタイミングチャートである。

【図3】は、過電流保護回路の消費電流低減機能を説明するためのタイミングチャート（パルス信号PWMが連続発振されている場合）である。

【図4】は、過電流保護回路の消費電流低減機能を説明するためのタイミングチャート（パルス信号PWMが間欠発振されている場合）である。

【図5】は、過電流保護回路の消費電流低減機能を説明するためのタイミングチャート（遅延時間 d_2 を長く設定した場合）である。

【図6】は、過電流保護回路の自己復帰機能を説明するためのタイミングチャートである

50

。

【図 7】は、自己復帰機能部の一構成例を示す回路図である。

【図 8】は、自己復帰機能部の動作を説明するためのタイミングチャートである。

【図 9】は、内部電圧生成部 1 の一構成例を示す回路図である。

【図 10】は、ピーク電流防止動作を説明するための波形図である。

【図 11】は、低電圧ドライバ 24 の一構成例を示す回路図である。

【図 12】は、カレントミラー回路の一従来例を示す回路図である。

【図 13】は、ピーク電流の発生挙動を説明するための波形図である。

【符号の説明】

【 0 0 8 6 】

10

1 0 0 スイッチングレギュレータ IC (スイッチ駆動装置)

1 内部電圧生成部

2 参照電圧生成部

3 ソフトスタート電圧生成部

4 誤差増幅器

5 PWM コンパレータ

6 スロープ電圧生成部

7 発振器

8 論理和演算器

9 RS フリップフロップ

20

1 0 プリドライバ

1 1 P チャネル型 MOS 電界効果トランジスタ

1 2 センス抵抗

1 3 コンパレータ

1 4 直流電圧源

1 5 遅延回路

1 6 ラッチ回路

1 7 タイマ回路

1 8 定電流源

1 9、2 0 N チャネル型 MOS 電界効果トランジスタ

30

2 1 ダイオード列

2 2 P チャネル型 MOS 電界効果トランジスタ

2 3 抵抗

2 4 低電圧ドライバ

2 5 コンパレータ

2 6 直流電圧源

D 1 ダイオード (ショットキーダイオード)

L 1 インダクタ

C 1、C 2 キャパシタ

R 1 ~ R 4 抵抗

40

N A N チャネル型 MOS 電界効果トランジスタ

C A キャパシタ

I A 定電流源

I N V インバータ

Q a、Q b、Q c p n p 型バイポーラトランジスタ

Q d、Q e n p n 型バイポーラトランジスタ

R a、R b、R c、R d 抵抗

C a キャパシタ

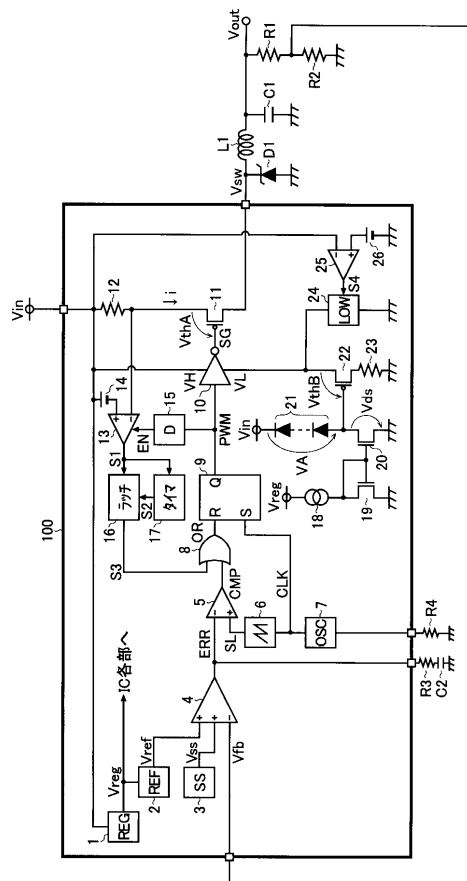
E a 直流電圧源

A M P オペアンプ

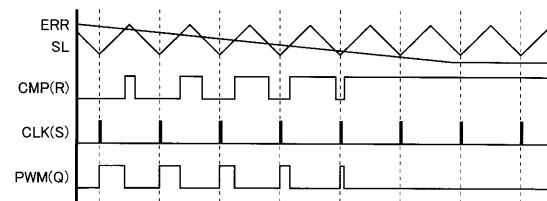
50

- X ピーク電流防止回路
 Y ピーク電流吸収回路
 Z 補正電圧生成回路
 N x Nチャネル型MOS電界効果トランジスタ
 R x 抵抗

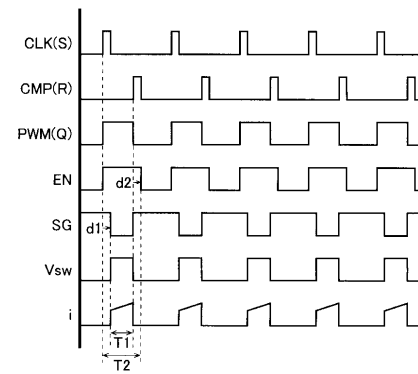
【図1】



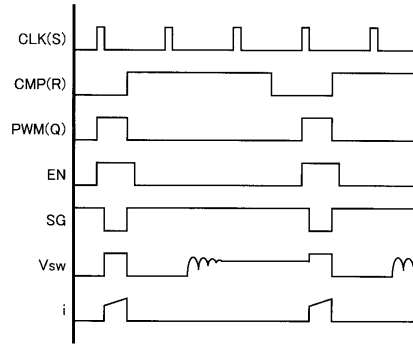
【図2】



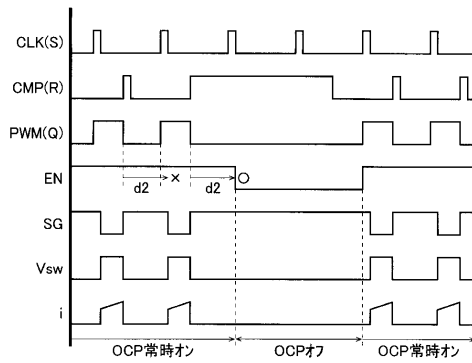
【図3】



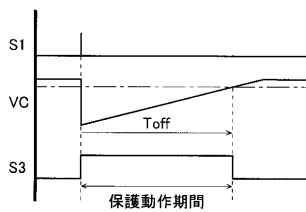
【図 4】



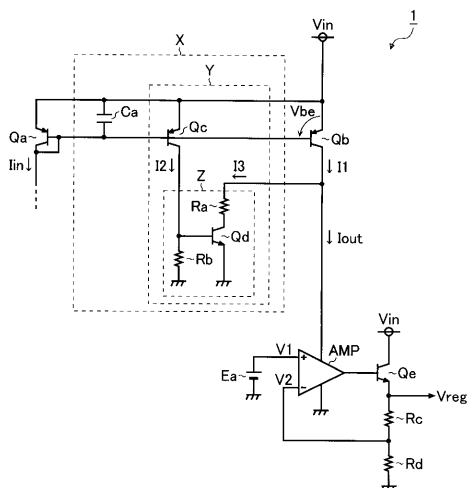
【図 5】



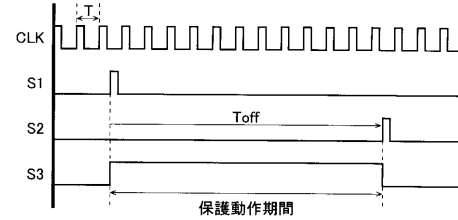
【図 8】



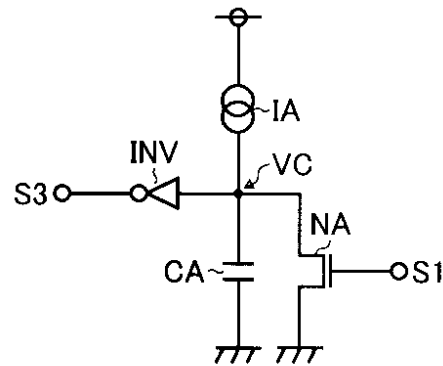
【図 9】



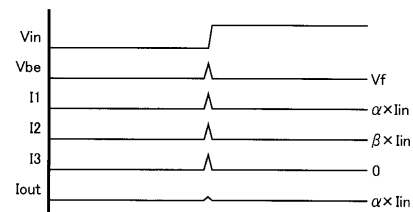
【図 6】



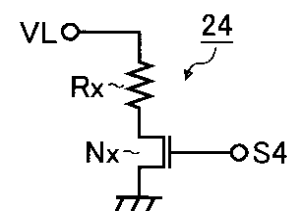
【図 7】



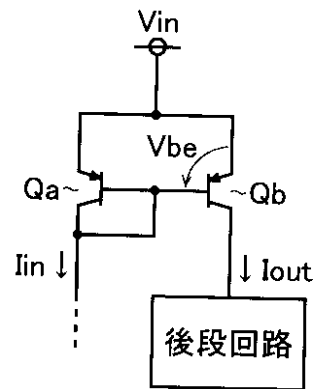
【図 10】



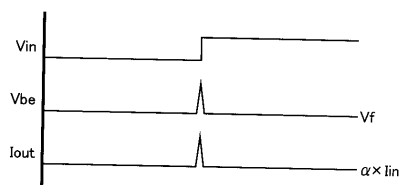
【図 11】



【図 1 2】



【図 1 3】



フロントページの続き

(56)参考文献 特開 2 0 0 7 - 6 8 0 6 1 (J P , A)
特開 2 0 0 8 - 1 5 7 7 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 5 F 1 / 0 0 - 7 / 0 0

H 0 2 M 1 / 0 0 - 3 / 4 4