(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월07일
(11) 등록번호 10-1381834
(24) 등록일자 2014년03월31일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
(21) 출원번호 10-2008-0017103
(22) 출원일자 2008년02월26일
심사청구일자 2013년02월12일
(65) 공개번호 10-2008-0079611
(43) 공개일자 2008년09월01일
(30) 우선권주장
JP-P-2007-00046807 2007년02월27일 일본(JP)
(56) 선행기술조사문헌
US20060267141 A1
JP2001326289 A
JP2002050636 A
KR1020050013175 A
전체 청구항 수 : 총 12 항

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
아사미 요시노부
일본국 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이에네루기 켄큐쇼 나이
(74) 대리인
이화익

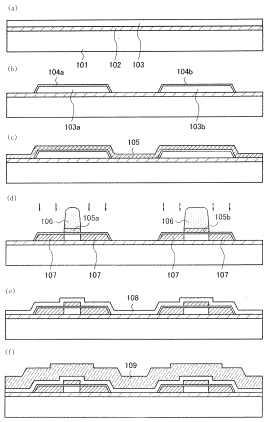
심사관 : 설관식

(54) 발명의 명칭 **반도체 장치 및 반도체 장치의 제작방법**

(57) 요 약

본 발명은, 제작 공정이 간략화되고, 용량 소자의 면적이 축소화된 메모리 소자를 가지는 반도체 장치를 제공하는 것을 과제로 한다. 기판 위에 제 1 반도체 막과 제 2 반도체 막을 형성하고, 제 1 반도체 막 및 제 2 반도체 막을 덮어 제 1 절연막을 형성하고, 제 1 반도체 막 및 제 2 반도체 막 위에, 제 1 절연막을 통하여 각각 제 1 도전막 및 제 2 도전막을 형성하고, 제 1 도전막을 덮어 제 2 절연막을 형성하고, 제 1 반도체 막 위에 형성된 제 1 도전막 위에 제 2 절연막을 통하여 제 3 도전막을 선택적으로 형성하고, 제 1 반도체 막에 제 3 도전막을 마스크로서 불순물을 도입하고, 제 2 반도체 막에 제 2 도전막을 통하여 불순물을 도입한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

반도체 장치의 제작 방법에 있어서,

기판 위에 제 1 반도체 막과 제 2 반도체 막을 형성하는 단계와;

상기 제 1 반도체 막과 상기 제 2 반도체 막을 덮어 제 1 절연막을 형성하는 단계와;

상기 제 1 반도체 막과 상기 제 2 반도체 막 위에 상기 제 1 절연막을 개재하여 각각 제 1 도전막과 제 2 도전막을 형성하는 단계와;

상기 제 1 도전막을 덮어 제 2 절연막을 형성하는 단계와;

상기 제 1 도전막 위에 상기 제 2 절연막을 개재하여 제 3 도전막을 형성하는 단계와;

상기 제 3 도전막을 마스크로 하여 상기 제 1 반도체 막에 불순물 원소를 도핑하고 상기 제 2 도전막을 통하여 상기 제 2 반도체 막에 상기 불순물원소를 도핑하는 단계를 포함하는 반도체 장치의 제작 방법.

청구항 2

반도체 장치의 제작 방법에 있어서,

기판 위에 제 1 반도체 막과, 제 2 반도체 막과, 제 3 반도체 막을 형성하는 단계와;

상기 제 1 반도체 막과, 상기 제 2 반도체 막과, 상기 제 3 반도체 막을 덮어 제 1 절연막을 형성하는 단계와;

상기 제 1 반도체 막과 상기 제 2 반도체 막 위에 상기 제 1 절연막을 개재하여 각각 제 1 도전막과 제 2 도전막을 선택적으로 형성하는 단계와;

상기 제 3 반도체 막 위에 형성된 상기 제 1 절연막을 제거하는 단계와;

상기 제 1 도전막과, 상기 제 2 도전막과, 상기 제 3 반도체 막을 덮어 제 2 절연막을 형성하는 단계와;

상기 제 1 도전막 위에 상기 제 2 절연막을 개재하여 제 3 도전막을 형성하는 단계와;

상기 제 3 반도체 막 위에 상기 제 2 절연막을 개재하여 제 4 도전막을 선택적으로 형성하는 단계와;

상기 제 3 도전막을 마스크로 하여 상기 제 1 반도체 막에 불순물 원소를 도핑하고, 상기 제 4 도전막을 마스크로 하여 상기 제 3 반도체 막에 상기 불순물 원소를 도핑하고, 상기 제 2 도전막을 통하여 상기 제 2 반도체 막에 상기 불순물 원소를 도핑하는 단계를 포함하는 반도체 장치의 제작 방법.

청구항 3

반도체 장치의 제작 방법에 있어서,

기판 위에 제 1 반도체 막과, 제 2 반도체 막과, 제 3 반도체 막을 형성하는 단계와;

상기 제 1 반도체 막과, 상기 제 2 반도체 막과, 상기 제 3 반도체 막을 덮어 제 1 절연막을 형성하는 단계와;

상기 제 1 반도체 막과 상기 제 2 반도체 막 위에 상기 제 1 절연막을 개재하여 각각 제 1 도전막과 제 2 도전막을 형성하는 단계와;

상기 제 3 반도체 막 위에 형성된 상기 제 1 절연막을 제거하는 단계와;

상기 제 1 도전막과, 상기 제 2 도전막과, 상기 제 3 반도체 막을 덮어 제 2 절연막을 형성하는 단계와;

상기 제 1 도전막 위에 상기 제 2 절연막을 개재하여 제 3 도전막을 형성하는 단계와,

상기 제 3 반도체 막 위에 상기 제 2 절연막을 개재하여 선택적으로 제 4 도전막을 형성하는 단계와;

상기 제 3 도전막을 마스크로 하여 상기 제 1 반도체 막에 불순물 원소를 도핑하고, 상기 제 4 도전막을 마스크로 하여 제 3 반도체 막에 상기 불순물 원소를 도핑하고, 상기 제 2 도전막을 통하여 상기 제 2 반도체 막에 상기 불순물 원소를 도핑하는 단계와;

상기 제 3 도전막과, 상기 제 4 도전막과, 상기 제 2 절연막을 덮어 제 3 절연막을 형성하는 단계와;

상기 제 3 절연막 위에 안테나로서 기능하는 도전막을 형성하는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 4

제 1 항에 있어서,

유리 기판, 플라스틱 기판, SOI 기판 중의 어느 하나가 상기 기판으로서 사용되는, 반도체 장치의 제작 방법.

청구항 5

제 2 항에 있어서,

유리 기판, 플라스틱 기판, SOI 기판 중의 어느 하나가 상기 기판으로서 사용되는, 반도체 장치의 제작 방법.

청구항 6

제 3 항에 있어서,

유리 기판, 플라스틱 기판, SOI 기판 중의 어느 하나가 상기 기판으로서 사용되는, 반도체 장치의 제작 방법.

청구항 7

반도체 장치에 있어서,

기판과,

상기 기판 위에 섬 형상으로 형성된 제 1 반도체 막 및 제 2 반도체 막과;

상기 제 1 반도체 막과 상기 제 2 반도체 막 위에 형성된 제 1 절연막과;

상기 제 1 반도체 막과 상기 제 2 반도체 막 위에 상기 제 1 절연막을 개재하여 각각 형성된 제 1 도전막과 제 2 도전막과;

상기 제 1 도전막과 상기 제 2 도전막 위에 형성된 제 2 절연막과;

상기 제 1 도전막 위에 상기 제 2 절연막을 개재하여 형성된 제 3 도전막을 포함하고,

상기 제 1 반도체 막과, 상기 제 1 절연막과, 상기 제 1 도전막과, 상기 제 2 절연막과, 상기 제 3 도전막은 불휘발성 메모리 소자를 형성하기 위하여 적층되고,

상기 제 2 반도체 막, 상기 제 1 절연막 및 상기 제 2 도전막은 용량소자를 형성하기 위하여 적층되고,

상기 제 2 도전막 하방에 위치하는 상기 제 2 반도체 막의 영역에 포함되는 불순물 원소의 농도가 상기 제 1 도전막 하방에 위치하는 상기 제 1 반도체 막의 영역에 포함되는 불순물 원소의 농도보다 높은, 반도체 장치.

청구항 8

반도체 장치에 있어서,

기판과;

상기 기판 위에 섬 형상으로 형성된 제 1 반도체 막과, 제 2 반도체 막과, 제 3 반도체 막과;

상기 제 1 반도체 막과 상기 제 2 반도체 막 위에 형성된 제 1 절연막과;

상기 제 1 반도체 막과 상기 제 2 반도체 막 위에 상기 제 1 절연막을 개재하여 각각 형성된 제 1 도전막 및 제 2 도전막과;

상기 제 1 도전막과, 상기 제 2 도전막과, 상기 제 3 반도체 막 위에 형성된 제 2 절연막과;

상기 제 1 도전막 위에 상기 제 2 절연막을 개재하여 형성된 제 3 도전막과;

상기 제 3 반도체 막 위에 상기 제 2 절연막을 개재하여 형성된 제 4 도전막을 포함하고,

상기 제 1 반도체 막과, 상기 제 1 절연막과, 상기 제 1 도전막과, 상기 제 2 절연막과, 상기 제 3 도전막은 불휘발성 메모리 소자를 형성하기 위하여 적층되고,

상기 제 2 반도체 막과, 상기 제 1 절연막과, 상기 제 2 도전막은 용량 소자를 형성하기 위하여 적층되고,

상기 제 3 반도체 막과, 상기 제 2 절연막과, 상기 제 4 도전막은 박막 트랜지스터를 형성하기 위하여 적층되고,

상기 제 2 도전막 하방에 위치하는 상기 제 2 반도체 막의 영역에 포함되는 불순물 원소의 농도가 상기 제 1 도전막 하방에 위치하는 상기 제 1 반도체 막의 영역에 포함되는 불순물 원소의 농도보다 높고, 상기 제 4 도전막 하방에 위치하는 상기 제 3 반도체 막의 영역에 포함되는 불순물 원소의 농도보다 높은, 반도체 장치.

청구항 9

반도체 장치에 있어서,

기판과;

상기 기판 위에 섬 형상으로 형성된 제 1 반도체 막과, 제 2 반도체 막과, 제 3 반도체 막과;

상기 제 1 반도체 막과 상기 제 2 반도체 막 위에 형성된 제 1 절연막과;

상기 제 1 반도체 막과 상기 제 2 반도체 막 위에 상기 제 1 절연막을 개재하여 각각 형성된 제 1 도전막 및 제 2 도전막과;

상기 제 1 도전막과, 상기 제 2 도전막과, 상기 제 3 반도체 막 위에 형성된 제 2 절연막과;

상기 제 1 도전막 위에 상기 제 2 절연막을 개재하여 형성된 제 3 도전막과;

상기 제 3 반도체 막 위에 상기 제 2 절연막을 개재하여 형성된 제 4 도전막과;

상기 제 3 도전막, 상기 제 4 도전막과, 상기 제 2 절연막을 덮어 형성된 제 3 절연막과;

상기 제 3 절연막 위에 형성된 안테나로서 기능하는 도전막을 포함하고,

상기 제 1 반도체 막과, 상기 제 1 절연막과, 상기 제 1 도전막과, 상기 제 2 절연막과, 상기 제 3 도전막은 불휘발성 메모리 소자를 형성하기 위하여 적층되고,

상기 제 2 반도체 막과, 상기 제 1 절연막과, 상기 제 2 도전막은 용량 소자를 형성하기 위하여 적층되고,

상기 제 3 반도체 막과, 상기 제 2 절연막과, 상기 제 4 도전막은 박막 트랜지스터를 형성하기 위하여 적층되고,

상기 제 2 도전막 하방에 위치하는 상기 제 2 반도체 막의 영역에 포함되는 불순물 원소의 농도가 상기 제 1 도전막 하방에 위치하는 상기 제 1 반도체 막의 영역에 포함되는 불순물 원소의 농도보다 높고, 상기 제 4 도전막 하방에 위치하는 상기 제 3 반도체 막의 영역에 포함되는 불순물 원소의 농도보다 높은, 반도체 장치.

청구항 10

제 7 항에 있어서,

유리 기판, 플라스틱 기판, SOI 기판 중의 어느 하나가 상기 기판으로서 사용되는, 반도체 장치.

청구항 11

제 8 항에 있어서,

유리 기판, 플라스틱 기판, SOI 기판 중의 어느 하나가 상기 기판으로서 사용되는, 반도체 장치.

청구항 12

제 9 항에 있어서,

유리 기판, 플라스틱 기판, SOI 기판 중의 어느 하나가 상기 기판으로서 사용되는, 반도체 장치.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은, 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이며, 특히 메모리 소자를 가지는 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다.

배 경 기 술

[0002] 근년, 반도체 장치는 놀랍게 진보되며, 고집적화, 고밀도화에 따라, 반도체 장치 내부에 형성되는 트랜지스터나 용량 소자 등의 각 소자 패턴의 미세화가 급속하게 진행되고 있다. 저비용이며, 소형 및 대용량의 반도체 장치에의 요구는 강하고, 그 요구를 실현하기 위하여, 각 소자 패턴은 더욱 더 미세화되는 것이 불가결해지고 있다. 트랜지스터, 메모리 소자, 용량 소자 등의 각 소자의 치수를 작게 하여 점유 면적의 저감을 도모하는 것은 물론, 이들을 저비용화로 실현할 필요가 있고, 그 실현을 위하여 각종 구조 개발이 활발히 행해지고 있다.

[0003] 예를 들면, 특허문헌 1에서는, 박막 트랜지스터로 구성되는 화소 매트릭스 회로에 있어서, 용량 소자의 한 쪽의 전극을 불순물 원소가 도입된 반도체 막, 다른 쪽의 전극을 트랜지스터의 게이트 전극에 대응하는 도전막으로 하여, 2 개의 전극간에 트랜지스터의 게이트 절연막에 대응하는 절연막을 형성한 구성(트랜지스터 형의 용량 소자)으로 함으로써, 단위 면적당의 정전 용량을 크게 하고, 소자의 소면적화를 도모하는 것이 제안되고 있다.

[0004] [특허문헌 1] 특개2000-269512호 공보

발명의 내용

해결 하고자하는 과제

[0005] 용량 소자의 한 쪽의 전극을 불순물 원소가 도입된 반도체 막으로 형성하고, 다른 쪽의 전극을 트랜지스터의 게이트 전극에 대응하는 도전막으로 형성하는 경우, 기판 위에 반도체 막을 형성한 후, 게이트 전극을 형성하기 전에, 용량 소자를 구성하는 반도체 막에 고농도의 불순물 원소를 도입할 필요가 있다. 이것은, 트랜지스터를 구성하는 반도체 막에는, 게이트 전극을 마스크로 하여 자기정합적으로 고농도의 불순물 원소를 도입하기 때문이다. 그 결과, 제작 공정의 증가에 따른 코스트의 증대나, 게이트 전극을 형성하기 전에 고농도의 불순물 원소를 도입하지 않는 반도체 막에의 오염이 문제가 된다.

[0006] 또한, 이들 문제를 회피하기 위하여, 용량 소자의 전극으로서, 불순물 원소를 도입하지 않는 반도체 막을 사용하는 방법을 들 수 있지만, 용량 소자의 일단에 가해지는 전압이 트랜지스터형의 용량 소자의 임계 값 전압보다 낮게 될 때, 용량으로서 기능하지 않을 우려가 있다.

[0007] 본 발명은, 상기 문제를 감안하여, 제작 공정이 간략화된 반도체 장치의 제작 방법을 제공하는 것을 과제의 하나로 한다. 또는, 용량 소자의 면적이 축소화된 메모리 소자를 가지는 반도체 장치를 제공하는 것을 과제로 한다.

과제 해결수단

[0008] 본 발명은, 2개의 전극간에 절연막이 형성된 용량 소자를 구비하는 반도체 장치의 제작 방법이며, 한쪽의 전극이 되는 반도체 막에 절연막 및 다른 쪽의 전극이 되는 도전막을 통하여 불순물 원소를 도입하는 것을 특징으로 한다. 또한, 용량 소자의 한 쪽의 전극이 되는 반도체 막은 동일 기판 위에 형성되는 메모리 소자를 구성하는 반도체 막과 동시에 형성되고, 용량 소자의 다른 쪽의 전극이 되는 도전막은 메모리 소자를 구성하는 도전막(전하 축적층, 부유 게이트라고 불리는 경우도 있다)과 동시에 형성된다. 이하에, 본 발명의 반도체 장치 및 그 제작 방법에 관하여 구체적으로 기술한다.

[0009] 본 발명의 반도체 장치의 제작 방법의 하나는, 기판 위에 제 1 반도체 막과, 제 2 반도체 막을 형성하고, 제 1 반도체 막 및 제 2 반도체 막을 덮어 제 1 절연막을 형성하고, 제 1 반도체 막 및 제 2 반도체 막 위에, 제 1 절연막을 개재하여 각각 제 1 도전막 및 제 2 도전막을 형성하고, 제 1 도전막을 덮어 제 2 절연막을 형성하고, 제 1 반도체 막 위에 형성된 제 1 도전막 위에 제 2 절연막을 개재하여 제 3 도전막을 선택적으로 형성하고, 제 1 반도체 막에 제 3 도전막을 마스크로 하여 불순물 원소를 도입하여, 상기 제 2 반도체 막에 제 2 도전막을 통하여 불순물 원소를 도입한다.

[0010] 또한, 본 발명의 반도체 장치의 제작 방법의 하나는, 기판 위에 제 1 반도체 막과, 제 2 반도체 막과, 제 3 반도체 막을 형성하고, 제 1 반도체 막, 제 2 반도체 막 및 제 3 반도체 막을 덮어 제 1 절연막을 형성하고, 상기 제 1 반도체 막 및 상기 제 2 반도체 막 위에 제 1 절연막을 개재하여 각각 제 1 도전막 및 제 2 도전막을 선택적으로 형성하고, 제 3 반도체 막 위에 형성된 제 1 절연막을 제거하고, 제 1 도전막, 제 2 도전막 및 제 3 도전막을 덮어 제 2 절연막을 형성하고, 상기 제 1 반도체 막 위에 형성된 상기 제 1 도전막 위에 상기 제 2 절연막을 개재하여 제 3 도전막을 선택적으로 형성하고, 상기 제 3 반도체 막 위에 상기 제 2 절연막을 개재하여 제 4 도전막을 선택적으로 형성하고, 상기 제 1 반도체 막에 상기 제 3 도전막을 마스크로 하여 불순물 원소를 도입하고, 상기 제 3 반도체 막에 상기 제 4 도전막을 마스크로 하여 불순물 원소를 도입하고, 상기 제 2 반도체 막에 상기 제 2 도전막을 통하여 불순물 원소를 도입한다.

[0011] 또한, 본 발명의 반도체 장치의 제작 방법의 또 하나는, 기판 위에 제 1 반도체 막과, 제 2 반도체 막과, 제 3 반도체 막을 형성하고, 상기 제 1 반도체 막, 상기 제 2 반도체 막 및 상기 제 3 반도체 막을 덮어 제 1 절연막을 형성하고, 상기 제 1 반도체 막 및 상기 제 2 반도체 막 위에 제 1 절연막을 개재하여 각각 제 1 도전막 및 제 2 도전막을 선택적으로 형성하고, 상기 제 3 반도체 막 위에 형성된 상기 제 1 절연막을 제거하고, 상기 제 1 도전막, 상기 제 2 도전막 및 상기 제 3 반도체 막을 덮어 제 2 절연막을 형성하고, 상기 제 1 반도체 막 위에 형성된 상기 제 1 도전막 위에 상기 제 2 절연막을 개재하여 제 3 도전막을 선택적으로 형성하고, 상기 제 3 반도체 막 위에 상기 제 2 절연막을 개재하여 제 4 도전막을 선택적으로 형성하고, 상기 제 1 반도체 막에 상기 제 3 도전막을 마스크로 하여 불순물 원소를 도입하고, 상기 제 3 반도체 막에 상기 제 4 도전막을 마스크로 하여 불순물 원소를 도입하고, 상기 제 2 반도체 막에 상기 제 2 도전막을 통하여 불순물 원소를 도입하고, 상기 제 3 도전막, 상기 제 4 도전막 및 상기 제 2 절연막을 덮어 제 3 절연막을 형성하고, 상기 제 3 절연막 위에 안테나로서 기능하는 도전막을 형성한다.

[0012] 본 발명의 반도체 장치의 하나는, 기판 위에 섬 형상으로 형성된 제 1 반도체 막과, 제 2 반도체 막과, 상기 제 1 반도체 막 및 상기 제 2 반도체 막 위에 형성된 제 1 절연막과, 상기 제 1 반도체 막 및 상기 제 2 반도체 막 위에 상기 제 1 절연막을 개재하여 각각 형성된 제 1 도전막 및 제 2 도전막과, 상기 제 1 도전막 및 상기 제 2 도전막 위에 형성된 제 2 절연막과, 상기 제 1 도전막 위에 상기 제 2 절연막을 개재하여 형성된 제 3 도전막을 가지고,

[0013] 상기 제 1 반도체 막, 상기 제 1 절연막, 상기 제 1 도전막, 상기 제 2 절연막 및 상기 제 3 도전막의 적층에 의하여 불휘발성 메모리 소자가 구성되고, 상기 제 2 반도체 막, 상기 제 1 절연막 및 상기 제 2 도전막의 적층에 의하여 용량 소자가 구성되고, 상기 제 2 도전막의 하방에 위치하는 상기 제 2 반도체 막의 영역에 포함되는 불순물 원소의 농도가, 상기 제 1 도전막의 하방에 위치하는 제 1 반도체 막의 영역에 포함되는 불순물 원소의 농도보다 높은 것을 특징으로 한다.

[0014] 또한, 본 발명의 반도체 장치의 하나는, 기판 위에 섬 형상으로 형성된 제 1 반도체 막과, 제 2 반도체

막과, 제 3 반도체 막과, 상기 제 1 반도체 막 및 상기 제 2 반도체막 위에 형성된 제 1 절연막과, 상기 제 1 반도체 막 및 상기 제 2 반도체 막 위에 상기 제 1 절연막을 개재하여 각각 형성된 제 1 도전막 및 제 2 도전막과, 상기 제 1 도전막, 상기 제 2 도전막 및 상기 제 3 반도체 막 위에 형성된 제 2 절연막과, 상기 제 1 도전막 위에 상기 제 2 절연막을 개재하여 형성된 제 3 도전막과, 상기 제 3 반도체 막 위에 상기 제 2 절연막을 개재하여 형성된 제 4 도전막을 가지고, 상기 제 1 반도체 막, 상기 제 1 절연막, 상기 제 1 도전막, 상기 제 2 절연막 및 상기 제 3 도전막의 적층에 의하여 불휘발성 메모리 소자가 구성되고, 상기 제 2 반도체 막, 상기 제 1 절연막 및 상기 제 2 도전막의 적층에 의하여 용량 소자가 구성되고, 상기 제 3 반도체 막, 상기 제 2 절연막 및 상기 제 4 도전막의 적층에 의하여 박막 트랜지스터가 구성되고, 상기 제 2 도전막의 하방에 위치하는 상기 제 2 반도체 막의 영역에 포함되는 불순물 원소의 농도가, 상기 제 1 도전막의 하방에 위치하는 상기 제 1 반도체 막의 영역에 포함되는 불순물 원소의 농도 및 상기 제 4 도전막의 하방에 위치하는 상기 제 3 반도체 막의 영역에 포함되는 불순물 원소의 농도보다 높은 것을 특징으로 한다.

[0015] 또한, 본 발명의 반도체 장치의 또 하나는, 기판 위에 섬 형상으로 형성된 제 1 반도체 막과, 제 2 반도체 막과, 제 3 반도체 막과, 상기 제 1 반도체 막 및 상기 제 2 반도체 막 위에 형성된 제 1 절연막과, 상기 제 1 반도체 막 및 상기 제 2 반도체 막 위에 상기 제 1 절연막을 개재하여 각각 형성된 제 1 도전막 및 제 2 도전막과, 상기 제 1 도전막, 상기 제 2 도전막 및 상기 제 3 반도체 막 위에 형성된 제 2 절연막과, 상기 제 1 도전막 위에 상기 제 2 절연막을 개재하여 형성된 제 3 도전막과, 상기 제 3 반도체 막 위에 상기 제 2 절연막을 개재하여 형성된 제 4 도전막과, 상기 제 3 도전막, 상기 제 4 도전막 및 상기 제 2 절연막을 덮어 형성된 제 3 절연막과, 상기 제 3 절연막 위에 형성된 안테나로서 기능하는 도전막을 가지고, 상기 제 1 반도체 막, 상기 제 1 절연막, 상기 제 1 도전막, 상기 제 2 절연막 및 상기 제 3 도전막의 적층에 의하여 불휘발성 메모리 소자가 구성되고, 상기 제 2 반도체 막, 상기 제 1 절연막 및 상기 제 2 도전막의 적층에 의하여 용량 소자가 구성되고, 상기 제 3 반도체 막, 상기 제 2 절연막 및 상기 제 4 도전막의 적층에 의하여 박막 트랜지스터가 구성되고, 상기 제 2 도전막의 하방에 위치하는 상기 제 2 반도체 막의 영역에 포함되는 불순물 원소의 농도가, 상기 제 1 도전막의 하방에 위치하는 상기 제 1 반도체 막의 영역에 포함되는 불순물 원소의 농도 및 상기 제 4 도전막의 하방에 위치하는 상기 제 3 반도체 막의 영역에 포함되는 불순물 원소의 농도보다 높은 것을 특징으로 한다.

효 과

[0016] 본 발명에 의하면, 트랜지스터 또는 메모리 소자를 구성하는 반도체 막에 불순물 원소를 도입할 때, 용량 소자의 한 쪽의 전극이 되는 반도체 막에 다른 쪽의 전극을 통하여 불순물 원소의 도입을 행함으로써, 제작 공정을 줄여 저비용화를 도모할 수 있다. 또한, 용량 소자를 구성하는 절연막을, 메모리 소자의 터널(tunnel) 절연막으로서 기능할 수 있는 절연막과 같은 정도의 막 두께로 제작함으로써, 단위 면적당의 정전 용량을 크게 하여, 소자의 소면적화를 도모할 수 있다.

발명의 실시를 위한 구체적인 내용

[0017] 이하에, 본 발명의 실시형태를 도면에 의거하여 설명한다. 그러나, 본 발명은 많은 다른 모양으로 실시하는 것이 가능하고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 실시형태를 설명하기 위한 모든 도면에 있어서, 동일 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

[0018] (실시형태 1)

[0019] 본 실시형태에서는, 본 발명의 반도체 장치의 제작 방법 및 상기 제작 방법에 의하여 얻어진 반도체 장치의 구성에 관하여 도면을 참조하여 설명한다.

[0020] 도 1a 내지 도 2d를 참조하여, 본 실시형태에서 나타내는 반도체 장치의 제작 방법을 설명한다.

[0021] 우선, 기판(101)의 일 표면에 절연막(102)을 형성하고, 상기 절연막(102) 위에 비정질 반도체 막(103)(예를 들면, 비정질 규소를 포함하는 막)을 형성한다(도 1a 참조). 절연막(102)으로서 비정질 반도체 막(103)은, 진공중에 있어서 연속하여 형성할 수 있다. 연속하여 형성함으로써, 대기에 노출되지 않기 때문에 불순물 원소의 혼입을 방지할 수 있다.

[0022] 기판(101)은, 유리 기판, 석영 기판, 금속 기판이나 스테인리스 기판, 본 공정의 처리온도에 견딜 수

있는 내열성이 있는 플라스틱 기판 등을 사용하면 좋다. 이러한 기판이라면, 그 면적이나 형상에 크게 제한되지 않기 때문에, 예를 들면, 1 변이 1 m 이상이며, 구형 형상인 것을 사용하면, 생산성을 각별하게 향상시킬 수 있다. 이러한 이점은, 원 형상의 규소 기판을 사용하는 경우와 비교하면, 큰 우위점이다. 따라서, 집적 회로부를 크게 형성한 경우라도, 규소 기판을 사용하는 경우와 비교하여 저비용화를 실현할 수 있다.

[0023] 절연막(102)은, 스퍼터링법이나 플라즈마 CVD법 등에 의하여, 규소의 산화물 또는 규소의 질화물을 포함하는 막(예를 들면, 산화규소(SiO_x)막, 산화질화규소(SiO_xN_y)(x > y)막, 질화규소(SiN_x)막, 질화산화규소(SiN_xO_y)(x > y)막 등)을, 단층 또는 적층으로 형성한다. 하지가 되는 절연막이 2 층 구조인 경우, 예를 들면, 제 1 층째의 절연막으로서 질화산화규소막을 형성하고, 제 2 층째의 절연막으로서 산화질화규소막을 형성하면 좋다. 하지가 되는 절연막이 3 층 구조인 경우, 제 1 층째의 절연막으로서, 제 1 층째의 절연막으로서 산화규소막을 형성하고, 제 2 층째의 절연막으로서 질화산화규소막을 형성하고, 제 3 층째의 절연막으로서 산화질화규소막을 형성하면 좋다. 또는, 제 1 층째의 절연막으로서 산화질화규소막을 형성하고, 제 2 층째의 절연막으로서 질화산화규소막을 형성하고, 제 3 층째의 절연막으로서 산화질화규소막을 형성하면 좋다. 하지가 되는 절연막은, 기판(101)으로부터의 불순물의 침입을 방지하는 블로킹층으로서 기능한다.

[0024] 반도체 막(103)은, 스퍼터링법, LPCVD법, 플라즈마 CVD법 등에 의하여, 25 nm 내지 200 nm(바람직하게는 30 nm 내지 150 nm)의 막 두께로 형성한다. 반도체 막(103)으로서, 여기서는 비정질 규소막을 형성한다.

[0025] 다음에, 비정질 반도체 막(103)에 레이저 광을 조사하여 결정화를 행한다. 또한, 레이저 광의 조사와, RTA 또는 퍼니스 어닐링로를 사용하는 열 결정화법, 결정화를 촉진하는 금속원소를 사용하는 열 결정화법을 조합한 방법 등에 의하여 비정질 반도체 막(103)의 결정화를 행하여도 좋다. 그 후, 얻어진 결정질 반도체 막을 원하는 형상으로 에칭하여, 결정질 반도체 막(103a, 103b)을 형성하고, 상기 결정질 반도체 막(103a, 103b)을 덮도록 게이트 절연막(104a, 104b)을 각각 형성한다(도 1b 참조).

[0026] 결정질 반도체 막(103a, 103b)의 제작 공정의 일례를 이하에 간단히 설명하면, 우선, 플라즈마 CVD법을 사용하여, 막 두께 50 nm 내지 60 nm의 비정질 반도체 막(103)(예를 들면, 비정질 규소막)을 형성한다. 다음에, 결정화를 촉진하는 금속 원소인 니켈을 비정질 반도체 막에 첨가시킨 후, 비정질 반도체 막에 탈수소화의 처리(500℃, 1시간)와, 열 결정화의 처리(550℃, 4시간)를 행하여 결정질 반도체 막을 형성한다. 그 후, 레이저 발진기로부터 레이저 광을 조사하여, 포토리소그래피법을 사용함으로써 결정질 반도체 막(103a, 103b)을 형성한다. 또한, 결정화를 촉진하는 금속 원소를 사용하는 열 결정화를 행하지 않고, 레이저 광의 조사만으로 비정질 반도체 막의 결정화를 행하여도 좋다.

[0027] 절연막(104a, 104b)은, CVD법이나 스퍼터링법 등에 의하여, 규소의 산화물 또는 규소의 질화물을 포함하는 막을, 단층 또는 적층하여 형성한다. 구체적으로는 산화규소막, 산화질화규소막, 질화규소막, 질화산화규소막을, 단층 또는 적층하여 형성한다.

[0028] 또한, 절연막(104a, 104b)은 반도체 막(103a, 103b)에 대하여 플라즈마 처리를 행하여, 표면을 산화 또는 질화함으로써 형성하여도 좋다. 예를 들면, He, Ar, Kr, Xe 등의 희가스와, 산소, 산화질소(NO_2), 암모니아, 질소, 수소 등의 혼합 가스를 도입한 플라즈마 처리로 형성한다. 이 경우의 플라즈마의 여기는 마이크로파의 도입에 의하여 행하면, 저전자 온도로 고밀도의 플라즈마를 생성할 수 있다. 이 고밀도 플라즈마로 생성된 산소 라디칼(OH 라디칼을 포함하는 경우도 있다)이나 질소 라디칼(NH 라디칼을 포함하는 경우도 있다)에 의하여, 반도체 막의 표면을 산화 또는 질화할 수 있다.

[0029] 이러한 고밀도 플라즈마를 사용한 처리에 의하여, 1 nm 내지 20 nm, 대표적으로는 5 nm 내지 10 nm의 절연막이 반도체 막에 형성된다. 이 경우의 반응은, 고상 반응이기 때문에, 상기 절연막과 반도체 막의 계면 준위 밀도는 극히 낮게 할 수 있다. 이러한 고밀도 플라즈마 처리는, 반도체 막(결정성 규소, 또는 다결정 규소)을 직접 산화(또는 질화)하기 때문에, 형성되는 절연막의 막 두께의 편차를 극히 작게 할 수 있다. 또한, 결정성 규소의 결정립계에서도 산화가 강해지지 않기 때문에, 매우 바람직한 상태가 된다. 즉, 여기에서 나타내는 고밀도 플라즈마 처리로 반도체 막의 표면을 고상 산화함으로써, 결정립계에서 지나치게 산화 반응시키지 않고, 균일성이 좋고, 계면 준위 밀도가 낮은 절연막을 형성할 수 있다.

[0030] 절연막(104a, 104b)은 고밀도 플라즈마 처리에 의하여 형성되는 절연막만을 사용하여도 좋고, 이것에 더하여 플라즈마나 열 반응을 이용한 CVD법으로 산화규소, 산질화규소, 질화규소 등의 절연막을 퇴적하여, 적층시켜도 좋다. 어쨌든, 고밀도 플라즈마로 형성한 절연막을 게이트 절연막의 일부 또는 전부에 포함하여 형성되

는 트랜지스터는 특성의 편차를 작게 할 수 있다.

[0031] 다음에, 절연막(104a, 104b) 위에 도전막(105)을 형성한다(도 1c 참조). 도전막(105)은, 예를 들면, 텅스텐(W), 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 크롬(Cr), 규소(Si)로부터 선택되는 원소로 이루어지는 막, 또는 상기 원소의 질화물로 이루어지는 막(대표적으로는, 질화텅스텐막, 질화탄탈막, 질화티타늄막), 또는 상기 원소를 조합한 합금막(대표적으로는 Mo-W합금, Mo-Ta합금), 또는 상기 원소의 실리사이드 막(대표적으로는 텅스텐실리사이드막, 티타늄실리사이드막, 니켈실리사이드막)을 형성할 수 있다. 규소막에 대하여는, 인이나 붕소 등의 불순물을 첨가하여도 좋다. 단층의 도전막으로 형성하여도 좋지만, 2 층, 3 층 등의 적층막으로 하여도 좋다. 스퍼터링법 또는 CVD법에 의하여 형성한다.

[0032] 다음에, 도전막(105) 위에 선택적으로 레지스트(106)를 형성하고, 상기 레지스트(106)를 마스크로 하여 도전막(105)을 선택적으로 에칭하여, 반도체 막(103a) 위에 도전막(105a), 반도체 막(103b) 위에 도전막(105b)을 잔존시킨다. 이어서, 상기 레지스트(106)를 마스크로 하여, 반도체 막(103a, 103b)에 불순물 원소를 도입하여, 반도체 막(103a, 103b)에 불순물 영역(107)을 형성한다(도 1d 참조).

[0033] 도입하는 불순물 원소는, n형의 불순물 원소 또는 p형의 불순물 원소를 사용한다. n형의 불순물 원소로서는, 인(P), 비소(As) 등을 사용할 수 있다. p형의 불순물 원소로서는, 붕소(B)나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. 여기에서는, 반도체 막(103a, 103b)에 인(P)을 도입하고, n형의 불순물 영역(107)을 형성하는 경우에 대하여 나타낸다.

[0034] 또한, 도전막(105a)은, 후에 형성되는 메모리 소자에 있어서 부유 게이트로서 기능할 수 있다. 도전막(105b)은, 후에 형성되는 용량 소자에 있어서 전극으로서 기능할 수 있다.

[0035] 다음에, 레지스트(106)를 제거한 후, 도전막(105a, 105b)을 덮도록 절연막(108)을 형성한다(도 1e 참조). 절연막(108)은, 스퍼터링법이나 플라즈마 CVD법 등에 의하여, 규소의 산화물 또는 규소의 질화물을 포함하는 막(예를 들면, 산화규소막, 산화질화규소막, 질화규소막, 질화산화규소막 등)을, 단층 또는 적층으로 형성한다. 예를 들면, 산화질화규소막과 질화규소막과 산화질화규소막을 순차로 적층시킨 구조로 형성할 수 있다.

[0036] 다음에, 절연막(108) 위에 도전막(109)을 형성한다(도 1f 참조).

[0037] 도전막(109)은, 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄 (Al), 구리(Cl), 크롬(Cr), 니오븀(Nb) 등으로부터 선택되는 원소로 이루어지는 막, 또는 이들 원소의 질화물로 이루어지는 막(대표적으로는, 질화탄탈막, 질화텅스텐, 질화티타늄막), 또는 상기 원소를 조합한 합금막(대표적으로는 Mo-W합금, Mo-Ta합금), 또는, 상기 원소의 실리사이드 막(대표적으로는 텅스텐실리사이드 막, 티타늄실리사이드 막, 니켈실리사이드 막)을 사용할 수 있다. 또한, 도전막(109)은, 복수의 도전막을 적층시킨 구조로 형성하여도 좋고, 예를 들면, 막 두께가 20 nm 내지 100 nm의 질화탄탈막과, 막 두께가 100 nm 내지 400 nm의 텅스텐 막을 순차로 적층시킨 구조로 형성할 수 있다. 텅스텐이나 질화탄탈은, 내열성이 높으므로, 도전막을 형성한 후에, 열 활성화를 목적으로 한 가열 처리를 행할 수 있다.

[0038] 다음에, 도전막(109) 위에 선택적으로 레지스트(110)를 형성하고, 상기 레지스트(110)를 마스크로 하여 도전막(109)을 선택적으로 에칭하여, 반도체 막(103a) 위에 도전막(109)을 잔존시킨다(도 2 a 참조). 반도체 막(103b) 위에 형성된 도전막(109)은 제거한다.

[0039] 다음에, 레지스트(110)를 제거한 후, 도전막(109a)을 마스크로 하여, 반도체 막(103a, 103b)에 불순물 원소를 도입한다(도 2b 참조). 반도체 막(103a)에는 도전막(109a)과 겹치지 않는 부분에 불순물 원소가 도입되고, 불순물 영역(111a)이 형성된다. 또한, 불순물이 저농도 포함된 LDD 영역(133)도 형성된다. 반도체 막(103b)에는, 도전막(105b)을 통과하여 전면에 불순물 원소를 도입함으로써, 불순물 영역(112a)과 도전막(105b)과 겹치는 불순물 영역(112b)가 형성된다. 또한, 여기에서는, 도전막(105a)의 하방에 위치하는 반도체 막(103a)의 영역에는 불순물 원소가 도입되지 않는다. 그 결과, 도전막(105b)의 하방에 위치하는 반도체 막(103b)의 영역에 포함되는 불순물 원소의 농도는, 도전막(105a)의 하방에 위치하는 반도체 막(103a)의 영역에 포함되는 불순물 원소의 농도보다 높게 된다.

[0040] 도입하는 불순물 원소는, n형의 불순물원소 또는 p형의 불순물 원소를 사용한다. n형의 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. p형의 불순물 원소로서는, 붕소(B)나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. 여기에서는, 반도체 막(103a, 103b)에 고농도의 인(P)을 도입하여, n형의 불순물 원소 영역(111a, 112a, 112b)을 형성하는 경우에 대하여 나타낸다. 또한, 불순물 영역(111a, 112a, 112b)에

포함되는 불순물 원소의 농도는, 상기 도 1d에서 형성한 불순물 영역(107)에 포함되는 불순물 원소의 농도보다 높게 되도록 형성한다. 물론, 붕소(B)를 도입하여, p형의 불순물 영역을 형성하여도 좋다.

[0041] 또한, 도전막(105b)을 통과하여 반도체 막(103b)에 불순물 원소를 도입하는 경우, 반도체 막(103b) 위에 형성된 절연막 104b, 도전막(105b), 절연막 108이 박막이며, 불순물 원소의 도입을 고가속으로 행하는 것이 바람직하다. 구체적으로는, 절연막(104b)의 막 두께를 5 nm 내지 15 nm, 도전막(105b)의 막 두께를 10 nm 내지 50 nm, 절연막(108)의 막 두께를 20 nm 내지 60 nm로 형성하고, 도핑법에 의한 불순물 원소의 도입의 가속 전압을 30 kV 내지 80 kV, 바람직하게는, 절연막(104b)의 막 두께를 8 nm 내지 10 nm, 도전막(105b)의 막 두께를 20 nm 내지 40 nm, 절연막(108)의 막 두께를 30 nm 내지 40 nm, 불순물 원소의 도입의 가속 전압을 40 kV 내지 50 kV로 하는 것이 바람직하다. 가속 전압이 지나치게 높은 경우에는 절연막(104b)이 대미지를 받을 우려가 있지만, 상술한 조건으로 행하는 경우에는 절연막(104b)에 가해지는 대미지를 억제하면서, 도전막(105b)과 겹치는 반도체 막(103b)의 영역에도 불순물 원소를 도입할 수 있다.

[0042] 이와 같이, 트랜지스터형 메모리 소자의 반도체 막에 소스 영역 또는 드레인 영역으로서 기능할 수 있는 불순물 영역을 형성하는 공정에 있어서, 용량 소자를 구성하는 반도체 막에 불순물 원소를 도입함으로써, 제작 공정수를 삭감하여 저비용화를 도모할 수 있다.

[0043] 다음에, 도전막(109a), 절연막 108을 덮도록 절연막 113을 형성한다(도 2c 참조). 절연막(113)은, CVD법, 스퍼터링법, SOG법, 액적토출법, 스크린 인쇄법 등에 의하여, 규소의 산화물이나 규소의 질화물 등의 무기 재료, 폴리이미드, 폴리아미드, 벤조시클로부텐, 아크릴, 에폭시 등의 유기 재료나 실록산 재료 등에 의하여, 단층 또는 적층으로 형성한다. 예를 들면, 절연막(113)을, 질화산화규소막과 산화질화규소막의 2 층의 적층 구조로 형성할 수 있다. 또한, 실록산 재료란, Si-O-Si 결합을 포함하는 재료에 상당한다. 실록산은, 규소(Si)와 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 포함하는 유기기(예를 들면, 알킬기, 방향족 탄화수소)가 사용된다. 치환기로서, 플루오르기를 사용할 수도 있다. 또는 치환기로서, 적어도 수소를 포함하는 유기기와 플루오르기를 사용하여도 좋다.

[0044] 또한, 절연막(113)을 형성하기 전에, 또는 절연막(113)을 형성한 후에, 반도체 막의 결정성의 회복이나 반도체 막에 첨가된 불순물 원소의 활성화, 반도체 막의 수소화를 목적으로 한 가열 처리를 행하면 좋다. 가열 처리에는, 열 어닐링법, 레이저 어릴링법 또는 RTA법 등을 적용할 수 있다.

[0045] 다음에, 반도체 막(103a)의 불순물 영역(111a), 반도체 막(103b)의 불순물 영역(112a)에 전기적으로 접속된 도전막(114)을 각각 형성한다(도 2d 참조). 여기에서는, 절연막(104a, 104b, 108, 113)에 개구부를 형성함으로써 반도체 막(103a)의 불순물 영역(111a 및 반도체 막(103b)의 불순물 영역(112a)의 일부를 노출시켜, 상기 개구부에 도전막(114)을 형성한다.

[0046] 도전막(114)은, CVD법이나 스퍼터링법 등에 의하여, 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd), 탄소(C), 규소(Si)로부터 선택되는 원소, 또는 이들 원소를 주성분으로 하는 합금 재료 또는 화합물 재료를 사용하여, 단층 또는 적층으로 형성한다. 알루미늄을 주성분으로 하는 합금 재료란, 예를 들면, 알루미늄을 주성분으로 하고 니켈을 함유하는 재료, 또는 알루미늄을 주성분으로 하고, 니켈과, 탄소와 규소의 한쪽 또는 양쪽 모두를 포함하는 합금 재료에 상당한다. 도전막(114)은, 예를 들면, 배리어막과 알루미늄규소(Al-Si)막과 배리어막의 적층 구조, 배리어막과 알루미늄규소(Al-Si)막과 질화티타늄(TiN)막과 배리어막의 적층 구조를 채용하면 좋다. 또한, 배리어막이란, 티타늄, 티타늄의 질화물, 몰리브덴, 또는 몰리브덴의 질화물로 이루어지는 박막에 상당한다. 알루미늄이나 알루미늄 규소는 저항값이 낮고, 저렴하기 때문에, 도전막(114)을 형성하는 재료로서 최적이다. 또한, 상층과 하층의 배리어층을 형성하면, 알루미늄이나 알루미늄규소의 힐록의 발생을 방지할 수 있다. 또한, 환원성이 높은 원소인 티타늄으로 이루어지는 배리어막을 형성하면, 결정질 반도체 막 위에 얇은 자연 산화막이 형성되더라도, 이 자연 산화막을 환원하여, 결정질 반도체 막과 양호한 콘택트를 취할 수 있다.

[0047] 이상의 공정에 의하여, 메모리 소자(120)와 용량 소자(121)를 가지는 반도체 장치를 얻을 수 있다.

[0048] 본 실시형태에서 나타내는 반도체 장치에 있어서, 메모리 소자(120)는, 터널 절연막으로서 기능할 수 있는 절연막(104a), 부유 게이트로서 기능할 수 있는 도전막(105a), 도전막(105a)과 도전막(109a)의 층간막이 되는 절연막(108) 및 게이트 전극으로서 기능할 수 있는 도전막(109a)을 가진다.

[0049] 용량 소자(121)는, 전극이 되는 반도체 막(103b) 및 도전막(105b) 사이에 절연막(104b)이 형성된 구조가 된다. 또한, 도전막(105b)은 메모리 소자(120)의 부유 게이트로서 기능할 수 있는 도전막(105a)과 동일한

재료로 형성되고, 절연막(104b)은 메모리 소자(120)의 터널 절연막으로서 기능할 수 있는 절연막(104b)과 동일한 재료로 형성된다. 용량 소자(121)의 절연막(104b)으로서, 메모리 소자(120)의 터널 절연막으로서 기능할 수 있는 절연막(104a)과 동일한 재료로 형성함으로써, 용량 소자를 구성하는 절연막의 막 두께를 얇게 형성할 수 있으므로, 용량 소자의 면적을 작게 할 수 있다.

[0050] 이와 같이, 메모리 소자(120)와 용량 소자(121)를 동일한 공정으로 형성함으로써 제작 공정의 간략화를 도모하여 저비용화를 실현할 수 있다. 특히, 본 실시형태에서는, 용량 소자(121)의 한 쪽의 전극이 되는 반도체 막에의 불순물 원소의 도입을 도전막(105b)을 통과하여 행함으로써, 반도체 막(105b)를 형성하기 전에 반도체 막(103b)에만 선택적으로 불순물 원소를 도입하는 공정을 생략할 수 있으므로, 제작 공정의 간략화를 도모할 수 있다.

[0051] 또한, 본 실시형태에서는, 메모리 소자로서 박막 트랜지스터(TFT)형의 메모리 소자 또는 용량 소자를 사용하는 예를 나타내지만, 이것에 한정되지 않는다. 예를 들면, SOI 기판을 사용하여 형성되는 반도체 막을 메모리 소자의 한 쪽의 전극으로서 형성하는 구성으로 하여도 좋다.

[0052] 본 실시형태는, 본 명세서의 다른 실시형태에서 나타내는 반도체 장치의 구성이나 제작 방법과 조합하여 행할 수 있다.

[0053] (실시형태 2)

[0054] 본 실시형태에서는, 상기 실시형태와 다른 반도체 장치의 제작 방법 및 상기 제작 방법에 의하여 얻어지는 반도체 장치의 구성에 관하여 도면을 참조하여 설명한다. 구체적으로는, 동일 공정으로 메모리 소자, 용량 소자 및 트랜지스터를 제작하는 방법 및 상기 제작 방법에 의하여 얻어지는 반도체 장치의 구성에 관하여 도면을 참조하여 설명한다.

[0055] 도 3a 내지 도 5b를 참조하여, 본 실시형태에서 나타내는 반도체 장치의 제작 방법을 설명한다.

[0056] 우선, 기판(101)의 일 표면에 절연막(102)을 통하여, 섬 형상의 반도체 막(103a, 103b, 203a, 203b)을 형성한다(도 3a 참조). 또한, 반도체 막(103a)은 후에 형성되는 메모리 소자를 구성하고, 반도체 막(103b)은 후에 형성되는 용량 소자를 구성하고, 반도체 막(203a, 203b)은 후에 형성되는 박막 트랜지스터를 구성한다.

[0057] 다음에, 반도체 막(103a, 103b, 203a, 203b)을 덮도록 절연막(104a, 104b, 204a, 204b)을 각각 형성하고, 그 후, 상기 절연막(104a, 104b, 204a, 204b)을 덮도록 도전막(105)을 형성한다(도 3b 참조).

[0058] 또한, 임계값 등을 제어하기 위하여, 반도체 막(103a, 203a, 203b)에 미리 저농도의 불순물 원소를 도입하여도 좋다. 이 경우는, 반도체 막(103a, 203a, 203b)에 있어서, 후에 채널 형성 영역으로 되는 영역에도 불순물 원소가 도입된다. 불순물 원소로서는, n형을 부여하는 불순물 원소 또는 p형을 부여하는 불순물 원소를 사용할 수 있다. n형을 나타내는 불순물 원소로서는, 인(P), 비소(As) 등을 사용할 수 있다. p형을 나타내는 불순물 원소로서는, 붕소(B)나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. 여기에서는, 불순물 원소로서, 붕소(B)를 5 x 10^{15}/cm^3 내지 5 x 10^{17}/cm^3의 농도로 포함되도록 반도체 막(103a, 203a, 203b)의 전면에 미리 도입한다.

[0059] 다음에, 반도체 막(203a, 203b) 상방에 형성된 도전막(105)을 선택적으로 제거한 후, 절연막 204a 및 절연막 204b를 제거한다(도 3c 참조). 또한, 반도체 막(103a, 103b) 상방에는 도전막(105)을 잔존시킨다.

[0060] 다음에, 잔존된 도전막(105) 위에 선택적으로 레지스트(106)를 형성하고, 반도체 막(203a, 203b)을 덮도록 레지스트(106)를 형성한 후, 상기 레지스트(106)를 마스크로 하여 잔존된 도전막 105를 또한 선택적으로 에칭하여, 반도체 막 103a 위에 도전막 105a, 반도체 막 103b 위에 도전막 105b를 잔존시킨다. 이어서, 상기 레지스트(106)를 마스크로 하여, 반도체 막(103a, 103b)에 불순물 원소를 도입하여, 반도체 막(103a, 103b)에 불순물 영역(107)을 형성한다(도 3d 참조).

[0061] 도입하는 불순물 원소는, n형의 불순물 원소 또는 p형의 불순물 원소를 사용한다. n형의 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. p형의 불순물 원소로서는, 붕소(B)나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. 여기에서는, 반도체 막(103a,103b)에 인(P)을 도입하여, n형의 불순물 영역(107)을 형성하는 경우에 대하여 나타낸다.

[0062] 다음에, 레지스트(106)를 제거한 후, 반도체 막(203a, 203b), 도전막(105a, 105b)을 덮도록 절연막(108)을 형성한 후, 상기 절연막(108) 위에 도전막(109)을 형성한다(도 4a 참조).

[0063] 다음에, 도전막(109) 위에 선택적으로 레지스트(110)를 형성하고, 상기 레지스트(110)를 마스크로 하여 도전막(109)을 선택적으로 에칭하여, 반도체 막(103a, 203a, 203b) 위에 각각 도전막(109, 209a, 209b)을 잔존시킨다(도 4b 참조). 반도체 막(103b) 위에 형성되는 도전막(109)은, 제거한다.

[0064] 다음에, 레지스트(110)를 제거한 후, 반도체 막(103a, 203b)을 덮도록 레지스트(210a)를 형성하고, 상기 레지스트(210a), 도전막(209a)을 마스크로 하여, 반도체 막(203a, 103b)에 불순물 원소를 도입한다(도 4c 참조). 반도체 막(203a)에는, 도전막(209a)과 겹치지 않는 영역에 불순물 원소가 도입되고, 불순물 영역(211)이 형성된다. 반도체 막(103b)에는, 도전막(105b)을 통과하여 전면에 불순물 원소가 도입되고, 불순물 영역(112a)과 도전막(105b)과 겹치는 불순물 영역(112b)이 형성된다.

[0065] 또한, 도입하는 불순물 원소는, n형의 불순물 원소 또는 p형의 불순물 원소를 사용한다. 여기에서는, 반도체 막(203a, 103b)에, 고농도의 p형 불순물 원소이며 경(輕)원소인 붕소(B)를 도입하여, p형의 불순물 영역(211, 112a, 112b)을 형성하는 경우에 대하여 나타낸다. 절연막(108), 도전막(105), 절연막(104b)을 통하여 반도체 막(103b)에 불순물 원소의 도입을 행하는 경우, 붕소(B) 등의 경원소를 사용함으로써 절연막(104b)에 가해지는 대미지를 저감할 수 있다.

[0066] 다음에, 레지스트(210a)를 제거한 후, 반도체 막(103b, 203a)을 덮도록 레지스트(210b)를 형성하고, 상기 레지스트(210b), 도전막(109, 209b)을 마스크로서, 반도체 막(103a, 203b)에 불순물 원소를 도입한다(도 5a 참조). 반도체 막(103a)에는, 도전막(109)과 겹치지 않는 영역에 불순물 원소가 도입되고, 불순물 영역(111)이 형성된다. 반도체 막(203b)에는, 도전막(209b)과 겹치지 않는 영역에 불순물 원소가 도입되고, 불순물 영역(212)이 형성된다. 또한, 반도체 막(103b)에의 불순물 원소의 도입은, 도 4c에서 행하지 않고, 도 5a에 있어서, 반도체 막(103b, 203a)에의 불순물 원소의 도입과 동시에 행하여도 좋다. 그 결과, 도전막(105b)의 하방에 위치하는 반도체 막(103b)의 영역에 포함되는 불순물 원소의 농도는, 도전막(105a) 하방에 위치하는 반도체 막(103a)의 영역에 포함되는 불순물 원소의 농도, 도전막(209a) 하방에 위치하는 반도체 막(203a)의 영역에 포함되는 불순물 원소의 농도 및 도전막(209b) 하방에 위치하는 반도체 막(203b)의 영역에 포함되는 불순물 원소의 농도보다 높게 된다.

[0067] 도입하는 불순물 원소는, n형의 불순물 원소 또는 p형의 불순물 원소를 사용한다. 여기에서는, 반도체 막(103a, 203b)에 고농도의 인(P)을 도입하여, n형의 불순물 원소(111, 212)를 형성하는 경우에 대하여 나타낸다.

[0068] 다음에, 도전막(109a, 209a, 209b), 절연막(108)을 덮도록 절연막(113)을 형성한 후, 반도체 막 103a의 불순물 영역 111, 반도체 막 103b의 불순물 영역 112a, 반도체 막 203a의 불순물 영역 211, 반도체 막 203b의 불순물 영역 212에 전기적으로 접속된 도전막(114)을 각각 형성한다(도 5b 참조).

[0069] 이상의 공정에 의하여, 메모리 소자(120), 용량 소자(121), 박막 트랜지스터(220, 221)를 가지는 반도체 장치를 얻을 수 있다.

[0070] 또한, 본 실시형태에서는, 트랜지스터로서 박막 트랜지스터를 사용한 예를 나타내지만, 이것에 한정되지 않고 다양한 형태의 트랜지스터를 적용시킬 수 있다. 따라서, 적용할 수 있는 트랜지스터의 종류는 한정되지 않는다. 따라서, 비정질 규소나 다결정 규소로 대표되는 비단결정 반도체 막을 사용한 박막 트랜지스터(TFT)에 한정되지 않고, 반도체 기판이나 SOI 기판을 사용하여 형성되는 트랜지스터, MOS형 트랜지스터, 접합형 트랜지스터, 바이폴러 트랜지스터, ZnO, a-InGaZnO 등의 화합물 반도체를 사용한 트랜지스터, 유기 반도체나 카본나노튜브를 사용한 트랜지스터, 그 이외의 트랜지스터를 적용할 수 있다. 또한, 비단결정 반도체 막에는 수소 또는 할로겐이 포함되어도 좋다.

[0071] 또한, 박막 트랜지스터의 구성은, 다양한 형태를 취할 수 있다. 특정한 구성에 한정되지 않는다. 예를 들면, 게이트의 개수가 2개 이상인 멀티게이트 구조를 사용하여도 좋다. 멀티게이트 구조로 함으로써, 오프 전류의 저감이나, 트랜지스터의 내압을 향상시켜 신뢰성을 좋게 하고, 포화 영역에서 동작할 때에, 드레인과 소스간 전압이 변화하여도, 드레인과 소스간 전류가 그다지 변화하지 않고, 플랫한 특성으로 할 수 있다. 또한, LDD 영역이 있어도 좋다. LDD 영역을 형성함으로써, 오프 전류의 저감이나, 트랜지스터의 내압을 향상시켜 신뢰성을 좋게 하고, 포화 영역에서 동작할 때에, 드레인과 소스간 전압이 변화하여도, 드레인과 소스간 전류가 그다지 변화하지 않고, 플랫한 특성으로 할 수 있다.

[0072] 본 실시형태는, 본 명세서의 다른 실시형태에서 나타내는 반도체 장치의 구성이나 제작 방법과 조합하여 행할 수 있다.

[0073] (실시형태 3)

[0074] 본 실시형태에서는, 상기 실시형태에서 나타내는 반도체 장치의 사용 형태의 일례에 대하여 설명한다. 구체적으로는, 비접촉으로 데이터의 입출력이 가능한 반도체 장치의 적용예에 관하여 도면을 참조하여 이하에 설명한다. 비접촉으로 데이터의 입출력이 가능한 반도체 장치는 이용의 형태에 따라, RFID 태그, ID 태그, IC 태그, IC 칩, RF 태그, 무선 태그, 전자 태그 또는 무선 칩이라고 불린다.

[0075] 반도체 장치(80)는, 비접촉으로 데이터를 교신하는 기능을 가지고, 고주파 회로(81), 전원 회로(82), 리셋 회로(83), 클록 발생 회로(84), 데이터 복조 회로(85), 데이터 변조 회로(86), 다른 회로의 제어를 행하는 제어 회로(87), 기억 회로(88) 및 안테나(89)를 가진다(도 11a 참조). 고주파 회로(81)는 안테나(89)로부터 신호를 수신하고, 데이터 변조 회로(86)로부터 수신한 신호를 안테나(89)로부터 출력하는 회로이고, 전원 회로(82)는 수신 신호에 의거하여 전원 전위를 생성하는 회로이고, 리셋 회로(83)는 리셋 신호를 생성하는 회로이고, 클록 발생 회로(84)는 안테나(89)로부터 입력된 수신 신호에 의거하여 각종 클록 신호를 생성하는 회로이고, 데이터 복조 회로(85)는 수신 신호를 복조하여 제어 회로(87)에 출력하는 회로이고, 데이터 변조 회로(86)는 제어 회로(87)로부터 수신한 신호를 변조하는 회로이다. 또한, 제어 회로(87)로서는, 예를 들면, 코드 추출 회로(91), 코드 판정 회로(92), CRC 판정 회로(93) 및 출력 유닛 회로(94)가 형성된다. 또한, 코드 추출 회로(91)는 제어 회로(87)에 송신된 명령에 포함되는 복수의 코드를 각각 추출하는 회로이고, 코드 판정 회로(92)는 추출된 코드와 리퍼런스에 상당하는 코드를 비교하여 명령의 내용을 판정하는 회로이고, CRC 회로는 판정된 코드에 의거하여 송신 에러(error) 등의 유무(有無)를 검출하는 회로이다.

[0076] 다음에, 상기한 반도체 장치의 동작의 일례에 대하여 설명한다. 우선, 안테나(89)에 의하여 무선 신호가 수신된다. 무선 신호는 고주파 회로(81)를 통하여 전원 회로(82)에 송신되고, 고전원 전위(이하, VDD라고 기재한다)가 생성된다. VDD는 반도체 장치(80)가 가지는 각 회로에 공급된다. 또한, 고주파 회로(81)를 통하여 데이터 복조 회로(85)에 송신된 신호는 복조된다(이하, 복조 신호라고 기재한다). 또한, 고주파 회로(81)를 통하여 리셋 회로(83) 및 클록 발생 회로(84)에 송신된 신호 및 복조 신호는 제어 회로(87)에 송신된다. 제어 회로(87)에 송신된 신호는 코드 추출 회로(91), 코드 판정 회로(92) 및 CRC 판정회로(93) 등에 의하여 해석된다. 그리고, 해석된 신호에 따라, 기억 회로(88) 내에 기억되는 반도체 장치의 정보가 출력된다. 출력된 반도체 장치의 정보는 출력 유닛 회로(94)를 통하여 부호화된다. 또한, 부호화된 반도체 장치(80)의 정보는 데이터 변조회로(86)를 통하여, 안테나(89)에 의하여 무선 신호에 변환하여 송신된다. 또한, 반도체 장치(80)를 구성하는 복수의 회로에 있어서는, 저전원 전위(이하, VSS라고 기재한다)는 콩통이므로, VSS는 GND로 할 수 있다.

[0077] 이와 같이, 리더/라이터로부터 반도체 장치(80)에 신호를 송신하고, 상기 반도체 장치(80)로부터 송신된 신호를 리더/라이터로 수신함으로써, 반도체 장치의 데이터를 판독할 수 있다.

[0078] 또한, 반도체 장치(80)는 각 회로에의 전원 전압의 공급을 전원(배터리)을 탑재하지 않고 전자파에 의하여 행하는 타입으로 하여도 좋고, 전원(배터리)을 탑재하여 전자파 또는 전원(배터리)에 의하여 각 회로에 전원 전압을 공급하는 타입으로 하여도 좋다.

[0079] 상기 실시형태에서 나타내는 제작 방법을 고주파 회로(81), 전원 회로(82), 리셋 회로(83), 클록 발생 회로(84), 데이터 복조 회로(85), 데이터 변조 회로(86), 제어 회로(87), 기억 회로(88)에 적용함으로써, 저비용으로 반도체 장치를 얻을 수 있다.

[0080] 다음에, 비접촉으로 데이터의 입출력이 가능한 반도체 장치의 사용 형태의 일례에 대하여 설명한다. 표시부(3210)를 포함하는 휴대 단말의 측면에는 리더/라이터(3200)가 형성되고, 물품(3220)의 측면에는 반도체 장치(3230)가 형성된다(도 11b 참조). 물품(3220)이 포함하는 반도체 장치(3230)에 리더/라이터(3200)를 가까이 대면, 표시부(3210)에 물품의 원재료나 원산지, 생산 공정마다의 검사 결과나 유통 과정의 이력 등, 또한, 상품의 설명 등의 상품에 관한 정보가 표시된다. 또한, 상품(3260)을 벨트 컨베이어에 의하여 반송할 때에, 리더/라이터(3240)와, 상품(3260)에 형성된 반도체 장치(3250)를 사용하여, 상기 상품(3260)을 검품할 수 있다(도 11c 참조). 이와 같이, 시스템에 반도체 장치를 활용함으로써, 정보의 취득을 간단히 할 수 있고, 고기능화와 고부가 가치화를 실현한다.

[0081] 또한, 상술한 비접촉 데이터의 입출력이 가능한 반도체 장치에 있어서의 신호의 전송 방식은, 전자 결합 방식, 전자 유도 방식 또는 마이크로파 방식 등을 사용할 수 있다. 전송 방식은 실시자가 사용 용도를 고려하여 적절히 선택하면 좋고, 전송 방식에 따라 최적의 안테나를 설치하면 좋다.

[0082] 예를 들면, 반도체 장치에 있어서의 신호의 전송 방식으로서, 전자 결합 방식 또는 전자 유도 방식(예를 들면 13.56 MHz대역)을 적용하는 경우에는, 자계 밀도의 변화에 의한 전자 유도를 이용하기 때문에, 안테나로서 기능하는 도전막을 고리형(예를 들면, 루프 안테나), 나선형(예를 들면, 스파이럴 안테나)으로 형성한다.

[0083] 또한, 반도체 장치에 있어서의 신호의 전송 방식으로서, 마이크로파 방식(예를 들면, UHF대역(860 MHz 대역 내지 960 MHz대역), 2.45 GHz대역 등)을 적용하는 경우에는, 신호의 전송에 사용하는 전자파의 파장을 고려하여 안테나로서 기능하는 도전층의 길이 등의 형상을 적절히 설정하면 좋고, 예를 들면, 안테나로서 기능하는 도전막을 선 형상(예를 들면, 다이폴 안테나), 평탄한 형상(예를 들면, 패치 안테나) 또는 리본형의 형상 등으로 형성할 수 있다. 또한, 안테나로서 기능하는 도전막의 형상은 선 형상에 한정되지 않고, 전자파의 파장을 고려하여 곡선 형상이나 지그재그 형상 또는 이들을 조합한 형상으로 형성하여도 좋다.

[0084] 안테나로서 기능하는 도전막은, CVD법, 스퍼터링법, 스크린 인쇄나 그라비아 인쇄 등의 인쇄법, 액적토출법, 디스펜서법, 도금법 등을 사용하여, 도전성 재료에 의하여 형성한다. 도전막은 알루미늄(Al), 티타늄(Ti), 은(Ag), 구리(Cu), 금(Au), 백금(Pt), 니켈(Ni), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo)으로부터 선택되는 원소, 또는 이들의 원소를 주성분으로 하는 합금재료 또는 화합물 재료이며, 단층 구조 또는 적층 구조로 형성한다.

[0085] 예를 들면, 스크린 인쇄법을 사용하여 안테나로서 기능하는 도전막을 형성하는 경우에는, 입자직경이 수 nm 내지 수십 ㎛의 도전체 입자를 유기 수지에 용해 또는 분산시킨 도전성의 페이스트를 선택적으로 인쇄함으로써 형성할 수 있다. 도전체 입자로서는, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo) 및 티타늄(Ti) 등 중의 어느 하나 이상의 금속 입자나 할로겐화은의 미립자, 또는 분산성 나노입자를 사용할 수 있다. 또한, 도전성 페이스트에 포함되는 유기수지는, 금속 입자의 결합제, 용매, 분산제 및 피복재로서 기능하는 유기수지로부터 선택되는 하나 또는 복수를 사용할 수 있다. 대표적으로는, 에폭시 수지, 실리콘(silicone)수지 등의 유기 수지를 들 수 있다. 또한, 도전막의 형성에 있어서, 도전성의 페이스트를 압출한 후에 소성하는 것이 바람직하다. 예를 들면, 도전성의 페이스트의 재료로서, 은을 주성분으로 하는 미립자(예를 들면 입자직경 1 nm 이상 100 nm 이하)를 사용하는 경우, 150℃ 내지 300℃의 온도 범위에서 소성함으로써 경화시켜 도전막을 얻을 수 있다. 또한, 땜납이나 납프리의 땜납을 주성분으로 하는 미립자를 사용하여도 좋고, 이 경우는 입경 20 ㎛ 이하의 미립자를 사용하는 것이 바람직하다. 땜납이나 납프리 땜납은 저비용이라는 이점을 가진다.

[0086] 또한, 상기 이외에도 가요성을 가지는 반도체 장치의 용도는 광범위에 걸쳐, 비접촉으로 대상물의 이력 등의 정보를 명확히 하여, 생산·관리 등에 도움이 되는 상품이면 어떤 것에나 적용할 수 있다. 예를 들면, 지폐, 경화, 유가 증권류, 증서류, 무기명 채권류, 포장용 용기류, 서적류, 기록 매체, 신변용품, 탈것류, 식품류, 의류, 보건용품류, 생활용품류, 약품류 및 전자기기 등에 형성하여 사용할 수 있다. 이들의 예에 관하여 도 12a 내지 도 12h를 사용하여 설명한다.

[0087] 지폐, 경화는, 시장에 유통되는 금전이며, 특정한 지역에서 화폐와 같이 통용되는 것(금권), 기념 코인 등을 포함한다. 유가 증권류는 수표, 증권, 약속어음 등을 가리킨다(도 12a 참조). 증서류는 운전 면허증, 주민 등록증 등을 가리킨다(도 12b 참조). 무기명 채권류는 우표, 쌀 상품권, 각종 기프트권 등을 가리킨다(도 12c 참조). 포장용 용기류는 도시락 등의 포장지, 페트병 등을 가리킨다(도 12d 참조). 서적류는 서적, 책 등을 가리킨다(도 12e 참조). 기록매체는 DVD 소프트웨어, 비디오테이프 등을 가리킨다(도 12f 참조). 탈것류는 자전거 등의 차량, 선박 등을 가리킨다(도 12g 참조). 신변용품은, 가방, 안경 등을 가리킨다(도 12h 참조). 식품류는 식료품, 음료 등을 가리킨다. 의류는 의복, 신발 등을 가리킨다. 보건용품류는 의료기구, 건강기구 등을 가리킨다. 생활용품류는 가구, 조명기구 등을 가리킨다. 약품류는 의약품, 농약 등을 가리킨다. 전자기기는 액정 표시장치, EL 표시장치, 텔레비전 장치(텔레비전 수상기, 박형 텔레비전 수상기), 휴대전화기 등을 가리킨다.

[0088] 지폐, 경화, 유가 증권류, 증서류, 무기명 채권류 등에 반도체 장치(80)를 형성함으로써, 위조를 방지할 수 있다. 또한, 포장용 용기류, 서적류, 기록매체 등, 신변용품, 식품류, 생활용품류, 전자기기 등에 반도체 장치(80)를 형성함으로써, 검품 시스템이나 렌탈점의 시스템 등의 효율화를 도모할 수 있다. 탈것류, 보건용품류, 약품류 등에 반도체 장치(80)를 설치함으로써, 위조 방지나 도난 방지, 약품류라면, 약을 잘못 복용하는 것을 방지할 수 있다. 반도체 장치(80)의 형성법으로서는, 물품의 표면에 붙이거나, 물품에 내장시키거나 하여 형성한다. 예를 들면, 책이면 종이에 내장하거나, 유기수지로 이루어지는 패키지라면 상기 유기수지에 내장하거나 하면 좋다. 가요성을 가지는 반도체 장치를 사용함으로써, 종이 등에 형성한 경우라도, 상기 실시형

태에서 나타내는 구조를 가지는 반도체 장치를 사용하여 반도체 장치를 설치함으로써, 상기 반도체 장치에 포함되는 소자의 파손 등을 방지할 수 있다.

[0089] 이와 같이, 포장용 용기류, 기록매체, 신변용품, 식품류, 의류, 생활용품류, 전자기기 등에 반도체 장치를 형성함으로써, 검품 시스템이나 렌탈점의 시스템 등의 효율화를 도모할 수 있다. 또한 탈것류에 반도체 장치를 설치함으로써, 위조나 도난을 방지할 수 있다. 또한, 동물 등의 생물에 내장함으로써, 개개의 생물의 식별을 용이하게 할 수 있다. 예를 들면, 가축 등의 생물에 센서를 구비한 반도체 장치를 내장함으로써, 나이나 성별 또는 종류 등은 물론, 체온 등의 건강 상태를 용이하게 관리할 수 있다.

[0090] 또한, 본 실시형태는, 본 명세서의 다른 실시형태에서 나타내는 반도체 장치의 구성이나 제작 방법과 조합하여 행할 수 있다. 즉, 상기 실시형태에서 나타내는 반도체 장치의 구성을 본 실시형태에서 나타내는 반도체 장치에 적용할 수 있다.

[0091] (실시형태 4)

[0092] 본 실시형태에서는, 상기 실시형태 3에서 나타내는 비접촉으로 데이터의 입출력이 가능한 반도체 장치의 제작 방법에 관하여 도면을 참조하여 설명한다. 또한, 본 실시형태에서는, 박막 트랜지스터 등의 소자를 한 번 지지 기판(임시 기판)에 형성한 후, 가요성을 가지는 기판에 전치(轉置)하여 반도체 장치를 제작하는 경우에 관하여 설명한다. 또한, 본 실시형태에서는, 하나의 기판(지지 기판)에 집적 회로부가 형성된 칩을 복수(여기에서는, 세로 4개 x 가로 3개) 형성하고, 복수의 반도체 장치를 제작하는 경우에 대하여 설명한다. 이하의 설명에 있어서, 도 6a 내지 도7b는 상면도의 모식도이며, 도 8a 내지 도 9b는 도 6a 내지 도7b에 있어서 A_2-B_2간의 단면도의 모식도이다.

[0093] 우선, 기판(101)의 일 표면에 박리층(301)을 형성하고, 이어서 하지가 되는 절연막(102)을 통하여 섬 형상의 반도체 막(103a, 103b, 203a, 203b)을 형성한다(도 6a, 도 8a 참조). 또한, 이하의 공정에 있어서, 도 6a에 도시되는 복수의 영역(320)에 각각 반도체 장치를 구성하는 집적 회로 및 안테나가 형성되는 것을 전제로 하여 설명한다.

[0094] 또한, 본 공정에서는, 박리층(301)을 기판(101)의 전면에 형성하지만, 필요에 따라, 기판(101)의 전면에 박리층을 형성한 후에, 포토리소그래피법에 의하여 박리층(301)을 선택적으로 형성하여도 좋다. 또한, 기판(101)에 접하도록 박리층(301)을 형성하지만, 필요에 따라, 기판(101)에 접하도록 산화규소막, 산화질화규소, 질화규소막, 질화산화규소막 등의 절연막을 형성하고, 상기 절연막에 접하도록 박리층(301)을 형성하여도 좋다.

[0095] 박리층(301)은 금속막이나 금속막과 금속산화막의 적층 구조 등을 사용할 수 있다. 금속막으로서는, 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 니오븀(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir)으로부터 선택된 원소 또는 상기 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 이루어지는 막을 단층 또는 적층하여 형성한다. 또한, 이들의 재료는, 스퍼터링법이나 플라즈마 CVD법 등의 각종 CVD법 등을 사용하여 형성할 수 있다. 금속막과 금속산화막의 적층 구조로서는, 상술한 금속막을 형성한 후에, 산소 분위기하 또는 N_2O 분위기하에서의 플라즈마 처리, 산소 분위기하 또는 N_2O 분위기하에서의 가열 처리를 행함으로써, 금속막 표면에 상기 금속막의 산화물 또는 산화질화물을 형성할 수 있다. 또한, 금속막을 형성한 후에, 오존수 등의 산화력이 강한 용액을 사용하여 표면을 처리함으로써, 금속막 표면에 상기 금속막의 산화물 또는 산화질화물을 형성할 수 있다.

[0096] 다음에, 상기 실시형태에서 설명한 도 3b 내지 도 5b와 같은 공정을 거친 후, 절연막 113, 도전막 114를 덮도록 절연막 302를 형성하고, 상기 절연막 302 위에 안테나로서 기능하는 도전막 303을 형성한다(도 6b, 도 8b 참조).

[0097] 절연막(302)은, 스퍼터링법, CVD법, SOG법, 액적토출법 등에 의하여, 규소의 산화물이나 규소의 질화물 등의 무기 재료, 폴리이미드, 폴리아미드, 벤조시클로부텐, 아크릴, 에폭시, 실록산 등의 유기 재료 등으로 형성한다.

[0098] 도전막(303)은, CVD법, 스퍼터링법, 스크린 인쇄나 그라비아 인쇄 등의 인쇄법, 액적토출법, 디스펜서법, 도금법 등을 사용하여, 도전성 재료에 의하여 형성한다. 도전성 재료는, 알루미늄(Al), 티타늄(Ti), 은(Ag), 구리(Cu), 금(Au), 백금(Pt), 니켈(Ni), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo)으로부터 선택된 원소, 또는 이들의 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로, 단층 구조 또는 적층 구조로 형성한다.

[0099] 다음에, 박막 트랜지스터(220, 221), 메모리 소자(120), 용량 소자(121), 안테나로서 기능하는 도전막(303) 등을 포함하는 소자 형성층(310)을 기판(101)으로부터 박리한다.

[0100] 우선, 도전막(303)을 덮도록 절연막(304)을 형성한 후, 레이저 광을 조사함으로써 개구부(305)를 형성한다(도 6c, 도 8c 참조). 이어서, 소자 형성층(310)의 한쪽 면(여기에서는, 절연막(304)의 표면)을 제 1 시트 재료(306)에 부착한 후, 기판(101)으로부터 소자 형성층(310)을 박리한다(도 9a 참조). 제 1 시트 재료(306)로서는, 핫 멜트 필름 등의 플라스틱 필름을 사용할 수 있다. 또한, 후에 제 1 시트 재료(306)를 박리하는 경우에는, 열을 가함으로써 점착력이 약해지는 열 박리 테이프를 사용할 수 있다.

[0101] 또한, 박리할 때, 박리하는 면을 물이나 오존수 등의 수용액으로 적시면서 행함으로써, 박막 트랜지스터(220, 221), 메모리 소자(120), 용량 소자(121) 등의 소자가 정전기 등에 의하여 파괴되는 것을 방지할 수 있다. 또한, 소자 형성층(310)이 박리된 기판(101)을 재활용함으로써, 저비용화를 실현할 수 있다.

[0102] 다음에, 소자 형성층(310)의 다른 쪽의 면(기판(101)으로부터의 박리에 의하여 노출된 면)에 제 2 시트 재료(307)를 부착하여 형성한다(도 7a, 도 9b 참조). 제 2 시트 재료(307)는, 가요성을 가지는 기판을 사용함으로써, 예를 들면, 플라스틱 기판을 적용할 수 있다.

[0103] 다음에, 제 2 시트 재료(307)가 형성된 소자 형성층(310)을 다이싱, 스크라이빙 또는 레이저 컷법 등에 의하여 분단함으로써, 복수의 반도체 장치를 얻을 수 있다(도 7b, 도 10 참조). 또한, 여기에서는, 제 2 시트 재료(307)를 부착함과 동시에, 또는 부착한 후에, 제 1 시트 재료(306)를 박리하는 경우를 나타내지만, 제 1 시트 재료(306)를 남긴 구성으로 하여도 좋다.

[0104] 본 실시형태에서는, 기판(101) 위에 박막 트랜지스터나 안테나 등의 소자를 형성한 후, 상기 기판(101)으로부터 박리함으로써 가요성을 가지는 반도체 장치를 제작하는 경우에 대하여 나타내지만, 이것에 한정되지 않는다. 예를 들면, 기판(101) 위에 박리층(301)을 형성하지 않고 제작하여도 좋다.

[0105] 또한, 본 실시형태에서는, 트랜지스터로서 박막 트랜지스터를 사용하는 예를 나타내지만, 이것에 한정되지 않고 다양한 형태의 트랜지스터를 적용시킬 수 있다. 따라서, 적용할 수 있는 트랜지스터의 종류는 한정되지 않는다. 따라서, 비정질 규소나 다결정 규소로 대표되는 비단결정 반도체 막을 사용하는 박막 트랜지스터(TFT)에 한정되지 않고, 반도체 기판이나 SOI 기판을 사용하여 형성되는 트랜지스터, MOS형 트랜지스터, 접합형 트랜지스터, 쌍극성 트랜지스터, ZnO, a-InGaZnO 등의 화합물 반도체를 사용하는 트랜지스터, 유기 반도체나 카본나노튜브를 사용한 트랜지스터, 그 이외의 트랜지스터를 적용할 수 있다. 또한, 비단결정 반도체 막에는 수소 또는 할로겐이 포함되어도 좋다.

[0106] 또한, 트랜지스터의 구성은, 각종 형태를 취할 수 있다. 특정한 구성에 한정되지 않는다. 예를 들면, 게이트 개수가 2개 이상인 멀티게이트 구조를 사용하여도 좋다. 멀티게이트 구조로 함으로써, 오프 전류의 저감이나, 트랜지스터의 내압을 향상시켜 신뢰성을 좋게 하고, 포화 영역에서 동작할 때, 드레인·소스간 전압이 변화하여도, 드레인·소스간 전류가 그다지 변화하지 않고, 플랫한 특성으로 할 수 있다. 또한, LDD 영역이 있어도 좋다. LDD 영역을 형성함으로써, 오프 전류의 저감이나, 트랜지스터의 내압을 향상시켜 신뢰성을 좋게 하고, 포화 영역에서 동작할 때, 드레인·소스간 전압이 변화하여도, 드레인·소스간 전류가 그다지 변화하지 않고, 플랫한 특성으로 할 수 있다.

도면의 간단한 설명

[0107] 도 1a 내지 도 1f는 본 발명의 반도체 장치의 제작 방법의 일례를 나타내는 도면.

[0108] 도 2a 내지 도 2d는 본 발명의 반도체 장치의 제작 방법의 일례를 나타내는 도면.

[0109] 도 3a 내지 도 3d는 본 발명의 반도체 장치의 제작 방법의 일례를 나타내는 도면.

[0110] 도 4a 내지 도 4c는 본 발명의 반도체 장치의 제작 방법의 일례를 나타내는 도면.

[0111] 도 5a 및 도 5b는 본 발명의 반도체 장치의 제작 방법의 일례를 나타내는 도면.

[0112] 도 6a 내지 도 6c는 본 발명의 반도체 장치의 제작 방법의 일례를 나타내는 도면.

[0113] 도 7a 및 도 7b는 본 발명의 반도체 장치의 제작 방법의 일례를 나타내는 도면.

[0114] 도 8a 내지 도 8c는 본 발명의 반도체 장치의 제작 방법의 일례를 나타내는 도면.

[0115] 도 9a 및 도 9b는 본 발명의 반도체 장치의 제작 방법의 일례를 나타내는 도면.

[0116] 도 10은 본 발명의 반도체 장치의 제작 방법의 일례를 나타내는 도면.

[0117] 도 11a 내지 도 11c는 본 발명의 반도체 장치의 사용 형태의 일례를 나타내는 도면.

[0118] 도 12a 내지 도 12h는 본 발명의 반도체 장치의 사용 형태의 일례를 나타내는 도면.

[0119] <도면의 주요 부분에 대한 부호의 설명>

[0120] 101 : 기판 102 : 절연막

[0121] 103 : 반도체 막 105 : 도전막

[0122] 106 : 레지스트 107 : 불순물 영역

[0123] 108 : 절연막 109 : 도전막

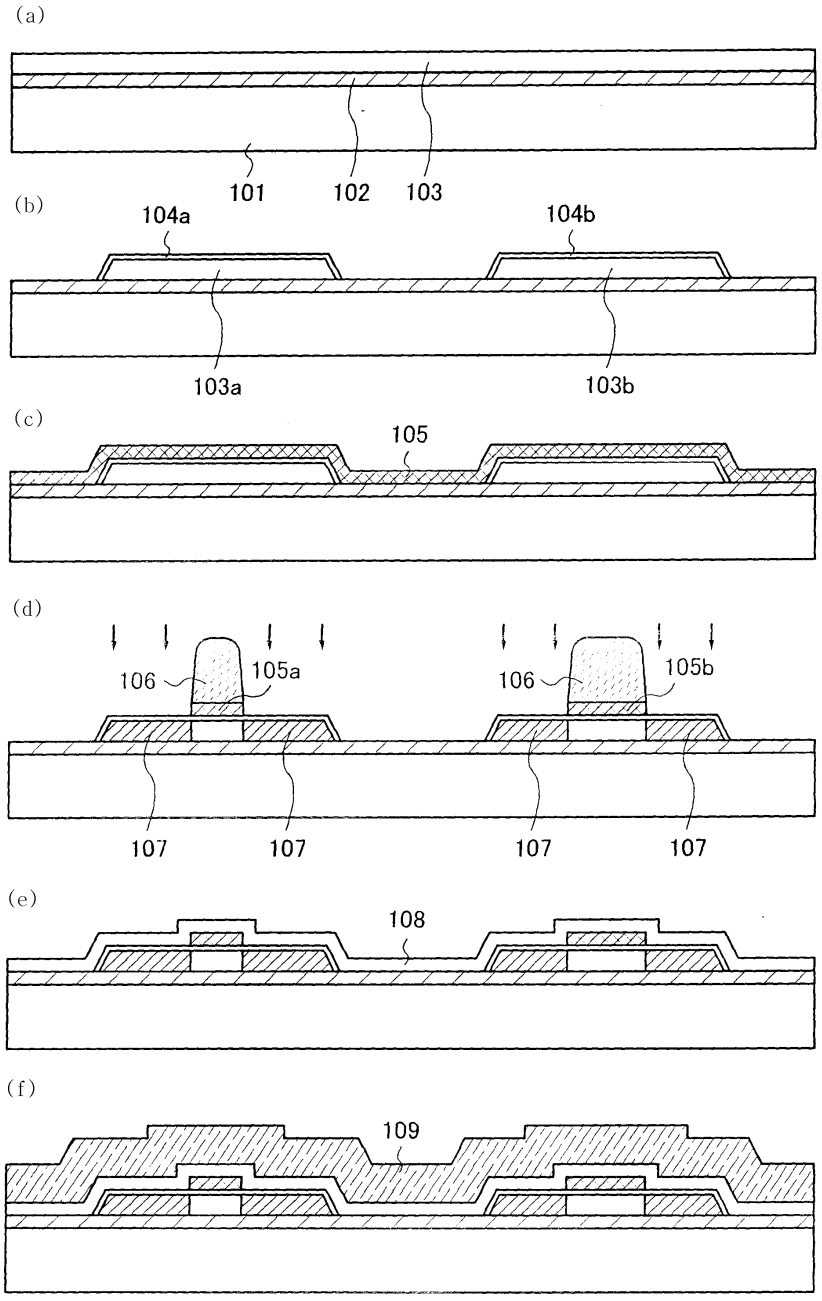
[0124] 103a : 반도체 막 103b : 반도체 막

[0125] 104a : 절연막 104b : 절연막

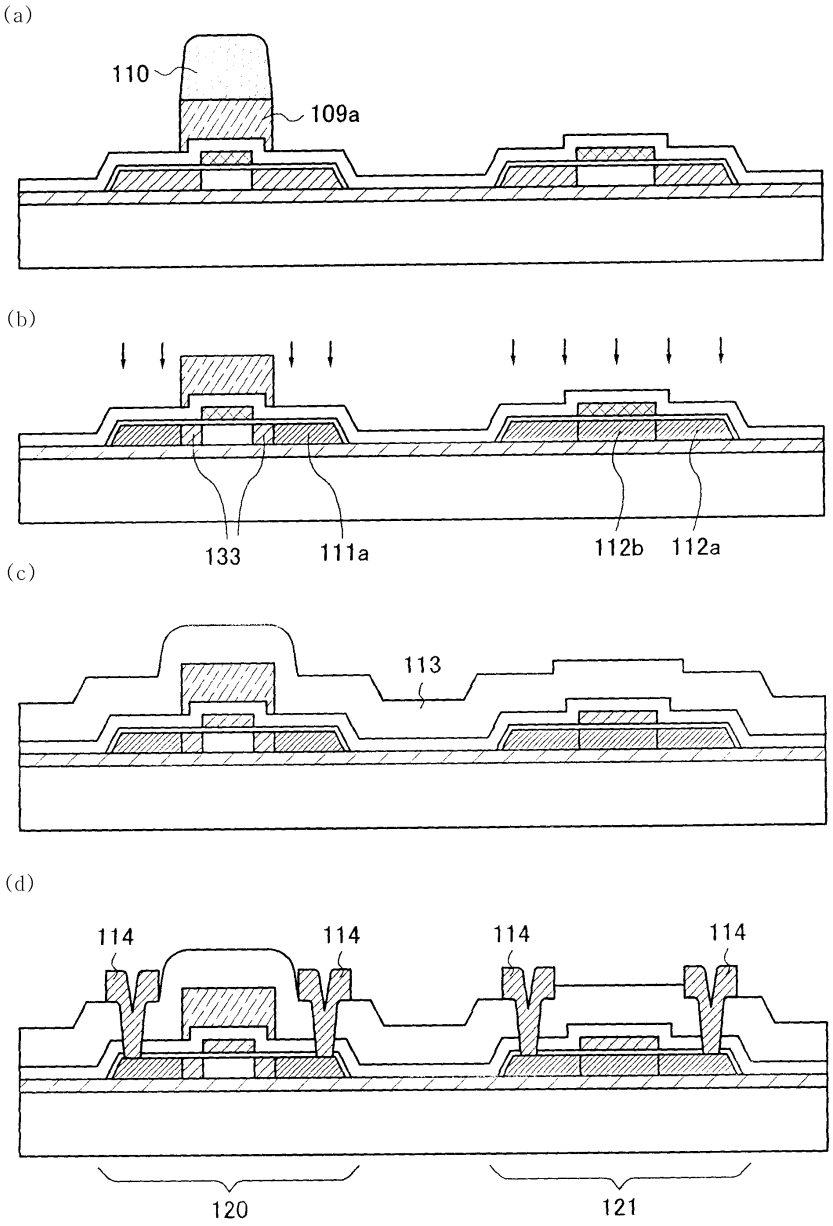
[0126] 105a : 도전막 105b : 도전막

도면

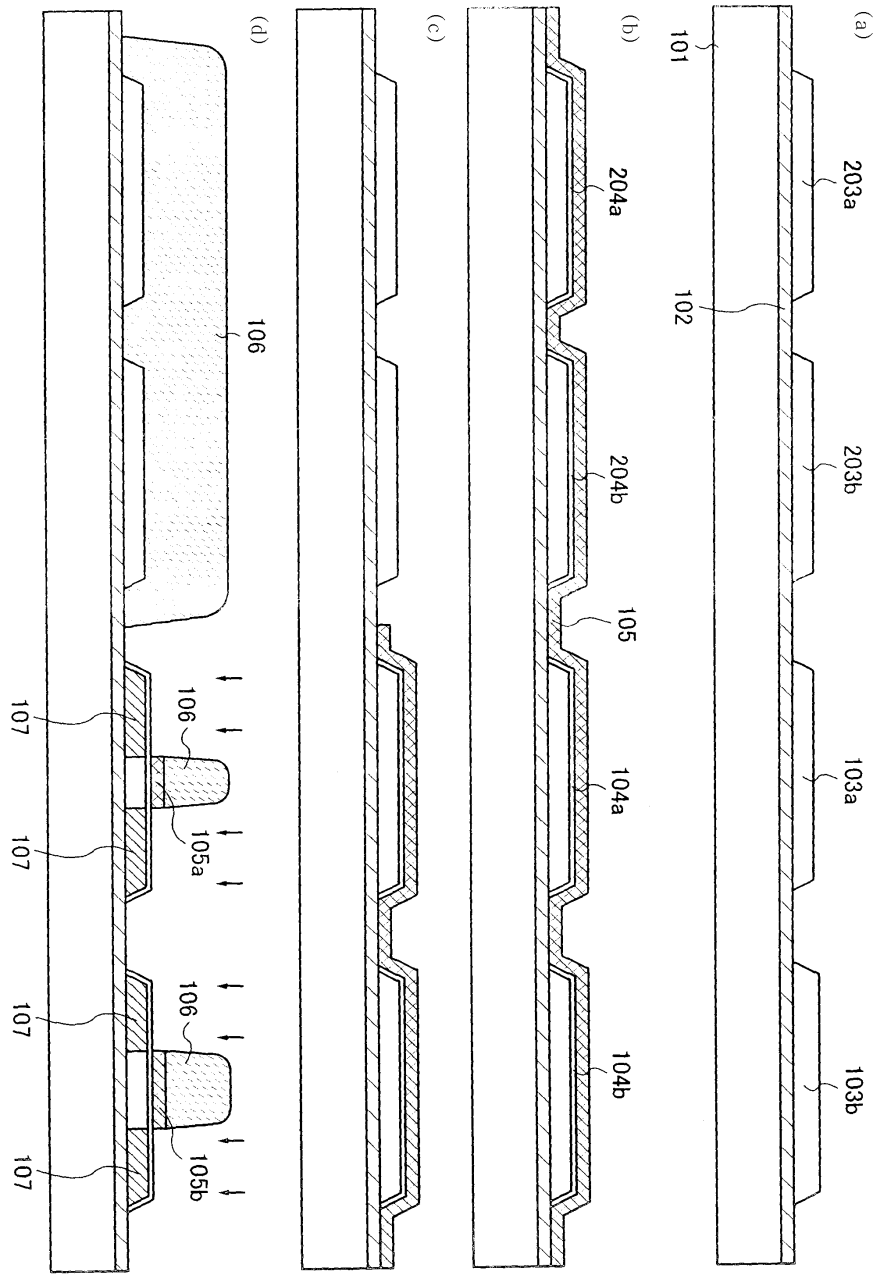
도면1


(a)
101
102
103
(b)
104a
104b
103a
103b
(c)
105
(d)
106
105a
106
105b
107
107
107
107
(e)
108
(f)
109

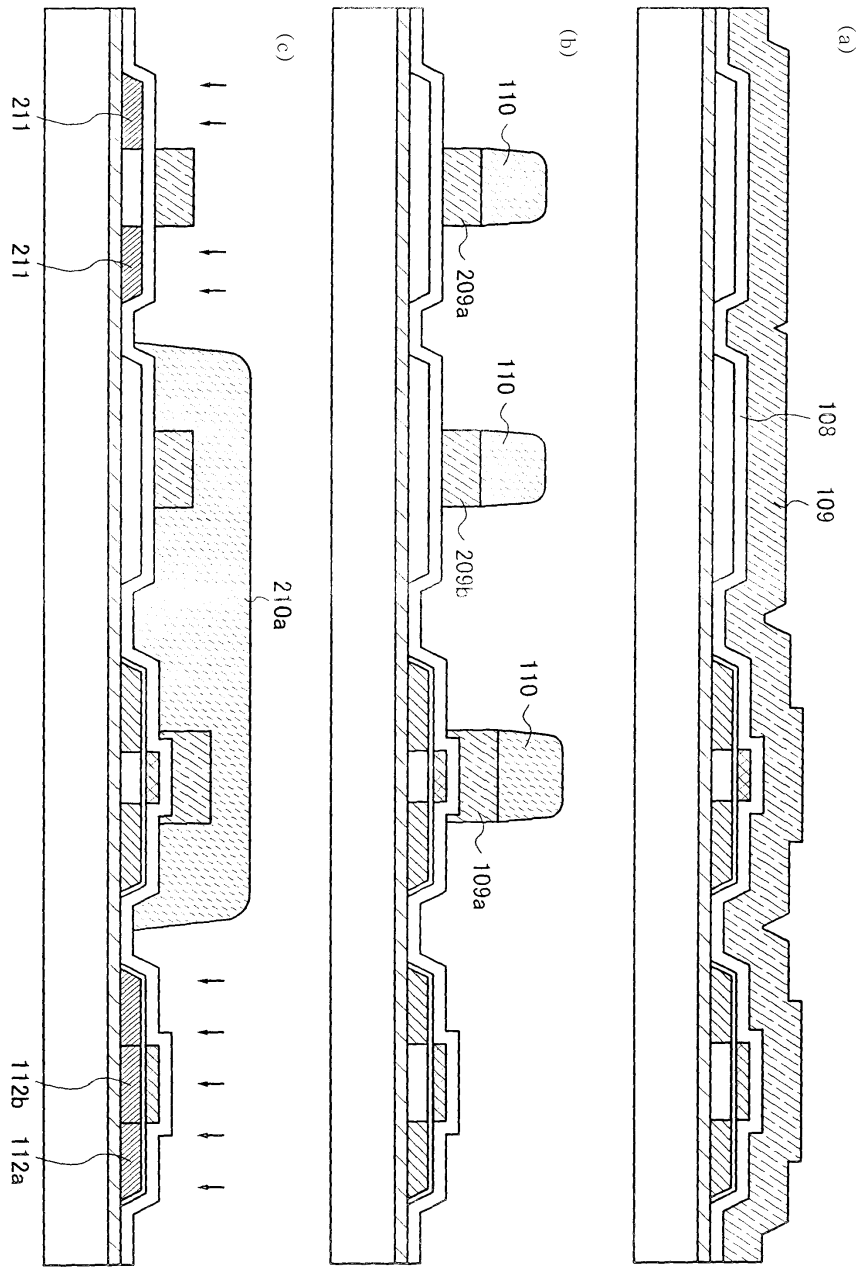
도면2



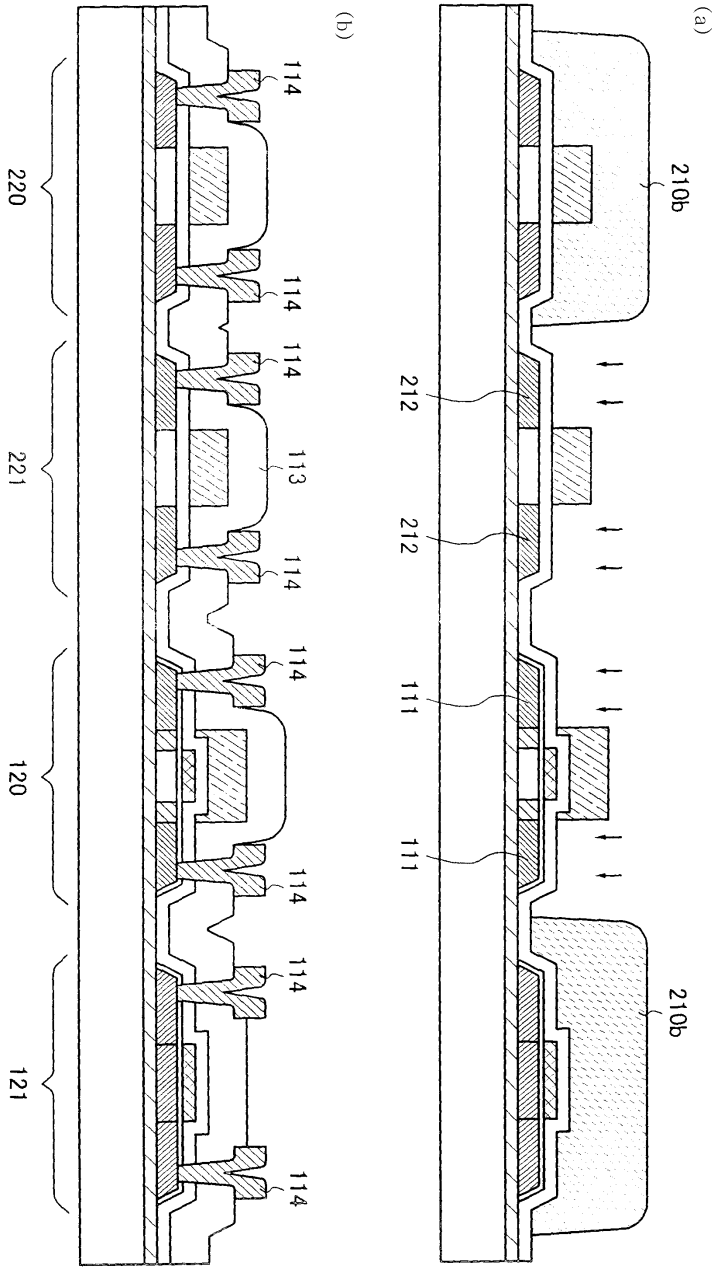
도면3


(a)
101
203a
102
203b
103a
103b
(b)
204a
204b
105
104a
104b
(c)
(d)
106
107
106
105a
107
107
106
105b
107

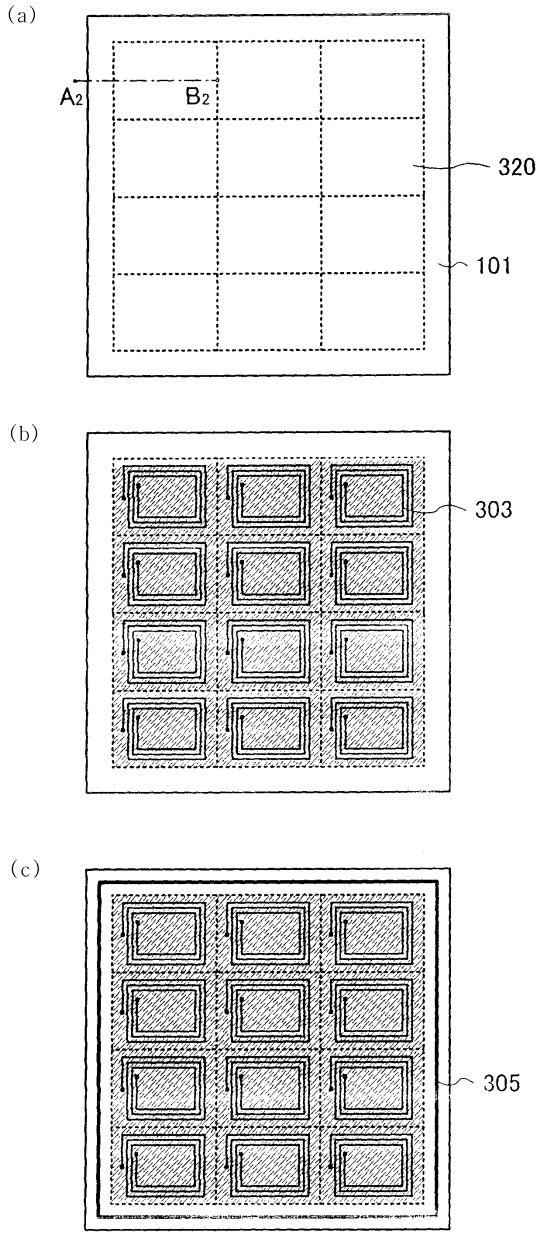
도면4



도면5

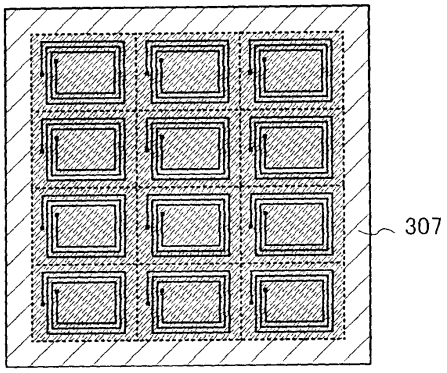

(a)
210b
212
212
111
111
210b
(b)
114
114
114
113
114
114
114
114
114
114
220
221
120
121

도면6

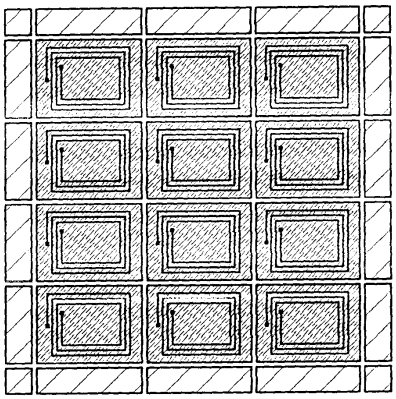


도면7

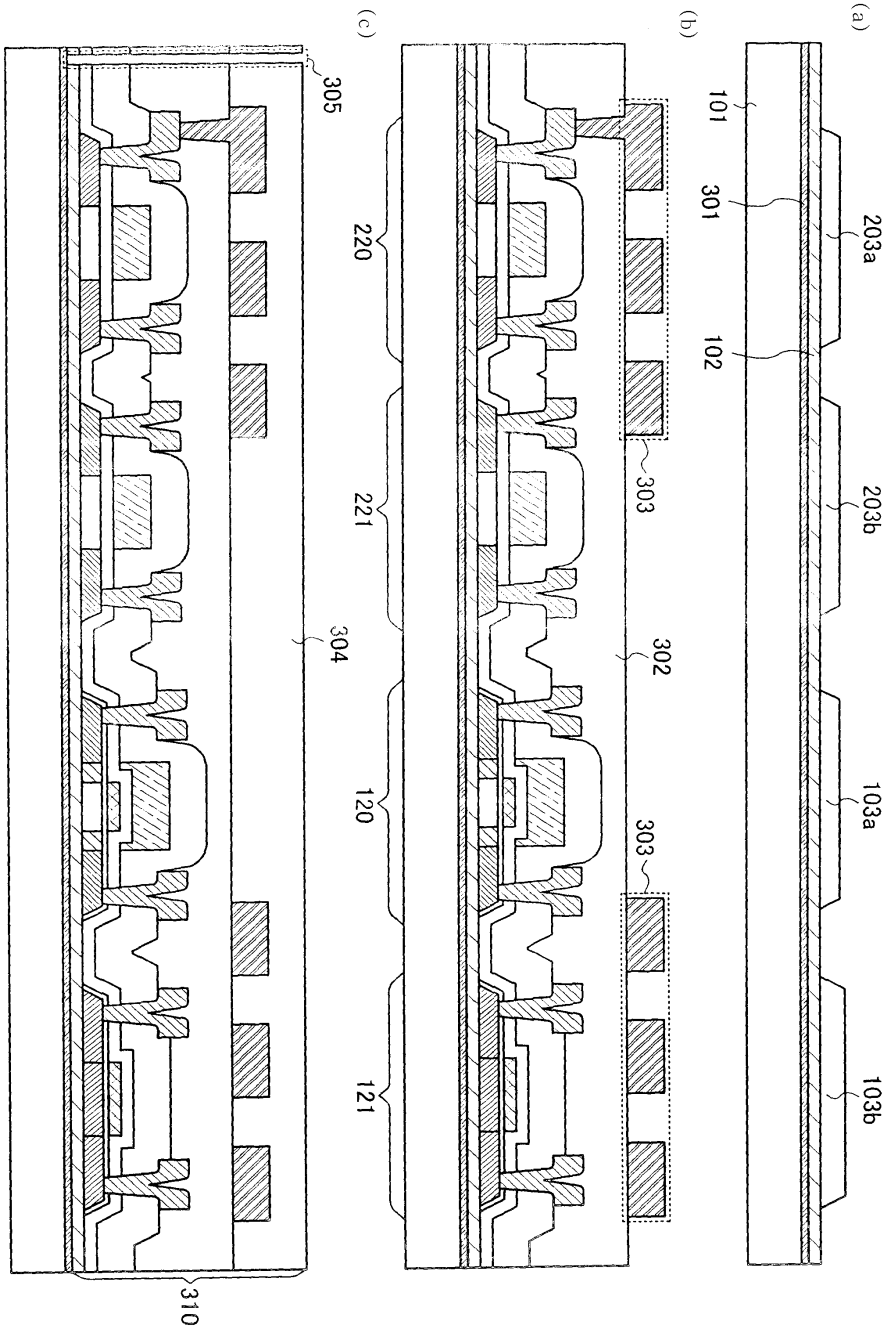
(a)



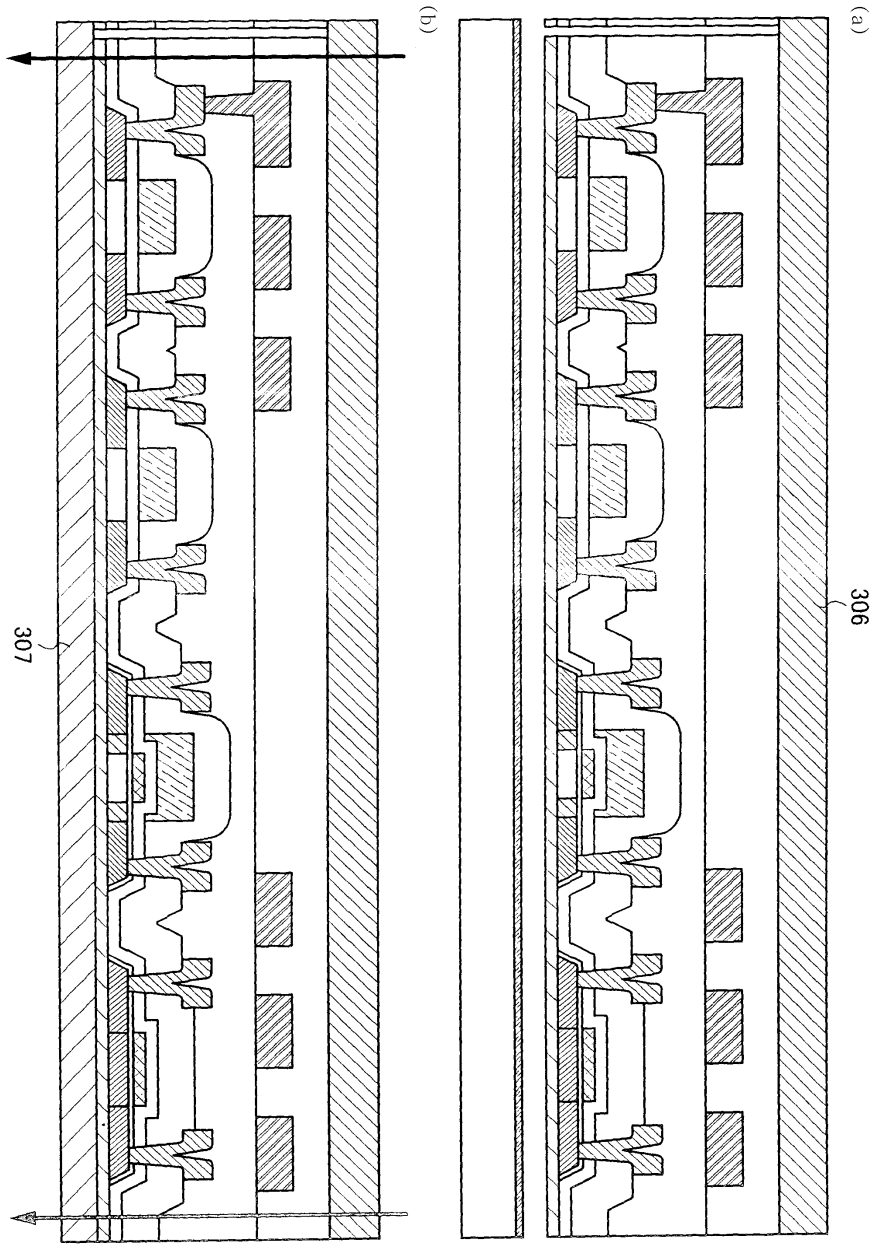
(b)



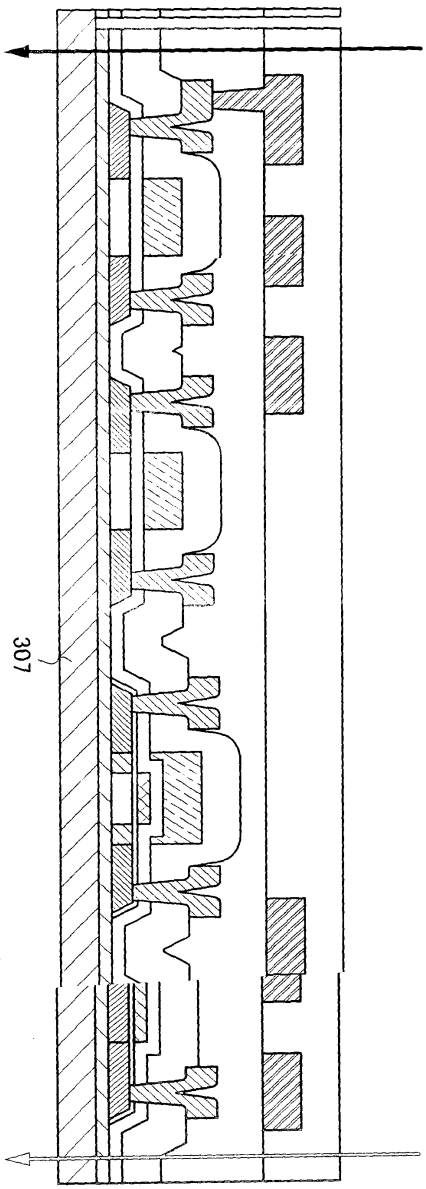
도면8


(a)
(b)
(c)
101
301
102
203a
203b
103a
103b
303
302
303
220
221
120
121
304
305
310

도면9

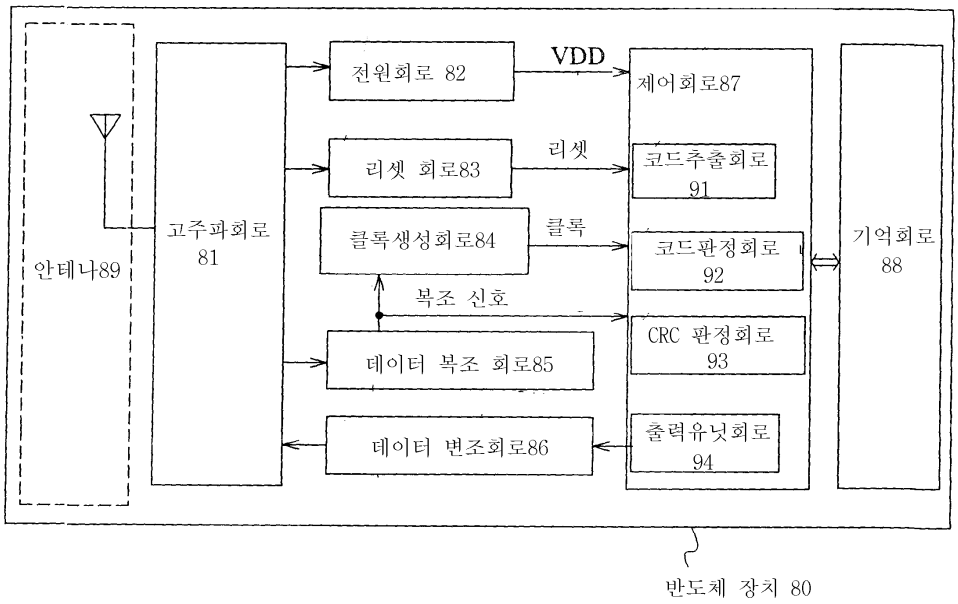


도면10

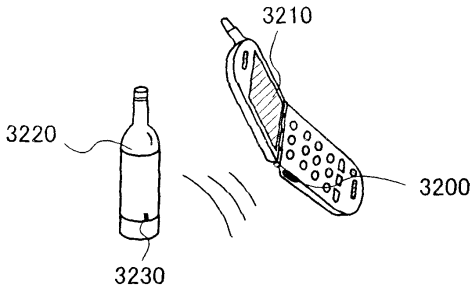


도면11

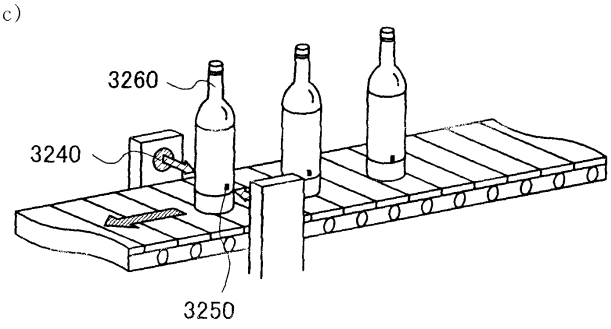
(a)


안테나89
고주파회로 81
전원회로 82
VDD
제어회로87
리셋 회로83
리셋
코드추출회로 91
클록생성회로84
클록
코드판정회로 92
기억회로 88
복조 신호
CRC 판정회로 93
데이터 복조 회로85
데이터 변조회로86
출력유닛회로 94
반도체 장치 80

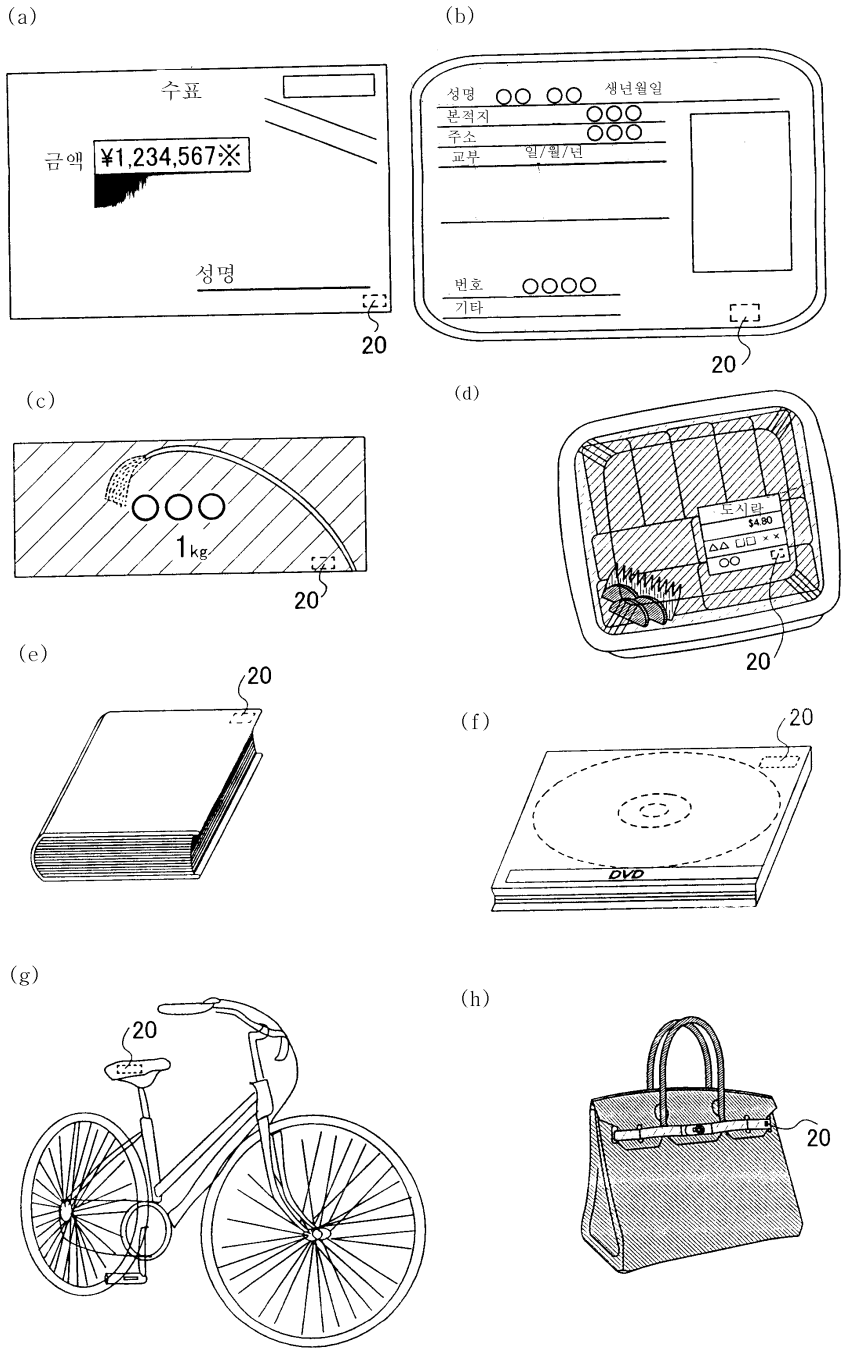
(b)


3210
3220
3200
3230

(c)


3260
3240
3250

도면12


(a)
수표
금액
¥1,234,567※
성명
20
(b)
성명
생년월일
본적지
주소
교부
일/월/년
번호
기타
20
(c)
1kg
20
(d)
도시락
$4.80
20
(e)
20
(f)
20
DVD
(g)
20
(h)
20