(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3853341号
(P3853341)
(45)発行日　平成18年12月6日(2006.12.6)　(24)登録日　平成18年9月15日(2006.9.15)

(51)Int.Cl.　F I
H01L 21/331 (2006.01)　H01L 29/72 H
H01L 29/737 (2006.01)

請求項の数 14　(全 22 頁)

(21)出願番号　特願2004-323844(P2004-323844)
(22)出願日　平成16年11月8日(2004.11.8)
(65)公開番号　特開2005-183936(P2005-183936A)
(43)公開日　平成17年7月7日(2005.7.7)
審査請求日　平成16年11月12日(2004.11.12)
(31)優先権主張番号　特願2003-399025(P2003-399025)
(32)優先日　平成15年11月28日(2003.11.28)
(33)優先権主張国　日本国(JP)

(73)特許権者　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　100084146
弁理士　山崎　宏
(74)代理人　100100170
弁理士　前田　厚司
(74)代理人　100122286
弁理士　仲倉　幸典
(72)発明者　ジョン・トワイナム
大阪府大阪市阿倍野区長池町２２番２２号
シャープ株式会社内

審査官　棚田　一也

最終頁に続く

(54)【発明の名称】バイポーラトランジスタ

(57)【特許請求の範囲】
【請求項１】
第１伝導型半導体からなるコレクタ層と、
このコレクタ層上に設けられた第１伝導型半導体からなるエミッタ層と、
このエミッタ層上に設けられた、第２伝導型キャリアを上記エミッタ層内へ注入するためのゲート層と、
上記コレクタ層とエミッタ層との間に形成され、上記ゲート層から上記エミッタ層内に注入されて上記エミッタ層内を拡散して到達した第２伝導型キャリアを一時的に保持する第２伝導型キャリア保持層と、
を備えたことを特徴とするバイポーラトランジスタ。
【請求項２】
請求項１に記載のバイポーラトランジスタにおいて、
上記コレクタ層は所定の基板上に形成されていることを特徴とするバイポーラトランジスタ。
【請求項３】
請求項２に記載のバイポーラトランジスタにおいて、
上記コレクタ層と基板との間に、上記基板に沿って形成された第１伝導型半導体からなり、上記コレクタ層よりも第１伝導型不純物が高濃度にドーピングされているサブコレクタ層を備えたことを特徴とするバイポーラトランジスタ。
【請求項４】

請求項３に記載のバイポーラトランジスタにおいて、
上記コレクタ層は上記サブコレクタ層上の一部領域に形成され、上記サブコレクタ層の上面のうち上記コレクタ層の側方に相当する領域にコレクタ電極が設けられ、
上記ゲート層は上記エミッタ層上の一部領域に形成され、上記エミッタ層の上面のうち上記ゲート層の側方に相当する領域にエミッタ電極が設けられ、
上記ゲート層上にゲート電極が設けられていることを特徴とするバイポーラトランジスタ。
【請求項５】
請求項１に記載のバイポーラトランジスタにおいて、
上記エミッタ層のエネルギバンドギャップが上記ゲート層のエネルギバンドギャップよりも狭いことを特徴とするバイポーラトランジスタ。
【請求項６】
請求項１に記載のバイポーラトランジスタにおいて、
上記第２伝導型キャリア保持層は、第２伝導型半導体からなるベース層であることを特徴とするバイポーラトランジスタ。
【請求項７】
請求項６に記載のバイポーラトランジスタにおいて、
上記ベース層のエネルギバンドギャップが上記エミッタ層のエネルギバンドギャップよりも狭いことを特徴とするバイポーラトランジスタ。
【請求項８】
請求項１に記載のバイポーラトランジスタにおいて、
上記第２伝導型キャリア保持層は、上記コレクタ層とエミッタ層の界面に生じる自発分極層であることを特徴とするバイポーラトランジスタ。
【請求項９】
請求項１に記載のバイポーラトランジスタにおいて、
上記各層をなす結晶材料は、III族元素と窒素との化合物半導体であり、
上記第１伝導型はｎ型であり、また、上記第２伝導型はｐ型であることを特徴とするバイポーラトランジスタ。
【請求項１０】
請求項６に記載のバイポーラトランジスタにおいて、
上記ゲート層をなす結晶材料はＡｌＧａＮであり、
上記エミッタ層をなす結晶材料はＧａＮであり、
上記ベース層をなす結晶材料はＩｎＧａＮであり、
上記コレクタ層をなす結晶材料はＩｎＧａＮであり、
上記第１伝導型はｎ型であり、また、上記第２伝導型はｐ型であることを特徴とするバイポーラトランジスタ。
【請求項１１】
請求項８に記載のバイポーラトランジスタにおいて、
上記ゲート層をなす結晶材料はＡｌＧａＮであり、
上記エミッタ層をなす結晶材料はＧａＮであり、
上記コレクタ層をなす結晶材料はＩｎＧａＮであり、
上記第１伝導型はｎ型であり、また、上記第２伝導型はｐ型であることを特徴とするバイポーラトランジスタ。
【請求項１２】
請求項６に記載のバイポーラトランジスタにおいて、
上記エミッタ層をなす結晶材料はＧａＮであり、
上記エミッタ層の厚さが２００ｎｍ以下であることを特徴とするバイポーラトランジスタ。
【請求項１３】
請求項１１に記載のバイポーラトランジスタにおいて、

上記各層の表面が（０００－１）面であることを特徴とするバイポーラトランジスタ。
【請求項１４】
請求項１乃至１３のいずれか１つに記載のバイポーラトランジスタを備えたことを特徴とする電子機器。

【発明の詳細な説明】
【技術分野】
【０００１】
この発明はバイポーラトランジスタに関する。特に、III族元素と窒素（Ｎ）との化合物半導体を材料とするバイポーラトランジスタに関する。
【背景技術】
【０００２】
この種の、III族元素と窒素（Ｎ）との化合物半導体を材料とするバイポーラトランジスタとしては、窒化ガリウム／窒化アルミニウムガリウム（ＧａＮ／ＡｌＧａＮ）材料で形成されたＨＢＴ（ヘテロ接合バイポーラトランジスタ）が知られている（例えば特許文献１（特開２００２－３６８００５号公報）参照。）。
【０００３】
そのＨＢＴは、例えばサファイアまたは炭化ケイ素（ＳｉＣ）からなる半絶縁基板の上面に、n^+－窒化ガリウム（ＧａＮ）サブコレクタ層（厚さ：～１０００ｎｍ、ｎ型ドーパントとしてのケイ素（Ｓｉ）の濃度：～$6\times10^{18}cm^{-3}$）と、このサブコレクタ層の上面の中央領域に形成されたｎ－ＧａＮコレクタ層と、ＡｌＧａＮ／ＧａＮの交互層（超格子）からなるベース層（総厚は１５０ｎｍ、各ＧａＮ層は厚さ～３ｎｍ、かつ未ドープで、各ＡｌＧａＮ層は厚さ～１ｎｍ、かつｐ型ドーパントとしてのＭｇ濃度が～$1\times10^{19}cm^{-3}$）と、このベース層の上面の中央領域に形成されたＡｌＧａＮエミッタ層（厚さ：１５０ｎｍ、ｎ型不純物としてのＳｉ濃度：～$6\times10^{18}cm^{-3}$）とを備えている。上記サブコレクタ層の上面のうちコレクタ層の両側に相当する領域にはコレクタ電極が形成され、上記ベース層の上面のうちエミッタ層の両側に相当する領域にはベース電極が形成され、また、エミッタ層の上面にはエミッタ電極が形成されている。
【特許文献１】特開２００２－３６８００５号公報
【発明の開示】
【発明が解決しようとする課題】
【０００４】
上述の従来例のように、III－Ｎ化合物半導体で通常使われるドーパントは、ｎ型ドーパントはＳｉであり、ｐ型ドーパントはＭｇである。しかしながら、III－Ｎ化合物半導体では、Ｍｇの活性化率が低く、しかも正孔の移動度が低いから、ｐ型ベース層のシート抵抗が高くなる。
【０００５】
例えば、ＧａＮからなる均一ベース層の場合は、ｐ型ドーパントとしてのＭｇのアクセプタ濃度を$5\times10^{19}cm^{-3}$に設定したとしても、正孔の濃度が$8\times10^{17}cm^{-3}$ぐらいしか生じない。このため、ベース層のシート抵抗が１００ｋΩ／□という高い値になる。このことは、特許文献１のＨＢＴにおける超格子ベース層でも同様である。
【０００６】
このため、従来のＨＢＴでは、ベース抵抗r_bが高くなって、高周波数領域では電力利得が低いという問題がある。
【０００７】
なお、均一ベース層を有するＨＢＴの高周波数領域における周波数ｆでの単方向電力利得（Unilateral Power Gain、記号Ｕ（ｆ）で表す。）は次式（１）で表わされる。
【０００８】
$$U(f)=f_T/(8\pi r_b C_c f^2) \quad \cdots(1)$$
【０００９】

ここで、f_Tは電流利得遮断周波数、r_bはベース抵抗値、C_cはコレクタ容量である。

【００１０】

そこで、この発明の課題は、ベース層のシート抵抗に性能が影響されない構造を有し、高周波領域でも高い電流利得を示すことができるバイポーラトランジスタを提供することにある。

【００１１】

また、この発明の課題は、高周波領域でも高い電流利得を示すことができるバイポーラトランジスタを備えることで、消費電力の低い電子機器（特に携帯電話の基地局、無線ＬＡＮの基地局等）を提供することにある。

【課題を解決するための手段】

【００１２】

上記課題を解決するため、この発明のバイポーラトランジスタは、

第１伝導型半導体からなるコレクタ層と、

このコレクタ層上に設けられた第１伝導型半導体からなるエミッタ層と、

このエミッタ層上に設けられた、第２伝導型キャリアを上記エミッタ層内へ注入するためのゲート層と、

上記コレクタ層とエミッタ層との間に形成され、上記ゲート層から上記エミッタ層内に注入されて上記エミッタ層内を拡散して到達した第２伝導型キャリアを一時的に保持する第２伝導型キャリア保持層と、

を備えたことを特徴とするバイポーラトランジスタ。

【００１３】

ここで、「第１伝導型」とはｎ型とｐ型のうちの一方を指し、「第２伝導型」とはｎ型とｐ型のうちの他方を指す。

【００１４】

「第１伝導型半導体」とは、母材としての半導体に、第１伝導型の不純物がドーピングされて第１伝導型になっているものを指す。同様に、「第２伝導型半導体」とは、母材としての半導体に、第２伝導型の不純物がドーピングされて第２伝導型になっているものを指す。

【００１５】

また、第２伝導型キャリア保持層が第２伝導型キャリアを「一時的に保持する」とは、第２伝導型キャリアがエミッタ層を拡散して第２伝導型キャリア保持層に到達してから、エミッタ層から第２伝導型キャリア保持層へ注入される第１伝導型キャリアと再結合するまでの期間、少なくとも保持する、ことを意味する。

【００１６】

この発明のバイポーラトランジスタでは、動作時にゲート層とエミッタ層との間に順バイアスが印加されて、上記ゲート層から上記エミッタ層内に第２伝導型キャリアが注入される。上記ゲート層から上記エミッタ層内に注入された第２伝導型キャリアは、上記エミッタ層内を、主にこのエミッタ層に対して垂直な方向（これを「縦方向」と呼ぶ。）に拡散して第２伝導型キャリア保持層に到達する。そして、この第２伝導型キャリアは第２伝導型キャリア保持層に保持されて第２伝導型キャリア保持層の第２伝導型キャリアが過剰になって、エミッタ層と第２伝導型キャリア保持層との間が順バイアス状態になる。この結果、エミッタ層から第２伝導型キャリア保持層へ第１伝導型キャリアの注入が引き起こされる。そして、第２伝導型キャリア保持層に保持された過剰な第２伝導型キャリアは全部、その注入される第１伝導型キャリア（の一部）と再結合する。このとき、エミッタ層から第２伝導型キャリア保持層へ注入される第１伝導型キャリアの大部分は、第２伝導型キャリア保持層を通過してコレクタ層に到達する。つまり、エミッタ層から、第２伝導型キャリア保持層を通してコレクタ層へ縦方向に第１伝導型キャリアが流れる。このようにしてトランジスタ動作が行われる。

【００１７】

このように、この発明のバイポーラトランジスタでは、上記ゲート層から上記エミッタ

層内に注入された第２伝導型キャリアは、上記エミッタ層内を主に縦方向に拡散して第２伝導型キャリア保持層に到達する。つまり、この発明のバイポーラトランジスタでは、従来のＨＢＴとは異なり、層方向に対して平行な方向（横方向）には第２伝導型キャリアが実質的に移動しないし、その必要も無い。したがって、この発明のバイポーラトランジスタでは、従来のＨＢＴのようにベース層のシート抵抗に性能が影響されることは無い。この結果、この発明のバイポーラトランジスタは、高周波領域でも高い電流利得を示すことができる。

【００１８】

一実施形態のバイポーラトランジスタでは、上記コレクタ層は所定の基板上に形成されていることを特徴とする。

【００１９】

この一実施形態のバイポーラトランジスタでは、基板が機械的強度を有するので、このバイポーラトランジスタの作製および取り扱いが容易になる。基板としては、例えばサファイアまたは炭化ケイ素（ＳｉＣ）からなる半絶縁基板が挙げられる。

【００２０】

一実施形態のバイポーラトランジスタは、上記コレクタ層と基板との間に、上記基板に沿って形成された第１伝導型半導体からなり、上記コレクタ層よりも第１伝導型不純物が高濃度にドーピングされているサブコレクタ層を備えたことを特徴とする。

【００２１】

一実施形態のバイポーラトランジスタでは、サブコレクタ層が上記コレクタ層よりも第１伝導型不純物が高濃度にドーピングされているので、サブコレクタ層に接してコレクタ電極を設けることにより、コレクタ電極とのオーミック接触が容易に実現される。また、サブコレクタ層の抵抗がコレクタ層の抵抗よりも低くなるので、コレクタ全体（コレクタ層およびサブコレクタ層）としての直列抵抗が低減される。また、コレクタ層の抵抗を低く設定できるので、耐圧が高くなるとともに、出力キャパシタンスが低くなる。したがって、このバイポーラトランジスタの性能が高まる。

【００２２】

一実施形態のバイポーラトランジスタでは、

上記コレクタ層は上記サブコレクタ層上の一部領域に形成され、上記サブコレクタ層の上面のうち上記コレクタ層の側方に相当する領域にコレクタ電極が設けられ、

上記ゲート層は上記エミッタ層上の一部領域に形成され、上記エミッタ層の上面のうち上記ゲート層の側方に相当する領域にエミッタ電極が設けられ、

上記ゲート層上にゲート電極が設けられていることを特徴とする。

【００２３】

この一実施形態のバイポーラトランジスタでは、動作時に、上記コレクタ電極、エミッタ電極、ゲート電極に、それぞれ所定のバイアス電圧を印加するための外部回路が接続され得る。上記コレクタ電極、エミッタ電極、ゲート電極に、それぞれ所定のバイアス電圧を印加することにより、既述のトランジスタ動作が容易に実現される。

【００２４】

一実施形態のバイポーラトランジスタでは、上記エミッタ層のエネルギバンドギャップが上記ゲート層のエネルギバンドギャップよりも狭いことを特徴とする。

【００２５】

この一実施形態のバイポーラトランジスタでは、上記エミッタ層のエネルギバンドギャップが上記ゲート層のエネルギバンドギャップよりも狭い（小さい）ので、ゲート層からエミッタ層への第２伝導型キャリアの注入効率が高まる。したがって、このバイポーラトランジスタの性能がさらに高まる。

【００２６】

一実施形態のバイポーラトランジスタでは、上記第２伝導型キャリア保持層は、第２伝導型半導体からなるベース層であることを特徴とする。

【００２７】

この一実施形態のバイポーラトランジスタでは、上記第２伝導型キャリア保持層は、第２伝導型半導体からなるベース層であるから、公知の結晶成長法により容易に形成される。つまり、上記コレクタ層、ベース層、エミッタ層の順に半導体層を積層すれば良い。これらの三層は、同じパターンに加工すれば足りる。

【００２８】

一実施形態のバイポーラトランジスタでは、上記ベース層のエネルギバンドギャップが上記エミッタ層のエネルギバンドギャップよりも狭いことを特徴とする。

【００２９】

この一実施形態のバイポーラトランジスタでは、上記ベース層のエネルギバンドギャップが上記エミッタ層のエネルギバンドギャップよりも狭い（小さい）ので、エミッタ層からベース層への第１伝導型キャリアの注入効率が高まる。したがって、このバイポーラトランジスタの性能がさらに高まる。

【００３０】

一実施形態のバイポーラトランジスタでは、上記第２伝導型キャリア保持層は、上記コレクタ層とエミッタ層の界面に生じる自発分極層であることを特徴とする。

【００３１】

この一実施形態のバイポーラトランジスタでは、上記第２伝導型キャリア保持層は、上記コレクタ層とエミッタ層の界面に生じる自発分極層であるから、このトランジスタの作製段階では、第２伝導型キャリア保持層をわざわざ形成する必要が無い。つまり、公知の結晶成長法により、上記コレクタ層、エミッタ層の順に半導体層を積層すれば良い。これらの二層は、同じパターンに加工すれば足りる。

【００３２】

一実施形態のバイポーラトランジスタでは、上記各層をなす結晶材料は、III族元素と窒素との化合物半導体であり、上記第１伝導型はｎ型であり、また、上記第２伝導型はｐ型であることを特徴とする。

【００３３】

既述のように、III族元素と窒素との化合物半導体を材料とした従来のｎｐｎトランジスタは、ｐ型ベース層のシート抵抗が高いために、高周波数領域における電力利得が低くなる。したがって、この一実施形態のバイポーラトランジスタのように、III族元素と窒素との化合物半導体を材料としたｎｐｎトランジスタを構成すれば、トランジスタの性能を改善できる程度が特に大きい。

【００３４】

一実施形態のバイポーラトランジスタでは、
上記ゲート層をなす結晶材料はＡｌＧａＮであり、
上記エミッタ層をなす結晶材料はＧａＮであり、
上記ベース層をなす結晶材料はＩｎＧａＮであり、
上記コレクタ層をなす結晶材料はＩｎＧａＮであり、
上記第１伝導型はｎ型であり、また、上記第２伝導型はｐ型であることを特徴とする。

【００３５】

この一実施形態のバイポーラトランジスタによれば、高周波領域でも高い電流利得を示すことができるバイポーラトランジスタが実現される。

【００３６】

一実施形態のバイポーラトランジスタでは、
上記ゲート層をなす結晶材料はＡｌＧａＮであり、
上記エミッタ層をなす結晶材料はＧａＮであり、
上記コレクタ層をなす結晶材料はＩｎＧａＮであり、
上記第１伝導型はｎ型であり、また、上記第２伝導型はｐ型であることを特徴とするバイポーラトランジスタ。

【００３７】

この一実施形態のバイポーラトランジスタによれば、高周波領域でも高い電流利得を示

すことができるバイポーラトランジスタが実現される。

【００３８】

一実施形態のバイポーラトランジスタでは、上記エミッタ層をなす結晶材料はＧａＮであり、上記エミッタ層の厚さが２００ｎｍ以下であることを特徴とする。

【００３９】

この一実施形態のバイポーラトランジスタでは、ＧａＮエミッタ層の厚さが２００ｎｍ以下であるから、上記ゲート層から上記ＧａＮエミッタ層内に注入された第２伝導型キャリア（つまり、ｐ型キャリアである正孔）は、上記ＧａＮエミッタ層内を縦方向に拡散して第２伝導型キャリア保持層に到達し得る。

【００４０】

また、高周波特性の観点からは、エミッタ層の厚さが１００ｎｍ以下であるのが、さらに望ましい。すなわち、次式（２）が要請される。

【００４１】

$$x_e < \mathrm{sqrt}[Dp/(\pi f)] \quad \cdots (2)$$

【００４２】

ここで、x_eはエミッタ層の厚さ、

Ｄｐはエミッタ層内のホール拡散係数（＝０．３ｃｍ^2／ｓ）であり、測定を基に計算される。

【００４３】

ｆは周波数である。

【００４４】

上記式（２）より、ｆ＝１ＧＨｚである場合、x_e＜１００ｎｍが望ましいということになる。

【００４５】

なお、周波数ｆが高くなるほど、エミッタ層の厚さx_eを、例えば８０ｎｍ、５０ｎｍというように、さらに薄くする方が好ましいと言える。

【００４６】

一実施形態のバイポーラトランジスタでは、上記各層の表面が（０００－１）面であることを特徴とする。

【００４７】

この一実施形態のバイポーラトランジスタでは、上記各層の表面が（０００－１）面であるから、上記コレクタ層とエミッタ層の界面に自発分極層が生じ易い。したがって、上記第２伝導型キャリア保持層をその自発分極層によって容易に構成できる。

【００４８】

さらに、本発明のバイポーラトランジスタを電子機器に備えることで、消費電力の低い電子機器を提供できる。

【発明を実施するための最良の形態】

【００４９】

以下、この発明のバイポーラトランジスタ（以下、適宜「デバイス」という。）を図示の実施の形態により詳細に説明する。

【００５０】

なお、以下の説明では、「ｎ－」は第１伝導型としてのｎ型を表し、「ｐ－」は第２伝導型としてのｐ型を表す。「n^+」「p^+」と表すときは、その＋は不純物が高濃度であることを表し、「n^-」「p^-」と表すときは、その－は不純物が低濃度であることを表す。

【００５１】

また、N_dは第１伝導型不純物（この例ではＳｉ）のドーピング濃度を表し、Ｎａは第２伝導型不純物（この例ではＭｇ）のドーピング濃度を表す。

【００５２】

第１伝導型キャリアは電子であり、第２伝導型キャリアは正孔である。

【００５３】

（第１実施形態）

図７は、この発明が適用された第１実施形態のデバイスの断面構造を示している。

【００５４】

このデバイスは、ｎ－ＧａＮサブコレクタ層（層厚１００ｎｍ、$N_d=5\times10^{18}cm^{-3}$）７０３と、このサブコレクタ層７０３の上面の中央領域に形成されたｎ－$In_xGa_{1-x}N$コレクタ層（層厚５００ｎｍ、Ｉｎ組成比ｘ＝０→０．２、$N_d=1\times10^{16}cm^{-3}$）７０４と、第２伝導型キャリア保持層としてのｐ－$In_{0.2}Ga_{0.8}N$ベース層（層厚２５ｎｍ、$N_a=5\times10^{19}cm^{-3}$）７０５と、ｎ－ＧａＮエミッタ層（層厚８０ｎｍ、$N_d=5\times10^{18}cm^{-3}$）７０６と、このエミッタ層７０６の上面の中央領域に形成されたｐ－$Al_{0.2}Ga_{0.8}N$ゲート層（層厚５０ｎｍ、$N_a=5\times10^{18}cm^{-3}$）７０７とを備えている。上記ｎ－$In_xGa_{1-x}N$コレクタ層７０４のＩｎ混晶比ｘは、サブコレクタ層側がｘ＝０でベース層側がｘ＝０．２であるようなグレーディングになっている。コレクタ層７０４は「トランジット層」とも呼ばれる。

【００５５】

サブコレクタ層７０３の上面のうちコレクタ層７０４の両側に相当する領域にはコレクタ電極７０９，７０９が形成されている。エミッタ層７０６の上面のうちゲート層７０７の両側に相当する領域にはエミッタ電極７１０，７１０が形成されている。また、ゲート層７０７の上面にはゲート電極７１１が形成されている。これらのコレクタ電極７０９、エミッタ電極７１０、ゲート電極７１１は、それぞれ直下のサブコレクタ層７０３、エミッタ層７０６、ゲート層７０７とオーミック接触している。

【００５６】

つまり、このデバイスでは、上から順にp^+、n^+、p^+、n^-、n^+の半導体層がある（n^-がコレクタ層７０４に相当する。）。ベース層７０５は、電極が設けられておらず、電気的に浮いている。

【００５７】

各半導体層７０３、７０４、７０５、７０６、７０７は、例えば分子線エピタキシャル成長法（ＭＢＥ）により順に積層され、メサエッチング法によりパターン加工される。各電極７０９、７１０、７１１は蒸着され、リフトオフ法によりパターン加工される。

【００５８】

このデバイスでは、動作時に、ゲート電極７１１が入力端子として用いられ、コレクタ電極７０９が出力端子として用いられる。例えば、エミッタ電極７１０が接地（ＧＮＤ）され、ゲート電極７１１に正電圧（＋Ｖｇ；ゲート電圧バイアス）が印加されて、ゲート層７０７とエミッタ層７０６との間（p^+n^+接合）に順バイアスが印加される。また、コレクタ電極７０９に正電圧（＋Ｖｃ；コレクタ電圧バイアス）が印加されて、サブコレクタ層７０３・コレクタ層７０４とベース層７０５との間（$n^+n^-p^+$接合）が逆バイアス状態になる。

【００５９】

ゲート層７０７とエミッタ層７０６との間に順バイアスが印加されるので、まずゲート層７０７からエミッタ層７０６内に正孔が注入される。ゲート層７０７からエミッタ層７０６内に注入された正孔は、エミッタ層７０６内を、主に縦方向（図７中に矢印ｈ１で示す。）に拡散してベース層７０５に到達する。そして、この正孔はベース層７０５に保持されてベース層７０５の正孔が過剰になって、エミッタ層７０６とベース層７０５との間が順バイアス状態になる。この結果、エミッタ層７０６からベース層７０５へ電子の注入が引き起こされる。そして、ベース層７０５に保持された過剰な正孔は全部、その注入される電子（の一部）と再結合する。このとき、エミッタ層７０６からベース層７０５へ注入される電子の大部分は、ベース層７０５を通過してコレクタ層７０４、サブコレクタ層７０３に到達する。つまり、エミッタ層７０６から、ベース層７０５を通してコレクタ層７０４、サブコレクタ層７０３へ縦方向（図７中に矢印ｅ１で示す。）に電子が流れる。このようにしてトランジスタ動作が行われる。電子の電流が正孔の電流より大きいので、電流利得が生じる。

【００６０】
このように、この発明のバイポーラトランジスタでは、ゲート層７０７からエミッタ層７０６内に注入された正孔は、エミッタ層７０６内を主に縦方向に拡散してベース層７０５に到達する。つまり、この発明のバイポーラトランジスタでは、従来のＨＢＴとは異なり、横方向には第２伝導型キャリアが実質的に移動しないし、その必要も無い。したがって、この発明のバイポーラトランジスタでは、従来のＨＢＴのようにベース層のシート抵抗に性能が影響されることは無い。この結果、この発明のバイポーラトランジスタは、高周波領域でも高い電流利得を示すことができる。
【００６１】
図８は、図７のデバイスをモデルによりシミュレーションをした結果の、エネルギバンドと、電子と正孔の濃度を示している。図中、横軸は、ゲート電極７１１からの縦方向の距離ｘを表している。理解の容易のために、枠外上部に各層７０７，７０６，７０５，７０４，７０３の範囲を示している。枠内上部に示すエネルギバンドのグラフでは、実線ＣＥが伝導帯の下端を示し、実線ＶＥが価電子帯の上端を示している。枠内下部に示すキャリア濃度では、破線がｎ型キャリアである電子の濃度を示し、１点鎖線がｐ型キャリアである正孔の濃度を示している。この図示の仕方は、後述する図９、図１１、図１３でも同様である。この図８では、各層に電圧バイアスがかかっておらず、熱平衡状態にある。
【００６２】
図９は、バイアス印加状態にある図７のデバイスをシミュレーションをした結果の、エネルギバンドと、電子と正孔の濃度を示している。この場合はコレクタ電圧バイアスがＶｃ＝＋５Ｖであって、ゲート電圧バイアスがＶｇ＝＋３．３Ｖである。図９中の矢印ｈ１は、図７中の矢印ｈ１と同様に、ゲート層７０７からエミッタ層７０６内に注入され、エミッタ層７０６内を拡散してベース層７０５（の価電子帯のエッジ７０５ｖｅ近傍）に到達する正孔を示している。また、図９中の矢印ｈ２は、エミッタ層７０６からベース層７０５へ注入される電子の一部（図９中に矢印ｅ２で示す）と再結合する正孔を示している。また、図９中の矢印ｅ１は、エミッタ層７０６から、ベース層７０５を通してコレクタ層７０４、サブコレクタ層７０３へ流れる電子を示している。
【００６３】
このデバイスの直流電流利得β_0は次式（３）で表される。
【００６４】
$$\beta_0 = \alpha_1\alpha_2/(1-\alpha_2) \quad \cdots(3)$$
【００６５】
ここで、α_1は正孔がエミッタ層７０６を再結合せずに渡る確率であり、α_2は電子がベース層７０５を再結合せずに渡る確率である。エミッタ層７０６がある程度厚くてα_1が低い場合でも、α_2が１に近ければ、直流電流利得β_0が高くなる可能性がある。例えば、α_1＝０．０１と低い場合でも、α_2＝０．９９９９というように１に近ければ、β_0　１００になって実用レベルとなる。
【００６６】
上記エミッタ層７０６の厚さは２００ｎｍ以下であるのが望ましい。エミッタ層７０６の厚さが２００ｎｍ以下であれば、正孔がエミッタ層７０６を再結合せずにわたってベース層７０５に到達し得るからである。
【００６７】
（第２実施形態）
図１０は、この発明が適用された第２実施形態のデバイスの断面構造を示している。
【００６８】
このデバイスは、ｎ－ＧａＮサブコレクタ層（層厚１００ｎｍ、$N_d=5\times10^{18}cm^{-3}$）１００３と、このサブコレクタ層１００３の上面の中央領域に形成されたｎ－$In_xGa_{1-x}N$コレクタ層（層厚５００ｎｍ、Ｉｎ組成比ｘ＝０→０．２、$N_d=1\times10^{16}cm^{-3}$）１００４と、ｎ－ＧａＮエミッタ層（層厚８０ｎｍ、$N_d=5\times10^{18}cm^{-3}$）１００６と、このエミッタ層１００６の上面の中央領域に形成されたｐ－$Al_{0.2}Ga_{0.8}N$ゲ

ート層（層厚５０ｎｍ、$N_a=5\times10^{18}cm^{-3}$）１００７とを備えている。上記ｎ－$In_xGa_{1-x}N$コレクタ層１００４のＩｎ混晶比ｘは、サブコレクタ層側がｘ＝０でエミッタ層側がｘ＝０．２であるようなグレーディングになっている。

【００６９】

コレクタ電極１００９、エミッタ電極１０１０、ゲート電極１０１１は、第１実施形態におけるのと同様に形成されている。これらのコレクタ電極１００９、エミッタ電極１０１０、ゲート電極１０１１は、それぞれ直下のサブコレクタ層１００３、エミッタ層１００６、ゲート層１００７とオーミック接触している。

【００７０】

分かるように、このデバイスの構造は、第１実施形態のデバイスにおいてｐ－$In_{0.2}Ga_{0.8}N$ベース層７０５を省略したものに相当する。このデバイスの構造について次に説明する。

【００７１】

III族元素と窒素（Ｎ）との化合物半導体同士が作るヘテロ接合の界面には、自発分極により分極荷電が存在している。この分極荷電は主に各半導体材料の自発分極の差によって生じるので、第１実施形態のデバイスにおける各半導体層の構成では、エミッタ層７０６とベース層７０５とが作るヘテロ接合の界面と、ゲート層７０７とエミッタ層７０６とが作るヘテロ接合の界面に、それぞれ２次元正孔ガス（２ＤＨＧ）が発生する。もし、エミッタ層７０６とベース層７０５とが作るヘテロ接合の界面に生ずる２ＤＨＧの濃度が十分高かったら、ベース層７０５が無くても同様に動作するデバイスが実現される。

【００７２】

そこで、この第２実施形態のデバイスでは、既述のようにベース層を省略して、ｎ－$In_xGa_{1-x}N$コレクタ層１００４上に直接ｎ－ＧａＮエミッタ層１００６が設けられている。この結果、エミッタ層１００６とコレクタ層１００４とが作る界面（その近傍領域を含む。以下「２ＤＨＧ層」と呼ぶ。）１００５が第２伝導型キャリア保持層として働く。

【００７３】

なお、ヘテロ接合界面での自発分極の荷電濃度を高くするためには、各半導体層の表面は（０００－１）面であるのが望ましい。

【００７４】

なお、エミッタ層とコレクタ層との半導体組成を大きく異なるものとしても良い。しかしながら、半導体組成の違いが大きすぎると格子歪みが大きくなり過ぎて転位密度の増加が起きる。このため、エミッタ・コレクタ間のリーク電流が増えるという問題が発生する。

【００７５】

図１１は、図１０のデバイスをモデルによりシミュレーションをした結果の、エネルギバンドと、電子と正孔の濃度を示している。この図１１では、各層に電圧バイアスがかかっておらず、熱平衡状態にある。動作時に、ゲート層１００７から注入されエミッタ層１００６内を拡散して２ＤＨＧ層１００５に到達した正孔は、２ＤＨＧ層１００５（の価電子帯のエッジ１００５ｖｅ近傍）に一時的に保持される。

【００７６】

詳しくは、動作時には図１０中に示すゲート層１００７とエミッタ層１００６との間に順バイアスが印加されるので、まずゲート層１００７からエミッタ層１００６内に正孔が注入される。ゲート層１００７からエミッタ層１００６内に注入された正孔は、エミッタ層１００６内を、主に縦方向（図１０中に矢印ｈ１で示す。）に拡散して２ＤＨＧ層１００５に到達する。そして、この正孔は２ＤＨＧ層１００５に保持されて２ＤＨＧ層１００５の正孔が過剰になって、エミッタ層１００６と２ＤＨＧ層１００５との間のポテンシャルバリアが低くなる。この結果、エミッタ層１００６から２ＤＨＧ層１００５へ電子の注入が引き起こされる。そして、２ＤＨＧ層１００５に保持された過剰な正孔は全部、その注入される電子（の一部）と再結合する。このとき、エミッタ層１００６から２ＤＨＧ層１００５へ注入される電子の大部分は、２ＤＨＧ層１００５を通過してコレクタ層１００

４、サブコレクタ層１００３に到達する。つまり、エミッタ層１００６から、２ＤＨＧ層１００５を通してコレクタ層１００４、サブコレクタ層１００３へ縦方向（図１０中に矢印ｅ１で示す。）に電子が流れる。このようにしてトランジスタ動作が行われる。電子の電流が正孔の電流より大きいので、電流利得が生じる。

【００７７】

この場合は、２ＤＨＧ層１００５の厚さがｐ型ベース層７０５（図７参照）の厚さより薄いため、再結合電流が少なくなる。したがって、既述の式（３）におけるα_2がα_1と更に近くなって、直流電流利得β_0がより高くなる。

【００７８】

（第３実施形態）

図１２は、この発明が適用された第３実施形態のデバイスの断面構造を示している。

【００７９】

このデバイスは、ｎ－ＧａＮサブコレクタ層（層厚１００ｎｍ、$N_d=5\times10^{18}cm^{-3}$）１２０３と、このサブコレクタ層１２０３の上面の中央領域に形成されたｎ－$In_xGa_{1-x}N$コレクタ層（層厚５００ｎｍ、Ｉｎ組成比ｘ＝０→０．２、$N_d=1\times10^{16}cm^{-3}$）１２０４と、ｎ－ＧａＮエミッタ層（層厚８０ｎｍ、$N_d=5\times10^{18}cm^{-3}$）１２０６と、このエミッタ層１２０６の上面の中央領域に形成された$Al_xGa_{1-x}N$ゲート層（層厚２５ｎｍ、Ａｌ組成比ｘ＝０．１→０．３、アンドープ）１２０７とを備えている。上記ｎ－$In_xGa_{1-x}N$コレクタ層１２０４のＩｎ混晶比ｘは、サブコレクタ層側がｘ＝０でエミッタ層側がｘ＝０．２であるようなグレーディングになっている。また、上記$Al_xGa_{1-x}N$ゲート層１２０７のＡｌ混晶比ｘは、エミッタ層側がｘ＝０．１で上面側がｘ＝０．３であるようなグレーディングになっている。

【００８０】

コレクタ電極１２０９、エミッタ電極１２１０、ゲート電極１２１１は、第１、第２実施形態におけるのと同様に形成されている。これらのコレクタ電極１２０９、エミッタ電極１２１０、ゲート電極１２１１は、それぞれ直下のサブコレクタ層１２０３、エミッタ層１２０６、ゲート層１２０７とオーミック接触している。

【００８１】

分かるように、このデバイスの構造は、第２実施形態のデバイスにおけるｐ－$Al_{0.2}Ga_{0.8}N$ゲート層１００７をアンドープ$Al_xGa_{1-x}N$ゲート層１２０７に代えたものに相当する。このデバイスの構造について次に説明する。

【００８２】

ゲート層には混晶比グレーディングがあれば自発分極によって分極荷電が生じる。混晶比グレーディングの場合は３次元正孔ガス（３ＤＨＧ）が発生する可能性がある。もし、ゲート層に生ずる３ＤＨＧ濃度が十分高かったら、ゲート層に対するｐ型ドーピングの必要は無くなる。

【００８３】

そこで、この第３実施形態のデバイスでは、既述のようにアンドープ$Al_xGa_{1-x}N$ゲート層１２０７を備えている。エミッタ層１２０６とコレクタ層１２０４とが作る界面（その近傍領域を含む。以下「２ＤＨＧ層」と呼ぶ。）１２０５が第２伝導型キャリア保持層として働くことは、第２実施形態におけるのと同様である。

【００８４】

図１３は、図１２のデバイスをモデルによりシミュレーションをした結果の、エネルギバンドと、電子と正孔の濃度を示している。この図１３では、各層に電圧バイアスがかかっておらず、熱平衡状態にある。動作時に、ゲート層１２０７から注入されエミッタ層１２０６内を拡散して２ＤＨＧ層１２０５に到達した正孔は、２ＤＨＧ層１２０５（の価電子帯のエッジ１２０５ｖｅ近傍）に一時的に保持される。その他の作用は、第２実施形態におけるのと同様である。

【００８５】

さて、第１～第３実施形態のデバイスにおいて、高周波数における電流利得β（ｆ）は

次式（４）で表される。

【００８６】

$$\beta(f) = 1/(2\pi f \tau_2) - \tau_1/\tau_2 \quad \tau_1 = x_e^2/(2D_p)$$
$$\tau_2 = (C_{ge}+C_{ce})kT/(qI_c) + x_b^2/(2D_n) + x_t/(2v_{sn}) \quad \cdots (4)$$

【００８７】

ここで、それぞれｆが周波数、x_eがエミッタ層の厚さ、x_bがベース層の厚さ、D_pが正孔の拡散係数、D_nが電子の拡散係数、x_tがコレクタ層の厚さ、C_{ge}がゲート・エミッタ間のキャパシタンス、C_{ce}がコレクタ・エミッタ間のキャパシタンス、ｋがボルツマン定数、Ｔが温度、ｑが電子の荷電量、I_cがコレクタ電流、v_{sn}が電子の飽和速度である。また、τ_1が正孔の動きによる遅延時間であり、τ_2が電子の動きによる遅延時間である。なお、第２実施形態のデバイス（図１０）と第３実施形態のデバイス（図１２）の場合は、ベース層が省略されている（その代わりに２ＤＨＧ層がある）ので、x_bが０ｎｍである。

【００８８】

図１４はβ（ｆ）対ｆのグラフを示している。ここでパラメータは、x_e＝５０ｎｍ、x_b＝０ｎｍ、D_p＝０．２６cm^2s^{-1}、x_t＝５００ｎｍ、v_{sn}＝$2\times10^7 cms^{-1}$に設定されている。

【００８９】

ｆ≪１／（２πτ$_1$）なる周波数領域では、正孔の遅延時間がほとんど影響を与えないので、β（ｆ）は通常のトランジスタの－２０ｄＢ／デケード（－２０ｄＢ／ｄｅｃａｄｅ。比較のために、図１４中にその勾配を１点鎖線で示す。）の特性を示す。

【００９０】

また、第１～第３実施形態のデバイスにおいて、高周波数領域における周波数ｆでの単方向電力利得（Unilateral Power Gain、記号Ｕ（ｆ）で表す。）は次式（５）で表される。

【００９１】

$$U(f) = \beta(f)/(8\pi r_e C_{ce} f) \quad \cdots (5)$$

【００９２】

ここで、それぞれr_eがエミッタ抵抗値、C_{ce}がコレクタ・エミッタ間のキャパシタンスである。エミッタ層はｎ型であるため、シート抵抗が低くて、r_eが従来のＨＢＴのベース抵抗値r_bより低い。

【００９３】

ｆ≪１／（２πτ$_1$）なる周波数領域では、従来のＨＢＴのＵ（ｆ）に比して、本発明のデバイスのＵ（ｆ）がより高くなる。

【実施例１】

【００９４】

図１は、第１実施形態のデバイス（図７～図９）に関する更に具体的な断面構造を例示し、図４はその平面パターンレイアウトを示している。

【００９５】

このデバイスは、サファイア基板１０１上に、ＡｌＮバッファ層（層厚５ｎｍ、アンドープ）１０２と、ｎ－ＧａＮサブコレクタ層（層厚５００ｎｍ、$N_d=5\times10^{18}cm^{-3}$）１０３と、このサブコレクタ層１０３の上面の中央領域に形成された$n-In_xGa_{1-x}N$コレクタ層（層厚５００ｎｍ、Ｉｎ組成比ｘ＝０→０．２、$N_d=1\times10^{16}cm^{-3}$）１０４と、第２伝導型キャリア保持層としての$p-In_{0.2}Ga_{0.8}N$ベース層（層厚２５ｎｍ、$N_a=5\times10^{19}cm^{-3}$）１０５と、ｎ－ＧａＮエミッタ層（層厚８０ｎｍ、$N_d=5\times10^{18}cm^{-3}$）１０６と、このエミッタ層１０６の上面の中央領域に形成された$p-Al_{0.2}Ga_{0.8}N$ゲート層（層厚２５ｎｍ、$N_a=5\times10^{19}cm^{-3}$）１０７と、ＧａＮゲートキャップ層（層厚２５ｎｍ、$N_a=5\times10^{19}cm^{-3}$）１０８とを備えている。上記$n-In_xGa_{1-x}N$コレクタ層１０４のＩｎ混晶比ｘは、サブコレクタ層側がｘ＝０で

ベース層側がｘ＝０．２であるようなグレーディングになっている。この例では、各半導体層の表面は（０００１）面である。

【００９６】

サブコレクタ層１０３の上面のうちコレクタ層１０４の両側に相当する領域にはＴｉ／Ａｌ／Ａｕからなるコレクタ電極１０９，１０９が形成されている。エミッタ層１０６の上面のうちゲート層１０７の両側に相当する領域にはＴｉ／Ａｌ／Ａｕからなるエミッタ電極１１０，１１０が形成されている。また、ゲートキャップ層１０８の上面にはＰｄ／Ａｕからなるゲート電極１１１が形成されている。これらのコレクタ電極１０９、エミッタ電極１１０、ゲート電極１１１は、それぞれ直下のサブコレクタ層１０３、エミッタ層１０６、ゲートキャップ層１０８とオーミック接触している。

【００９７】

つまり、このデバイスでは、上から順にp^+、n^+、p^+、n^-、n^+の半導体層がある（n^-がコレクタ層１０４に相当する。）。ベース層１０５は、電極が設けられておらず、電気的に浮いている。

【００９８】

各半導体層１０２、１０３、１０４、１０５、１０６、１０７、１０８は、例えば分子線エピタキシャル成長法（ＭＢＥ）により順に積層され、メサエッチング法によりパターン加工される。各電極１０９、１１０、１１１は蒸着され、リフトオフ法によりパターン加工される。図４に示すように、この例では、各電極１０９、１１０、１１１はストライプ状にパターン加工されている。

【００９９】

図１中に示す各コレクタ電極１０９の幅Ｗｃは約５μｍ、各エミッタ電極１１０の幅Ｗｅは約２μｍであって、ゲート電極１１１の幅Ｗｇは約１μｍである。

【０１００】

コレクタ層１０４は通常のＨＢＴと同じように、ベース層１０５とサブコレクタ層１０３よりドーピング濃度が低くて厚さが厚い。これで耐圧が高くなるとともに、出力キャパシタンスが低くなる。

【０１０１】

コレクタ層１０４のドーピング濃度は$N_d < 1\times10^{17}cm^{-3}$が望ましくて、$N_d \leqq 5\times10^{16}cm^{-3}$が最も望ましい。コレクタ層１０４の厚さ$x_t$は$x_t > 200nm$が望ましくて、$x_t \geqq 300nm$が最も望ましい。

【０１０２】

この実施例のコレクタ層１０４は単純な組成グレーディングであるが、もっと複雑な組成グレーディング等、色々なコレクタ構造が可能である。

【実施例２】

【０１０３】

図２は、第２実施形態のデバイス（図１０～図１１）に関する更に具体的な断面構造を例示し、図５はその平面パターンレイアウトを示している。

【０１０４】

このデバイスは、サファイア基板２０１上に、ＡｌＮバッファ層（層厚５ｎｍ、アンドープ）２０２と、ｎ－ＧａＮサブコレクタ層（層厚５００ｎｍ、$N_d=5\times10^{18}cm^{-3}$）２０３と、このサブコレクタ層２０３の上面の中央領域に形成された$n-In_xGa_{1-x}N$コレクタ層（層厚５００ｎｍ、Ｉｎ組成比ｘ＝０→０．２、$N_d=1\times10^{16}cm^{-3}$）２０４と、ｎ－ＧａＮエミッタ層（層厚５０ｎｍ、$N_d=5\times10^{18}cm^{-3}$）２０６と、このエミッタ層２０６の上面の両側領域に形成された$p-Al_{0.2}Ga_{0.8}N$ゲート層（層厚２５ｎｍ、$N_a=5\times10^{19}cm^{-3}$）２０７，２０７と、ｐ－ＧａＮゲートキャップ層（層厚２５ｎｍ、$N_a=5\times10^{19}cm^{-3}$）２０８，２０８を備えている。上記$n-In_xGa_{1-x}N$コレクタ層２０４のＩｎ混晶比ｘは、サブコレクタ層側がｘ＝０でエミッタ層側がｘ＝０．２であるようなグレーディングになっている。この例では、各半導体層の表面は（０００－１）面である。

【０１０５】
サブコレクタ層２０３の上面のうちコレクタ層２０４の両側に相当する領域にはＴｉ／Ａｌ／Ａｕからなるコレクタ電極２０９，２０９が形成されている。エミッタ層２０６の上面の中央領域にはＴｉ／Ａｌ／Ａｕからなるエミッタ電極２１０が形成されている。また、ゲートキャップ層２０８，２０８の上面にはそれぞれＰｄ／Ａｕからなるゲート電極２１１，２１１が形成されている。これらのコレクタ電極２０９、エミッタ電極２１０、ゲート電極２１１は、それぞれ直下のサブコレクタ層２０３、エミッタ層２０６、ゲートキャップ層２０８とオーミック接触している。
【０１０６】
つまり、このデバイスでは、上から順にp^+、n^+、n^-、n^+の半導体層がある（n^-がコレクタ層２０４に相当する。）。
【０１０７】
この例では、ｐ型ベース層が無く、エミッタ層２０６とコレクタ層２０４とが作る界面（その近傍領域を含む。以下「２ＤＨＧ層」と呼ぶ。）２０５が第２伝導型キャリア保持層として働く。各半導体層の表面は（０００－１）面であるから、２ＤＨＧ層２０５における２次元正孔ガスの濃度が十分高くなっている。
【０１０８】
各半導体層２０２、２０３、２０４、２０６、２０７、２０８は、例えば分子線エピタキシャル成長法（ＭＢＥ）により順に積層され、メサエッチング法によりパターン加工される。各電極２０９、２１０、２１１は蒸着され、リフトオフ法によりパターン加工される。図５に示すように、この例では、各電極２０９、２１０、２１１はストライプ状にパターン加工されている。
【０１０９】
図２中に示す各コレクタ電極２０９の幅Ｗｃは約５μｍ、エミッタ電極２１０の幅Ｗｅは約３μｍであって、各ゲート電極２１１の幅Ｗｇは約１μｍである。
【実施例３】
【０１１０】
図３は、第３実施形態のデバイス（図１２～図１３）に関する更に具体的な断面構造を例示している。
【０１１１】
このデバイスは、サファイア基板３０１上に、ＡｌＮバッファ層（層厚５ｎｍ、アンドープ）３０２と、ｎ－ＧａＮサブコレクタ層（層厚５００ｎｍ、$N_d=5\times10^{18}cm^{-3}$）３０３と、このサブコレクタ層３０３の上面の中央領域に形成された$n-In_xGa_{1-x}N$コレクタ層（層厚５００ｎｍ、Ｉｎ組成比ｘ＝０→０．２、$N_d=1\times10^{16}cm^{-3}$）３０４と、ｎ－ＧａＮエミッタ層（層厚５０ｎｍ、$N_d=5\times10^{18}cm^{-3}$）３０６と、このエミッタ層３０６の上面の中央領域に形成された$Al_xGa_{1-x}N$ゲート層（層厚２５ｎｍ、ｘ＝０．１→０．３、アンドープ）３０７を備えている。上記$n-In_xGa_{1-x}N$コレクタ層３０４のＩｎ混晶比ｘは、サブコレクタ層側がｘ＝０でエミッタ層側がｘ＝０．２であるようなグレーディングになっている。また、上記$Al_xGa_{1-x}N$ゲート層３０７のＡｌ混晶比ｘは、エミッタ層側がｘ＝０．１で上面側がｘ＝０．３であるようなグレーディングになっている。この例では、各半導体層の表面は（０００－１）面である。
【０１１２】
サブコレクタ層３０３の上面のうちコレクタ層３０４の両側に相当する領域にはＴｉ／Ａｌ／Ａｕからなるコレクタ電極３０９，３０９が形成されている。エミッタ層３０６の上面のうちゲート層３０７の両側に相当する領域にはＴｉ／Ａｌ／Ａｕからなるエミッタ電極３１０，３１０が形成されている。また、ゲート層３０７の上面にはＰｄ／Ａｕからなるゲート電極３１１が形成されている。これらのコレクタ電極３０９、エミッタ電極３１０、ゲート電極３１１は、それぞれ直下のサブコレクタ層３０３、エミッタ層３０６、ゲート層３０７とオーミック接触している。
【０１１３】

つまり、このデバイスでは、上から順にｉ、n^+、n^-、n^+の半導体層がある（ｉがゲート層３０７、n^-がコレクタ層３０４に相当する。）。

【０１１４】

この例では、ｐ型ベース層が無く、エミッタ層３０６とコレクタ層３０４とが作る界面（その近傍領域を含む。以下「２ＤＨＧ層」と呼ぶ。）３０５が第２伝導型キャリア保持層として働く。各半導体層の表面は（０００－１）面であるから、２ＤＨＧ層３０５における２次元正孔ガスの濃度が十分高くなっている。

【０１１５】

更に、ゲート層３０７には混晶比グレーディングがあって、ゲート層３０７のＡｌ混晶比ｘはエミッタ側でｘ＝０．１、ゲート電極側でｘ＝０．３であり、ゲート電極側のＡｌ混晶比ｘが大きいことによって自発分極荷電の量が多くなり、３次元正孔ガスの濃度は十分高くなっている。したがって、ゲート層３０７には、ｐ型ドーパントが必要とされない。また、ゲート層３０７はエミッタ層３０６よりエネルギバンドギャップが大きくて、エミッタからの電子注入を抑えることができる。

【０１１６】

各半導体層３０２、３０３、３０４、３０６、３０７、３０８は、例えば分子線エピタキシャル成長法（ＭＢＥ）により順に積層され、メサエッチング法によりパターン加工される。各電極３０９、３１０、３１１は蒸着され、リフトオフ法によりパターン加工される。この例では、実施例１（図４）に示したのと同様に、各電極３０９、３１０、３１１はストライプ状にパターン加工されている。

【０１１７】

図６は、既述の式（５）に基づいて計算された図３のデバイスの単方向電力利得Ｕ（ｆ）を、式（１）に基づいて計算された従来のＨＢＴ（均一ベース層を持つもの）の単方向電力利得Ｕ（ｆ）と比較して示している。

【０１１８】

図３のデバイスの構成パラメータは、エミッタ層の厚さx_e＝５０ｎｍ、ベース層の厚さx_b＝０ｎｍ、コレクタ層の厚さx_t＝５００ｎｍ、電子の拡散係数D_n＝２６cm^2s^{-1}、電子の飽和速度v_{sn}＝$2\times10^7 cms^{-1}$、エミッタ電極幅Ｗｅ＝２μｍ、ゲート電極幅Ｗｇ＝２μｍ、コレクタ電極幅Ｗｃ＝５μｍに設定されている。

【０１１９】

一方、従来のＨＢＴは、図１５に示すように、サファイア基板１７０１上に、ｎ－ＧａＮサブコレクタ層（$N_d=1\times10^{18} cm^{-3}$）１７０３、ｎ－ＧａＮコレクタ層（$N_d=5\times10^{16} cm^{-3}$）１７０４、ｐ－ＧａＮベース層（$N_a=5\times10^{19} cm^{-3}$）１７０５、および$n-Al_{0.1}Ga_{0.9}N$エミッタ層（$N_d=1\times10^{18} cm^{-3}$）１７０６を備えている。１７０９はＴｉ／Ａｌ／Ａｕコレクタオーミック電極、１７１３はＴｉ／Ａｌ／Ａｕエミッタオーミック電極、１７１０はＰｄ／Ａｕベースオーミック電極である。この従来のＨＢＴの構成パラメータは、エミッタ層の厚さx_e＝１００ｎｍ、ベース層の厚さx_b＝１００ｎｍ、コレクタ層の厚さx_t＝５００ｎｍ、電子の拡散係数Ｄｎ＝２６cm^2s^{-1}、電子の飽和速度v_{sn}＝$2\times10^7 cms^{-1}$、エミッタ電極幅Ｗｅ＝２μｍ、ベース電極幅Ｗｂ＝２μｍ、コレクタ電極幅Ｗｃ＝５μｍに設定されている。各半導体層の表面は（０００１）面である。

【０１２０】

この図６から分かるように、$f \ll 1/(2\pi\tau_1)$なる周波数領域では、従来のＨＢＴのＵ（ｆ）に比して、本発明のデバイスのＵ（ｆ）がより高くなっている。

【０１２１】

上記の説明ではエミッタ電極が接地されているが、エミッタ電極以外の端子を接地にしても有効である。

【０１２２】

上記の例では、サファイア基板上に各半導体層を成長したが、この発明のデバイスはサファイア以外の基板を用いても有効である。特に、III族元素と窒素（Ｎ）との化合物半

導体を材料とする場合は、ＳｉＣ基板、Ｓｉ基板、ＡｌＮ基板、ＧａＮ基板を使うことができる。

【０１２３】

また、上記の例では、各半導体層の成長方法としてＭＢＥを採用したが、ＭＢＥ以外の成長方法を採用することもできる。特に、III族元素と窒素（Ｎ）との化合物半導体を材料とする場合は、有機金属化学気相成長法（Metal Organic Chemical Vapor Deposition；ＭＯＣＶＤ）とハイドライド気相成長法(Hydride Vapor Phase Epitaxy；ＨＶＰＥ）が有効に使える。

【０１２４】

この発明のデバイスを構成するのに、色々な半導体材料を有効に使える。しかし、電子の移動度μ_nと正孔の移動度μ_pが大きく異なる半導体ならば、この発明が特に有効である。ＧａＡｓの場合はμ_n＝８０００ｃｍ^{2}Ｖ$^{-1}$ｓ$^{-1}$で、μ_p＝４００ｃｍ^{2}Ｖ$^{-1}$ｓ$^{-1}$で、μ_n／μ_p＝２０で、本発明がまずまず有効である。しかし、ＧａＮを材料とする場合は、μ_n＝１０００ｃｍ^{2}Ｖ$^{-1}$ｓ$^{-1}$で、μｐ＝１０ｃｍ^{2}Ｖ$^{-1}$ｓ$^{-1}$で、μ_n／μ_p＝１００で、本発明が特に有効である。しかも、ＧａＮのｐ型ドーパントの活性化率が低いため、ｐ型ＧａＮ層の抵抗値が更に大きくなり、従来の構造を持つＨＢＴでは高周波領域で特性が悪くなる。これに対して、本発明のバイポーラトランジスタは、ベース層のシート抵抗に性能が影響されない構造を有するので、高周波領域でも高い電流利得を示すことができる。したがって、ＧａＮを材料とするバイポーラトランジスタに本発明を適用すれば、トランジスタの性能を改善できる程度が特に大きい。

【０１２５】

（第４実施形態）

本発明のバイポーラトランジスタを電子機器に備えることにより、消費電力の低い電子機器を提供できる。本発明のバイポーラトランジスタは、高周波領域でも高い電流利得を示すことができるので、特に、携帯電話の基地局、無線ＬＡＮの基地局等に好適である。

【図面の簡単な説明】

【０１２６】

【図１】この発明のバイポーラトランジスタの実施例１の断面構造を示す図である。

【図２】この発明のバイポーラトランジスタの実施例２の断面構造を示す図である。

【図３】この発明のバイポーラトランジスタの実施例３の断面構造を示す図である。

【図４】図１のデバイスの平面パターンレイアウトを示す図である。

【図５】図２のデバイスの平面パターンレイアウトを示す図である。

【図６】図３のデバイスの単方向電力利得を、従来のＨＢＴと比較して示す図である。

【図７】この発明のバイポーラトランジスタを適用した第１実施形態の断面構造を示す図である。

【図８】図７に示しているデバイスの熱平衡状態のエネルギバンドと電子と正孔の濃度を示す図である。

【図９】図７に示しているデバイスの動作時のエネルギバンドと電子と正孔の濃度を示す図である。

【図１０】この発明のバイポーラトランジスタを適用した第２実施形態の断面構造を示す図である。

【図１１】図１０に示しているデバイスの熱平衡状態のエネルギバンドと電子と正孔の濃度を示す図である。

【図１２】この発明のバイポーラトランジスタを適用した第３実施形態の断面構造を示す図である。

【図１３】図１２に示しているデバイスのエネルギバンドと電子と正孔の濃度を示す図である。

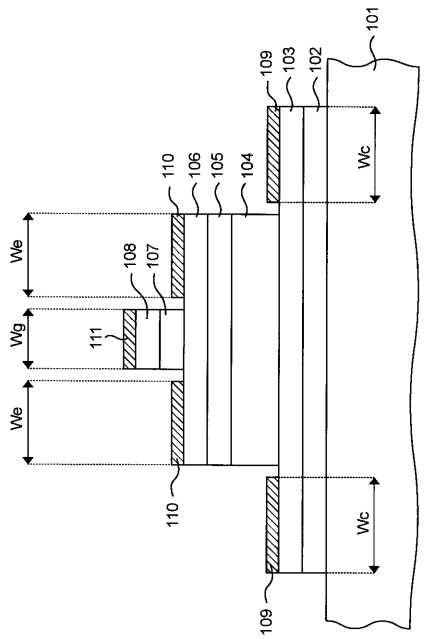
【図１４】この発明を適用したデバイスの高周波数電流利得特性を示す図である。

【図１５】均一なベース層を持つ従来のＨＢＴの断面構造を示す図である。

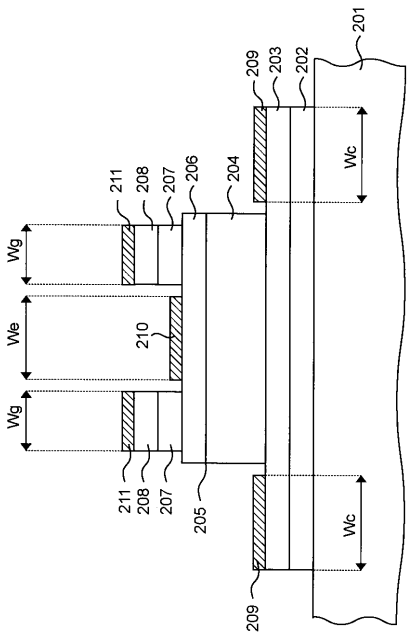
【符号の説明】

【０１２７】
１０４、２０４、３０４、７０４、１００４、１２０４　コレクタ層
１０５、７０５　ベース層
１０６、２０６、３０６、７０６、１００６、１２０６　エミッタ層
１０７、２０７、３０７、７０７、１００７、１２０７　ゲート層

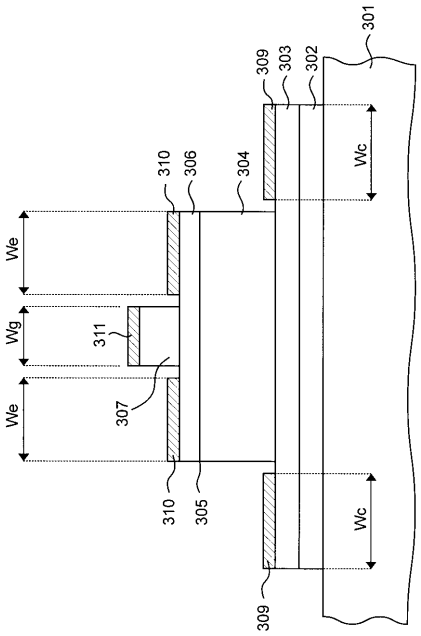
【図１】



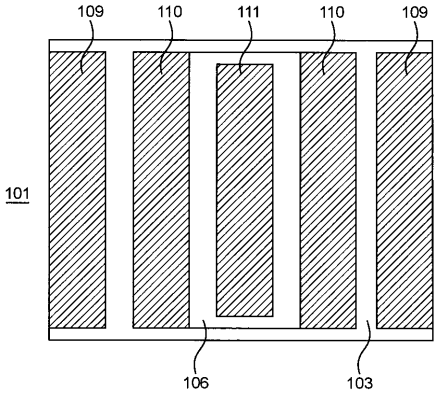
【図２】



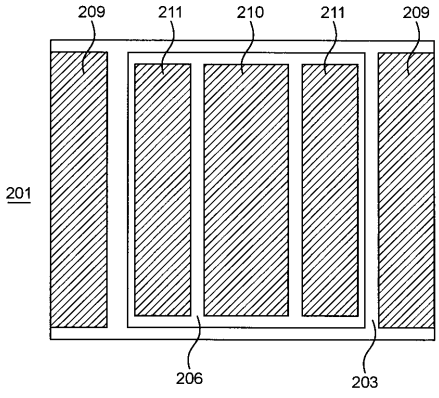
【図３】


301
309
303
302
310
306
304
Wc
We
Wg
311
307
We
310
305
Wc
309

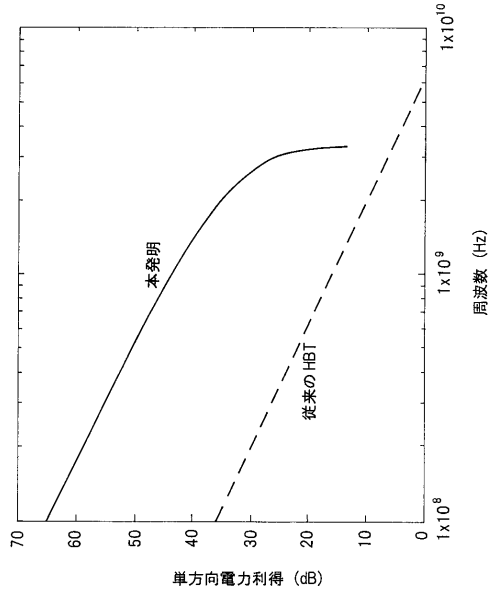
【図４】


109
110
111
110
109
101
106
103

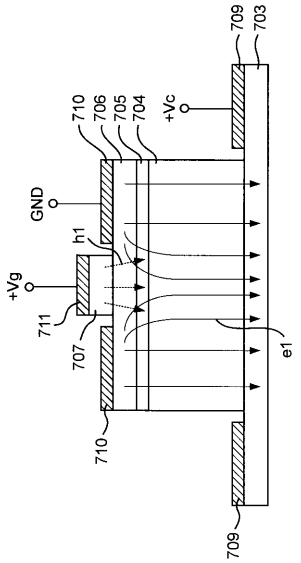
【図５】


209
211
210
211
209
201
206
203

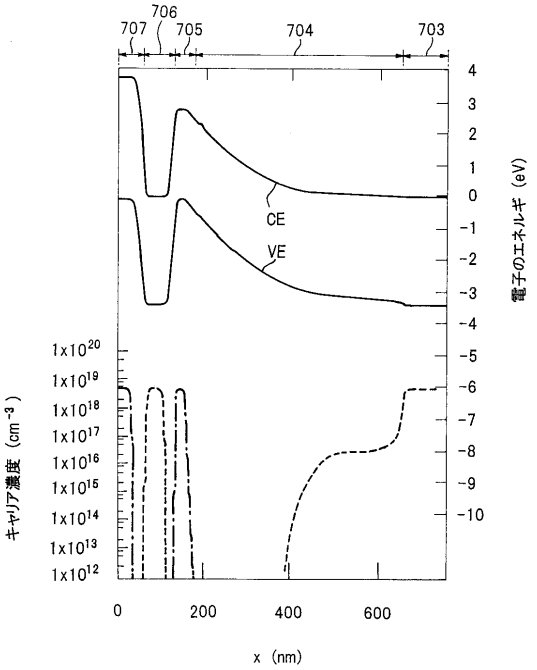
【図６】


1x10^10
1x10^9
1x10^8
周波数（Hz）
本発明
従来のHBT
70
60
50
40
30
20
10
0
単方向電力利得（dB）

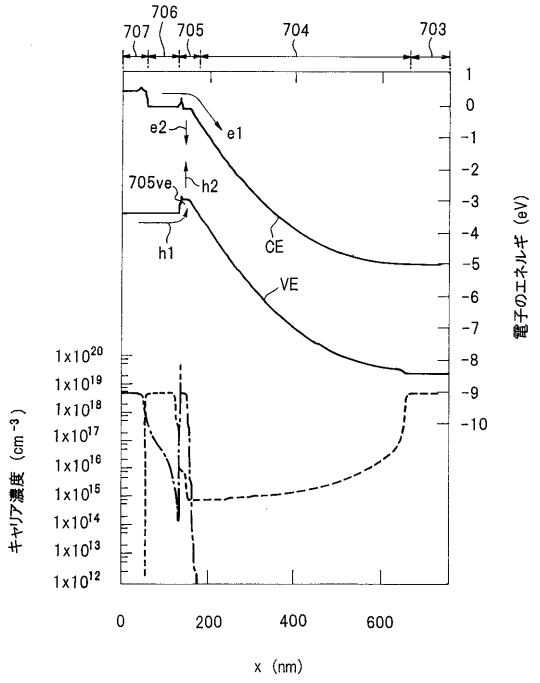
【図７】


709
703
710
706
705
704
+Vc
GND
h1
+Vg
711
707
e1
710
709

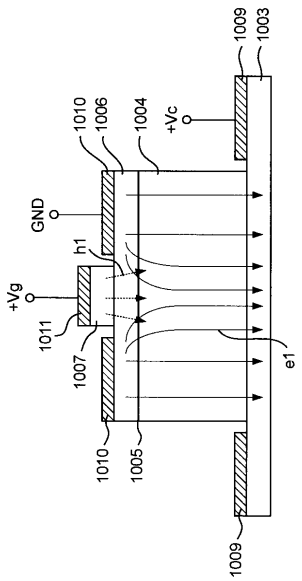
【図８】


706
707
705
704
703
CE
VE
電子のエネルギ（eV）
キャリア濃度（cm⁻³）
x（nm）

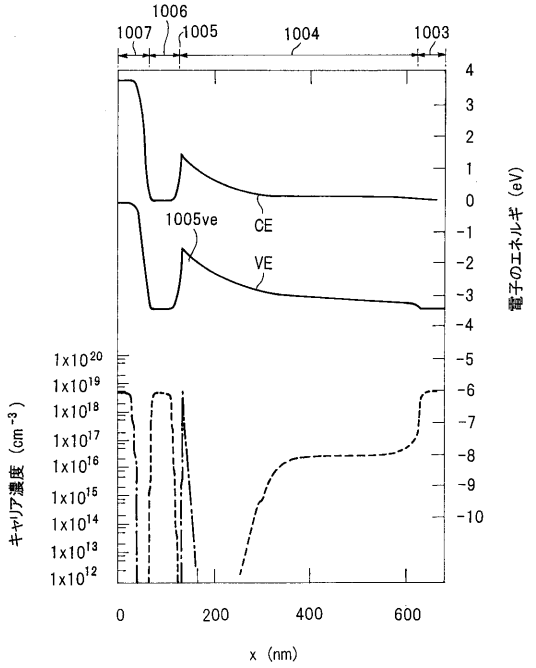
【図９】


706
707
705
704
703
e2
e1
705ve
h2
h1
CE
VE
電子のエネルギ（eV）
キャリア濃度（cm⁻³）
x（nm）

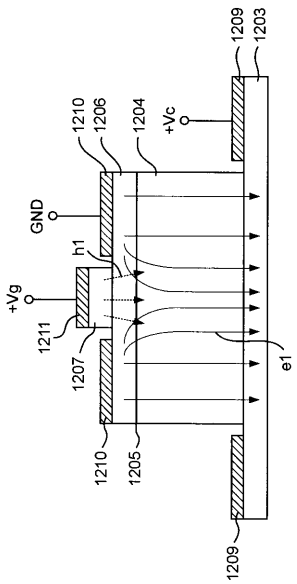
【図１０】


1009
1003
1010
1006
1004
+Vc
GND
h1
+Vg
1011
1007
e1
1010
1005
1009

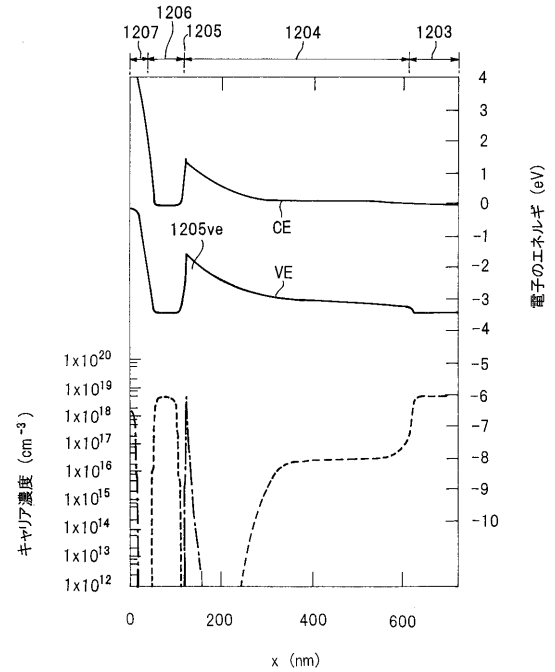
【図１１】



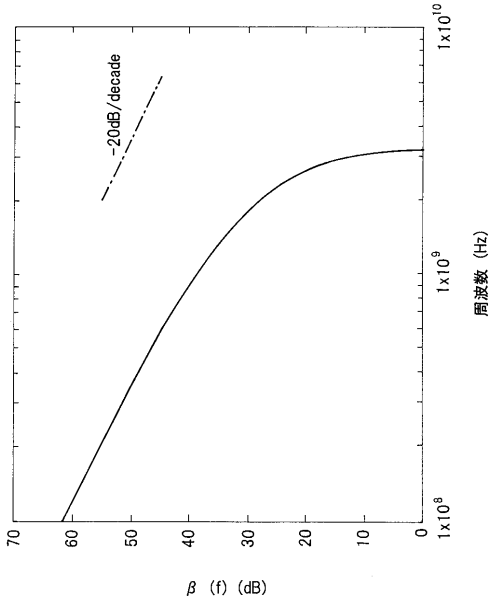
【図１２】



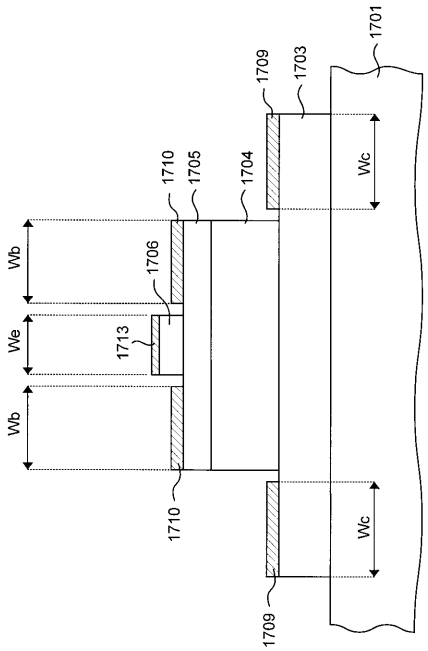
【図１３】



【図１４】



【図１５】


1701
1709
1703
1710
1705
1704
Wc
Wb
1706
We
1713
Wb
1710
Wc
1709

フロントページの続き

(56)参考文献 特開２００３－１１５４８７（ＪＰ，Ａ）
特開２００３－０５９９３８（ＪＰ，Ａ）
特開２００２－３６８００５（ＪＰ，Ａ）
特開２００２－３０５２０４（ＪＰ，Ａ）
特開昭６２－１２８５５９（ＪＰ，Ａ）
特開昭６１－２４８５６１（ＪＰ，Ａ）
特開平０７－０１４８４５（ＪＰ，Ａ）
特開平０５－０５５５５１（ＪＰ，Ａ）
特開平０２－００１１３８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ ２１／３３１
Ｈ０１Ｌ ２９／７３７
Ｈ０１Ｌ ２９／８６１