



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I587400 B

(45)公告日：中華民國 106 (2017) 年 06 月 11 日

(21)申請案號：105110572

(22)申請日：中華民國 99 (2010) 年 08 月 31 日

(51)Int. Cl. : H01L21/324 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2009/09/04 日本

2009-205328

2009/09/07 日本

2009-206490

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：津吹將志 TSUBUKU, MASASHI (JP)；吉富修平 YOSHITOMI, SHUHEI (JP)；辻  
隆博 TUJI, TAKAHIRO (JP)；細羽美雪 HOSOB, MIYUKI (JP)；坂田淳一郎  
SAKATA, JUNICHIRO (JP)；戶松浩之 TOMATSU, HIROYUKI (JP)；早川昌彥  
HAYAKAWA, MASAHIKO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200910468A

US 2009/0008639A1

US 2009/0134407A1

審查人員：許勝宗

申請專利範圍項數：11 項 圖式數：37 共 158 頁

(54)名稱

半導體裝置之製造方法

MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

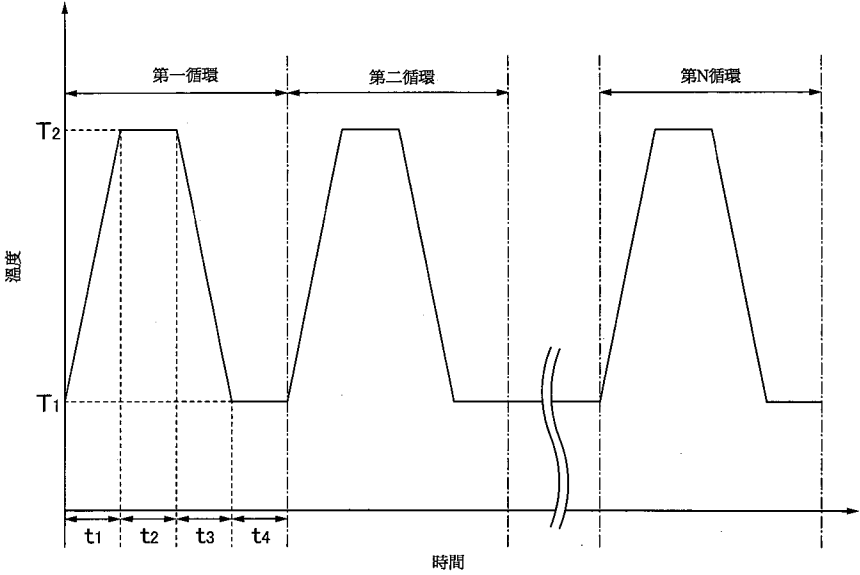
(57)摘要

發明之目的在於提供包含氧化物半導體膜之薄膜電晶體的結構之製造方法，其中，形成通道的臨界電壓為正的且儘可能接近 0V。形成保護絕緣層以覆蓋包含藉由第一熱處理來予以脫水或脫氫的氧化物半導體層的薄膜電晶體，並且，以低於第一熱處理的溫度之溫度，執行溫度上升及下降重複多次的第二熱處理，因而可以製造包含氧化物半導體層的薄膜電晶體，其中，形成通道的臨界電壓是正的且儘可能接近 0V，但不會視通道長度而定。

It is an object to provide a manufacturing method of a structure of a thin film transistor including an oxide semiconductor film, in which threshold voltage at which a channel is formed is positive and as close to 0 V as possible. A protective insulating layer is formed to cover a thin film transistor including an oxide semiconductor layer that is dehydrated or dehydrogenated by first heat treatment, and second heat treatment at a temperature that is lower than that of the first heat treatment, in which the increase and decrease in temperature are repeated plural times, is performed, whereby a thin film transistor including an oxide semiconductor layer, in which threshold voltage at which a channel is formed is positive and as close to 0 V as possible without depending on the channel length, can be manufactured.

指定代表圖：

圖2



# 發明摘要

※申請案號：105110572

※申請日：099 年 08 月 31 日

※IPC 分類： H01L 21/324 (2006.1)  
H01L 21/336 (2006.1)

【發明名稱】(中文/英文)

半導體裝置之製造方法

Manufacturing method of semiconductor device

【中文】

發明之目的在於提供包含氧化物半導體膜之薄膜電晶體的結構之製造方法，其中，形成通道的臨界電壓為正的且儘可能接近 0V。形成保護絕緣層以覆蓋包含藉由第一熱處理來予以脫水或脫氫的氧化物半導體層的薄膜電晶體，並且，以低於第一熱處理的溫度之溫度，執行溫度上升及下降重複多次的第二熱處理，因而可以製造包含氧化物半導體層的薄膜電晶體，其中，形成通道的臨界電壓是正的且儘可能接近 0V，但不會視通道長度而定。

## 【 英文 】

It is an object to provide a manufacturing method of a structure of a thin film transistor including an oxide semiconductor film, in which threshold voltage at which a channel is formed is positive and as close to 0 V as possible. A protective insulating layer is formed to cover a thin film transistor including an oxide semiconductor layer that is dehydrated or dehydrogenated by first heat treatment, and second heat treatment at a temperature that is lower than that of the first heat treatment, in which the increase and decrease in temperature are repeated plural times, is performed, whereby a thin film transistor including an oxide semiconductor layer, in which threshold voltage at which a channel is formed is positive and as close to 0 V as possible without depending on the channel length, can be manufactured.

【代表圖】

【本案指定代表圖】：第(2)圖。

【本代表圖之符號簡單說明】：無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體裝置之製造方法

Manufacturing method of semiconductor device

## 【技術領域】

本發明係有關於包含氧化物半導體的半導體裝置之製造方法。

在本說明書中，半導體裝置意指可以藉由使用半導體特性而作用的所有裝置，並且，電光裝置、半導體電路、及電子設備都是半導體裝置。

## 【先前技術】

近年來，使用形成於具有絕緣表面的基板之上的薄膜（約數奈米至數佰奈米的厚度）以形成薄膜電晶體（TFT）之技術已引起注意。薄膜電晶體可以被應用至例如 IC 和電光裝置等範圍廣泛的電子裝置，特別是，急迫地發展作為影像顯示裝置中的切換元件之薄膜電晶體。有很多不同的金屬氧化物且這些金屬氧化物被使用於不同的應用。氧化銦是眾所周知的材料且被使用作為液晶顯示器等所需的透明電極材料。

某些金屬氧化物具有半導體特徵。具有半導體特徵的金屬氧化物的實施例為氧化鎢、氧化錫、氧化銦、氧化

鋅、等等。已知使用此類具有半導體特徵的金屬氧化物來形成通道形成區之薄膜電晶體（專利文獻 1 及專利文獻 2）。

#### [參考文獻]

專利文獻 1：日本公開專利申請號 2007-123861

專利文獻 2：日本公開專利申請號 2007-96055

#### 【發明內容】

在主動矩陣型顯示裝置中，包含於電路中的薄膜電晶體的電氣特徵是重要的，且顯示裝置的性能視電氣特徵而定。在薄膜電晶體的電氣特徵之中，臨界電壓（ $V_{th}$ ）特別重要。即使當場效遷移率高時，假使臨界電壓值高或在負側上，則難以控制電路。當薄膜電晶體具有大的臨界電壓值及大的臨界電壓絕對值時，薄膜電晶體無法執行如 TFT 般的切換功能，且當電晶體受低電壓驅動時可能成為負載。此外，當臨界電壓值是在負側上時，即使閘極電壓為 0V，電流仍然傾向於在源極與汲極電極之間流動，亦即，電晶體傾向於常開。

在 n 通道薄膜電晶體的情況中，較佳的是，在施加正電壓作為閘極電壓之後，形成通道以及汲極電流開始流動。除非驅動電壓增加否則不會形成通道的電晶體以及即使在負電壓狀態的情況中仍然形成通道以及汲極電流流動的電晶體，都不適於電路中所使用的薄膜電晶體。

本發明之目的在於提供包含氧化物半導體膜的薄膜電晶體之結構的製造方法，其中，形成通道的臨界電壓是正的且儘可能接近 0V。

爲了更高速操作及更低耗電的薄膜電晶體，薄膜電晶體的通道長度可以縮短。但是，特別是在具有短通道長度的薄膜電晶體中，會有臨界電壓容易至負側之所謂的短通道效應。

本發明之另一目的是降低包含氧化物半導體膜的薄膜電晶體之臨界電壓的變化。特別是，在液晶顯示裝置中，在元件之間具有大的變化之情況中，可能因臨界電壓的變化而造成顯示不均勻。

根據本說明書中揭示的本發明的實施例，在半導體裝置的製造方法中，形成保護絕緣層以覆蓋包含氧化物半導體層的薄膜電晶體，所述氧化物半導體層係藉由第一熱處理來予以脫水或脫氫，以及，執行溫度低於第一熱處理的溫度之第二熱處理，在第二熱處理中多次重複溫度上升及下降。

根據本說明書中揭示的本發明的實施例，在半導體裝置的製造方法中，形成保護絕緣層以覆蓋包含氧化物半導體層的薄膜電晶體，所述氧化物半導體層係藉由第一熱處理來予以脫水或脫氫，以及，在低於第一熱處理的溫度之溫度下，以比第一熱處理的執行時間更長的時間，連續地執行第二熱處理。

本說明書中揭示的本發明的實施例是半導體裝置的製

造方法，包含下述步驟：在具有絕緣表面的基板之上形成閘極電極層；在閘極電極層之上形成閘極絕緣層；在閘極絕緣層之上形成氧化物半導體層；在形成氧化物半導體層之後，執行第一熱處理；在氧化物半導體層之上形成源極電極層和汲極電極層；在閘極絕緣層、氧化物半導體層、源極電極層、以及汲極電極層之上形成接觸部份氧化物半導體層的保護絕緣層；以及，在形成保護絕緣層之後執行第二熱處理，在第二熱處理中，多次重複溫度上升及下降。在低於第一熱處理的溫度之溫度下，執行第二熱處理。

注意，氧化物半導體層的通道長度較佳為  $20\ \mu\text{m}$  或更低。在氮氛圍或稀有氣體氛圍下，執行第一熱處理。在大於或等於  $350^{\circ}\text{C}$  且小於或等於  $750^{\circ}\text{C}$  的溫度下，執行第一熱處理。在空氣氛圍、氧氛圍、氮氛圍或稀有氣體氛圍下，較佳地執行第二熱處理。在第二熱處理中，溫度較佳增加至大於或等於  $100^{\circ}\text{C}$  且小於或等於  $300^{\circ}\text{C}$  的溫度。在第二熱處理中，在溫度增加之後，溫度較佳下降至室溫。第二熱處理較佳包含溫度上升與下降之間的高溫維持時段以及溫度下降與上升之間的低溫維持時段，高溫維持時段的時間長度及低溫維持時段的時間長度較佳均大於或等於 1 分鐘且小於或等於 60 分鐘。在第二熱處理中，溫度上升及下降較佳地重複 3 次至 50 次。

根據上述結構，取得上述目的的至少其中之一。

本說明書中揭示的本發明的實施例是半導體裝置的製

造方法，包含下述步驟：在具有絕緣表面的基板之上形成閘極電極層；在閘極電極層之上形成閘極絕緣層；在閘極絕緣層之上形成氧化物半導體層；在形成氧化物半導體層之後，執行第一熱處理；在氧化物半導體層之上形成源極電極層和汲極電極層；在閘極絕緣層、氧化物半導體層、源極電極層、以及汲極電極層之上形成接觸部份氧化物半導體層的保護絕緣層；然後，執行第二熱處理，在第二熱處理中，在溫度上升之後，溫度保持一段時間，所述一段時間比第一熱處理的時間還長。在低於第一熱處理的溫度之溫度下，執行第二熱處理。

注意，氧化物半導體層的通道長度較佳為  $20\ \mu\text{m}$  或更低。在氮氛圍或稀有氣體氛圍下，執行第一熱處理。較佳地，在大於或等於  $350^\circ\text{C}$  且小於或等於  $750^\circ\text{C}$  的溫度下，執行第一熱處理。在空氣氛圍、氧氛圍、氮氛圍或稀有氣體氛圍下，較佳執行第二熱處理。在第二熱處理中，溫度較佳增加至大於或等於  $100^\circ\text{C}$  且小於或等於  $300^\circ\text{C}$  的溫度。第二熱處理的時間長度較佳均大於或等於 1 小時且小於或等於 50 小時。

本說明書中所使用的氧化物半導體形成為以  $\text{InMO}_3(\text{ZnO})_m$  ( $m>0$ ) 表示的薄膜，並且，製造其中使用此薄膜來形成氧化物半導體層的薄膜電晶體。注意， $m$  並非總是整數。 $M$  代表選自  $\text{Ga}$ 、 $\text{Fe}$ 、 $\text{Ni}$ 、 $\text{Mn}$ 、及  $\text{Co}$  的其中之一或更多的金屬元素。舉例而言， $M$  可為  $\text{Ga}$ 、或是包含  $\text{Ga}$  以外的上述金屬元素；舉例而言， $M$  可為  $\text{Ga}$  及

Ni 或 Ga 及 Fe。此外，在上述氧化物半導體中，在某些情況中，除了含有作為 M 的金屬元素之外，尚含有例如 Fe 或 Ni 等過濾金屬元素、或是過濾金屬元素的氧化物作為雜質元素。在本說明書中，成份公式以  $\text{InMO}_3(\text{ZnO})_m$  ( $m>0$ ) 表示的氧化物半導體層之中，含有 Ga 作為 M 的氧化物半導體被稱為以 In-Ga-Zn-O 為基礎的氧化物半導體，並且，以 In-Ga-Zn-O 為基礎的氧化物半導體薄膜稱為以 In-Ga-Zn-O 為基礎的薄膜。

關於應用於氧化物半導體層的氧化物半導體，除了上述之外，還可以應用下述氧化物半導體中的任一者：以 In-Sn-Zn-O 為基礎的氧化物半導體；以 In-Al-Zn-O 為基礎的氧化物半導體、以 Sn-Ga-Zn-O 為基礎的氧化物半導體、以 Al-Ga-Zn-O 為基礎的氧化物半導體、以 Sn-Al-Zn-O 為基礎的氧化物半導體、以 In-Zn-O 為基礎的氧化物半導體、以 Sn-Zn-O 為基礎的氧化物半導體、以 Al-Zn-O 為基礎的氧化物半導體、以 In-O 為基礎的氧化物半導體、以 Sn-O 為基礎的氧化物半導體、及以 Zn-O 為基礎的氧化物半導體。氧化矽可以包含於氧化物半導體層中。在製程中，形成氧化物半導體層之後執行熱處理時，在氧化物半導體層中添加抑制晶化的氧化矽 ( $\text{SiO}_x$  ( $x>0$ ))，可以抑制氧化物半導體層的晶化。

取決於氧化物半導體層的熱處理條件及材料，可以將非晶狀態的氧化物半導體層晶化成為微晶膜或多晶膜。即使當氧化物半導體層為微晶膜或多晶膜時，仍然可以取得

作為 TFT 的切換特徵。

注意，在本說明書中為了方便而使用例如「第一」及「第二」等序號。因此，它們並非代表步驟的次序以及層的堆疊次序，且並非代表具體說明本發明之特定名稱。

形成保護絕緣層以覆蓋包含氧化物半導體層的薄膜電晶體，所述氧化物半導體層係藉由第一熱處理來予以脫水或脫氫，並且，在低於第一熱處理的溫度之溫度下，執行多次重複溫度上升及下降的第二熱處理，因此，可以製造包含氧化物半導體層的薄膜電晶體，其中，形成通道的臨界電壓是正的且儘可能接近 0V 而不用視通道長度而定。

#### 【圖式簡單說明】

在附圖中，

圖 1A 至 1E 是剖面視圖，顯示本發明的實施例之製程；

圖 2 顯示第二熱處理的時間與溫度之間的關係；

圖 3A 及 3B 均顯示根據本發明的實施例之半導體裝置；

圖 4 顯示實例 1 中第二熱處理的時間與溫度之間的關係；

圖 5A 及 5B 顯示實例 1 中薄膜電晶體的臨界電壓及遷移率；

圖 6A 及 6B 顯示實例 2 的薄膜電晶體的電流－電壓特徵曲線；

圖 7A1、7A2、及 7B 均顯示半導體裝置；

圖 8A 及 8B 顯示半導體裝置；

圖 9 顯示半導體裝置的像素等效電路；

圖 10A 至 10C 均顯示半導體裝置；

圖 11A 及 11B 均是半導體裝置的方塊圖；

圖 12A 及 12B 顯示訊號線驅動電路的結構；

圖 13A 至 13D 是電路圖，顯示移位暫存器的結構；

圖 14A 是電路圖，顯示移位暫存器的配置，以及，圖 14B 顯示移位暫存器的操作時序圖；

圖 15 顯示半導體裝置；

圖 16 顯示半導體裝置；

圖 17 是電子書讀取器的實例之外觀視圖；

圖 18A 及 18B 分別是電視機的實例及數位相框的實例之外觀視圖；

圖 19A 及 19B 是遊戲機實例的外觀視圖；

圖 20A 及 20B 分別是可攜式電腦的實例及行動電話的實例之外觀視圖；

圖 21 顯示半導體裝置；

圖 22 顯示半導體裝置；

圖 23 顯示半導體裝置；

圖 24 顯示半導體裝置；

圖 25 顯示半導體裝置；

圖 26 顯示半導體裝置；

圖 27 顯示半導體裝置；

圖 28 顯示半導體裝置；

圖 29 顯示半導體裝置；

圖 30 顯示半導體裝置；

圖 31 顯示半導體裝置；

圖 32 顯示半導體裝置；

圖 33 顯示半導體裝置；

圖 34 顯示半導體裝置；

圖 35 顯示半導體裝置；

圖 36 顯示第二熱處理的時間與溫度之間的關係；以及

圖 37A 及 37B 均顯示實例 3 的薄膜電晶體的臨界電壓及遷移率。

### 【實施方式】

於下，將參考附圖，詳述本發明的實施例。但是，本發明不限於下述說明，並且，習於此技藝者將很容易瞭解，可以以不同方式來改變在此所揭示的模式及細節。因此，本發明不應被解釋成侷限於下述實施例的說明。

#### 實施例 1

在本實施例中，將參考薄膜電晶體製程之剖面視圖的圖 1A 至 1E，說明薄膜電晶體 461 的製造方法之實施例。在此，圖 1E 中所示的薄膜電晶體 461 具有稱為通道蝕刻結構的底部閘極結構。

首先，藉由使用光罩，使用微影製程，在具有絕緣表面的基板 400 之上形成閘極電極層 401。注意，可以藉由以噴墨法來形成光阻掩罩。當以噴墨法形成光阻掩罩時，不使用光罩，其造成製造成本的降低。

當稍後執行的熱處理的溫度高時，使用應變點大於或等於  $730^{\circ}\text{C}$  的應變點之基板作為基板 400。在使用玻璃基板作為基板 400 的情況中，舉例而言，可以使用例如矽酸鋁玻璃、硼矽酸鋁玻璃、或硼矽酸鋇玻璃之玻璃材料。注意，藉由含有的氧化鋇 ( $\text{BaO}$ ) 的量大於硼酸，玻璃基板是抗熱性的且更實用。因此，較佳使含有  $\text{BaO}$  及  $\text{B}_2\text{O}_3$  而使得  $\text{BaO}$  的量大於  $\text{B}_2\text{O}_3$  的量之玻璃基板。

注意，可以使用由例如陶瓷基板、石英玻璃基板、石英基板、或藍寶石基板之絕緣體所形成的透光基板以取代玻璃基板。或者，可以使用結晶玻璃等。

此外，作為基底膜的絕緣膜可以被設於基板 400 與閘極電極層 401 之間。基底膜具有防止雜質元素從基板 400 擴散之功能，並且可以被形成而具有使用氮化矽膜、氧化矽膜、氮氧化矽膜、及氧氮化矽膜的其中之一或更多的單層或疊層結構。

可以使用金屬導體膜作為閘極電極層 401。關於金屬導體膜之材料，較佳使用選自  $\text{Al}$ 、 $\text{Cr}$ 、 $\text{Cu}$ 、 $\text{Ta}$ 、 $\text{Ti}$ 、 $\text{Mo}$ 、及  $\text{W}$  的元素、含有這些元素中的任何元素作為成份的合金、以及含有任何這些元素的組合的合金。舉例而言，鋁層係堆疊於鈦層之上及鈦層係堆疊於鋁層之上的三

層結構，或是鋁層係堆疊於鉬層之上及鉬層係堆疊於鋁層之上的三層結構是較佳的。無需多言，金屬導體膜可以具有單層結構、二層結構、或四層或更多層的疊層結構。

接著，在閘極電極層 401 之上形成閘極絕緣層 402。

藉由電漿 CVD 法、濺射法或類似方法，以形成閘極絕緣層 402 至具有氧化矽層、氮化矽層、氧氮化矽層、及/或氮氧化矽層之單層或其疊層。舉例而言，使用  $\text{SiH}_4$ 、氧、及氮作為沈積氣體，藉由電漿 CVD 法，以形成氧氮化矽層。閘極絕緣層 402 具有的厚度為 100 nm 至 500 nm。在疊層結構的情況中，舉例而言，依序堆疊具有 50 nm 至 200 nm（含）厚度的第一閘極絕緣層及具有 5 nm 至 300 nm（含）厚度的第二閘極絕緣層。

在本實施例中，閘極絕緣層 402 是藉由電漿 CVD 法所形成的厚度 100 nm 之氧化矽膜。

在形成氧化物半導體膜之前，在惰性氣體氛圍（例如，氮氛圍、氦氛圍、氖氛圍、或氬氛圍）中，執行熱處理（高於或等於 400°C 且低於基板的應變點），以去除於閘極絕緣層 402 中所含的氫及水等雜質。

接著，在閘極絕緣層 402 之上，形成氧化物半導體膜至大於或等於 5 nm 且小於或等於 200 nm，較佳地，大於或等於 10 nm 且小於或等於 50 nm。較佳的厚度是 50 nm 或更少，使得即使在形成氧化物半導體膜之後執行脫水或脫氫的熱處理時，氧化物半導體膜仍然可以具有非晶結構。當在形成氧化物半導體層之後執行熱處理時，氧化物

半導體膜的厚度可以抑制氧化物半導體層的晶化。

注意，在藉由濺射法形成氧化物半導體膜之前，藉由反向濺射，較佳去除閘極絕緣層 402 的表面上的灰塵，在反向濺射中，導入氬氣並且產生電漿。反向濺射為一方法，其中，在氬氛圍中，使用 RF 電源以施加電壓至基板側，以便在基板近處產生電漿，使得基板表面被修整。注意，可以使用氮氛圍、氦氛圍、等等以取代氬氛圍。

使用以 In-Ga-Zn-O 為基礎的氧化物半導體膜、以 In-Sn-Zn-O 為基礎的氧化物半導體膜、以 In-Al-Zn-O 為基礎的氧化物半導體膜、以 Sn-Ga-Zn-O 為基礎的氧化物半導體膜、以 Al-Ga-Zn-O 為基礎的氧化物半導體膜、以 Sn-Al-Zn-O 為基礎的氧化物半導體膜、以 In-Zn-O 為基礎的氧化物半導體膜、以 Sn-Zn-O 為基礎的氧化物半導體膜、以 Al-Zn-O 為基礎的氧化物半導體膜、以 In-O 為基礎的氧化物半導體膜、以 Sn-O 為基礎的氧化物半導體膜、或以 Zn-O 為基礎的氧化物半導體膜，以形成氧化物半導體膜。在本實施例中，藉由使用用於膜形成之以 In-Ga-Zn-O 為基礎的氧化物半導體靶材，藉由濺射法來形成氧化物半導體膜 480。此外，在稀有氣體（典型上為氬）氛圍中、氧氛圍中、或稀有氣體（典型上為氬）及氧的氛圍中，藉由濺射法以形成氧化物半導體膜 130。在使用濺射法的情況中，較佳的是使用含有大於或等於 2 wt% 且小於或等於 10 wt% 的  $\text{SiO}_2$  之靶材來執行沈積，以使在氧化物光導體膜中含有抑制晶化的  $\text{SiO}_x$  ( $x>0$ )；以此方式，在稍後執

行的脫水或脫氫之熱處理中防止氧化物半導體膜被晶化。

用於膜形成的氧化物半導體靶材中的氧化物半導體的相對密度較佳為 99%或更多，其造成所形成的氧化物半導體膜中雜質濃度降低；因此，可以取得具有高電場特徵或可靠度之薄膜電晶體。在本實施例中，使用具有 97%的氧化物半導體的相對密度之氧化物半導體靶材。

在此，使用含有 In、Ga、及 Zn 的氧化物半導體靶材（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ （莫耳比）以及  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$  [原子比]），在氬氣及氧氣（氬：氧 = 30 sccm : 20 sccm 且氧流速比例為 40%）的氛圍中，在下述條件下，形成氧化物半導體膜：基板與靶材之間的距離設為 100 mm、壓力為 0.2 Pa、直流（DC）電源為 0.5 kW。注意，由於可以降低膜形成時產生的粉末物質（也稱為粒子或灰塵）以膜厚可以均勻，所以，脈衝直流（DC）電源是較佳的。以 In-Ga-Zn-O 為基礎的薄膜被形成至厚度為 5 nm 至 200 nm。在本實施例中，關於氧化物半導體膜，使用用於膜形成之以 In-Ga-Zn-O 為基礎的氧化物半導體靶材，藉由濺射法，形成 20 nm 厚之以 In-Ga-Zn-O 為基礎的薄膜。

濺射法的實施例包含使用高頻電源作為濺射電源的 RF 濺射法、使用直流電源的 DC 濺射法、以及以脈衝方式施加偏壓的脈衝式 DC 濺射法。在形成絕緣膜的情況中，主要使用 RF 濺射法，並且，在形成金屬膜的情況中，主要使用 DC 濺射法。

此外，也有多源濺射設備，其中，可以設置複數個不同材料的靶材。藉由多源濺射設備，可以在一個腔室中形成堆疊的不同材料膜，或者，在一個腔室中，同時藉由放電而形成具有多種材料的膜。

此外，有在腔室內設有磁鐵系統且被使用於磁控管濺射的濺射設備，也有被使用於 ECR 濺射的濺射設備，其中，使用利用微波所產生的電漿而未使用輝光放電。

此外，關於藉由濺射的沈積法，也有反應濺射法及偏壓濺射法，在反應濺射法中，靶材物質及濺射氣體成份在沈積期間彼此化學性地反應以形成其薄的化合物膜，在偏壓濺射法中，在沈積期間，電壓也被施加至基板。

連續地形成閘極絕緣層 402 及氧化物半導體膜，而未曝露於空氣。未曝露於空氣之膜形成能夠取得在堆疊層之間的介面，此介面並未受例如水或碳氫化合物等漂浮於空氣中的雜質元素或大氣成份所污染。因此，可以降低薄膜電晶體的特徵變化。

接著，藉由微影步驟，將氧化物半導體膜處理成島狀氧化物半導體層 432（請參見圖 1A）。可以藉由噴墨法，以形成用來形成島狀氧化物半導體層 432 的光阻掩罩。當藉由噴墨法來形成光阻掩罩時並未使用光罩，其造成製造成本的降低。

然後，執行第一熱處理以使氧化物半導體膜 432 脫水或脫氫。用於脫水或脫氫的第一熱處理之溫度設定為大於或等於 350℃ 且小於或等於 750℃，較佳為大於或等於

425℃。注意，在溫度為 425℃ 或更高的情況中，熱處理時間可為一個小時或更短，而在溫度低於 425℃ 的情況中，熱處理時間可以設定為比一個小時長。在此，基板被置於電熱爐中，電熱爐是熱處理設備的一個例子，在氮氛圍中，氧化物半導體層受到熱處理。然後，氧化物半導體層並未曝露於空氣，並且可以防止水及氫再度被包含於氧化物半導體層中。以此方式，形成氧化物半導體層 432。在本實施例中，使用相同的加熱爐，在氮氛圍中，從對氧化物半導體層 432 執行脫水或脫氫之熱處理溫度 T 至不會再度含有水的溫度，具體而言，至比熱處理溫度 T 低 100℃ 或更多的溫度，以執行緩慢冷卻。不侷限於氮氛圍，可以在稀有氣體氛圍（例如氮、氦、或氬）等中，執行脫水或脫氫。

注意，在第一熱處理中，較佳的是，水、氫、等等不含於氮或例如氮、氦、或氬等稀有氣體中。或者，較佳的是，導入於熱處理設備中之氮或例如氮、氦、或氬等稀有氣體之純度較佳為 6N（99.9999%）或更大，更佳為 7N（99.99999%）或更大；亦即，雜質濃度較佳被設定為 1 ppm 或更小，更佳為 0.1ppm 或更低。

藉由使用電熱爐的加熱法，以執行第一熱處理。但是，用於第一熱處理的設備不限於電熱爐，可以是設有加熱裝置的設備，使用來自例如電阻式加熱元件之加熱元件的熱傳導或熱輻射，將處理物體加熱。舉例而言，使用例如 GRTA（氣體快速熱退火）設備或是 LRTA（燈快速熱

退火)設備等 RTA (快速熱退火)設備。LRTA 設備是以例如鹵素燈、金屬鹵化物燈、氬氣電弧燈、碳電弧燈、高壓鈉燈、高壓水銀燈等燈發射的光(電磁波)的照射,以加熱處理物體。GRTA 設備是使用高溫氣體的熱處理設備。關於氣體,使用不會因熱處理而與處理物體起反應的惰性氣體,例如氮或例如氬之稀有氣體。

氧化物半導體層視第一熱處理的條件及氧化物半導體層的材料而被晶化成微晶或多晶。舉例而言,氧化物半導體層可以晶化而變成具有 80%或更多、或 90%或更多的晶化程度之微晶半導體。此外,氧化物半導體層可以視氧化物半導體層的材料而為不含有晶體的氧化物半導體。

在被處理成島狀氧化物半導體層 432 之前,對氧化物半導體膜而非對氧化物半導體層 432 執行第一熱處理。在該情況中,在第一熱處理之後,將基板取出熱處理設備並且執行微影步驟。

接著,在閘極絕緣層 402 及氧化物半導體層 432 之上形成用來形成源極電極層和汲極電極層之導體膜。

以類似於閘極電極層 401 的方式,使用金屬導體膜,以形成用來形成源極電極層和汲極電極層之導體膜。關於金屬導體膜的材料,較佳使用選自 Al、Cr、Cu、Ta、Ti、Mo、及 W 的元素、含有這些元素中的任何元素作為成份的合金、以及含有這些元素中任何元素組合的合金、等等。舉例而言,鋁層係堆疊於鈦層之上及鈦層係堆疊於鋁層之上的三層結構,或是鋁層係堆疊於鉬層之上及鉬層

係堆疊於鋁層之上的三層結構是較佳的。無需多言，金屬導體膜可以具有單層結構、二層結構、或四層或更多層的疊層結構。

用以形成源極電極層和汲極電極層的導體膜受到使用光罩的微影步驟，以便形成源極電極層 405a 和汲極電極層 405b（請參見圖 1B）。此時，部份氧化物半導體層 432 也被蝕刻，因而形成具有溝槽（凹部）的氧化物半導體層 432。注意，薄膜電晶體的通道長度可以被定義為源極電極層 405a 與汲極電極層 405b 之間的距離。

注意，可以藉由噴墨法，以形成用來形成源極和汲極電極層 405a 和 405b 的光阻掩罩。當藉由噴墨法來形成光阻掩罩時並未使用光罩，其造成製造成本的降低。

接著，形成覆蓋閘極絕緣層 402、氧化物半導體層 432、源極電極層 405a、和汲極電極層 405 且與部份氧化物半導體層 432 相接觸的保護絕緣層 407（請參見圖 1C）。適當地使用例如濺射法之可以防止例如水和氫等雜質混入保護絕緣層 407 的方法，以形成厚度至少 1 nm 或更多的保護絕緣層 407。在此，藉由濺射法以形成保護絕緣層 407。與部份氧化物半導體層 432 相接觸的保護絕緣層 407 不包含例如濕氣、氫離子、及  $\text{OH}^-$  等雜質且由防止這些雜質從外部進入的無機絕緣膜而被形成。較佳使用氧化矽膜，或者，可以使用氮氧化矽膜、氮化矽膜、氧化鋁膜、氧氮化鋁膜、或氮化鋁膜。

又或者，保護絕緣層 407 可以具有如此之結構，以致

於氮化矽膜或氮化鋁膜係堆疊於氧化矽膜、氮氧化矽膜、氧化鋁膜、或氧氮化鋁膜之上。特別是，由於氮化矽膜不含有例如濕氣、氫離子、或  $\text{OH}^-$  等雜質且防止其從外部進入，所以，氮化矽膜是較佳的。

在此，在水或氫進入氧化物半導體層的情況中，恐怕氧化物半導體層成為具有 n 型導電率且薄膜電晶體變成常開。此外，在水或氫進入氧化物半導體層的情況中，也恐怕薄膜電晶體的可靠度降低。因此，重要的是藉由使用保護絕緣層 407 以防止例如水或氫等雜質進入氧化物半導體層 432。

此外，在水或氫進入保護絕緣層 407 的情況中，恐怕氧化物半導體層中的氧會被保護絕緣層 407 中的水或氫所取出，氧化物半導體層成為具有 n 型導電率，並且，薄膜電晶體變成常開。此外，在水或氫進入保護絕緣層 407 的情況中，也恐怕薄膜電晶體的可靠度降低。因此，重要的是藉由使用保護絕緣層 407 以防止例如水或氫等雜質進入保護絕緣層 407。

在本實施例中，關於保護絕緣層 407，形成 300 nm 厚的氧化矽膜。在膜形成時的基板溫度從室溫至 300°C 或更低，在本實施例中為 100°C。在稀有氣體（典型上為氬）氛圍、氧氛圍、或稀有氣體（典型上為氬）及氧的混合氛圍下，藉由濺射法，以形成氧化矽膜。使用氧化矽靶材或矽靶材作為靶材。舉例而言，使用矽靶材，藉由濺射法，在包含氧及氮的氛圍中，以形成氧化矽膜。使用無機

絕緣膜，以形成與低電阻氧化物半導體層相接觸的氧化物絕緣層 492，所述無機絕緣膜不含有例如濕氣、氫離子、及  $\text{OH}^-$  等雜質並且阻擋這些雜質從外部進入，典型上為氧化矽膜、氮氧化矽膜、氧化鋁膜、或氧氮化鋁膜。

接著，在空氣氛圍、氧氛圍、氮氛圍、或稀有氣體氛圍（例如，氮、氖、或氬）下，對源極電極層 405a、汲極電極層 405b、閘極絕緣層 402、及氧化物半導體層 432 執行溫度多次上升及下降的第二熱處理，因而形成氧化物半導體層 403（請參見圖 1D 及圖 1E）。在此，在低於第一熱處理的溫度之溫度下，執行第二熱處理。在本實施例中，基板被導入為電熱爐之一例的熱處理設備，並且，使氧化物半導體層在氧氛圍下受到第二熱處理。

在第二熱處理中，由溫度上升時段、高溫維持時段、溫度下降時段、及低溫維持時段所組成的循環重複多次。第二熱處理步驟被顯示於圖 2 的圖形中，其中，垂直軸表示溫度，而水平軸表示時間。如圖 2 所示，第二熱處理的循環由從溫度  $T_1$  上升至溫度  $T_2$  之溫度上升時段  $t_1$ 、維持溫度  $T_2$  的高溫維持時段  $t_2$ 、從溫度  $T_2$  下降至溫度  $T_1$  之溫度下降時段  $t_3$ 、以及維持溫度  $T_1$  的低溫維持時段  $t_4$  組成。在第一循環結束之後，第二循環類似地開始，並且重複循環  $N$  次。然後，第二熱處理結束。

在此，溫度  $T_1$  較佳約為室溫，並且，溫度  $T_2$  較佳高於或等於  $100^\circ\text{C}$  且低於或等於  $300^\circ\text{C}$ ，更佳高於或等於  $125^\circ\text{C}$  且低於或等於  $250^\circ\text{C}$ 。此外，較佳的是，第二熱處

理的循環重複 3 次至 50 次。此外，時段  $t_1$ 、時段  $t_2$ 、時段  $t_3$ 、時段  $t_4$  均較佳約為 1 分鐘至 60 分鐘。無須多言，時段  $t_1$ 、時段  $t_2$ 、時段  $t_3$ 、時段  $t_4$  可以適當設定為不同的時間長度。此外，時段  $t_2$ 、時段  $t_3$ 、時段  $t_4$  中的二或更多時段可具有相同的時間長度。注意，時段  $t_1$ 、時段  $t_2$ 、時段  $t_3$ 、時段  $t_4$  均無須約為 1 分鐘至 60 分鐘的範圍之內。舉例而言，時段  $t_2$  及時段  $t_4$  可設定為小於 1 分鐘，以使在顯示第二熱處理的圖 2 的圖形中，經常重複溫度上升及下降。

此外，無須在第二處理中多次重複完全相同的循環。舉例而言，每一個循環可以具有不同的溫度  $T_1$  及溫度  $T_2$  以及不同時間長度的時段  $t_1$  至  $t_4$ 。

在溫度下降時段中，可以吹送冷卻氣體以降低基板溫度。藉由吹送冷卻氣體，可以比自然冷卻更快速地降低基板溫度。

在此，藉由第一熱處理的脫水或脫氫而產生於氧化物半導體層 432 中的空間、或是形成於閘極絕緣層 402 與氧化物半導體層之間的介面以及氧化物半導體層 432 與保護絕緣層 407 之間的介面的懸鍵（damgling bond），可被視為薄膜電晶體的臨界電壓遠離 0V 的原因或是造成同一基板之上多個薄膜電晶體的臨界電壓變化的原因。

但是，第二熱處理允許閘極絕緣層 402 與氧化物半導體層 432 之間的介面以及氧化物半導體層 432 與保護絕緣層 407 之間的介面處的懸鍵終止或是氧化物半導體層 432

中的空間的周圍中的原子逐漸地重配置；因此，可以形成上述部份中的結構穩定之氧化物半導體層 403。

在使用氧化矽膜作為保護絕緣層 407 的情況中，假定鍵結至氧化物半導體層 432 中的金屬原子之羥基中的氫原子藉由鍵結至氧化矽膜中的矽的氧原子之懸鍵而被取出，因此，形成金屬氧化物以及羥基所鍵結的矽。這允許氧化物半導體層 403 能夠被進一步脫氫且增加薄膜電晶體的可靠度。

因此，在包含氧化物半導體層 403 的薄膜電晶體中，形成通道的臨界電壓可以是正的且儘可能接近 0V。特別是，即使通道長度是  $20\ \mu\text{m}$  或更短的薄膜電晶體中，以類似方式，形成通道的臨界電壓可以是正的且儘可能接近 0V。此外，場效遷移率也可以藉由此第二熱處理而被增加。

此外，即使在包含氧化物半導體層 403 的多個薄膜電晶體形成於一個基板之上的情況中，仍然可以防止這些薄膜電晶體的臨界電壓變化。

此外，在 BT 應力測試（偏壓溫度應力測試）中可以降低臨界電壓之偏移量；因此，可以取得高度可靠的薄膜電晶體。在本說明書中，BT 應力測試（偏壓溫度應力測試）係指高溫氛圍下施加至薄膜電晶體的高閘極電壓。

因此，在使用本實施例中所述的製造方法以製造顯示裝置的像素部份中的薄膜電晶體之情況中，可以抑制導因於個別像素的薄膜電晶體的臨界電壓變化的顯示不均勻。

此外，在使用本實施例中所述的製造方法以製造顯示裝置的驅動電路部份中的薄膜電晶體之情況中，可以縮短通道長度而不會造成臨界電壓負偏移，因而可以取得驅動電路部份中薄膜電晶體的高速操作及更低耗電。

注意，在第二熱處理中，較佳的是，水、氫、等等不含於氧、氮、或例如氦、氖、或氬等稀有氣體中。或者，較佳的是，導入於熱處理設備中之氮或例如氦、氖、或氬的稀有氣體之純度為 6N (99.9999%) 或更大，更佳為 7N (99.99999%) 或更大；亦即，雜質濃度較佳被設定為 1 ppm 或更小，更佳為 0.1ppm 或更低。

藉由使用電熱爐的加熱法，以執行第二熱處理。

雖然，在本實施例中正好在形成保護絕緣層 407 之後執行第二熱處理，在保護絕緣層之上形成層間膜、佈線層、等等之後，可以執行第二熱處理。換言之，只要是在形成保護絕緣層 407 之後的任何時間均可執行第二熱處理。舉例而言，在製造顯示裝置的像素部份中使用的薄膜電晶體之情況中，在像素電極層形成之後，可以執行第二熱處理。

此外，在第二熱處理之前，在惰性氣體氛圍或氮氣氛圍中執行熱處理（較佳高於或等於 200℃ 且低於或等於 400℃）。在此，在低於第一熱處理的溫度及高於第二熱處理的溫度之溫度下，較佳執行此熱處理。舉例而言，可以在氮氛圍下，在 250℃ 中，執行此熱處理一小時。

經由上述製程，可以形成具有下述結構的通道蝕刻型

薄膜電晶體：在具有絕緣表面的基板 400 之上設置閘極電極層 401、在閘極電極層 401 之上設置閘極絕緣層 402、氧化物半導體層 403 係設置於閘極絕緣層 402 之上、源極和汲極電極層 405a 和 405b 係設置於氧化物半導體層 403 之上、以及設置與部份氧化物半導體層 403 相接觸且覆蓋閘極絕緣層 402、氧化物半導體層 403、及源極和汲極電極層 405a 和 405b 的保護絕緣層 407（請參見圖 1E）。

雖然已說明具有單閘極結構的薄膜電晶體作為薄膜電晶體 461，但是，可以形成包含多個通道形成區的具有多閘極結構的薄膜電晶體、或是具有第二閘極電極層係設於保護絕緣層 407 之上的結構之薄膜電晶體。

本實施例中已說明的通道蝕刻薄膜電晶體 461 的製造方法；但是，本實施例的結構不限於此。使用類似的材料及類似的方法，以形成具有如圖 3A 所示之底部接觸型（反共平面型）的薄膜電晶體 460 以及具有如圖 3B 所示之具有通道截止型的薄膜電晶體 481。

在此，在薄膜電晶體 460 中，閘極電極層 451 係設於具有絕緣表面的基板 450 之上、閘極絕緣層 452 係設於閘極電極層 451 之上、源極和汲極電極層 455a 和 455b 係設於閘極絕緣層 452 之上、氧化物半導體層 453 係設於源極和汲極電極層 455a 和 455b 及閘極絕緣層 452 之上、以及設置接觸部份氧化物半導體層 453 和覆蓋閘極絕緣層 452、氧化物半導體層 453、及源極和汲極電極層 455a 和 455b 之保護絕緣層 457。

注意，薄膜電晶體 460 中的基板 450、閘極電極層 451、閘極絕緣層 452、源極和汲極電極層 455a 和 455b、氧化物半導體層 453、以及保護絕緣層 457 分別對應於圖 1A 至 1E 中所示的薄膜電晶體 461 中的基板 400、閘極電極層 401、閘極絕緣層 402、源極和汲極電極層 405a 和 405b、氧化物半導體層 403、及保護絕緣層 407，並且，可使用類似的材料及類似的方法來予以形成。

此外，在薄膜電晶體 481 中，閘極電極層 471 係設於具有絕緣表面的基板 470 之上、閘極絕緣層 472 係設於閘極電極層 471 之上、氧化物半導體層 473 係設於閘極絕緣層 472 之上、通道保護層 480 係設於氧化物半導體層 473 之上、源極和汲極電極層 475a 和 475b 係設於氧化物半導體層 473 和通道保護層 480 之上、以及設置接觸部份通道保護層 480 和覆蓋閘極絕緣層 472、氧化物半導體層 473、通道保護層 480、及源極或汲極電極層 475a 和 475b 之保護絕緣層 477。

使用類似於保護絕緣層 407 的材料和方法，以形成絕緣膜，並且藉由蝕刻來處理形狀之方式，以形成通道保護層 480。舉例而言，藉由濺射法，在氧化物半導體層 473 之上形成氧化矽膜，然後，藉由使用微影術所形成的掩罩來蝕刻氧化矽膜，以便形成通道保護層 480。或者，在形成氧化物半導體層 473 之後，未曝露於空氣，連續地形成通道保護層 480。因此，可以取得未受例如水或碳氫化合物等漂浮於空氣中的雜質元素或大氣成份污染的堆疊層之

間的介面。

注意，薄膜電晶體 481 中的基板 470、閘極絕緣層 472、源極或汲極電極層 475a 和 475b、氧化物半導體層 473、以及保護絕緣層 477 分別對應於薄膜電晶體 461 中的基板 400、閘極電極層 401、閘極絕緣層 402、源極和汲極電極層 405a 和 405b、氧化物半導體層 403、及保護絕緣層 407，並且，可使用類似的材料及類似的方法來予以形成。

以上述方式，形成保護絕緣層以覆蓋包含藉由第一熱處理來予以脫水或脫氫的氧化物半導體層的薄膜電晶體，並且，執行溫度低於第一熱處理的溫度之溫度上升及下降重複多次的第二熱處理，因而可以製造包含氧化物半導體層的薄膜電晶體，其中，形成通道的臨界電壓是正的且儘可能接近 0V，與通道長度幾乎是無關的。

本實施例可以與其它實施例中所述的任何結構做適當地結合來予以實施。

## 實施例 2

在本實施例中，使用不同於實施例 1 的方法來執行第二熱處理。在實施例 1 中，以溫度上升及下降重複多次之方式，在低於第一熱處理的溫度之溫度下，執行第二熱處理。關於本實施例的第二熱處理，將溫度保持在低於第一熱處理的溫度，以比第一熱處理的時間還長的時間，連續地執行熱處理。

直到正好在第二熱處理之前的步驟，薄膜電晶體的製程係類似於實施例 1 中的製程（請參見圖 1C）。

在空氣氛圍、氧氛圍、氮氛圍、或稀有氣體氛圍（例如，氦、氖、或氬）下，對源極電極層 405a、汲極電極層 405b、閘極絕緣層 402、及氧化物半導體層 432，以比第一熱處理的時間還長的時間，連續地執行溫度保持在低於第一熱處理的溫度下的第二熱處理，藉以形成氧化物半導體層 403（請參見圖 1D 及圖 1E）。在本實施例中，基板被導入熱處理設備的一實施例之電熱爐中，並且，使氧化物半導體層在氧氛圍下受到第二熱處理。

本實施例的第二熱處理係由溫度上升時段、高溫維持時段、溫度下降時段、及低溫維持時段所組成；每一個時段僅執行一次。換言之，在溫度上升一次之後經過溫度下降時段而完成第二熱處理為止，高溫維持時段連續維持在溫度  $T_2$ 。第二熱處理步驟係顯示於圖 36 的圖形中，其中，垂直軸表示溫度，而水平軸表示時間。如圖 36 所示，第二熱處理步驟係由從溫度  $T_1$  上升至溫度  $T_2$  之溫度上升時段  $t_1$ 、維持溫度  $T_2$  的高溫維持時段  $t_2$ 、從溫度  $T_2$  下降至溫度  $T_1$  之溫度下降時段  $t_3$ 、以及維持溫度  $T_1$  的低溫維持時段  $t_4$  所組成。注意，無需執行低溫維持時段。

在此，溫度  $T_1$  較佳約為室溫，並且，溫度  $T_2$  較佳高於或等於  $100^{\circ}\text{C}$  且低於或等於  $300^{\circ}\text{C}$ ，更佳高於或等於  $125^{\circ}\text{C}$  且低於或等於  $250^{\circ}\text{C}$ 。此外，時段  $t_1$ 、時段  $t_3$ 、及時段  $t_4$  均較佳約為 1 分鐘至 60 分鐘。時段  $t_2$  較佳為 1 小時

至 50 小時（含）。只要滿足下述條件： $t_2 > t_1 + t_3 + t_4$ ，時段  $t_1$ 、時段  $t_2$ 、時段  $t_3$ 、及時段  $t_4$  也可以被適當地設定為不同的時間長度。

在溫度下降時段中，可以吹送冷卻氣體以降低基板溫度。藉由吹送冷卻氣體，可以比自然冷卻更快速地降低基板溫度。

以類似於實施例 1 中所述的重複溫度上升及下降的第二熱處理之方式，以低於第一熱處理的溫度及比第一熱處理的時間還長的時間而連續地執行的第二熱處理，可以允許閘極絕緣層 402 與氧化物半導體層 432 之間的介面以及氧化物半導體層 432 與保護絕緣層 407 之間的介面處的懸鍵終止或是氧化物半導體層 432 中的空間的周圍中的原子逐漸地重配置；因此，可以形成上述部份的結構穩定之氧化物半導體層 403。

因此，在包含氧化物半導體層 403 的薄膜電晶體中，形成通道的臨界電壓可以是正的且儘可能接近 0V。特別是，即使通道長度是  $20\ \mu\text{m}$  或更短的薄膜電晶體中，以類似方式，形成通道的臨界電壓可以是正的且儘可能接近 0V。此外，場效遷移率也可以藉由此第二熱處理來予以增加。

此外，即使在包含氧化物半導體層 403 的多個薄膜電晶體形成於一個基板之上的情況中，仍然可以防止這些薄膜電晶體的臨界電壓變化。

此外，在 BT 應力測試（偏壓溫度應力測試）中可以

降低臨界電壓之偏移量；因此，可以取得高度可靠的薄膜電晶體。

因此，在使用本實施例中所述的製造方法來製造顯示裝置的像素部份中的薄膜電晶體之情況中，可以抑制導因於個別像素的薄膜電晶體的臨界電壓變化的顯示不均勻。

此外，在使用本實施例中所述的製造方法來製造顯示裝置的驅動電路部份中的薄膜電晶體之情況中，可以縮短通道長度而幾乎不會造成臨界電壓負偏移，因而可以取得驅動電路部份中薄膜電晶體的高速操作及更低耗電。

注意，在第二熱處理中，較佳的是，水、氫、等等不含於氧、氮、或例如氦、氖、或氬等稀有氣體中。或者，較佳的是，導入於熱處理設備中之氮或例如氦、氖、或氬等稀有氣體之純度為 6N（99.9999%）或更大，更佳為 7N（99.99999%）或更大；亦即，雜質濃度較佳被設定為 1 ppm 或更小，更佳為 0.1ppm 或更低。

藉由使用電熱爐的加熱法，以執行第二熱處理。

注意，正好在形成保護絕緣層 407 之後無須執行第二熱處理。在保護絕緣層之上形成層間膜、佈線層、等等之後，可以執行第二熱處理。換言之，只要是在形成保護絕緣層 407 之後的任何時間均可執行第二熱處理。舉例而言，在製造顯示裝置的像素部份中使用的薄膜電晶體之情況中，在像素電極層形成之後，可以執行第二熱處理。

此外，在第二熱處理之前，在惰性氣體氛圍或氮氣氛圍中執行熱處理（較佳高於或等於 200℃ 且低於或等於

400℃)。在此，在低於第一熱處理的溫度及高於第二熱處理的溫度之溫度下，較佳執行此熱處理。舉例而言，可以在氮氛圍下，在 250℃ 中，執行此熱處理約一小時。

以類似於實施例 1 的方式，經由上述製程，可以形成具有下述結構的通道蝕刻型薄膜電晶體 461：在具有絕緣表面的基板 400 之上設置閘極電極層 401、在閘極電極層 401 之上設置閘極絕緣層 402、氧化物半導體層 403 係設置於閘極絕緣層 402 之上、源極和汲極電極層 405a 和 405b 係設置於氧化物半導體層 403 之上、以及設置與部份氧化物半導體層 403 相接觸且覆蓋閘極絕緣層 402、氧化物半導體層 403、及源極和汲極電極層 405a 和 405b 的保護絕緣層 407（請參見圖 1E）。

形成保護絕緣層以覆蓋包含藉由第一熱處理來予以脫水或脫氫的氧化物半導體之薄膜電晶體，以比第一熱處理的時間還長的時間，連續地執行溫度保持在低於第一熱處理的溫度下的第二熱處理，藉此，可以製造包含氧化物半導體層的薄膜電晶體，其中，形成通道的臨界電壓為正的且僅可能接近 0V，而不會取決於通道長度。

本實施例可以與其它實施例中所述的任何結構做適當地結合來予以實施。

### 實施例 3

在本實施例中，使用不同於實施例 1 及 2 的方式，在形成保護絕緣層 407 之前，使用第三熱處理來製造薄膜電

晶體。

直到且包含形成源極和汲極電極層 405a 和 405b 為止的步驟，薄膜電晶體的製程係類似於實施例 1 中的製程（請參見圖 1B）。

然後，執行第三熱處理，以便將未由源極和汲極電極層 405a 和 405b 覆蓋的氧化物半導體層 432 的曝露區（背通道）脫水或脫氫。在真空、氧氛圍、稀有氣體（例如，氮、氖、或氬）氛圍、或降壓下，在 100°C 至 300°C 的溫度，較佳執行第三熱處理。此外，第三熱處理的時間長度較佳大於或等於 1 分鐘且小於或等於 60 分鐘。

第三熱處理可以去除因水或氫的進入而產生於背通道中的過量載子。因此，即使在稍後執行且於實施例 1 及 2 中所述的第二熱處理之時間長度縮短，仍然可以取得類似的效果。

接著，以類似於實施例 1 的方式，適當地使用例如濺射法等可以防止例如水或氫等雜質進入保護絕緣層 407 之方法，以形成厚度至少 1 nm 或更多的保護絕緣層 407，所形成的保護絕緣層 407 覆蓋閘極絕緣層 402、氧化物半導體層 432、源極電極層 405a、和汲極電極層 405 且與部份氧化物半導體層 432 相接觸的保護絕緣層 407（請參見圖 1C）。在此，在氧氛圍中而未曝露於空氣，藉由高於或等於室溫且低於或等於 100°C 的膜形成溫度，以濺射法來形成保護絕緣層 407。使用不含有例如濕氣、氫離子、及 OH<sup>-</sup>等雜質及防止它們從外部進入之無機絕緣膜，以形

成與部份氧化物半導體層 432 相接觸的保護絕緣層 407，並且，較佳使用氧化矽膜。可以使用氧化矽靶材或矽靶材作為靶材。

此外，保護絕緣層 407 可以具有氮化矽膜堆疊於氧化矽膜之上的結構。由於氮化矽膜不含有例如濕氣、氫離子、及  $\text{OH}^-$  等雜質且防止它們從外部進入，所以，氮化矽膜是較佳的。重要的是，氮化矽膜可以被堆疊而未曝露於空氣且可以防止例如水或氫等雜質進入保護絕緣層 407。

接著，以低於實施例 1 中所述之第一熱處理的溫度，多次重複溫度上升及下降之第二熱處理，或者，執行實施例 2 中所述之以比第一熱處理的時間還長的時間及將溫度保持於低於第一熱處理的溫度而連續地執行的第二熱處理，以形成氧化物半導體層 403；因此，可以製造通道蝕刻型薄膜電晶體 461（請參見圖 1E）。

在第二熱處理之前執行第三熱處理的情況中，即使縮短第二熱處理的時間長度，仍然可以製造形成通道的臨界電壓是正的且儘可能接近 0V 之包含氧化物半導體層 403 的薄膜電晶體。特別是，即使通道長度是  $20\ \mu\text{m}$  或更短的薄膜電晶體中，以類似方式，形成通道的臨界電壓可以是正的且儘可能接近 0V。此外，場效遷移率也可以藉此第二熱處理來予以增加。

此外，藉由在第二熱處理之前執行第三熱處理，則即使在第二熱處理的時間長度縮短且包含氧化物半導體層 403 的多個薄膜電晶體形成於一個基板之上的情況中，仍

然可以防止這些薄膜電晶體的臨界電壓改變。

此外，藉由在第二熱處理之前執行第三熱處理，則即使第二熱處理的時間長度縮短之情況中，在 BT 應力測試（偏壓溫度應力測試）中，可以降低臨界電壓之偏移量；因此，可以取得高度可靠的薄膜電晶體。

因此，在使用本實施例中所述的製造方法來製造顯示裝置的像素部份中的薄膜電晶體之情況中，可以抑制導因於個別像素的薄膜電晶體的臨界電壓變化的顯示不均勻。

此外，在使用本實施例中所述的製造方法來製造顯示裝置的驅動電路部份中的薄膜電晶體之情況中，可以縮短通道長度而不會造成臨界電壓負偏移，因而可以取得驅動電路部份中薄膜電晶體的高速操作及更低耗電。

本實施例可以與其它實施例中所述的任何結構做適當地結合來予以實施。

#### 實施例 4

在本實施例中，於下將說明一實例，其中，至少某些驅動電路及配置於像素部中的薄膜電晶體係形成於一個基板之上。

根據實施例 1 至 3 中的任一實施例，以形成配置於像素部份的薄膜電晶體。由於實施例 1 至 3 中的任一實施例中所述的薄膜電晶體是 n 通道 TFT，所以，在這些驅動電路中，可藉由 n 通道 TFT 所構成的某些驅動電路係形成於像素部中的薄膜電晶體形成於其中的基板之上。

圖 11A 顯示主動矩陣顯示裝置的方塊圖之實例。像素部 5301、第一掃描線驅動電路 5302、第二掃描線驅動電路 5303 及訊號線驅動電路 5304 係設置於顯示裝置中的基板 5300 之上。在像素部 5301 中，設置從訊號線驅動電路 5304 延伸的多個訊號線、以及設置從第一掃描線驅動電路 5302 和第二掃描線驅動電路 5303 延伸的多個掃描線。注意，均具有顯示元件的像素係以矩陣的方式而被配置於掃描線與訊號線的交會區域中。顯示裝置的基板 5300 經由例如可撓性印刷電路（FPC）等連接部而被連接至時序控制電路 5305（也稱為控制器或控制 IC）。

在圖 11A 中，第一掃描線驅動電路 5302、第二掃描線驅動電路 5303、及訊號線驅動電路 5304 係形成於基板 5300 之上，在基板 5300 中形成有像素部份 5301。結果，減少外部設置之驅動電路等的元件數目，以便可以降低成本。此外，當佈線從設於基板 5300 之外部的驅動電路延伸時，形成之連接部份中的連接數目可以被降低，因而可以增加可靠度或產量。

注意，舉例而言，時序控制電路 5305 供應第一掃描線驅動電路啟動訊號（GSP1）及掃描線驅動電路時脈訊號（GCK1）給第一掃描線驅動電路 5302。此外，舉例而言，時序控制電路 5305 供應第二掃描線驅動電路啟動訊號（GSP2）（也稱為啟動脈衝）及掃描線驅動電路時脈訊號（GCK2）給第二掃描線驅動電路 5303。此外，時序控制電路 5305 供應訊號線驅動電路啟動訊號（SSP）、訊

號線驅動電路時脈訊號（SCK）、視頻訊號資料（DATA，也簡稱為視頻訊號）、及鎖存訊號（LAT）給訊號線驅動電路 5304。每一個時脈訊號可為多個具有偏移相位的時脈訊號、或是與藉由將時脈訊號反相而取得的訊號（CKB）一起被供應。注意，能夠省略第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303 的其中之一。

圖 11B 顯示一結構，其中，具有較低驅動頻率的電路（例如，第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303）係形成於有像素部份 5301 形成的基板 5300 之上，並且，訊號線驅動電路 5304 係形成於與有像素部份 5301 形成的基板 5300 不同的基板之上。根據此結構，形成於基板 5300 之上的驅動電路可以由場效遷移率低於包含單晶半導體的電晶體之場效遷移率的薄膜電晶體所構成。因此，增加顯示裝置的尺寸，降低步驟數目、降低成本、增進產量、等等。

實施例 1 至 3 中所述的薄膜電晶體是 n 通道 TFT。圖 12A 及 12B 顯示由 n 通道 TFT 所構成的訊號線驅動電路的配置及操作的實例。

訊號線驅動電路包含移位暫存器 5601 及切換電路 5602。切換電路 5602 包含多個切換電路 5602\_1 至 5602\_N（N 是自然數）。切換電路 5601\_1 至 5602\_N 中的每一者均包含多個薄膜電晶體 5603\_1 至 5603\_k（k 是自然數）。於下說明薄膜電晶體 5603\_1 至 5603\_k 是 n 通道 TFT 的實例。

以切換電路 5602\_1 為例，說明訊號線驅動電路中的連接關係。薄膜電晶體 5603\_1 至 5603\_k 的第一端子分別連接至佈線 5604\_1 至 5604\_k。薄膜電晶體 5603\_1 至 5603\_k 的第二端子分別連接至訊號線 S1 至 Sk。薄膜電晶體 5603\_1 至 5603\_k 的閘極連接至佈線 5605\_1。

移位暫存器 5601 具有藉由依序輸出 H 位準訊號（也稱為 H 訊號或高電源電位位準訊號）至佈線 5605\_1 至 5605\_N 而依序選取切換電路 5602\_1 至 5602\_N 的功能。

切換電路 5602\_1 具有控制佈線 5604\_1 至 5604\_k 與訊號線 S1 至 Sk 之間的電氣導通（第一端子與第二端子之間的電氣導通）之功能，亦即，具有控制佈線 5604\_1 至 5604\_k 的電位是否被供應至訊號線 S1 至 Sk 的功能。以此方式，切換電路 5602\_1 用作為選擇器。此外，薄膜電晶體 5603\_1 至 5603\_k 分別具有控制佈線 5604\_1 至 5604\_k 與訊號線 S1 至 Sk 之間的電氣導通（electrical continuity）之功能，亦即，分別具有供應佈線 5604\_1 至 5604\_k 的電位至訊號線 S1 至 Sk 的功能。以此方式，每一個薄膜電晶體 5603\_1 至 5603\_k 用作為開關。

視頻訊號（DATA）輸入至佈線 5604\_1 至 5604\_k 中的每一個佈線。視頻訊號資料（DATA）通常是對應於影像訊號或影像資料的類比訊號。

接著，將參考圖 12B 中的時序圖，說明圖 12A 中的訊號線驅動電路的操作。圖 12B 顯示訊號 Sout\_1 至 Sout\_N 及訊號 Vdata\_1 至 Vdata\_k 的實例。訊號 Sout\_1

至 Sout\_N 是來自移位暫存器 5601 的輸出訊號的實例。訊號 Vdata\_1 至 Vdata\_k 是輸入至佈線 5604\_1 至 5604\_k 的訊號之實例。注意，訊號線驅動電路的一個操作週期相當於顯示裝置中的一個閘極選取週期。舉例而言，一個閘極選取週期被分成週期 T1 至 TN。週期 T1 至 TN 中的每一個週期是用以將視頻訊號資料（DATA）寫至被選取到的列中的像素。

注意，在某些情況中，爲了簡明起見，在本實施例中的圖式等中所示的每一個結構中的訊號波形失真等被放大。因此，本實施例不需要侷限於圖式等中所示的比例。

在 T1 至 TN 的週期中，移位暫存器 5601 依序地輸出 H 位準訊號給佈線 5605\_1 至 5605\_N。舉例而言，在週期 T1 中，移位暫存器 5601 輸出 H 位準訊號至佈線 5605\_1。然後，開啓薄膜電晶體 5603\_1 至 5603\_k，以致於使佈線 5604\_1 至 5604\_k 及訊號線 S1 至 SK 導通。此時，Data（S1）至 Data（Sk）分別輸入至佈線 5604\_1 至 5604\_k。Data（S1）至 Data（Sk）分別經由薄膜電晶體 5603\_1 至 5603\_k 而被寫入至被選取的列中的第一至第 k 行中的像素。依此方式，在週期 T1 至 TN 中，視頻訊號資料（DATA）依序地以 k 個行寫入至被選取到的列中的像素中。

如上所述，視頻資料（DATA）以複數行寫入像素中，因而可以降低視頻訊號資料（DATA）的數目或佈線的數目。結果，可以降低與外部電路連接的數目。此外，

當視頻訊號以複數行寫入像素中時可以延長用以寫入的時間；因此，可以防止不充份的視頻訊號寫入。

注意，由實施例 1 至 3 中任何實施例中的薄膜電晶體所構成的任何電路可以被使用於移位暫存器 5601 及切換電路 5602。在該情況中，包含於移位暫存器 5601 中的所有電晶體可以僅由 n 通道電晶體或僅由 p 通道電晶體所構成。

將參考圖 13A 至 13D 及圖 14A 和 14B，說明用於部份掃描線驅動電路及部份訊號線驅動電路之移位暫存器的一個實施例。

掃描線驅動電路包含移位暫存器。此外，在某些情況中，掃描線驅動電路可以包含位準偏移器、緩衝器、等等。在掃描線驅動電路中，時脈訊號（CLK）及啟動脈衝訊號（SP）輸入至移位暫存器，以便產生選取訊號。所產生的選取訊號會被緩衝器所緩衝及放大，所造成的訊號被供應給對應的掃描線。在一線像素中的電晶體的閘極電極連接至掃描線。由於一線的像素中的電晶體必須同時全部開啓，所以，使用可以供應大電流的緩衝器。

移位暫存器包含第一至第 N 脈衝輸出電路 10\_1 至 10\_N（N 是大於或等於 3 的自然數）（請參見圖 13A）。在圖 13A 中所示的移位暫存器中，第一時脈訊號 CK1、第二時脈訊號 CK2、第三時脈訊號 CK3、及第四時脈訊號 CK4 分別從第一佈線 11、第二佈線 12、第三佈線 13、及第四佈線供應至第一至第 N 脈衝輸出電路 10\_1 至 10\_N。

啓動脈衝 SP1（第一啓動脈衝）從第五佈線 15 輸入至第一脈衝輸出電路 10\_1。來自先前的級之脈衝輸出電路的訊號（此訊號稱爲先前級訊號 OUT（n-1））輸入至第二或後續的級之第 n 脈衝輸出電路 10\_n（n 是大於或等於 2 且小於或等於 N 的自然數）。此外，來自第三脈衝輸出電路 10\_3 的訊號輸入至第三脈衝輸出電路 10\_3 之前的二個級中的第一脈衝輸出電路 10\_1。以類似方式，來自第 n 脈衝輸出電路 10\_n 之後的二個級中的脈衝輸出電路 10\_（n+2）的訊號（此訊號稱爲後續級訊號 OUT（n+2））輸入至第二或後續的級中之第 n 脈衝輸出電路 10\_n。因此，要輸入至下一級的脈衝輸出電路及／或脈衝輸出電路之前的二個級中之第一輸出訊號（OUT（1）（SR）至 OUT（N）（SR））、以及用於電連接至其它佈線等之第二輸出訊號（OUT（1）至 OUT（N）），自每一級中的脈衝輸出電路輸出。注意，由於如圖 13A 所示般後續級訊號 OUT（n+2）未輸入至移位暫存器的最後二級，所以，舉例而言，第二啓動脈衝 SP2 及第三啓動脈衝 SP3 可以額外地輸入至最後二個級的脈衝輸出電路。

注意，時脈訊號（CK）是以規律間隔在 H 位準與 L 位準（也稱爲 L 訊號或低電源電位位準訊號）之間交替的訊號。在此，第一時脈訊號（CK1）至第四時脈訊號（CK4）均依序地偏移 1/4 週期。在本實施例中，脈衝輸出電路的驅動等係由第一至第四時脈訊號（CK1）至（CK4）來予以控制。注意，在某些情況中，時脈訊號視

其所輸入的驅動電路而稱為 GCK 或 SCK；在下述說明中，時脈訊號稱為 CK。

第一輸入端子 21、第二輸入端子 22、及第三輸入端子 23 電連接至第一至第四佈線 11 至 14 中的任一佈線。舉例而言，在圖 13A 中的第一脈衝輸出電路 10\_1 中，第一輸入端子 21 電連接至第一佈線 11、第二輸入端子 22 電連接至第二佈線 12、以及第三輸入端子 23 電連接至第三佈線 13。在第二脈衝輸出電路 10\_2 中，第一輸入端子 21 電連接至第二佈線 12、第二輸入端子 22 電連接至第三佈線 13、及第三輸入端子 23 電連接至第四佈線 14。

第一至第 N 脈衝輸出電路 10\_1 至 10\_N 均包含第一輸入端子 21、第二輸入端子 22、第三輸入端子 23、第四輸入端子 24、第五輸入端子 25、第一輸出端子 26、及第二輸出端子 27（請參見圖 13B）。在第一脈衝輸出電路 10\_1 中，第一時脈訊號 CK1 輸入至第一輸入端子 21；第二時脈訊號 CK2 輸入至第二輸入端子 22；第三時脈訊號 CK3 輸入至第三輸入端子 23；啟動脈衝輸入至第四輸入端子 24；後續級訊號 OUT（3）輸入至第五輸入端子 25；第一輸出訊號 OUT（1）SR 從第一輸出端子 26 輸出；以及，第二輸出訊號 OUT（1）從第二輸出端子 27 輸出。

在第一至第 N 脈衝輸出電路 10\_1 至 10\_N 中，除了具有三個端子的薄膜電晶體之外，還可以使用具有四個端子的薄膜電晶體。圖 13C 顯示具有四個端子的薄膜電晶體 28 的符號。圖 13C 中所示之薄膜電晶體 28 的符號代表具

有四個端子的薄膜電晶體，且用於下述圖式等中。薄膜電晶體 28 可以藉由輸入至第一閘極電極的第一控制訊號 G1 以及輸入至第二閘極電極的第二控制訊號 G2 來控制 IN 端與 OUT 端之間的電流。

藉由在薄膜電晶體 28 的通道形成區之上方及下方設置閘極電極而以閘極絕緣膜介於上閘極電極與通道形成區之間以及下閘極電極與通道形成區之間，並且，藉由控制上閘極電極的電位及／或下閘極電極的電位，可以將圖 13C 中所示的薄膜電晶體 28 之臨界電壓控制於所想要的位準。

接著，將參考圖 13D，說明圖 13B 中所示的脈衝輸出電路的具體電路配置之實例。

圖 13D 中所示的第一脈衝輸出電路 10\_1 包含第一至第十三電晶體 31 至 43。除了上述第一至第五輸入端子 21 至 25、第一輸出端子 26、及第二輸出端子 27 之外，訊號或電源電位從被供予第一高電源電位 VDD 的電源線 51、被供予第二高電源電位 VCC 的電源線 52、及被供予低電源電位 VSS 的電源線 53 供應至第一至第十三電晶體 31 至 43。圖 13D 中的電源線的電源電位的關係如下所述：第一電源電位 VDD 大於或等於第二電源電位 VCC，以及第二電源電位 VCC 高於第三電源電位 VSS。注意，第一至第四時脈訊號（CK1）至（CK4）均以規律間隔在 H 位準與 L 位準之間交替；在 H 位準的時脈訊號是 VDD，在 L 位準的時脈訊號是 VSS。藉由使電源線 51 的電位 VDD

高於電源線 52 的電位  $V_{CC}$ ，可以降低施加至電晶體的閘極電極之電位，可以減少電晶體的臨界電壓偏移，並且可以抑制電晶體的劣化，而不會對電晶體的操作有不利影響。注意，如圖 13D 中所示般，較佳使用圖 13C 中所示的具有四個端子的薄膜電晶體 28 作為第一至第十三電晶體 31 至 43 之中的第一電晶體 31 及第六至第九電晶體 36 至 39。第一電晶體 31 及第六至第九電晶體 36 至 39 視閘極電極的控制訊號而需要切換用作為源極或汲極的一個電極所連接的節點之電位，並且，藉由對輸入至閘極電極的控制訊號之快速響應（開啓電流的急遽上升），可以降低脈衝輸出電路的故障。藉由使用圖 13C 中所示的具有四個端子的薄膜電晶體 28，可以控制臨界電壓，並且，可以進一步降低脈衝輸出電路的故障。注意，雖然第一控制訊號  $G1$  及第二控制訊號  $G2$  在圖 13D 中是相同的控制訊號，但是，第一控制訊號  $G1$  及第二控制訊號  $G2$  可以是不同的控制訊號。

在圖 13D 中，第一電晶體 31 的第一端子電連接至電源線 51，第一電晶體 31 的第二端子電連接至第九電晶體 39 的第一端子，第一電晶體 31 的閘極電極（第一閘極電極及第二閘極電極）電連接至第四輸入端子 24。第二電晶體 32 的第一端子電連接至電源線 53，第二電晶體 32 的第二端子電連接至第九電晶體 39 的第一端子，第二電晶體 32 的閘極電極電連接至第四電晶體 34 的閘極電極。第三電晶體 33 的第一端子電連接至第一輸入端子 21，第

三電晶體 33 的第二端子電連接至第一輸出端子 26。第四電晶體 34 的第一端子電連接至電源線 53，第四電晶體 34 的第二端子電連接至第一輸出端子 26。第五電晶體 35 的第一端子電連接至電源線 53，第五電晶體 35 的第二端子電連接至第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，第五電晶體 35 的閘極電極電連接至第四輸入端子 24。第六電晶體 36 的第一端子電連接至電源線 52，第六電晶體 36 的第二端子電連接至第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，第六電晶體 36 的閘極電極（第一閘極電極及第二閘極電極）電連接至第五輸入端子 25。第七電晶體 37 的第一端子電連接至電源線 52，第七電晶體 37 的第二端子電連接至第八電晶體 38 的第二端子，第七電晶體 37 的閘極電極（第一閘極電極和第二閘極電極）電連接至第三輸入端子 23。第八電晶體 38 的第一端子電連接至第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，並且，第八電晶體 38 的閘極電極（第一閘極電極和第二閘極電極）電連接至第二輸入端子 22。第九電晶體 39 的第一端子電連接至第一電晶體 31 的第二端子及第二電晶體 32 的第二端子，第九電晶體 39 的第二端子電連接至第三電晶體 33 的閘極電極及第十電晶體 40 的閘極電極，以及第九電晶體 39 的閘極電極（第一閘極電極和第二閘極電極）電連接至電源線 52。第十電晶體 40 的第一端子電連接至第一輸入端子 21，第十電晶體 40 的第二端子電連接至第二輸出端子 27，第十電晶體 40 的

閘極電極電連接至第九電晶體 39 的第二端子。第十一電晶體 41 的第一端子電連接至電源線 53，第十一電晶體 41 的第二端子電連接至第二輸出端子 27，第十一電晶體 41 的閘極電極電連接至第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極。第十二電晶體 42 的第一端子電連接至電源線 53，第十二電晶體 42 的第二端子電連接至第二輸出端子 27，第十二電晶體 42 的閘極電極電連接至第七電晶體 37 的閘極電極（第一閘極電極和第二閘極電極）。第十三電晶體 43 的第一端子電連接至電源線 53，第十三電晶體 43 的第二端子電連接至第一輸出端子 26，第十三電晶體 43 的閘極電極電連接至第七電晶體 37 的閘極電極（第一閘極電極和第二閘極電極）。

在圖 13D 中，第三電晶體 33 的閘極電極、第十電晶體 40 的閘極電極、及第九電晶體 39 的第二端子相連接的連接點稱為節點 A。第二電晶體 32 的閘極電極、第四電晶體 34 的閘極電極、第五電晶體 35 的第二端子、第六電晶體 36 的第二端子、第八電晶體 38 的第一端子、及第十一電晶體 41 的閘極電極連接的連接點稱為節點 B（請參見圖 14A）。

圖 14A 顯示在圖 13D 中所示的脈衝輸出電路應用至第一脈衝輸出電路 10\_1 的情況中輸入至或輸出自第一至第五輸入端子 21 至 25 及第一和第二輸出端子 26 和 27 的訊號。

具體而言，第一時脈訊號 CK1 被輸入至第一輸入端

子 21；第二時脈訊號 CK2 被輸入至第二輸入端子 22；第三時脈訊號 CK3 被輸入至第三輸入端子 23；啟動脈衝被輸入至第四輸入端子 24；後續級的訊號 OUT (3) 輸入至第五輸入端子 25；第一輸出訊號 OUT (1) (SR) 從第一輸出端子 26 輸出；並且，第二輸出訊號 OUT (1) 從第二輸出端子 27 輸出。

注意，薄膜電晶體是至少具有閘極、汲極、和源極等三個端子的元件。薄膜電晶體具有半導體，半導體包含形成於與閘極相重疊的區域中的通道區。藉由控制閘極的電位，可以控制經由通道區而在汲極與源極之間流動的電流。在此，由於薄膜電晶體的源極和汲極可以視薄膜電晶體的結構、操作條件、等等而變，所以，難以界定何者為源極或汲極。因此，作為源極或汲極的區域在某些情況中不會稱為源極或汲極。在該情況中，舉例而言，這些區域可以稱為第一端子以及第二端子。

注意，在圖 13D 和圖 14A 中，可以增加地設置藉由將節點 A 置於浮動狀態以執行自舉操作的電容器。此外，可以增加地設置具有電連接至節點 B 的一個電極之電容器，以固持節點 B 的電位。

圖 14B 顯示包含圖 14A 中所示的多個脈衝輸出電路之移位暫存器的時序圖。注意，當移位暫存器包含於掃描線驅動電路中時，圖 14B 中的週期 61 相當於垂直返馳 (retrace) 週期，週期 62 相當於閘極選取週期。

注意，藉由如圖 14A 所示般，設置第二電源電位

VCC 被施加至其閘極的第九電晶體 39，則在自舉操作前後提供下述優點。

若未設置第二電源電位 VCC 施加至閘極的第九電晶體 39，假使節點 A 的電位由自舉操作推升時，作為第一電晶體 31 的第二端子之源極的電位上升至高於第一電源電位 VDD 的值。然後，第一電晶體 31 的第一端子，亦即，在電源線 51 側上的端子，變成用作為第一電晶體 31 的源極。結果，在第一電晶體 31 中，施加高電壓且因而施加顯著的應力於閘極與源極之間以及閘極與汲極之間，這可能造成電晶體劣化。另一方面，若設置第二電源電位 VCC 施加至閘極的第九電晶體 39，可以防止第一電晶體 31 的第二端子的電位增加，而節點 A 的電位由自舉操作推升。換言之，第九電晶體 39 的配置可以降低施加於第一電晶體 31 的閘極和源極之間的負偏壓電壓的位準。因此，在本實施例中的電路配置可以降低施加於第一電晶體 31 的閘極與源極之間的負電壓，使得可以抑制導因於應力之第一電晶體 31 的劣化。

注意，第九電晶體 39 可以被設於任意處，只要第九電晶體的第一端子及第二端子係連接至第一電晶體 31 的第二端子及第三電晶體的閘極即可。注意，當在本實施例中包含多個脈衝輸出電路的移位暫存器包含於比掃描線驅動電路具有更多級數目的訊號線驅動電路中時，可以省略第九電晶體，因此，對於電晶體的數目降低是有利的。

注意，以氧化物半導體用於第一至第十三電晶體 31

至 43 的半導體層，因此，可以降低薄膜電晶體的關閉電流，可以增加場效遷移率及開啓電流，並且，可以降低電晶體的劣化程度。結果，可以降低電路中的故障。此外，相較於包含非晶矽的電晶體，因高電位施加至閘極電極之包含氧化物半導體的電晶體劣化較少。結果，即使當第一電源供應電位 VDD 供應至供應第二電源電位 VCC 的電源時，移位暫存器仍然可以類似地操作，並且，可以降低設置於電路之間的電源線的數目；因此，可以降低電路的大小。

注意，即使當連接關係改變而使得從第三輸入端子 23 供應至第七電晶體 37 的閘極電極（第一閘極電極及第二閘極電極）之時脈訊號以及從第二輸入端子 22 供應至第八電晶體 38 的閘極電極（第一閘極電極及第二閘極電極）之時脈訊號分別從第二輸入端子 22 及第三輸入端子 23 供應時，仍然能夠取得類似的功能。在圖 14A 中所示的移位暫存器中，第七電晶體 37 及第八電晶體 38 的狀態改變，以使第七電晶體 37 及第八電晶體 38 均開啓，然後，第七電晶體 37 關閉及第八電晶體 38 開啓，然後，第七電晶體 37 及第八電晶體 38 關閉；因此，由第七電晶體 37 的閘極電極的電位下降及第八電晶體 38 的閘極電極的電位下降造成二次導因於第二輸入端子 22 及第三輸入端子 23 的電位下降之節點 B 的電位下降。另一方面，在圖 14A 中所示的移位暫存器中，第七電晶體 37 及第八電晶體 38 的狀態改變，以使第七電晶體 37 及第八電晶體 38

都開啓、然後第七電晶體 37 開啓及第八電晶體 38 關閉、然後第七電晶體 37 及第八電晶體 38 關閉之情況中，因第八電晶體 38 的閘極電極的電位下降，而使導因於第二輸入端子 22 及第三輸入端子 23 的電位下降之節點 B 的電位下降僅發生一次。因此，時脈訊號 CK3 從第三輸入端子 23 供應至第七電晶體 37 的閘極電極（第一閘極電極以及第二閘極電極）以及時脈訊號 CK2 從第二輸入端子 22 供應至第八電晶體 38 的閘極電極之此連接關係是較佳的。亦即，由於可以降低節點 B 的電位改變的次數，因此，可以降低雜訊。

以此方式，在第一輸出端子 26 的電位及第二輸出端子 27 的電位保持在 L 位準期間，H 位準訊號規律地供應至節點 B；因此，可以抑制脈衝輸出電路的故障。

在使用實施例 1 中所述的薄膜電晶體的製造方法來製造上述驅動電路中的薄膜電晶體之情況中，可以縮短通道長度而不會造成臨界電壓負偏移，因此，可以取得驅動電路中薄膜電晶體的高速操作及較低耗電。

本實施例可以與其它實施例中所述的任何結構做適當地結合來予以實施。

## 實施例 5

藉由製造薄膜電晶體，並且，使用薄膜電晶體用於像素部份及驅動電路中，可以製造具有顯示功能之半導體裝置（也稱為顯示裝置）。此外，在有像素部形成的基板之

上形成包含薄膜電晶體的部份或全部驅動電路，因而可以取得面板上的系統（system-mpanel）。

顯示裝置包含顯示元件。關於顯示元件，可以使用液晶元件（也稱為液晶顯示元件）或發光元件（也稱為發光顯示元件）。發光元件在其類別內包含亮度受電流或電壓控制的元件，並且，具體地包含其類別中之無機電致發光（EL）元件、有機 EL 元件、等等。此外，顯示裝置包含例如電子墨水之對比會受電效應改變的顯示媒體。

此外，顯示裝置包含面板及模組，顯示元件係密封於面板中，在模組中，包含控制器之 IC 等安裝於面板上。此外，在顯示裝置製程中完成顯示元件之前的一個實施例之元件基板係設有供應電流給多個像素中的每一個像素中的顯示元件之機構。具體而言，元件基板可以處於僅形成顯示元件的像素電極之狀態、在形成要成為像素電極的導體膜但尚未被蝕刻以形成像素電極的狀態、或任何其它狀態中。

注意，在本說明書中的顯示裝置意指影像顯示裝置、顯示裝置、或光源（包含發光裝置）。此外，顯示裝置在其類別中包含下述模組：例如可撓性印刷電路（FPC）、捲帶式自動接合（TAB）帶、或捲帶載體封裝（TCP）等連接器附接的模組；具有端部設有印刷線路板之 TCP 或 TAB 帶的模組；以及，具有以玻璃上晶片（COG）法而被直接安裝於顯示元件上的積體電路（IC）之模組。

將參考圖 7A1、7A2、及 7B，說明半導體裝置的一個

實施例之液晶顯示面板的外觀及剖面。圖 7A1 及 7A2 為面板的平面視圖，其中，薄膜電晶體 4010 和 4011 及液晶元件 4013 係以密封劑 4005 而被密封於第一基板 4001 與第二基板 4006 之間。圖 7B 是圖 7A-1 及 7A-2 之 M-N 剖面視圖。

密封劑 4005 係設置成圍繞而設於第一基板 4001 之上的像素部 4002 及掃描線驅動電路 4004。第二基板 4006 係設於像素部 4002 及掃描線驅動電路 4004 之上。結果，像素部 4002 及掃描線驅動電路 4004 與液晶層 4008 一起被第一基板 4001、密封劑 4005、及第二基板 4006 所密封。使用單晶半導體膜或多晶半導體膜而形成於分開製備的基板之上的訊號線驅動電路 4003 係安裝於一區域中，所述區域與第一基板 4001 之上被密封劑 4005 所圍繞的區域不同。

注意，對於分開形成的驅動電路之連接方法並無特別限定，可以使用 COG 方法、材線接合法、TAB 法、等等。圖 7A1 顯示以 COG 法來安裝訊號線驅動電路 4003 的實例。圖 7A2 顯示以 TAB 法來安裝訊號線驅動電路 4003 的實例。

設於第一基板 4001 之上的像素部 4002 及掃描線驅動電路 4004 均包含多個薄膜電晶體。舉例而言，圖 7B 顯示包含於像素部 4002 中的薄膜電晶體 4010 並且包含於掃描線驅動電路 4004 中的薄膜電晶體 4011。絕緣層 4020、4041、及 4021 係設於薄膜電晶體 4010 和 4011 之上。

可以使用實施例 1 所述的包含氧化物半導體層之任何高度可靠的薄膜電晶體作為薄膜電晶體 4010 及 4011。在本實施例中，薄膜電晶體 4010 和 4011 為 n 通道薄膜電晶體。

導電層 4040 係設於與用於驅動電路的薄膜電晶體 4011 中的氧化物半導體層的通道形成區相重疊的部份絕緣層 4021 之上。導電層 4040 係設在與氧化物半導體層的通道形成區相重疊的位置，因而可以降低 BT 測試前後之薄膜電晶體 4011 的臨界電壓的變化量。導電層 4040 的電位可以與薄膜電晶體 4011 的閘極電極層的電位相同或不同。導電層 4040 也可以用作為第二閘極電極層。此外，導電層 4040 的電位可為 GND 或 0V，或者，導電層 4040 可處於浮動狀態。

包含於液晶元件 4013 中的像素電極層 4030 係電連接至薄膜電晶體 4010。液晶元件 4013 的對置電極層 4031 係形成於第二基板 4006 上。像素電極層 4030、對置電極層 4031、及液晶層 4008 彼此重疊的部份對應於液晶元件 4013。注意，像素電極層 4030 及對置電極層 4031 係分別設有用作為對齊膜的氧化物絕緣層 4032 及氧化物絕緣層 4033，並且，液晶層 4008 係夾置於電極層 4030 之間，而以氧化物絕緣層 4032 及 4033 介於其間。

注意，可以使用透光基板作為第一基板 4001 與第二基板 4006；可以使用玻璃、或塑膠。關於塑膠，可為玻璃強化塑膠（FRP）板、聚氟乙烯（PVF）膜、聚酯膜、

或丙烯酸樹脂膜。

柱狀間隔器 4305 是藉由選擇性地蝕刻絕緣膜而取得的，且係設置成控制像素電極層 4030 與對置電極層 4031 之間的距離（胞間隙）。或者，可以使用球形間隔器作為間隔器 4035。對置電極層 4031 電連接至形成於其中形成有薄膜電晶體 4010 的基板之上的共同電位線。藉由使用共同連接部，對置電極層 4031 及共同電位線可以經由配置於成對基板之間的導電粒子而彼此電連接。注意，導電粒子係包含於密封劑 4005 中。

或者，可以使用不需要對齊膜之呈現藍相位的液晶。藍相位是當膽茲液晶的溫度增加時正好在膽茲液晶變成各向等性相位之前產生的液晶相位其中之一。由於藍相位僅在相當狹窄的溫度範圍內產生，所以，以含有 5 重量%或更高的掌性劑之液晶成份使用於液晶層 4008，以擴展溫度範圍。包含呈現藍相位的液晶及掌性劑的液晶成份具有 1 msec 或更小的短響應時間且為光學上各向等性；因此，不需要對齊處理，並且視角相依性小。

注意，本實施例除了可應用至透射式液晶顯示裝置，也可應用至透反射式液晶顯示裝置。

雖然在液晶顯示裝置的實例中，極化板係設置於基板的較外表面上（觀視者側上），並且，用於顯示元件的著色層（濾光器）及電極層係依序地設置於基板的較內表面上，但是，極化板可以被設置於基板的內表面上。極化板及著色層的疊疊結構不限於本實施例中的結構，且可以根

據極化板和著色層的材料或製程條件而被適當地設置。

在薄膜電晶體 4011 中，絕緣層 4041 係形成為接觸包含通道形成區的半導體層，作為保護絕緣膜。舉例而言，使用類似於實施例 1 中所述的保護絕緣層 407 之材料及方法，以形成絕緣層 4041。在此，以類似於實施例 1 的方式，以濺射法來形成氧化矽膜作為絕緣層 4041。

此外，在絕緣層 4041 之上形成保護絕緣層 4020。使用類似於實施例 1 中所述的保護絕緣層 407 之材料及方法，以形成保護絕緣層 4020。在此，以 PCVD 法來形成氮化矽膜作為絕緣層 4020。

在絕緣層 4020 之上形成絕緣層 4021，作為平坦化絕緣膜，以降低薄膜電晶體的表面不平整。使用例如聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂等耐熱性有機材料，以形成絕緣層 4021。除了這些有機材料之外，也能夠使用低介電常數材料（低 k 材料）、矽烷為基礎的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）、等等。注意，可以藉由堆疊這些材料所形成的多個絕緣膜來形成絕緣層 4021。

注意，以矽烷為基礎的樹脂相當於包含使用以矽烷為基礎的材料作為啓始材料而形成的包含 Si-O-Si 鍵之樹脂。以矽烷為基礎的樹脂可以包含有機基（舉例而言，烷基或芳基）或氟基作為替代物。此外，有機基可以包含氟基。

絕緣層 4021 之形成方法並非限於特定方法，可以視

材料而使用下述方法：濺射法、SOG 法、旋轉塗敷法、浸漬法、噴灑塗著法、滴放法（例如，噴墨法、網版印刷法、偏離印刷法、等等）、等等。此外，可以以刮刀、輥塗器、簾幕塗著器、刀式塗著器、等等，形成平坦化絕緣層 4021。當絕緣層 4021 的烘烤步驟與半導體層的退火結合時，可以有效率地製造半導體裝置。

由例如含有氧化鎢的氧化銦、含有氧化鎢的氧化銦鋅、含有氧化鈦的氧化銦、含有氧化鈦的氧化銦錫、氧化銦錫（於下稱為 ITO）、氧化銦鋅、或添加氧化矽之氧化銦錫的透光導電材料，以形成像素電極層 4030 及對置電極層 4031。

或者，包含導電高分子（也稱為導電聚合物）的導電成份可以被使用於像素電極層 4030 及對置電極層 4031。使用導電成份所形成的像素電極較佳具有小於或等於 10000 歐姆／平方的薄片電阻以及在波長 550nm 時大於或等於 70% 的透光率。此外，包含於導電成份中的導電高分子的電阻率較佳小於或等於  $0.1 \Omega \cdot \text{cm}$ 。

關於導電高分子，可以使用所謂的  $\pi$  電子共軛導電聚合物。實例可為聚苯胺及其衍生物、聚吡咯及其衍生物、聚噻吩及其衍生物、這些材料之中的二或更多種的共聚物。

此外，不同的訊號及電位從可撓性印刷電路（FPC）4018 供應給分別形成的訊號線驅動電路 4003、及掃描線驅動電路 4004 或像素部 4002。

使用與包含於液晶元件 4013 中的像素電極層 4030 相同的導體膜，以形成連接端電極 4015。使用與薄膜電晶體 4010 和 4011 的源極和汲極電極層相同的導體膜，以形成端電極 4016。

連接端電極 4015 經由各向異性導電膜 4019 而被電連接至包含於 FPC 4018 中的端子。

注意，圖 7A1、7A2、及 7B 顯示訊號線驅動電路 4003 分別地形成及安裝於第一基板 4001 之上的實例；但是，本實施例不限於此結構。掃描線驅動電路可以被分開地形成，然後予以安裝，或是，僅有部分訊號線驅動電路或部份掃描線驅動電路被分別地形成，然後予以安裝。

圖 16 顯示使用根據本說明書中所揭示的製造方法所製造之 TFT 基板 2600 而被形成作為半導體裝置的液晶顯示模組之實例。

圖 16 顯示液晶顯示模組的實例，其中，TFT 基板 2600 與對置基板 2601 藉由密封劑 2602 而彼此接合，包含 TFT 等的像素部 2603、包含液晶層的顯示元件 2604、及著色層 2605 係設於基板之間，以形成顯示區。著色層 2605 是執行彩色顯示時所需的。在 RGB 系統中，設置用於像素之對應於紅、綠、藍的著色層。極化板 2606 和 2607 及散光板 2613 設於 TFT 基板 2600 及對置基板 2601 之外面。光源包含冷陰極管 2610 及反射板 2611。電路板 2612 由可撓性線路板 2609 連接至 TFT 基板 2600 的佈線電路部 2608，並且，包含例如控制電路或電源電路等外

部電路。極化板及液晶層相堆疊，而以延遲板介於其間。

對於液晶顯示模組，可以使用 TN（扭轉向列）模式、IPS（平面中切換）模式、FFS（邊緣場切換）模式、MVA（多域垂直對齊）模式、PVA（圖案化垂直對齊）模式、ASM（軸向對稱對齊微胞）模式、OCB（光學補償雙折射）模式、FLC（鐵電液晶）模式、AFLC（抗鐵電液晶）模式、等等。

經由上述步驟，可以製造作為半導體裝置之高度可靠的液晶顯示面板。

在使用實施例 1 中所述的薄膜電晶體的製造方法來製造上述液晶顯示裝置的像素部份中的薄膜電晶體之情況中，可以抑制導因於個別像素的薄膜電晶體的臨界電壓的變化之顯示不均勻。

此外，在使用實施例 1 中所述的薄膜電晶體的製造方法來製造液晶顯示裝置的驅動電路中的薄膜電晶體之情況中，可以縮短通道長度，而不會造成臨界電壓負偏移，因而可以取得驅動電路部份中薄膜電晶體的高速操作及更低的耗電。

本實施例可以與其它實施例中所述的任何結構做適當地結合來予以實施。

## 實施例 6

將說明作為半導體裝置的電子紙之實例。

實施例 1 中所述的薄膜電晶體可以被使用於電子紙，

在電子紙中，以電連接至切換元件之元件來驅動電子墨水。電子紙也稱為電泳顯示裝置（電泳顯示器），其優點在於具有與一般紙相同等級的可讀性，比其它顯示裝置具有更少的耗電，並且，可以被製成薄且輕。

電泳顯示器具有不同模式。電泳顯示器含有多個散佈於溶劑或溶質中的微囊，每一個微囊均含有正電荷的第一粒子及負電荷的第二粒子。藉由施加電場至微囊，微囊中的粒子以彼此相反的方向移動，並且，僅有聚集於一側上的粒子的顏色被顯示。注意，第一粒子及第二粒子均含有顏料，且當無電場時不會移動。此外，第一粒子與第二粒子具有不同的顏色（可以是無色）。

電泳顯示器因而為利用所謂的電泳效應之顯示器，藉由電泳效應，具有高介電常數的物質移動至高電場區。

有上述微囊散佈於溶劑中的溶液稱為電子墨水。此電子墨水可以被印刷於玻璃、塑膠、布、紙、等等的表面上。此外，藉由使用濾光器或具有色料的粒子，也能夠取得彩色顯示。

此外，當多個微囊係適當地配置於主動矩陣基板之上以便被夾置於二電極之間時，可以完成主動矩陣型顯示裝置，因而藉由施加電場至微囊，可以執行顯示。舉例而言，可以使用以實施例 1 中所述之薄膜電晶體取得的主動矩陣基板。

注意，微囊中的第一粒子及第二粒子可由選自導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電

材料、電致發光材料、電色顯示材料、及磁泳材料中之單一材料、或這些材料中的任何材料的複合材料所形成。

圖 15 顯示作為半導體裝置的實例之主動矩陣電子紙。以類似於實施例 1 中所述的薄膜電晶體之方式來製造用於半導體裝置的薄膜電晶體 581，薄膜電晶體 581 是包含氧化物半導體層之高度可靠的薄膜電晶體。

圖 15 中的電子紙是使用扭轉球顯示系統的顯示裝置之實例。扭轉球顯示系統意指一方法，其中，顏色為黑及白的球形粒子係配置於第一電極層與第二電極層之間，第一電極層與第二電極層是使用於顯示元件的電極層，並且，在第一電極層與第二電極層之間產生電位差，以控制球形粒子的方向，以便執行顯示。

形成於基板 580 之上的薄膜電晶體 581 是具有底部閘極結構的薄膜電晶體且被與半導體層相接觸之絕緣膜 583 所覆蓋。薄膜電晶體 581 的源極或汲極電極層經由形成於絕緣膜 585 中的開口而與第一電極層 587 相接觸，因而薄膜電晶體 581 電連接至第一電極層 587。在形成於基板 596 之上的第一電極層 587 與第二電極層 588 之間，設置球形粒子 589。每一個球形粒子 589 包含黑色區 590a、白色區 590b、以及圍繞黑色區 590a 和白色區 590b 而由液體所填充的穴 594。圍繞球形粒子 589 的空間由例如樹脂之填充物 595 來予以填充（請參見圖 15）。第一電極層 587 對應於像素電極，第二電極層 588 對應於共同電極。第二電極層 588 電連接至設於與薄膜電晶體 581 相同的基

板之上的共同電位線。藉由使用共同連接部，第二電極層 588 經由設於成對基板之間的導電粒子而電連接共同電位線。

能夠使用電泳元件以取代使用扭轉球。使用具有約  $10\ \mu\text{m}$  至  $200\ \mu\text{m}$  的直徑之微囊，其中，透明液體、正電荷的白微粒子、及負電荷的黑微粒子係膠封於微囊中。在設於第一電極層與第二電極層之間的微囊中，當藉由第一電極層及第二電極層施加電場時，白微粒與黑微粒移至彼此相反的方向，使得可以顯示白色及黑色。使用此原理的顯示元件是電泳顯示元件，一般稱為電子紙。電泳顯示元件具有比液晶顯示元件還高的反射率；因此，不需要輔助光、功率消耗低且在昏暗的地方仍可辨識顯示部。此外，即使當功率未供應給顯示部時，仍然可以保持曾經顯示的影像。因此，即使具有顯示功能的半導體裝置（也簡稱為顯示裝置或設有顯示裝置之半導體裝置）離開電波源時，仍然可以儲存顯示的影像。

經由上述製程，可以製造高度可靠的電子紙作為半導體裝置。

本實施例可以與其它實施例中所述的任何結構做適當地結合。

在使用實施例 1 至 3 中所述的任何製造方法來製造上述電子紙的像素部份中的薄膜電晶體，可以抑制導因於個別像素的薄膜電晶體的臨界電壓變化之顯示不均勻度。

## 實施例 7

將說明作為半導體裝置的發光顯示裝置的實例。在本實施例中說明利用電致發光的發光元件作為包含於顯示裝置中的顯示元件。利用電致發光的發光元件根據發光材料是否為有機化合物或無機化合物而分類。一般而言，前者稱為有機 EL 元件，後者稱為無機 EL 元件。

在有機 EL 元件中，藉由施加電壓至發光元件，電子及電洞分別從電極對注入至含有發光有機化合物的層，並且，電流通過。然後，載子（電子及電洞）再結合，以使發光有機化合物受激發。發光有機化合物從激態返回至基態，因而發出光。歸因於此機制，此發光元件稱為電流激發型發光元件。

無機 EL 元件根據它們的元件結構而分成散佈型無機 EL 元件及薄膜型無機 EL 元件。散佈型無機 EL 元件包含發光層，其中，發光材料的粒子係散佈於結合劑中，並且，其發光機制是利用施體能階與受體能階之施體－受體再結合型發光。薄膜型無機 EL 元件具有一結構，在結構中，發光層係夾置於介電層之間，介電層又被夾置於電極之間，並且，其發光機制是使用金屬離子之內殼電子跳遷之局部型發光。注意，使用有機 EL 元件作為發光元件，以便在本實施例中作說明。

圖 9 顯示應用數位時間灰階驅動的像素配置之實例作為半導體裝置的實例。

將說明應用數位時間灰階驅動的像素的配置及操作。

在本實施例中說明實例，其中，一個像素包含二  $n$  通道電晶體，每一個  $n$  通道電晶體均在通道形成區中使用氧化物半導體層。

像素 6400 包含切換電晶體 6401、驅動電晶體 6402、發光元件 6404、及電容器 6403。在切換電晶體 6401 中，其閘極連接至掃描線 6406、其第一電極（源極電極與汲極電極之一）連接至訊號線 6405，其第二電極（源極電極與汲極電極中的另一電極）連接至驅動電晶體 6402 的閘極。在驅動電晶體 6402 中，其閘極經由電容器 6403 連接至電源線 6407，其第一電極連接至電源線 6407，其第二電極連接至發光元件 6404 的第一電極（像素電極）。發光元件 6404 的第二電極對應於共同電極 6408。共同電極 6408 電連接至設於相同基板上的共同電位線。

注意，發光元件 6404 的第二電極（共同電極 6408）設於低電源電位。注意，相對於設於電源線 6407 上的高電源電位，低電源電位滿足低電源電位 < 高電源電位。舉例而言，可以使用接地（GND）、或 0V 等作為低電源電位。在高電源電位與低電源電位之間的電位差施加至發光元件 6404，以使電流流經發光元件 6404，因此發光元件 6404 發光。因此，每一個電位被設定成使得高電源電位與低電源電位之間的電位差大於或等於發光元件 6404 的順向臨界電壓。

當使用驅動電晶體 6402 的閘極電容器作為電容器 6403 的替代時，可以省略電容器 6403。驅動電晶體 6402

的閘極電容可以被形成於通道區與閘極電極之間。

在使用電壓輸入電壓驅動法的情況中，視頻訊號係輸入至驅動電晶體 6402 的閘極，以使驅動電晶體 6402 處於充分開啓或關閉的二狀態中的任一狀態。亦即，驅動電晶體 6402 係操作於線性區，因此，高於電源線 6407 的電壓之電壓供應給驅動電晶體 6402 的閘極。注意，高於或等於下述的電壓被施加至訊號線 6405：電源線電壓 + 驅動電晶體 6402 的  $V_{th}$ 。

在執行類比灰階驅動以取代數位時間灰階驅動的情況中，藉由以不同方式輸入訊號，可以使用與圖 9 中相同的像素配置。

在執行類比灰階驅動的情況中，高於或等於下述的電壓被施加至驅動電晶體 6402 的閘極：發光元件 6404 的順向電壓 + 驅動電晶體 6402 的  $V_{th}$ 。發光元件 6404 的順向電壓意指取得所想要的亮度之電壓且包含至少順向臨界電壓。藉由輸入使驅動電晶體 6402 能夠操作於飽合區的視頻訊號，能夠將電流饋送至發光元件 6404。為了使驅動電晶體 6402 操作於飽合區，電源線 6407 的電位係設定為高於驅動電晶體 6402 的閘極電位。當使用類比視頻訊號時，能夠根據視頻訊號而將電流饋送給發光元件 6404 並且執行類比灰階驅動。

注意，像素配置不限於圖 9 中所示的配置。舉例而言，圖 9 中所示的像素可以又包含開關、電阻器、電容器、電晶體、邏輯電路、等等。

接著，參考圖 10A 至 10C，說明發光元件的結構。以 n 通道驅動 TFT 為例，說明像素的剖面結構。以類似於實施例 1 中所述的薄膜電晶體之方式，製造圖 10A、10B、及 10C 中顯示之用於半導體裝置的驅動 TFT 7001、7011、及 7021，TFT 7001、7011、及 7021 是高度可靠的薄膜電晶體，均包含氧化物半導體層。

爲了取出發光元件發射的光，陽極與陰極的至少其中之一需要是使光透射的。薄膜電晶體及發光元件係形成於基板之上。發光元件可以具有頂部發光結構，其中，經由與基板相反的表面而取出光；底部發光結構，其中，經由基板側上的表面而取出光；或者，雙發光結構，其中，經由與基板相反的表面及基板側上的表面而取出光。像素配置可以被應用至具有這些發光結構中的任何結構之發光元件。

參考圖 10A，說明具有底部發光結構的發光元件。

圖 10A 是 TFT 7011 是 n 型的及光從發光元件 7012 發射至陰極 7013 側的情況中之像素的剖面視圖。在圖 10A 中，發光元件 7012 的陰極 7013 係形成於電連接至驅動 TFT 7011 的透光導電膜 7017 之上，並且，EL 層 7014 及陽極 7015 依此次序而被堆疊於陰極 7013 之上。注意，透光導電膜 7017 經由形成於氧化物絕緣層 7031 中的接觸孔而電連接至驅動 TFT 7011 的汲極電極層。

使用例如含有氧化鎢的氧化銦膜、含有氧化鎢的氧化銦鋅、含有氧化鈦的氧化銦、含有氧化鈦的氧化銦錫、氧

化銦錫（此後稱爲 ITO）、氧化銦鋅、或添加氧化矽之氧化銦錫等透光導電膜，以作爲透光導電膜 7017。

可以使用不同導電材料來形成陰極 7013，較佳的是使用具有低功函數的材料，例如 Li 或 Cs 等鹼金屬、例如 Mg、Ca、或 Sr 等鹼土金屬、含有這些元素中的任何元素之合金（Mg：Ag、Al：Li、等等）、例如 Yb 或 Er 等稀土金屬。較佳使用 Ca、Al、MgAg、AlLi、等等。在圖 10A 中，陰極 7013 的厚度幾乎爲可使光透射的厚度（較佳地，約 5 nm 至 30 nm）。舉例而言，以具有 20 nm 厚的鋁膜使用於陰極 7013。

注意，透光導電膜及鋁膜可以被堆疊且被選擇性地蝕刻以形成透光導電膜 7017 及陰極 7013；在此情況中，藉由使用相同的掩罩以蝕刻透光導電膜 7017 及陰極 7013。

陰極 7013 的周圍部份被分隔部 7019 所覆蓋。使用例如聚醯亞胺、丙烯酸、聚醯胺、或環氧樹脂等有機樹脂膜、無機絕緣膜、或有機聚矽烷，以形成分隔部 7019。特別較佳的是，使用感光樹脂材料來形成分隔部 7019 以便在陰極 7013 上具有開口，使得開口的側壁形成爲具有連續曲率的傾斜表面。在以感光樹脂材料使用於分隔部 7019 的情況中，可以省略形成光阻掩罩的步驟。

可以使用單層或堆疊的多層，以形成形成於陰極 7013 及分隔部 7019 之上的 EL 層 7014。當使用多個層以形成 EL 層 7014 時，藉由在陰極 7013 之上依序堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入

層，以形成 EL 層 7014。注意，並不需要設置所有的這些層。

堆疊次序不限於上述堆疊次序，並且，在陰極 7013 之上，依下述次序堆疊電洞注入層、電洞傳輸層、發光層、電子傳輸層、及電子注入層。但是，當比較耗電時，由於更低的耗電，所以，在陰極 7013 之上，依下述次序較佳地堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層。

可以使用不同材料作為形成於 EL 層 7014 之上的陽極 7015，並且，舉例而言，較佳使用具有高功函數的材料，例如，氮化鈦、ZrN、Ti、W、Ni、Pt、或 Cr；或例如，ITO、IZO（氧化銦氧化鋅）、或 ZnO 等透光導電材料。舉例而言，使用遮光的金屬、反射光的金屬、等等，以作為陽極 7015 之上的遮光膜 7016。在本實施例中，以 ITO 膜使用於陽極 7015，並且，以 Ti 膜使用於遮光膜 7016。

發光元件 7012 對應於其中 EL 層 7014 被夾置於陰極 7013 與陽極 7015 之間的區域。在圖 10A 中所示的元件結構之情況中，如箭頭所示，光從發光元件 7012 發射至陰極 7013 側。

注意，圖 10A 顯示一實例，其中，使用透光導電膜作為閘極電極層，從發光元件 7012 發射出的光通過彩色濾光層 7033 以及驅動 TFT 7011 的閘極和源極電極層，並且光被發射出。使用透光導電膜作為驅動 TFT 7011 的閘極和源極電極層；因此，可以增進孔徑比。

藉由使用微影技術、等等，以例如噴墨法之滴放排放法、印刷法、蝕刻法來形成彩色濾光層 7033。

彩色濾光層 7033 被覆著層 7034 所覆蓋，也被保護絕緣層 7035 所覆蓋。注意，圖 10A 顯示具有薄厚度的覆著層 7034；但是，覆著層 7034 能使具有導因於彩色濾光層 7033 的不平整度的表面平坦化。

形成於絕緣層 7032 及保護絕緣層 7035 中且抵達汲極電極層的接觸孔係設於與分隔部 7019 相重疊的部份中。在圖 10A 中，抵達汲極電極層 7030 的接觸孔和分隔部 7019 彼此重疊，因而可以增進孔徑比。

接著，參考圖 10B，說明具有雙發光結構的發光元件。

在圖 10B 中，發光元件 7022 的陰極 7023 係形成於透光導電膜 7027 之上，而透光導電膜 7027 電連接至驅動 TFT 7021，EL 層 7024 及陽極 7025 依此次序而被堆疊於陰極 7023 之上。注意，透光導電膜 7027 經由形成於氧化物絕緣層 7041 中的接觸孔而電連接至驅動 TFT 7021 的汲極電極層。

使用含有氧化鎢的氧化銦膜、含有氧化鎢的氧化銦鋅、含有氧化鈦的氧化銦、含有氧化鈦的氧化銦錫、氧化銦錫（此後稱為 ITO）、氧化銦鋅、或添加氧化矽之氧化銦錫的透光導電膜，以作為透光導電膜 7027。

可以使用不同導電材料來形成陰極 7023，只要它們具有低的功函數即可。舉例而言，例如 Li 或 Cs 等鹼金

屬、例如 Mg、Ca、或 Sr 等鹼土金屬、含有這些元素中的任何元素之合金（Mg：Ag、Al：Li、等等）、例如 Yb 或 Er 等稀土金屬是較佳的。在本實施例中，陰極 7023 的厚度係形成為可使光透射的厚度（較佳地，約 5 nm 至 30 nm）。舉例而言，以具有 20 nm 厚的鋁膜使用於陰極 7023。

注意，透光導電膜及鋁膜可以被堆疊且而後被選擇性地蝕刻，藉以形成透光導電膜 7027 及陰極 7023。在此情況中，藉由使用相同的掩罩以執行蝕刻是較佳的。

陰極 7023 的周圍被分隔部 7029 所覆蓋。使用例如聚醯亞胺、丙烯酸、聚醯胺、或環氧樹脂之有機樹脂膜；無機絕緣膜；或有機聚矽烷，以形成分隔部 7029。特別較佳的是，使用感光樹脂材料來形成分隔部 7029 以便在陰極 7023 之上具有開口，以使開口的側壁形成為具有連續曲率的傾斜表面。在以感光樹脂材料使用於分隔部 7029 的情況中，可以省略形成光阻掩罩的步驟。

可以使用單層或堆疊的多層，以形成形成於陰極 7023 及分隔部 7029 之上的 EL 層 7024。當使用多個層來形成 EL 層 7024 時，藉由在陰極 7023 之上依下述次序堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層，以形成 EL 層 7024。注意，並不需要設置所有的這些層。

堆疊次序不限於上述堆疊次序，並且，在陰極 7023 之上，依下述次序堆疊電洞注入層、電洞傳輸層、發光

層、電子傳輸層、及電子注入層。但是，當比較耗電時，由於更低的耗電，所以，在陰極 7023 之上，依下述次序較佳地堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層。

可以使用不同材料作為形成於 EL 層 7024 之上的陽極 7025，並且，舉例而言，具有高功函數的材料，例如 ITO、IZO、ZnO 之透光導電材料是較佳的。在本實施例中，以含有氧化矽的 ITO 膜使用於陽極 7025。

發光元件 7022 對應於其中 EL 層 7024 係夾置於陰極 7023 與陽極 7025 之間的區域。在圖 10B 中所示的元件結構之情況中，如箭頭所示，光從發光元件 7022 發射至陽極 7025 側及陰極 7023 側。

注意，圖 10B 顯示一實例，其中，使用透光導電膜作為閘極電極層，從發光元件 7022 發射至陰極 7023 的光通過彩色濾光層 7043 以及驅動 TFT 7021 的閘極和源極電極層，並且光被發射出。當以透光導電膜使用於驅動 TFT 7021 的閘極電極層和源極電極層時，陽極 7025 側上的孔徑比與陰極 7023 側上的孔徑比幾乎相同。

藉由使用微影技術等等，以例如噴墨法之滴放排放法、印刷法、蝕刻法來形成彩色濾光層 7033。

彩色濾光層 7043 被覆著層 7044 所覆蓋，也被保護絕緣層 7045 所覆蓋。

形成於絕緣層 7042 及保護絕緣層 7045 中且抵達汲極電極層的接觸孔係設於與分隔部 7029 相重疊的部份中。

抵達汲極電極層 7030 的接觸孔和分隔部 7029 彼此重疊，因而陽極 7025 側上的孔徑比與陰極 7023 側上的孔徑比幾乎相同。

形成於保護絕緣層 7045 及絕緣層 7042 中且抵達透光導電膜 7027 的接觸孔係設於與分隔部 7029 相重疊的部份中。

注意，當使用具有雙發光結構的發光元件且對二顯示表面執行全彩顯示時，來自陽極側 7025 的光並未通過彩色濾光層 7043；因此，設有另一彩色濾光層的密封基板較佳被設於陽極 7025 上。

接著，參考圖 10C，說明具有頂部發光結構的發光元件。

圖 10C 是 TFT 7011 是 n 型的及光從發光元件 7002 發射至陽極 7005 側的情況中之像素的剖面視圖。在圖 10C 中，形成發光元件 7002 的陰極 7003，發光元件 7002 的陰極 7003 係經由連接電極層 7050 而電連接至驅動 TFT 7001，並且，EL 層 7004 及陽極 7005 依此次序而被堆疊於陰極 7003 之上。

陰極 7003 可以由各種導電材料所製成。具體而言，例如 Li 或 Cs 等鹼金屬；例如 Mg、Ca、或 Sr 等鹼土金屬；含有這些元素中的任何元素之合金（Mg：Ag、Al：Li、等等）；例如 Yb 或 Er 等稀土金屬等具有低功函數的材料是較佳的。

陰極 7003 的周圍被分隔部 7009 所覆蓋。使用例如聚

醯亞胺、丙烯酸、聚醯胺、或環氧樹脂之有機樹脂膜、無機絕緣膜、或有機聚矽烷，以形成分隔部 7009。特別較佳的是，使用感光樹脂材料，以形成分隔部 7009 而在陰極 7003 之上具有開口，以使開口的側壁以連續曲率傾斜。在以感光樹脂材料使用於分隔部 7009 的情況中，可以省略形成光阻掩罩的步驟。

可以使用單層或堆疊的多層，以形成形成於陰極 7003 及分隔部 7009 之上的 EL 層 7004。當使用多個層來形成 EL 層 7004 時，藉由在陰極 7003 之上依序堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層，以形成 EL 層 7004。注意，並不需要設置所有的這些層。

堆疊次序不限於上述堆疊次序，並且，在陰極 7003 之上，依下述次序堆疊電洞注入層、電洞傳輸層、發光層、電子傳輸層、及電子注入層。在依該次序堆疊這些層的情況中，陰極 7003 用作為陽極。

在圖 10C 中，在 Ti 膜、鋁膜、及鈦膜依序堆疊的堆疊膜之上依下述次序堆疊電洞注入層、電洞傳輸層、發光層、電子傳輸層、及電子注入層，並且，在其上形成 Mg:Ag 合金薄膜及 ITO 的堆疊層。

但是，當比較耗電時，由於更低的耗電，所以，在陰極 7003 之上，依下述次序較佳堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層。

使用光可以通過的透光導電材料以形成陽極 7005，

舉例而言，可以使用例如含有氧化鎢的氧化銦膜、含有氧化鎢的氧化銦鋅、含有氧化鈦的氧化銦、含有氧化鈦的氧化銦錫、氧化銦錫、氧化銦鋅、或添加氧化矽之氧化銦錫之透光導電膜。

發光元件 7012 對應於其中 EL 層 7004 被夾置於陰極 7003 與陽極 7005 之間的區域。在圖 10C 中所示的像素之情況中，如箭頭所示，光從發光元件 7002 發射至陽極 7005 側。

在圖 10C 中，說明使用薄膜電晶體 461 作為驅動 TFT 7001 的實例；但是，並無特別限定，也可以使用薄膜電晶體 460 或薄膜電晶體 481。

在圖 10C 中，驅動 TFT 7001 的汲極電極層電連接至連接電極層 7050 而以氧化物絕緣層 7051 介於其間。連接電極層電連接陰極 7003，以保護絕緣層 7052 和絕緣層 7055 介於其間。使用例如聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂之樹脂材料，以形成平坦化絕緣層 7053。除了這些樹脂材料之外，也能夠使用低介電常數材料（低 k 材料）、以矽烷為基礎的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）、等等。注意，可以藉由堆疊這些材料所形成的多個絕緣膜，以形成平坦化絕緣層 7053。形成平坦化絕緣層 7053 之方法並無特別限定，可以視材料而使用例如濺射法、SOG 法、旋轉塗敷法、浸漬法、噴灑塗著法、滴放法（例如噴墨法、網版印刷法、偏離印刷法、等等）、等等、或是例如刮刀、輥塗

器、簾幕塗著器、刀式塗著器等工具（設備），來形成平坦化絕緣層 7053。

在圖 10C 的結構中，當執行全彩顯示時，舉例而言，使用發光元件 7002 作為發光元件，使用相鄰的發光元件其中之一作為紅色發光元件，以及使用另一發光元件作為藍色發光元件。或者，使用包含白色發光元件與三種發光元件等四種發光元件，以製造能夠全彩顯示的發光顯示裝置。

在圖 10C 的結構中，可以用所有配置的多個發光元件為白色發光元件以及具有濾光器等密封基板配置於發光元件 7002 上的方式，製造能夠全彩顯示的發光顯示裝置。形成可以呈現例如白色等單色的材料以及將其與濾光器或色彩轉換層結合，因而可以執行全色顯示。

無須多言，也可以執行單色光顯示。舉例而言，藉由使用白色發光，可以形成發光系統，或者，藉由使用單色發光，可以形成區域彩色發光裝置。

假使需要時，可以設置例如包含圓形極化板的極化膜之光學膜。

雖然在此將有機 EL 元件說明為發光元件，但是，也可以設置無機 EL 元件作為發光元件。

注意，說明一實例，其中，控制發光元件的驅動之薄膜電晶體（驅動 TFT）電連接至發光元件；但是，可以使用用於電流控制的 TFT 連接於驅動 TFT 與發光元件之間的結構。

當結構未設有發光元件及分隔部時，本發明的實施例可以被應用至液晶顯示裝置。液晶顯示裝置的情況係顯示於圖 35 中。

說明 TFT 7071 是 n 型的情況。在圖 35 中，設置電連接至驅動 TFT 7071 的透光導電膜 7067，並且，透光導電膜 7067 經由形成於氧化物絕緣層 7061 和保護絕緣層 7062 中的接觸孔而被電連接至驅動 TFT 7001 的汲極電極層。

舉例而言，使用例如含有氧化錫的氧化銦膜、含有氧化錫的氧化銦鋅、含有氧化鈦的氧化銦、含有氧化鈦的氧化銦錫、氧化銦錫（此後稱為 ITO）、氧化銦鋅、或添加氧化矽之氧化銦錫等透光導電膜，作為透光導電膜 7067。

注意，圖 35 中顯示使用透光導電膜作為閘極電極層的實例，且從背照光等發射的光通過彩色濾光層 7063，並且光被發射出。因此，使用透光導電膜作為驅動 TFT 7071 的閘極及源極電極層，並且，可以增進孔徑比。

藉由使用微影技術等等，以例如噴墨法之滴放排放法、印刷法、蝕刻法來形成彩色濾光層 7063。

彩色濾光層 7063 被覆著層 7064 所覆蓋，也被保護絕緣層 7065 所覆蓋。注意，圖 35 顯示具有小厚度的覆著層 7064；但是，覆著層 7064 能使具有導因於彩色濾光層 7063 的不平整度的表面平坦化。

液晶層係設於透光導電膜 7067 之上的結構可以被應

用至液晶顯示裝置。

接著，參考圖 8A 及 8B，說明半導體裝置的一實例之發光顯示面板（也稱為發光面板）的外觀及剖面。圖 8A 是面板的平面視圖，其中，形成薄膜電晶體及發光元件藉由密封劑而被密封於第一基板與第二基板之間。圖 8B 是圖 8A 的 H-I 剖面視圖。

密封劑 4505 係設置成圍繞而設於第一基板 4501 之上的像素部份 4502、訊號線驅動電路 4503a、訊號線驅動電路 4503b、掃描線驅動電路 4504a 和掃描線驅動電路 4504a4504b。此外，第二基板 4506 係設於像素部份 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 之上。因此，像素部份 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 與填充物 4507 一起被第一基板 4501、密封劑 4505、及第二基板 4506 所密封。較佳地，顯示裝置藉由具有高氣密性及低除氣之保護膜（例如，接合膜或紫外線可固化樹脂膜）或覆蓋材料而被如此地封裝（密封），以使顯示裝置不會曝露於外部空氣。

形成於第一基板 4501 之上的像素部份 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 均包含多個薄膜電晶體，包含於像素部份 4502 中的薄膜電晶體 4510 及包含於訊號線驅動電路 4503a 中的薄膜電晶體 4509 作為實例而被顯示於圖 8B 中。

可以使用包含實施例 1 中所述的氧化物半導體層之高

度可靠的薄膜電晶體作為薄膜電晶體 4509 和 4510。在本實施例中，薄膜電晶體 4509 及 4510 為 n 通道薄膜電晶體。

導電層 4540 係設於絕緣層 4544 之上與用於驅動電路的薄膜電晶體 4509 中氧化物半導體層的通道形成區相重疊之部份。當導電層 4540 係設在與氧化物半導體層的通道形成區相重疊的部份中時，可以降低 BT 測試前後薄膜電晶體 4509 的臨界電壓偏移量。導電層 4540 具有的電位可以與薄膜電晶體 4509 的閘極電極層的電位相同或不同，並且，可以用作為第二閘極電極層。導電層 4540 的電位可為 GND、0V、或處於浮動狀態。

在薄膜電晶體 4509 中，絕緣層 4541 係形成作為保護絕緣層，接觸包含通道形成區的半導體層。使用類似於實施例 1 中所述的保護絕緣層 407 之材料及方法，以形成絕緣層 4541。此外，以用作為平坦化絕緣膜的絕緣層 4544 來覆蓋薄膜電晶體，以降低薄膜電晶體的表面粗糙度。在此，藉由使用實施例 1 中所述的絕緣層 407，以濺射法形成氧化矽膜作為絕緣層 4541。

在絕緣層 4541 之上形成保護絕緣層 4543。使用類似於實施例 1 中所述的保護絕緣層 407 之材料及方法，形成保護絕緣層 4543。在此，以 PCVD 法形成氮化矽膜作為保護絕緣層 4543。

此外，形成絕緣層 4544 作為平坦化絕緣膜。使用類似於實施例 5 中所述的絕緣層 4021 之材料及方法，以形

成絕緣層 4544。在此，以丙烯酸樹脂使用於平坦化絕緣層 4544。

代號 4511 代表發光元件，第一電極層 4517 為包含於發光元件 4511 中的像素電極，其電連接至薄膜電晶體 4510 的源極電極層或汲極電極層。注意，發光元件 4511 的結構不限於包含第一電極層 4517、電致發光層 4512、及第二電極層 4513 的疊層結構。發光元件 4511 的結構可以視從發光元件 4511 取出光的方向等而被適當地改變。

使用有機樹脂膜、無機絕緣膜、或有機聚矽烷，以形成分隔部 4520。特別較佳地，分隔部 4520 由感光材料而被形成至在第一電極層 4517 上具有開口，以使開口的側壁形成為具有連續曲率的傾斜表面。

使用單層或堆疊的多個層，以形成電致發光層 4512。

在第二電極層 4513 和分隔部 4520 之上形成保護膜以防止氧、氫、濕氣、二氧化碳等進入發光元件 4511 中。關於保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜、等等。

此外，多種訊號及電位從 FPC 4518a 和 4518b 供應至訊號線驅動電路 4503a 和 4503b、掃描線驅動電路 4504a 和 4504b、或像素部份 4502。

由與包含於發光元件 4511 中的第一電極層 4517 相同的導體膜形成連接端電極 4515，由與包含於薄膜電晶體 4509 和 4510 中的源極和汲極電極層相同的導體膜形成端

電極 4516。

連接端電極 4515 經由各向異性導電膜 4519 而被電連接至包含於 FPC 4518a 中的端子。

位於從發光元件 4511 取出光的方向上之第二基板需要具有透光特性。在該情況中，使用例如玻璃板、塑膠板、聚酯膜、或丙烯酸膜之透光材料。

關於填充物 4507，除了例如氮或氬等惰性氣體外，還可以使用紫外光可固化樹脂或熱固性樹脂。舉例而言，可以使用聚氯乙烯（PVC）、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、聚乙烯丁醛（PVB）、或乙烯乙酸乙烯酯（EVA）。舉例而言，以氮作為填充物。

此外，假使需要時，可以在發光元件的發光表面上適當地設置例如極化板、圓形極化板（包含橢圓形極化板）、延遲板（四分之一波板、或半波板）、或濾光器等光學膜。此外，極化板或圓形極化板可以設有抗反射膜。舉例而言，可以執行防眩光處理，藉以使反射光由表面上的凹部及凸部散射以降低眩光。

訊號線驅動電路 4503a 和 4503b 以及掃描線驅動電路 4504a 和 4504b 可以被安裝於分開製備的基板之上，作為由單晶半導體膜或多晶半導體膜所形成的驅動電路。或者，僅有訊號線驅動電路或其部份、或僅有掃描線驅動電路或其一部份可以分別地形成及安裝。本實施例不限於圖 8A 及 8B 中所示的結構。

經由上述製程，可以製造高度可靠的發光顯示裝置

（顯示面板）作為半導體裝置。

在使用實施例 1 至 3 中任何實施例所述的薄膜電晶體的製造方法來製造上述發光顯示裝置的像素部份中的薄膜電晶體之情況中，可以抑制導因於個別像素的薄膜電晶體的臨界電壓變化之顯示不均勻。

此外，在使用實施例 1 至 3 中任何實施例所述的薄膜電晶體的製造方法來製造上述發光顯示裝置的驅動電路中的薄膜電晶體之情況中，通道長度可以縮短，而不會造成臨界電壓的負偏移，因而可以取得驅動電路部份中薄膜電晶體的高速操作及更低的耗電。

本實施例可以與其它實施例中所述的任何結構做適當地結合來予以實施。

## 實施例 8

在本說明書中揭示的半導體裝置可以被應用於電子紙。電子紙可以被使用於不同領域的電子設備，只要它們顯示資料即可。舉例而言，電子紙可以被應用於電子書（e-書）讀取器、海報、例如火車等車輛中的廣告、或例如信用卡等不同卡片、等等的顯示部。圖 17 顯示電子設備的實例。

圖 17 顯示電子書讀取器的實例。舉例而言，電子書讀取器 2700 包含機殼 2701 和 2703 等二機殼。機殼 2701 和 2703 藉由鉸鏈 2711 而彼此結合，以使電子書讀取器 2700 以鉸鏈 2711 為軸而打開及閉合。藉由此結構，電子

書讀取器 2700 能夠如同紙書般操作。

顯示部 2705 及顯示部 2707 係分別併入於機殼 2701 及機殼 2703 中。顯示部 2705 和顯示部 2707 可以顯示一個影像、或不同的影像。在顯示部 2705 及顯示部 2707 顯示不同影像的情況中，舉例而言，在右側上的顯示部（圖 17 中的顯示部 2705）可以顯示文字，在左側上的顯示部（圖 17 中的顯示部 2707）可以顯示圖像。

圖 17 顯示一實例，其中，機殼 2701 係設有操作部等等。舉例而言，機殼 2701 係設有電源開關 2721、操作鍵 2723、揚音器 2725、等等。藉由操作鍵 2723，可以翻頁。注意，鍵盤、指向裝置、等等可以被設於與機殼的顯示部相同的表面上。此外，在機殼的背面或側面上，設置外部連接端子（例如，耳機端子、USB 端子、或可以連接至例如 AC 轉接器或 USB 電線等不同纜線的端子）、記錄媒體插入部、等等。此外，電子書讀取器 2700 可以具有電子字典的功能。

此外，電子書讀取器 2700 可以被配置成無線地發送及接收資料。經由無線通訊，可以從電子書伺服器購買及下載所需的書資料等等。

## 實施例 9

本說明書中揭示的半導體裝置可以應用至不同的電子設備（包含遊戲機）。這些電子設備的實施例包含電視機（也稱為電視或電視接收器）、電腦等的監視器、例如數

位相機或數位攝影機等像機、數位相框、蜂巢式電話（也稱為行動電話或行電話機）、可攜式遊戲機、可攜式資訊端、音頻再生裝置、以及例如彈珠台等大型遊戲機。

圖 18A 顯示電視機的實例。在電視機 9600 中，顯示部 9603 係併入於機殼 9601 中。影像可以顯示於顯示部 9603 上。在此，機殼 9601 係由架子 9605 來予以支撐。

電視機 9600 可以藉由機殼 9601 的操作開關或分開的遙控器 9610 來予以操作。以遙控器 9610 的操作開關 9609，可以控制頻道及聲音，使得可以控制顯示於顯示部 9603 上的影像。此外，遙控器 9610 可以設有顯示部 9607，顯示自遙控器 9610 輸出的資料。

注意，電視機 9600 係設有接收器、數據機、等等。藉由接收器，可以接收一般的電視廣播。此外，當電視機 9600 經由數據機有線地或無線地連接至通訊網路時，可以執行單向（從發送器至接收器）或雙向（在發送器與接收器之間、在接收器之間、等等）資料通訊。

圖 18B 顯示數位相框的實例。舉例而言，在數位相框 9700 中，顯示部 9703 係併入於機殼 9701 中。顯示部 9703 可以顯示各種影像，舉例而言，顯示部 9703 可以顯示由數位相機等所拍攝到的影像資料以及作為一般相框。

注意，數位相框 9700 係設有操作部、外部連接端子（USB 端子、可以連接至例如 USB 纜線等不同纜線的端子、等等）、記錄媒體插入部、等等。雖然這些元件可以被設於與顯示部 9703 相同的表面上，但是，由於增進其

設計，所以，較佳地，將它們設於側表面或背面上。舉例而言，儲存數位相機拍攝的影像資料之記憶體係插入於數位相框 9700 的記錄媒體插入部中，因此，影像資料可以顯示於顯示部 9703 上。

數位相框 9700 可以無線地發送及接收資料。經由無線通訊，可以下載所需的影像資料以顯示。

圖 19A 顯示可攜式遊戲機，其包含機殼 9881 和機殼 9891 等二機殼。機殼 9881 和機殼 9891 藉由接合部 9893 而連接，以便能夠開啓及關閉。顯示部 9882 及顯示部 9883 係分別併入於機殼 9881 和機殼 9891 中。此外，圖 19A 中所示的可攜式遊戲機包含揚音器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入單元（操作鍵 9885、連接端子 9887、感測器 9888（具有測量力量、位移、位置、速度、加速度、角速度、旋轉頻率、距離、光、液體、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射、流速、濕度、梯度、振動、氣味、或紅外線的功能之感測器）、及麥克風 9889）、等等。無需多言，可攜式遊戲機的結構不限於上述，可以使用至少設有本說明書中所揭示的半導體裝置之其它結構。可攜式遊戲機可以適當地包含其它輔助設備。圖 19A 中所示的可攜式遊戲機具有讀出儲存於記錄媒體中的程式或資料以將其顯示於顯示部上之功能以及具有經由無線通訊而與其它可攜式遊戲機共用資訊之功能。圖 19A 中所示的可攜式遊戲機具有各種功能，不限於上述功能。

圖 19B 顯示大型遊戲機之投幣機的實例。在投幣機 9900 中，顯示部 9903 係併入於機殼 9901 中。此外，投幣機 9900 包含例如啟動桿及停止開關、投幣槽、揚音器等操作單元。無需多言，投幣機 9900 的結構不限於上述，可以使用至少設有本說明書中揭示的半導體裝置之其它結構。投幣機 9900 可以適當地包含其它輔助設備。

圖 20A 是立體視圖，顯示可攜式電腦的實例。

在圖 20A 中的可攜式電腦中，藉由關閉連接頂殼 9301 及底殼 9302 之鉸鏈單元，具有顯示部 9303 的頂殼 9301 及具有鍵盤 9304 的底殼 9302 可以彼此重疊。圖 20A 中的可攜式電腦便於攜帶，並且，在使用鍵盤輸入之情況中，打開鉸鏈單元而使得使用者可以看著顯示部 9303 輸入資料。

除了鍵盤 9304 之外，底殼 9302 還包含指向裝置 9306，藉由指向裝置 9306 可以執行輸入。此外，當顯示部 9303 是觸控面板時，藉由觸控部份顯示部，可以執行輸入。底殼 9302 包含例如 CPU 等算術功能部份或硬碟。此外，底殼 9302 包含外部連接埠 9305，例如符合 USB 的通訊標準之通訊纜線等其它裝置可以插入外部連接埠 9305。

頂殼 9301 又包含顯示部 9307，並且，藉由將顯示部 9307 滑入頂殼 9301 中而可以將顯示部 9307 容納於其中。因此，可以實現大的顯示幕。此外，使用者可以調整可容納的顯示部 9307 的顯示幕的方向。當可容納的顯示

部 9307 是觸控式面板時，則藉由觸控部份可容納的顯示部，可以執行輸入。

使用液晶顯示面板、例如有機發光元件或無機發光元件等發光顯示面板等影像顯示裝置，以形成顯示部 9303 或可容納的顯示部 9307。

此外，圖 20A 中的可攜式電腦可以設有接收器等，並且可以接收電視廣播以在顯示部上顯示影像。當將連接頂殼 9301 及底殼 9302 的鉸鏈單元保持關閉時，藉由滑動及曝露顯示部 9307 及調整螢幕角度，可以曝露顯示部 9307 的整個螢幕；因此，使用者可以觀看電視廣播。在此情況中，鉸鏈單元並未打開且未於顯示部 9303 上執行顯示。此外，僅有用於顯示電視廣播的電路之啟動被執行。因此，電力消耗最小，對於電池容量有限的可攜式電腦是有利的。

圖 20B 是立體視圖，顯示如同手錶般可由使用者戴於手腕上之行動電話的實例。

行動電話包含：主體，包含具有至少電話功能之通訊裝置、及電池；帶部 9204，使主體能夠被穿戴於手腕上；調整部 9205，用以調整帶部 9204 而適合手腕；顯示部 9201；揚音器 9207；及麥克風 9208。

此外，主體包含操作開關 9203。舉例而言，操作開關 9203 除了可以作為開啓電源的開關、用以切換顯示的開關、用於指令開始拍攝影像之開關、等等，也可以用作為被按下時能啟動網際網路的程式之開關，並且可以被配

置成具有各種功能。

以手指或輸入筆觸控顯示部 9201、操作操作鍵 9203、或輸入聲音至麥克風 9208，可以輸入至此行動電話。注意，在圖 20B 中，顯示按鍵 9202 係顯示於顯示部 9201 上。以手指等觸控顯示按鍵 9202，使用者可以輸入資料。

此外，主體包含相機部 9206，相機部 9206 包含攝影單元，攝影單元具有將經由相機鏡頭形成之物體的影像轉換成電子影像訊號的功能。注意，並不一定要設置相機部。

圖 20B 中所示的行動電話係設有電視廣播的接收器等，且能夠藉由接收電視廣播而在顯示部 9201 上顯示影像。此外，圖 20B 所示的行動電話係設有例如記憶體等記憶裝置，並且，因而能夠將電視廣播記錄於記憶體中。圖 20B 中所示的行動電話可以具有例如 GPS 等收集位置資訊之功能。

使用例如液晶顯示面板、或是例如有機發光元件或無機發光元件等發光顯示面板等影像顯示裝置，以形成顯示部 9201。圖 20B 中所示的行動電話是小巧且輕的並因而具有有限的電池容量。因此，較佳使用可以由低耗電驅動的面板以作為使用於顯示部 9201 的顯示裝置。

注意，圖 20B 顯示穿戴於腕上的電子設備；但是，本實施例不限於此，只要採用可攜式形狀即可。

## 實施例 10

在本實施例中，將參考圖 21、圖 22、圖 23、圖 24、圖 25、圖 26、圖 27、圖 28、圖 29、圖 30、圖 31、圖 32、圖 33、及圖 34，說明作為半導體裝置的一實例之包含實施例 1 中所述的薄膜電晶體之顯示裝置的實例。在本實施例中，將參考圖 21、圖 22、圖 23、圖 24、圖 25、圖 26、圖 27、圖 28、圖 29、圖 30、圖 31、圖 32、圖 33、及圖 34，說明包含液晶元件作為顯示元件之液晶顯示裝置的實例。使用實施例 1 中所述的薄膜電晶體作為圖 21、圖 22、圖 23、圖 24、圖 25、圖 26、圖 27、圖 28、圖 29、圖 30、圖 31、圖 32、圖 33、及圖 34 中用於液晶顯示裝置的 TFT 628 和 629。以類似於實施例 1 中所述的製程，以製造具有高度電氣特徵及可靠度的 TFT 628 和 629。TFT 628 和 629 均包含氧化物半導體層作為通道形成區。在圖 21、圖 22、圖 23、圖 24、圖 25、圖 26、圖 27、圖 28、圖 29、圖 30、圖 31、圖 32、圖 33、及圖 34 中，將說明使用圖 4 中所示的薄膜電晶體作為薄膜電晶體的實例之情況；但是，本發明不限於此。

首先，說明垂直對齊（VA）液晶顯示裝置。VA 液晶顯示裝置使用一種控制液晶顯示面板的液晶分子之對齊的方法。在 VA 方法中，當沒有電壓被施加時，液晶分子在相對於面板表面的垂直方向上對齊。在本實施例中，特別是，像素分成一些區域（子像素），並且，液晶分子在它們個別的區域中以不同方向對齊。這被稱為多域或多域設

計。於下說明多域設計的液晶顯示裝置。

圖 22 及圖 23 分別顯示像素電極層及對置電極層。圖 22 是平面視圖，顯示有像素電極形成於其上的基板側。圖 21 顯示圖 22 中的 E-F 剖面結構。圖 23 是平面視圖，顯示有對置電極形成於其上之基板側。於下，將參考這些附圖作說明。

在圖 21 中，TFT 628、連接至 TFT 628 的像素電極層 624、及儲存電容器部 630 形成於其上的基板 600 與對置電極層 640 等形成於其上的對置基板 601 彼此相重疊，並且，液晶被注入於這些基板之間。

在對置基板 601 係設有間隔器（未顯示出）之位置處，設置第一色膜、第二色膜、第三色膜（未顯示出）、及對置電極層 640。此結構使得用以控制液晶對齊的凸部 644 的高度不同於間隔器的高度。對齊膜 648 形成於像素電極層 624 之上。類似地，對置電極層 640 係設有對齊膜 646。液晶層 650 係形成於基板 600 與對置基板 601 之間。

雖然在此以柱狀間隔器使用於間隔器，但是，可以散佈珠狀間隔器。此外，間隔器可以被形成於設在基板 600 之上的像素電極層 624 之上。

TFT 628、連接至 TFT 628 的像素電極層 624、及儲存電容器部 630 係形成於基板 600 之上。像素電極層 624 係連接至接觸孔 623 中的佈線 618，接觸孔 623 係形成於覆蓋 TFT 628、佈線 616、及儲存電容器部 630 之絕緣膜

620、覆蓋絕緣膜 620 的絕緣膜 696、以及覆蓋絕緣膜 696 的第三絕緣膜 622 中。實施例 1 中所述的薄膜電晶體可以適當地用作為 TFT 628。此外，儲存電容器部 630 包含與 TFT 628 的閘極佈線 602 同時形成之第一電容器佈線；閘極絕緣膜 606；及與佈線 616 和 618 同時形成的第二電容器佈線。

像素電極層 624、液晶層 650、及對置電極層 640 彼此重疊，以便形成液晶元件。

圖 22 是基板 600 之上的結構之平面視圖。使用實施例 1 中所述的材料，所形成像素電極層 624。狹縫 625 係形成於像素電極層 624 中。狹縫 625 係形成為控制液晶的對齊。

以分別類似於 TFT 628、像素電極層 624、及儲存電容器部 630 的方式，形成圖 22 中所示之 TFT 629、連接至 TFT 629 的像素電極層 626、及儲存電容器部 631。TFT 628 及 629 都連接至佈線 616。本液晶顯示面板的像素包含像素電極層 624 和 626。像素電極層 624 和 626 是子像素。

圖 23 顯示對置基板側上的結構。使用類似於像素電極層 624 的材料，較佳形成對置電極層 640。控制液晶的對齊之凸部 644 形成於對置電極層 640 之上。注意，在圖 23 中，虛線表示形成於基板 600 之上的像素電極層 624 及 626，並且，對置電極層 640 係設置而與像素電極層 624 和 626 相重疊。

圖 24 顯示本像素結構的等效電路。TFT 628 和 629 都連接至閘極佈線 602 和佈線 616。在此情況中，藉由使電容器佈線 604 的電位不同於電容器佈線 605 的電位，液晶元件 651 的操作不同於液晶元件 652 的操作。亦即，個別地控制電容器佈線 604 和 605 的電位，可以精準地控制液晶的對齊並且增加視角。

當電壓被施加至設有狹縫 625 的像素電極層 624 時，在狹縫 625 的近處產生扭曲的電場（歪斜電場）。對置基板 601 側上的凸部 644 及狹縫 625 係配置成不會彼此重疊，因而有效地產生歪斜電場，以控制液晶的對齊，因此，液晶的對齊方向視位置而變。亦即，藉由使用多域，以增加液晶顯示面板的視角。

接著，將參考圖 25、圖 26、圖 27、及圖 28，說明與上述不同的 VA 液晶顯示裝置。

圖 25 及圖 26 顯示 VA 液晶顯示面板的像素結構。圖 26 是基板 600 之上的平面視圖。圖 25 顯示圖 26 中的 Y-Z 剖面結構。將參考此二圖式，於下作出說明。

在本像素結構中，一個像素具有多個像素電極，並且，TFT 係連接至多個像素電極中的每一個像素電極。每一個 TFT 係由彼此不同的閘極訊號來予以驅動。具體而言，獨立地控制施加至每一個像素電極之訊號。

像素電極層 624 經由佈線 618 而被連接至形成於穿透絕緣膜 620、絕緣膜 696 及絕緣膜 622 之接觸孔 623 中之 TFT 628。此外，像素電極層 626 經由佈線 619 而被連接

至穿透絕緣膜 620、絕緣膜 629 及絕緣膜 622 中之接觸孔 627 中的 TFT 629。TFT 628 的閘極佈線 602 與 TFT 629 的閘極佈線 603 分開，使得可以供應不同的閘極訊號。另一方面，作為資料線的佈線 616 係由 TFT 628 和 629 所共用。實施例 1 中所述的薄膜電晶體可以被適當地用作為 TFT 628 及 629。此外，設置電容器佈線 690。注意，閘極絕緣膜 606 係形成於閘極佈線 602、閘極佈線 603、及電容器佈線 690 之上。

像素電極層 624 的形狀與像素電極層 626 的形狀不同，且這些像素電極層藉由狹縫 625 而被分開。像素電極層 626 圍繞具有 V 形的像素電極層 624。TFT 628 及 629 使供應電壓至像素電極層 624 和 626 的時序彼此不同，藉以控制液晶的對齊。圖 28 顯示此像素結構的等效電路。TFT 628 連接至閘極佈線 602，TFT 629 連接至閘極佈線 603。此外，TFT 628 及 629 都連接至佈線 616。藉由供應不同的閘極訊號至閘極佈線 602 和 603，液晶元件 651 的操作可以不同於液晶 652 的操作。亦即，個別地控制 TFT 628 和 629 的操作，因而可以精準地控制液晶元件 651 和 652 中液晶的對齊，並且可以增加視角。

對置基板 601 係設有色膜 636 及對置電極層 640。此外，平坦化膜 637 係形成於色膜 636 與對置電極層 640 之間，藉以防止液晶的對齊失序。圖 27 顯示對置基板側的結構。對置電極層 640 是由多個像素所共用，並且，狹縫 641 係形成於對置電極層 640 中。像素電極層 624 和 626

上的狹縫 641 和狹縫 625 係配置成不會彼此重疊，因而有效地產生歪斜電場，並且，控制液晶的對齊。因此，液晶的對齊方向視位置而定，因而增加視角。注意，在圖 27 中，虛線表示形成於基板 600 之上的像素電極層 624 及 626，並且，對置電極層 640 係設置成與像素電極層 624 和 626 相重疊。

對齊膜 648 係形成於像素電極層 624 及 626 之上，並且，對齊膜 646 以類似方式而被形成於對置電極層上。液晶層 650 係形成於基板 600 與對置基板 601 之間。此外，像素電極層 624、液晶層 650、及對置電極層 640 彼此重疊，以便形成第一液晶元件。像素電極層 626、液晶層 650、及對置電極層 640 彼此重疊，以便形成第二液晶元件。此外，圖 25、圖 26、圖 27、及圖 28 中所示的顯示面板的像素結構是多域結構，其中，第一液晶元件及第二液晶元件係設於一個像素中。

接著，說明水平電場模式中的液晶顯示裝置。在水平電場模式中，以相對於胞中的液晶分子之水平方向，施加電場，因而驅動液晶以呈現灰階。根據此方法，視角可以增加至約  $180^\circ$ 。於下，說明水平電場模式的液晶顯示裝置。

在圖 29 中，對置基板 601 係疊加於基板 600 上，並且以液晶注入於其間，而在基板 600 之上係形成有 TFT 628 及連接至 TFT 628 的像素電極層 624。對置基板 601 係設有色膜 636、平坦化膜 637、等等。注意，對置電極

未被設於對置基板 601 側上。在基板 600 與對置基板 601 之間形成液晶層 650，而以對齊膜 646 和對齊膜 648 介於其間。

實施例 1 中所述的 TFT 628、像素電極層 607、連接至像素電極層 607 的電容器佈線 604 係形成於基板 600 之上，像素電極層 607 是第一像素電極。像素電極層 607 以大略依像素形狀劃分的形狀而被形成。閘極絕緣膜 606 係形成於像素電極層 607 和電容器佈線 604 之上。

TFT 628 的佈線 616 和 618 係形成於閘極絕緣膜 606 之上。佈線 616 是視頻訊號傳輸的資料線、在液晶面板中於一個方向上延伸、連接至 TFT 628 的源極區或汲極區，並且用作為源極和汲極電極的其中之一。佈線 618 用作為源極和汲極電極中的另一者並被連接至用作為第二像素電極的像素電極層 624。

絕緣膜 620 係形成於佈線 616 和 618 之上。絕緣膜 696 係形成在絕緣膜 620 之上。在絕緣膜 696 之上，形成像素電極層 624，像素電極層 624 連接至形成於絕緣膜 620 和 696 中的接觸孔中的佈線 618。使用類似於實施例 5 中所述的像素電極層 4030 的材料，以形成像素電極層 624。

以此方式，在基板 600 之上形成 TFT 628 及連接至其的像素電極層 624。儲存電容器係形成於像素電極層 607 與像素電極層 624 之間，像素電極層 607 是第一像素電極，像素電極層 624 是第二像素電極。

圖 30 是平面視圖，其顯示像素電極的結構。圖 29 顯示圖 30 中的 O-P 剖面結構。像素電極層 624 係設有狹縫 625。狹縫 625 係設置成用於控制液晶的對齊。在該情況中，電場係產生於像素電極層 607 與像素電極層 624 之間。形成於電極層 607 與像素電極層 624 之間的閘極絕緣膜 606 的厚度為 50 nm 至 200 nm（含），相較於  $2\ \mu\text{m}$  至  $10\ \mu\text{m}$ （含）之液晶層厚度，這是足夠薄的。因此，在實質上與基板 600 平行的方向上（在水平方向），產生電場。液晶的對齊由此電場控制。藉由在大致平行於基板的方向上使用電場，將液晶分子水平地旋轉。在此情況中，由於液晶分子在任何狀態下水平地對齊，因此，對比等等較不受視角影響；因此，增加視角。此外，由於第一像素電極層 607 及像素電極層 624 都是透光電極，所以，可以增進孔徑比。

接著，說明水平電場模式中的液晶顯示裝置的另一實例。

圖 31 及圖 32 顯示 IPS 模式之液晶顯示裝置的像素結構。圖 32 是平面視圖，圖 31 顯示圖 32 的 V-W 剖面結構。於下，將參考此二圖式，作出說明。

在圖 31 中，對置基板 601 係疊加於基板 600 之上，而以液晶注入於它們之間，在基板 600 之上係形成有 TFT 628、及連接至 TFT 628 的像素電極層 624。對置基板 601 設有色膜 636、平坦化膜 637、等等。注意，對置電極未被設於對置基板 601 側上。在基板 600 與對置基板 601 之

間形成液晶層 650，而以對齊膜 646 和 648 介於其間。

實施例 1 中所述之共同電位線 609 與 TFT 628 係形成於基板 600 之上。共同電位線 609 與 TFT 628 的閘極佈線 602 同時被形成。以依像素形狀大略劃分的形狀，以形成用作為第一像素電極之像素電極層 607。

TFT 628 的佈線 616 和 618 係形成於閘極絕緣膜 606 之上。佈線 616 是視頻訊號傳輸的資料線、在液晶顯示面板中於一個方向上延伸、連接至 TFT 628 的源極或汲極區，並且用作為源極和汲極電極的其中之一。佈線 618 用作為源極和汲極電極中的另一者並被連接至像素電極層 624，像素電極層 624 是第二像素電極。

絕緣膜 620 係形成於佈線 616 和 618 之上，絕緣膜 696 係形成在絕緣膜 620 之上。像素電極層 624 係形成於絕緣膜 696 之上，像素電極層 624 係連接至形成於絕緣膜 620 和絕緣膜 696 中的接觸孔 623 中的佈線 618。使用類似於實施例 5 中所述的像素電極層 4030 的材料，以形成像素電極層 624。如圖 32 所示，形成像素電極層 624，以使像素電極層 624 及與共同電位線 609 同時形成的梳狀電極可以產生水平電場。此外，像素電極層 624 梳齒部份及與共同電位線 609 同時形成的梳狀電極係形成為不會彼此重疊。

當施加至像素電極層 624 的電位與施加至共同電位線 609 的電位之間產生電場時，以此電場控制液晶的對齊。藉由在大致平行於基板的方向上使用電場，將液晶分子水

平地旋轉。在此情況中，由於液晶分子在任何狀態下水平地對齊，因此，對比等等較不受視角影響；因此，增加視角。

依此方式，TFT 628 及連接至 TFT 628 的像素電極層 624 係形成於基板 600 之上。藉由在共同電位線 609 與電容器電極 615 之間設置閘極絕緣膜 606，形成儲存電容器。電容器電極 615 經由接觸孔 633 而被連接至像素電極層 624。

接著，將說明 TN 模式中的液晶顯示裝置的模式。

圖 33 和 34 顯示 TN 模式中的液晶顯示裝置的像素結構。圖 34 是平面視圖。圖 33 顯示圖 34 中的 K-L 剖面結構。於下，將參考此二圖式，作出說明。

像素電極層 624 經由接觸孔 623 及佈線 618 而被連接至 TFT 628。作為資料線的佈線 616 連接至 TFT 628。使用實施例 1 中所述的 TFT 用作為 TFT 628。

使用類似於實施例 1 中所述的像素電極層 427 的材料，以形成像素電極層 624。電容器佈線 604 與 TFT 628 的閘極佈線 602 同時被形成。閘極絕緣膜 606 係形成於閘極佈線 602 和電容器佈線 604 之上。儲存電容器由電容器佈線 604、電容器電極 615、及介於其間的閘極絕緣膜 606 被形成。電容器電極 615 和像素電極層 624 經由接觸孔 623 而彼此連接。

對置基板 601 係設有色膜 636 和對置電極層 640。平坦化膜 637 係形成於色膜 636 與對置電極層 640 之間，以

防止液晶對齊失序。液晶層 650 係形成於像素電極層 624 與對置電極層 640 之間，而以對齊膜 646 和 648 設於液晶層 650 與像素電極層 624 和對置電極層 640 之間。

像素電極層 624、液晶層 650、及對置電極層 640 彼此重疊，因而形成液晶元件。

此外，基板 600 或對置基板 601 可以設有著色層 636 等。極化板係附接於基板 600 的表面，此表面與設有薄膜電晶體的表面相反，並且，一極化板係附接於對置基板 601 的表面，此表面與設有對置電極層 640 的表面相反。

經由上述製程，可以製造液晶顯示裝置作為顯示裝置。本實施例中的液晶顯示裝置均具有高孔徑比。

在使用實施例 1 至 3 中任何實施例所述的薄膜電晶體的製造方法來製造上述發光顯示裝置的像素部份中的薄膜電晶體之情況中，可以抑制導因於個別像素的薄膜電晶體的臨界電壓變化之顯示不均勻。

此外，在使用實施例 1 至 3 中任何實施例所述的薄膜電晶體的製造方法來製造上述發光顯示裝置的驅動電路中的薄膜電晶體之情況中，通道長度可以縮短，而不會造成臨界電壓的負偏移，因而可以取得驅動電路部份中薄膜電晶體的高速操作及更低的耗電。

## 實例 1

在本實例中，使用本發明的實施例所述之薄膜電晶體的製造方法來製造薄膜電晶體，並且，將說明導因於溫度

重複上升及下降的第二熱處理之薄膜電晶體的場效遷移率變化及臨界電壓對通道長度的相依性變化之評估結果。

在本實例中，在相同基板之上製造通道長度 $L$ 為 $3\ \mu\text{m}$ 、 $4\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 、 $6\ \mu\text{m}$ 、 $8\ \mu\text{m}$ 、 $10\ \mu\text{m}$ 、 $15\ \mu\text{m}$ 、 $20\ \mu\text{m}$ 、 $30\ \mu\text{m}$ 、 $40\ \mu\text{m}$ 、及 $50\ \mu\text{m}$ 的薄膜電晶體，並且，評估導因於溫度重複上升及下降的第二熱處理之薄膜電晶體的場效遷移率之變化以及臨界電壓對通道長度的相依性變化。首先，說明薄膜電晶體的製造方法。

首先，在玻璃基板之上，形成厚度  $100\ \text{nm}$  的氧氮化矽膜以作為基底膜。以濺射法，在氧氮化矽膜之上形成  $150\ \text{nm}$  厚的鎢膜以作為閘極電極層。以 CVD 法，在閘極電極層之上形成  $100\ \text{nm}$  厚的氧氮化矽膜以作為閘極絕緣層。

接著，使用用於膜形成之以  $\text{In-Ga-Zn-O}$  為基礎的氧化物半導體靶材（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ ），在含有氬氣及氧氣（氬：氧 =  $30\ \text{sccm} : 15\ \text{sccm}$ ）的氛圍中，在下述條件下，形成厚度  $50\ \text{nm}$  的氧化物半導體層：基板與靶材之間的距離為  $60\ \text{mm}$ 、壓力為  $0.4\ \text{Pa}$ 、直流（DC）電源為  $0.5\ \text{kW}$ 。

接著，在氣氛圍中，在  $450^\circ\text{C}$  下，對氧化物半導體層執行第一熱處理一小時。

為了形成源極和汲極電極層，以濺射法，在氧化物半導體層之上，形成鈦膜（厚度  $50\ \text{nm}$ ）、鋁膜（厚度  $200\ \text{nm}$ ）、及鈦膜（厚度  $50\ \text{nm}$ ）的堆疊層。然後，蝕刻電極

層以形成源極和汲極層。薄膜電晶體的通道長度  $L$  設定為  $3\ \mu\text{m}$ 、 $4\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 、 $6\ \mu\text{m}$ 、 $8\ \mu\text{m}$ 、 $10\ \mu\text{m}$ 、 $15\ \mu\text{m}$ 、 $20\ \mu\text{m}$ 、 $30\ \mu\text{m}$ 、 $40\ \mu\text{m}$ 、及  $50\ \mu\text{m}$ ，並且，其通道寬度  $W$  均被設定為  $20\ \mu\text{m}$ 。

接著，以濺射法來形成厚度  $300\ \text{nm}$  的氧化矽膜作為保護絕緣層，以便接觸氧化物半導體層。此外，以濺射法，在保護絕緣層之上形成含有  $5\ \text{wt.}\%$  的矽及厚度  $110\ \text{nm}$  之氧化銦－氧化錫（ITO）合金膜以作為佈線層。然後，氧化物半導體層在氮氛圍中受到  $250^\circ\text{C}$  的熱處理一小時。

接著，在空氣氛圍中，執行溫度重複上升及下降的第二熱處理。第二熱處理步驟係顯示於圖 4 的圖形中，其中，垂直軸表示  $[\text{C}]$ ，水平軸代表時間[分鐘]。如圖 4 所示，在第二熱處理中，重複十次由下述組成的循環： $20$  分鐘的溫度上升時段，其中，溫度從  $25^\circ\text{C}$  上升至  $150^\circ\text{C}$ ；在溫度上升時段之後  $40$  分鐘的高溫維持時段，其中，溫度維持在  $150^\circ\text{C}$ ；在高溫維持時段之後  $45$  分鐘的溫度下降時段，其中，溫度從  $150^\circ\text{C}$  下降至  $25^\circ\text{C}$ ；以及，在溫度下降時段之後  $15$  分鐘的低溫維持時段，其中，溫度維持在  $25^\circ\text{C}$ 。

經由上述製程，在相同基板之上形成通道寬度  $W$  為  $20\ \mu\text{m}$  以及通道長度  $L$  為  $3\ \mu\text{m}$ 、 $4\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 、 $6\ \mu\text{m}$ 、 $8\ \mu\text{m}$ 、 $10\ \mu\text{m}$ 、 $15\ \mu\text{m}$ 、 $20\ \mu\text{m}$ 、 $30\ \mu\text{m}$ 、 $40\ \mu\text{m}$ 、及  $50\ \mu\text{m}$  之薄膜電晶體。

測量第二熱處理前後之每一個薄膜電晶體的電流－電壓特徵曲線；以此方式，評估導因於第二熱處理之薄膜電晶體的場效遷移率變化以及臨界電壓對通道長度的相依性變化。

圖 5A 顯示第二熱處理前薄膜電晶體的臨界電壓及場效遷移率，圖 5B 顯示第二熱處理後薄膜電晶體的臨界電壓及場效遷移率。在圖 5A 及 5B 中，垂直軸代表臨界電壓（ $V_{th1}[V]$ 、 $V_{th2}[V]$ ）以及場效遷移率（ $\mu_{FE}[cm^2/Vs]$ ），並且，水平軸代表通道長度（ $L[\mu m]$ ）。在此，使用不同的評估方法，取得臨界電壓  $V_{th1}$  及臨界電壓  $V_{th2}$ 。

在水平軸及垂直軸分別表示閘極電極（ $V_g[V]$ ）及汲極電流（ $I_d^{1/2}$ ）的平方根之圖形中，臨界電壓  $V_{th1}$  定義為  $V_g$  軸與推斷之具有最高傾斜的  $I_d^{1/2}$  的切線之交會點。在水平軸及垂直軸分別表示閘極電極（ $V_g[V]$ ）及汲極電流對數之圖形中，臨界電壓  $V_{th2}$  定義為推斷之具有最高傾斜的  $I_d$  的切線與軸  $I_d$ （ $I_d=1.0 \times 10^{-12}[A]$ ）之交會點。

在圖 5A 中，當通道長度  $L$  較短時臨界電壓  $V_{th1}$  和  $V_{th2}$  下降，當通道長度  $L$  為  $20 \mu m$  或更短時，此趨勢是顯著的。特別是，當通道長度  $L$  是  $10 \mu m$  或更短時，臨界電壓  $V_{th2}$  是負的。相反地，在圖 5B 中，雖然當通道長度  $L$  下降時臨界電壓  $V_{th1}$  和  $V_{th2}$  傾向於下降，相較於圖 5A，圖 5B 中的下降量小。特別是在通道長度  $L$  為  $20 \mu m$  或更短的區域中，相較於圖 5A，圖 5B 的臨界電壓  $V_{th1}$  和  $V_{th2}$  的下降受抑制，且即使在  $3 \mu m$  之最短通道長度  $L$  的

情況中，臨界電壓  $V_{th1}$  和  $V_{th2}$  比 0 高，意指電晶體具有常關特徵。

因此，發現第二熱處理可以抑制通道長度  $L$  的縮短造成之臨界電壓的負偏移。

此外，在圖 5A 中，場效遷移率  $\mu_{FE}$  約為  $10.7 \text{ cm}^2/\text{Vs}$  至  $11.5 \text{ cm}^2/\text{Vs}$ ，而在圖 5B 中，場效遷移率  $\mu_{FE}$  增加至約為  $11.3 \text{ cm}^2/\text{Vs}$  至  $12.2 \text{ cm}^2/\text{Vs}$ 。因此，第二熱處理增加場效遷移率  $\mu_{FE}$ 。

從上述中，發現當保護絕緣層係形成為覆蓋包含氧化物半導體層的薄膜電晶體時，由通道長度  $L$  縮短造成的臨界電壓之負偏移可以受到抑制，所述氧化物半導體層由第一熱處理及第二熱處理脫水或脫氫，在所述第二熱處理中，溫度上升及下降重複多次。

## 實例 2

在本實例中，使用本發明的實施例所述之薄膜電晶體的製造方法來製造薄膜電晶體，以及，將說明導因於溫度重複上升及下降的第二熱處理之相同基板之上的薄膜電晶體的臨界電壓變化之評估結果。

在本實例中，在相同基板之上形成通道長度  $L$  為  $3 \mu\text{m}$  及通道寬度為  $20 \mu\text{m}$  的薄膜電晶體，並且，評估導因於溫度重複上升及下降的第二熱處理之相同基板之上薄膜電晶體的臨界電壓變化。薄膜電晶體的製造方法可以參考實例 1。

以類似於實例 1 的方式，測量第二熱處理前後之每一個薄膜電晶體的電流－電壓特徵曲線；以此方式，評估導因於第二熱處理之相同基板之上薄膜電晶體的臨界電壓變化。

圖 6A 顯示第二熱處理前薄膜電晶體的電流-電壓特徵曲線及場效遷移率，圖 6B 顯示第二熱處理後薄膜電晶體的電流-電壓特徵曲線及場效遷移率。在圖 6A 及 6B 中，垂直軸代表汲極電流 ( $I_D[A]$ ) 以及場效遷移率 ( $\mu_{FE}[cm^2/Vs]$ )，並且，水平軸代表閘極電極 ( $V_G[V]$ )。在此，圖 6A 及 6B 顯示當汲極電壓  $V_D$  為 1V 及 10V 時測量的汲極電流  $I_D$  及當汲極電壓  $V_D$  為 10V 時測量的場效遷移率 ( $\mu_{FE}$ )。

在圖 6A 中，關於第二熱處理前的薄膜電晶體，無論汲極電壓  $V_D$  為 1V 或 10V，臨界電壓低於 0V，並且，在一個基板之上的臨界電壓變化。相反地，在圖 6B 中，無論汲極電壓的值為何，在一個基板上薄膜電晶體的臨界電壓幾乎與 0V 相同。因此，確認第二熱處理抑制一個基板之上多個薄膜電晶體的臨界電壓的變化。

此外，以類似於實例 1 的方式，從圖 6A 與圖 6B 之間場效遷移率  $\mu_{FE}$  的比較，注意到第二熱處理增加場效遷移率 ( $\mu_{FE}$ )。

從上述中，發現當保護絕緣層係形成為覆蓋包含氧化物半導體層的薄膜電晶體時，可以抑制一個基板上多個薄膜電晶體的臨界電壓變化以及臨界電壓可為接近 0V 的正閘極電壓，所述氧化物半導體層由第一熱處理及第二熱處

理脫水或脫氫，在所述第二熱處理中，溫度上升及下降重複多次。此外，也發現第二熱處理可以增加薄膜電晶體的場效遷移率（ $\mu_{FE}$ ）。

### 實例 3

在本實例中，使用不同於實例 1 的方法，經由第二熱處理，製造薄膜電晶體，以及，將說明薄膜電晶體的臨界電壓對通道長度的相依性變化及場效遷移率變化之評估結果。

關於實例 1 的第二熱處理，在低於第一熱處理的溫度之溫度下執行熱處理，其中，溫度重複上升及下降十次。同時，在本實例中，關於第二熱處理，以溫度保持低於第一熱處理的溫度，以比第一熱處理的時間還長的時間，連續地執行熱處理。由於第二熱處理除外，本實例係類似於實例 1，所以，第二熱處理前的製程可以參考實例 1。

關於第二熱處理，以溫度保持低於第一熱處理的溫度，以比第一熱處理的時間還長的時間，連續地執行熱處理。具體而言，關於第二熱處理，執行溫度從 25°C 上升至 150°C 之溫度上升時段 35 分鐘、溫度維持在 150°C 之高溫維持時段 565 分鐘、以及溫度從 150°C 下降至 25°C 之溫度下降時段 45 分鐘。

經由上述製程，在相同基板之上形成通道寬度  $W$  為 20  $\mu m$  及通道長度  $L$  為 3  $\mu m$ 、4  $\mu m$ 、5  $\mu m$ 、6  $\mu m$ 、8  $\mu m$ 、10  $\mu m$ 、15  $\mu m$ 、20  $\mu m$ 、30  $\mu m$ 、40  $\mu m$ 、及 50  $\mu m$  之薄

膜電晶體。

以類似於實例 1 的方式，測量第二熱處理前後之每一個薄膜電晶體的電流－電壓特徵曲線；以此方式，評估導因於第二熱處理之薄膜電晶體的臨界電壓對通道長度的相依性變化及場效遷移率變化。

圖 37A 顯示第二熱處理前薄膜電晶體的臨界電壓及場效遷移率，圖 37B 顯示第二熱處理後薄膜電晶體的臨界電壓及場效遷移率。在圖 37A 及 37B 中，垂直軸代表臨界電壓（ $V_{th1}[V]$ 、 $V_{th2}[V]$ ）以及場效遷移率（ $\mu_{FE}[cm^2/Vs]$ ），並且，水平軸代表通道長度（ $L[\mu m]$ ）。在此，臨界電壓  $V_{th1}$  及臨界電壓  $V_{th2}$  係類似於實例 1。

在圖 37A 中，以類似於實例 1 的方式，臨界電壓  $V_{th1}$  及臨界電壓  $V_{th2}$  依據通道長度  $L$  的縮短而下降。相對地，在圖 37B 中，臨界電壓  $V_{th1}$  及臨界電壓  $V_{th2}$  依據通道長度  $L$  的縮短而下降的趨勢下降。特別是在通道長度  $L$  為  $20 \mu m$  或更短的區域中，相較於圖 37A，臨界電壓  $V_{th1}$  和  $V_{th2}$  的下降受到抑制，且即使在  $3 \mu m$  之最短通道長度  $L$  的情況中，臨界電壓  $V_{th1}$  和  $V_{th2}$  比 0 高，意指電晶體具有常關特徵。

因此，發現第二熱處理可以抑制通道長度  $L$  的縮短造成之臨界電壓的負偏移，在所述第二熱處理中，類似於實例 1 的方式，以溫度保持低於第一熱處理的溫度，以比第一熱處理還長的時間，連續地執行熱處理。

此外，從圖 37A 與 37B 的比較，注意到第二熱處理

可以增加場效遷移率  $\mu_{FE}$ 。

從上述中，發現當保護絕緣層係形成為覆蓋包含氧化物半導體層的薄膜電晶體時，由通道長度  $L$  縮短造成的臨界電壓之負偏移可以受到抑制，所述氧化物半導體層藉由第一熱處理及第二熱處理來予以脫水或脫氫，在所述第二熱處理中，以溫度保持低於第一熱處理的溫度，以比第一熱處理還長的時間，連續地執行熱處理。

本申請案根據 2009 年 9 月 4 日向日本專利局申請之日本專利申請序號 2009-205328 以及 2009 年 9 月 7 日向日本專利局申請之日本專利申請序號 2009-206490，其整體內容於此一併列入參考。

#### 【符號說明】

400：基板

401：閘極電極層

402：閘極絕緣層

403：氧化物半導體層

405a：源極電極層

405b：汲極電極層

407：保護絕緣層

432：氧化物半導體層

450：基板

452：閘極絕緣層

453：氧化物半導體層

455a：源極電極層

455b：汲極電極層

457：保護絕緣層

460：薄膜電晶體

461：薄膜電晶體

470：基板

471：閘極電極層

472：閘極絕緣層

473：氧化物半導體層

475a：源極電極層

475b：汲極電極層

477：保護絕緣層

480：通道保護層

481：薄膜電晶體

580：基板

581：薄膜電晶體

583：絕緣膜

585：絕緣層

587：電極層

588：電極層

589：球形粒子

594：穴

595：填充物

596：基板

- 600：基板
- 601：對置基板
- 602：閘極佈線
- 603：閘極佈線
- 604：電容器佈線
- 605：電容器佈線
- 606：閘極絕緣膜
- 607：像素電極
- 609：共同電位線
- 615：電容器電極
- 616：佈線
- 617：電容器佈線
- 618：佈線
- 619：佈線
- 620：絕緣膜
- 622：絕緣膜
- 623：接觸孔
- 624：像素電極層
- 625：狹縫
- 626：像素電極層
- 627：接觸孔
- 628：薄膜電晶體
- 629：薄膜電晶體
- 630：儲存電容器部

631：儲存電容器部  
 633：接觸孔  
 636：色膜  
 637：平坦化膜  
 640：對置電極層  
 641：狹縫  
 644：凸部  
 646：對齊膜  
 648：對齊膜  
 650：液晶層  
 651：液晶元件  
 652：液晶元件  
 690：電容器佈線  
 696：絕緣膜  
 2600：TFT 基板  
 2601：對置基板  
 2602：密封劑  
 2603：像素部  
 2604：顯示元件  
 2605：著色層  
 2606：極化板  
 2607：極化板  
 2608：佈線電路部  
 2609：可撓性線路板

2610：冷陰極管  
2611：反射板  
2612：電路板  
2613：散射板  
2700：電子書讀取器  
2701：機殼  
2703：機殼  
2705：顯示部  
2707：顯示部  
2711：鉸鏈  
2721：電源開關  
2723：操作鍵  
2725：揚音器  
4001：基板  
4002：像素部  
4003：訊號線驅動電路  
4004：掃描線驅動電路  
4005：密封劑  
4006：基板  
4008：液晶層  
4010：薄膜電晶體  
4011：薄膜電晶體  
4013：液晶元件  
4015：連接端子電極

- 4016：端子電極
- 4018：可撓性印刷電路
- 4019：各向異性導電膜
- 4020：保護絕緣層
- 4021：絕緣層
- 4030：像素電極層
- 4031：對置電極層
- 4032：氧化物絕緣層
- 4035：間隔器
- 4040：導電層
- 4041：絕緣層
- 4501：基板
- 4502：像素部
- 4505：密封劑
- 4506：基板
- 4507：填充物
- 4509：薄膜電晶體
- 4510：薄膜電晶體
- 4511：發光元件
- 4512：電致發光層
- 4513：電極層
- 4515：連接端子電極
- 4516：端子電極
- 4517：電極層

4519：各向異性導電膜

4520：分隔部

4540：導電層

4541：絕緣層

4542：絕緣層

4543：保護絕緣層

4544：絕緣層

5300：基板

5301：像素部

5302：掃描線驅動電路

5303：掃描線驅動電路

5304：訊號線驅動電路

5305：時序控制電路

5444：平坦化絕緣層

5601：移位暫存器

5602：切換電路

5603：薄膜電晶體

5604：佈線

5605：佈線

590a：黑色區

590b：白色區

6400：像素

6401：切換電晶體

6402：驅動電晶體

6403：電容器

6404：發光元件

6405：訊號線

6406：掃描線

6407：電源線

6408：共同電極

7001：驅動薄膜電晶體

7002：發光元件

7003：陰極

7004：發光層

7005：陽極

7008：陰極

7009：分隔部

7011：驅動薄膜電晶體

7012：發光元件

7013：陰極

7014：發光層

7015：陽極

7016：遮光膜

7017：導電膜

7019：分隔部

7021：驅動薄膜電晶體

7022：發光元件

7023：陰極

7024：發光層  
7025：陽極  
7027：導電膜  
7029：分隔部  
7030：汲極電極層  
7031：氧化物絕緣層  
7032：絕緣層  
7033：彩色濾光層  
7034：覆著層  
7035：保護絕緣層  
7041：氧化物絕緣層  
7042：絕緣層  
7043：彩色濾光層  
7044：覆著層  
7045：保護絕緣層  
7050：連接電極層  
7051：氧化物絕緣層  
7052：保護絕緣層  
7053：平坦化絕緣層  
7055：絕緣層  
7061：氧化物絕緣層  
7062：保護絕緣層  
7063：彩色濾光層  
7064：覆著層

7065：保護絕緣層  
7067：導體膜  
7071：驅動薄膜電晶體  
9201：顯示部  
9202：顯示按鍵  
9203：操作鍵  
9204：帶部  
● 9205：調整部  
9206：相機部  
9207：揚音器  
9208：麥克風  
9301：頂殼  
9302：底殼  
9303：顯示部  
9304：鍵盤  
● 9305：外部連接埠  
9306：指向裝置  
9307：顯示部  
9600：電視機  
9601：機殼  
9603：顯示部  
9605：架子  
9607：顯示部  
9609：操作鍵

9610：遙控器  
9700：數位相框  
9701：機殼  
9703：顯示部  
9881：機殼  
9882：顯示部  
9883：顯示部  
9884：揚音器部  
9885：操作鍵  
9886：記憶媒體插入部  
9887：連接端子  
9888：感測器  
9889：麥克風  
9890：LED 燈  
9891：機殼  
9893：接合部  
9900：投幣機  
9901：機殼  
9903：顯示部  
4503a：訊號線驅動電路  
4504a：掃描線驅動電路  
4518a：可撓性印刷電路

## 申請專利範圍

1.一種半導體裝置之製造方法，包括下述步驟：

在具有絕緣表面的基板之上形成第一電極層；

在該第一電極層之上形成第一絕緣層；

在該第一絕緣層之上形成氧化物半導體層；

脫水或脫氫該氧化物半導體層；

在該氧化物半導體層之上形成第二電極層和第三電極層；

在該氧化物半導體層之上形成第二絕緣層，該第二絕緣層與該氧化物半導體層至少部分直接接觸；以及

在形成該第二絕緣層之後進行熱處理，

其中，該第二絕緣層包含第三絕緣層及在該第三絕緣層之上的第四絕緣層，

其中，該第三絕緣層含有鋁及氧，

其中，該第四絕緣層含有矽及氮，並且

其中，該在形成該第二絕緣層之後進行該熱處理的步驟的處理溫度低於該脫水或脫氫該氧化物半導體層的步驟的處理溫度。

2.一種半導體裝置之製造方法，包括下述步驟：

在具有絕緣表面的基板之上形成閘極電極層；

在該閘極電極層之上形成第一絕緣層；

在該第一絕緣層之上形成氧化物半導體層；

脫水或脫氫該氧化物半導體層；

在該氧化物半導體層之上形成源極電極層和汲極電極

層；

在該氧化物半導體層之上形成第二絕緣層，該第二絕緣層與該氧化物半導體層至少部分直接接觸；以及

在形成該第二絕緣層之後進行熱處理，

其中，該第二絕緣層包含第三絕緣層及在該第三絕緣層之上的第四絕緣層，

其中，該第三絕緣層含有鋁及氧，

其中，該第四絕緣層含有矽及氮，

其中，該氧化物半導體層的厚度大於或等於 5nm 且小於或等於 200nm，並且

其中，該在形成該第二絕緣層之後進行該熱處理的步驟的處理溫度低於該脫水或脫氫該氧化物半導體層的步驟的處理溫度。

3.一種半導體裝置之製造方法，包括下述步驟：

在具有絕緣表面的基板之上形成閘極電極層；

在該閘極電極層之上形成第一絕緣層；

在該第一絕緣層之上形成氧化物半導體層；

脫水或脫氫該氧化物半導體層；

在該氧化物半導體層之上形成源極電極層和汲極電極層；

在該氧化物半導體層之上形成第二絕緣層，該第二絕緣層與該氧化物半導體層至少部分直接接觸；以及

在形成該第二絕緣層之後進行熱處理，

其中，該第二絕緣層包含第三絕緣層及在該第三絕緣

層之上的第四絕緣層，

其中，該第三絕緣層含有鋁及氧，

其中，該第四絕緣層含有矽及氮，

其中，該氧化物半導體層的厚度大於或等於 5nm 且小於或等於 200nm，

其中，該在形成該第二絕緣層之後進行該熱處理的步驟的處理溫度低於該脫水或脫氫該氧化物半導體層的步驟的處理溫度，

其中，該氧化物半導體層含有銦、鎵及鋅，並且

其中，該第一絕緣層為含有矽及氮的第一層與含有矽及氧的第二層的疊層結構。

4.一種半導體裝置之製造方法，包括下述步驟：

在具有絕緣表面的基板之上形成第一電極層；

在該第一電極層之上形成第一絕緣層；

在該第一絕緣層之上形成氧化物半導體層；

脫水或脫氫該氧化物半導體層；

在該氧化物半導體層之上形成第二電極層和第三電極層；

在該氧化物半導體層之上形成第二絕緣層；

在該第二絕緣層之上形成第三絕緣層；

在該第三絕緣層之上形成第四絕緣層；

在該第二絕緣層之上形成第四電極層；以及

在形成該第二絕緣層之後進行熱處理，

其中，該第二絕緣層含有矽、氧及氮，

其中，該第三絕緣層含有鋁及氧，

其中，該第四絕緣層含有矽及氮，並且

其中，該在形成該第二絕緣層之後進行該熱處理的步驟的處理溫度低於該脫水或脫氫該氧化物半導體層的步驟的處理溫度。

5.一種半導體裝置之製造方法，包括下述步驟：

在具有絕緣表面的基板之上形成第一閘極電極層；

在該第一閘極電極層之上形成第一絕緣層；

在該第一絕緣層之上形成氧化物半導體層；

脫水或脫氫該氧化物半導體層；

在該氧化物半導體層之上形成源極電極層和汲極電極層；

在該氧化物半導體層之上形成第二絕緣層；

在該第二絕緣層之上形成第三絕緣層；

在該第三絕緣層之上形成第四絕緣層；

在該第二絕緣層之上形成第二閘極電極層；以及

在形成該第二絕緣層之後進行熱處理，

其中，該第二絕緣層含有矽、氧及氮，

其中，該第三絕緣層含有鋁及氧，

其中，該第四絕緣層含有矽及氮，

其中，該氧化物半導體層的厚度大於或等於 5nm 且小於或等於 200nm，並且

其中，該在形成該第二絕緣層之後進行該熱處理的步驟的處理溫度低於該脫水或脫氫該氧化物半導體層的步驟

的處理溫度。

6.一種半導體裝置之製造方法，包括下述步驟：

在具有絕緣表面的基板之上形成第一閘極電極層；

在該第一閘極電極層之上形成第一絕緣層；

在該第一絕緣層之上形成氧化物半導體層；

脫水或脫氫該氧化物半導體層；

在該氧化物半導體層之上形成源極電極層和汲極電極層；

在該氧化物半導體層之上形成第二絕緣層；

在該第二絕緣層之上形成第三絕緣層；

在該第三絕緣層之上形成第四絕緣層；

在該第二絕緣層之上形成第二閘極電極層；以及

在形成該第二絕緣層之後進行熱處理，

其中，該第二絕緣層含有矽、氧及氮，

其中，該第三絕緣層含有鋁及氧，

其中，該第四絕緣層含有矽及氮，

其中，該氧化物半導體層的厚度大於或等於 5nm 且小於或等於 200nm，

其中，該在形成該第二絕緣層之後進行該熱處理的步驟的處理溫度低於該脫水或脫氫該氧化物半導體層的步驟的處理溫度，

其中，該氧化物半導體層含有銦、鎵及鋅，並且

其中，該第一絕緣層為含有矽及氮的第一層與含有矽及氧的第二層的疊層結構。

7.如申請專利範圍第 1 至 6 項中之任一項的半導體裝置之製造方法，

其中，該脫水或脫氫該氧化物半導體層的步驟在氮氛圍或稀有氣體氛圍中執行。

8.如申請專利範圍第 1 至 6 項中之任一項的半導體裝置之製造方法，

其中該脫水或脫氫該氧化物半導體層的步驟的溫度高於或等於 350℃ 且低於或等於 750℃。

9.如申請專利範圍第 1 至 6 項中之任一項的半導體裝置之製造方法，

其中，該熱處理的溫度高於或等於 100℃ 且低於或等於 300℃。

10.如申請專利範圍第 1 至 6 項中之任一項的半導體裝置之製造方法，

其中，該第二絕緣層為保護絕緣層。

11.如申請專利範圍第 1 至 6 項中之任一項的半導體裝置之製造方法，

其中，該在形成該第二絕緣層之後進行該熱處理的步驟在形成該第四絕緣層之後執行。

圖式

圖 1A

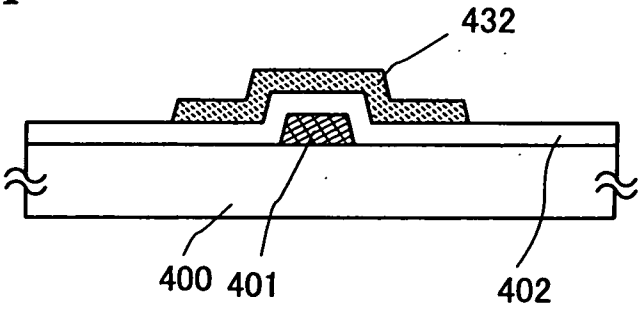


圖 1B

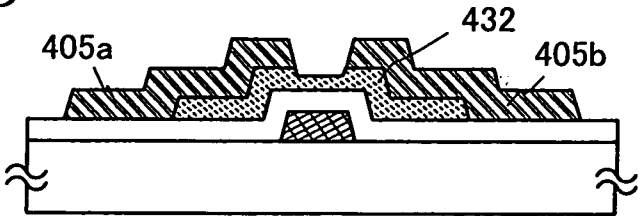


圖 1C

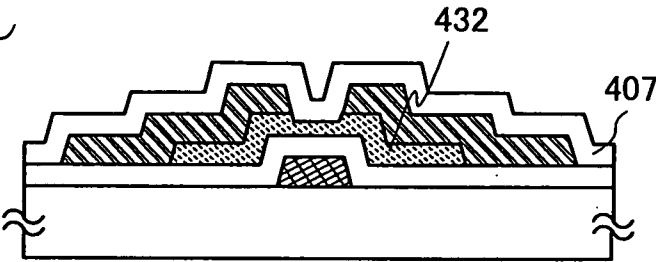


圖 1D

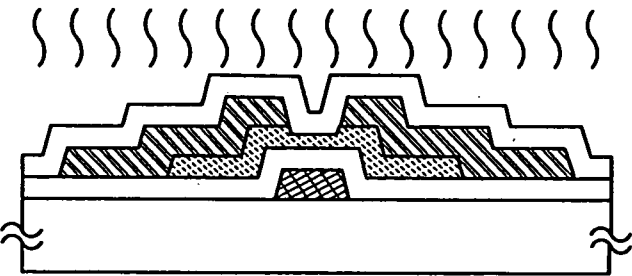
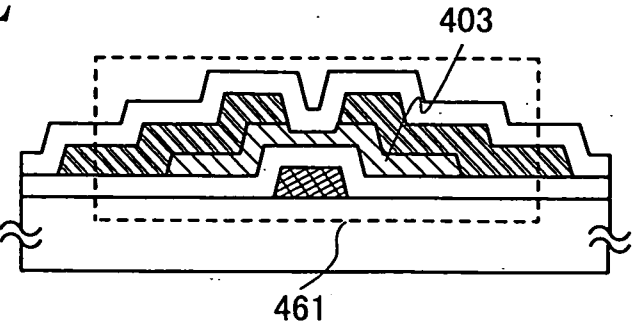


圖 1E



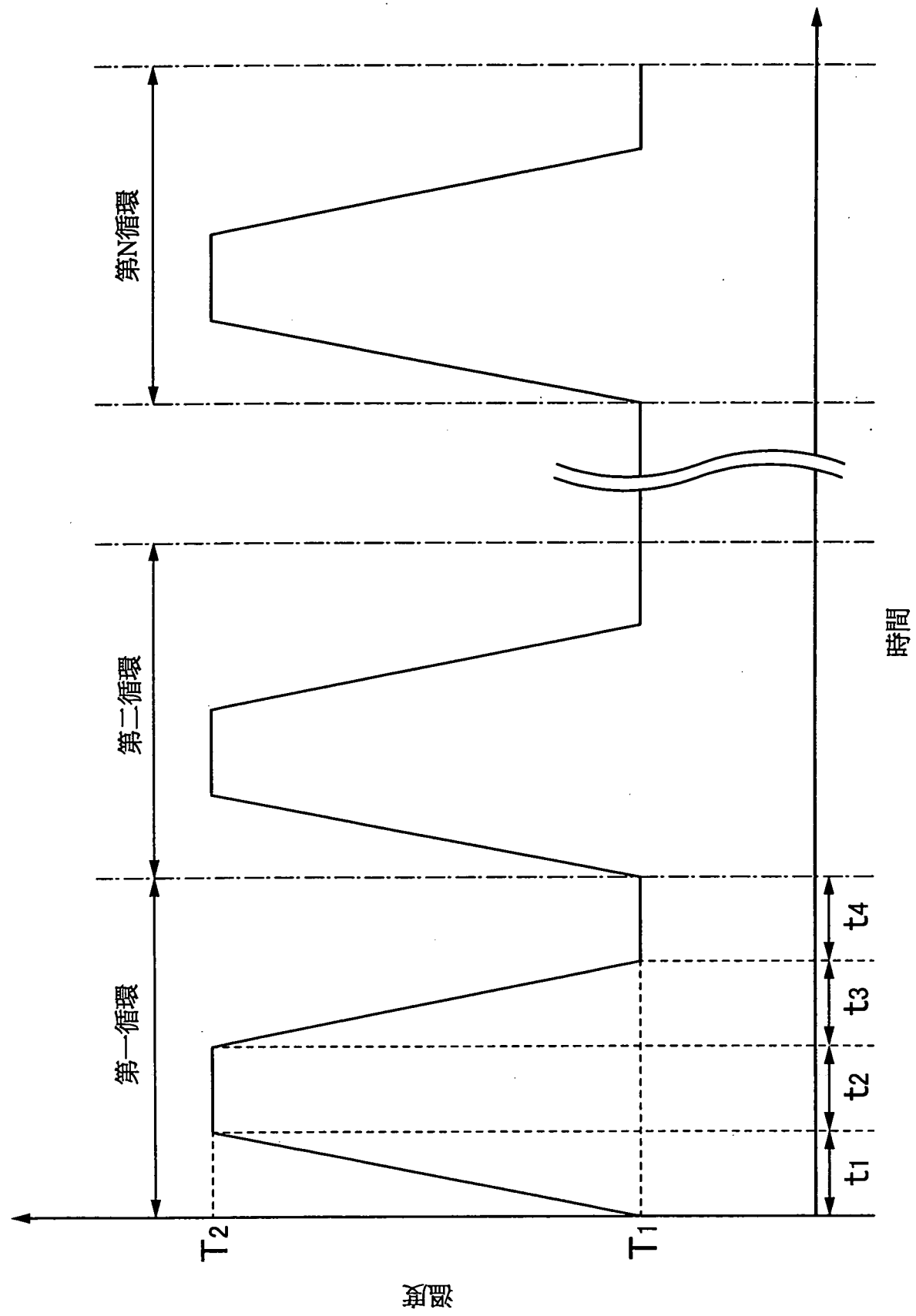


圖 3A

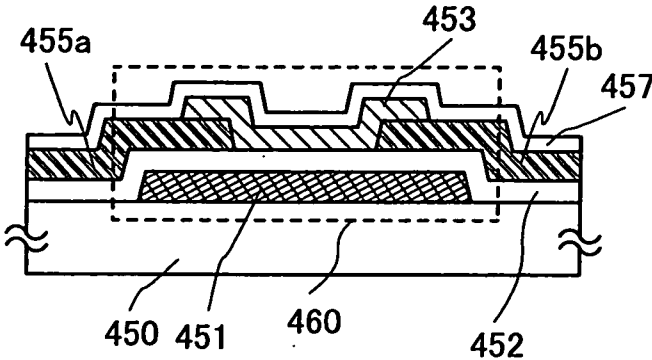
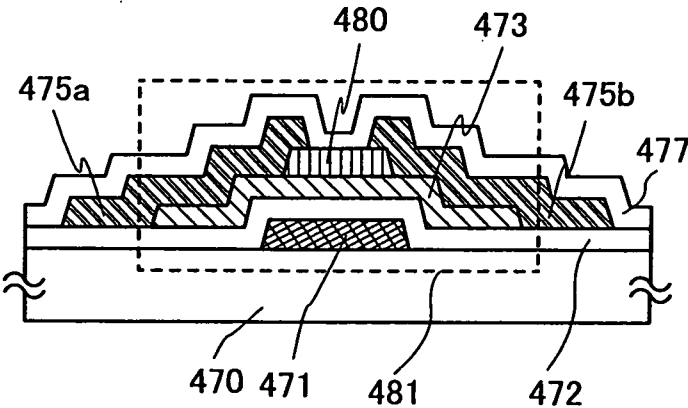


圖 3B



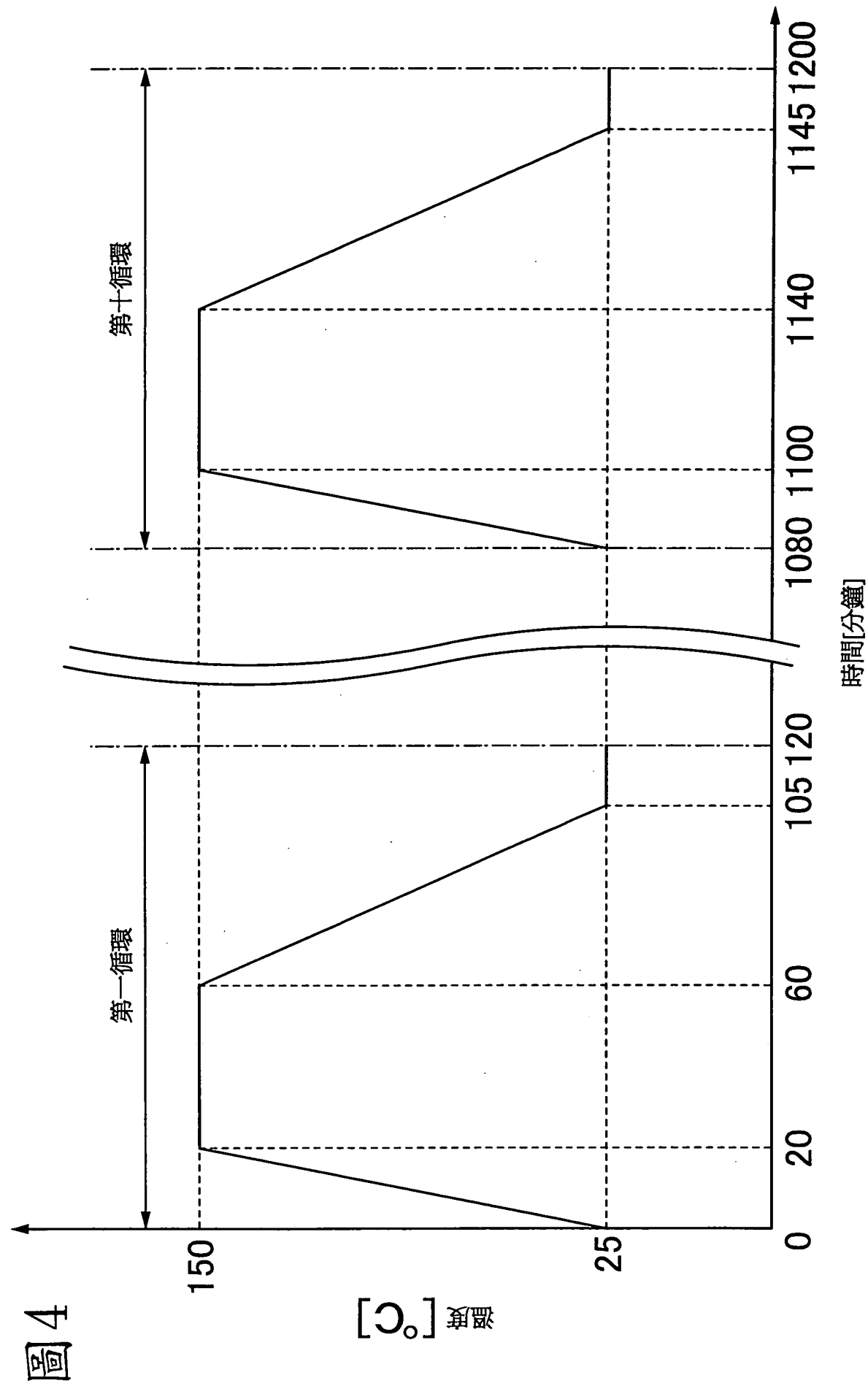


圖 5A

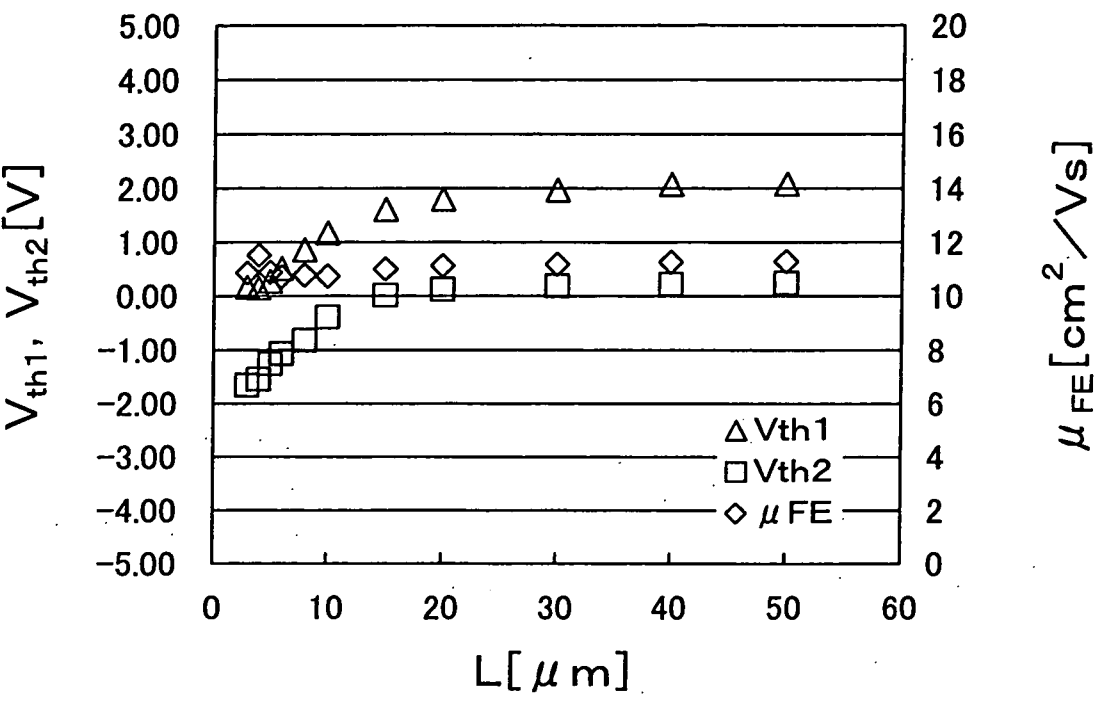


圖 5B

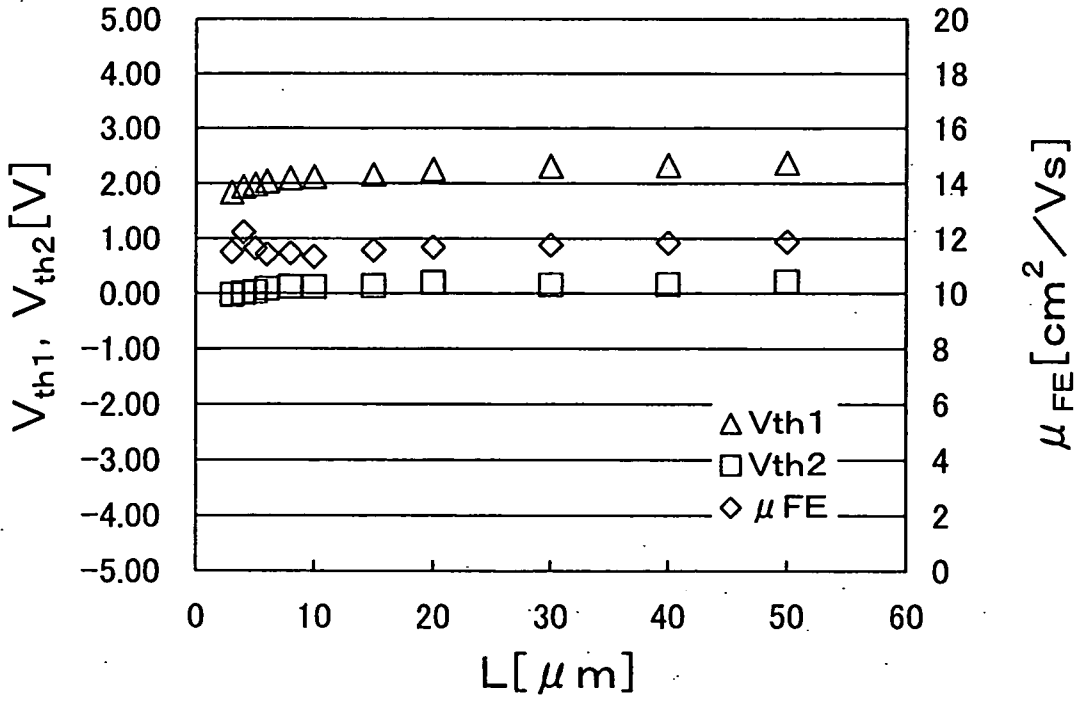


圖 6A

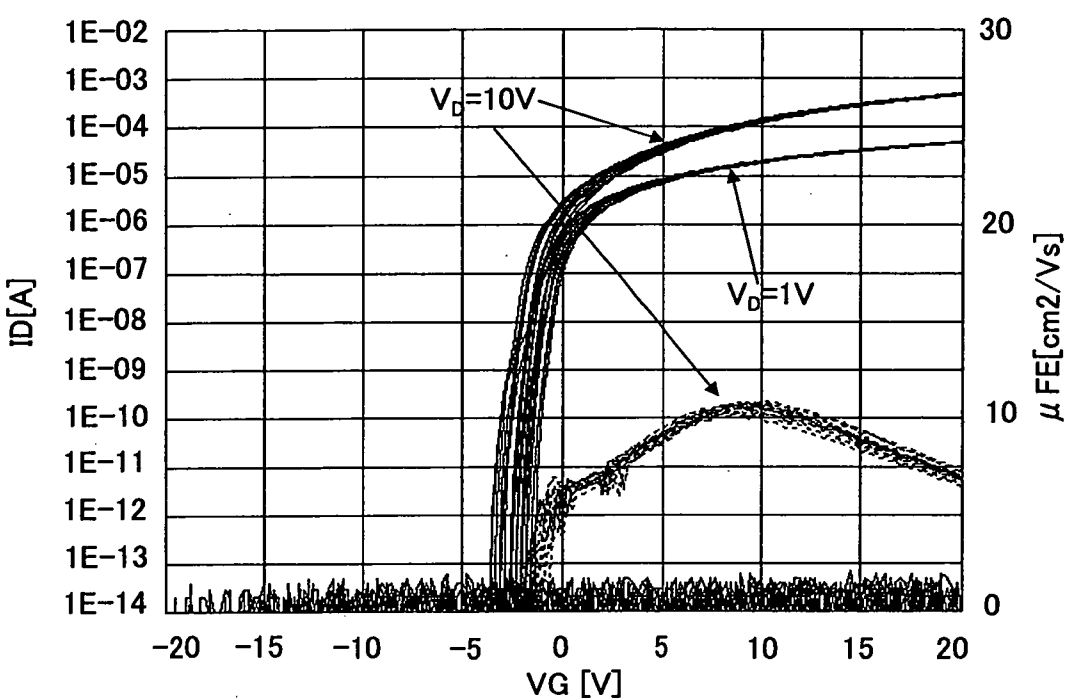


圖 6B

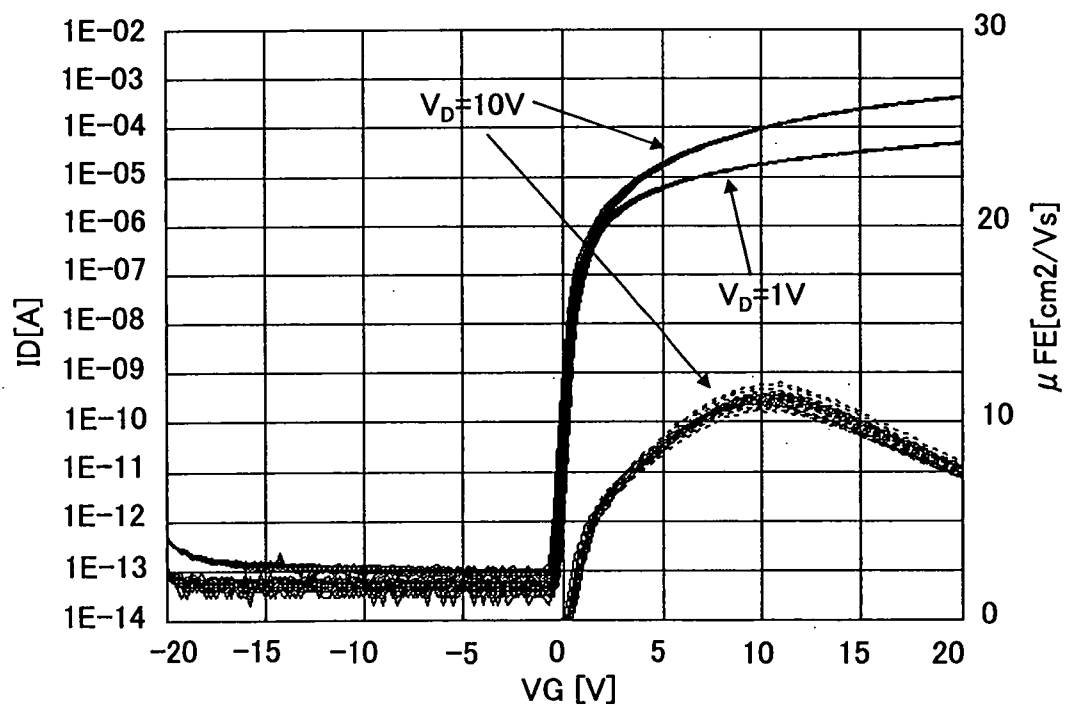


圖 7A1

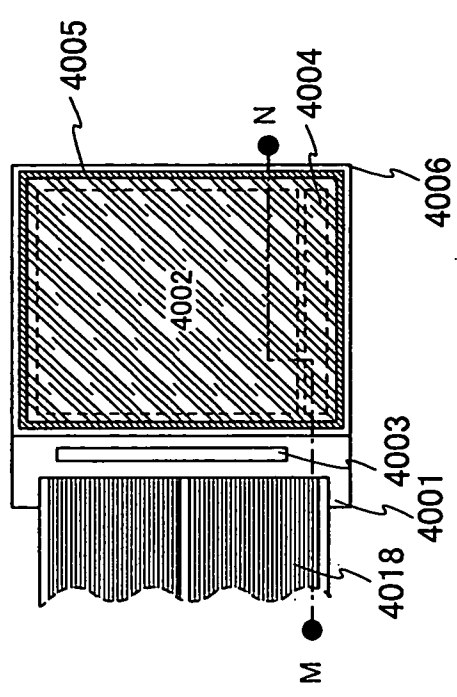


圖 7A2

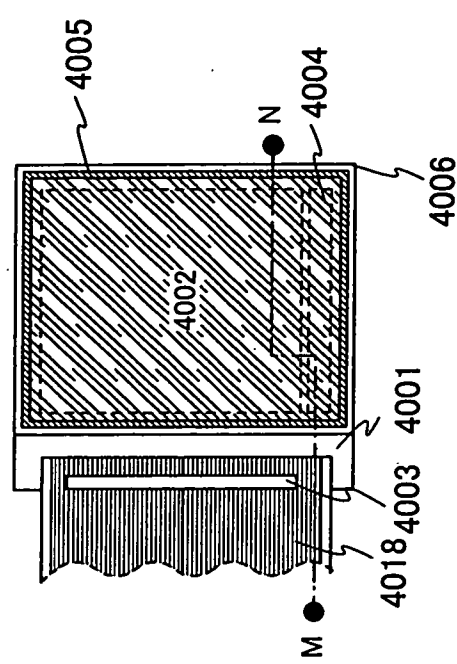


圖 7B

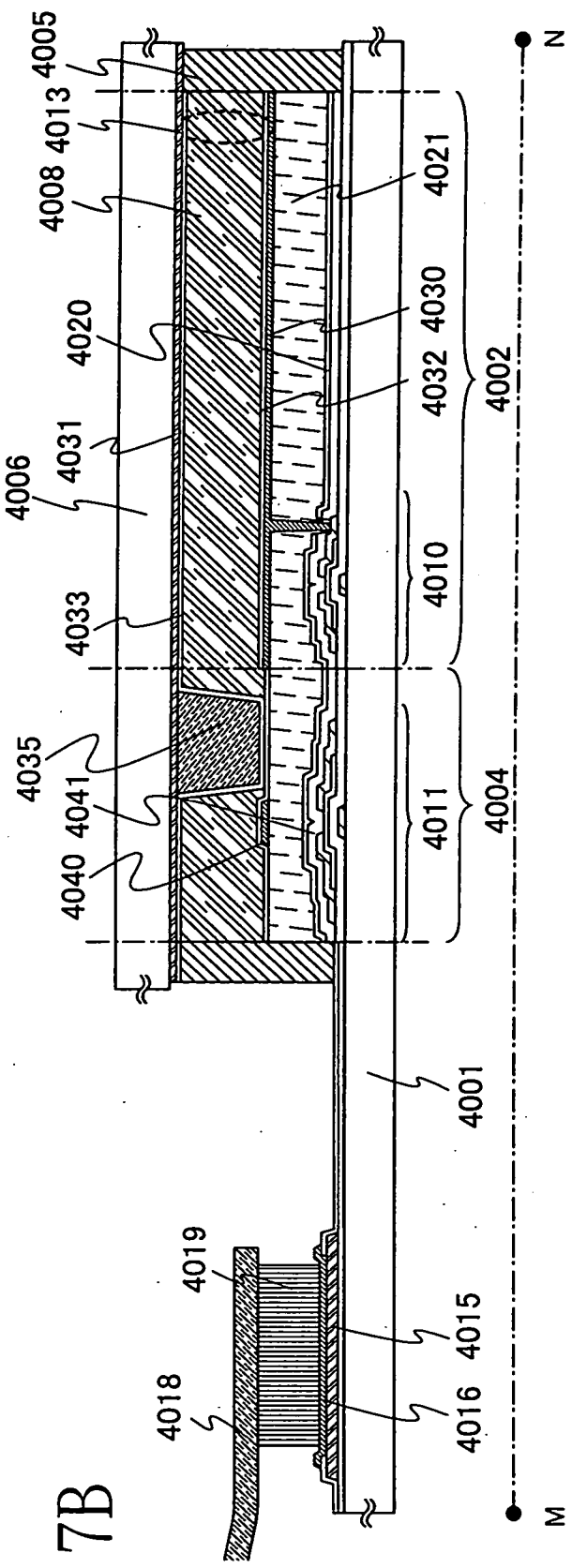


圖 8A

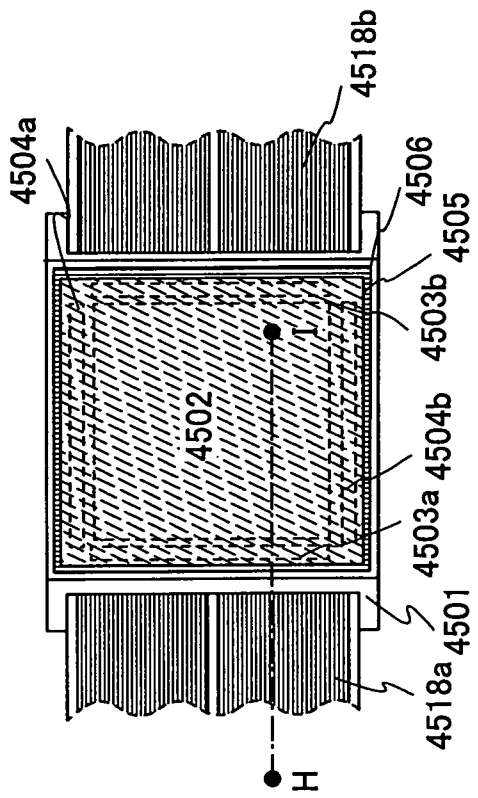


圖 8B

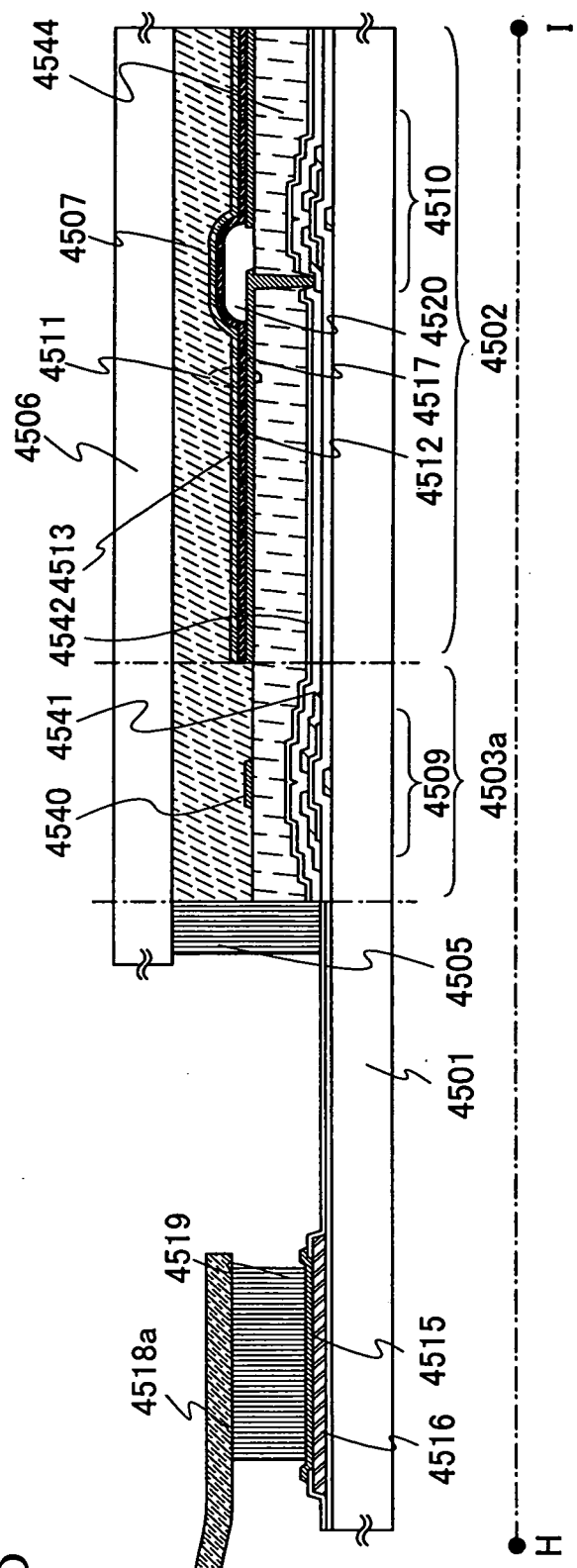


圖 9

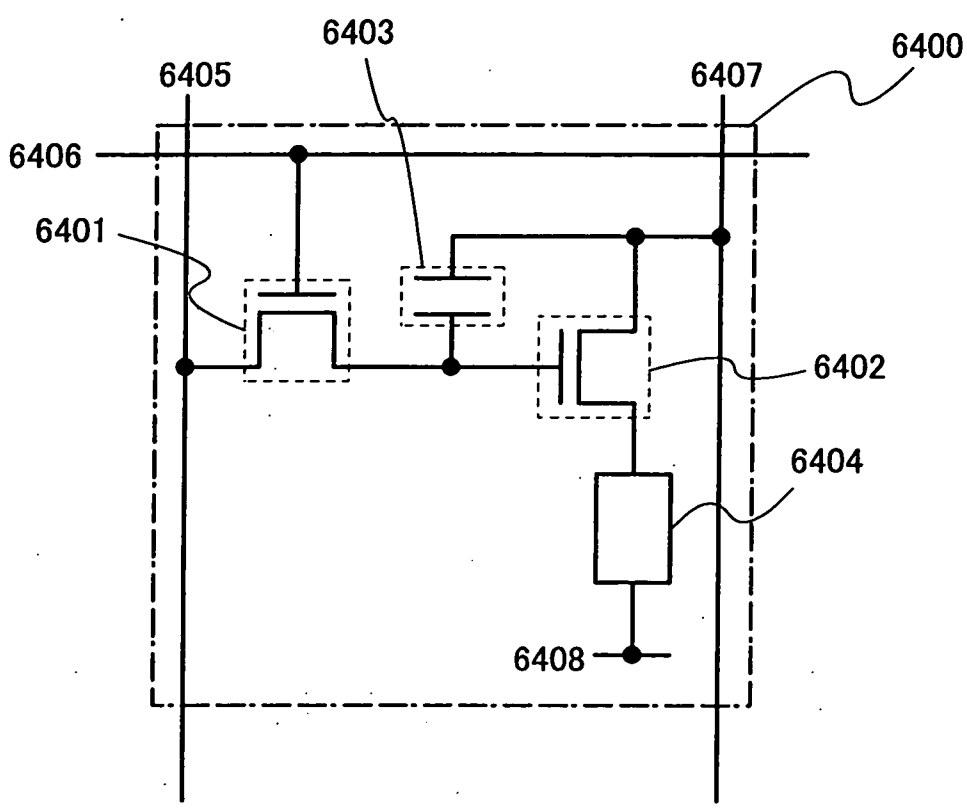


圖 10A

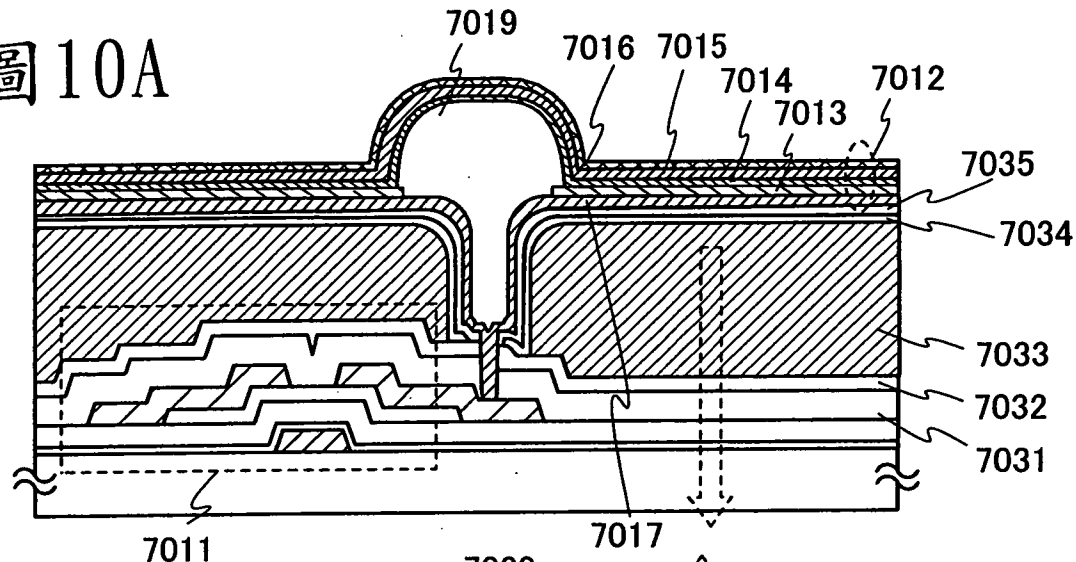


圖 10B

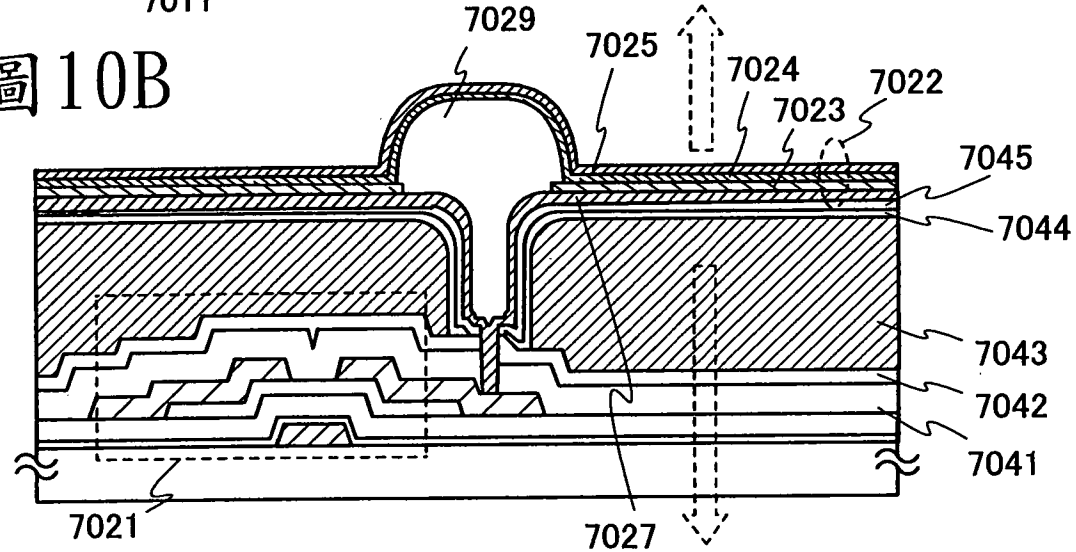


圖 10C

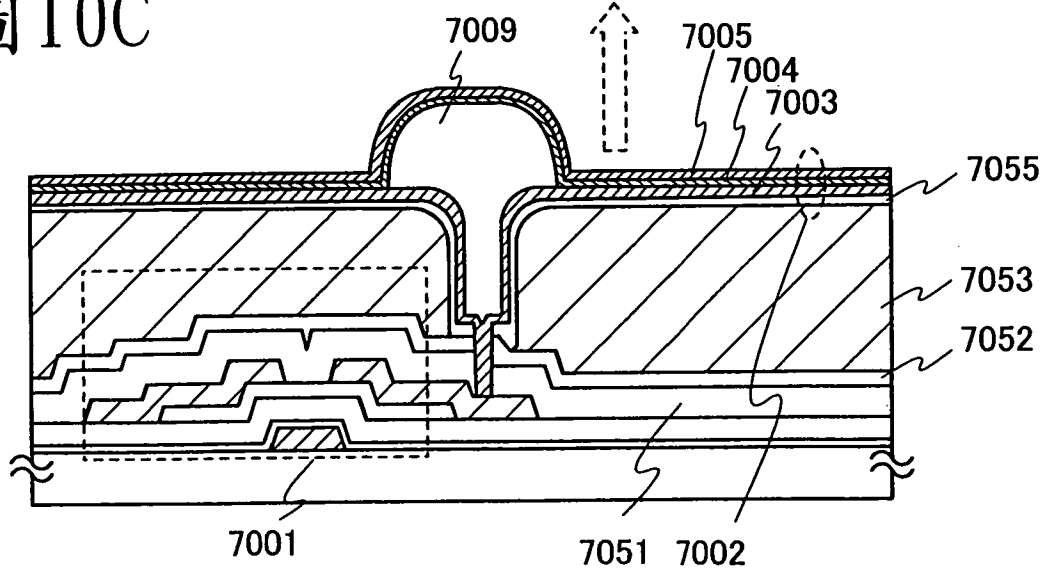


圖 11A

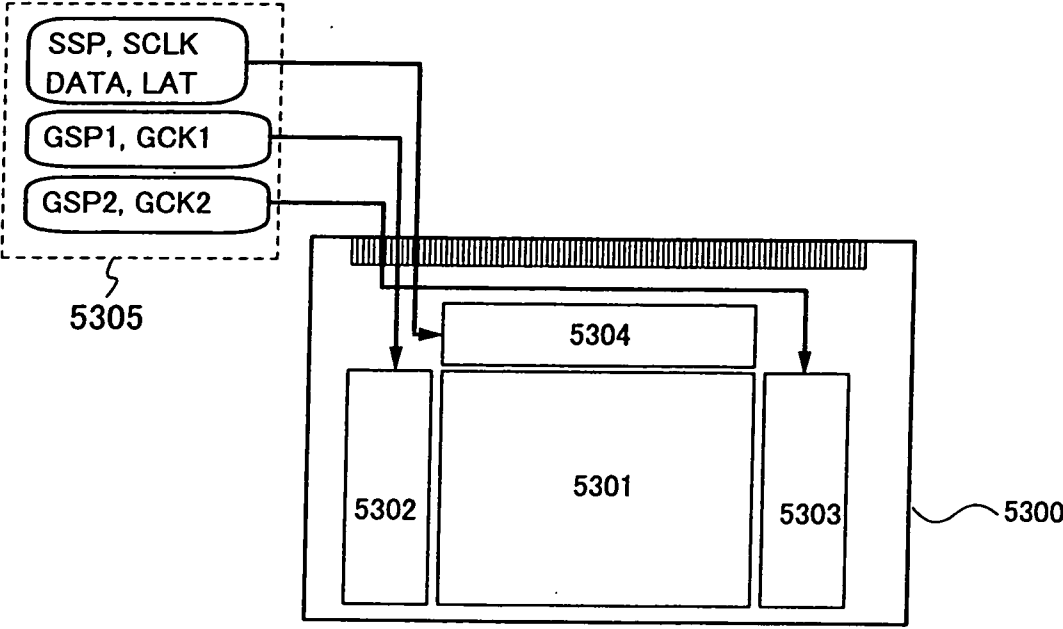


圖 11B

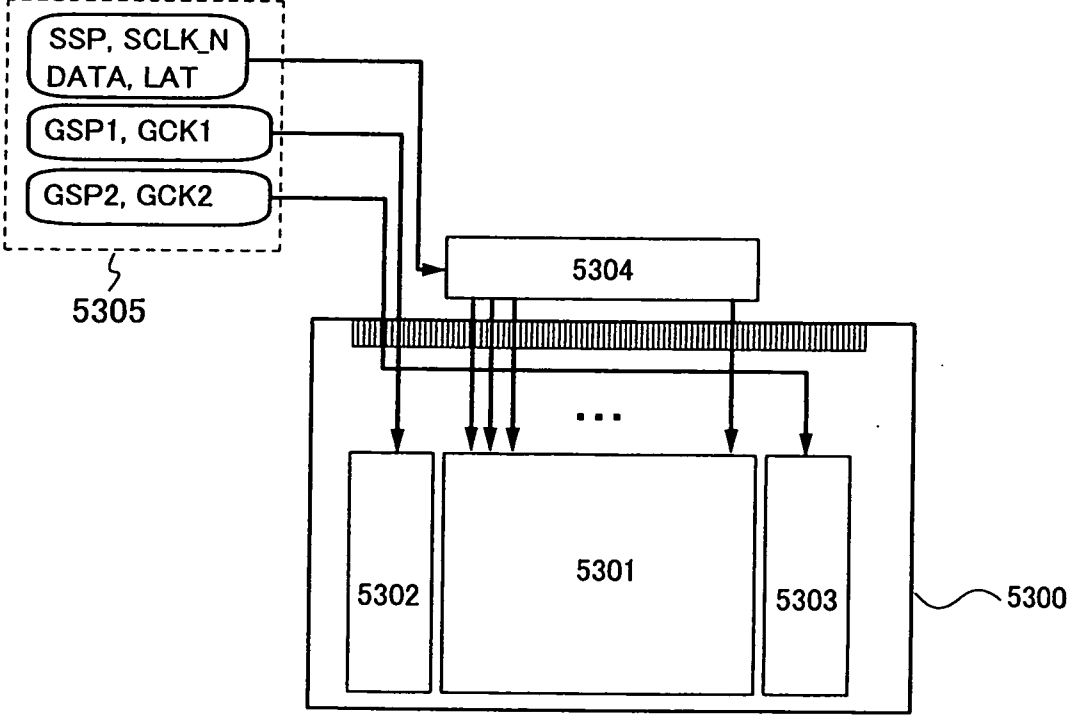


圖 12A

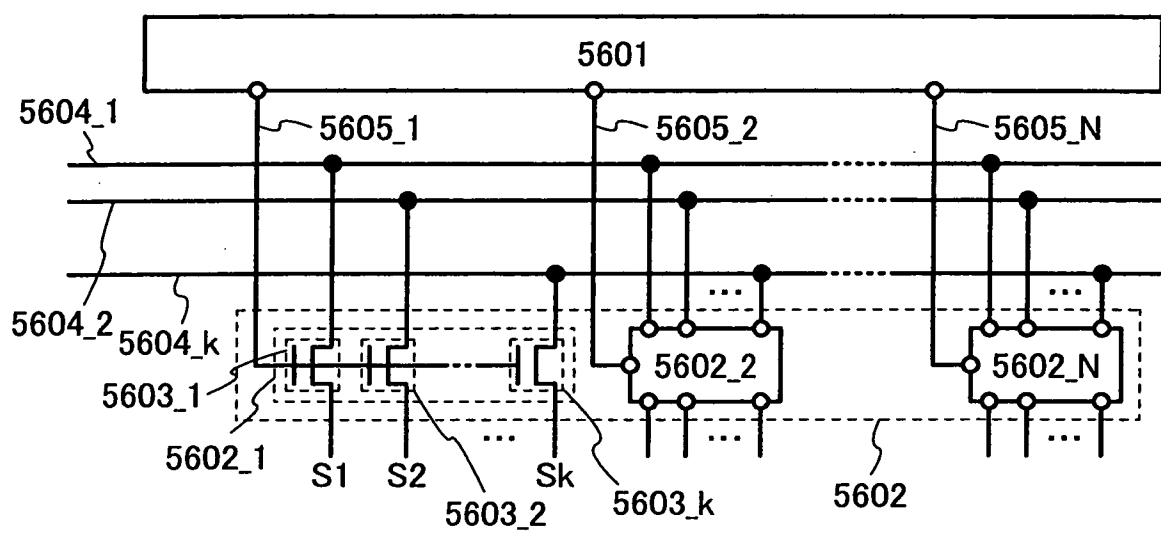
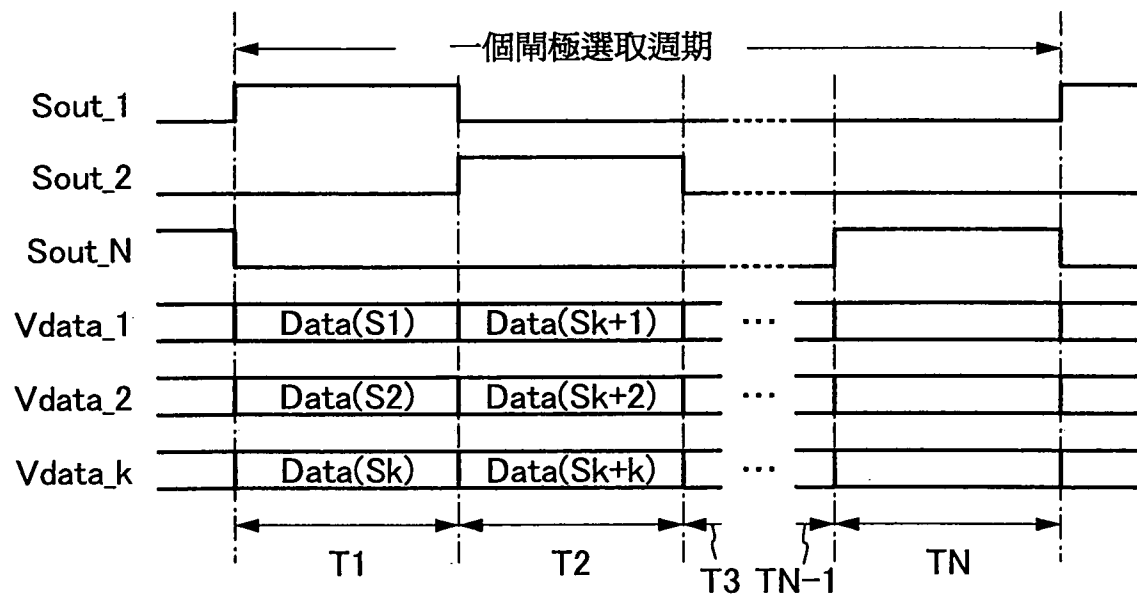


圖 12B



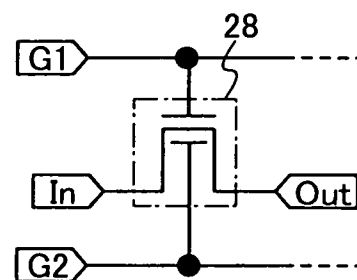
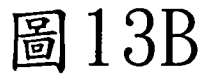


圖 14A

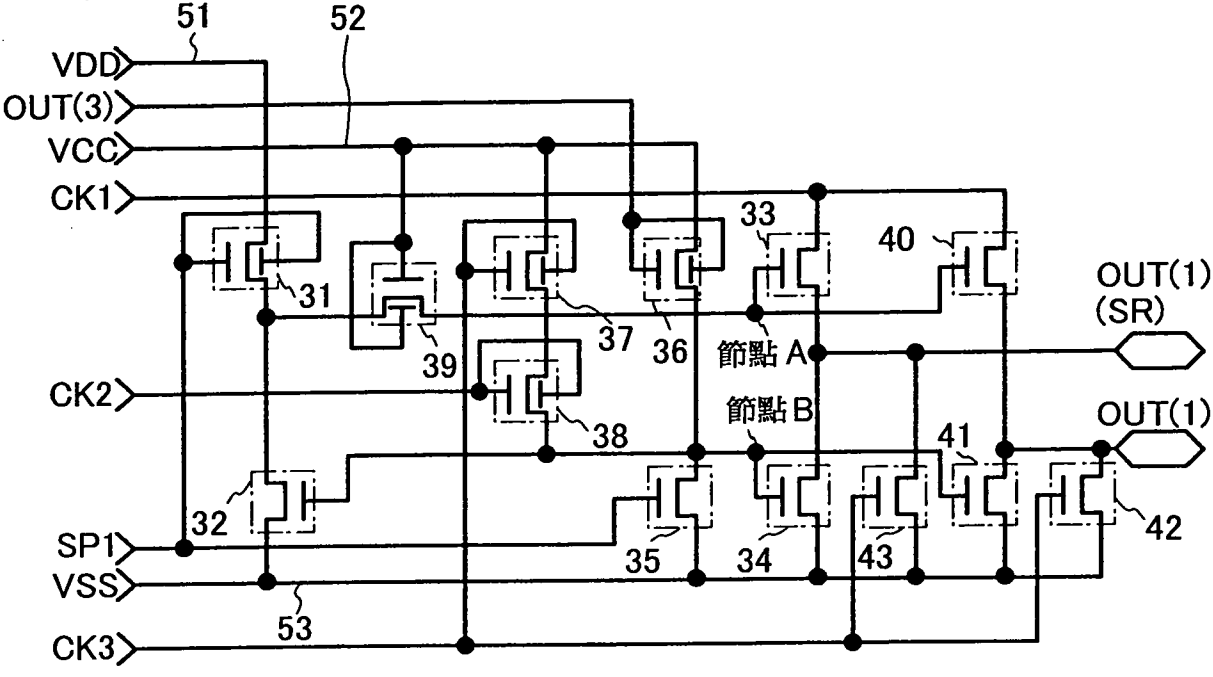


圖 14B

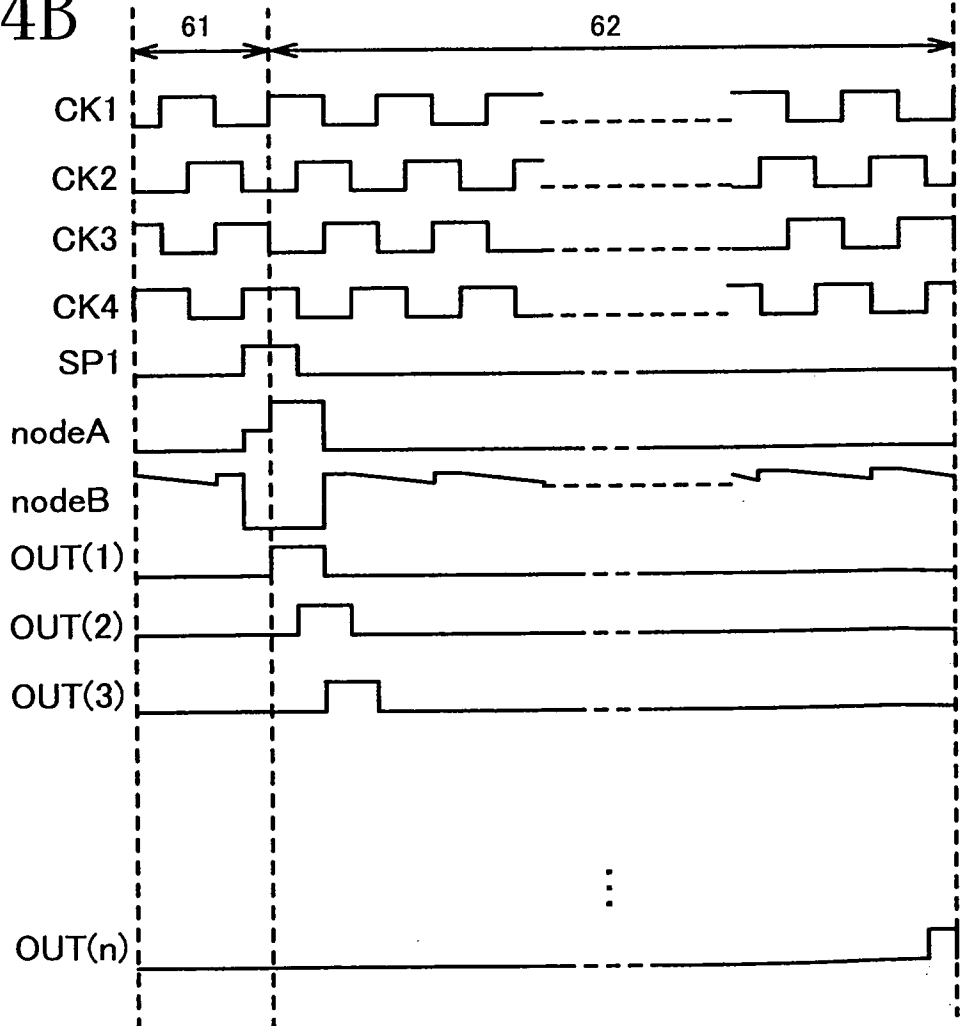


圖15

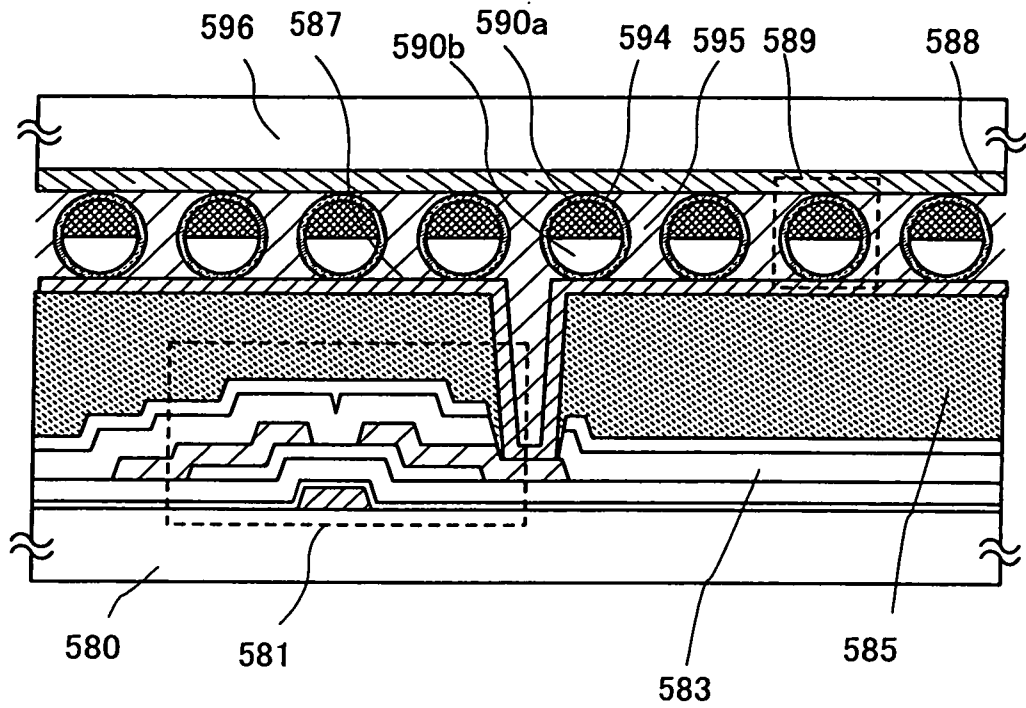


圖16

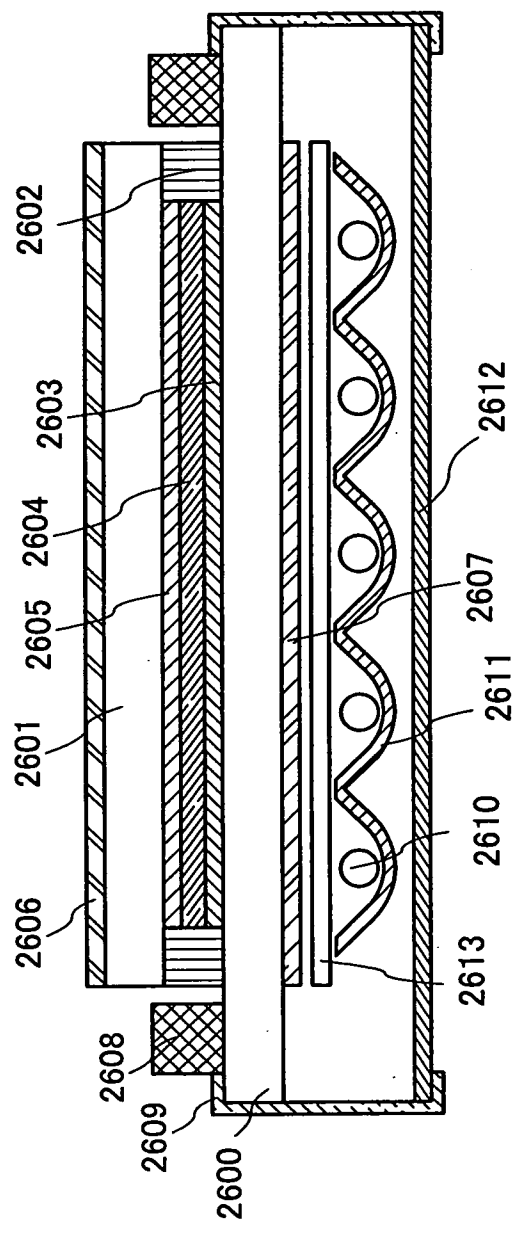


圖 17

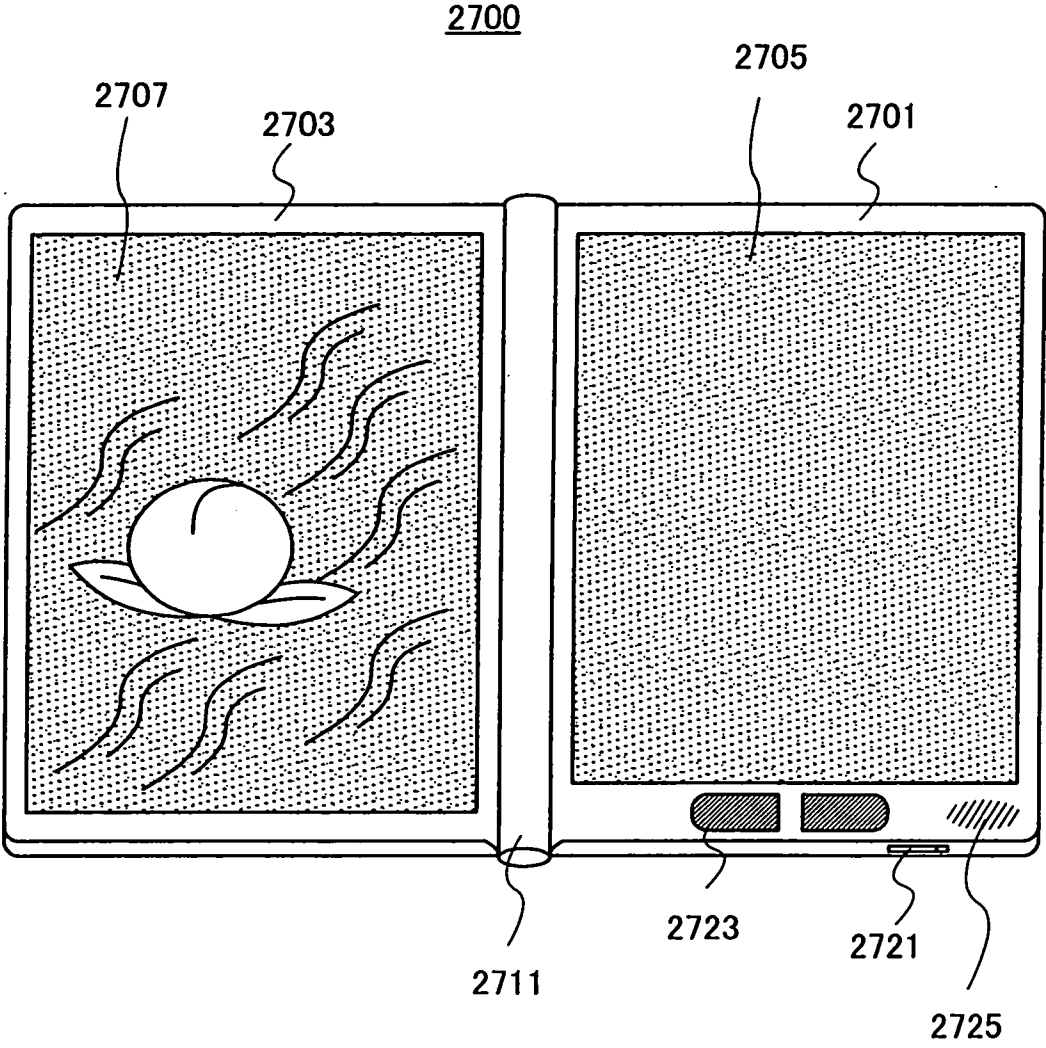


圖 18A

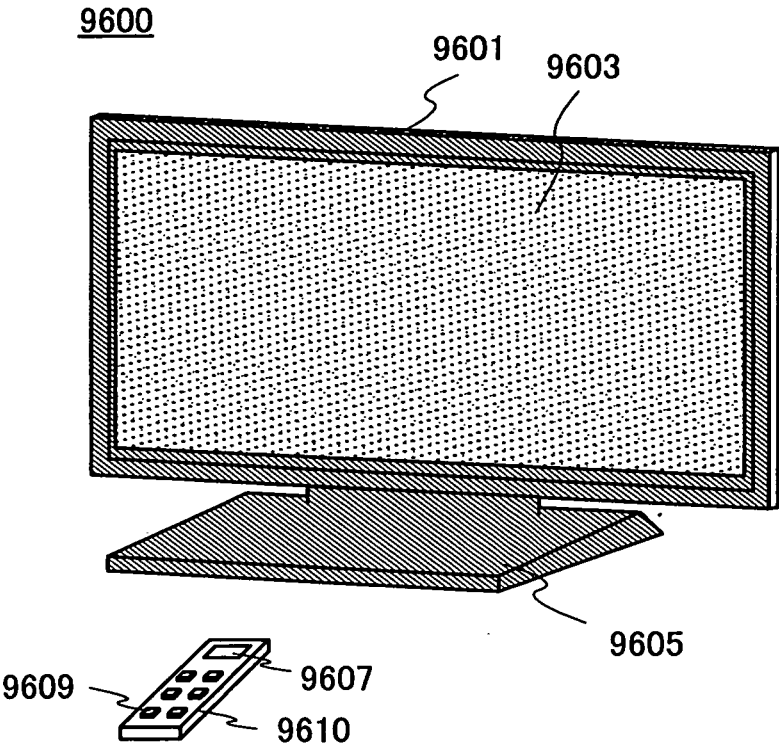


圖 18B

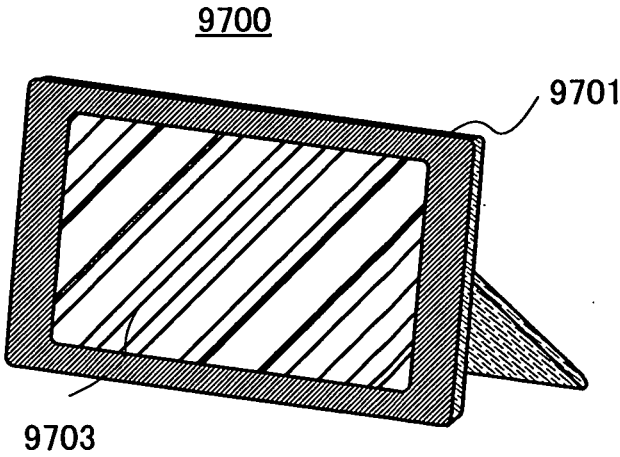


圖 19A

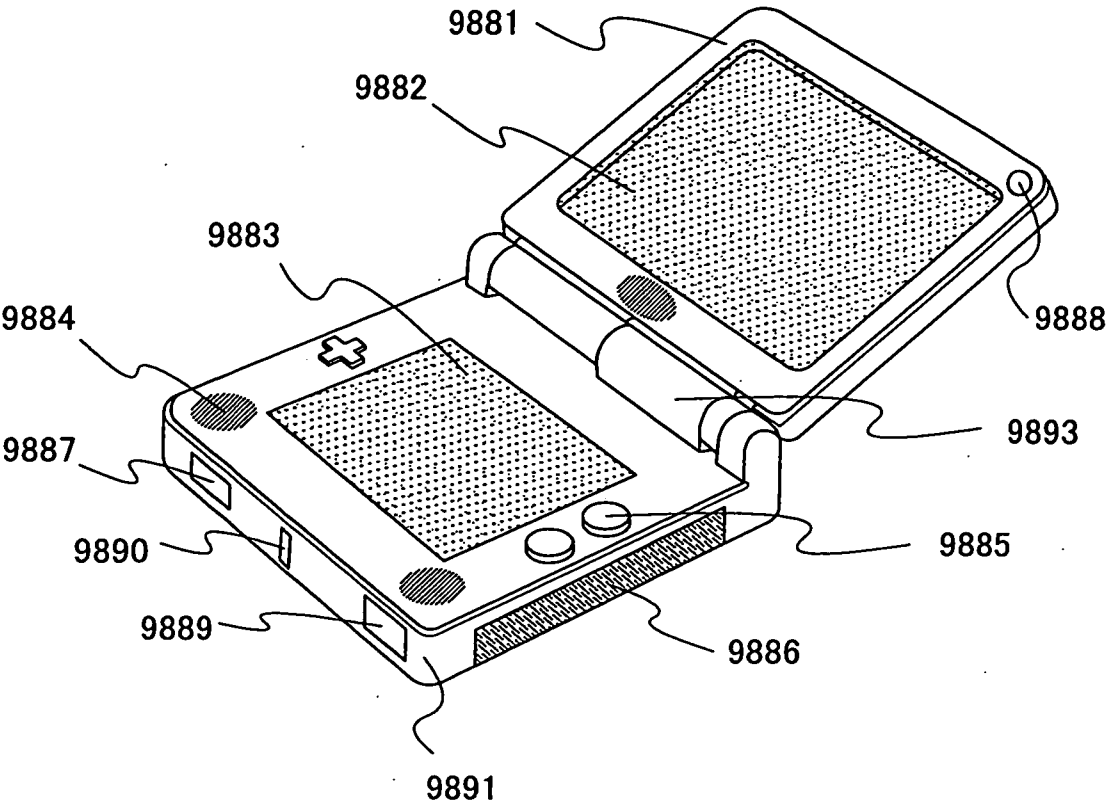


圖 19B

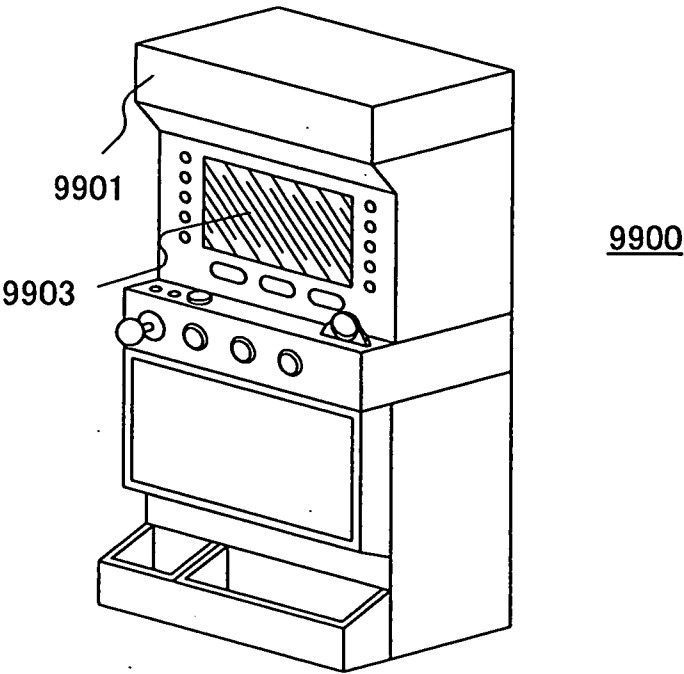


圖 20A

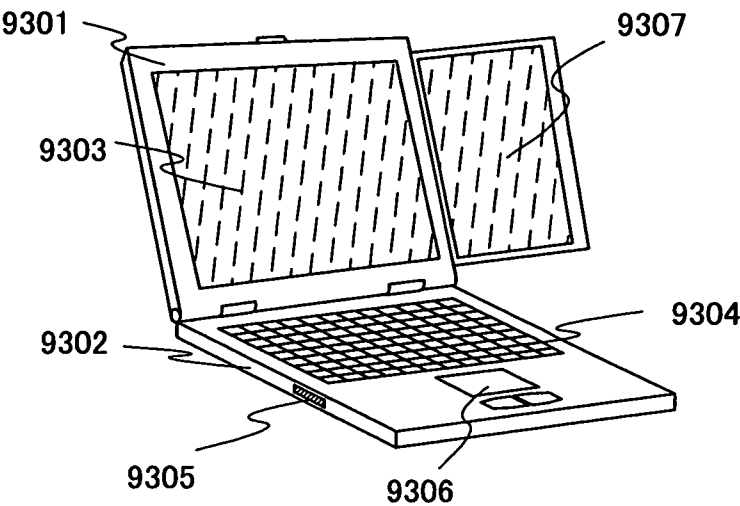


圖 20B

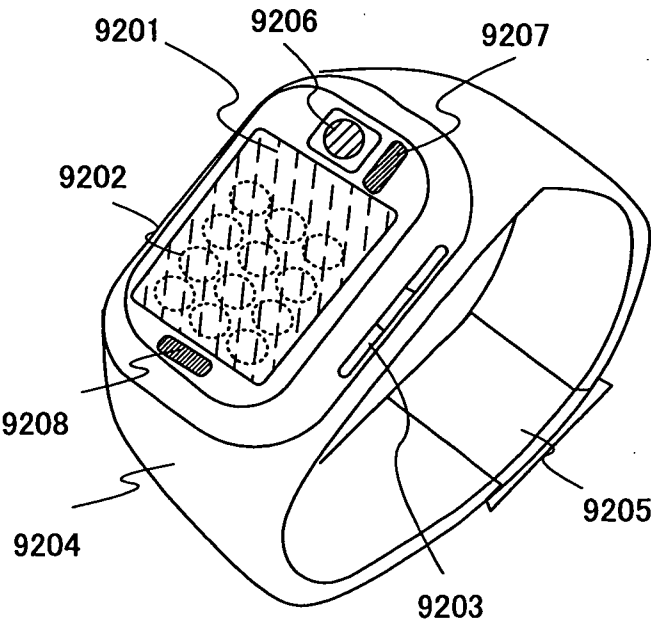


圖21

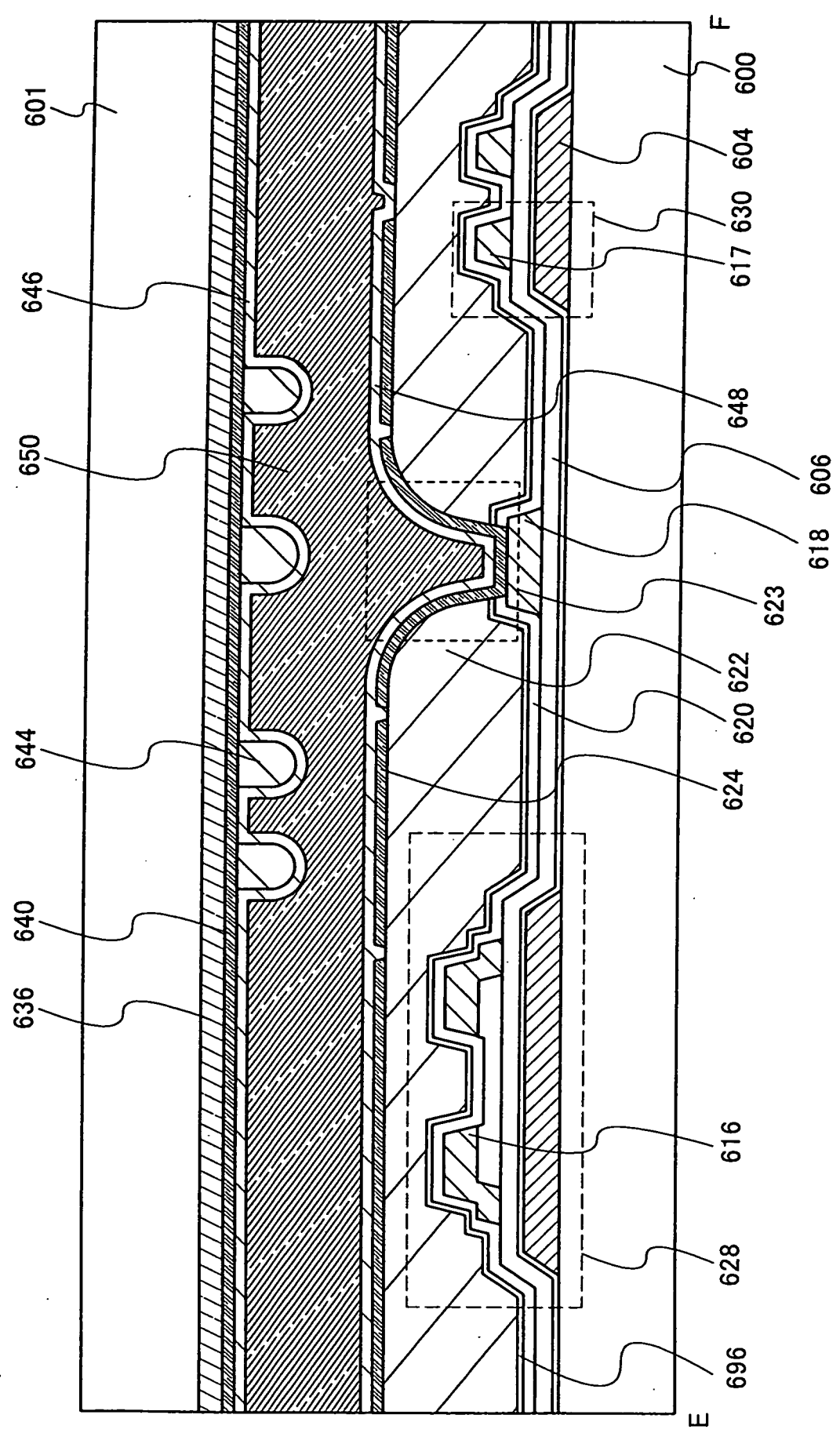


圖 22

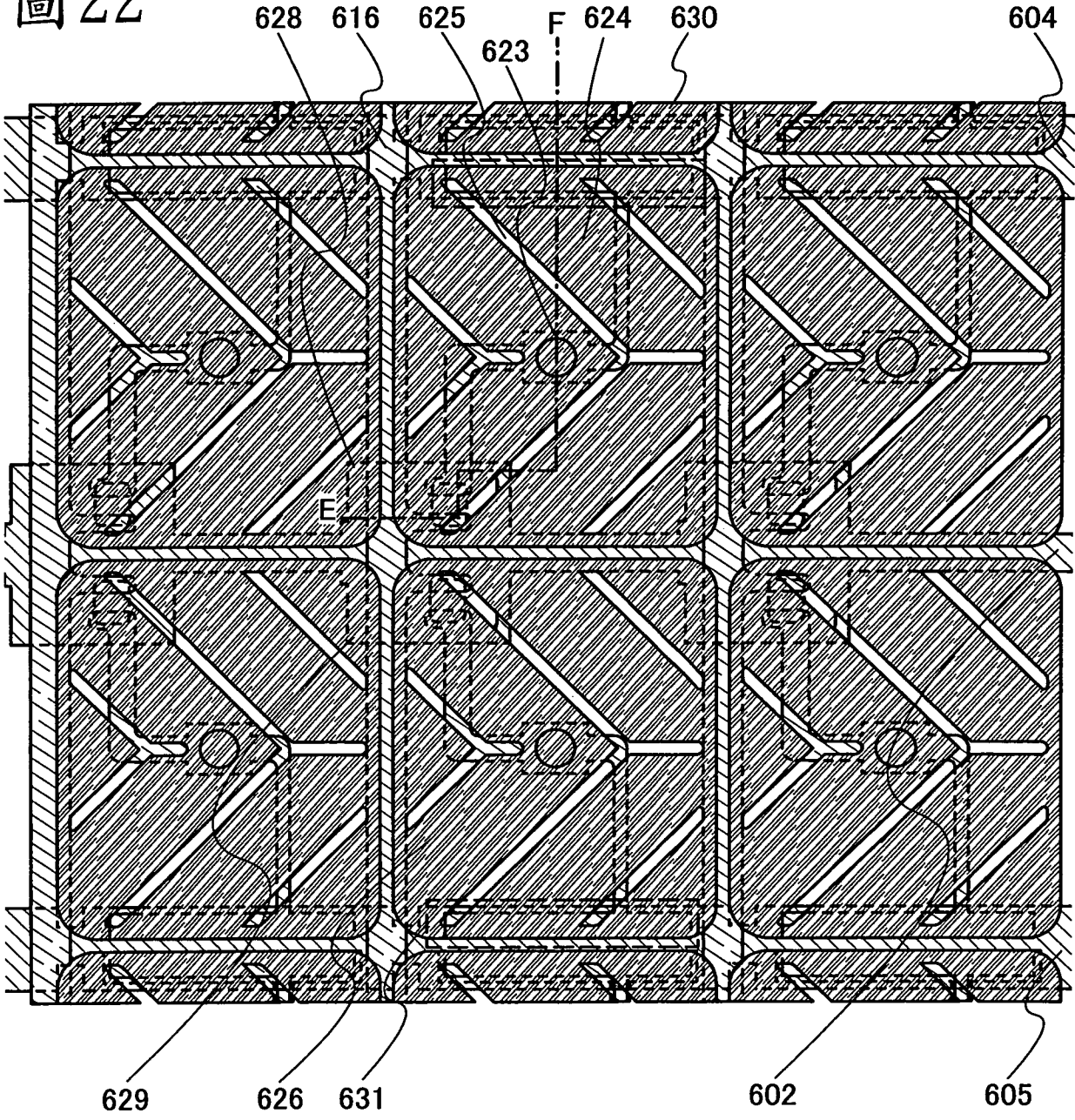


圖 23

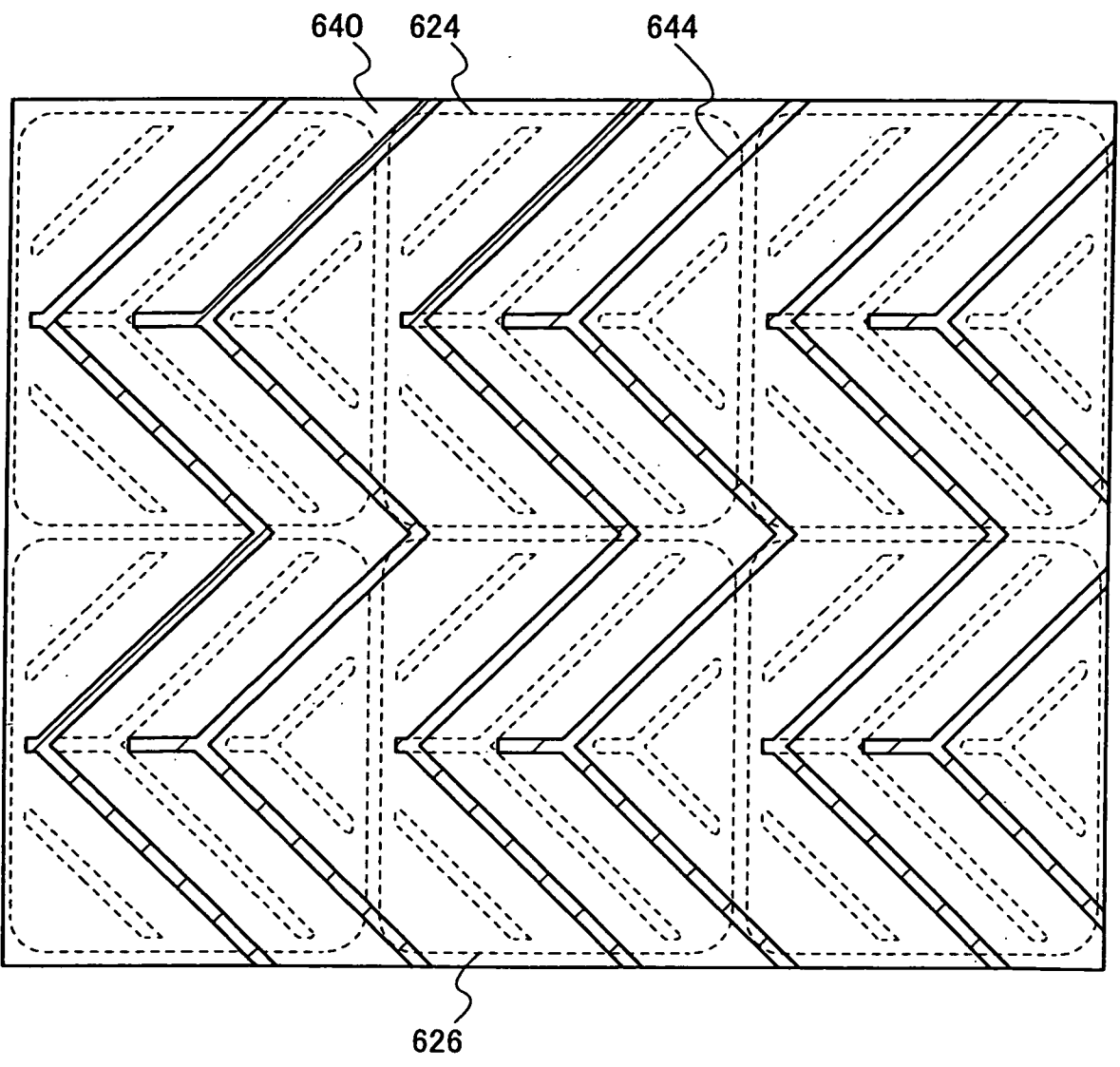


圖 24

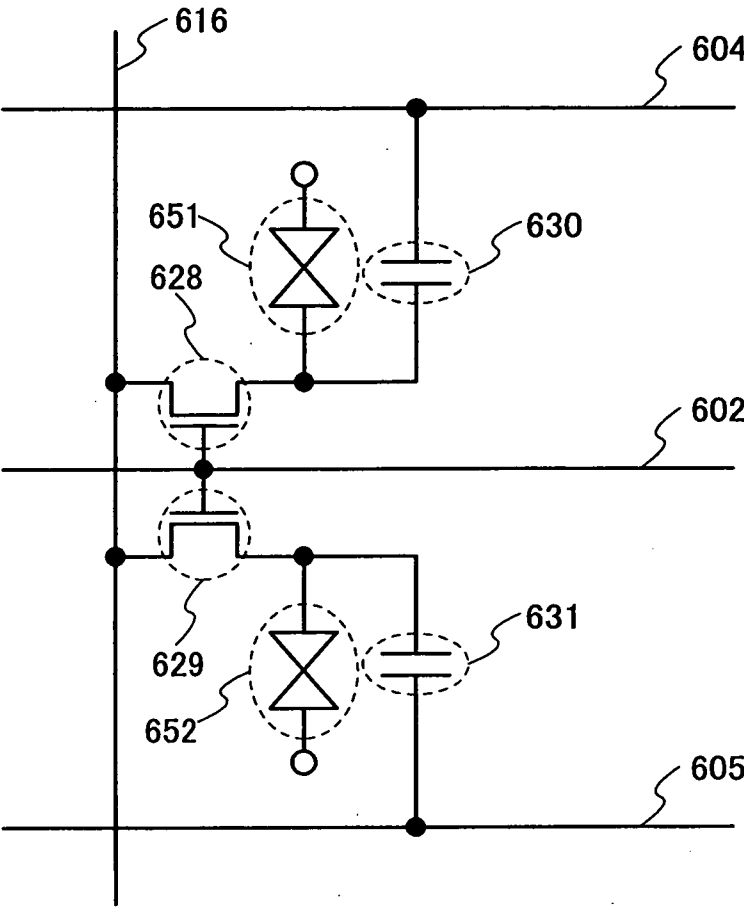


圖 25

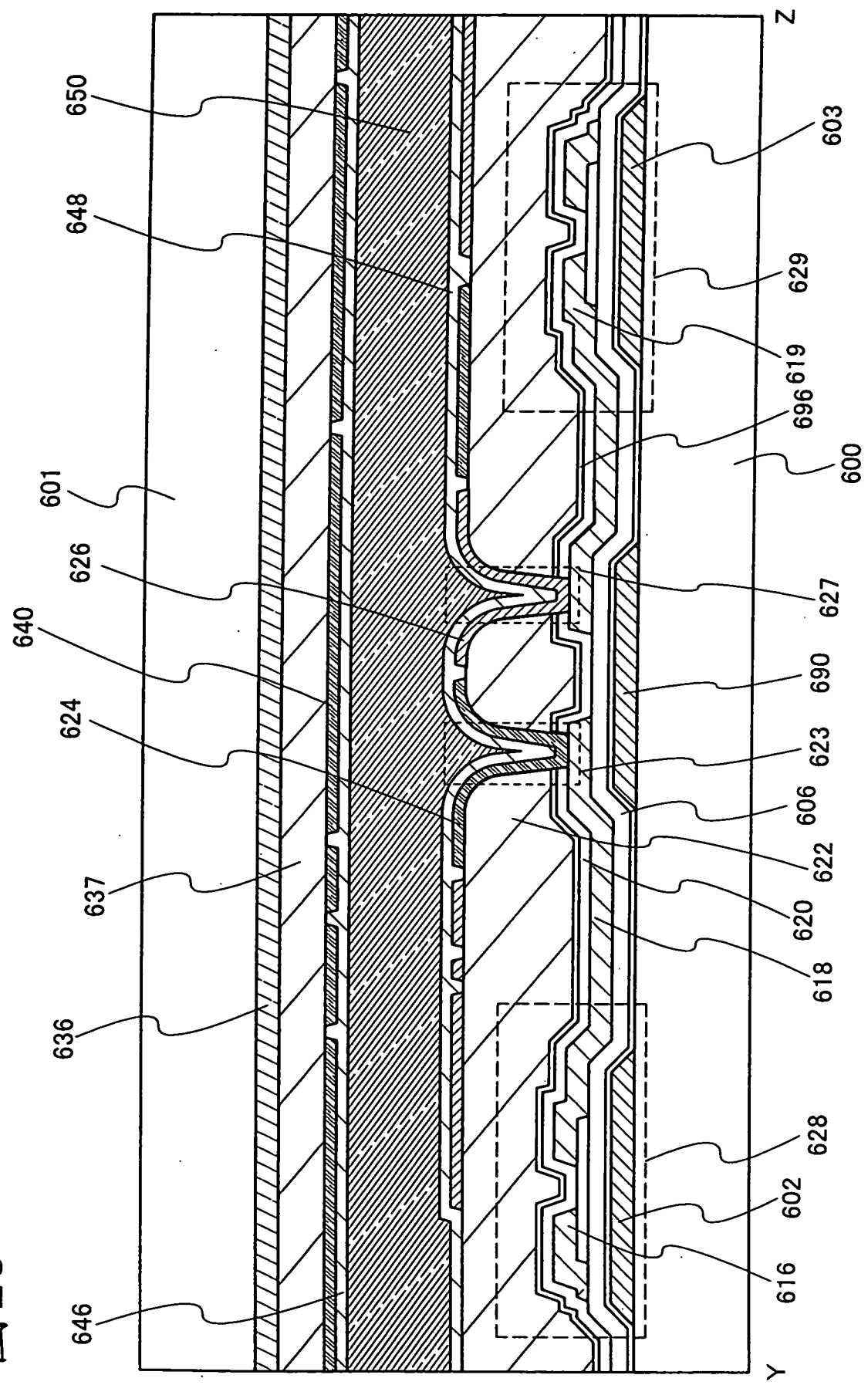


圖 26

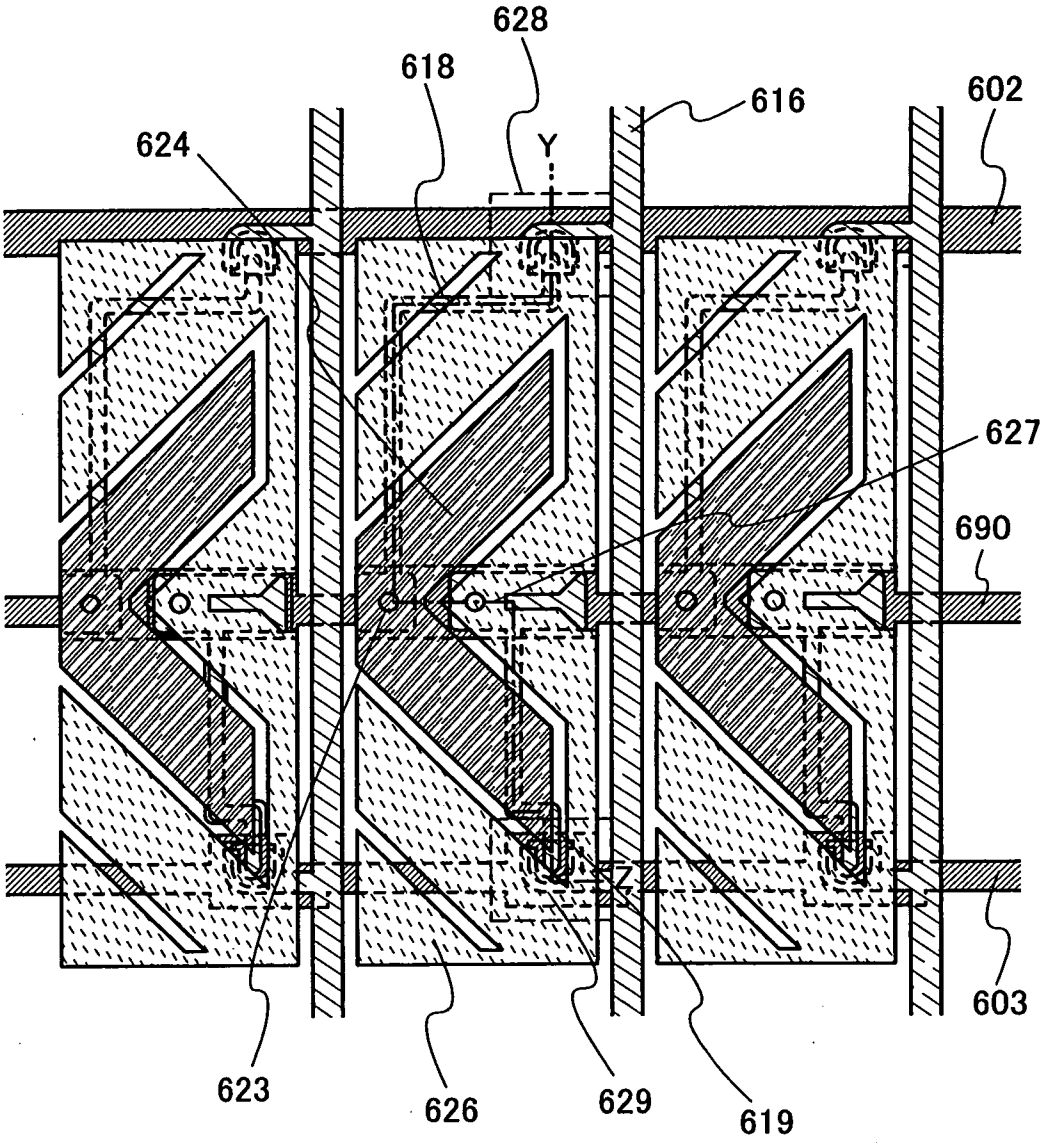


圖27

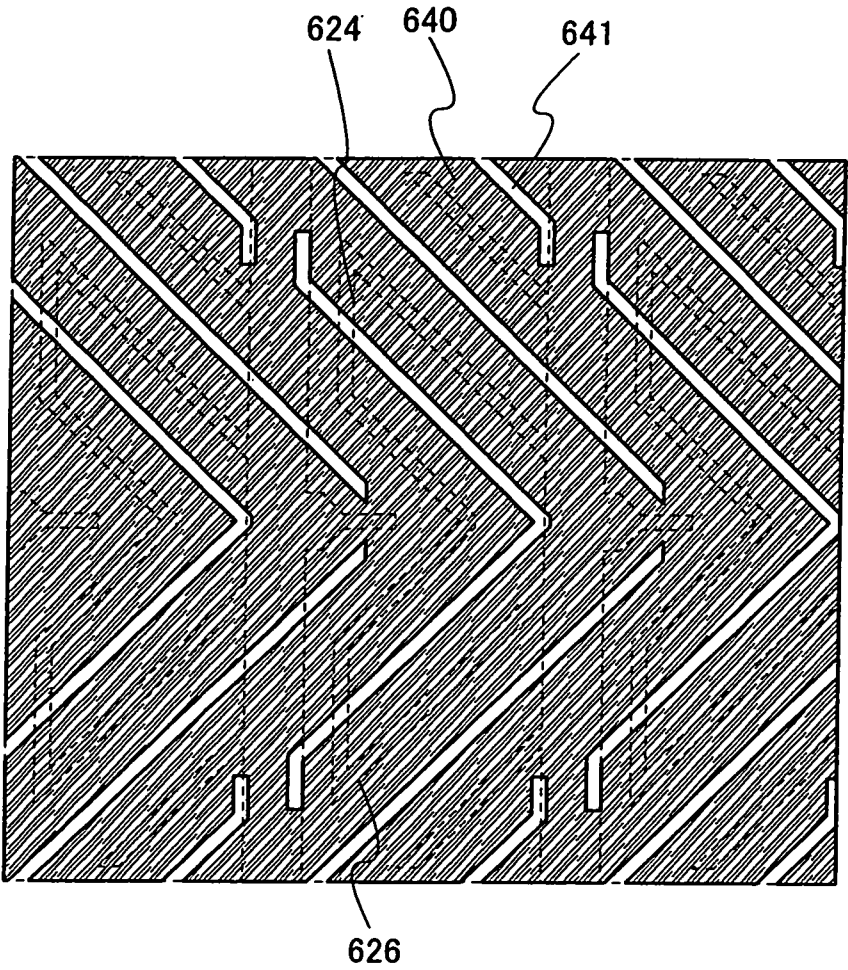


圖 28

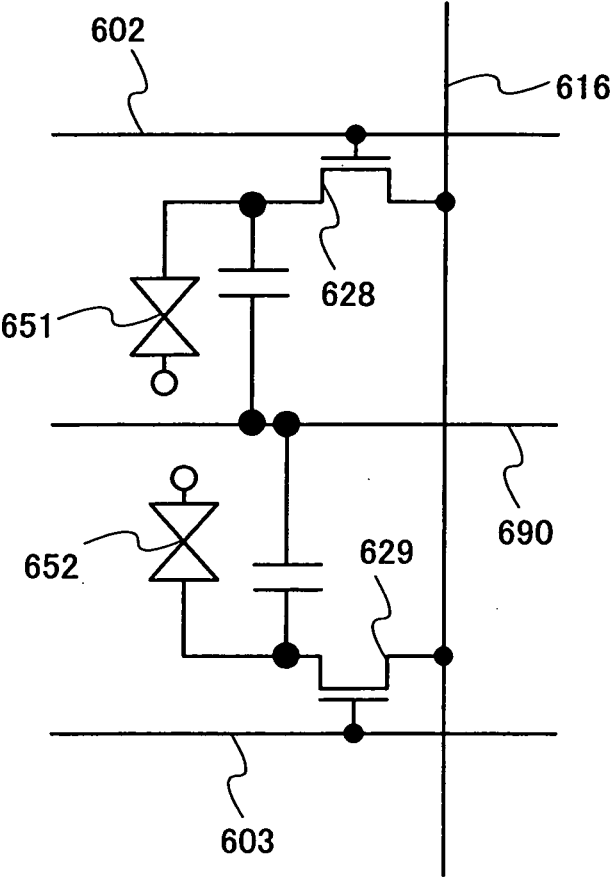


圖29

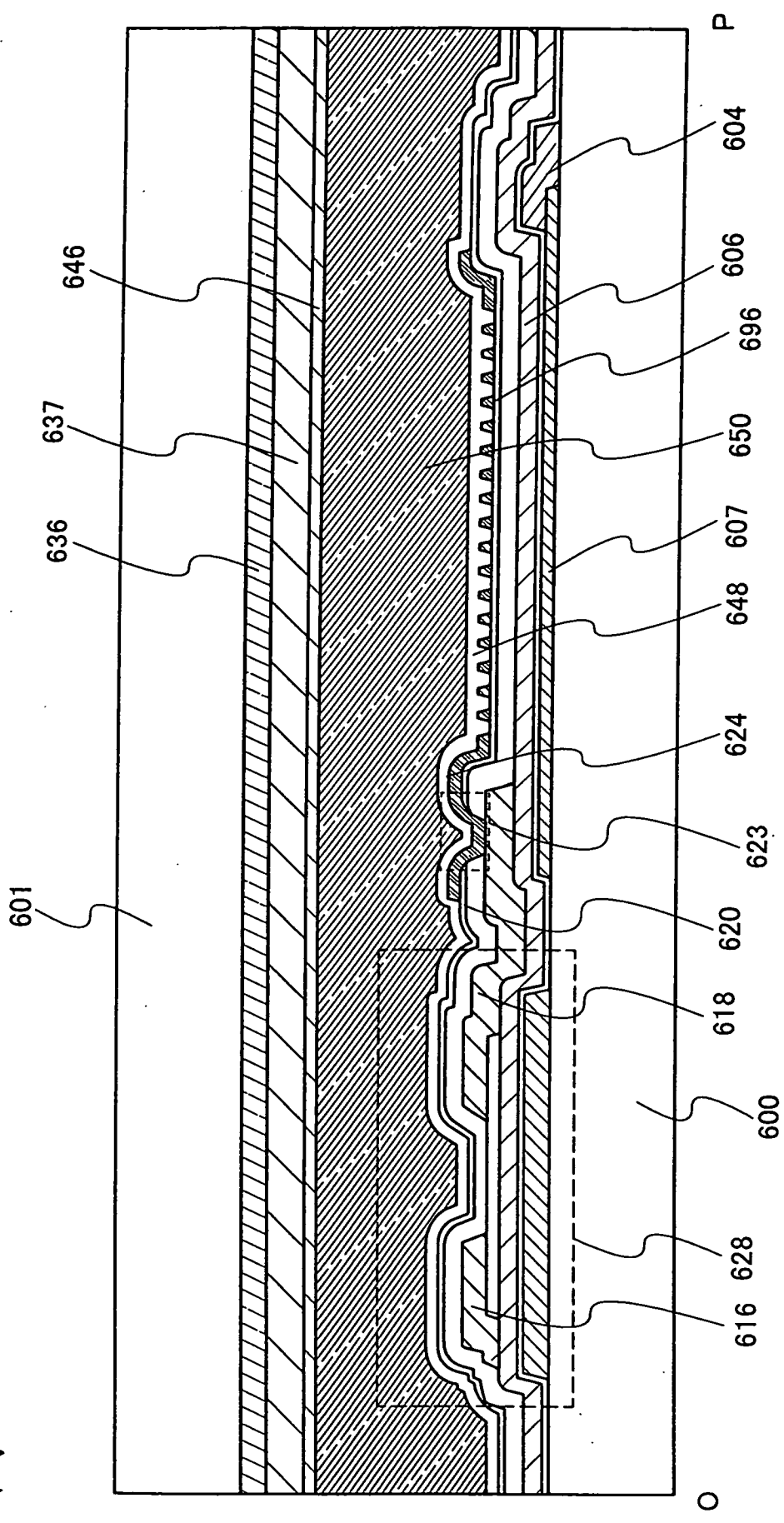


圖 30

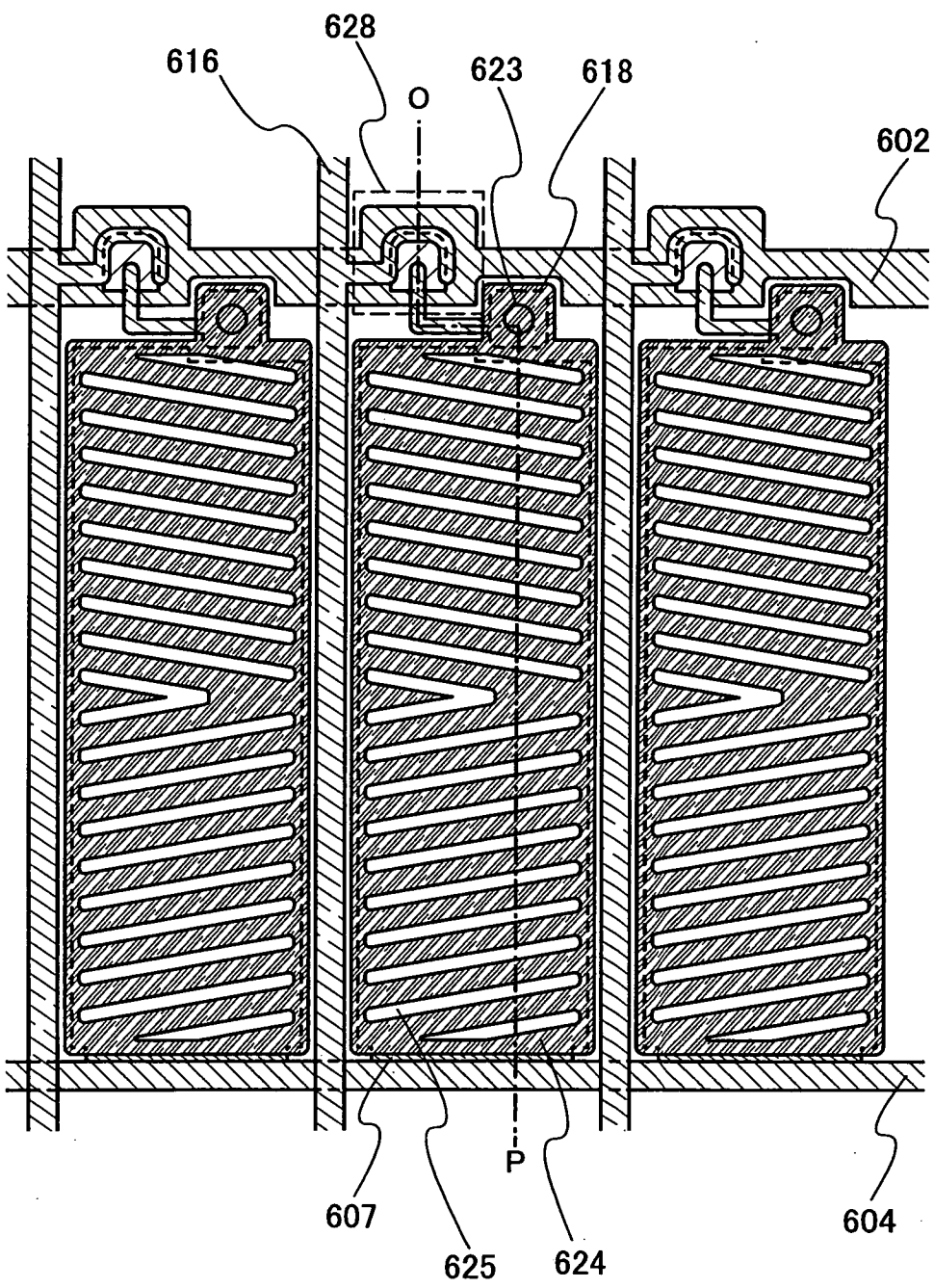


圖31

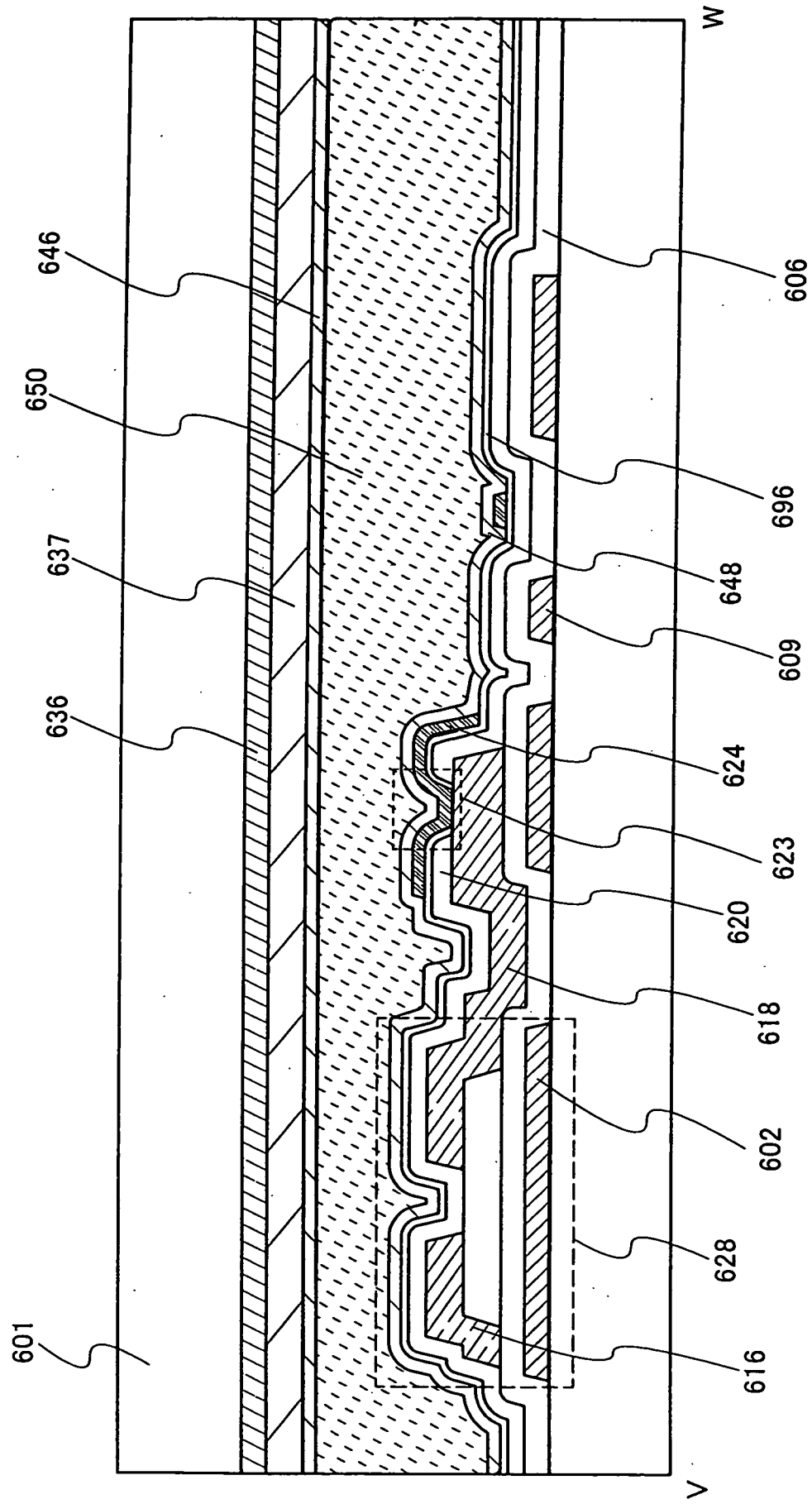


圖 32

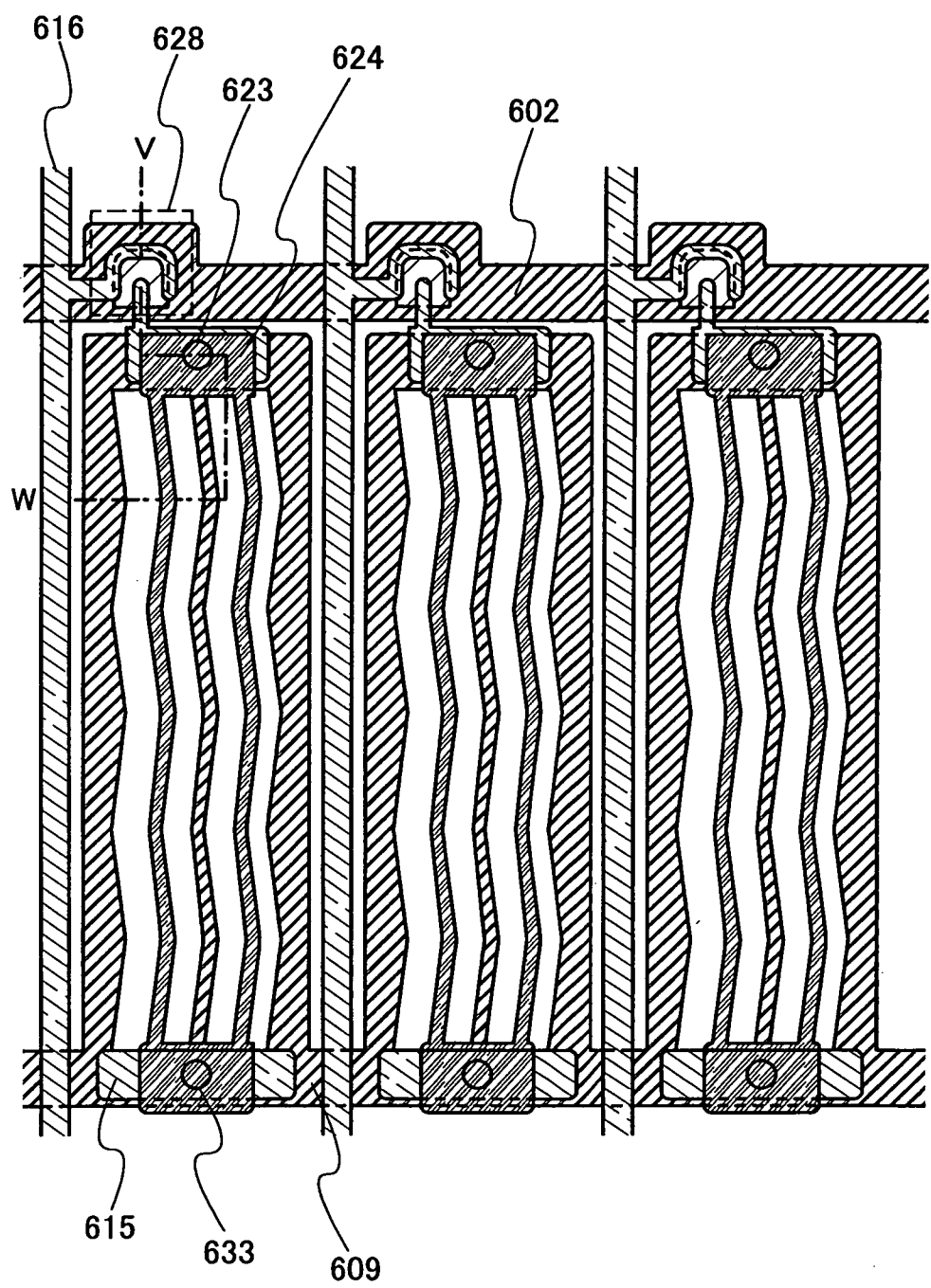


圖 33

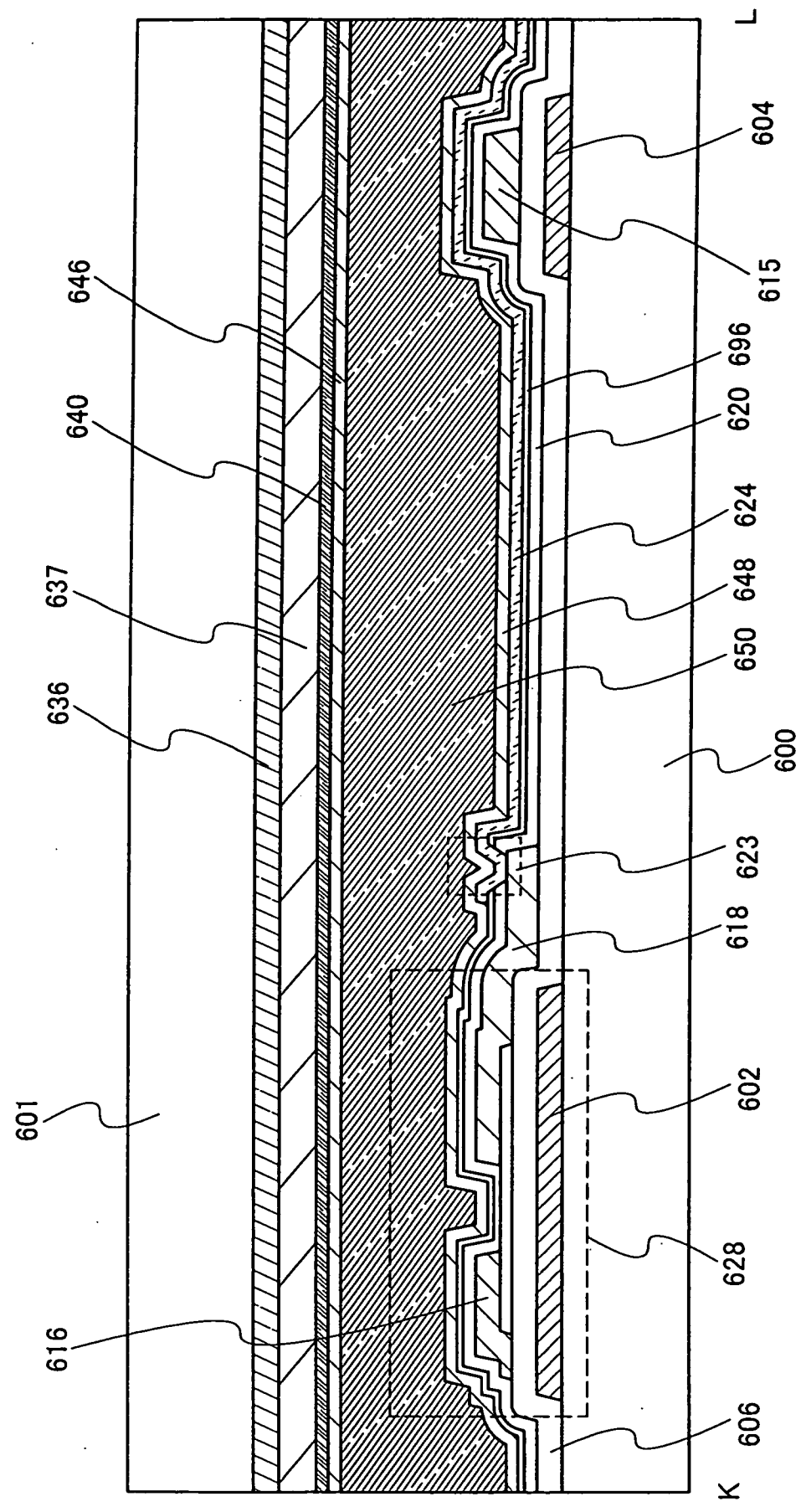


圖 34

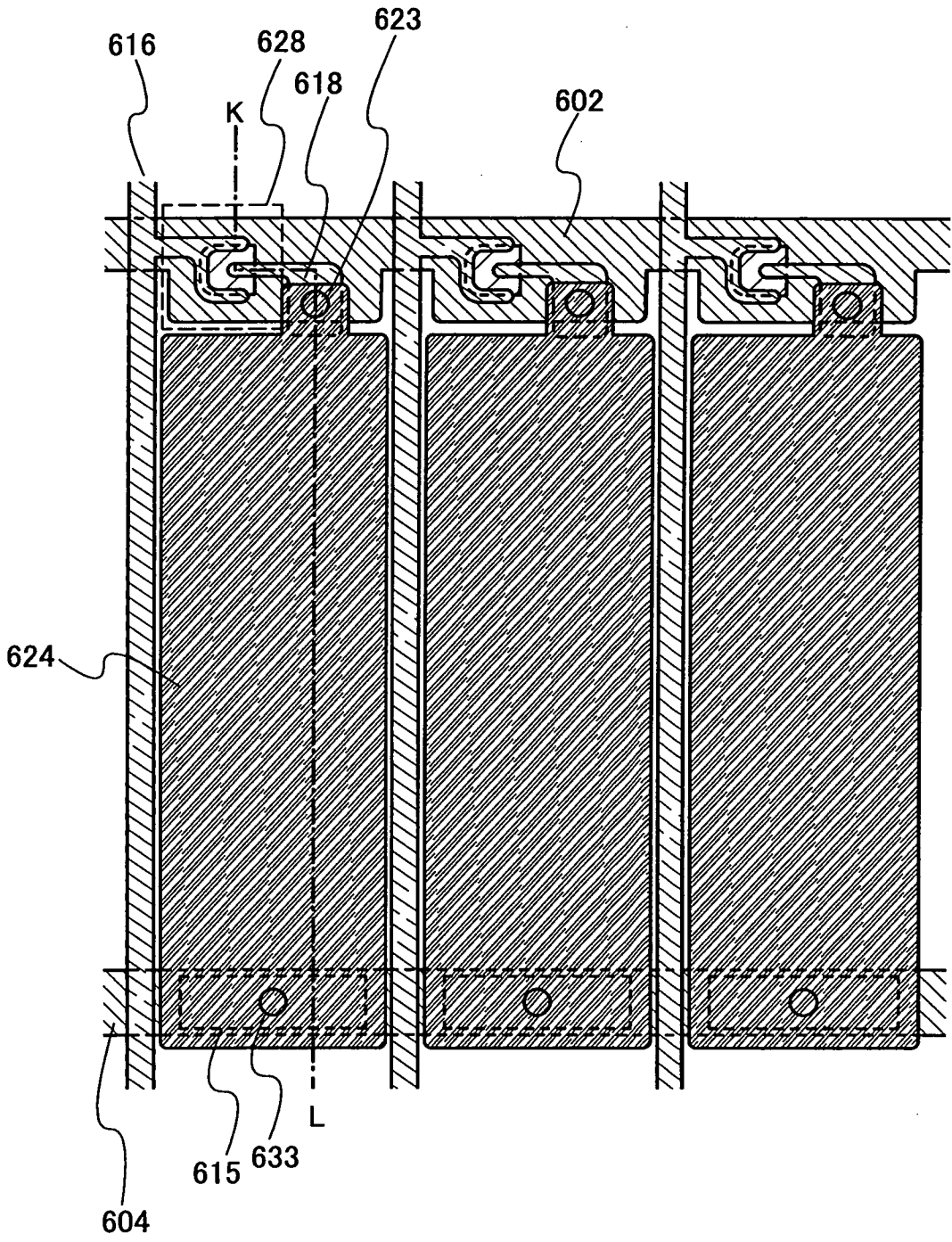
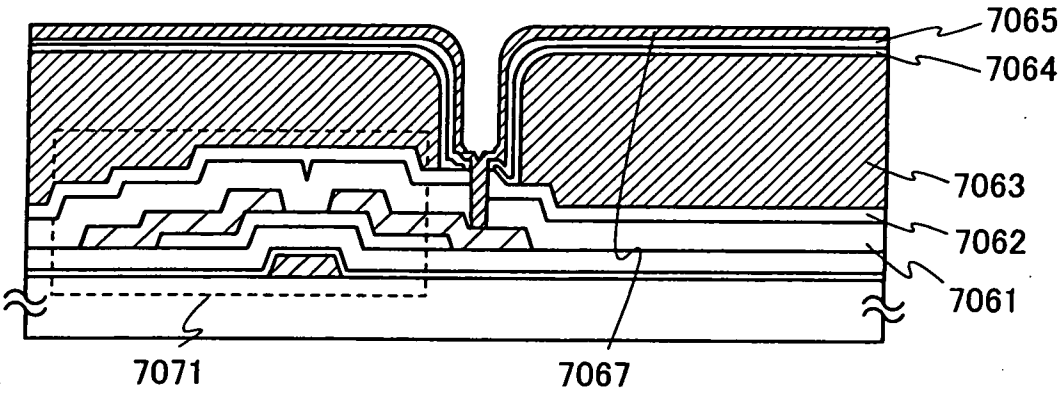


圖 35



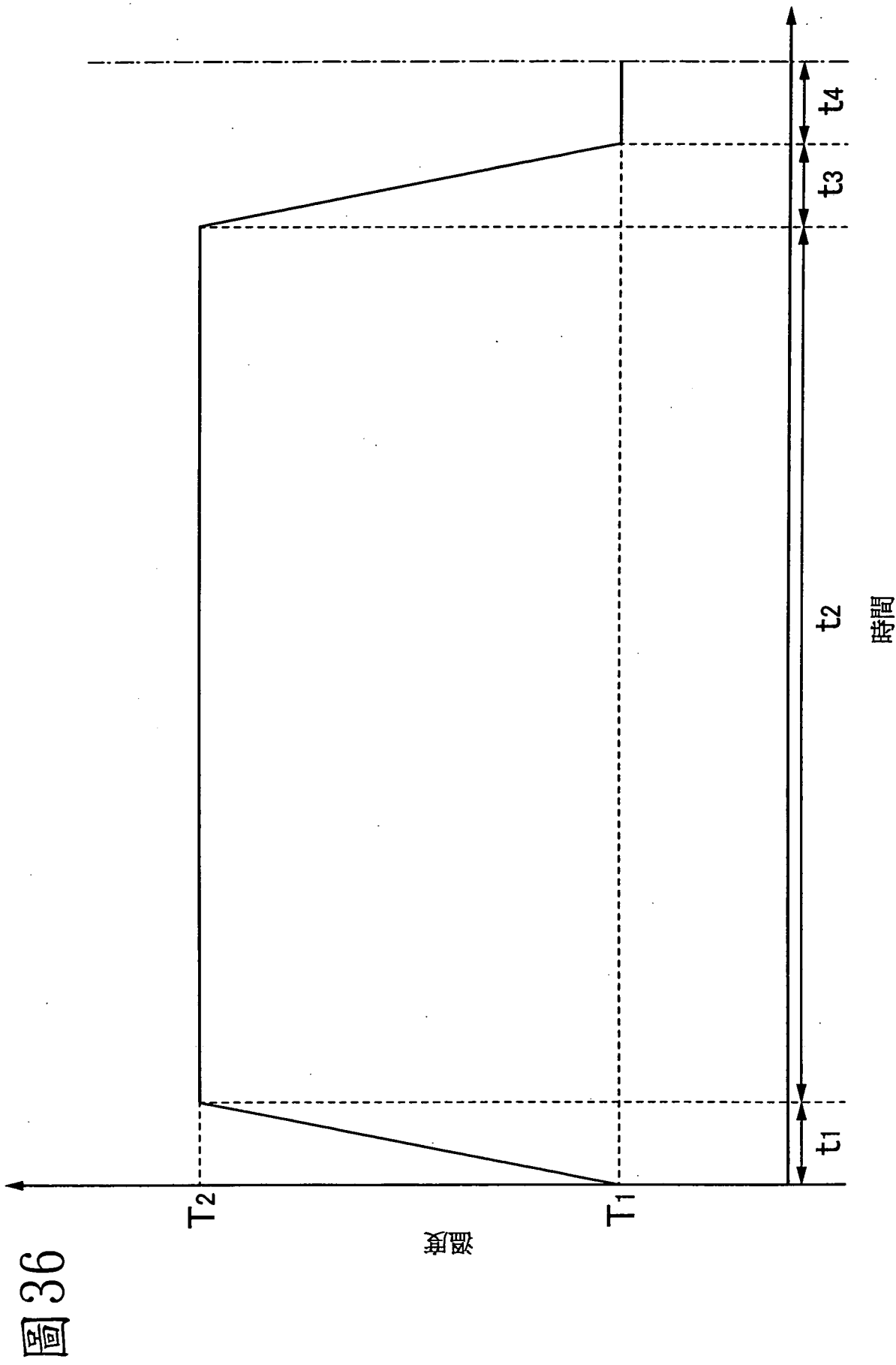


圖 37A

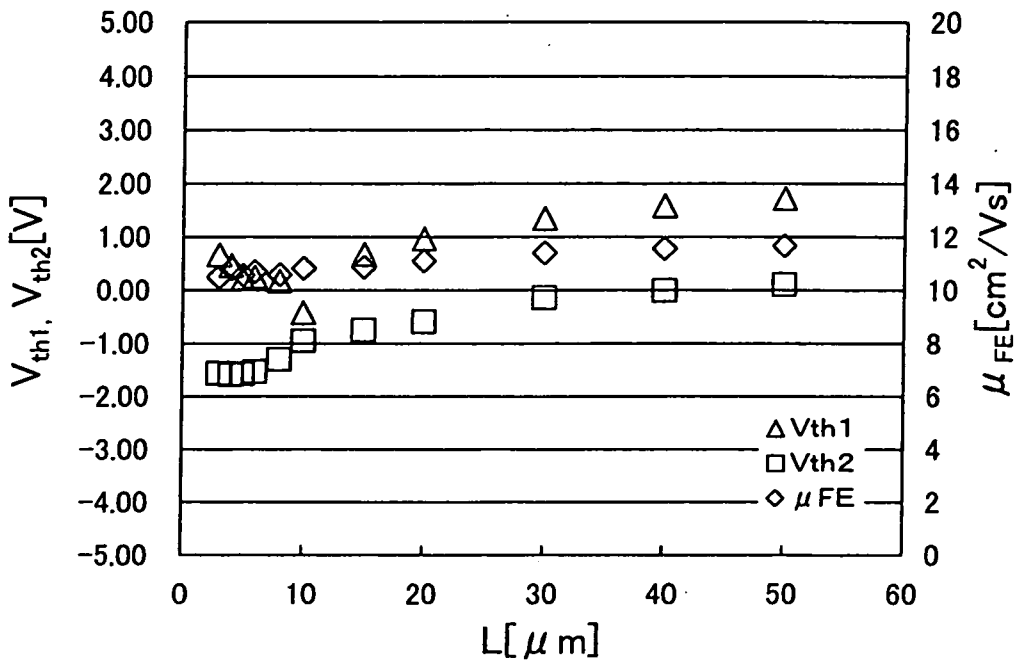


圖 37B

