



## (12)发明专利

(10)授权公告号 CN 103633150 B

(45)授权公告日 2018.11.23

(21)申请号 201310409182.3

(22)申请日 2009.05.19

(65)同一申请的已公布的文献号

申请公布号 CN 103633150 A

(43)申请公布日 2014.03.12

(30)优先权数据

12/124,341 2008.05.21 US

(62)分案原申请数据

200980126014.5 2009.05.19

(73)专利权人 克里公司

地址 美国北卡罗莱纳

(72)发明人 张清纯 柳盛衡

(74)专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 袁玥

(51)Int.Cl.

H01L 29/872(2006.01)

H01L 29/06(2006.01)

审查员 梁庆然

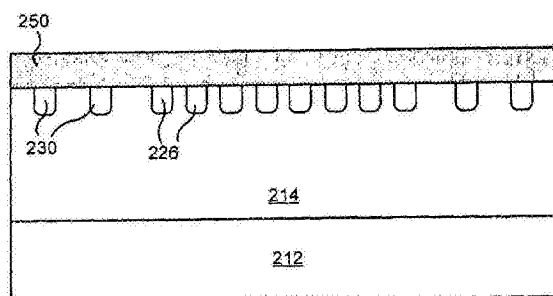
权利要求书1页 说明书9页 附图7页

### (54)发明名称

具有电流浪涌能力的结势垒肖特基二极管

### (57)摘要

本申请涉及具有电流浪涌能力的结势垒肖特基二极管。一种肖特基二极管,包括:具有第一表面的漂移层,所述第一表面与有源区和基本横向相邻于所述有源区的边缘终止区域相关联,其中所述漂移层主要以第一导电类型的掺杂材料掺杂并且所述边缘终止区域具有从所述第一表面延伸到所述漂移层中的边缘终止凹陷;在所述第一表面的所述有源区上方的肖特基层,用于形成肖特基结,所述肖特基层由能实现低势垒高度的金属形成;形成在所述边缘终止凹陷的底部表面中的边缘终止结构。



1. 一种肖特基二极管,包括:

具有第一表面的漂移层,所述第一表面与有源区相关联,其中所述漂移层主要以第一导电类型的掺杂材料掺杂;

在所述第一表面的所述有源区上以及多个结势垒元件凹陷内的肖特基层,用于形成肖特基结,所述肖特基层相对于在所述第一表面上的所述有源区形成肖特基结;以及

在所述肖特基结下方形成在所述漂移层中的结势垒元件的阵列,其中所述漂移层包括所述多个结势垒元件凹陷,使得所述结势垒元件的阵列的至少特定结势垒元件是围绕所述多个结势垒元件凹陷中对应的结势垒元件凹陷延伸到所述漂移层中的掺杂区域,其中对应于所述多个结势垒元件凹陷的多个第一掺杂区域被与所述第一导电类型相反的第二导电类型的掺杂材料以高达300keV的能量掺杂,并且所述多个结势垒元件凹陷中的每个结势垒元件凹陷之间的间隔在1 $\mu$ m与3 $\mu$ m之间,其中每个结势垒元件凹陷之间的所述间隔被配置为对所述间隔处的电流路径增加电阻,使得与所述间隔相邻的所述至少特定结势垒元件以期望水平的正向电流开始导通。

2. 根据权利要求1所述的肖特基二极管,其中所述漂移层形成在衬底上方,并且阴极接触形成在所述衬底的底部表面上方。

3. 根据权利要求1所述的肖特基二极管,其中所述结势垒元件的阵列的每个结势垒元件与所述结势垒元件的阵列的其他结势垒元件类似。

4. 根据权利要求1所述的肖特基二极管,其中所述结势垒元件的阵列的至少第一结势垒元件在尺寸或形状上与所述结势垒元件的阵列的至少第二结势垒元件不同。

5. 根据权利要求1所述的肖特基二极管,其中所述结势垒元件的阵列中的所述至少特定结势垒元件是细长条。

6. 根据权利要求1所述的肖特基二极管,其中所述结势垒元件的阵列中的所述至少特定结势垒元件基本环绕对应的结势垒元件凹陷。

7. 根据权利要求1所述的肖特基二极管,其中所述漂移层包括碳化硅。

8. 根据权利要求1所述的肖特基二极管,其中所述漂移层形成在碳化硅衬底上方,并且阴极接触形成在所述碳化硅衬底的底部表面上方。

9. 根据权利要求1所述的肖特基二极管,其中所述多个第一掺杂区域是通过以给定的倾斜角将离子注入到所述多个结势垒元件凹陷的侧壁中形成的。

10. 根据权利要求9所述的肖特基二极管,其中所述给定的倾斜角是30°。

11. 根据权利要求9所述的肖特基二极管,其中所述漂移层还与边缘终止区域相关联,所述边缘终止区域与所述有源区相邻并且包括边缘终止结构。

12. 根据权利要求11所述的肖特基二极管,其中所述边缘终止结构包括多个保护环,并且所述漂移层的所述第一表面包括多个保护环凹陷,使得所述多个保护环中的至少一些保护环是围绕所述多个保护环凹陷中对应的保护环凹陷延伸到所述漂移层中的第二掺杂区域,并且所述第二掺杂区域以第二导电类型的掺杂材料掺杂。

13. 根据权利要求12所述的肖特基二极管,其中所述多个保护环中的保护环在所述漂移层内彼此隔开。

14. 根据权利要求9所述的肖特基二极管,其中所述肖特基层由铝、钛和镍中的一个形成。

## 具有电流浪涌能力的结势垒肖特基二极管

[0001] 本申请是申请号为200980126014.5、申请日为2009年5月19日、发明名称为“具有电流浪涌能力的结势垒肖特基二极管”的专利申请的分案申请。

### 技术领域

[0002] 本发明涉及半导体器件和半导体器件的制造,以及更具体地涉及结势垒肖特基(JBS)二极管和该二极管的制造。

### 背景技术

[0003] 高电压碳化硅(SiC)肖特基二极管可以具有例如约600V至约2.5kV之间的电压阻断额定值,期望高电压碳化硅(SiC)肖特基二极管与具有类似额定电压的硅PIN二极管竞争。取决于上述二极管的有源区的设计,上述二极管可以处理差不多约100安培或更高的正向电流。高电压肖特基二极管具有许多重要的应用,特别是在电源调节、调配和控制领域。

[0004] 在上述应用中,SiC肖特基二极管的一个重要特性是它的开关速度。基于硅的PIN器件通常表现出相对较差的开关速度。取决于其额定电压,硅PIN二极管可以具有大约20kHz的最大开关速度。相对的,基于碳化硅的肖特基器件理论上能够具有高得多的开关速度,例如,超过硅约100倍。此外,碳化硅器件能够处理比硅器件更高的电流密度。

[0005] 现有的SiC肖特基二极管结构具有N型SiC衬底,在该N型SiC衬底上形成有用作漂移区的n-外延层。该器件通常包括直接形成在所述n层上的肖特基接触。例如保护环和/或P型JTE(结终止延伸)区的结终止区通常被形成为包围肖特基结有源区。结终止区的目的在于减小或者防止位于肖特基结边缘的电场拥挤,以及减少或者防止耗尽区与器件表面的相互作用。表面效应可能导致耗尽区不均衡地伸展,其可能不利地影响器件的击穿电压。其他终止技术包括场板和浮动场环,其可能受到表面效应更强的影响。还可以通过注入N型掺杂剂来形成沟道停止区,以避免耗尽区延伸到器件的边缘。

[0006] 与所使用的终止类型无关,如果将足够大的反向电压施加到结,则肖特基二极管通常将发生故障。上述故障一般是灾难性的,并且可能损伤或者毁坏器件。此外,即使在结发生故障之前,肖特基二极管也可能经受大的反向漏电流。为了减小上述漏电流,开发了结势垒肖特基(JBS)二极管。JBS二极管有时被称为混合PIN-肖特基(MPS)二极管。图1中示出了现有的JBS二极管10。如图所示,现有的JBS二极管包括N型衬底12,在该N型衬底12上形成了n漂移层14。通常通过离子注入在n漂移层14的表面中形成多个p+区域16。与n漂移层14和p+区域16均接触地在n漂移层14的表面上形成金属阳极接触18。阳极接触18与漂移层14的暴露部分形成肖特基结,并且可以与p+区域16形成欧姆接触。在衬底12上形成阴极接触20。例如,在美国专利No.6,104,043和6,524,900中描述了基于碳化硅的JBS二极管。

[0007] 在正向操作中,阳极接触18和漂移层14之间的结J1在p+区域16和漂移层14之间的结J2之前导通。由此,在低的正向电压下,所述器件表现出肖特基二极管特性。即,在低的正向电压下,器件中的电流传输由肖特基结J1两端注入的多数载流子(电子)支配。由于在通常的工作电压处在所述器件中可能没有少数载流子注入(并且由此没有少数载流子电荷储

存),因此JBS二极管具有肖特基二极管的开关速度快的特性。

[0008] 然而,在反向偏压的情况下,由p+区域16和漂移层14之间的PN结J2形成的耗尽区扩大为阻断通过器件10的反向电流,保护肖特基结J1并且限制器件10中的反向漏电流。由此,在反向偏压时,JBS二极管10表现为类似于PIN二极管。器件10的电压阻断能力通常是由漂移层14的厚度和掺杂以及边缘终止的设计所确定的。

[0009] 碳化硅JBS二极管通常遇到的一个问题是其处理电流浪涌的能力。碳化硅JBS肖特基二极管通常被设计用于功率开关应用,例如高压配电系统中的功率因数控制(PFC)。在上述应用中,在通电期间和/或在线路周期丢失(line cycle dropouts)之后,可能会经受浪涌电流。当电流浪涌出现时,可能会在二极管中消耗相当大的功率,这可以导致器件由于热耗散而出现灾难性的故障。

[0010] JBS肖特基二极管可以被设计为使得p+区域16和漂移层14之间的结J2在大电流的情况下导通,导致结J2两端的少数载流子(空穴)注入到漂移层14中。所述少数载流子注入调整漂移层14的导电性,减小了对于电流的抵抗,由此减小了器件由于电流浪涌故障的电位。然而,设计p+区域16由此使得结J2在大电流下导通可能不期望地增加了低电流下的器件的导通状态的电阻。

## 发明内容

[0011] 根据一些实施例的电子器件,包括:具有第一导电类型的碳化硅漂移区,位于所述漂移区上的肖特基接触,和位于邻近所述肖特基接触的漂移区表面处的多个结势垒肖特基JBS区域。所述JBS区域具有与所述第一导电类型相反的第二导电类型以及具有第一宽度和所述JBS区域中的相邻JBS区域之间的第一间隔。所述器件进一步包括位于邻近所述肖特基接触的漂移区表面处的浪涌保护区域。所述浪涌保护区域具有大于所述第一宽度的第二宽度,并且包括具有所述第二导电类型的多个浪涌保护子区域。每个浪涌保护子区域具有小于所述第一宽度的第三宽度以及具有所述浪涌保护子区域中的相邻浪涌保护子区域之间的第二间隔,所述第二间隔小于所述JBS区域中的相邻JBS区域之间的所述第一间隔。

[0012] 所述第一间隔为约 $4\mu\text{m}$ 到约 $6\mu\text{m}$ ,以及所述第二间隔为约 $1\mu\text{m}$ 到约 $3\mu\text{m}$ 。所述第一宽度为约 $1\mu\text{m}$ 到约 $3\mu\text{m}$ ,以及所述第三宽度为约 $1\mu\text{m}$ 到约 $3\mu\text{m}$ 。

[0013] 所述浪涌保护子区域从所述漂移层的表面延伸到所述漂移层中约 $0.3\mu\text{m}$ 到约 $0.5\mu\text{m}$ 的深度。所述漂移区的掺杂水平为约 $5\times 10^{14}\text{cm}^{-3}$ 到约 $1\times 10^{16}\text{cm}^{-3}$ 。

[0014] 所述第一间隔、所述第二间隔和所述第三宽度被配置为,使得从所述漂移层表面到所述浪涌保护子区域中的一个与所述漂移区之间的结的中心的电压降可以足以使得所述结在高于所述肖特基二极管的额定电流的正向电流下变为正向偏置,从而提供所述肖特基二极管中的电流浪涌处理能力。

[0015] 所述肖特基接触和所述浪涌保护子区域之间的分界面可以是欧姆接触。

[0016] 所述漂移层可以包括4H-SiC。所述漂移层可以具有约 $5\times 10^{15}\text{cm}^{-3}$ 到约 $1\times 10^{16}\text{cm}^{-3}$ 的掺杂水平,以及所述电流浪涌保护子区域具有大于 $5\times 10^{18}\text{cm}^{-3}$ 的掺杂水平。

[0017] 响应于施加到所述肖特基接触的正向电压,位于所述浪涌保护区域之下的漂移区部分的电势可以高于所述JBS区域之下的漂移区部分的电势。

[0018] 所述器件可以进一步包括所述漂移层中邻近所述肖特基接触的多个电流浪涌保

护区域。

[0019] 所述第一导电类型可以包括N型以及所述第二导电类型可以包括P型。

[0020] 所述浪涌保护子区域包括所述漂移区中的多个沟槽以及在所述漂移层中在所述多个沟槽中的相应沟槽之下延伸的多个掺杂区域。

[0021] 所述浪涌保护子区域在所述浪涌保护子区域中的各个浪涌保护子区域之间限定了所述漂移区中的垂直电流路径,所述浪涌保护区域的深度可以由所述沟槽的深度和所述掺杂区域的深度限定。

[0022] 根据一些实施例的形成肖特基二极管的方法,包括:在具有第一导电类型的碳化硅漂移区的表面处形成多个结势垒肖特基JBS区域,所述多个JBS区域具有与所述第一导电类型相反的第二导电类型以及具有所述JBS区域中的相邻JBS区域之间的第一间隔。所述方法进一步包括在邻近所述肖特基接触的漂移区表面处形成浪涌保护区域,所述浪涌保护区域包括具有所述第二导电类型的多个浪涌保护子区域,各个浪涌保护子区域具有所述浪涌保护子区域中的相邻浪涌保护子区域之间的第二间隔,所述第二间隔可以小于所述JBS区域中的相邻JBS区域之间的所述第一间隔。在所述漂移区上形成肖特基接触。

[0023] 所述第一间隔为约4 $\mu\text{m}$ 到约6 $\mu\text{m}$ 以及所述第二间隔为约1 $\mu\text{m}$ 到约3 $\mu\text{m}$ 。

[0024] 形成所述多个JBS区域和形成所述浪涌保护区域可以包括:选择性地将所述第二导电性的掺杂剂离子注入到所述漂移层中,以及以大于1700 $^{\circ}\text{C}$ 的温度退火所述注入离子。

[0025] 所述方法可以进一步包括在包括所述注入离子的所述漂移层上形成石墨涂层,退火所述注入离子包括退火所述石墨涂层。

[0026] 所述方法可以进一步包括在注入离子之前在所述漂移层中蚀刻多个沟槽,注入离子包括将离子注入到所述多个沟槽中。

[0027] 在所述漂移区上形成所述肖特基接触可以包括:利用一种金属形成到所述漂移区的所述肖特基接触和到所述浪涌保护子区域的欧姆接触。

[0028] 根据其他实施例的一种电子器件,包括:具有第一导电类型的碳化硅漂移区;位于所述漂移区上的肖特基接触;位于邻近所述肖特基接触的漂移区表面处的多个结势垒肖特基JBS区域。所述多个JBS区域具有与所述第一导电类型相反的第二导电类型以及具有所述JBS区域中的相邻JBS区域之间的第一间隔。所述器件进一步包括具有所述第二导电类型的多个浪涌保护子区域。每个浪涌保护子区域具有所述浪涌保护子区域中的相邻浪涌保护子区域之间的第二间隔,所述第二间隔小于所述第一间隔。

## 附图说明

[0029] 附图被包括用于提供对于本发明的进一步的理解并且被并入且构成本申请的一部分,附图示出了本发明的某些特定的实施例(多个)。附图中:

[0030] 图1示出了现有的JBS二极管的剖视图。

[0031] 图2示出了包括浪涌保护区域的JBS二极管的顶视图。

[0032] 图3示出了包括浪涌保护区域的JBS二极管的剖视图。

[0033] 图4示出了根据一些实施例的JBS二极管的剖视图。

[0034] 图5示出了图4的JBS二极管的其他方面的详图。

[0035] 图6示出了根据一些实施例的在JBS二极管的制造期间形成的中间结构的剖视图。

- [0036] 图7A示出了根据其他实施例的在JBS二极管的制造期间形成的中间结构的剖视图。
- [0037] 图7B示出了根据其他实施例的JBS二极管的剖视图。
- [0038] 图8A示出了根据一些实施例的器件的仿真器件结构和仿真结果。
- [0039] 图8B示出了对于比较器件的仿真器件结构和仿真结果。
- [0040] 图9示出了根据一些实施例的器件的仿真的电流和电压特性。
- [0041] 图10示出了根据一些实施例的器件的仿真空穴浓度特性。
- [0042] 图11示出了根据一些实施例的器件的仿真电压电位特性。
- [0043] 图12示出了根据一些实施例可以使用的注入掩模图案。

### 具体实施方式

[0044] 现在将参照附图在下文中更加全面地描述本发明,在附图中示出了本发明的实施例。然而,本发明可以被实施为许多不同的形式并且不应被解释为限于这里阐述的实施例。相反,这些实施例被提供以使本公开内容是详尽的和完整的,并且将向本领域的技术人员全面地传达本发明的范围。通篇相同的附图标记表示相同的元件。

[0045] 将理解,尽管术语“第一”、“第二”等在这里可以用于描述各种元件,但是这些元件不应受这些术语的限制。这些术语仅用于使一个元件区别于另一元件。例如,在不偏离本发明的范围的情况下,第一元件可以被称为第二元件,类似的,第二元件也可以被称为第一元件。如这里使用的,术语“和/或”包括一个或多个关联的列出项的任何和所有组合。

[0046] 此处使用的术语仅仅是为了描述具体实施例,而并不意图限制本发明。如此处使用的,除非上下文清楚地另作说明,否则单数形式“一个”、“一种”和“所述”意图是也包括复数形式。将进一步理解,当在本说明书中使用时,术语“包括”和/或“包含”表明所说明的特征、整体、步骤、操作、部件和/或组件的存在,但不是排除一个或多个其他特征、整体、步骤、操作、部件、组件及其组合的存在或者加入。

[0047] 除非另外限定,否则此处使用的所有术语(包括技术和科学术语)的含义与本发明所属领域的普通技术人员通常理解的含义相同。将进一步理解,此处使用的术语应被解释为具有与其在本说明书的上下文和相关领域中的含义一致的含义,并且除非此处明确表达,否则不应在理想化或过度形式化的意义上进行解释。

[0048] 将理解,当诸如层、区域或衬底的元件被称为在另一元件“上”或者延伸到另一元件“上”时,其可以直接位于该另一元件上或者直接延伸到该另一元件上,或者也可以存在中间的元件。相反地,当元件被称为“直接”位于另一元件“上”或者“直接”延伸到另一元件“上”时,不存在中间的元件。还将理解,当元件被称为“连接”或“耦合”到另一元件时,其可以直接连接或耦合到另一元件或者可以存在中间的元件。相反地,当元件被称为“直接连接”或“直接耦合”到另一元件时,不存在中间的元件。

[0049] 诸如“下方”或“上方”或者“上面”或“下面”或者“水平”或“横向”或“垂直”的关系性术语在此处可用于描述如图中所示的一个元件、层或区域与另一元件、层或区域的关系。将理解,这些术语意在涵盖除了图中示出的取向之外的设备的不同取向。

[0050] 这里,参考横截面图描述本发明的实施例,所述横截面图是本发明的理想化实施例(以及中间结构)的示意图。为了清晰,在所述图中的层和区域的厚度可能被放大了。此

外,作为例如制造技术和/或容许误差的结果的与附图形状的偏差是可以预见的。由此,本发明的实施例不应该被理解为局限于此处所示的区域的特定形状,而是包括例如由于制造而导致的形状上的差异。例如,被示出为矩形的注入区域通常在其边缘处将具有圆形或者弯曲的特征和/或具有注入浓度的梯度,而不是从注入区域到非注入区域的离散变化。同样地,通过注入形成的埋置区域可能导致埋置区域和注入发生的表面之间的区域中的一些注入。由此,图中所示的区域本质上是示意性的,其形状不意图表示器件区域的实际形状,也并非意图限制本发明的保护范围。

[0051] 参考半导体层和/或区域描述了本发明的一些实施例,这些半导体层和/或区域的特征在于具有例如N型或者P型的导电类型,其是指所述层和/或区域中的多数载流子浓度。由此,N型材料具有负充电电子的多数平衡浓度,而P型材料具有正充电空穴的多数平衡浓度。一些材料可能被标明具有“+”或者“-”(如 $n^+$ ,  $n^-$ ,  $p^+$ ,  $p^-$ ,  $n^{++}$ ,  $n^{--}$ ,  $p^{++}$ ,  $p^{--}$ 等等),用于表明与另一层或者区域相比的多数载流子的相对较大(“+”)或者较小(“-”)的浓度。然而,上述符号并不暗示在层或者区域中存在特定浓度的多数载流子或者少数载流子。

[0052] 图2示出了肖特基二极管结构100的顶视图,其中通过调整p+区域的大小以及掺杂所述p+区域,由此使得p+区域将在大电流密度下导通并且将少数载流子注入到漂移层14中,由此来处理电流浪涌。在题为“Semiconductor Devices Including Schottky Diodes With Controlled Breakdown And Methods Of Fabricating Same”的美国公开No.2008/0029838中公开了类似的二极管,其被转让给本发明的受让人,该公开的内容通过引用并入本文。

[0053] 参考图2,二极管100包括漂移层114,其具有上表面,在所述上表面中,导电类型与漂移层114相反的多个JBS区域130被形成为漂移层114中的条形区域。例如,可以通过以约 $1 \times 10^{17}$ 至约 $1 \times 10^{18} \text{cm}^{-3}$ 的浓度离子注入P型掺杂剂(例如硼和/或铝)到漂移层114中,由此来形成JBS区域130,以及JBS区域130可以延伸到漂移层114表面之下约0.3至约0.5 $\mu\text{m}$ 的深度。

[0054] 还在漂移层114中配置一个或更多个浪涌保护区域116。例如,可以通过以约 $1 \times 10^{18}$ 至约 $1 \times 10^{19} \text{cm}^{-3}$ 的浓度离子注入P型掺杂剂(例如硼和/或铝)到漂移层114中,由此来形成浪涌保护区域116,以及浪涌保护区域116可以延伸到漂移层114表面之下约0.3至约0.5 $\mu\text{m}$ 的深度。

[0055] JBS区域130暴露了漂移层114表面的部分114A,并且延伸横穿漂移层114的有源区110(除漂移层的暴露部分114A和重掺杂区域116之外)。金属肖特基接触118(图3)覆盖漂移层114,并且与漂移层114的暴露部分114A以及JBS区域130和浪涌保护区域116接触。如此处使用的,术语“有源区”是指器件中的肖特基金属接触漂移层并且包括漂移层114的暴露部分114A、JBS区域130和浪涌保护区域116的二维区域。因此,有源区包括肖特基结区域但是不包括例如边缘终止区域。

[0056] 图3示出了大体上沿着图2的线A-A'得到的二极管100的截面图。如图3所示,二极管100包括衬底112,在衬底112上形成了漂移层114。浪涌保护区域116可以被形成为漂移层114内的注入区域。类似地,JBS区域130可以被形成为漂移层114中的注入区域。由于浪涌保护区域116和JBS区域130具有与漂移层114相反的导电类型,因此JBS区域130与漂移层114形成p-n结J3,而重掺杂区域116与漂移层114形成p-n结J5。

[0057] 漂移层114表面上的阳极接触118与相邻的轻掺杂区域130之间的漂移层114的暴

露部分114A形成肖特基结J4,和/或与JBS区域130和浪涌保护区域116之间的漂移层114的暴露部分114A形成肖特基结J4。阳极接触118可以包括例如铝、钛和/或镍的金属,其可以与浪涌保护区域116形成欧姆接触,同时与漂移层114形成肖特基接触。如图3所示的,阳极接触118可以包括形成浪涌保护区域116上的欧姆接触的第一部分118A和形成与漂移层114的肖特基接触的第二部分118B。具体来说,第二部分118B可以被形成覆盖阳极接触118的第一部分118A。第一部分118A可以包括例如铝、钛和/或镍,而第二部分118B可以包括例如铝、钛和/或镍。

[0058] 在衬底112与漂移层114相反的一侧上形成阴极接触120。阴极接触120可以包括例如镍的金属,其能够形成至N型碳化硅的欧姆接触。

[0059] 在正向操作时,阳极接触118和漂移层114的暴露部分114A之间的结J4在浪涌保护区域116和漂移层114之间的结J5之前导通。由此,在低正向电压时,所述器件表现出肖特基二极管特性。即,在低正向电压时,二极管100的操作由跨过肖特基结J4的多数载流子的注入所支配。由于在正常工作状态下缺少少数载流子注入,因此二极管100可以具有高速开关能力,这通常是肖特基二极管的特性。

[0060] 浪涌保护区域116可以被设计为以高于肖特基结J4的导通电压的正向电压开始导电。由此,在电流浪涌使得二极管100的正向电压增加的情况下,p-n结J5将开始导电。一旦p-n结J5开始导电,则二极管100的操作变为由跨过p-n结J5的少数载流子的注入和复合支配。在该情况下,二极管的通态电阻可以减小,对于给定电流水平,其可以减小二极管100消耗的功率量。由此,二极管100的正向电压增加时的p-n结J5的导通可以减小和/或防止二极管100中的正向电流失控(runaway)。

[0061] 在正向操作时,在JBS区域130和浪涌保护区域116附近,正向电流 $I_f$ 垂直向下流动。电流还水平地流动跨过浪涌保护区域116的表面。当从漂移区的表面114A到浪涌保护区域116的中部的电压降 $\Delta V$ 超过p-n结J5的固有电压时,发生p-n结J5的导通。由此,对于漂移区114中的给定掺杂水平,浪涌保护区域116可以被设计为至少具有最小横向宽度(或者最小范围),以使得p-n结J5以期望的导通水平的正向电流 $I_f$ 导通。

[0062] 本发明的一些实施例是实现如下方案的结果,即,可以利用除了简单地增加浪涌保护区域116的横向宽度之外的方法获得期望的电压降,其中简单地增加浪涌保护区域116的横向宽度可能会不期望地增加器件100的通态电阻。

[0063] 例如,图4示出了其中利用具有定义的深度、宽度、间隔和掺杂以提供反向偏压保护以及浪涌电流保护两者的多个子区域226,来形成浪涌保护区域216的实施例。

[0064] 具体来说,图4示出了根据本发明的一些实施例的二极管200的剖视图。二极管200包括具有上表面的漂移层214,在所述上表面中,形成了具有与漂移层214相反的导电类型的多个JBS区域230。

[0065] 例如,取决于对于二极管200的电压阻断和导通电阻的设计要求,可以利用具有掺杂剂浓度为约 $5 \times 10^{14}$ 到约 $1 \times 10^{16} \text{ cm}^{-3}$ 的2H、4H、6H、3C和/或15R多型的N型碳化硅来形成漂移层214。可以使用其他类型的半导体材料,例如GaN、GaAs、硅或者锗。在具体实施例中,漂移层214包括利用N型掺杂剂以约 $5 \times 10^{15} \text{ cm}^{-3}$ 的浓度掺杂的4H-SiC。例如,可以通过以约 $1 \times 10^{18} \text{ cm}^{-3}$ 至约 $1 \times 10^{19} \text{ cm}^{-3}$ 的浓度离子注入P型掺杂剂(例如硼和/或铝)到漂移层214中,由此来形成JBS区域230,以及JBS区域230可以延伸到漂移层214表面之下约0.3至约0.5 $\mu\text{m}$ 的深

度。在具体实施例中,可以利用P型掺杂剂以约 $5 \times 10^{18} \text{cm}^{-3}$ 的浓度掺杂JBS区域230。

[0066] 浪涌保护区域216包括漂移层214中的多个子区域226。例如,可以通过以约 $1 \times 10^{18}$ 至约 $1 \times 10^{19} \text{cm}^{-3}$ 的浓度离子注入P型掺杂剂(例如硼和/或铝)到漂移层214中,由此来形成子区域226,以及子区域226可以延伸到漂移层114表面之下约0.3至约0.5 $\mu\text{m}$ 的深度。在具体实施例中,可以以约 $5 \times 10^{18} \text{cm}^{-3}$ 的掺杂剂浓度掺杂子区域116,以及子区域116可以延伸到漂移层214表面之下约0.5 $\mu\text{m}$ 的深度。各子区域226与漂移区214形成p-n结J6。在一些实施例中,子区域226可以与JBS区域230同时被注入。因此,子区域226可以具有与JBS区域230相同的深度和掺杂分布。然而,在其他实施例中,可以以与JBS区域230不同的方法形成子区域226,并且子区域226可以具有与JBS区域230不同的深度和/或掺杂分布。

[0067] 可以通过以足够的高温对包括衬底212、漂移层214和注入区域的结构进行退火,来执行JBS区域230和子区域226中的注入掺杂剂的激活。在一些实施例中,可以在注入激活之前在漂移区214的表面上形成石墨涂层。可以在退火注入离子之后去除石墨涂层。可以在退火注入离子之前使石墨涂层结晶。

[0068] 可以以大于1700 $^{\circ}\text{C}$ 的温度对注入离子进行退火,在一些实施例中,该温度可以大于1800 $^{\circ}\text{C}$ 。

[0069] 例如,参考图6,在过压和/或被例如石墨膜的封装层覆盖的硅的情况下,可以通过在约1600 $^{\circ}\text{C}$ 的温度下退火该结构来激活JBS区域230和子区域226中的注入掺杂剂。在一些实施例中,可以通过利用石墨涂层以大于约1700 $^{\circ}\text{C}$ 的温度进行退火来激活注入物。

[0070] 高温激活退火(例如1700 $^{\circ}\text{C}$ 或以上)可以改善阈值调整离子的激活以及改善沟道区40中对缺陷的退火。然而,上述高温退火可能损伤碳化硅漂移层16的表面。

[0071] 为了减小可能由高温退火导致的损伤,可以在对其形成金属接触之前在结构表面上形成石墨涂层250。即,在退火所述结构以激活注入离子之前,可以将石墨涂层250施加到漂移层214的顶侧/正面侧,以便在退火期间保护所述结构的表面。可以通过现有的抗蚀剂涂覆方法来施加石墨涂层250,石墨涂层250可以具有足以在高温退火期间保护下层SiC层的厚度。石墨涂层250可以具有约1 $\mu\text{m}$ 的厚度。在退火之前,石墨涂层250可以被加热以在漂移层214上形成晶体覆层。例如,可以通过在约1700 $^{\circ}\text{C}$ 或更高的温度下在惰性气体中执行热退火来激活注入离子。具体来说,可以在氩气中在约1850 $^{\circ}\text{C}$ 的温度下执行热退火5分钟。石墨涂层250可以有助于在高温退火期间保护漂移层214的表面。

[0072] 例如,可以随后通过灰化和热氧化来去除石墨涂层250。

[0073] 除了激活注入离子之外,利用石墨涂层的高温退火可以促进形成对于子区域216的欧姆接触。即,不希望被任何特定工作原理所束缚,当前认为,在浪涌保护子区域226中的例如Al离子的P型掺杂剂在高温退火期间在子区域226的表面处累积。当例如钛的金属沉积到漂移层214上作为阳极接触218时,该金属可以期望地形成与下层子区域226的欧姆接触。通过使得对于p-n结J6更加容易以期望水平的正向电流导通,形成阳极金属218和子区域226之间的欧姆接触可以提高浪涌保护区域216提供的过电流保护。此外,在一些实施例中,可以仅仅使用一种金属用于阳极接触,该阳极接触形成了对于漂移区214的肖特基接触以及对于子区域226的欧姆接触,其可以减小制造时间和/或费用。

[0074] 图4的实施例所示的JBS区域230可以被提供为间隔开的条形区域,其暴露漂移层214的部分表面214A并且延伸跨过漂移层214的有源区(除子区域226和漂移层的暴露部分

214A之外)。金属肖特基接触218覆盖漂移层214并且与漂移层214的暴露部分214A、JBS区域230和子区域226接触。

[0075] 二极管200可以包括包围二极管100的有源区110的边缘终止区域(未示出)。边缘终止区域可以包括结终止延伸(JTE)区域、场环、场板、保护环和/或上述或者其他终止的组合。

[0076] 在衬底212的与漂移层214相反的一侧上形成阴极接触220。阴极接触220可以包括例如镍的金属,其能够形成至N型碳化硅的欧姆接触。

[0077] 在正向操作时,在JBS区域230和子区域226附近,正向电流 $I_f$ 垂直向下流动。电流还水平地流动跨过浪涌保护区域226的表面。当从漂移区的表面214A到子区域226的中部的电压降 $\Delta V$ 超过p-n结J6的固有电压时,发生子区域226和漂移层214之间的p-n结J6的导通。然而,电压降 $\Delta V$ 的一部分可能出现在相邻子区域226之间的垂直电流路径226A中。垂直电流路径226A的电阻是垂直电流路径226A的长度和宽度以及漂移区214的表面掺杂的函数。因此,一些实施例控制垂直电流路径226A的长度和宽度以及控制漂移区214的表面掺杂,由此使得以期望水平的正向电流跨过结J6在子区域226和漂移区214之间双极导通。

[0078] 图5示出了二极管200的一些其他方面,其示出了部分二极管200的截面详图。具体来说,如图5所示,子区域226可以具有宽度W、间隔S和深度L。JBS区域230可以具有宽度 $W_{JBS}$ 和间隔 $S_{JBS}$ 。JBS区域230可以与浪涌保护区域216分离JBS间隔 $S_{JBS}$ 。相邻的子区域226之间的垂直电流路径226A的电阻可以表示为:

$$[0079] \quad R = \rho \frac{L}{S} \quad (1)$$

[0080] 即,垂直电流路径的电阻与子区域226的深度L成正比并且与相邻的子区域226之间的间隔S成反比。因此,可以通过使得子区域226更深和/或间隔更小来获得期望的电压降 $\Delta V$ 。由于离子注入技术的限制,使得子区域226更深可能会面对挑战。具体来说,单独利用离子注入,可能难以形成具有超过 $0.5\mu m$ 的深度L的子区域226。该限制在如下详细描述进一步的实施例中得以解决。

[0081] 然而,可以通过光刻法减小相邻子区域226之间的间隔S,由此使得垂直电流路径226A的电阻可以被增加到能够以期望水平的正向电流 $I_f$ 开始导通p-n结J6的值。

[0082] 在一些实施例中,子区域226的深度L可以为 $0.3$ 到 $0.5\mu m$ 。子区域226的宽度W可以为从约 $1\mu m$ 到约 $3\mu m$ 。相邻子区域226之间的间隔S可以为从约 $1\mu m$ 到约 $3\mu m$ 。JBS区域230的宽度 $W_{JBS}$ 可以为从约 $1\mu m$ 到约 $3\mu m$ 。相邻JBS区域230之间和/或JBS区域230和电流浪涌区域216之间的间隔 $S_{JBS}$ 可以为从约 $4\mu m$ 到约 $6\mu m$ ,或者为相邻子区域226之间的间隔S的约2到4倍。浪涌保护区域216的宽度可以为约 $10\mu m$ 或更多。

[0083] 图7A和7B示出了根据进一步实施例的结构/方法。如其中所示,可以通过将沟槽320蚀刻到漂移层214中来形成浪涌保护区域316的子区域326。例如,利用使用基于氟的化学作用(例如 $SF_6$ 、 $CHF_3$ 等等)的干蚀刻技术(例如等离子刻蚀、感应耦合等离子体(ICP)、电子回旋共振(ECR)等)来蚀刻子区域326。

[0084] 沟槽320可以被蚀刻到从约 $0.3\mu m$ 到约 $1\mu m$ 的深度d。在沟槽形成之后,例如P型离子(例如铝和/或硼)的离子310可以通过注入掩模315被注入到沟槽320中,从而形成子区域326。例如,可以以 $1 \times 10^{15} cm^{-2}$ 的剂量和高达 $300 keV$ 的能量注入离子。可以以30度的倾斜角注

入离子,由此使得对沟槽320的侧壁进行注入。此外,可以在25℃的温度下执行注入。将理解,相邻子区域326之间的垂直沟道326A的深度L由此是沟槽320的深度d与注入结深度之和。由此可以获得具有相应的更高电阻的更长的垂直沟道326A。

[0085] 此外,阳极接触218可以刺入沟槽320,由此以更大的表面面积形成到子区域326的欧姆接触,并因此得到更低的电阻。图7B示出了得到的器件300,包括衬底212上的阳极接触220。

[0086] 图8A和8B分别示出了对于类似于图4和3所示的二极管的二极管的仿真结果。具体来说,图8A和8B图形地示出了在5.2V正向电压降处在浪涌电流情况下的器件中的空穴浓度。例如,图8A示出了包括漂移区214的结构200A。JBS区域230和多个浪涌保护子区域226形成在漂移区214的表面。在相邻的各浪涌保护子区域226之间定义了垂直电流路径226A。此外,图8A中绘制的线410表明了结构200A内的耗尽区边界的位置。图8B示出了包括漂移区114的结构100A。JBS区域130和一个浪涌保护区域116形成在漂移区114的表面。图8B中的线420表明结构100A中的耗尽区边界的位置。

[0087] 如图8A和8B所示,空穴可以从图8A的器件200A中的子区域226被注入以及可以从图8B的器件100A中的浪涌保护区域116被注入。然而,与图8B中器件100A中的浪涌保护区域116相比,可以从图8A中器件200A的中央子区域226'注入更高的空穴浓度。

[0088] 图9分别示出了图8A和8B所示的结构200A和100A的仿真的电流与电压。具体来说,图9表明在两个器件中电流以大约4.8V的电压开始。然而,如超过4.8V的电压处的I-V曲线的更高的斜率所示的,与器件100A相比,器件200A在浪涌电流情况期间表现出具有更低的电阻。将理解,在仿真中,电压是从阴极到阳极为参考方向的。由此,正向偏压和正向电流将被分配有负极性。

[0089] 图10分别示出了图8A和8B中所示的器件200A和100A中的仿真的空穴浓度与横向位置的曲线图。具体来说,曲线442示出了图8B的器件结构100A的仿真的空穴浓度与位置,而曲线444示出了图8A的器件结构200A的仿真的空穴浓度与位置。仿真对于图8A的器件结构200A预测了更高的空穴浓度。

[0090] 图11分别示出了图8A和8B中所示的器件200A和110A中的仿真的电位与横向位置的曲线图。具体来说,曲线452示出了图8B的器件结构100A的仿真的电位与位置,而曲线454示出了图8A的器件结构200A的仿真的电位与位置。仿真预测了对于图8A的器件结构200A在相邻子区域226之间的垂直电流路径226A之上的电位的局部增加。此外,在器件结构200A中,响应于施加到肖特基接触的正向电压,位于浪涌保护子区域226之下的漂移区部分的电势高于JBS区域230之下的漂移区部分的电势。

[0091] 图12示出了用于P型注入的示例性掩模布局,其定义了用于图4所示的器件200的JBS区域230和子区域226。

[0092] 尽管已经参考特定的操作顺序描述了本发明的实施例,然而本领域技术人员将理解,在仍然受益于本发明的教导的同时,顺序中的某些操作可以重新排序。因此,本发明不应该被理解为局限于此处描述的操作的确切的操作顺序。

[0093] 在说明书和附图中,已经公开了本发明的典型的实施例,以及尽管使用特定的术语,但是其目的仅仅在于通常和描述性的含义而并非用于限制,本发明的保护范围由在下文中的权利要求书所阐述。

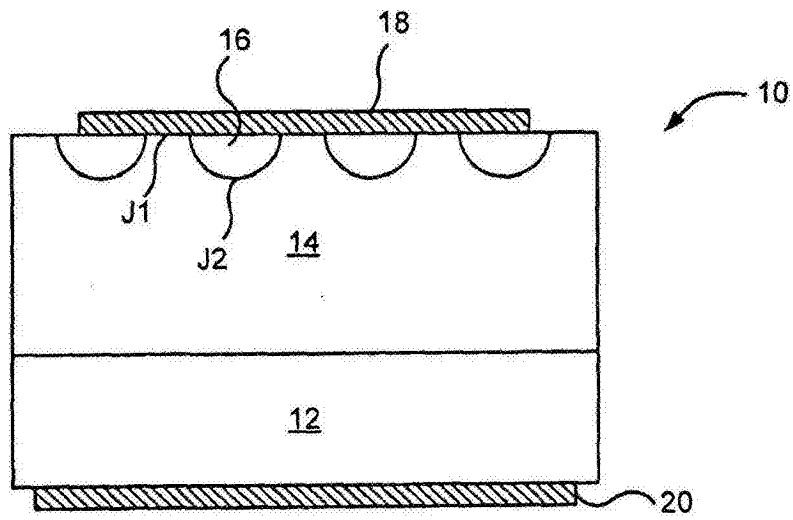


图1 现有技术

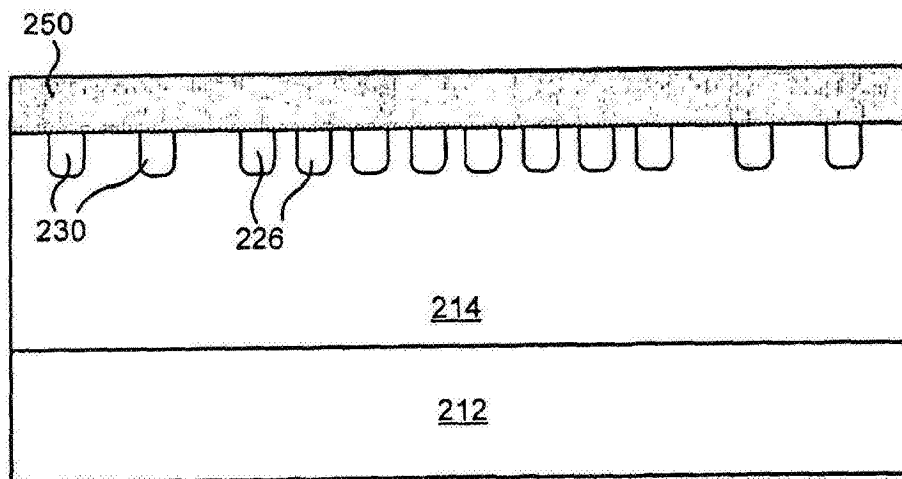


图6

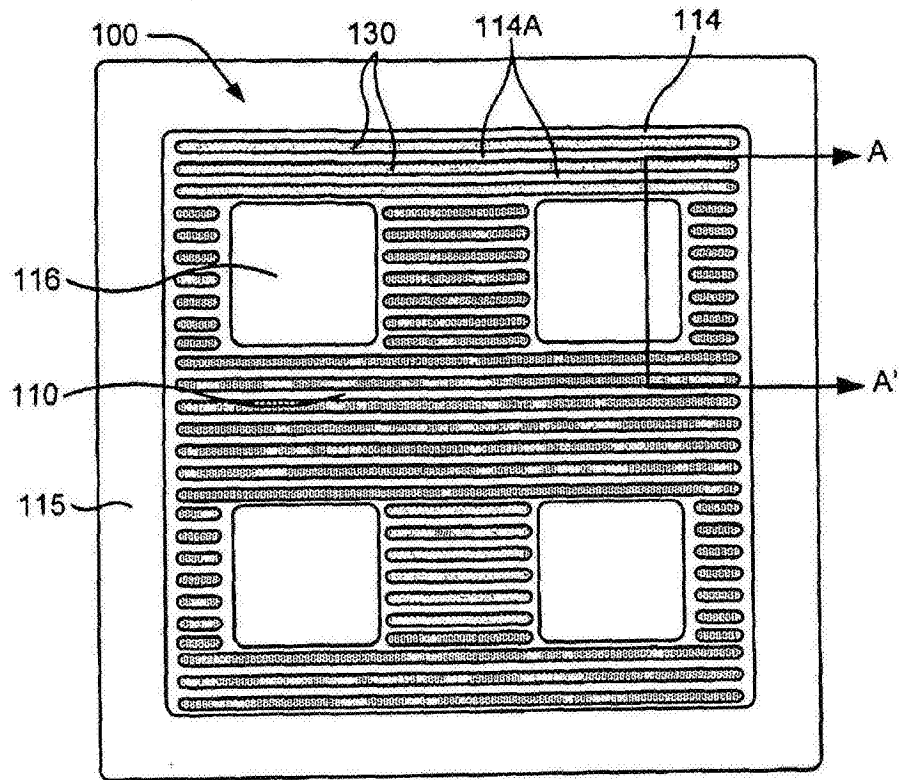


图2

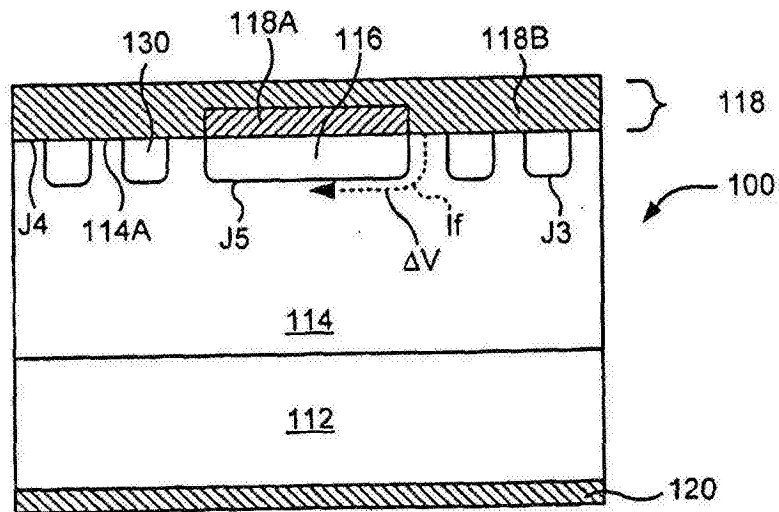


图3

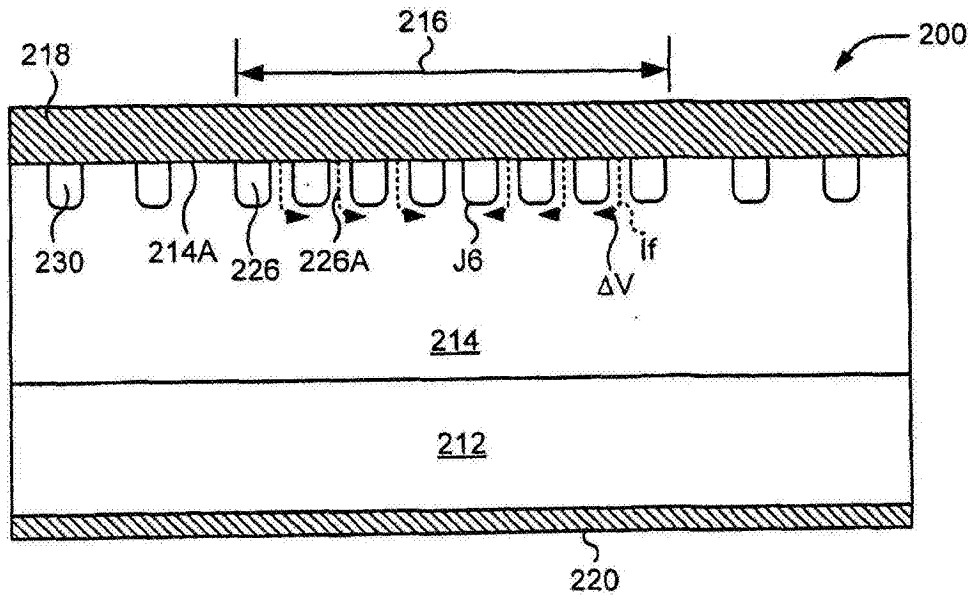


图4

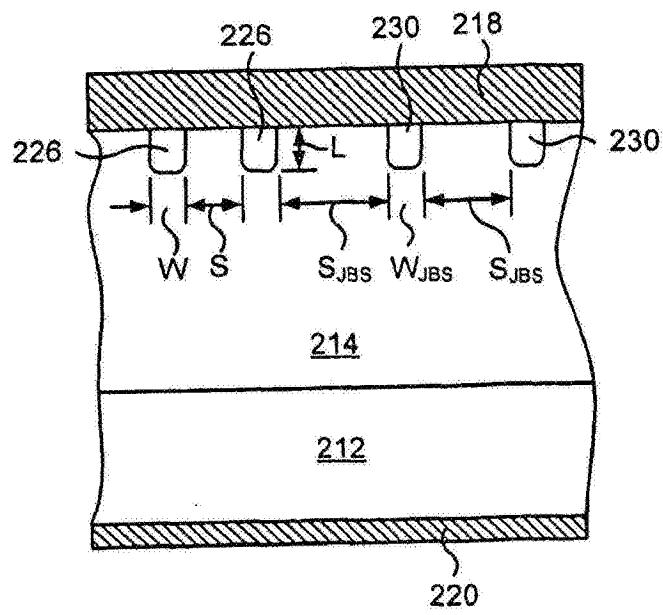


图5

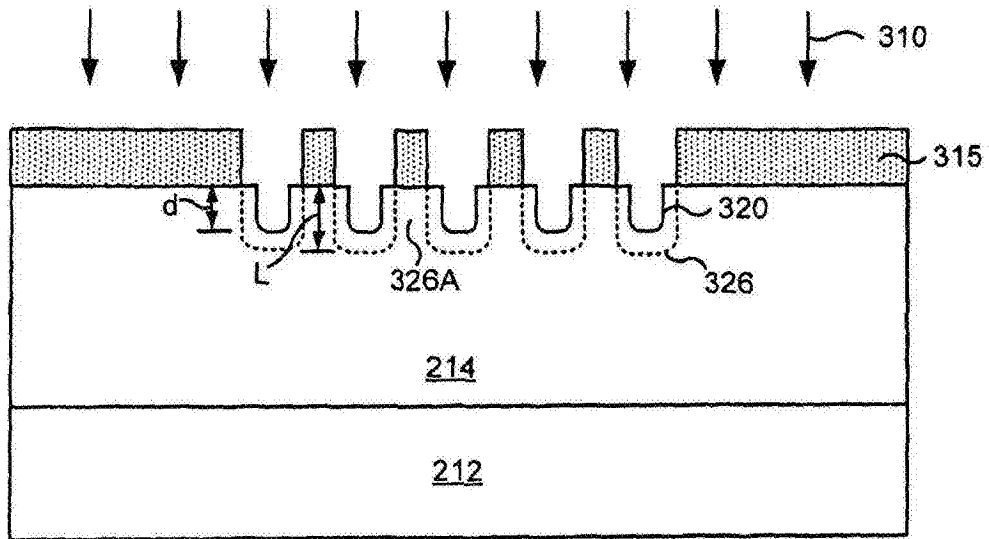


图7A

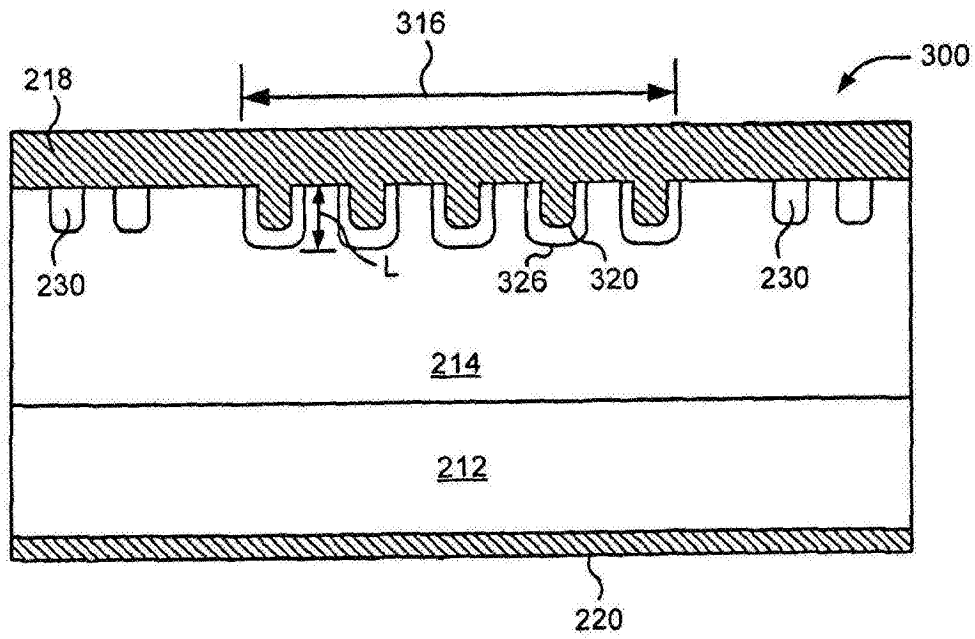


图7B

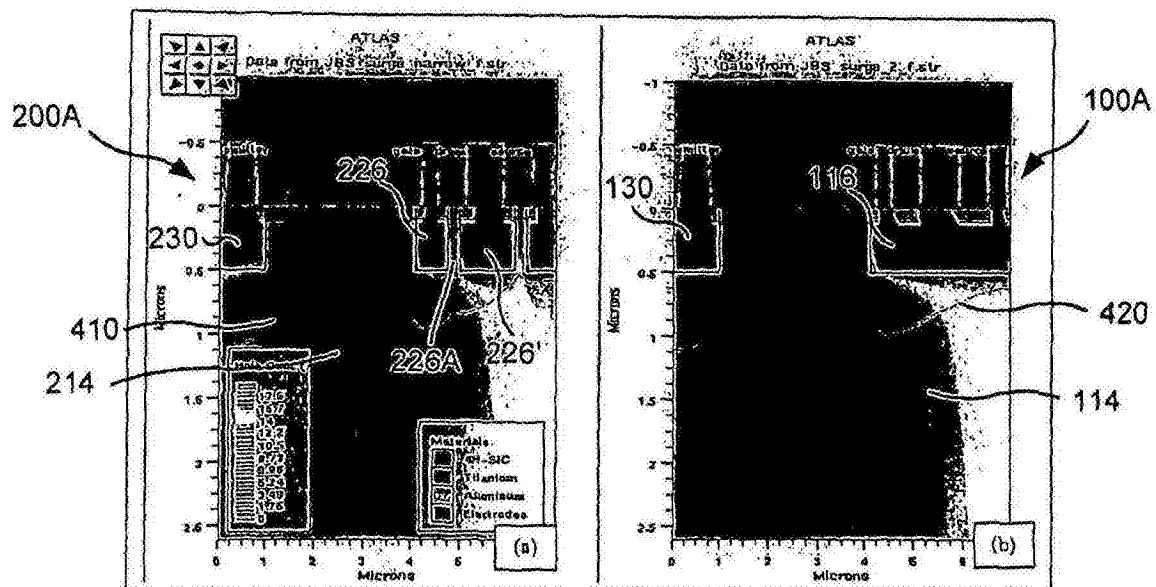


图 8A

图 8B

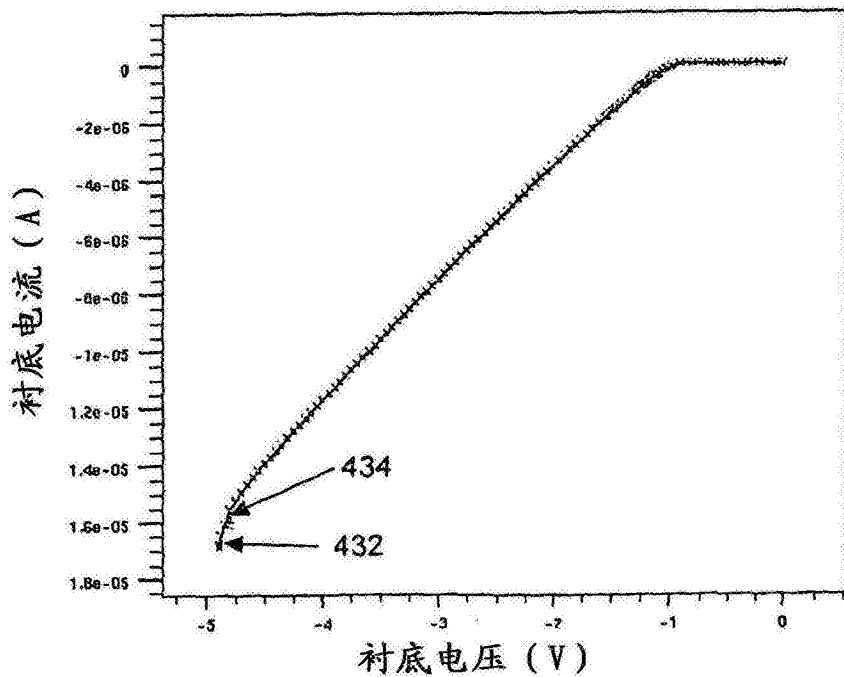


图9

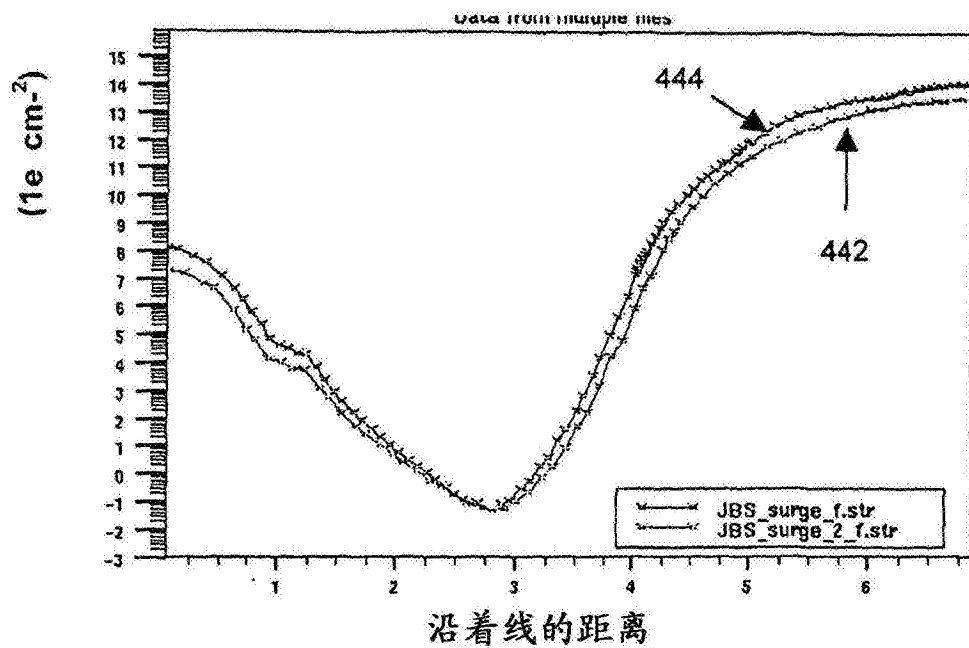


图10

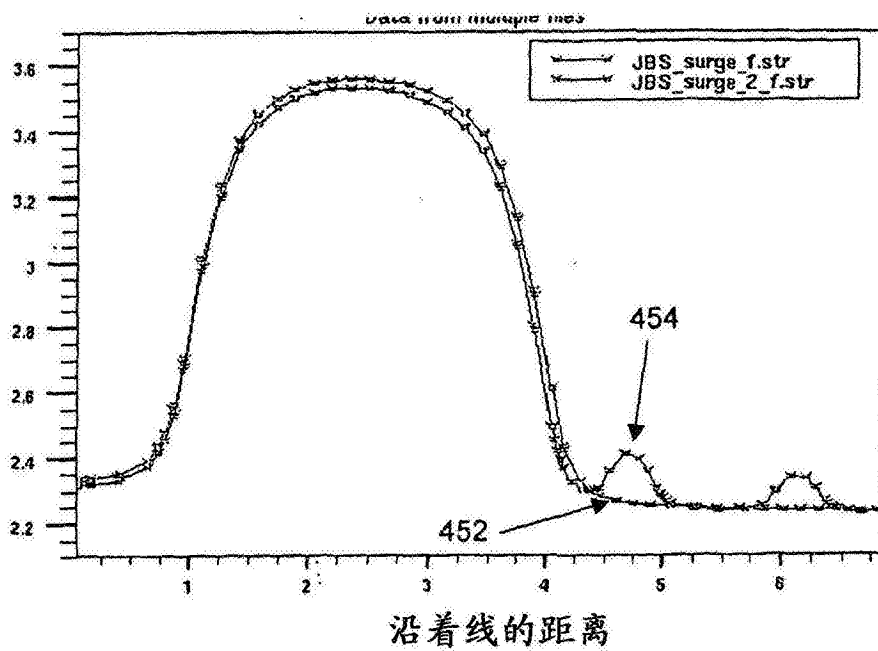


图11

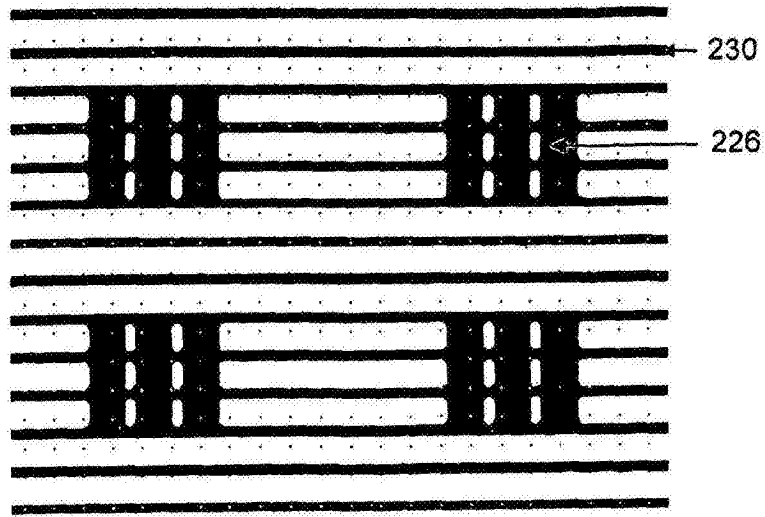


图12