

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年9月26日(26.09.2019)



(10) 国際公開番号

WO 2019/181558 A1

(51) 国際特許分類:

H01L 31/10 (2006.01) *H01L 27/146* (2006.01)
G06F 3/042 (2006.01) *H01L 29/786* (2006.01)

川 真里奈(SHIOKAWA Marina); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(21) 国際出願番号: PCT/JP2019/009306

(22) 国際出願日: 2019年3月8日(08.03.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-052337 2018年3月20日(20.03.2018) JP

(71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

(72) 発明者: 津 吹 将 志 (TSUBUKU Masashi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 綱島 貴徳(TSUNASHIMA Takanori); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 塩

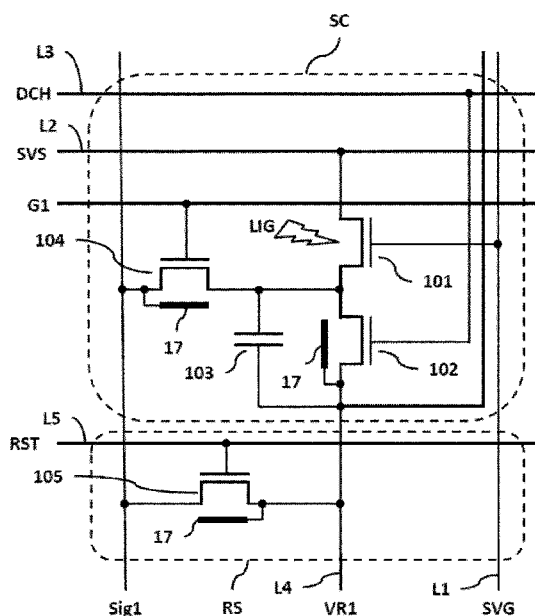
(74) 代理人: ポレール特許業務法人(POLAIRE I.P.C.); 〒1030025 東京都中央区日本橋茅場町二丁目13番11号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: LIGHT SENSOR CIRCUIT, LIGHT SENSOR DEVICE, AND DISPLAY DEVICE

(54) 発明の名称: 光センサー回路、光センサー装置、および、表示装置

図6



(57) Abstract: The present disclosure addresses the problem of providing a light sensor circuit using an oxide semiconductor transistor that enables stable operation. This light sensor circuit includes a light-receiving transistor, a first switching transistor, a second switching transistor, and a capacitive element. The light-receiving transistor includes a gate connected to first wiring, a source connected to second wiring, and a drain. The first switching transistor has a gate connected to third wiring, a source connected to fourth wiring, and a drain connected to the drain of the light-receiving transistor. The capacitive element includes a first terminal connected to the drain of the light-receiving transistor, and a second terminal connected to the source of the first switching transistor. The second switching transistor includes a gate connected to a gate line, a source connected to a signal line, and a drain connected to the first terminal of the capacitive element. The light-receiving transistor, the first switching transistor, and the second switching transistor each include an oxide semiconductor layer as a channel layer.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示の課題は、安定した動作を行うことが可能な、酸化物半導体トランジスタを用いた光センサー回路を提供することにある。光センサー回路は、受光トランジスタと、第1スイッチングトランジスタと、第2スイッチングトランジスタと、容量素子と、を含む。受光トランジスタは、第1配線に接続されたゲートと、第2配線に接続されたソースと、ドレインと、を含む。第1スイッチングトランジスタは、第3配線に接続されたゲートと、第4配線に接続されたソースと、受光トランジスタのドレインに接続されたドレインと、を有する。容量素子は、受光トランジスタのドレインに接続された第1端子と、第1スイッチングトランジスタのソースに接続された第2端子と、を含む。第2スイッチングトランジスタは、ゲート線に接続されたゲートと、信号線に接続されたソースと、容量素子の第1端子に接続されたドレインと、を含む。受光トランジスタ、第1スイッチングトランジスタ、および、第2スイッチングトランジスタのおのおのは、チャンネル層として酸化物半導体層を含む。

明 細 書

発明の名称：

光センサー回路、光センサー装置、および、表示装置

技術分野

[0001] 本発明は光センサー回路に関し、特に、酸化物半導体トランジスタを用いた光センサー回路、光センサー装置および表示装置に適用可能である。

背景技術

[0002] 酸化物半導体トランジスタを用いた光センシング回路や光センサー素子として、特開2011-243950号公報（特許文献1）や、特開2009-182194号（特許文献2）が提案されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-243950号公報
特許文献2：特開2009-182194号公報

発明の概要

発明が解決しようとする課題

[0004] 酸化物半導体トランジスタは、光照射をしながら負バイアスが印加されると閾値電圧が大きく変動する光負バイアス劣化という劣化モードがある。また、酸化物半導体トランジスタに光照射した場合、光の照射を止めても、ドレイン電流の減少が極めて遅いという特性を有する。そのため、酸化物半導体トランジスタを光センサー素子に用いることは難しいという課題がある。

[0005] 本発明の目的は、安定した動作を行うことが可能な、酸化物半導体トランジスタを用いた光センサー回路を提供することにある。

[0006] その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0007] 本発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

[0008] すなわち、光センサー回路は、受光トランジスタと、第1スイッチングトランジスタと、第2スイッチングトランジスタと、容量素子と、を含む。前記受光トランジスタは、第1配線に接続されたゲートと、第2配線に接続されたソースと、ドレインと、を含む。前記第1スイッチングトランジスタは、第3配線に接続されたゲートと、第4配線に接続されたソースと、前記受光トランジスタの前記ドレインに接続されたドレインと、を含む。前記容量素子は、前記受光トランジスタの前記ドレインに接続された第1端子と、前記第1スイッチングトランジスタの前記ソースに接続された第2端子と、を含む。前記第2スイッチングトランジスタは、ゲート線に接続されたゲートと、信号線に接続されたソースと、前記容量素子の前記第1端子に接続されたドレインと、を含む。前記受光トランジスタ、第1スイッチングトランジスタ、および、前記第2スイッチングトランジスタのおのおのは、チャンネル層として酸化物半導体層を含む。

[0009] また、光センサー装置は、複数のゲート線と、複数の信号線と、1つの光センサー回路が1つのゲート線と1つの信号線とに接続されるように、前記複数のゲート線と前記複数の信号線とに接続された複数の光センサー回路と、を含む。前記複数の光センサー回路のおのおのは、受光トランジスタと、第1スイッチングトランジスタと、第2スイッチングトランジスタと、容量素子と、を含む。前記受光トランジスタは、第1配線に接続されたゲートと、第2配線に接続されたソースと、ドレインと、を含む。前記第1スイッチングトランジスタは、第3配線に接続されたゲートと、第4配線に接続されたソースと、前記受光トランジスタの前記ドレインに接続されたドレインと、を含む。前記容量素子は、前記受光トランジスタの前記ドレインに接続された第1端子と、前記第1スイッチングトランジスタの前記ソースに接続された第2端子と、を有する。前記第2スイッチングトランジスタは、対応するゲート線に接続されたゲートと、対応する信号線に接続されたソースと、前記容量素子の前記第1端子に接続されたドレインと、を含む。前記受光ト

ランジスタ、第1スイッチングトランジスタ、および、前記第2スイッチングトランジスタのおのおのは、チャンネル層として酸化物半導体層を含む。

[0010] また、表示装置は、表示領域を有する表示パネルを有する。前記表示領域は、表示画素と、光センサー回路と、を含む。前記光センサー回路は、受光トランジスタと、第1スイッチングトランジスタと、第2スイッチングトランジスタと、容量素子と、を含む。前記受光トランジスタは、第1配線に接続されたゲートと、第2配線に接続されたソースと、ドレインと、を含む。前記第1スイッチングトランジスタは、第3配線に接続されたゲートと、第4配線に接続されたソースと、前記受光トランジスタの前記ドレインに接続されたドレインと、を含む。前記容量素子は、前記受光トランジスタの前記ドレインに接続された第1端子と、前記第1スイッチングトランジスタの前記ソースに接続された第2端子と、を含む。前記第2スイッチングトランジスタは、ゲート線に接続されたゲートと、信号線に接続されたソースと、前記容量素子の前記第1端子に接続されたドレインと、を含む。前記受光トランジスタ、第1スイッチングトランジスタ、および、前記第2スイッチングトランジスタのおのおのは、チャンネル層として酸化物半導体層を含む。

図面の簡単な説明

[0011] [図1]実施例に係る光センサー装置に用いられる酸化物半導体トランジスタの例示的な構造を概略的に説明する断面図である。

[図2]図1の受光トランジスタの例示的な構造を概略的に説明する断面図である。

[図3]図1のスイッチングトランジスタの例示的な構造を概略的に説明する断面図である。

[図4]光照射の無い場合の受光トランジスタのドレイン電流の特性を示す図である。

[図5]光照射の有る場合の受光トランジスタのドレイン電流の特性を示す図である。

[図6]実施例に係る光センサー回路の例示的な構成例を説明する回路図である

。

[図7]実施例に係る光センサー装置の例示的な全体構成を示すブロック図である。

[図8]実施例に係る光センサー装置の動作例を説明するタイミング図である。

[図9]比較例に係る酸化物半導体トランジスタの光電流の特性を説明するための特性図である。

[図10]比較例に係る酸化物半導体トランジスタの光電流の説明するための図である。

[図11]実施例に係る酸化物半導体トランジスタの光電流の説明するための図である。

[図12]図11のリセットパルス印加時における、酸化物半導体トランジスタのゲート電極のゲートバイアス電位 (V_g) を例示的に示す図である。

[図13]図11のリセットパルス印加時における、酸化物半導体トランジスタのドレイン電極のドレインバイアス電位 (V_d) を例示的に示す図である。

[図14]応用例1に係る表示装置を概念的に示す平面図である。

[図15]応用例2に係る表示装置を概念的に示す平面図である。

[図16]変形例に係る表示装置を概念的に示す平面図である。

[図17]変形例に係る表示装置に採用可能な表示画素と光センサー回路との構成例を示す回路図である。

発明を実施するための形態

[0012] 以下に、本発明の各実施の形態について、図面を参照しつつ説明する。

[0013] なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。

[0014] また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

実施例

[0015] (光センサー素子の素子構造)

図1は、実施例に係る光センサー装置に用いられる酸化物半導体トランジスタの例示的な構造を概略的に説明する断面図である。図2は、図1の受光トランジスタ101の例示的な構造を概略的に説明する断面図である。図3は、図1のスイッチングトランジスタ102の例示的な構造を概略的に説明する断面図である。

[0016] 実施例に係る光センサー装置1は、複数の光センサー回路SCを含む。図1には、各光センサー回路SCに利用される1つの受光トランジスタ101と、1つのスイッチングトランジスタ102と、容量素子103と、が例示的に描かれる。受光トランジスタ101およびスイッチングトランジスタ102は、共に、酸化物半導体トランジスタを利用して構成される。

[0017] 受光トランジスタ101は、図1および図2に示されるように、ゲート電極12bと、酸化物半導体層14bと、ドレイン電極15bと、ソース電極15cと、を含む。すなわち、受光トランジスタ101は、酸化物半導体層14bの下部にゲート電極12bが設けられた下部ゲート構造、すなわち、ボトムゲート型の3端子（ゲート、ソース、および、ドレイン）の素子とされており、ボトムゲート・トップコンタクト構造（逆スタガ構造という）を有する。

[0018] スwitchングトランジスタ102は、図1および図3に示されるように、ゲート電極12aと、酸化物半導体14aと、ソース電極15aおよびドレイン電極15b、および、バックゲート電極17と、を含む。すなわち、スイッチングトランジスタ102は、ボトムゲート型の4端子（ゲート、ソース、ドレイン、および、バックゲート）の素子とされており、逆スタガ構造にバックゲート電極17を設けた構成を有する。例えば、スイッチングトランジスタ102は、ゲート電極12aとバックゲート電極17とを駆動するデュアルゲート駆動としても良い。また、スイッチングトランジスタ102は、バックゲート電極17をソース電極15aに接続した構成でも良い。ス

スイッチングトランジスタ 102 は、ボトムゲート型の構成に限定されるものではなく、上部ゲート型構造の構成でもよい。なお、上部ゲート型構造とは、酸化物半導体 14a の上方に、ゲート電極 12a を設けた構成である。

[0019] 容量素子 103 は、ゲート電極 12c と、ソースまたはドレイン電極 15d と、ゲート絶縁膜 13 とにより構成される。容量素子 103 は、この構成に限らず、ゲート電極 12c と、酸化物半導体層 14a、14b と同時に設けられた酸化物半導体層と、ゲート絶縁膜 13 とで構成することができる。また、容量素子 103 は、ソースまたはドレイン電極 15d と、バックゲート電極 17 と同時に設けられた金属層と、絶縁層 16 で構成することができる。

[0020] 酸化物半導体層 14a、14b は、酸化物半導体トランジスタ (101、102) のチャンネル層 (活性層) を構成しており、その材料は、ZnO 系の材料などの酸化物半導体材料を含むことができる。ZnO 系の材料は、例えば、ZnO を含むことができ、または、Hf、Y、Ta、Zr、Ti、Cu、Ni、Cr、In、Ga、Al、Sn 及び Mg から選択された少なくとも一つの材料が ZnO に含まれている混合物または化合物を含むこともできる。例えば、かかる ZnO 系の材料は、ZnO、TaZnO、InZnO (IZO) や GaInZnO (Gallium Indium Zinc Oxide; GIZO) を含むことができる。

[0021] このような酸化物半導体トランジスタは、入射光 LIG の光量によってしきい電圧及びドレイン電流が変わる特性があるため、受光トランジスタ 101 として利用することが可能である。なお、スイッチングトランジスタ 102 においては、入射光 LIG の光量によってしきい電圧及びドレイン電流が変わる特性は不要であるため、図 1 および図 3 に示されるように、酸化物半導体層 14a の下方にはゲート電極 12a が設けられ、また、酸化物半導体層 14a の上方にはバックゲート電極 17 が設けられる。これにより、スイッチングトランジスタ 102 の酸化物半導体層 14a には、入射光 LIG が照射されない様な構成にされている。つまり、バックゲート電極 17 は、

酸化物半導体層 14 a への入射光 L I G を遮光ないし阻止する機能を有する。

[0022] 図 1 を参照すれば、光センサー装置 1 は、基板 10 と、基板 10 上に全体的に設けられた絶縁層 11 と、絶縁層 11 上に部分的に設けられたゲート電極 12 a、12 b、12 c と、ゲート電極 12 a、12 b、12 c の側面および上面を覆うように、絶縁層 11 及びゲート電極 12 a、12 b、12 c 上に設けられたゲート絶縁膜 13 と、を有する。光センサー装置 1 は、さらに、ゲート絶縁膜 13 上に部分的に設けられた酸化物半導体層 14 a、14 b と、酸化物半導体層 14 a、14 b の両側を覆うように設けられたソース電極およびドレイン電極 15 a、15 b、15 c、15 d と、ソース電極およびドレイン電極 15 a、15 b、15 c、15 d 及び酸化物半導体層 14 a、14 b を全体的に覆うように設けられた透明絶縁層 16 と、を有する。光センサー装置 1 は、さらに、透明絶縁層 16 上に、酸化物半導体層 14 a を覆う様に部分的に設けられたバックゲート電極 17 と、バックゲート電極 17 上と透明絶縁層 16 上とを全体的に覆うように設けられた平坦化膜としての透明絶縁層 18 と、透明絶縁層 18 上に部分的に設けられた配線層 19 a、19 b と、配線層 19 a、19 b 上と透明絶縁層 18 上とを全体的に覆うように設けられた保護膜としての透明絶縁層 20 と、を有する。なお、配線層 19 a はバックゲート電極 17 にビア電極を介し接続され、配線層 19 b はソース電極 15 c にビア電極を介し接続されている。

[0023] 基板 10 は、ガラス、シリコン、樹脂基板などの一般的な基板材料を使用できる。絶縁層 11、ゲート絶縁膜 13、透明絶縁層 16、透明絶縁層 18、透明絶縁層 20 は、シリコン酸化膜の材料を使用できる。絶縁層 11、ゲート絶縁膜 13、透明絶縁層 16、透明絶縁層 18、透明絶縁層 20 は、CVD 法により成膜することが出来る。ゲート電極 12 a、12 b、12 c、ソース電極およびドレイン電極 15 a、15 b、15 c、15 d、バックゲート電極 17、配線層 19 a、19 b は、導電性金属または導電性金属酸化物を使用できる。酸化物半導体層 14 a、14 b は、スパッタリング法によ

り、成膜することが可能である。

[0024] たとえば、光センサー装置 1 がディスプレイパネル上に付着される光タッチパネルまたは指紋センサーに使われる場合、ゲート電極 12 a、12 b、12 c、ソース電極およびドレイン電極 15 a、15 b、15 c、15 d は、ITO 等の透明導電性材料で構成できる。ただし、図 1 に示される様に、光センサー装置 1 の上面から入射光 L1G が照射されるような上面照射方式の場合、バックゲート電極 17 は酸化物半導体層 14 a への入射光 L1G の照射を遮光または阻止する役割を有するため、バックゲート電極 17 は不透明な導電性材料で構成するのが良い。一方、光センサー装置 1 の裏面、すなわち、基板 10 側から、入射光 L1G が照射されるような裏面照射方式の場合、ゲート電極 12 c は酸化物半導体層 14 a への入射光 L1G の照射を遮光または阻止する役割を有するため、ゲート電極 12 c は不透明な導電性材料で構成するのが良い。

[0025] 図 4 は、光照射の無い場合の受光トランジスタ 101 のドレイン電流の特性を示す図である。図 5 は、光照射の有る場合の受光トランジスタ 101 のドレイン電流の特性を示す図である。図 4 および図 5 において、縦軸は受光トランジスタ 101 のドレイン電流の値を示し、横軸は受光トランジスタ 101 のゲート電圧を示している。また、点線で示される特性は、ドレイン電圧が 1 V の場合を示し、実線で示される特性は、ドレイン電圧が 10 V の場合を示している。

[0026] 図 4 から理解されるように、光照射の無い場合において、受光トランジスタ 101 のゲート電位が閾値以下の領域、すなわち、受光トランジスタ 101 がオフ状態（非導通）とされるオフ領域では、ドレイン電流は測定下限以下の様な極めて小さい値となっている。これに対し、図 5 から理解されるように、光照射の有る場合において、受光トランジスタ 101 のゲート電位が閾値以下の領域、すなわち、受光トランジスタ 101 がオフ状態（非導通）とされるオフ領域では、ドレイン電流は、図 4 と比較して、大幅に上昇する。

[0027] 本発明の受光トランジスタ 101 は、前述の様に 3 端子構造であるので、

図4および図5に示されるように、受光トランジスタ101のオフ状態のドレイン電流（ここではオフ電流ともいう）の値を光照射の有無の判定に利用することが出来る。これは、光照射の有無における受光トランジスタ101のオフ電流の信号比が大きいことを利用することで、光照射の有無の検出を安定した動作で行うことが可能である。

[0028] 前述の様に、酸化物半導体トランジスタは、光照射をしながら負バイアスが印加されると閾値電圧が大きく変動する光負バイアス劣化という劣化モードがある。特に、光感度を上げると、光劣化が加速してしまうというトレードオフは問題となっている。一方、酸化物半導体トランジスタはオフ電流が非常に低いため、受光トランジスタ101を3端子構造とし、受光トランジスタ101をオフ領域で動作させることで、光照射の有無におけるオフ電流の信号比を十分にとることができる。

[0029] また、受光トランジスタ101とスイッチングトランジスタ102とのゲート位置およびバックゲート電極を変えることにより、二つの素子101、102の間の光照射量が制御可能である。これにより、光照射の有無の検出を安定した動作で行うことが可能である。

[0030] また、酸化物半導体トランジスタの光劣化は、閾値を負方向に動かすため、酸化物半導体トランジスタのオフ時にゲート電極へ印加される負電位を大きくとることで、閾値のマイナス変動に対しても影響を受けにくくすることが可能である。

[0031] 次に、図1－図3で説明された受光トランジスタ101、スイッチングトランジスタ102および容量素子103を利用した光センサー回路の例示的な回路構成例を説明する。

[0032] （光センサー回路の回路構成）

図6は、実施例に係る光センサー回路の例示的な構成例を説明する回路図である。

[0033] 光センサー回路SCは、受光素子である受光トランジスタ101と、スイッチングトランジスタ102、スイッチングトランジスタ104と、容量素

子103と、を含む。また、図6には、光センサー回路SCに接続されたりセット回路RSが描かれる。リセット回路RSは、スイッチングトランジスタ105を含む。

[0034] ここで、スイッチングトランジスタ104、105のおのおのは、図1や図3で説明されたスイッチングトランジスタ102と同様に、バックゲート電極17を有する酸化物半導体トランジスタで構成される。図6において、スイッチングトランジスタ102、104、105のおのおは、そのバックゲート電極17がそのソース電極に接続された構成を有する。スイッチングトランジスタ102は第1スイッチングトランジスタと、スイッチングトランジスタ104は第2スイッチングトランジスタと、スイッチングトランジスタ105は第3スイッチングトランジスタと、言う事がある。

[0035] 受光トランジスタ101は、第1ゲート制御信号SVGが供給される配線（第1配線）L1に接続されたゲートと、第1ソース制御信号SVSが供給される配線に接続（第2配線）L2されたソースと、ドレインと、を有する。スイッチングトランジスタ102は、第2ゲート制御信号DCHが供給される配線（第3配線）L3に接続されたゲートと、第2ソース制御信号VR1が供給される配線（第4配線）L4に接続されたソースと、受光トランジスタ101のドレインに接続されたドレインと、を有する。容量素子103は、受光トランジスタ101のドレインに接続された第1端子と、スイッチングトランジスタ102のソースに接続された第2端子と、を有する。スイッチングトランジスタ104は、ゲート線G1に接続されたゲートと、信号線Sig1に接続されたソースと、容量素子103の第1端子に接続されたドレインと、を有する。

[0036] 容量素子103は、入射光LIGが受光トランジスタ101へ照射された時、照射された光量に応じた電荷を蓄える機能を有する。容量素子103に蓄えられた電荷は、ゲート線G1が選択レベルとされることで、オン状態とされたスイッチングトランジスタ104のソース・ドレイン経路を介して、信号線Sig1へ読み出される。

[0037] リセット回路RSは、スイッチングトランジスタ105を有する。スイッチングトランジスタ105は、リセット信号RSTが供給される配線（第5配線）L5に接続されたゲートと、第2ソース制御信号VR1が供給される配線L4に接続されたソースと、信号線Sig1に接続されたドレインと、を有する。なお、第2ソース制御信号VR1が供給される配線L4は、複数の光センサー回路SCが設けられた場合、各光センサー回路SCの容量素子103の第2端子に接続される。

[0038] 次に、図6で説明された光センサー回路SCおよびリセット回路RSを複数含む光センサー装置1の例示的な全体構成を説明する。

（光センサー装置の全体構成）

図7は、実施例に係る光センサー装置の例示的な全体構成を示すブロック図である。なお、図面の複雑さを避けるため、図7には、図6に示される受光トランジスタ101、スイッチングトランジスタ102、104、容量素子103、および、ゲート線G、信号線S、以外の複数の配線（L1〜L4）は、記載されていない。

[0039] 光センサー装置1は、例えば、矩形形状の光センサーパネルLPNLの上に設けられる。光センサーパネルLPNL上には、アレイ部ARRが設けられており、アレイ部ARRには、例えば、m行n列の様な行列状に配置された複数の光センサー回路（SC11、SC12、...、SCmn）が設けられる。

[0040] m行に対応して、m本のゲート線G（G1、G2、G3、...、Gm）が設けられ、n列に対応してn本の信号線S（Sig1、Sig2、Sig3、...、Sigm）が設けられる。

[0041] 1行目に配置された光センサー回路SC11、SC12、SC13、...、SC1nには、ゲート線G1が接続され、2行目に配置された光センサー回路SC21、SC22、SC23、...、SC2nには、ゲート線G2が接続され、3行目に配置された光センサー回路SC31、SC32、SC33、...、SC3nには、ゲート線G3が接続される。同様にして、

他のゲート線には、対応する行に配置された複数の光センサー回路が接続される。

[0042] 一方、1列目に配置された光センサー回路SC11、SC21、SC31、．．．、SCm1には、信号線Sig1が接続され、2列目に配置された光センサー回路SC12、SC22、SC32、．．．、SCm2には、信号線Sig2が接続され、3列目に配置された光センサー回路SC13、SC23、SC33、．．．、SCm3には、信号線Sig3が接続される。同様にして、他の信号線には、対応する列に配置された複数の光センサー回路が接続される。

[0043] 以上の様にして、複数の光センサー回路は、1つの光センサー回路が1本のゲート線と1本の信号線とに接続される様に、複数のゲート線と複数の信号線とに接続される。

[0044] 光センサーパネルLPNL上において、アレイ部ARRの設けられた領域の周辺の領域には、複数のリセット回路RS1、RS2、RS3、．．．、RSn)と、リセット制御回路RSTLと、ゲート線駆動回路GDと、読み出し回路RAと、が設けられる。

[0045] 複数のリセット回路(RS1、RS2、RS3、．．．、RSn)は、各列に対応して設けられる。リセット回路RS1は信号線Sig1に接続され、リセット回路RS2は信号線Sig2に接続され、リセット回路RS3は信号線Sig3に接続される。同様にして、他のリセット回路は、対応する信号線に接続される。複数のリセット回路(RS1、RS2、RS3、．．．、RSn)には、また、リセット制御回路RSTLから出力されるリセット信号RSTが配線を介して入力される。

[0046] ゲート線駆動回路GDは、m本のゲート線G(G1、G2、G3、．．．、Gm)に接続され、例えば、m本のゲート線G(G1、G2、G3、．．．、Gm)の内の所望の1本のゲート線を選択レベルとする機能を有する。

[0047] 読み出し回路RAは、n本の信号線S(Sig1、Sig2、Sig3、．．．、Sigm)に接続される。例えば、読み出し動作において、ゲート

線駆動回路GDが1本のゲート線を選択レベルとした場合、選択レベルとされたゲート線に接続される複数の光センサー回路が選択される。そして、選択された複数の光センサー回路内の容量素子に蓄えられた電荷が、読み出しデータとして、n本の信号線を介して、読み出し回路RAへ入力されることになる。読み出し回路RAは、例えば、アナログ信号をデジタル信号へ変換するアナログデジタル変換回路機能を有することが出来る。これにより、光センサー回路の容量素子から読み出された電荷の量の様なアナログ信号を、デジタル信号へ変換して、例えば、ホスト装置へ送信することが出来る。

[0048] 光センサーパネルLPNL上において、アレイ部ARRの設けられた領域の周辺の領域には、また、第1ゲート制御信号SVGを生成する制御回路SVG Lと、第1ソース制御信号SVSを生成する制御回路SVS Lと、第2ゲート制御信号DCHを生成する制御回路DCH Lと、第2ソース制御信号VR1を生成する制御回路VR1 Lと、が設けられる。

[0049] 次に、図7で説明された光センサー装置1の動作を説明する。

[0050] (光センサー装置の駆動方法)

図8は、実施例に係る光センサー装置1の動作例を説明するタイミング図である。図8のタイミング図は、1回のセンサーシーケンスを示している。1回のセンサーシーケンスは、センサーリセット期間SRPと、容量リセット期間CRPと、露光期間EXPと、読み出し期間RAPと、を含む。このようなセンサーシーケンスが、例えば、連続的に、または、所望の期間に所定回数行われて、タッチ検出または指紋検出が行われる。

[0051] センサーリセット期間SRPは、スイッチングトランジスタ105により、受光トランジスタ101にリセット電流を流すことで、受光トランジスタ101の光応答をキャンセルさせ、初期状態に戻す期間である。センサーリセット期間SRPにおいて、受光トランジスタ101のゲート電極のバイアスをプラスにすることで、瞬間的に光電流をリセットさせる。

[0052] 容量リセット期間CRPは、露光期間EXPの前において、容量素子103に蓄えられた電荷を、スイッチングトランジスタ102により、一定の電

位に変化させる期間である。

[0053] 露光期間E X Pは、受光トランジスタ101を受光素子として機能させ、入射光L I Gにより照射された光量に応じて、容量素子103に電荷を蓄える期間である。露光期間E X Pには、受光トランジスタ101のゲート電極のバイアスをマイナスにすることで十分な信号強度を確保する。

[0054] 読み出し期間R A Pは、露光期間E X Pの後に、スイッチングトランジスタ104をオン状態とすることにより、容量素子103に新たに蓄えられた電荷から、入射光L I Gにより照射された光量に比例する信号を読み出す期間である。

[0055] 以上により、受光トランジスタ101に対する入射光L I Gの光照射の光強度を、定量的に検出することが可能になる。

[0056] 図8を参照して、1回のセンサーシーケンスを説明する。

[0057] 期間t 1は、センサーリセット期間S R Pの前に行われる準備期間を示している。期間t 1において、第1ゲート制御信号S V Gは10Vの様なハイレベルとされ、リセット信号R S Tは10Vの様なハイレベルとされる。また、第2ゲート制御信号D C Hは-5Vの様なロウレベルとされ、第1ソース制御信号S V Sは-1Vの様なロウレベルにされ、第2ソース制御信号V R 1は0Vの様なハイレベルにされ、すべてのゲート電極G 1 - G mは-5Vの様なロウレベル（非選択レベル）にされる。この状態では、受光トランジスタ101とスイッチングトランジスタ105が、オン状態となっている。

[0058] 期間t 1の後、センサーリセット期間S R Pが開始される。センサーリセット期間S R Pは、複数の期間t 2を有している。期間t 2は、ゲート電極（G 1 - G m）のおおのが、順次、-5Vの様な非選択レベルから10Vの様な選択レベルへ遷移され、その後、非選択レベルへ遷移される期間を示している。ゲート電極G 1が選択レベルとされると、ゲート電極G 1に接続された1行目の各光センサー回路（S C 1 1、S C 1 2、...、S C 1 n）内の受光トランジスタ101の光応答がキャンセルされて、初期状態に戻

される。ゲート電極G 2が選択レベルとされると、ゲート電極G 2に接続された2行目の各光センサー回路(SC 2 1、SC 2 2、...、SC 2 n)内の受光トランジスタ1 0 1の光応答がキャンセルされて、初期状態に戻される。同様な動作が、他のゲート電極(G 3 - G m)を順次選択レベルとすることで、センサーアレイARRの全ての光センサー回路内の受光トランジスタ1 0 1が初期状態に戻される。具体的には、スイッチングトランジスタ1 0 5、スイッチングトランジスタ1 0 4、および受光トランジスタ1 0 1がオン状態されている。したがって、リセット電流は、第2ソース制御信号VR 1の供給される配線から、スイッチングトランジスタ1 0 5のソース・ドレイン経路、信号線(S i g 1 - S i g n)、スイッチングトランジスタ1 0 4のソース・ドレイン経路、および、受光トランジスタ1 0 1のソース・ドレイン経路を介して、第1ソース制御信号SV Sの供給される配線へ流れる。

[0059] 期間t 3は、すべてのゲート電極(G 3 - G m)の選択動作が終了した期間を示している。

[0060] 期間t 4は、期間t 3の後に設けられており、容量リセット期間CR Pの前に行われる準備期間を示している。期間t 4において、第1ゲート制御信号SV Gは、1 0 Vの様なハイレベルから- 5 Vの様なロウレベルとされる。

[0061] 期間t 5は、期間t 4の後に設けられた容量リセット期間CR Pを示している。期間t 5において、第2ゲート制御信号DCHは- 5 Vの様なロウレベルから1 0 Vの様なハイレベルにされ、第2ソース制御信号VR 1は0 Vの様なハイレベルから- 1 Vの様なロウレベルにされる。また、第1ソース制御信号SV Sは- 1 Vの様なロウレベルから5 Vの様なハイレベルにされる。これにより、各光センサー回路(SC 1 1、SC 1 2、...、SC n m)において、スイッチングトランジスタ1 0 2がオン状態にされ、容量素子1 0 3に蓄えられた電荷が、放電または充電されて、一定の電位に変化する。

[0062] 露光期間EXPは、期間t₅の後に設けられる。露光期間EXPは、第2ゲート制御信号DCHを10Vの様なハイレベルから−5Vの様なロウレベルへ遷移させ、また、第2ソース制御信号VR1を−1Vの様なロウレベルから0Vの様なハイレベルへ遷移させることにより開始される。この時、すべての光センサー回路（SC11、SC12、...、SCnm）内の受光トランジスタ101、スイッチングトランジスタ102、スイッチングトランジスタ104は、オフ状態とされている。この状態で、アレイ部ARRに入射光LIGが照射されると、光センサー回路（SC11、SC12、...、SCnm）内の各受光トランジスタ101は受光素子として機能し、入射光LIGにより照射された光量に応じて、各容量素子103に電荷が蓄えられることになる。露光期間EXPの終了は、リセット信号RSTを10Vの様なハイレベルから−5Vの様なロウレベルへ遷移させることによって決定される。すなわち、露光期間EXPは、第2ゲート制御信号DCHのロウレベルへの遷移とリセット信号RSTのロウレベルへの遷移の間の時間で決めることが出来る。したがって、露光期間EXPは、この時間を制御することで、露光期間EXPの期間を可変に出来る。

[0063] 期間t₆は、読み出し期間RAPの前の準備期間である。期間t₆において、リセット信号RSTがロウレベルにされる。

[0064] 期間t₆の後、読み出し期間RAPが開始される。読み出し期間RAPは、複数の期間t₇を有している。期間t₇は、ゲート電極（G1ーGm）のおおのが、順次、−5Vの様な非選択レベルから10Vの様な選択レベルへ遷移され、その後、非選択レベルへ遷移される期間を示している。ゲート電極G1が選択レベルとされると、ゲート電極G1に接続された1行目の各光センサー回路（SC11、SC12、...、SC1n）内の各容量素子103に新たに蓄えられた電荷がスイッチングトランジスタ104をオン状態とすることにより、信号線Sig1ーSigmに読み出されて、読み出し回路RAへ入力される。すべてのゲート電極（G2ーGm）が順次選択レベルとされることで、アレイ部ARR内の全光センサー回路（SC11、SC

12、...、SCmn)の全容量素子103の電荷が読み出し回路RAへ入力される。

[0065] 期間t8は、読み出し期間RAPの終了後、に設けられる。期間t8の後、リセット信号RSTがロウレベルからハイレベルへ遷移することで、期間t1の開始前の状態に、各信号の状態が設定される。

[0066] 図9は、比較例に係る酸化物半導体トランジスタの光電流の特性を説明するための特性図である。図9において、縦軸はド레인電流を示し、横軸は時間(秒:S)示している。図9は、単純な2端子、もしくはリセットバイアスを印加しない酸化物半導体トランジスタに、横軸において10秒から30秒の間において光を照射した場合のド레인電流(光電流)の変化を示している。図9から理解されるように、光を照射すると(光照射ON)、酸化物半導体トランジスタのド레인電流は増加し、光の照射を止めると(非光照射OFF)、酸化物半導体トランジスタのド레인電流は減少していくが、光の照射を止めても(非光照射OFF)、ド레인電流の減少が極めて遅いという特性を有する。なお、光照射によって上昇したド레인電流(光電流)は、光照射を辞めた後でもなかなか下がらず、1時間以上、光照射前の元の電流値よりも高い状態が続く、という特徴を有する。

[0067] 図10は、比較例に係る酸化物半導体トランジスタの光電流の説明するための図である。図10において、縦軸はド레인電流を示し、横軸は時間(秒:S)示している。また、図10の上側には、発光素子として採用したLED素子への印加電圧が示される。すなわち、図10は、単純な2端子、もしくはリセットバイアスを印加しない酸化物半導体トランジスタに、LED素子の発光量を変化させながら光を照射した場合の酸化物半導体トランジスタのド레인電流(光電流)の変化が示されている。図10から理解されるように、単純な2端子、もしくはリセットバイアスを印加しない酸化物半導体トランジスタは、光緩和が非常に遅いため、安定した信号強度を得ることができず、定量的な光センサー素子を酸化物半導体トランジスタで形成することが、難しいことがわかる。

[0068] 図11は、実施例に係る酸化物半導体トランジスタの光電流の説明するための図である。図11において、縦軸はドレイン電流を示し、横軸は時間（秒：S）示している。また、図11の上側には、図10と同様に、LED素子への印加電圧が示される。図11は、酸化物半導体トランジスタとして、3端子の酸化物半導体トランジスタ101を採用し、センシング開始時またはセンシング終了時に、酸化物半導体トランジスタ101のゲート端子G1に正の電圧をリセットパルスとして印加した場合の酸化物半導体トランジスタ101のドレイン電流（光電流）の変化が示されている。図11から理解されるように、センシング開始時またはセンシング終了時にゲート端子に正の電圧を印加すると、一瞬でその光電流をキャンセルすることができる。こうすることで、リフレッシュ期間を、たとえば、100msec以下まで、大幅に低減させることができる。したがって、安定した信号強度を得ることができ、定量的な光センサー素子を酸化物半導体トランジスタで形成することか可能になる。

[0069] 図12は、図11のリセットパルス印加時における、酸化物半導体トランジスタ101のゲート電極のゲートバイアス電位（ V_g ）を例示的に示す図である。酸化物半導体トランジスタ101のゲート電極には、たとえば、100msecの様な期間、ハイレベル（10V）とされる正の電位が、リセットパルスとして印加すること出来る。リセットパルスの間隔は、図12では、例示的に、900msecとされている。なお、図12のリセットパルスのハイレベルの期間は、図8に示されるセンサーリセット期間SRPにおける1つの期間 t_2 と見做すことが出来る。

[0070] 図13は、図11のリセットパルス印加時における、酸化物半導体トランジスタ101のドレイン電極のドレインバイアス電位（ V_d ）を例示的に示す図である。酸化物半導体トランジスタ101のドレイン電極には、たとえば、500msecの様な期間、ハイレベル（0V）とされ、その後、500msecの様な期間、ロウレベル（-1V）とされる。なお、図13のバイアス電位（ V_d ）がロウレベル（-1V）とされる期間は、図8に示され

る容量リセット期間CRP(期間 t_5)と見做すことが出来る。

[0071] 実施例によれば、以下の1または複数の効果を得ることが可能である。

[0072] 1) 受光トランジスタ101は、酸化物半導体層14bをチャンネル層(活性層)として用いた3端子(ゲート、ソース、および、ドレイン)を有する酸化物半導体素子とする。受光トランジスタ101は、3端子構造であるので、図4および図5に示されるように、受光トランジスタ101のオフ状態のドレイン電流(オフ電流)の値を光照射の有無の判定に利用することが出来る。光照射の有無における受光トランジスタ101のオフ電流の信号比が大きいことを利用することで、光照射の有無の検出を安定した動作で行うことが可能である。

[0073] 2) スイッチングトランジスタ102(104、105)は、酸化物半導体層14aをチャンネル層(活性層)として用いた4端子(ゲート、ソース、ドレイン、および、バックゲート)を有する酸化物半導体素子とする。これにより、スイッチングトランジスタ102の酸化物半導体層14aには、入射光L1Gが照射されない様な構成にされている。バックゲート電極17は、酸化物半導体層14aへの入射光L1Gを遮光ないし阻止する機能を有する。

[0074] 3) 上記2)において、スイッチングトランジスタ102(104、105)は、ゲート電極12aとバックゲート電極17とを駆動するデュアルゲート駆動としても良い。また、スイッチングトランジスタ102(104、105)は、バックゲート電極17をソース電極15aに接続した構成でも良い。スイッチングトランジスタ102(104、105)は、ボトムゲート型の構成に限定されるものではなく、上部ゲート型構造の構成でもよい。

[0075] 4) 光センサー回路は、受光トランジスタ101と、スイッチングトランジスタ102、104と、容量素子103と、を含む。受光トランジスタ101は、第1ゲート制御信号SVGが供給される配線に接続されたゲートと、第1ソース制御信号SVSが供給される配線に接続されたソースと、ドレインと、を有する。スイッチングトランジスタ102は、第2ゲート制御信

号DCHが供給される配線に接続されたゲートと、第2ソース制御信号VR1が供給される配線に接続されたソースと、受光トランジスタ101のドレインに接続されたドレインと、を有する。容量素子103は、受光トランジスタ101のドレインに接続された第1端子と、スイッチングトランジスタ102のソースに接続された第2端子と、を有する。スイッチングトランジスタ104は、ゲート線G1に接続されたゲートと、信号線Sig1に接続されたソースと、容量素子103の第1端子に接続されたドレインと、を有する。容量素子103に蓄えられた電荷は、ゲート線G1が選択レベルとされることで、オン状態とされたスイッチングトランジスタ104のソース・ドレイン経路を介して、信号線Sig1へ読み出される。

[0076] 5) 上記4)において、光センサー回路には、リセット回路RSが接続される。リセット回路RSは、スイッチングトランジスタ105を有する。スイッチングトランジスタ105は、リセット信号RSTが供給される配線に接続されたゲートと、第2ソース制御信号VR1が供給される配線に接続されたソースと、信号線Sig1に接続されたドレインと、を有する。

[0077] 6) 光センサー回路およびリセット回路RSTを含む光センサー装置1の動作において、1回のセンサーシーケンスは、センサーリセット期間SRPと、容量リセット期間CRPと、露光期間EXPと、読み出し期間RAPと、を含む。センサーリセット期間SRPは、スイッチングトランジスタ105により、受光トランジスタ101にリセット電流を流すことで、受光トランジスタ101の光応答をキャンセルさせ、初期状態に戻す期間である。容量リセット期間CRPは、露光期間EXPの前において、容量素子103に蓄えられた電荷を、スイッチングトランジスタ102により、一定の電位に変化（初期化）させる期間である。露光期間EXPは、受光トランジスタ101を受光素子として機能させ、入射光LIGにより照射された光量に応じて、容量素子103に電荷を蓄える期間である。読み出し期間RAPは、露光期間EXPの後に、スイッチングトランジスタ104をオン状態とすることにより、容量素子103に新たに蓄えられた電荷から、入射光LIGによ

り照射された光量に比例する信号を読み出す期間である。

[0078] センサーリセット期間SRPを設けたことにより、受光トランジスタ101の光応答による光電流を、短時間で、キャンセルすることができる。また、容量リセット期間CRPを設けたことにより、露光期間EXPの前において、容量素子103に蓄えられた電荷を、一定の電位に変化（初期化）させることができる。これにより、安定した信号強度を得ることができるので、安定した動作を行うことが可能な光センサー装置1を提供することができる。

[0079] （応用例）

次に、図面を用いて、応用例を説明する。

[0080] （応用例1）

図14は、応用例1に係る表示装置を概念的に示す平面図である。応用例1に係る表示装置DSPは、実施例の光センサー装置1を、指紋センサーとして利用する場合の構成例を示している。この例では、光センサー装置1は、表示装置DSPの表示パネルPNLの上の所望の領域に張り合わられる。この領域は、例えば、指紋検出領域に割り当てられた表示パネルPNLの領域である。表示パネルPNLは、表示領域DAを有し、表示領域DAは、行列状に配置された複数の表示画素PXを有する。表示パネルPNLは、例えば、液晶表示パネルとすることができる。この場合、複数の表示画素PXのおおのほは、液晶表示画素を利用することができる。

[0081] （応用例2）

図15は、応用例2に係る表示装置を概念的に示す平面図である。応用例2に係る表示装置DSP1は、実施例の光センサー装置1を、タッチセンサーとして利用する場合の構成例を示している。この例では、光センサー装置1は、表示装置DSPの表示パネルPNLの表示領域DAの上に、張り合わられる。応用例1と同様に、表示パネルPNLは、表示領域DAを有し、表示領域DAは、行列状に配置された複数の表示画素PXを有する。応用例2の光センサー装置1は、タッチセンサーに限定されるものではなく、指紋セ

ンサーとして利用することも可能である。

[0082] (変形例)

図16は、変形例に係る表示装置を概念的に示す平面図である。図14および図15では、実施例の光センサー装置1が表示パネルPNLの表示領域DAの上に張り合わせられた構成例を示した。変形例に係る表示装置DSP2では、表示パネルPNLの表示領域DAに、表示画素PXと光センサー回路SCとの両方が設けられる例である。

[0083] 図17は、変形例に係る表示装置に採用可能な表示画素PXと光センサー回路SCとの構成例を示す回路図である。図17は、図6の光センサー回路SCと、表示画素PXとが組み合わせられた構成を例示的に示している。光センサー回路SCの構成は図6と同様なので説明は省略する。

[0084] 表示画素PXは、スイッチング素子としての1つの薄膜トランジスタ(Thin Film Transistor) TFTを含む。薄膜トランジスタTFTは、ゲートが走査線である画素ゲート線PXG1に接続され、ソース/ドレインの一方が信号線である画素ソース線S1に接続され、ソース/ドレインの他方が画素電極PEに接続されている。また、表示画素PXには、全ての表示画素PXに共通電位Vcomを与える共通電極Vcomが設けられており、画素電極PEと共通電極Vcomとの間に液晶層LCが設けられる。画素ゲート線PXG1を介して供給される駆動信号に基づいて薄膜トランジスタTFTがオン・オフ動作し、オン状態のときに画素ソース線S1から供給される表示信号に基づいて画素電極PEに画素電圧が印加され、画素電極PEと共通電極Vcomとの間の電界によって液晶層LCが駆動される構成となっている。

[0085] 図17では、1つの表示画素PXに1つの光センサー回路SCを設けた構成が示されるが、これに限定されるわけではない。複数の表示画素PXに対して1つ光センサー回路SCを設けてもよい。例えば、5つの表示画素PXに対して1つの光センサー回路SCを設けても良い。

[0086] 応用例および変形例においては、表示装置の一例として、液晶表示装置を開示した。この液晶表示装置は、例えば、スマートフォン、タブレット端末

、携帯電話端末、パーソナルコンピュータ、テレビ受像装置、車載装置、ゲーム機器、デジタルカメラ、ビデオカメラ等の種々の装置に用いることができる。なお、応用例および変形例にて開示する主要な構成は、有機エレクトロルミネッセンス表示素子等を有する自発光型の表示装置（OLED）、電気泳動素子等を有する電子ペーパー型の表示装置、MEMS（Micro Electro Mechanical Systems）を応用した表示装置、或いはエレクトロクロミズムを応用した表示装置などにも適用可能である。

[0087] 酸化物半導体層を用いた受光トランジスタ101は、図4に示される様に、非常にオフ電流が低いため、光照射がなければ非常に低いオフ電流を保つことができる。そのため、目的や照射光に合わせて、露光時間（露光期間EXP）や読み出し時間（読み出し期間RAP）を自由に変化させることも可能である（グローバルシャッタ）。例えば、OLEDや液晶の表示装置を組み合わせた場合、OLEDや液晶の表示装置の表示動作の合間に、光センサー装置1の駆動させることや、光センサー装置1を独立に稼働させることも可能である。また、読み出し時間（読み出し期間RAP）を短くとる場合は、読み出しトランジスタ104やリセットトランジスタ105に多結晶の低温ポリシリコン（LTPS）の薄膜トランジスタ（TFT）を用いることも可能である。

[0088] 本発明の実施の形態として上述した光センサー装置および表示装置を基にして、当業者が適宜設計変更して実施し得る全ての光センサー装置および表示装置も、本発明の要旨を包含する限り、本発明の範囲に属する。

[0089] 本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。例えば、上述の各実施形態に対して、当業者が適宜、構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略若しくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

[0090] また、本実施形態において述べた態様によりもたらされる他の作用効果に

ついて本明細書記載から明らかなもの、又は当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

[0091] 上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

符号の説明

[0092] 1 : 光センサー装置、SC : 光センサー回路、LIG : 入射光、101 : 受光トランジスタ、102、104、105 : スイッチングトランジスタ、103 : 容量素子、14a、14b : 酸化物半導体層（チャンネル層）、12a、12b : ゲート電極、15c、15b、15c : ドレイン電極・ソース電極、17 : バックゲート電極、RS : リセット回路、DSP : 表示装置

請求の範囲

- [請求項1] 受光トランジスタと、第1スイッチングトランジスタと、第2スイッチングトランジスタと、容量素子と、を含み、
- 前記受光トランジスタは、
- 第1配線に接続されたゲートと、
- 第2配線に接続されたソースと、
- ドレインと、を含み、
- 前記第1スイッチングトランジスタは、
- 第3配線に接続されたゲートと、
- 第4配線に接続されたソースと、
- 前記受光トランジスタの前記ドレインに接続されたドレインと、
- を含み、
- 前記容量素子は、
- 前記受光トランジスタの前記ドレインに接続された第1端子と、
- 前記第1スイッチングトランジスタの前記ソースに接続された第2端子と、を含み、
- 前記第2スイッチングトランジスタは、
- ゲート線に接続されたゲートと、
- 信号線に接続されたソースと、
- 前記容量素子の前記第1端子に接続されたドレインと、を含み、
- 前記受光トランジスタ、前記第1スイッチングトランジスタ、および、前記第2スイッチングトランジスタのおのおのは、チャンネル層として酸化物半導体層を含む、光センサー回路。
- [請求項2] 請求項1において、
- 前記受光トランジスタと前記第2スイッチングトランジスタとをオン状態とし、前記第1スイッチングトランジスタとをオフ状態する第1期間と、
- 前記第1期間の後、前記受光トランジスタと前記第2スイッチング

トランジスタとをオフ状態とし、前記第1スイッチングトランジスタとをオン状態する第2期間と、

前記第2期間の後、前記受光トランジスタ、前記第1スイッチングトランジスタ、および、前記第2スイッチングトランジスタをオフ状態として、前記容量素子に光照射による電荷を蓄える第3期間と、

前記第3期間の後、前記受光トランジスタと前記第1スイッチングトランジスタとをオフ状態とし、前記ゲート線によって前記第2スイッチングトランジスタをオン状態として、前記容量素子に蓄えられた前記電荷を前記信号線から読み出す第4期間と、を含む、光センサー回路。

[請求項3]

請求項2において、

第3スイッチングトランジスタを含むリセット回路を有し、

前記第3スイッチングトランジスタは、

第5配線に接続されたゲートと、

前記第4配線に接続されたソースと、

前記信号線に接続されたドレインと、を有し、

前記第3スイッチングトランジスタは、チャンネル層として酸化物半導体層を含む、光センサー回路。

[請求項4]

請求項3において、

前記第1期間において、前記第3スイッチングトランジスタがオン状態にされる、光センサー回路。

[請求項5]

請求項1において、

前記受光トランジスタ、前記第1スイッチングトランジスタ、および、前記第2スイッチングトランジスタのおのおのの前記ゲートは、対応するトランジスタの前記酸化物半導体層の下部または上部の一方に設けられ、

前記第1スイッチングトランジスタおよび前記第2スイッチングトランジスタのおのおのは、バックゲートを有し、

前記バックゲートは、対応するスイッチングトランジスタの前記酸化物半導体層の下部または上部の他方に設けられる、光センサー回路。

[請求項6]

請求項5において、

前記バックゲートは、対応するスイッチングトランジスタの前記ソースに接続される、光センサー回路。

[請求項7]

請求項3において、

前記第3スイッチングトランジスタの前記ゲートは、前記第3スイッチングトランジスタの前記酸化物半導体層の下部または上部の一方に設けられ、

前記第3スイッチングトランジスタは、バックゲートを有し、

前記第3スイッチングトランジスタの前記バックゲートは、前記第3スイッチングトランジスタの前記酸化物半導体層の下部または上部の他方に設けられる、光センサー回路。

[請求項8]

複数のゲート線と、

複数の信号線と、

1つの光センサー回路が1つのゲート線と1つの信号線とに接続されるように、前記複数のゲート線と前記複数の信号線とに接続された複数の光センサー回路と、を含み、

前記複数の光センサー回路のおおのは、

受光トランジスタと、

第1スイッチングトランジスタと、

第2スイッチングトランジスタと、

容量素子と、を含み、

前記受光トランジスタは、

第1配線に接続されたゲートと、

第2配線に接続されたソースと、

ドレインと、を含み、

前記第 1 スイッチングトランジスタは、
第 3 配線に接続されたゲートと、
第 4 配線に接続されたソースと、
前記受光トランジスタの前記ドレインに接続されたドレインと、
を含み、
前記容量素子は、
前記受光トランジスタの前記ドレインに接続された第 1 端子と、
前記第 1 スイッチングトランジスタの前記ソースに接続された第 2 端子と、を含み、
前記第 2 スイッチングトランジスタは、
対応するゲート線に接続されたゲートと、
対応する信号線に接続されたソースと、
前記容量素子の前記第 1 端子に接続されたドレインと、を含み、
前記受光トランジスタ、前記第 1 スイッチングトランジスタ、および、前記第 2 スイッチングトランジスタのおのおのは、チャンネル層として酸化物半導体層を含む、光センサー装置。

[請求項9]

請求項 8 において、
前記受光トランジスタと前記第 2 スイッチングトランジスタとをオン状態とし、前記第 1 スイッチングトランジスタとをオフ状態する第 1 期間と、
前記第 1 期間の後、前記受光トランジスタと前記第 2 スイッチングトランジスタとをオフ状態とし、前記第 1 スイッチングトランジスタとをオン状態する第 2 期間と、
前記第 2 期間の後、前記受光トランジスタ、前記第 1 スイッチングトランジスタ、および、前記第 2 スイッチングトランジスタをオフ状態として、前記容量素子に光照射による電荷を蓄える第 3 期間と、
前記第 3 期間の後、前記受光トランジスタと前記第 1 スイッチングトランジスタとをオフ状態とし、前記ゲート線によって前記第 2 スイ

ッチングトランジスタをオン状態として、前記容量素子に蓄えられた前記電荷を前記信号線から読み出す第4期間と、を含む、光センサー装置。

[請求項10]

請求項9において、

第3スイッチングトランジスタを含むリセット回路を有し、

前記第3スイッチングトランジスタは、

リセット信号が供給される第5配線に接続されたゲートと、

前記第4配線に接続されたソースと、

対応する信号線に接続されたドレインと、を有し、

前記第3スイッチングトランジスタは、チャンネル層として酸化物半導体層を含む、光センサー装置。

[請求項11]

請求項10において、

前記第1期間において、前記第3スイッチングトランジスタが前記リセット信号によりオン状態にされる、光センサー装置。

[請求項12]

請求項10において、

前記受光トランジスタ、前記第1スイッチングトランジスタ、前記第2スイッチングトランジスタ、および、前記第3スイッチングトランジスタのおのおのの前記ゲートは、対応するトランジスタの前記酸化物半導体層の下部または上部の一方に設けられ、

前記第1スイッチングトランジスタ、前記第2スイッチングトランジスタ、および、前記第3スイッチングトランジスタのおのおのは、バックゲートを有し、

前記バックゲートは、対応するスイッチングトランジスタの前記酸化物半導体層の下部または上部の他方に設けられる、光センサー装置。

[請求項13]

請求項12において、

前記バックゲートは、対応するスイッチングトランジスタの前記ソースに接続される、光センサー装置。

[請求項14]

表示領域を有する表示パネルを有し、
前記表示領域は、表示画素と、光センサー回路と、を含み、
前記光センサー回路は、受光トランジスタと、第1スイッチングトランジスタと、第2スイッチングトランジスタと、容量素子と、を含み、
前記受光トランジスタは、
第1配線に接続されたゲートと、
第2配線に接続されたソースと、
ドレインと、を含み、
前記第1スイッチングトランジスタは、
第3配線に接続されたゲートと、
第4配線に接続されたソースと、
前記受光トランジスタの前記ドレインに接続されたドレインと、
を含み、
前記容量素子は、
前記受光トランジスタの前記ドレインに接続された第1端子と、
前記第1スイッチングトランジスタの前記ソースに接続された第2端子と、を含み、
前記第2スイッチングトランジスタは、
ゲート線に接続されたゲートと、
信号線に接続されたソースと、
前記容量素子の前記第1端子に接続されたドレインと、を含み、
前記受光トランジスタ、前記第1スイッチングトランジスタ、および、前記第2スイッチングトランジスタのおのおのは、チャンネル層として酸化物半導体層を含む、表示装置。

[請求項15]

請求項14において、
前記受光トランジスタと前記第2スイッチングトランジスタとをオン状態とし、前記第1スイッチングトランジスタとをオフ状態する第

1 期間と、

前記第 1 期間の後、前記受光トランジスタと前記第 2 スイッチングトランジスタとをオフ状態とし、前記第 1 スイッチングトランジスタとをオン状態する第 2 期間と、

前記第 2 期間の後、前記受光トランジスタ、前記第 1 スイッチングトランジスタ、および、前記第 2 スイッチングトランジスタをオフ状態として、前記容量素子に光照射による電荷を蓄える第 3 期間と、

前記第 3 期間の後、前記受光トランジスタと前記第 1 スイッチングトランジスタとをオフ状態とし、前記ゲート線によって前記第 2 スイッチングトランジスタをオン状態として、前記容量素子に蓄えられた前記電荷を前記信号線から読み出す第 4 期間と、を含む、表示装置。

[請求項16]

請求項 1 4 または請求項 1 5 において、

第 3 スイッチングトランジスタを含むリセット回路を有し、

前記第 3 スイッチングトランジスタは、

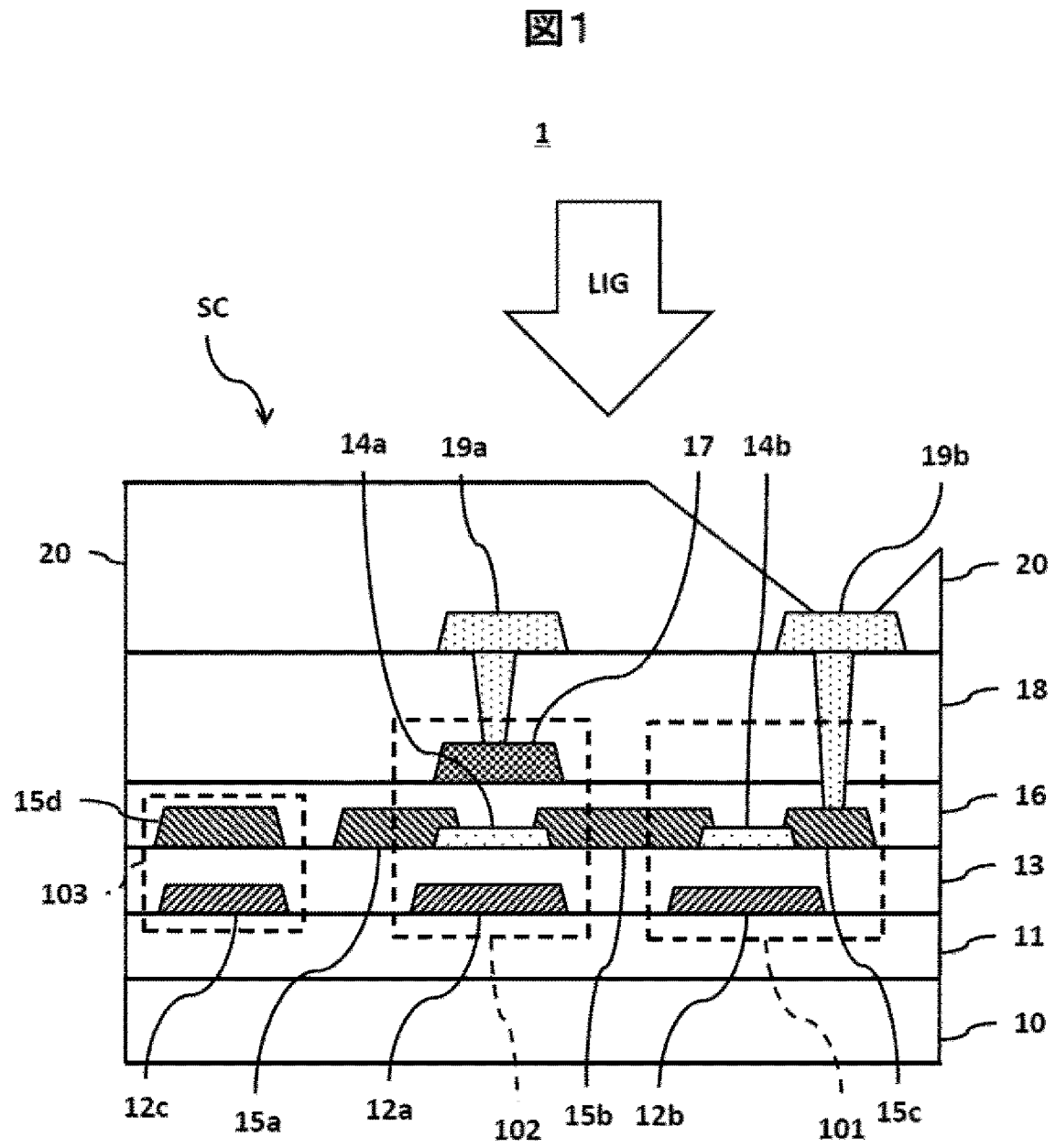
第 5 配線に接続されたゲートと、

前記第 4 配線に接続されたソースと、

前記信号線に接続されたドレインと、を含み、

前記第 3 スイッチングトランジスタは、チャンネル層として酸化物半導体層を含む、表示装置。

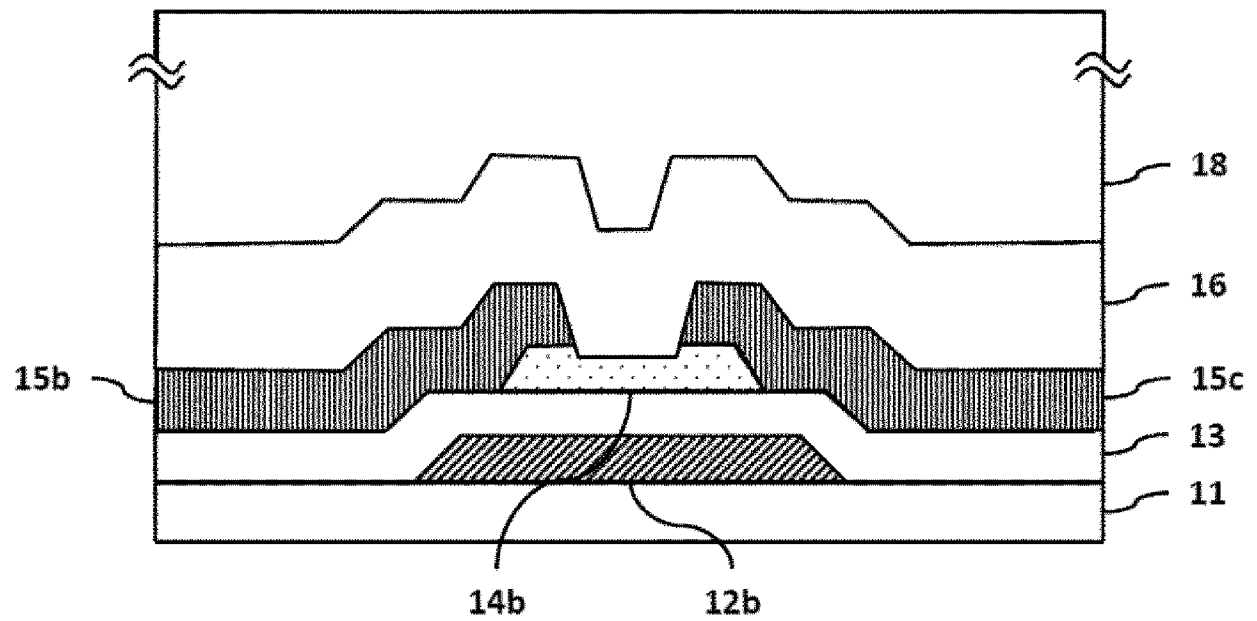
[図1]



[図2]

図2

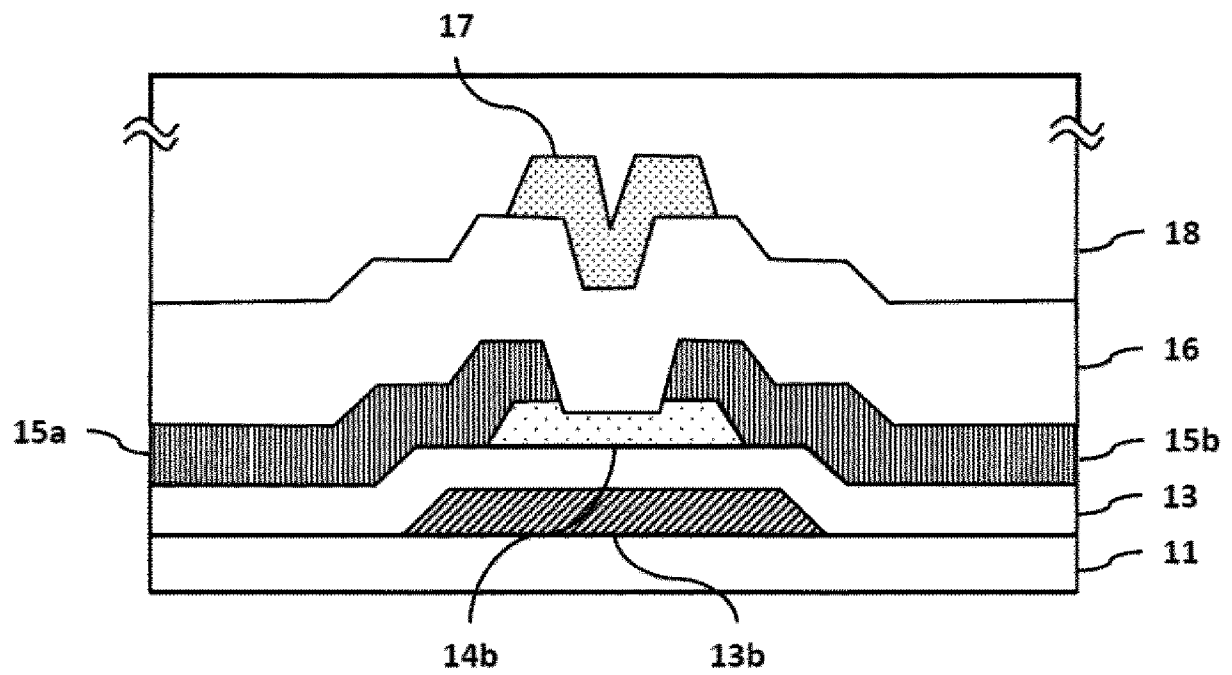
101



[図3]

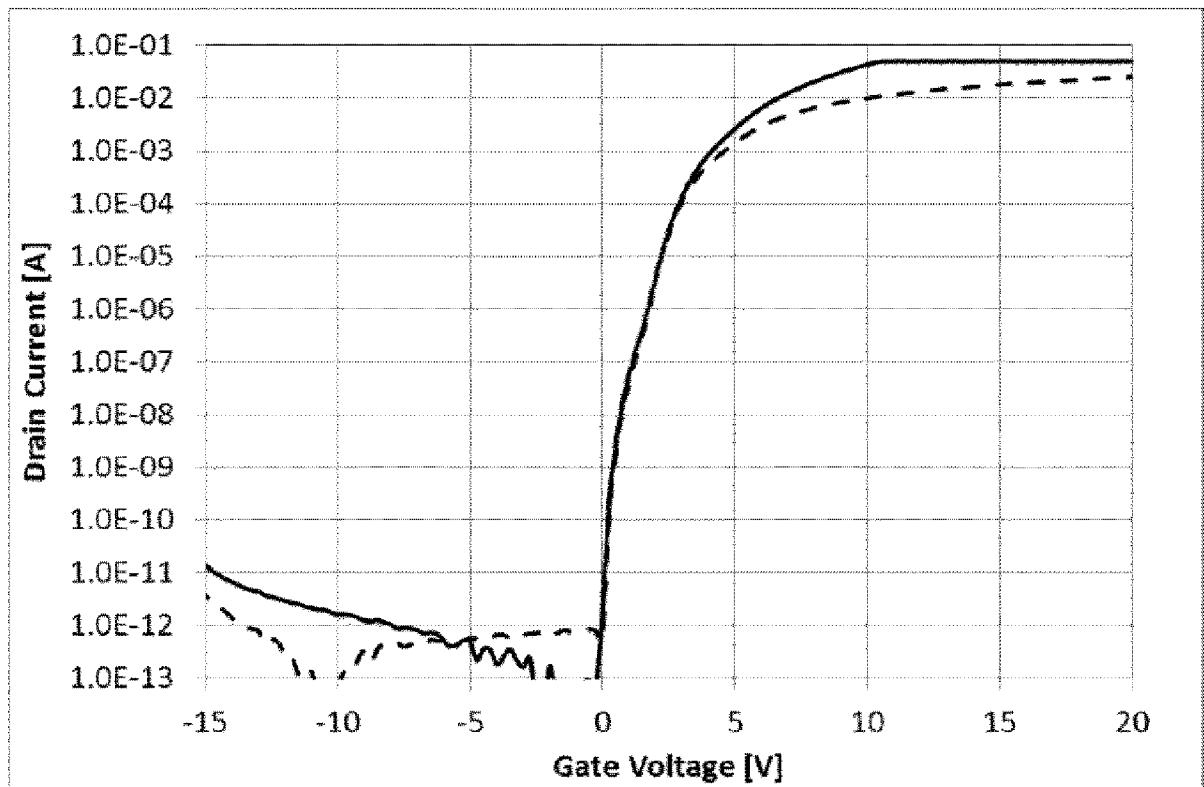
図3

102



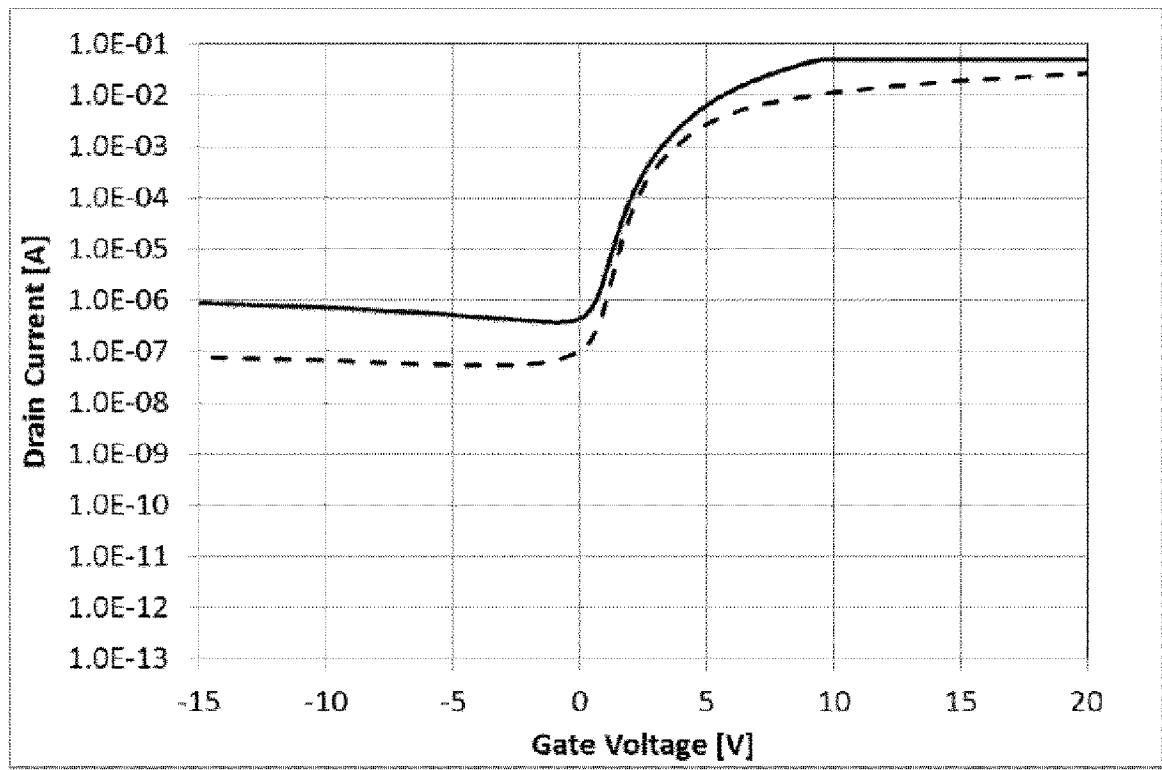
[図4]

図4



[図5]

図5



[図6]

図6

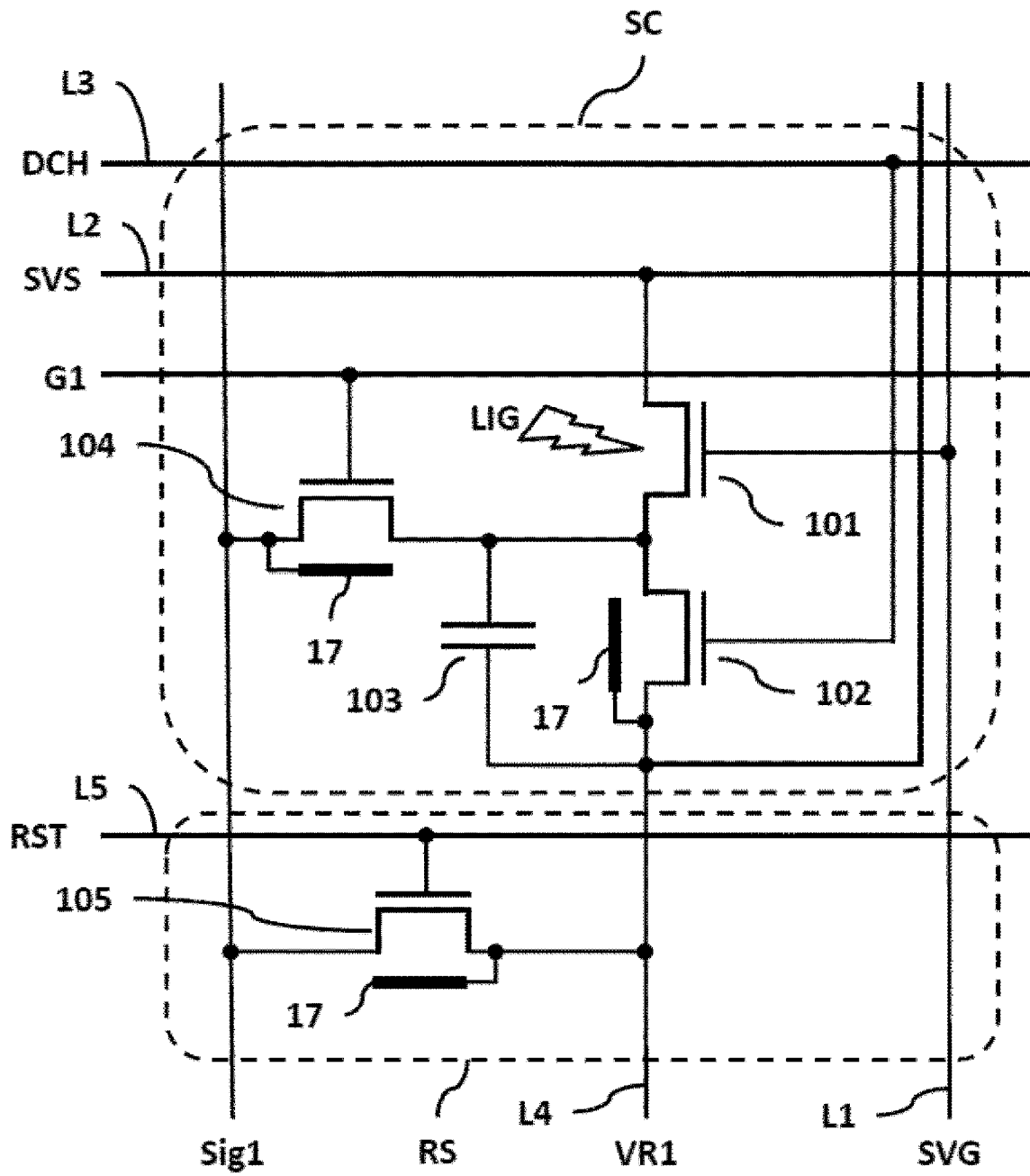
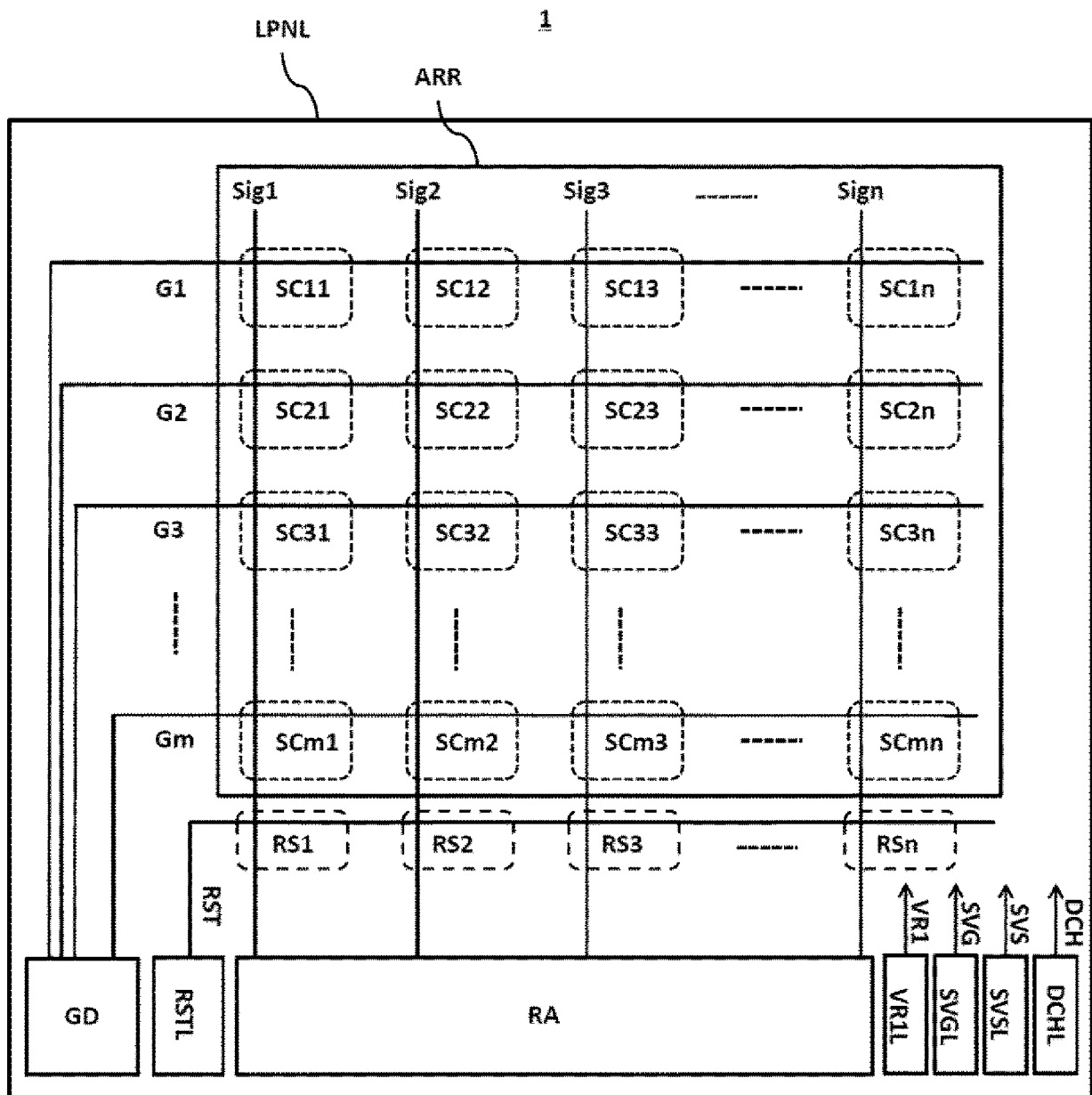
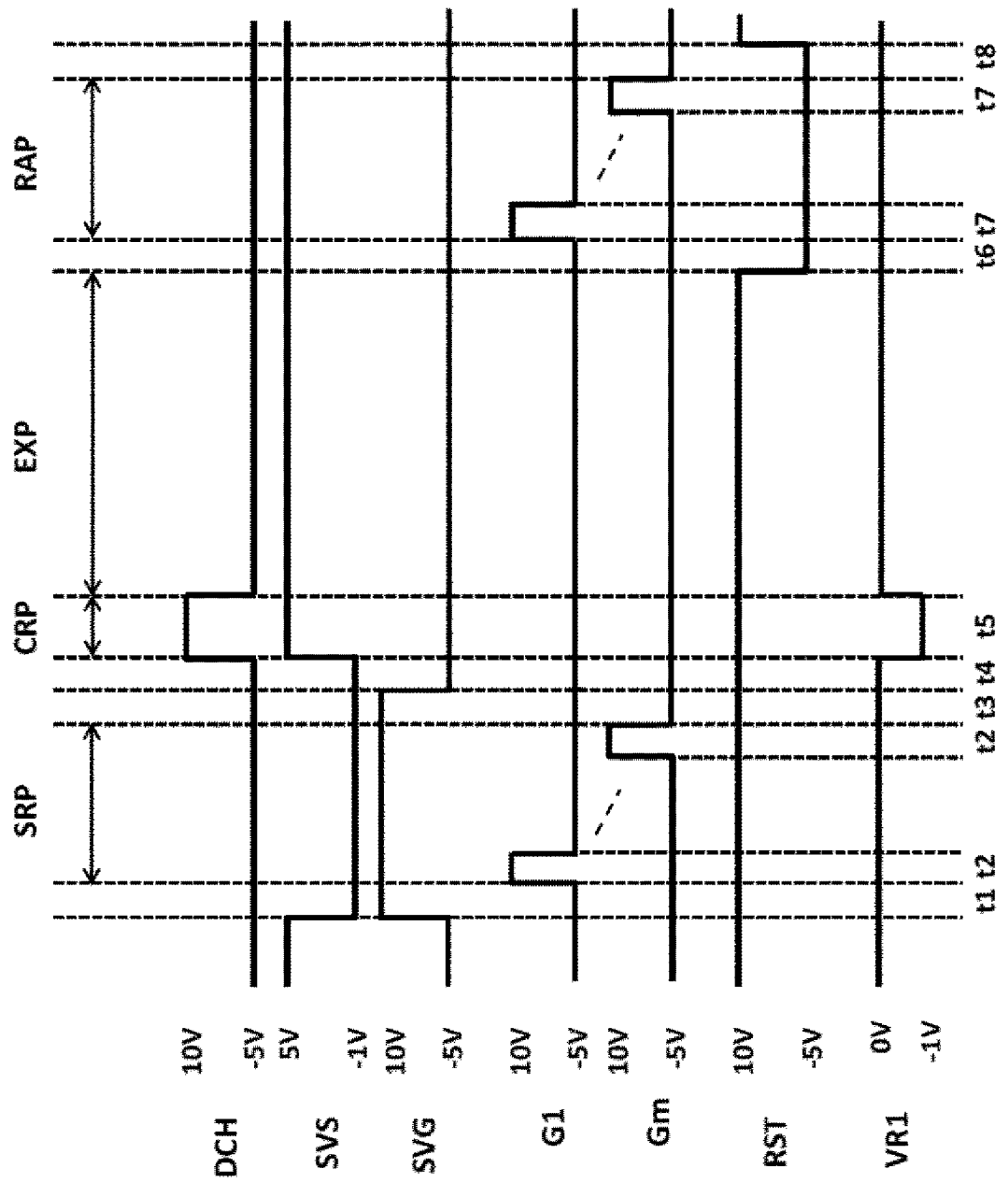


图7



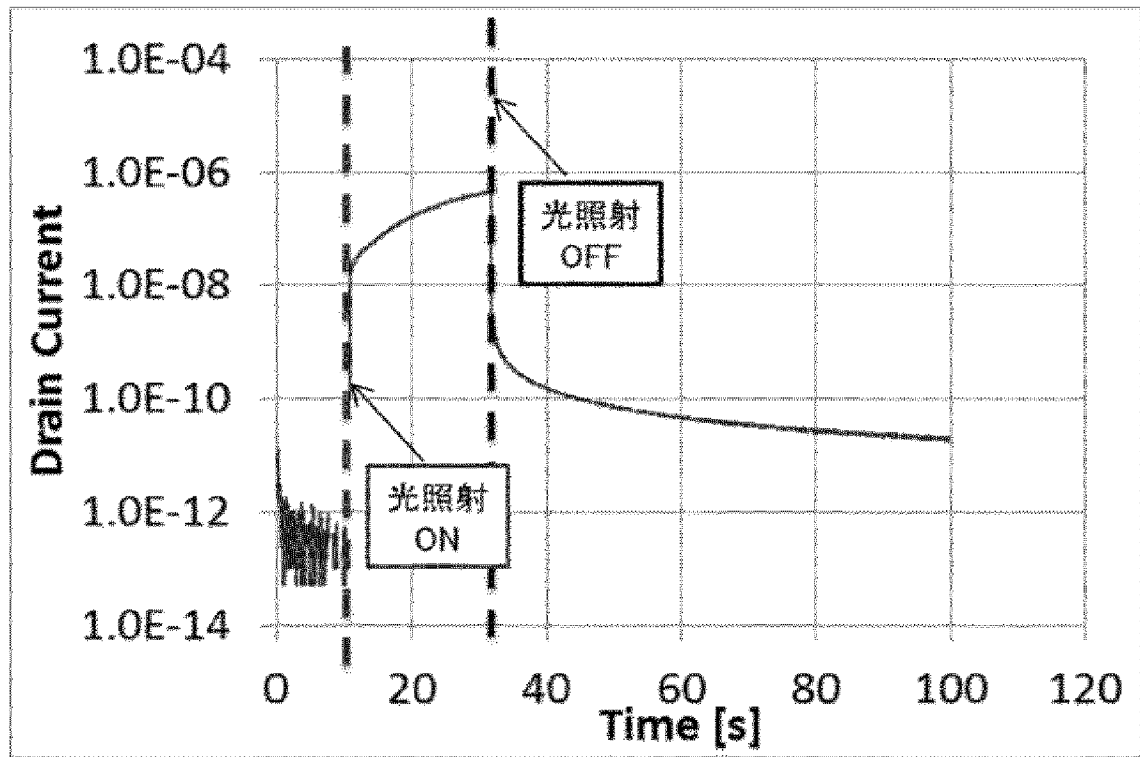
[図8]

図8



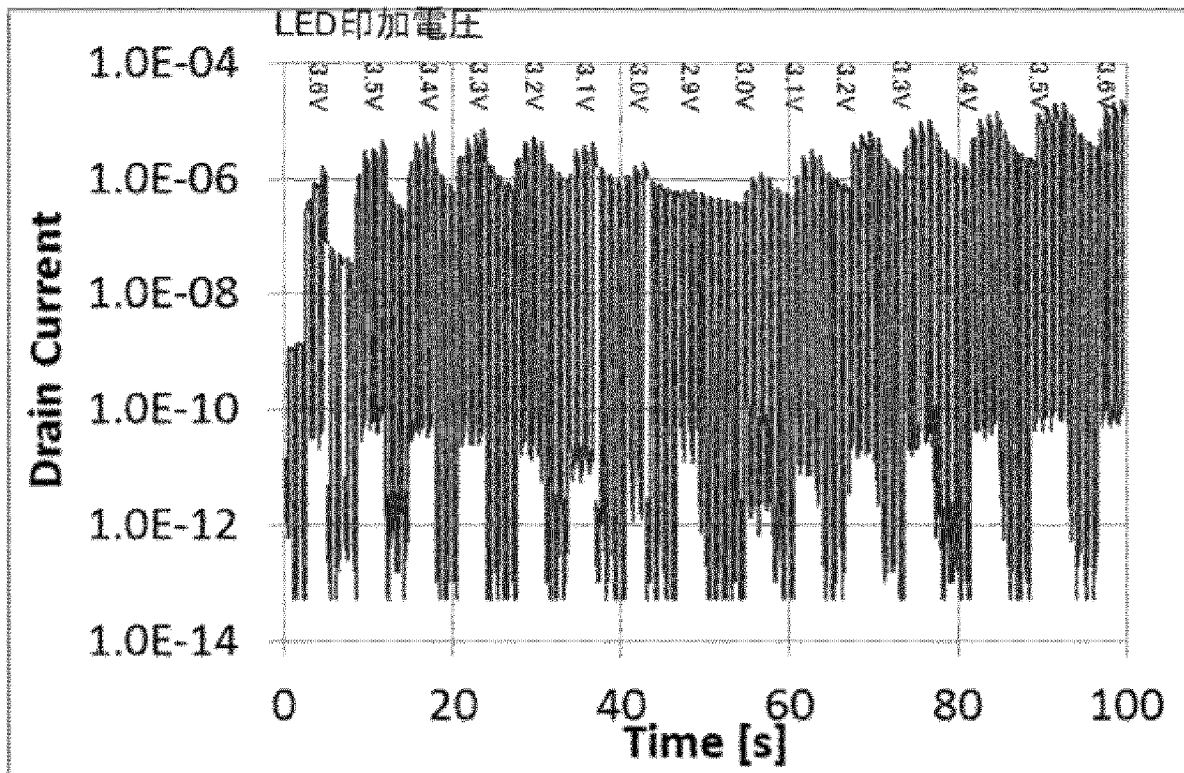
[図9]

図9



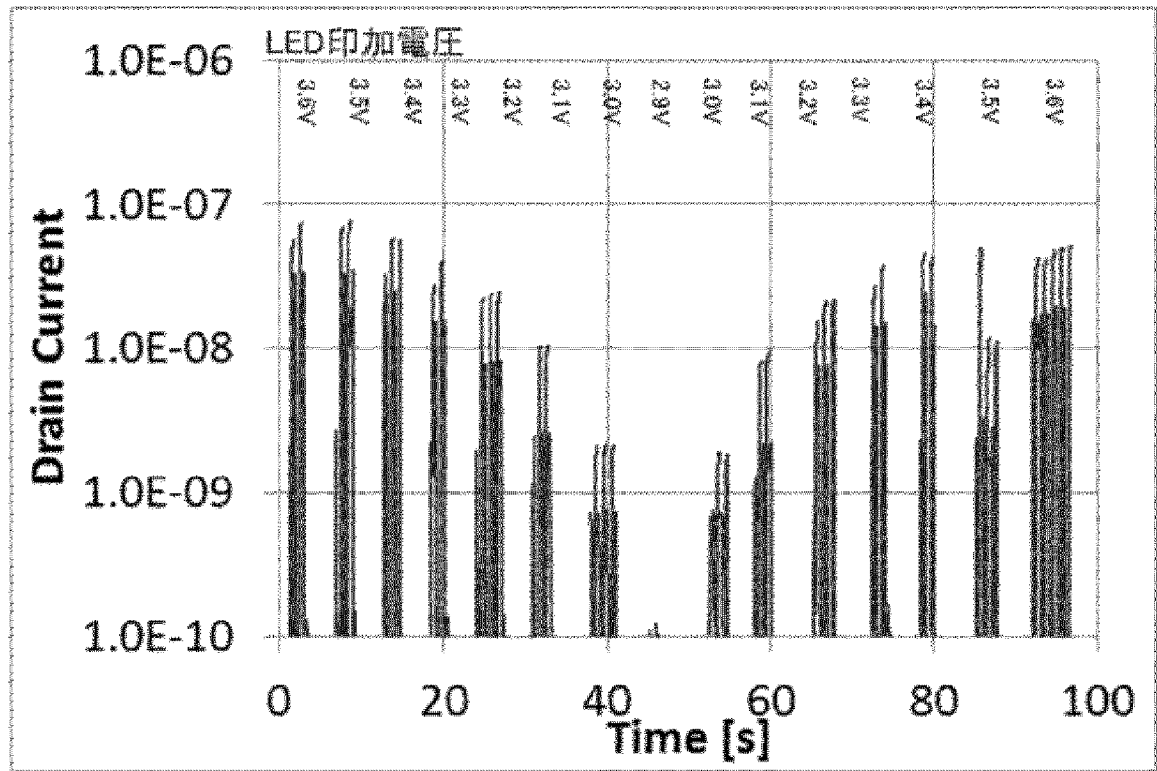
[図10]

図 10



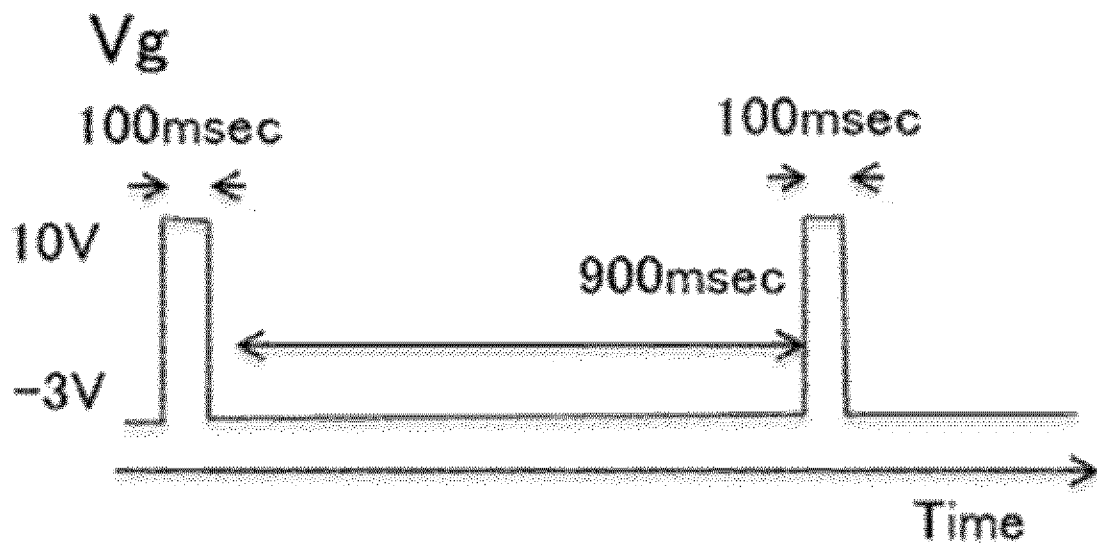
[図11]

図11



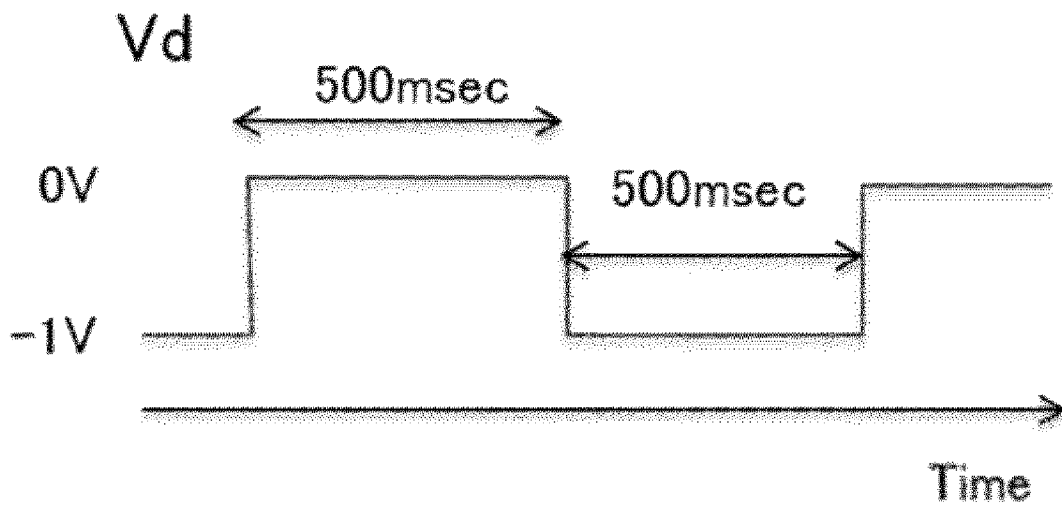
[図12]

図12



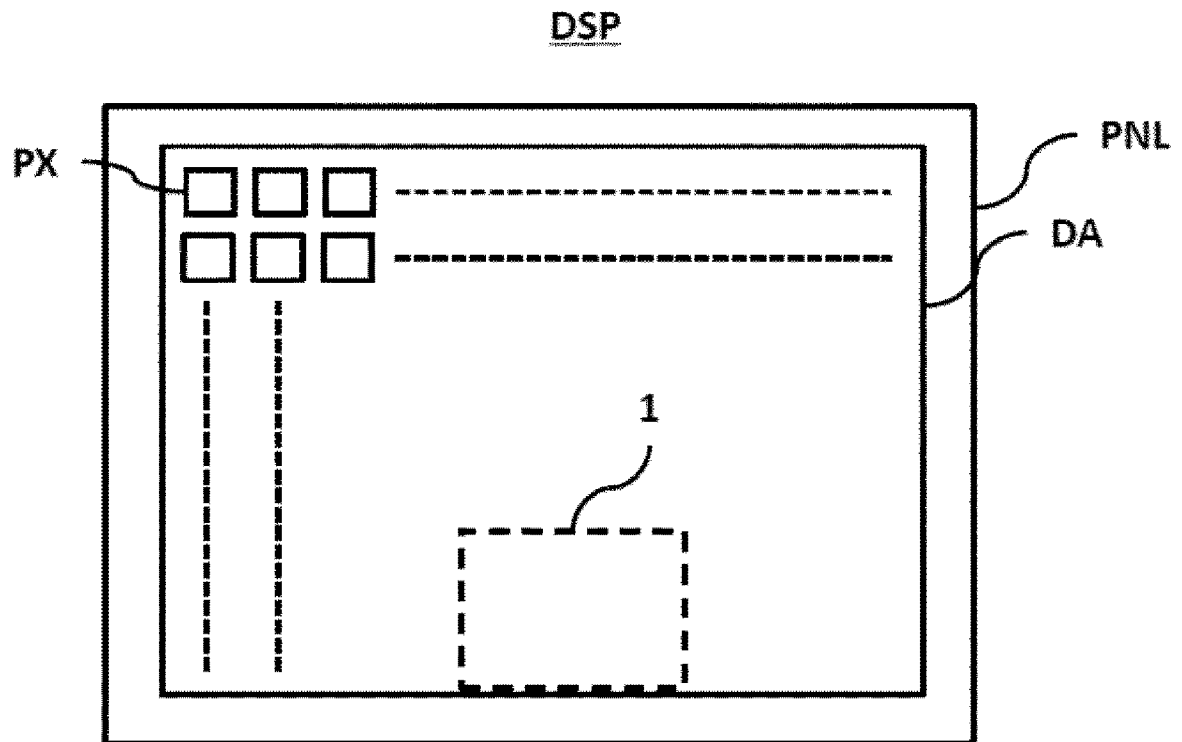
[図13]

図 13



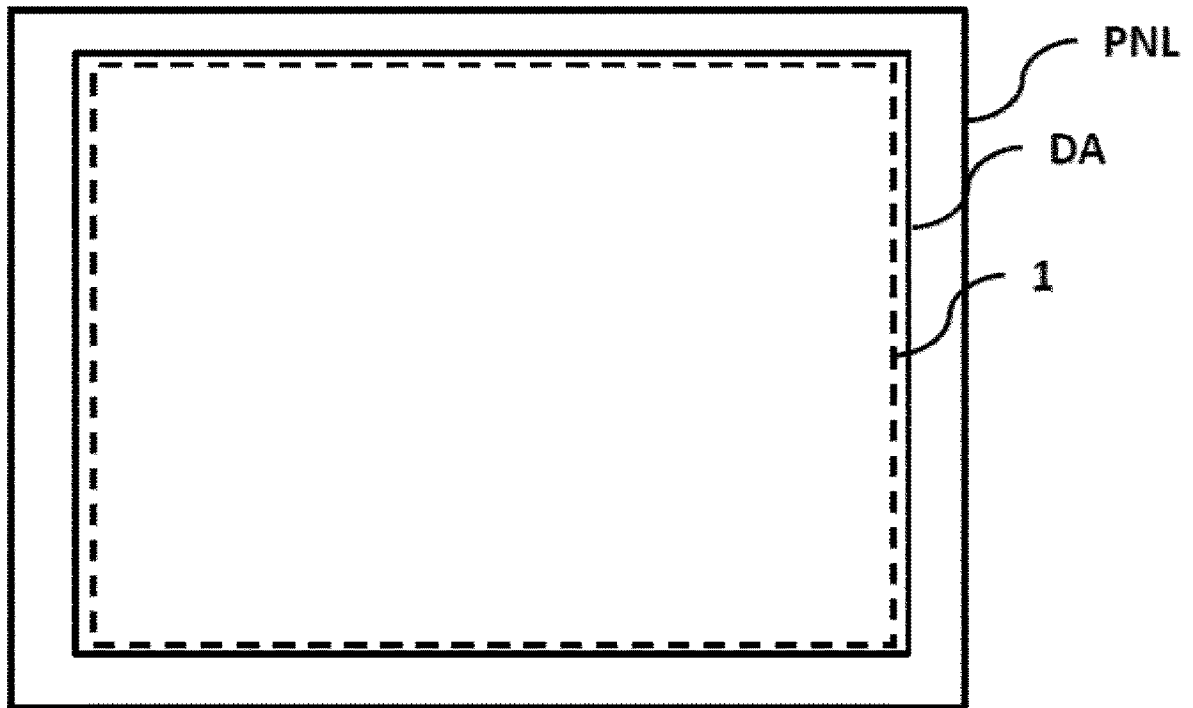
[図14]

図 14



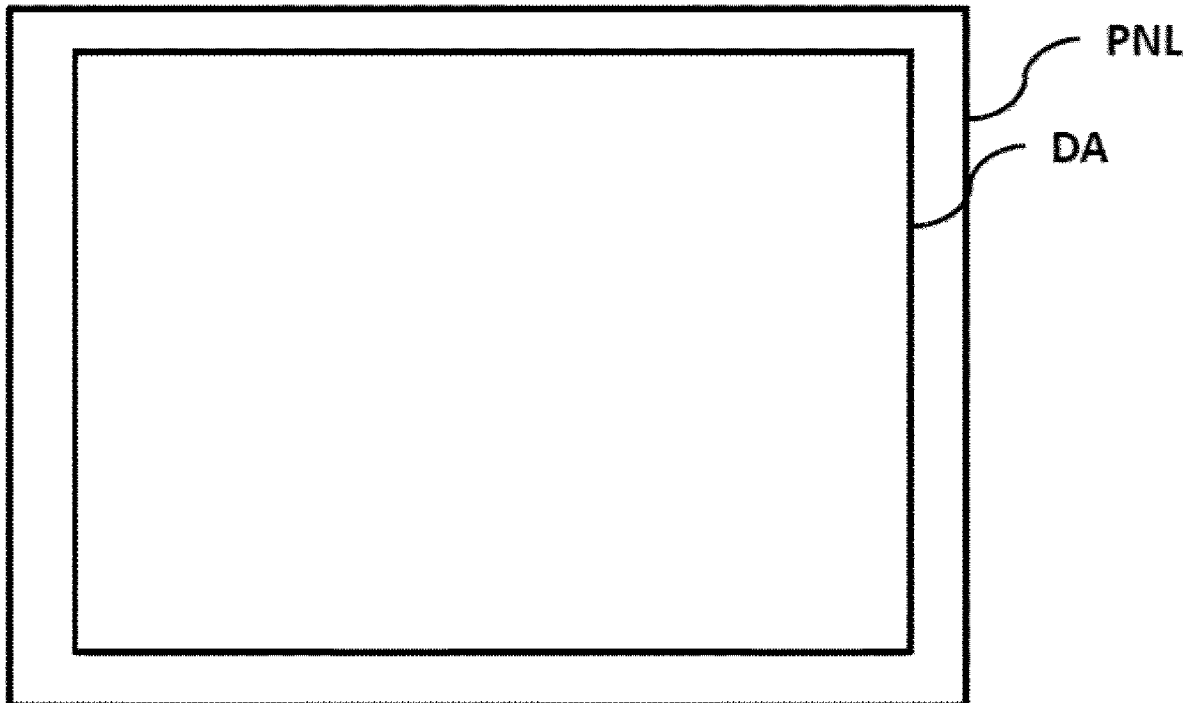
[図15]

図15

DSP1

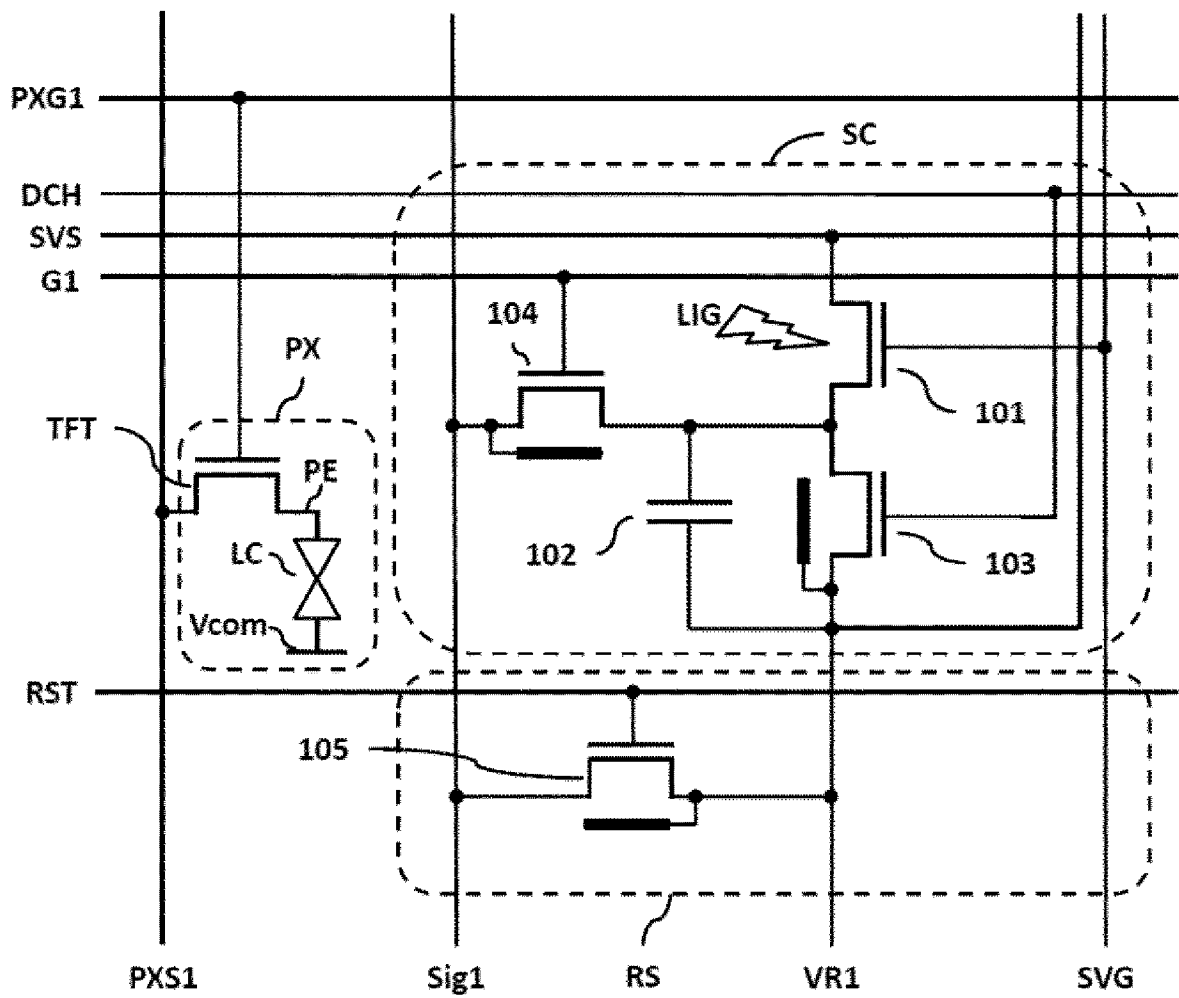
[図16]

図16

DSP2

[図17]

図17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/009306

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L31/10 (2006.01) i, G06F3/042 (2006.01) i, H01L27/146 (2006.01) i,
H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L31/10, G06F3/042, H01L27/146, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-216369 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 03 December 2015 & US 2015/0311245 A1 & KR 10-2015-0122589 A & TW 201543660 A	1-16
A	JP 2012-256819 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 27 December 2012 & US 2012/0056861 A1 & KR 10-2012-0025988 A & TW 201246591 A	1-16
A	WO 2015/111118 A1 (JOLED INC.) 30 July 2015 & US 2016/0343305 A1	1-16

☒ Further documents are listed in the continuation of Box C.	☐ See patent family annex.
--	---

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 May 2019 (24.05.2019)	Date of mailing of the international search report 04 June 2019 (04.06.2019)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/009306

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2012/0138919 A1 (E INK HOLDINGS INC.) 07 June 2012 & TW 201224405 A	1-16
A	US 2016/0291714 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 06 October 2016 & CN 104699344 A	1-16

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L31/10(2006.01)i, G06F3/042(2006.01)i, H01L27/146(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L31/10, G06F3/042, H01L27/146, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 9 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-216369 A（株式会社半導体エネルギー研究所）2015.12.03 & US 2015/0311245 A1 & KR 10-2015-0122589 A & TW 201543660 A	1-16
A	JP 2012-256819 A（株式会社半導体エネルギー研究所）2012.12.27 & US 2012/0056861 A1 & KR 10-2012-0025988 A & TW 201246591 A	1-16
A	WO 2015/111118 A1（株式会社 J O L E D）2015.07.30 & US 2016/0343305 A1	1-16

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 5 . 2 0 1 9

国際調査報告の発送日

0 4 . 0 6 . 2 0 1 9

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

原 俊文

2 K

4 0 7 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2012/0138919 A1 (E INK HOLDINGS INC.) 2012.06.07 & TW 201224405 A	1-16
A	US 2016/0291714 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 2016.10.06 & CN 104699344 A	1-16