

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7601696号
(P7601696)

(45)発行日 令和6年12月17日(2024.12.17)

(24)登録日 令和6年12月9日(2024.12.9)

(51)国際特許分類 F I
H 0 1 L 27/146 (2006.01) H 0 1 L 27/146 C
H 0 4 N 25/70 (2023.01) H 0 4 N 25/70

請求項の数 7 (全22頁)

(21)出願番号	特願2021-69804(P2021-69804)	(73)特許権者	303018827 T i a n m a J a p a n株式会社
(22)出願日	令和3年4月16日(2021.4.16)		神奈川県川崎市幸区鹿島田一丁目1番2号
(65)公開番号	特開2022-164363(P2022-164363 A)	(74)代理人	110001678 藤央弁理士法人
(43)公開日	令和4年10月27日(2022.10.27)	(72)発明者	奈良 修平 神奈川県川崎市幸区鹿島田一丁目1番2号 T i a n m a J a p a n株式会社内
審査請求日	令和5年12月15日(2023.12.15)	審査官	黒田 久美子

最終頁に続く

(54)【発明の名称】 フォトダイオードアレイ及びイメージセンサ

(57)【特許請求の範囲】

【請求項1】

基板上に配列された複数の素子を含む、フォトダイオードアレイであって、
前記複数の素子の各素子は、
上部電極と、
下部電極と、
前記上部電極と前記下部電極との間の光電変換部と、
前記下部電極より下層に位置する、下層導体部と、
前記下部電極と前記下層導体部との間の絶縁層と、
を含み、
前記フォトダイオードアレイは、
信号線と、
前記信号線と前記素子との導通の有無を切り替えるスイッチトランジスタと、
バイアス電極と、
前記バイアス電極及び前記下層導体部の前記スイッチトランジスタのチャンネルの少なくとも一部を平面視において覆う部分を導通する、第1コンタクト部と、
前記バイアス電極及び前記上部電極を導通する、第2コンタクト部と、
を含み、
前記スイッチトランジスタは、前記下部電極より下層に位置するゲート電極を含み、
前記下層導体部の少なくとも一部は、平面視において前記下部電極の少なくとも一部と

前記絶縁層を介して重なり、

前記下層導体部の一部は、前記スイッチトランジスタのチャネルの少なくとも一部を、平面視において覆う、

フォトダイオードアレイ。

【請求項 2】

請求項 1 に記載のフォトダイオードアレイであって、

前記複数の素子はマトリクス状にレイアウトされ、

前記下層導体部は、横方向及び縦方向において隣接する他の下層導体部と連結されている、

フォトダイオードアレイ。

10

【請求項 3】

請求項 1 に記載のフォトダイオードアレイであって、

前記スイッチトランジスタのソース/ドレイン電極と前記下層導体部は、同一絶縁層上に同一材料で構成されている、

フォトダイオードアレイ。

【請求項 4】

請求項 1 に記載のフォトダイオードアレイであって、

前記下層導体部は、平面視において前記下部電極と対向する領域に開口を有する、

フォトダイオードアレイ。

【請求項 5】

20

請求項 1 に記載のフォトダイオードアレイであって、

前記下層導体部の一部は、前記ゲート電極に信号を伝送するゲート線の少なくとも一部を、平面視において覆う、

フォトダイオードアレイ。

【請求項 6】

請求項 5 に記載のフォトダイオードアレイであって、

前記光電変換部の一部は、前記ゲート線の少なくとも一部を、平面視において覆う、

フォトダイオードアレイ。

【請求項 7】

請求項 1 に記載のフォトダイオードアレイと、

前記フォトダイオードアレイを駆動及び制御する回路と、

を含む、イメージセンサ。

30

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、フォトダイオードアレイに関する。

【背景技術】

【0002】

X線センサ等に用いられる Flat Panel Detector (FPD) の高精細化が進展している。X線センサに利用される FPD は、一般に、直接変換型と間接変換型に分類される。間接変換型の FPD は、X線検出パネルに X線を光、例えば可視光や紫外光に変換する蛍光体 (シンチレータ) と、光を電気信号に変換するフォトダイオードアレイを用いている。

40

【先行技術文献】

【特許文献】

【0003】

【文献】米国特許出願公開第 2016/0316159号

【文献】米国特許第 7208742号

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 4 】

F P D の高精細化に伴い、フォトダイオードアレイにおいて効率的かつ正確に光を検出することができる技術が望まれている。

【課題を解決するための手段】

【 0 0 0 5 】

本開示の一態様は、基板上に配列された複数の素子を含む、フォトダイオードアレイである。前記複数の素子の各素子は、上部電極と、下部電極と、前記上部電極と前記下部電極との間の光電変換部と、前記下部電極より下層に位置する、下層導体部と、前記下部電極と前記下層導体部との間の絶縁層と、を含む。前記下層導体部の少なくとも一部は、平面視において前記下部電極の少なくとも一部と前記絶縁層を介して重なる。

10

【発明の効果】

【 0 0 0 6 】

本開示の一態様によれば、フォトダイオードアレイの特性を改善できる。

【図面の簡単な説明】

【 0 0 0 7 】

【図 1】実施形態のイメージセンサの構成を示したブロック図である。

【図 2】実施形態のイメージセンサの画素の等価回路を示した回路図である。

【図 3 A】画素、ゲート線及び信号線の構造の例を模式的に示す平面図である。

【図 3 B】図 3 A の I I I B - I I I B ' 切断線における断面図を示す。

【図 3 C】図 3 A の I I I C - I I I C ' 切断線における断面図を示す。

20

【図 4】図 3 A から 3 C を参照して説明した構成における、画素容量を示す。

【図 5 A】画素、ゲート線及び信号線の構造の例を模式的に示す平面図である。

【図 5 B】図 5 A の V B - V B ' 切断線における断面図を示す。

【図 5 C】図 5 A の V C - V C ' 切断線における断面図を示す。

【図 6 A】画素、ゲート線及び信号線の構造の例を模式的に示す平面図である。

【図 6 B】図 6 A の V I B - V I B ' 切断線における断面図を示す。

【図 7 A】画素、ゲート線及び信号線の構造の例を模式的に示す平面図である。

【図 7 B】図 7 A の V I I B - V I I B ' 切断線における断面図を示す。

【図 8 A】画素、ゲート線及び信号線の構造の例を模式的に示す平面図である。

【図 8 B】図 8 A の V I I I B - V I I I B ' 切断線における断面図を示す。

30

【図 9 A】画素、ゲート線及び信号線の構造の例を模式的に示す平面図である。

【図 9 B】図 9 A の I X B - I X B ' 切断線における断面図を示す。

【図 10 A】画素、ゲート線及び信号線の構造の例を模式的に示す平面図である。

【図 10 B】図 10 A の X B - X B ' 切断線における断面図を示す。

【図 11 A】画素、ゲート線及び信号線の構造の例を模式的に示す平面図である。

【図 11 B】図 11 A の X I B - X I B ' 切断線における断面図を示す。

【図 12 A】画素、ゲート線及び信号線の構造の例を模式的に示す平面図である。

【図 12 B】図 12 A の X I I B - X I I B ' 切断線における断面図を示す。

【図 13 A】画素、ゲート線及び信号線の構造の例を模式的に示す平面図である。

【図 13 B】図 13 A の X I I I B - X I I I B ' 切断線における断面図を示す。

40

【発明を実施するための形態】

【 0 0 0 8 】

以下において、イメージセンサに使用できる、本明細書の一実施形態に係るフォトダイオードアレイについて、図面を参照して詳細に説明する。なお、本開示のフォトダイオードアレイの構成は、イメージセンサと異なる装置に適用することができる。

【 0 0 0 9 】

各図面における各構成要素の大きさや縮尺は、図の視認性を確保するために適宜変更して記載している。また、各図面におけるハッチングは、各構成要素を区別するためのものであり、必ずしも切断面を意味するものではない。また、スイッチング素子あるいは増幅素子として用いられる非線形素子についてトランジスタという呼称を用いるが、トランジ

50

スタはThin Film Transistor (TFT)を含む。

【0010】

本明細書の一実施形態に係るフォトダイオードアレイは、基板上にレイアウトされた複数の画素を含む。画素は、下部電極及び上部電極に挟まれたフォトダイオードに加え、下層導体部を含む。下層導体部は、下部電極より下層に位置し、それらの間に絶縁層が存在する。画素容量は、下部電極及び上部電極の間の接合容量に加えて、下部電極と下層導体部との間の付加容量を含む。このため、画素容量が増加し、画素特性が改善される。

【0011】

本開示のイメージセンサは、例えば、医療、産業用非破壊検査分野における放射線撮影装置に利用可能である。イメージセンサにより検出される光は、任意の周波数を有する電磁波であり、赤外線や可視光のほか、X線を含む。

10

【0012】

[イメージセンサの構成]

図1は、本明細書の一実施形態に係るイメージセンサの構成例を示したブロック図である。イメージセンサ10は、センサ基板11と制御回路を含む。制御回路は、駆動回路14、信号検出回路16、主制御回路18を含む。

【0013】

センサ基板11は、絶縁基板(たとえばガラス基板)と、絶縁基板上に画素13が縦横のマトリクス状に配置された画素領域12を含む。画素13は、フォトダイオードを含む基板上の素子の例である。なお、画素13のレイアウトは図1に示すマトリクスレイアウトに限定されない。画素領域12には、検出光である放射線を受けて蛍光を発するシンチレータが配置されている場合がある。

20

【0014】

画素13は、図1における縦方向に延び横方向に配列された複数の信号線106と、横方向に延び縦方向に配列された複数のゲート線(走査線)105との各交点に配置されている。画素13は、それぞれ、図1の縦方向に延び横方向に配列されたバイアス線107に接続されている。図1において、一つの画素、一つの信号線、一つのゲート線及び一つのバイアス線のみが、それぞれ、符号13、106、105及び107で指示されている。

【0015】

信号線106は、それぞれ、異なる画素列に接続されている。ゲート線105は、それぞれ、異なる画素行に接続されている。信号線106は信号検出回路16に接続され、ゲート線は駆動回路14に接続される。バイアス線107は、共通バイアス線108に接続されている。共通バイアス線108のパッド109にバイアス電位が与えられる。駆動回路14は、画素13による光検出のため、画素13のゲート線105を駆動する。信号検出回路16は、信号線それぞれからの信号を検出する。主制御回路18は、駆動回路14及び信号検出回路16を制御する。

30

【0016】

[画素の回路構成]

図2は一つの画素13の等価回路を示した回路図である。画素13は、光電変換素子であるフォトダイオード121と、スイッチング素子である薄膜トランジスタ(TFT)122とを含む。薄膜トランジスタ122のゲート端子は、ゲート線105に接続され、ソース/ドレイン端子の一方は信号線106に接続され、ソース/ドレイン端子の他方はフォトダイオード121のカソード端子に接続される。図2の例において、フォトダイオード121のアノード端子は、バイアス線107に接続されている。

40

【0017】

薄膜トランジスタ122は、a-Si(アモルファスシリコン)薄膜トランジスタ、ポリシリコン薄膜トランジスタ又は、酸化物半導体薄膜トランジスタであってよい。薄膜トランジスタ122は、例えば、n型の導電型である。

【0018】

画素13は、さらに、フォトダイオード121の接合容量125及び容量素子126を

50

含む。接合容量 1 2 5 及び容量素子 1 2 6 は、スイッチ T F T 1 2 2 とバイアス線 1 0 7 との間において、フォトダイオード 1 2 1 と並列に接続されている。

【 0 0 1 9 】

X 線の撮像装置として用いられるイメージセンサ 1 0 は、フォトダイオード 1 2 1 への光の照射量に対応する信号電荷を、接合容量 1 2 5 及び容量素子 1 2 6 に蓄積する。画素 1 3 が、フォトダイオード 1 2 1 の接合容量 1 2 5 に加えて、容量素子 1 2 6 を含むことで、フォトダイオードの製造条件をほとんど変えることなく飽和信号量を向上できる。

【 0 0 2 0 】

主制御回路 1 8 は、画素 1 3 に配置された薄膜トランジスタ 1 2 2 を導通させ、接合容量 1 2 5 及び容量素子 1 2 6 に蓄積された電荷を外部に取り出すことにより、信号を読み出す。

10

【 0 0 2 1 】

具体的には、駆動回路 1 4 は、ゲート線 1 0 5 を順次選択し、薄膜トランジスタ 1 2 2 を導通状態とするパルスを印加する。フォトダイオード 1 2 1 のアノード端子はバイアス線 1 0 7 に接続されており、信号線 1 0 6 には、信号検出回路 1 6 によりリファレンス電位が印加される。そのため、フォトダイオード 1 2 1 にはバイアス線 1 0 7 のバイアス電位とリファレンス電位との差分電圧が充電される。一般に、この差分電圧は、アノード電位に対しカソード電位の方が高くなる逆バイアス電圧に設定される。

【 0 0 2 2 】

フォトダイオード 1 2 1 を、この逆バイアス電圧にまで再充電するために必要な電荷は、フォトダイオード 1 2 1 に照射された光量に依存する。信号検出回路 1 6 は、フォトダイオード 1 2 1 が逆バイアスまで再充電される際に流れる電流を積分することで、信号電荷を読み出す。

20

【 0 0 2 3 】

信号電荷の読出しにおいて、薄膜トランジスタ 1 2 2 の信号線 1 0 6 に接続される端子の電圧は、フォトダイオード 1 2 1 に接続されている端子の電圧以上である。つまり、信号電荷の検出において、薄膜トランジスタ 1 2 2 の信号線 1 0 6 に接続される端子がドレインであり、フォトダイオード 1 2 1 に接続されている端子がソースである。なお、画素 1 3 は、図 2 に示す構成要素に不図示の追加構成要素、例えば追加の薄膜トランジスタを含んでもよい。

30

【 0 0 2 4 】

[画素構造例]

以下において、画素 1 3 のデバイス構造のいくつかの例を説明する。画素 1 3 に含まれる、フォトダイオード 1 2 1、薄膜トランジスタ 1 2 2 及び容量素子 1 2 6 は、それぞれ、絶縁基板上で、積層構造を有している。

【 0 0 2 5 】

図 3 A は、画素 1 3、ゲート線 1 0 5 及び信号線 1 0 6 の構造を模式的に示す平面図である。図 3 A において、信号線 1 0 6 は縦方向に延び、ゲート線 1 0 5 は横方向に延びており、その交差位置に薄膜トランジスタ 1 2 2 が配置されている。

【 0 0 2 6 】

画素 1 3 は、下部電極 2 0 1 及び上部電極 2 0 5 を含む。図 3 A の構成例において、上部電極 2 0 5 の全域が、平面視において、下部電極 2 0 1 と重なっている。つまり、平面視において、上部電極 2 0 5 の全域が、下部電極 2 0 1 の領域内に含まれている。後述するように、フォトダイオード 1 2 1 は、下部電極 2 0 1 及び上部電極 2 0 5 に挟まれている。

40

【 0 0 2 7 】

画素 1 3 は、さらに、薄膜トランジスタ 1 2 2、下層導体部 2 1 0、及びバイアス電極 2 2 1 を含む。薄膜トランジスタ 1 2 2 は、ゲート電極 2 5 1、半導体部 2 5 2、ソース電極 2 5 3 及びドレイン電極 2 5 4 を含む。

【 0 0 2 8 】

50

後述するように、下層導体部 210 は、下部電極 201 より下層に位置する。図 3 A において、下層導体部 210 の下部電極 201 により覆われている部分は、破線で示されている。下層導体部 210 は、電極形状部 211 及び連結部 212、213 を含む。電極形状部 211 は幅広な部分であり、連結部 212、213 の幅（横方向における長さ）は、電極形状部 211 の幅より小さい。連結部 212、213 は、電極形状部 211 から上及び下方向に延びている。

【0029】

電極形状部 211 の全域は、下部電極 201 に覆われている。つまり、電極形状部 211 の全域は、下部電極 201 に対向している。連結部 212、213 それぞれの一部は、下部電極 201 に対向し、他の一部は下部電極 201 の外側に延びている。下層導体部 210 は、下部電極 201 に対向する部分である容量電極部を含む。

10

【0030】

図 3 A の例において、容量電極部は、電極形状部 211 の全域及び連結部 212、213 の一部を含む。図 3 A の構成例において、容量電極部は、実質的に、電極形状部 211 で構成されている。容量電極部と、下部電極 201 の対向部分と、それら部分の間の絶縁部とは、容量素子 126 を構成する。図 3 A の構成例において、電極形状部 211 の全域は、平面視において、下部電極 201 及び上部電極 205 の領域内にある。

【0031】

バイアス電極 221 は、下層導体部 210 と上部電極 205 とを相互接続する。具体的には、コンタクト部（相互接続部）225 は、下層導体部 210 の連結部 212 と、バイアス電極 221 とを、相互接続する。また、コンタクト部 226 は、上部電極 205 と、バイアス電極 221 とを、相互接続する。

20

【0032】

図 3 A の構成例において、信号線に沿って配列された下層導体部 210 は連結されており、バイアス電位を伝送する。図 3 A の構成例において、縦方向に隣接する下層導体部 210 は連結部 212 又は連結部 213 を介して連結されている。横方向に隣接する下層導体部 210 は連結されておらず、離間している。各バイアス線 107 は、連結された下層導体部 210 からなる各下層導体部群に含まれる。バイアス電位は、画素 13 の下層導体部 210 から、バイアス電極 221 を介して、上部電極 205 に与えられる。

【0033】

バイアス電極 221 は、コンタクト部 225 において下層導体部 210 と接続され、コンタクト部 226 において上部電極 205 と接続されている。バイアス電極 221 は上部電極 205 の領域を通過していない。コンタクト部 225 からコンタクト部 226 へと向かう方向でのバイアス電極 221 の端は、平面視において上部電極 205 の上にある。つまり、図 3 A において、コンタクト部 226 の下側のバイアス電極 221 の端は上部電極 205 の上にある。

30

【0034】

コンタクト部 225 は、上部電極 205 及び下部電極 201 の外側に存在する。上部電極 205 及び下部電極 201 は、それぞれ凹部を有する。コンタクト部 225 は、下部電極 201 の凹部の領域内に存在している。コンタクト部 226 の中心から、コンタクト部 225 とコンタクト部 226 の中心を結ぶ仮想線が最初にまたぐ上部電極 205 の端までの距離は、当該仮想線が上部電極 205 の端から端まで通過する距離より短く、例えば、その半分未満である。

40

【0035】

また、コンタクト部 226 から左右それぞれの方向における端は、平面視において上部電極 205 の上にある。このように、バイアス電極 221 と上部電極 205 とが重なる領域を小さくすることで、フォトダイオード 121 の受光面積を増加させることができる。

【0036】

図 3 A の構成例において、下層導体部 210 は、平面視において、ゲート線 105 及び信号線 106 と重なることなく、それらから離間している。下部電極 201 及び上部電極

50

205は、平面視において、ゲート線105及び信号線106と重なることなく、それらから離間している。さらに、下層導体部210は、平面視において、半導体部252と重なることなく、それから離間している。下部電極201及び上部電極205も、平面視において、半導体部252と重なることなく、それから離間している。

【0037】

次に、図3Aに示す画素13の断面構造を説明する。図3Bは、図3AのI I I B - I I I B'切断線における断面図を示し、図3Cは、図3AのI I I C - I I I C'切断線における断面図を示す。なお、以下において、図面において一部要素の符号が省略されていることがある。

【0038】

図3B及び3Cを参照して、薄膜トランジスタ122(図3A参照)は、絶縁性の基板271上に形成されているゲート電極251、ゲート電極251上のゲート絶縁層272、ゲート絶縁層272上の半導体部252を含む。

【0039】

図3Aに示すように、ゲート電極251は、横方向に延びるゲート線105から上方向に突出する部分であり、ゲート電極251はゲート線105に連続している。ゲート電極251及びゲート線105は絶縁基板(絶縁層)271上に形成され、それらは同一の導体層に含まれる。なお、絶縁基板271とゲート電極251及びゲート線105との間に、シリコン絶縁層が存在してもよい。

【0040】

同一導体層に含まれている連続する又は分離された導体部は、同一絶縁層上に、当該絶縁層と直接接触して、同一材料で構成されている。製造において、同一導体層の導体部は同一工程において形成される。導体層は、単一層構造又は積層構造を有し得る。

【0041】

本構成例において、薄膜トランジスタ122は、ボトムゲート構造を有しており、ゲート電極251は、半導体部252の下側に存在する。薄膜トランジスタ122は、さらに、ゲート絶縁層272上の電極253及び254を含む。電極253及び254は、同一の導体層に含まれる。

【0042】

キャリアの流れに応じて、電極253及び254の一方がソース電極であり他方がドレイン電極である。フォトダイオード121の電荷の検出において、電極253がソース電極であり、電極254がドレイン電極である。そのため、以下においては、電極253をソース電極、電極254をドレイン電極と呼ぶ。

【0043】

ソース電極253及びドレイン電極254は、それぞれ、半導体部252に直接接触している。島状の半導体部252の側面、及び、上面の一部に接するようにソース電極253及びドレイン電極254が形成されている。

【0044】

ゲート絶縁層272は、ゲート電極251の全面を覆うように形成されている。ゲート絶縁層272は、ゲート電極251と半導体部252との間に形成されている。第1層間絶縁層273は、薄膜トランジスタ122の全体を覆う。具体的には、第1層間絶縁層273は、半導体部252の上面、及び、ソース電極253及びドレイン電極254の上面を覆っている。

【0045】

基板271は、例えば、ガラス又は樹脂で形成されている。ゲート電極251は導体であり、金属又は不純物ドーパされたシリコンで形成することができる。ゲート絶縁層272は、例えば、シリコン熱酸化物で形成される。半導体部252を構成する半導体は、例えば、酸化物半導体又はアモルファスシリコンである。酸化物半導体は、例えば、In、Ga、およびZnの少なくともいずれかを含み、その例は、アモルファスInGaZnO(a-InGaZnO)や微結晶InGaZnOである。

10

20

30

40

50

【 0 0 4 6 】

ソース電極 2 5 3 及びドレイン電極 2 5 4 は、それぞれ導体であり、例えば、Mo、Ti、Al、Cr等の金属、それらの合金、又はそれらの積層体で形成することができる。第1層間絶縁層 2 7 3 は、無機又は有機絶縁体である。図 3 A 及び 3 B に示す薄膜トランジスタ 1 2 2 は、ボトムゲート構造を有するが、これと異なり、薄膜トランジスタ 1 2 2 は、トップゲート構造を有してもよく、トップゲート電極部及びボトムゲート電極の双方を含んでもよい。

【 0 0 4 7 】

第1層間絶縁層 2 7 3 上に、下層導体部 2 1 0 が形成されている。下層導体部 2 1 0 は、第1層間絶縁層 2 7 3 に直接接触している。下層導体部 2 1 0 は、ゲート電極 2 5 1 及びゲート線 1 0 5 より上層に位置し、下部電極 2 0 1 より下層に位置する。下層導体部 2 1 0 とゲート電極 2 5 1 及びゲート線 1 0 5 との間に、第1層間絶縁層 2 7 3 が存在する。下層導体部 2 1 0 と下部電極 2 0 1 との間に第2層間絶縁層 2 7 4 が存在する。第2層間絶縁層 2 7 4 は、無機又は有機絶縁体である。本例において、第2層間絶縁層 2 7 4 は、下部電極 2 0 1 及び下層導体部 2 1 0 に直接接触している。

10

【 0 0 4 8 】

図 3 A ~ 3 C に示すように、下部電極 2 0 1 の少なくとも一部は、下層導体部 2 1 0 の少なくとも一部と、絶縁層 2 7 4 を介して、平面視において重なる。つまり、下部電極 2 0 1 の少なくとも一部は、平面視において、下層導体部 2 1 0 の少なくとも一部を覆う。本構成例において、下部電極 2 0 1 の一部が下層導体部 2 1 0 の一部と重なる。

20

【 0 0 4 9 】

図 3 B に示すように、下部電極 2 0 1 は、第2層間絶縁層 2 7 4 及び第1層間絶縁層 2 7 3 のピアホール内のコンタクト部 2 2 7 を介して、薄膜トランジスタ 1 2 2 のソース電極 2 5 3 に接続されている。下部電極 2 0 1 は、導体であり、例えば、Cr、Mo、Al等の金属、それらの合金、又はそれらの積層体で形成することができる。

【 0 0 5 0 】

フォトダイオード 1 2 1 は、下部電極 2 0 1 及び上部電極 2 0 5 の間の光電変換部と、当該光電変換部と接触している下部電極 2 0 1 及び上部電極 2 0 5 の部分で構成されている。図 3 B 及び 3 C に示すフォトダイオード 1 2 1 の例は、PINダイオードである。PINダイオードは、膜厚方向に広い空乏層が形成されることにより、効率的に光を検出することができる。上部電極 2 0 5 はシンチレータからの光に対して透明な電極であり、例えば、ITOである。

30

【 0 0 5 1 】

フォトダイオード 1 2 1 の光電変換部は、下部電極 2 0 1 上のn型アモルファスシリコン層(膜) 2 0 2、n型アモルファスシリコン層 2 0 2 上の真性アモルファスシリコン層(膜) 2 0 3、真性アモルファスシリコン層 2 0 3 上のp型アモルファスシリコン層(膜) 2 0 4 を含む。本構成例において、n型アモルファスシリコン層 2 0 2 は、下部電極 2 0 1 に直接接触している。

【 0 0 5 2 】

上部電極 2 0 5 はp型アモルファスシリコン層 2 0 4 上に形成されている。本構成例において、上部電極 2 0 5 はp型アモルファスシリコン層 2 0 4 に直接接触している。検出する光は、上部電極 2 0 5 側からフォトダイオード 1 2 1 に入射する。なお、n型アモルファスシリコン層 2 0 2 とp型アモルファスシリコン層 2 0 4 の位置が逆でもよく、真性アモルファスシリコン層 2 0 3 が省略されてもよい。

40

【 0 0 5 3 】

第3層間絶縁層 2 7 5 が、下部電極 2 0 1、シリコン層 2 0 2 - 2 0 4、及び上部電極 2 0 5 を覆うように形成されている。第3層間絶縁層 2 7 5 は、無機又は有機絶縁体である。バイアス電極 2 2 1 及び信号線 1 0 6 が、第3層間絶縁層 2 7 5 上に形成されている。本例において、バイアス電極 2 2 1 及び信号線 1 0 6 は、第3層間絶縁層 2 7 5 に直接接触している。信号線 1 0 6 は、第3層間絶縁層 2 7 5、第2層間絶縁層 2 7 4 及び第1

50

層間絶縁層 273 のビアホール内のコンタクト部 228 を介して、薄膜トランジスタ 122 のドレイン電極 254 に接続されている。

【0054】

バイアス電極 221 は、第3層間絶縁層 275 のビアホールに形成されているコンタクト部 226 によって、上部電極 205 に接続されている。また、バイアス電極 221 は、第3層間絶縁層 275 及び第2層間絶縁層 274 のビアホールに形成されているコンタクト部 225 によって、下層導体部 210 に接続されている。バイアス電極 221 は、導体であり、例えば、Mo、Ti、Al等の金属、それらの合金、又はそれらの積層体で形成することができる。

【0055】

信号線 106、バイアス電極 221 及び第3層間絶縁層 275 を覆うようにパッシベーション層(膜) 276 が形成されている。パッシベーション層 276 は、画素領域 12の全域を覆う。パッシベーション層 276 は、無機又は有機絶縁体である。パッシベーション層 276 上に不図示のシンチレータが配置される。

【0056】

シンチレータは、画素領域 12の全域を覆う。シンチレータは、放射線に励起されることにより発光する。具体的には、シンチレータは、入射したX線をフォトダイオード 121 が検出する波長の光に変換する。フォトダイオード 121 は、シンチレータからの光に応じて、信号電荷を生成し、接合容量 125 及び容量素子 126 (図2参照)に蓄積する。

【0057】

上記構成例において、フォトダイオード 121 は、薄膜トランジスタ 122 よりも上層にある。この配置は、絶縁層等による入射光の減衰を少なくすることができることに加え、半導体プロセスにおける薄膜トランジスタとフォトダイオードの製造を容易とすることができる。

【0058】

図3Aから3Cを参照して説明した構成において、バイアス電位は、上部電極 205 より下層に位置する下層導体部 210 から、バイアス電極 221 を介して、上部電極 205 に与えられる。図3Aに示すように、バイアス電極 221 は、上部電極 205 の端の一部のみを覆うのみである。本構成は、バイアス線が上部電極 205 の上を端から端まで通過する構成と比較して、上部電極 205 が導体によって覆われる面積を小さくし、フォトダイオード 121 の受光面積を増加させることができる。

【0059】

フォトダイオードアレイに対しては、高解像化及び高精細化に対するニーズがあり、画素サイズを小さくすることで、その要求を満たすことができる。しかし画素サイズが小さくなると、フォトダイオードの面積が小さくなり、その接合容量も小さくなり、飽和信号量が低下する。

【0060】

飽和信号量は、ダイナミックレンジを決定づける要素の一つであり、ダイナミックレンジの上限は、飽和信号量で決まる。飽和信号量は、画素容量とバイアス電位で決まる。ダイナミックレンジは、飽和信号量その他、フォトダイオードの暗電流をはじめとする様々な要因から生じるノイズの大きさにも依存する。ダイナミックレンジの下限は、ノイズの大きさで決まる。

【0061】

暗電流はバイアス電位に依存するため、バイアス電位を小さくすれば暗電流を小さくできる。しかし、飽和信号量も低下するため、ダイナミックレンジは拡大しない。飽和信号量が小さくなると、これを超える強度の光(X線)が照射された際に、強度に応じた信号を出力できなくなる。

【0062】

そのため、画素サイズを小さくするという制約の下、飽和信号量を上げることが求められる。上述のように、飽和信号量は画素容量とバイアス電位に依存するため、画素容量を

10

20

30

40

50

増加させることで、飽和信号量を増加させることができる。

【 0 0 6 3 】

図 4 は、図 3 A から 3 C を参照して説明した構成における、画素容量を示す。画素 1 3 は、フォトダイオード 1 2 1 の接合容量 C_{pd} に加えて、下部電極 2 0 1 と下層導体部 2 1 0 との間の容量 C_{add} を含む。つまり、下部電極 2 0 1 と下層導体部 2 1 0 とは、それらの間の絶縁層（層間絶縁層 2 7 4 の一部）と共に、付加容量素子を構成する。

【 0 0 6 4 】

このように、下部電極 2 0 1 より下層に電極状の下層導体部 2 1 0 を配置することで、下部電極 2 0 1 と下層導体部 2 1 0 との間に容量が形成される。フォトダイオード 1 2 1 の接合容量 1 2 5 に並列に、追加の容量素子 1 2 6 形成されたことになる（図 2 参照）。これにより、画素容量は増大し、画素の飽和信号量を向上させることができる。

10

【 0 0 6 5 】

特に画素サイズが小さい製品において、製造条件によって接合容量を変えることは、量子効率や暗電流など他の特性にも影響を与えるため困難である。しかし本構造は、下部電極 2 0 1 より下層の導体層を利用して容量素子を形成するため、フォトダイオード 1 2 1 の製造条件をほとんど変えることなく飽和信号量を向上できる。さらに、用途や目的に応じて、下層導体部 2 1 0 の大きさや下部電極 2 0 1 との距離を変えることで、付加容量 C_{add} を任意に変えることができる。

【 0 0 6 6 】

本構成においては、フォトダイオード 1 2 1 と並列に容量素子 1 2 6 を追加し、バイアス電位を小さく設定することで、暗電流を低下させつつ飽和信号量の低下を抑制できる。このため、ダイナミックレンジを増加させることができる。

20

【 0 0 6 7 】

下層導体部 2 1 0 は、下部電極 2 0 1 より下層にあるので、受光領域に影響を与えることなく面積を大きくすることができる。このため、断線の可能性を低減すると共に、ゲート線 1 0 5 に起因するノイズを効果的に低減させることができる。

【 0 0 6 8 】

図 3 B 及び 3 C を参照して説明した構成において、ゲート線 1 0 5 と、下部電極 2 0 1 との間の層に、下層導体部 2 1 0 が存在する。画素電極とゲート線 1 0 5 とが形成する寄生容量を小さくできる（固定電位の電極による静電遮蔽効果）。そして寄生容量が小さくなると、ゲート線 1 0 5 から下部電極 2 0 1 に加わるノイズを小さくできる。

30

【 0 0 6 9 】

詳細は以下の通りである。例えば下部電極 2 0 1 が寄生容量を介してゲート線 1 0 5 と接続される場合、ゲート線 1 0 5 はノイズ電圧 V_n の大きさをもつノイズ源になりうる。そのため、寄生容量を介してノイズ電流が下部電極 2 0 1 に流れ、下部電極 2 0 1 ではノイズが静電誘導により生じる。このとき、ノイズの大きさは寄生容量の大きさに比例する。

【 0 0 7 0 】

ゲート線 1 0 5 と下部電極 2 0 1 の中間に位置する下層導体部 2 1 0 は、ゲート線 1 0 5 と下部電極 2 0 1 との間の寄生容量を、三つの容量に分割する。これらは、ゲート線 1 0 5 と下部電極 2 0 1 との間の容量、ゲート線 1 0 5 と下層導体部 2 1 0 との間の容量、及び下層導体部 2 1 0 と下部電極 2 0 1 との間の容量である。また下層導体部 2 1 0 は、常にバイアス電位に固定されている。これにより、ゲート線由来のノイズ電流がゲート線 1 0 5 と下層導体部 2 1 0 との間で主に流れるため、下部電極 2 0 1 へのノイズ電流は小さくなる。

40

【 0 0 7 1 】

このように、下部電極 2 0 1 よりも下層にバイアス電位を伝送する下層導体部 2 1 0 を配置することで、画素 1 3 の飽和信号量を増加させ、ゲート線由来のノイズを低減することができる。

【 0 0 7 2 】

上述のように、画素のスイッチトランジスタは、任意の特性の半導体を利用することが

50

できる。本明細書の一実施形態において、移動度が $5 \text{ cm}^2 / \text{Vs}$ を超える半導体部を含むスイッチトランジスタが利用される。

【0073】

上述のように容量素子126が追加されると、画素容量が大きくなるため、トランジスタがONになったときの書込率が低下する。これにより、画素13の信号電荷を十分に読み出すことができず、残像特性を悪化し得る。したがって、上記移動度の特性を有するスイッチ素子を使用することで、より確実に、適切な信号読み取りが可能となる。上記特性を有する薄膜トランジスタは、例えば、酸化物半導体や低温ポリシリコンなど、移動度の高い半導体を使用したスイッチトランジスタである。

【0074】

[他の画素構造例]

以下において、画素の他の構成例を説明する。図5Aは、画素13、ゲート線105及び信号線106の構造を模式的に示す平面図である。図5Bは、図5AのVB-VB'切断線における断面図を示し、図5Cは、図5AのVC-VC'切断線における断面図を示す。以下においては、図3Aから3Cを参照して説明した構成との相違点を主に説明する。

【0075】

本構成例は、図3Aから3Cにおけるバイアス電極221に代えて、バイアス線321を含む。バイアス線321は、図3Aの縦方向において延びており、複数の画素13の上部電極305それぞれに、コンタクト部323を介して接続されている。バイアス線321は、上部電極305の上を、上部電極305の端から反対側の端まで通過している。バイアス線321は、例えば、バイアス電極221と同様の材料で形成できる。

【0076】

図5Aに示す構成例において、上部電極305及び下部電極301は、図3Aに示す上部電極205及び下部電極201のような凹部を有していない。図5B及び5Cに示すように、バイアス線321は、第3層間絶縁層275に形成されており、第3層間絶縁層275と直接接触している。バイアス線321は、第3層間絶縁層275を貫通するコンタクト部323によって、上部電極205に接続されている。

【0077】

下層導体部310は、画素13内において、上部電極305と相互接続されておらず、電氣的に分離されている。図5Cに示すように、下層導体部310は、電極形状部311と、電極形状部から縦方向の延びる連結部312、313とを含む。本構成例において、連結部312、313の幅は、バイアス線321の幅以下である。縦方向に隣接する画素13の下層導体部310は連結部312、313において連結されている。なお、画素領域12よりも外側で下層導体部310とバイアス線321が相互接続されていてもよい。

【0078】

本構成例において、下層導体部310の各列には、例えば信号検出回路16から、バイアス電位又はバイアス電位と異なる定電位が与えられる。下層導体部310は、下部電極301及び第2層間絶縁層274と共に、付加容量素子126を構成する。また、下層導体部310は、ゲート線105から下部電極301へのノイズを低減できる。

【0079】

図6Aは、画素13、ゲート線105及び信号線106の構造を模式的に示す平面図である。図6Bは、図6AのVIB-VIB'切断線における断面図を示す。以下においては、図3Aから3Cを参照して説明した構成との相違点を主に説明する。本構成例において、下層導体部は、ソース電極及びドレイン電極と同一の導体層に含まれている。これにより、製造プロセスをより簡便なものとすることができる。

【0080】

図6Bに示すように、下層導体部400は、ゲート絶縁層272上に形成されており、ゲート絶縁層272と直接接触している。下層導体部400は、薄膜トランジスタのソース電極253及びドレイン電極254と同一の材料で形成されている。下層導体部400は、ソース電極253及びドレイン電極254と同一層に含まれる。下層導体部400の

10

20

30

40

50

平面形状は、図 3 A に示す下層導体部 2 1 0 と同様でよい。

【 0 0 8 1 】

図 7 A は、画素 1 3、ゲート線 1 0 5 及び信号線 1 0 6 の構造を模式的に示す平面図である。図 7 B は、図 7 A の V I I B - V I I B ' 切断線における断面図を示す。以下においては、図 3 A から 3 C を参照して説明した構成との相違点を主に説明する。図 7 A に示すように、本構成例において、下層導体部 4 1 0 は、付加容量素子 1 2 6 の電極部分に加えて、トップゲート電極部 4 1 3 を含む。

【 0 0 8 2 】

トップゲート電極部 4 1 3 は、電極形状部 2 1 1 から薄膜トランジスタ 1 2 2 に向かって延びている。トップゲート電極部 4 1 3 は、平面視において、ソース電極 2 5 3 及びドレイン電極 2 5 4 の間のチャンネル部を覆う。なお、トップゲート電極部 4 1 3 は、チャンネル部の一部のみを覆ってもよい。

10

【 0 0 8 3 】

図 7 B に示すように、トップゲート電極部 4 1 3 と半導体部 2 5 2 との間に、第 1 層間絶縁層 2 7 3 (の一部) が存在する。トップゲート電極部 4 1 3 は、薄膜トランジスタ 1 2 2 の閾値を制御することができる。また、トップゲート電極部 4 1 3 は、半導体部 2 5 2 への光入射を低減することができる。

【 0 0 8 4 】

上述のように、薄膜トランジスタ 1 2 2 として、高移動度な酸化物半導体 T F T を使用することができる。酸化物半導体の閾値は、外部刺激 (例えば光や電圧、応力など) によって容易に変動する。そのため、図 7 A に示す構成例のように、ボトム側のゲート電極 2 5 1 とトップ側のゲート電極 4 1 3 を伴う D u a l G a t e 構造を有することで、薄膜トランジスタ 1 2 2 は、トップゲート電位で閾値を制御することができる。

20

【 0 0 8 5 】

フォトダイオードアレイにおいて、フォトダイオード 1 2 1 は、一般に、逆バイアスマードで固定される。トップゲート電極部 4 1 3 に負の電位が与えられる場合、トップゲート電位は閾値を、S i n g l e G a t e 構造よりも正方向にシフトさせる。そのため、外部刺激で負シフトする場合には、これを相殺する効果がある。

【 0 0 8 6 】

図 8 A は、画素 1 3、ゲート線 1 0 5 及び信号線 1 0 6 の構造を模式的に示す平面図である。図 8 B は、図 8 A の V I I I B - V I I I B ' 切断線における断面図を示す。以下においては、図 3 A から 3 C を参照して説明した構成との相違点を主に説明する。

30

【 0 0 8 7 】

図 8 A に示すように、下層導体部 4 2 0 は、縦方向それぞれに隣接する画素 1 3 の下層導体部に加えて、横方向それぞれに隣接する画素 1 3 の下層導体部に連結されている。下層導体部 4 2 0 は、連結部 2 1 4、2 1 5 を介して、横方向に隣接する画素 1 3 の下層導体部に連結されている。連結部 2 1 4、2 1 5 は、下層導体部 4 2 0 の一部である。この構成により、バイアス電位を伝送するバイアス線の断線をより効果的に避けることができる。

【 0 0 8 8 】

図 9 A は、画素 1 3、ゲート線 1 0 5 及び信号線 1 0 6 の構造を模式的に示す平面図である。図 9 B は、図 9 A の I X B - I X B ' 切断線における断面図を示す。以下においては、図 7 A 及び 7 B に示す構成例との差異を主に説明する。

40

【 0 0 8 9 】

図 9 A に示すように、バイアス電極 4 3 5 は、下層導体部 4 3 0 のトップゲート電極部 4 3 3 と、コンタクト部 4 3 7 (第 1 コンタクト部) を介して接続される。バイアス電極 4 3 5 は、上部電極 4 3 9 と、コンタクト部 4 3 6 (第 2 コンタクト部) を介して接続される。バイアス電極 4 3 5 は、図 7 A に示すバイアス電極と同様の形状を有してよい。

【 0 0 9 0 】

図 9 B に示すように、コンタクト部 4 3 6 は、第 3 層間絶縁層 2 7 5 を貫通して、バイ

50

アス電極 4 3 5 と上部電極 4 3 9 を相互接続する。コンタクト部 4 3 7 は、第 3 層間絶縁層 2 7 5 及び第 2 層間絶縁層 2 7 4 を貫通して、バイアス電極 4 3 5 とトップゲート電極部 4 3 3 (下層導体部 4 3 0) を相互接続する。

【 0 0 9 1 】

図 7 A に示す構成例と比較して、図 9 A に示す下部電極 4 3 8 及び上部電極 4 3 9 は、薄膜トランジスタ 1 2 2 と反対側の凹部を有してない。そのため、フォトダイオード 1 2 1 の受光面積 (開口率) を向上できる。図 9 A に示すように、下層導体部 4 3 0 は、連結部 4 3 2、2 1 3 において、縦方向の隣接画素の下層導体部と連結される。

【 0 0 9 2 】

図 1 0 A は、画素 1 3、ゲート線 1 0 5 及び信号線 1 0 6 の構造を模式的に示す平面図である。図 1 0 B は、図 1 0 A の X B - X B ' 切断線における断面図を示す。以下においては、図 7 A 及び 7 B に示す構成例との差異を主に説明する。本構成例において、薄膜トランジスタの一部又は全部を平面視において覆うように、フォトダイオードが配置されている。フォトダイオードの一部は、薄膜トランジスタの直上にある。これにより、フォトダイオードの受光面積 (開口率) を向上できる。

10

【 0 0 9 3 】

図 1 0 A に示すように、下部電極 4 4 6 及び上部電極 4 4 5 は、薄膜トランジスタ 1 2 2 の一部を覆う。本例において、半導体部 2 5 2 の全部が下部電極 4 4 6 及び上部電極 4 4 5 により覆われている。図 1 0 B に示すように、光電変換部 4 4 3 も、薄膜トランジスタ 1 2 2 の一部を覆う。本例において、光電変換部 4 4 3 は P I N シリコン積層体であり、上部電極 4 4 5 と同一の領域を平面視において覆う。

20

【 0 0 9 4 】

図 1 1 A は、画素 1 3、ゲート線 1 0 5 及び信号線 1 0 6 の構造を模式的に示す平面図である。図 1 1 B は、図 1 1 A の X I B - X I B ' 切断線における断面図を示す。以下においては、図 3 A から 3 C に示す構成例との差異を主に説明する。

【 0 0 9 5 】

本構成例において、下層導体部 4 4 0 は、電極形状部 4 4 1 内に開口 4 4 4 を有する。開口 4 4 4 は、平面視において下部電極 2 0 1 と重なる領域に形成されている。そのため、開口 4 4 4 のサイズを調整することで、所望の追加容量を得ることができる。

【 0 0 9 6 】

図 1 1 A に示す構成例において、電極形状部 4 4 1 の一部は、平面視において、上部電極 2 0 5 の外側まで広がっている。電極形状部 4 4 1 の全域は、平面視において、下部電極 2 0 1 の領域内にある。下層導体部 4 4 0 は、連結部 4 4 2 及び 4 4 3 において、縦方向に隣接する画素 1 3 の下層導体部に連結されている。

30

【 0 0 9 7 】

図 1 2 A は、画素 1 3、ゲート線 1 0 5 及び信号線 1 0 6 の構造を模式的に示す平面図である。図 1 2 B は、図 1 2 A の X I I B - X I I B ' 切断線における断面図を示す。以下においては、図 3 A から 3 C に示す構成例との差異を主に説明する。

【 0 0 9 8 】

図 1 2 A 及び 1 2 B に示す構成例において、下層導体部 4 5 0 の電極形状部 4 5 1 の一部は、平面視において、上部電極 2 0 5 及び下部電極 2 0 1 より外側に広がっている。電極形状部 4 5 1 の下部電極 2 0 1 の外側の部分は、ゲート線 1 0 5 と部分的に重なっている。この構成は、ゲート線 1 0 5 からのノイズをより効果的に低減できる。

40

【 0 0 9 9 】

図 1 3 A は、画素 1 3、ゲート線 1 0 5 及び信号線 1 0 6 の構造を模式的に示す平面図である。図 1 3 B は、図 1 3 A の X I I I B - X I I I B ' 切断線における断面図を示す。以下においては、図 1 2 A 及び 1 2 B に示す構成例との差異を主に説明する。

【 0 1 0 0 】

下部電極 4 6 1 の一部は、下層導体部 4 5 0 の電極形状部 4 5 1 の一部を挟んで、ゲート線 1 0 5 の直上に存在する。上部電極 4 6 5 及び光電変換部 4 6 7 の一部も、下部電極

50

461の一部を挟んで、ゲート線105の直上に存在する。下部電極461、上部電極465及び光電変換部467が、平面視においてゲート線105の一部を覆う領域まで広がっている。このため、光電変換部の受光面積（開口率）をさらに向上できる。

【0101】

以上、本開示の実施形態を説明したが、本開示が上記の実施形態に限定されるものではない。当業者であれば、上記の実施形態の各要素を、本開示の範囲において容易に変更、追加、変換することが可能である。ある実施形態の構成の一部を他の実施形態の構成に置き換えることが可能であり、ある実施形態の構成に他の実施形態の構成を加えることも可能である。

【符号の説明】

【0102】

10 イメージセンサ、11 センサ基板、12 画素領域、13 画素、14 駆動回路、16 信号検出回路、18 主制御回路、105 ゲート線、106 信号線、107 バイアス線、121 フォトダイオード、122 薄膜トランジスタ、125 接合容量、126 容量素子、201、301、438、446、461 下部電極、205、305、439、445、465 上部電極、210、310、400、410、420、430、440、450 下層導体部、211、311、441、451 電極形状部、212 - 215、312、313、432、442、443、452、453 連結部、221、435 バイアス電極、225、226、227、228、323、436、437 コンタクト部、251 ゲート電極、252 半導体部、253 ソース電極、254 ドレイン電極、271 絶縁基板、272 - 276 絶縁層、413、433 トップゲート電極部、443、467 光電変換部、444 開口

10

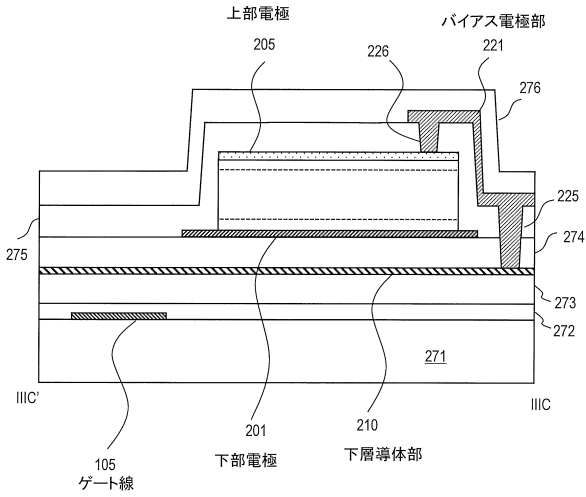
20

30

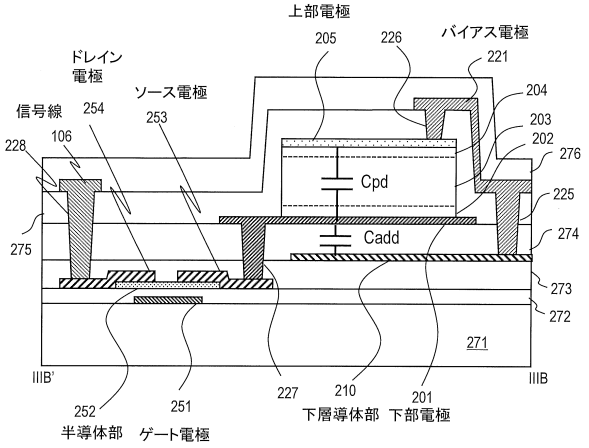
40

50

【図3C】

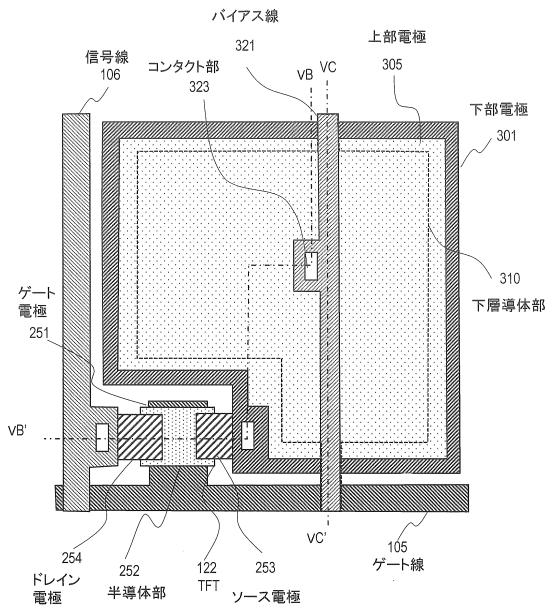


【図4】

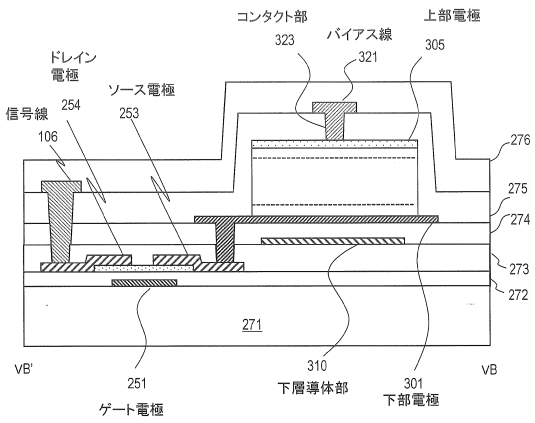


10

【図5A】



【図5B】



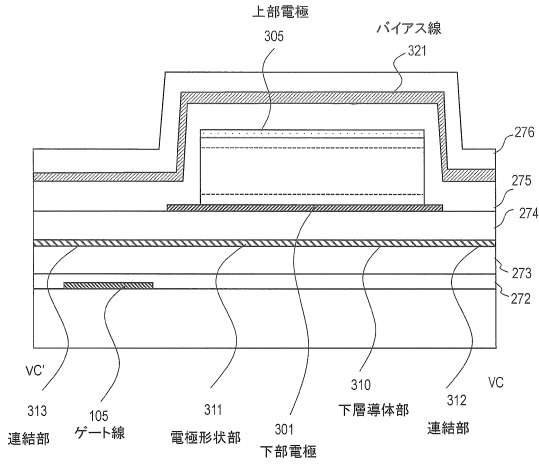
20

30

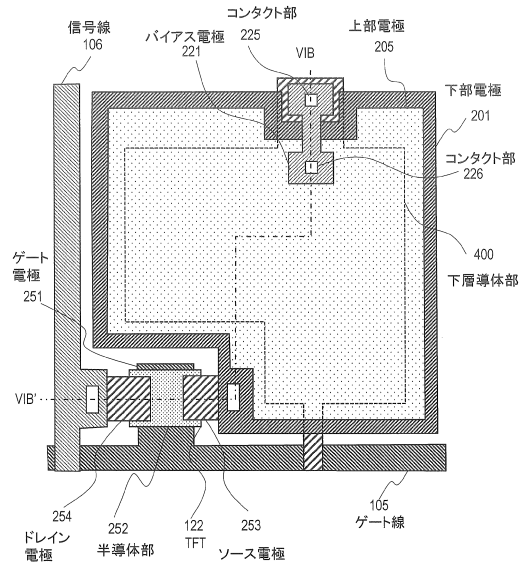
40

50

【図5C】

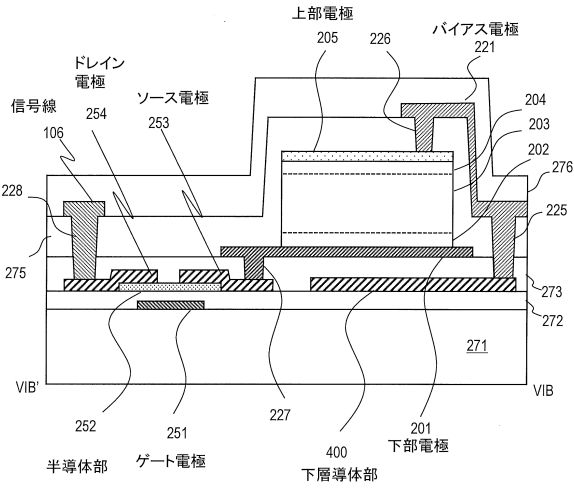


【図6A】

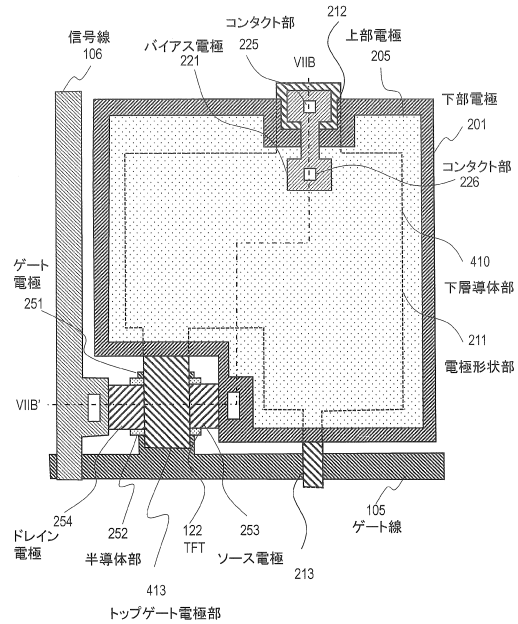


10

【図6B】



【図7A】



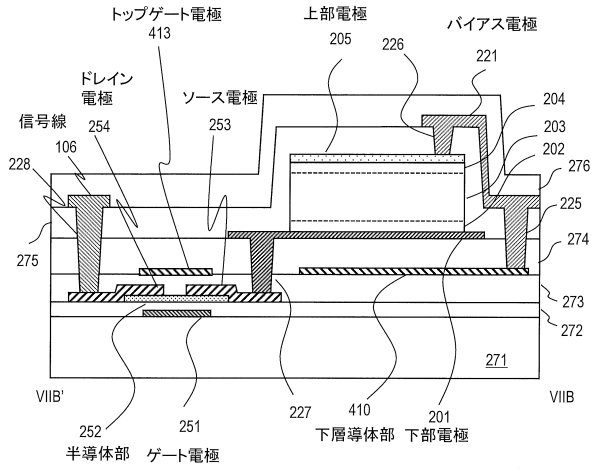
20

30

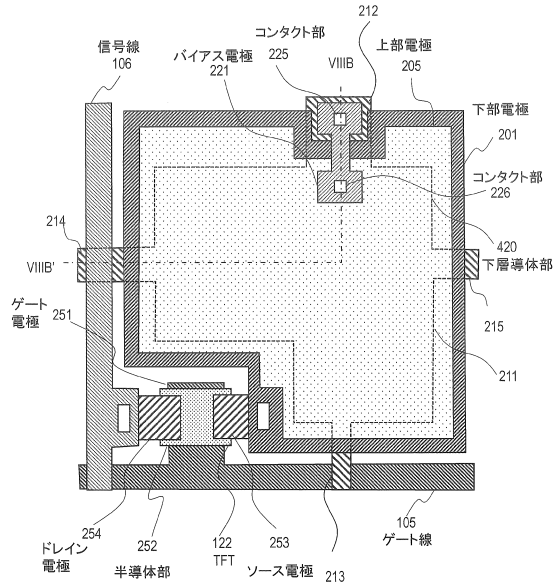
40

50

【図7B】



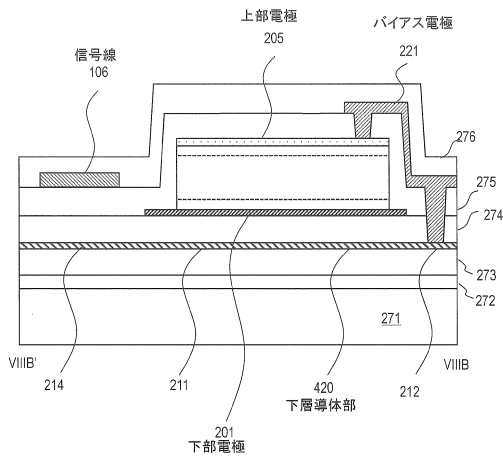
【図8A】



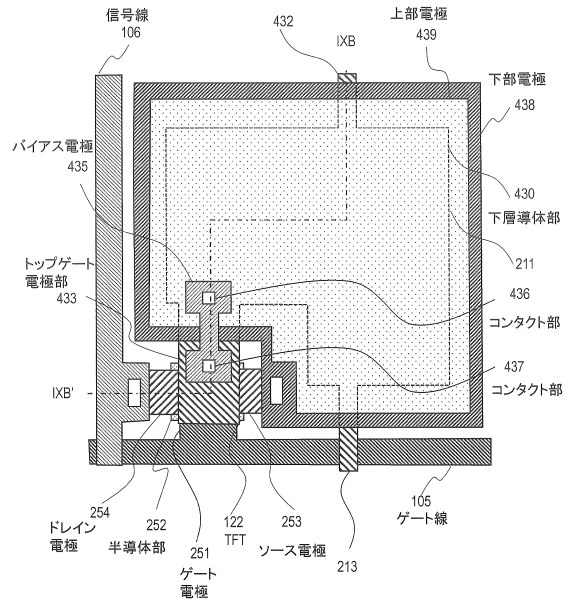
10

20

【図8B】



【図9A】

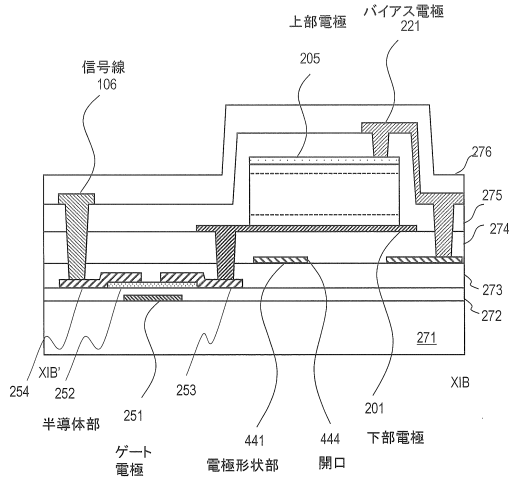


30

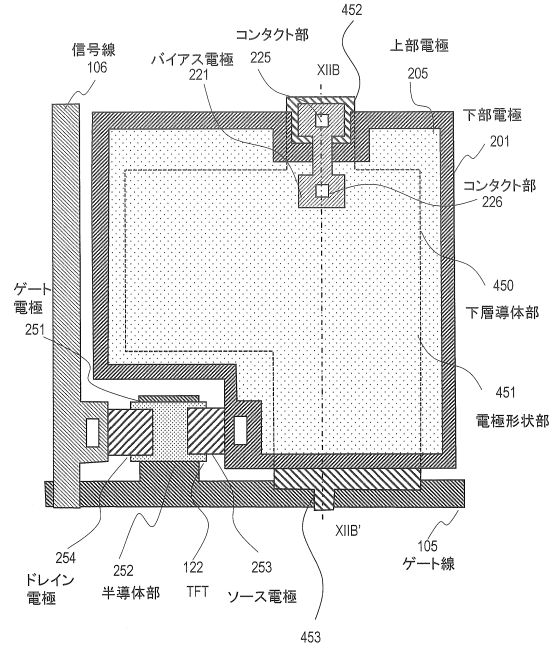
40

50

【図 1 1 B】



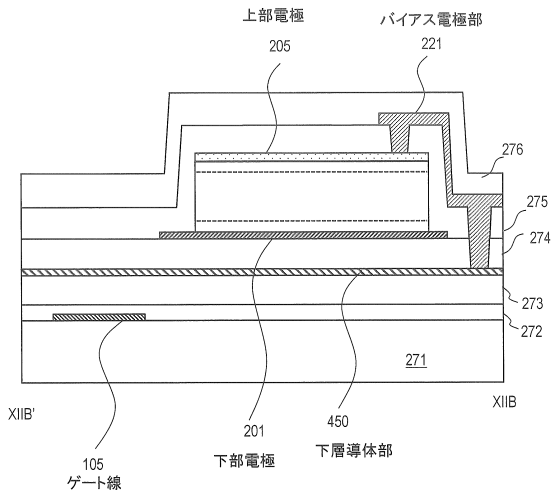
【図 1 2 A】



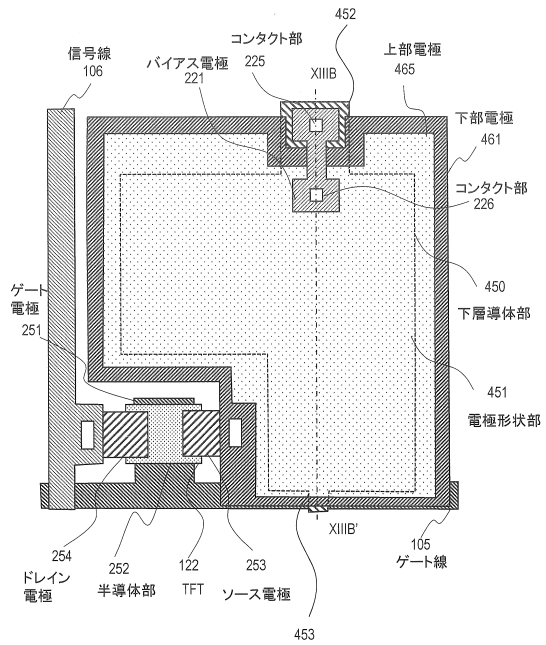
10

20

【図 1 2 B】



【図 1 3 A】

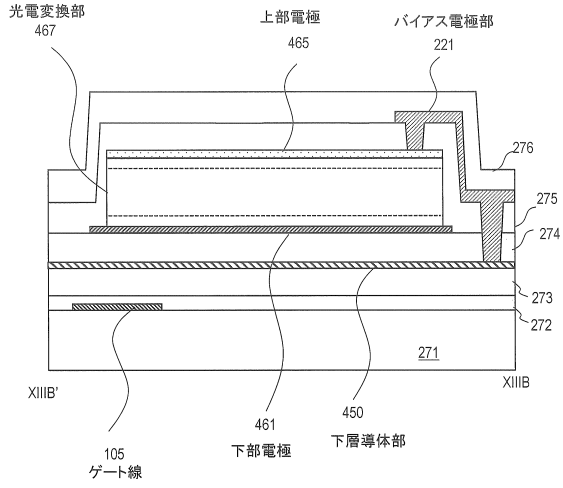


30

40

50

【図 13B】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開平05 - 102447 (JP, A)
特開2009 - 283896 (JP, A)
特開2009 - 170646 (JP, A)
特開2007 - 073724 (JP, A)
特開2011 - 249370 (JP, A)
特開2004 - 265934 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H01L 27 / 146
H04N 25 / 70