(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7635195号
(P7635195)

(45)発行日　令和7年2月25日(2025.2.25)

(24)登録日　令和7年2月14日(2025.2.14)

(51)国際特許分類		FI		
G09G	*3/3266(2016.01)*	G09G	3/3266	
G09G	*3/3233(2016.01)*	G09G	3/3233	
G09G	*3/30 (2006.01)*	G09G	3/30	J
G09G	*3/3291(2016.01)*	G09G	3/3291	
G09G	*3/20 (2006.01)*	G09G	3/20	680H

請求項の数　27　（全74頁）　最終頁に続く

(21)出願番号　特願2022-211744(P2022-211744)
(22)出願日　令和4年12月28日(2022.12.28)
(65)公開番号　特開2024-94872(P2024-94872A)
(43)公開日　令和6年7月10日(2024.7.10)
審査請求日　令和4年12月28日(2022.12.28)
前置審査

(73)特許権者　501426046
エルジー ディスプレイ カンパニー リミテッド
大韓民国 ソウル、ヨンドゥンポーグ、ヨウィ－テロ １２８
(74)代理人　100094112
弁理士　岡部 譲
(74)代理人　100106183
弁理士　吉澤 弘司
(72)発明者　高杉 親知
神奈川県横浜市西区高島１－２－１３エルジー横浜イノベーションセンター７階
エルジー ジャパン ラボ 株式会社
(72)発明者　池 ▲ヒョン▼宗
神奈川県横浜市西区高島１－２－１３エ
最終頁に続く

(54)【発明の名称】　表示装置

(57)【特許請求の範囲】

【請求項１】

行列状に配列された複数の副画素、行方向に延在する複数のゲート線、および列方向に延在する複数のデータ線を有する表示パネルと、

前記複数のゲート線のうちの複数の第１のゲート線を介して、前記複数の副画素のうちの第１の色の副画素をアクティブにするための複数のゲート信号を前記第１の色の副画素に供給する第１のゲート駆動部と、

前記複数のゲート線のうちの複数の第２のゲート線を介して、前記複数の副画素のうちの第２の色の副画素をアクティブにするための複数のゲート信号を前記第２の色の副画素に供給する第２のゲート駆動部と、

前記複数のデータ線を介して、前記複数の副画素の輝度に対応する複数のデータ信号を前記複数の副画素に供給するデータ駆動部と、

前記第１のゲート駆動部、第２のゲート駆動部および前記データ駆動部を制御するタイミング制御部と、

を含み、

前記複数の副画素は、第１の行において前記複数のデータ線のうちの第１のデータ線を共有する前記第１の色の第１の副画素および前記第２の色の第２の副画素を含み、

前記タイミング制御部は、前記複数の第１のゲート線を介して、前記第１の色の副画素に、第１の走査時刻および前記第１の走査時刻の次の第２の走査時刻において連続して前記ゲート信号を供給するように、前記第１のゲート駆動部を前記第２のゲート駆動部とは

独立に制御し、
前記タイミング制御部は、前記第１のゲート駆動部により前記ゲート信号が連続して供給される前記第１の色の副画素の行数を、前記第１の行の前記第１の色に対応する前記データ信号と前記第１の行とは別の行の前記第１の色に対応する前記データ信号との間の類似度に基づき決定する、
表示装置。
【請求項２】
前記タイミング制御部は、前記第１の走査時刻において、前記第１のゲート駆動部を、前記複数の第１のゲート線のうちの第１のグループのゲート線を介して前記ゲート信号の供給が可能である状態にし、
前記第２の走査時刻において、前記第１のゲート駆動部を、前記複数の第１のゲート線のうちの第２のグループのゲート線を介して前記ゲート信号の供給が可能である状態にし、
前記第２のグループのゲート線は、前記第１のグループのゲート線に含まれないゲート線を含む、
請求項１に記載の表示装置。
【請求項３】
前記タイミング制御部は、前記第１の走査時刻において、前記第１のグループのゲート線のうちのいずれかのゲート線を介して、前記第１の副画素に前記ゲート信号を供給するように、前記第１のゲート駆動部を制御する、請求項２に記載の表示装置。
【請求項４】
前記タイミング制御部は、前記第１の走査時刻および前記第２の走査時刻において、前記第２のゲート駆動部を、前記複数の第２のゲート線のうちの所定のグループのゲート線を介して前記ゲート信号の供給が可能である状態にする、請求項２または３に記載の表示装置。
【請求項５】
前記タイミング制御部は、前記第１の走査時刻および前記第２の走査時刻において、前記ゲート信号を前記第２の色の副画素に供給しないように、前記第２のゲート駆動部を制御する、請求項４に記載の表示装置。
【請求項６】
前記タイミング制御部は、前記第１の色の副画素に前記ゲート信号が供給された後に、前記複数の第２のゲート線を介して、前記第２の色の副画素に連続して前記ゲート信号を供給するように、前記第２のゲート駆動部を前記第１のゲート駆動部とは独立に制御する、請求項５に記載の表示装置。
【請求項７】
前記タイミング制御部は、前記第２の走査時刻の後の第３の走査時刻において、前記第２のゲート駆動部を、前記複数の第２のゲート線のうちの第３のグループのゲート線を介して前記ゲート信号の供給が可能である状態にし、
前記第３の走査時刻の次の第４の走査時刻において、前記第２のゲート駆動部を、前記複数の第２のゲート線のうちの第４のグループのゲート線を介して前記ゲート信号の供給が可能である状態にし、
前記第４のグループのゲート線は、前記第３のグループのゲート線に含まれないゲート線を含む、
請求項６に記載の表示装置。
【請求項８】
前記タイミング制御部は、前記第３の走査時刻において、前記第３のグループのゲート線のうちのいずれかのゲート線を介して、前記第２の副画素に前記ゲート信号を供給するように、前記第２のゲート駆動部を制御する、請求項７に記載の表示装置。
【請求項９】
前記タイミング制御部は、前記第３の走査時刻および前記第４の走査時刻において、前記第１のゲート駆動部を、前記複数の第１のゲート線のうちの所定のグループのゲート線

を介して前記ゲート信号の供給が可能である状態にする、請求項８に記載の表示装置。
【請求項１０】
前記タイミング制御部は、前記第３の走査時刻および前記第４の走査時刻において、前記ゲート信号を前記第１の色の副画素に供給しないように、前記第１のゲート駆動部を制御する、請求項９に記載の表示装置。
【請求項１１】
前記第１の色の前記第１の副画素は前記第１のデータ線および前記第１の行に対応する前記第１のゲート線に接続され、
前記第２の色の前記第２の副画素は前記第１のデータ線および前記第１の行に対応する前記第２のゲート線に接続され、
前記複数の副画素は、第２の行において前記第１のデータ線を共有する前記第１の色の第３の副画素および前記第２の色の第４の副画素をさらに含み、
前記第１の色の前記第３の副画素は前記第１のデータ線および前記第２の行に対応する前記第１のゲート線に接続され、
前記第２の色の前記第４の副画素は前記第１のデータ線および前記第２の行に対応する前記第２のゲート線に接続される、
請求項１に記載の表示装置。
【請求項１２】
前記複数の副画素は、第２の行において前記第１のデータ線を共有する前記第１の色の第３の副画素および前記第２の色の第４の副画素をさらに含み、
前記タイミング制御部は、前記第１の副画素の前記データ信号が前記第３の副画素の前記データ信号に類似すると判定した場合に、前記第１の副画素に続いて前記第３の副画素に前記ゲート信号を供給させるように、前記第１のゲート駆動部を制御する、
請求項１乃至３のいずれか１項に記載の表示装置。
【請求項１３】
前記タイミング制御部は、前記第１の副画素の前記データ信号が前記第３の副画素の前記データ信号に類似しないと判定した場合に、前記第１の副画素に続いて前記第２の副画素に前記ゲート信号を供給させるように、前記第１のゲート駆動部および前記第２のゲート駆動部を制御する、請求項１２に記載の表示装置。
【請求項１４】
前記タイミング制御部は、前記第２の副画素に続いて前記第４の副画素に前記ゲート信号を供給させるように、前記第２のゲート駆動部を制御する、請求項１３に記載の表示装置。
【請求項１５】
前記タイミング制御部は、同一のフレーム内で前記第１の副画素の前記データ信号が前記第３の副画素の前記データ信号に類似するか否かを判定する、請求項１２に記載の表示装置。
【請求項１６】
前記タイミング制御部は、複数のフレーム間で前記第１の副画素の前記データ信号が前記第３の副画素の前記データ信号に類似するか否かを判定する、請求項１２に記載の表示装置。
【請求項１７】
前記第１の行は、前記第２の行と隣接する行である、請求項１２に記載の表示装置。
【請求項１８】
前記第１の行は、前記第２の行と隣接しない行である、請求項１２に記載の表示装置。
【請求項１９】
前記タイミング制御部は、前記複数の副画素への前記複数のゲート信号の供給を開始させるゲートスタート信号を、互いに異なるタイミングで前記第１のゲート駆動部および前記第２のゲート駆動部に供給する、請求項１乃至３のいずれか１項に記載の表示装置。
【請求項２０】

前記タイミング制御部は、前記ゲート線の電圧をリセットさせるリセット信号を、互いに異なるタイミングで前記第１のゲート駆動部および前記第２のゲート駆動部に供給する、請求項１乃至３のいずれか１項に記載の表示装置。
【請求項２１】
前記タイミング制御部は、前記表示パネルに表示される画像が動画像である場合に、前記第１の色の副画素に前記ゲート信号を連続して供給させる行数を制限させるように、前記第１のゲート駆動部を制御する、請求項１乃至３のいずれか１項に記載の表示装置。
【請求項２２】
前記タイミング制御部は、前記表示パネルに表示される画像が静止画像である場合に、前記第１の色の副画素に前記ゲート信号を連続して供給させる行数を制限させないように、前記第１のゲート駆動部を制御する、請求項１乃至３のいずれか１項に記載の表示装置。
【請求項２３】
前記タイミング制御部は、前記表示パネルに表示される画像に対応する前記輝度が所定の値以下である場合に、前記判定にかかわらず前記第１の副画素に続いて前記第２の副画素に前記ゲート信号を供給させるように、前記第１のゲート駆動部および前記第２のゲート駆動部を制御する、請求項１２に記載の表示装置。
【請求項２４】
前記第１のゲート駆動部および前記第２のゲート駆動部は、同一の領域に配置される、請求項１乃至３のいずれか１項に記載の表示装置。
【請求項２５】
前記第１のゲート駆動部および前記第２のゲート駆動部は、ゲートインパネル（ＧＩＰ）方式で配置される、請求項１乃至３のいずれか１項に記載の表示装置。
【請求項２６】
前記第１のゲート駆動部から供給される前記ゲート信号の第１の出力端から前記第１の出力端に対応する前記ゲート線までを直線で結ぶ経路は、前記第２のゲート駆動部から供給される前記ゲート信号の第２の出力端から前記第２の出力端に対応する前記ゲート線までを直線で結ぶ経路と交差する、請求項２４に記載の表示装置。
【請求項２７】
前記第１のゲート駆動部から供給される前記ゲート信号の第１の出力端から前記第１の出力端に対応する前記ゲート線までを直線で結ぶ経路は、前記第２のゲート駆動部から供給される前記ゲート信号の第２の出力端から前記第２の出力端に対応する前記ゲート線までを直線で結ぶ経路と交差する、請求項２５に記載の表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、表示装置に関する。
【背景技術】
【０００２】
特許文献１には、２つの副画素が１本のデータ線を共有するダブルレート駆動（Ｄｏｕｂｌｅ　Ｒａｔｅ　Ｄｒｉｖｉｎｇ：ＤＲＤ）を用いた表示装置が開示されている。
【先行技術文献】
【特許文献】
【０００３】
【文献】韓国公開特許第１０－２０２０－００１６１００号公報
【発明の概要】
【発明が解決しようとする課題】
【０００４】
特許文献１に記載されている表示装置においては、副画素へのゲート信号の供給の観点において十分でない場合がある。
【０００５】

本発明は、上述した課題に鑑みてなされたものであって、副画素へのゲート信号の供給のための新規なゲート駆動機構を提供することを目的とする。

【課題を解決するための手段】

【０００６】

本発明の一観点によれば、行列状に配列された複数の副画素、行方向に延在する複数のゲート線、および列方向に延在する複数のデータ線を有する表示パネルと、前記複数のゲート線のうちの複数の第１のゲート線を介して、前記複数の副画素のうちの第１の色の副画素をアクティブにするための複数のゲート信号を前記第１の色の副画素に供給する第１のゲート駆動部と、前記複数のゲート線のうちの複数の第２のゲート線を介して、前記複数の副画素のうちの第２の色の副画素をアクティブにするための複数のゲート信号を前記第２の色の副画素に供給する第２のゲート駆動部と、前記複数のデータ線を介して、前記複数の副画素の輝度に対応する複数のデータ信号を前記複数の副画素に供給するデータ駆動部と、前記第１のゲート駆動部、第２のゲート駆動部および前記データ駆動部を制御するタイミング制御部と、を含み、前記複数の副画素は、第１の行において前記複数のデータ線のうちの第１のデータ線を共有する前記第１の色の第１の副画素および前記第２の色の第２の副画素を含み、前記タイミング制御部は、前記複数の第１のゲート線を介して、前記第１の色の副画素に連続して前記ゲート信号を供給するように、前記第１のゲート駆動部を前記第２のゲート駆動部とは独立に制御する、表示装置が提供される。

【発明の効果】

【０００７】

本発明によれば、ＤＲＤを用いた表示装置に好適なゲート駆動機構を提供することができる。

【図面の簡単な説明】

【０００８】

【図１】第１実施形態に係る表示装置の概略構成を示すブロック図である。

【図２】第１実施形態に係る副画素の等価回路図である。

【図３】第１実施形態に係る表示パネルの概略構成を示す平面図である。

【図４】第１実施形態に係るタイミング制御部の概略構成を示すブロック図である。

【図５】第１実施形態に係るゲート駆動部の概略構成を示すブロック図である。

【図６】第１実施形態に係る第１シフトレジスタに含まれるステージとクロック配線との間の接続を示す回路図である。

【図７】第１実施形態に係る第２シフトレジスタに含まれるステージとクロック配線との間の接続を示す回路図である。

【図８】第１実施形態に係る第１シフトレジスタに含まれるステージおよび第２シフトレジスタに含まれるステージとクロック配線との間の接続を示す回路図である。

【図９】第１実施形態に係る第１ＧＩＰの信号出力端および第２ＧＩＰの信号出力端とゲート線との間の対応関係を示す図である。

【図１０】第１実施形態に係る第１ＧＩＰおよび第２ＧＩＰのオン状態とホールド状態の遷移の一例を示す図である。

【図１１】第１実施形態に係る第１ＧＩＰおよび第２ＧＩＰのオン状態とホールド状態の遷移の別の一例を示す図である。

【図１２】第１実施形態に係るデータ駆動部の概略構成を示すブロック図である。

【図１３】第１実施形態に係る類似度判定部の概略構成を示すブロック図である。

【図１４】第１実施形態に係るスケジューラの概略構成を示すブロック図である。

【図１５】第１実施形態に係るデータ選択部の概略構成を示すブロック図である。

【図１６】第１実施形態に係るスケジューラへの入力の例を示す表である。

【図１７】第１実施形態に係るデータ選択部へ入力される信号の例を示す表である。

【図１８】第１実施形態に係るスケジューラへの入力の例を示す表である。

【図１９】第１実施形態に係るデータ選択部へ入力される信号の例を示す表である。

【図２０】第１実施形態に係る表示装置に表示される画像の一例である。

【図２１】第１実施形態に係る表示装置の副画素が走査される順序を示す模式図である。
【図２２】第１実施形態に係る表示装置のゲート線に印加されるゲート信号のタイミング図である。
【図２３】第１実施形態に係る表示装置の副画素が走査される順序を示す模式図である。
【図２４】第１実施形態に係る表示装置のゲート線に印加されるゲート信号のタイミング図である。
【図２５】第１実施形態に係る表示装置の副画素が走査される順序を示す模式図である。
【図２６】第１実施形態に係る表示装置のゲート線に印加されるゲート信号のタイミング図である。
【図２７】第１実施形態に係る表示装置の走査時間とデータ信号の書き込みが行われる副画素の行との間の関係を示すグラフである。
【図２８】第２実施形態に係る類似度判定部の概略構成を示すブロック図である。
【図２９】第２実施形態に係る学習部の概略構成を示すブロック図である。
【図３０】第２実施形態に係る調整された閾値を示すグラフである。
【図３１】第３実施形態に係る類似度判定部の概略構成を示すブロック図である。
【図３２】第３実施形態に係る表示装置に表示される画像の一例である。
【図３３】第３実施形態に係るスケジューラへの入力の例を示す表である。
【図３４】第３実施形態に係る表示装置の副画素が走査される順序を示す模式図である。
【図３５】第３実施形態に係る表示装置のゲート線に印加されるゲート信号のタイミング図である。
【図３６】第４実施形態に係るデータ選択部へ入力される入力レジスタ選択信号、入力有効化信号、出力レジスタ選択信号の例を示す表である。
【図３７】第５実施形態に係るスケジューラの概略構成を示すブロック図である。
【図３８】第６実施形態に係るタイミング制御部の概略構成を示すブロック図である。
【発明を実施するための形態】
【０００９】
以下、本発明に係る実施形態について図面を参照しつつ詳細に説明する。各図面を通じて共通する機能を有する要素には同一の符号を付し、重複する説明を省略または簡略化することがある。
【００１０】
［第１実施形態］
図１は、本実施形態に係る表示装置１０の概略構成を示すブロック図である。本実施形態に係る表示装置１０は有機発光ダイオード表示装置であるがこれに限定されない。例えば、本発明に係る表示装置１０は液晶表示装置であり得る。表示装置１０は、表示パネル１００、ゲート駆動部２００、データ駆動部３００、電源４００およびタイミング制御部５００を有する。
【００１１】
表示パネル１００は表示装置１０の表示画像を構成する。表示パネル１００は、ゲート駆動部２００から行方向に延在するゲート線ＧＬ１～ＧＬｎとデータ駆動部３００から列方向に延在するデータ線ＤＬ１～ＤＬｍ（ｍ、ｎは正の整数、以下同様）とが交差して画定される各画素領域に、行列状に配列された複数の副画素Ｐを含む。ゲート線ＧＬ１～ＧＬｎの各々に沿って隣接する一対の副画素は、データ線ＤＬ１～ＤＬｍのうちの１本を共有するように配置されている。
【００１２】
ゲート駆動部２００は、ゲート制御信号ＧＣＳに基づいて決定された順序でゲート線ＧＬ１～ＧＬｎの各々にゲート信号を出力する。ゲート駆動部２００は、レベルシフタ、シフトレジスタ、遅延回路、フリップフロップ等の内部回路を備え、ゲート制御信号ＧＣＳに応じて、ゲート開始パルス信号ＧＳＰ、ゲートシフトクロック信号ＧＳＣ、ゲート出力イネーブル信号ＧＯＥ等の制御信号を連続的に生成する。ゲート開始パルス信号ＧＳＰは、ゲート駆動部２００に含まれるゲートドライバ集積回路の動作の開始のタイミングを制

御する。ゲートシフトクロック信号ＧＳＣは、ゲートドライバ集積回路に共通に入力されるクロック信号であり、走査信号（ゲート信号）のシフトタイミングを制御する。ゲート出力イネーブル信号ＧＯＥは、ゲートドライバ集積回路のタイミング情報を指定する。ゲート駆動部２００は、ゲートシフトクロック信号ＧＳＣに応じてゲート開始パルス信号ＧＳＰをシフトすることにより、連続してゲート信号を生成する。また、ゲート駆動部２００は、生成されたゲート信号をゲート線ＧＬ１～ＧＬｎの各々に供給する。ゲート線ＧＬ１～ＧＬｎを介して供給されるゲート信号は、表示パネル１００に含まれる複数の副画素の各々をアクティブにするために用いられる。ゲート駆動部２００は、タイミング制御部５００によって出力幅が変調されたデータイネーブル信号ＤＥおよびデータイネーブル信号ＤＥによって出力幅が変化したゲート出力イネーブル信号ＧＯＥによってゲート信号の出力幅を制御する。なお、ゲート駆動部２００の配置は図１に示させる形態に限定されない。例えば、ゲート駆動部２００は、表示パネル１００の両端に存する非表示領域に配されることもできる。

【００１３】

データ駆動部３００は、タイミング制御部５００によって整列された画像データＲ’Ｇ’Ｂ’Ｗ’を行毎にタイミング制御部５００から受信する。データ駆動部３００は、ソース・スタート・パルス信号ＳＳＰ、ソース・シフト・クロック信号ＳＳＣおよびソース出力イネーブル信号ＳＯＥを含むデータ制御信号ＤＳＣをタイミング制御部５００から受信する。ソース・スタート・パルス信号ＳＳＰは、データ駆動部３００に含まれるソースドライバ集積回路のデータサンプリングの開始のタイミングを制御する。ソース・シフト・クロック信号ＳＳＣは、ソースドライバ集積回路の各々でデータのサンプリングのタイミングを制御するクロック信号である。ソース出力イネーブル信号ＳＯＥは、データ駆動部３００からの信号の出力タイミングを制御する。データ駆動部３００は、データ制御信号ＤＳＣを用いて、画像データＲＧＢＷを整列させ、各行に対するアナログのデータ電圧に変換する。なお本発明は、画像データ形式がＲＧＢＷの表示装置だけでなく、白色サブピクセルを含まないＲＧＢの表示装置や、黄色サブピクセルを含むＲＧＢＹの表示装置にも同じように適用できる。以下の説明ではＲＧＢＷを用いるが、それに限定されるものではない。

【００１４】

具体的には、データ駆動部３００は、ソース出力イネーブル信号ＳＯＥに応じてゲート信号がゲート線ＧＬ１～ＧＬｎの各々に供給される１水平周期毎に、ソース・シフト・クロック信号ＳＳＣに応じて整列された画像データＲ’Ｇ’Ｂ’Ｗ’を１行毎にサンプリングしてデータ電圧ＤＡＴＡに変換する。データ駆動部３００は、アナログ信号であるデータ電圧ＤＡＴＡを、データ線ＤＬ１～ＤＬｍを介しての表示パネル１００に含まれる複数の副画素の各々に供給する。データ駆動部３００のデータ電圧への変換期間および出力期間は、タイミング制御部５００により出力幅が変調されたデータイネーブル信号ＤＥおよびデータイネーブル信号ＤＥにより出力幅が変更されたソース出力イネーブル信号ＳＯＥに応じて変更されることができる。データ駆動部３００は、データ線方向に配置された同色の副画素を所定の行数だけ連続して発光させるようにデータ電圧を生成し、ゲート信号の出力タイミングと同期させてデータ電圧をデータ線ＤＬ１～ＤＬｍを介して表示パネル１００に含まれる複数の副画素の各々に連続して供給する。複数の副画素に供給される複数のデータ電圧は、それぞれ複数の画素の輝度に対応する。

【００１５】

電源４００は、電源線を介して各副画素Ｐに高電位側の電源電圧ＶＤＤおよび低電位側の電源電圧ＶＳＳを供給する。また、電源４００は、補償電源線ＣＰＬを介して各副画素Ｐに補償電圧Ｖｒｅｆを供給する。

【００１６】

タイミング制御部５００は、ダブルレート駆動（ＤＲＤ）により表示パネル１００の副画素Ｐを駆動するための信号を生成する。タイミング制御部５００は、データ線ＤＬ１～ＤＬｍの方向に沿って配置された同色の副画素を所定の行数だけ発光させるように画像データＲＧＢＷを整列させる。また、タイミング制御部５００は、入力された画像データＲ

ＧＢＷを整列させてからデータ駆動部３００に出力することにより、副画素Ｐを１フレーム単位ごとに異なる駆動順序で動作させ、同色の副画素を所定の行数だけ連続して発光させる。

【００１７】

また、タイミング制御部５００は、ドットクロックＤＣＬＫ、データイネーブル信号ＤＥ、水平同期信号Ｈｓｙｎｃ、垂直同期信号Ｖｓｙｎｃ等の信号を用いてゲート制御信号ＧＣＳおよびデータ制御信号ＤＳＣを生成する。タイミング制御部５００は、表示装置１０をＤＲＤ方式で駆動するために、生成したゲート制御信号ＧＣＳをゲート駆動部２００に、データ制御信号ＤＳＣをデータ駆動部３００にそれぞれ送信する。タイミング制御部５００は、データ線ＤＬ１～ＤＬｍの方向に沿って配置された同色の副画素Ｐを、ＤＲＤ法によって同色の副画素を所定の行数だけ連続して発光させるように、ゲート制御信号ＧＣＳおよびデータ制御信号ＤＳＣを生成することができる。

【００１８】

表示装置１０に含まれるゲート線ＧＬ１～ＧＬｎ、データ線ＤＬ１～ＤＬｍおよび副画素Ｐの接続関係について、図２を参照して詳細に説明する。図２は本実施形態に係る副画素Ｐの等価回路図である。副画素Ｐの各々は、有機発光ダイオードＯＬＥＤ、駆動素子ＤＴ、第１スイッチ素子Ｔ１、第２スイッチ素子Ｔ２、第１キャパシタＣ１、第２キャパシタＣ２を含む。また、副画素Ｐはデータ線ＤＬ、ゲート線ＧＬ、高電位側の電源電圧ＶＤＤ、低電位側の電源電圧ＶＳＳおよび補償電源線ＣＰＬと接続される。有機発光ダイオードＯＬＥＤは、本実施形態では画素面を構成する赤色（Ｒ）、緑色（Ｇ）、青色（Ｂ）または白色（Ｗ）のいずれかの発光色を有する。有機発光ダイオードＯＬＥＤのアノードは駆動素子ＤＴを介して電源電圧ＶＤＤに接続され、有機発光ダイオードＯＬＥＤのカソードは電源電圧ＶＳＳに接続される。

【００１９】

駆動素子ＤＴ、第１スイッチ素子Ｔ１および第２スイッチ素子Ｔ２はＭＯＳＦＥＴ（金属酸化膜半導体電界効果トランジスタ）から構成され得る。駆動素子ＤＴのゲートは第１ノードＮ１を介して第１スイッチ素子Ｔ１のソースに接続され、駆動素子ＤＴのドレインは第３ノードＮ３を介して電源電圧ＶＤＤに接続され、駆動素子ＤＴのソースは第２ノードＮ２を介して有機発光ダイオードＯＬＥＤのアノードに接続される。第１スイッチ素子Ｔ１のゲートはゲート線ＧＬに接続され、第１スイッチ素子Ｔ１のドレインはデータ線ＤＬに接続される。第１キャパシタＣ１は、第１ノードＮ１と第２ノードＮ２との間に接続される。第２スイッチ素子Ｔ２のゲートはゲート線ＧＬに接続され、第２スイッチ素子Ｔ２のドレインは第２ノードＮ２に接続され、第２スイッチ素子Ｔ２のソースは補償電源線ＣＰＬに接続される。第２スイッチ素子Ｔ２は、ゲート線ＧＬからのゲート信号に応答して、補償電源線ＣＰＬを介して入力される補償電圧Ｖｒｅｆを第２ノードＮ２に供給し、データ電圧の出力端子である駆動素子ＤＴのドレイン端子の電位を補償する。補償電源線ＣＰＬには補償電圧Ｖｒｅｆを安定化させるために第２キャパシタＣ２が接続されている。

【００２０】

ゲート線ＧＬのレベルによって有機発光ダイオードＯＬＥＤの駆動または停止が決定され、有機発光ダイオードＯＬＥＤが駆動される場合にはデータ線ＤＬの電圧によってその輝度が決定される。有機発光ダイオードＯＬＥＤが走査（駆動）される場合にゲート線ＧＬのレベルはハイレベルとなり、それ以外の場合にはゲート線ＧＬのレベルはローレベルとなる。ゲート線ＧＬのレベルがハイレベルとなると、第１スイッチ素子Ｔ１がオンされ、データ線ＤＬの電圧に基づく電圧が第１キャパシタＣ１に充電される。第１キャパシタＣ１の電圧が駆動素子ＤＴのオン閾値を超えると、駆動素子ＤＴがオンされる。オン状態の駆動素子ＤＴは、ゲート電圧、即ち、データ線ＤＬの電圧と補償電圧Ｖｒｅｆとの間の電位差に応じたドレイン電流を電源電圧ＶＤＤから有機発光ダイオードＯＬＥＤに供給する。このドレイン電流に応じて、有機発光ダイオードＯＬＥＤが発光する。第１キャパシタＣ１は、いわゆるストレージキャパシタとして機能し、ある走査フレームにおける駆動素子ＤＴのゲート－ソース電圧を次の走査フレームまで保持して有機発光ダイオードＯＬ

ＥＤの発光状態または消灯状態を維持する。

【００２１】

図３は、本実施形態に係る表示パネル１００の概略構成を示す平面図である。表示パネル１００上には２次元配列された複数の副画素Ｐを有する画素面が構成される。複数の副画素Ｐは、緑色副画素Ｇ、赤色副画素Ｒ、白色副画素Ｗ、および青色副画素Ｂを含む。各色の副画素は、ゲート線ＧＬ１～ＧＬｎとデータ線ＤＬ１～ＤＬｍとが交差して画定される各画素領域に配される。各色の副画素Ｐは、それぞれデータ線ＤＬに沿って列をなすように設けられている。一例として、緑色副画素Ｇおよび赤色副画素Ｒは互いに隣接して配列され、１本のデータ線ＤＬ１が緑色副画素Ｇと赤色副画素Ｒとの間に設けられている。各行において互いに隣接する一対の副画素である緑色副画素Ｇおよび赤色副画素Ｒは、各副画素の第１スイッチ素子Ｔ１を介して同一のデータ線ＤＬ１に接続されている。即ち、一対の副画素である緑色副画素Ｇおよび赤色副画素Ｒは、１本のデータ線ＤＬ１を共有している。同様に、白色副画素Ｗおよび青色副画素Ｂは互いに隣接して配列され、１本のデータ線ＤＬ２が白色副画素Ｗと青色副画素Ｂとの間に設けられている。各行において互いに隣接する一対の副画素である白色副画素Ｗおよび青色副画素Ｂは、各副画素の第１スイッチ素子Ｔ１を介して同一のデータ線ＤＬ２に接続されている。即ち、一対の副画素である白色副画素Ｗおよび青色副画素Ｂは、１本のデータ線ＤＬ２を共有している。表示パネル１００に含まれるすべての副画素に対して上述のようにデータ線を配することで、表示パネル１００に配されるデータ線ＤＬ１～ＤＬｍの本数は、副画素の列の合計数の半数となる。

【００２２】

また、赤色副画素Ｒおよび白色副画素Ｗは互いに隣接して配列され、補償電源線ＣＰＬが赤色副画素Ｒと白色副画素Ｗとの間に設けられている。各色の副画素は、各副画素の第２スイッチ素子Ｔ２を介して補償電源線ＣＰＬに接続されている。各行の赤色副画素Ｒおよび白色副画素Ｗに含まれる第１スイッチ素子Ｔ１のゲートおよび第２スイッチ素子Ｔ２のゲートは、それぞれゲート線ＧＬ１～ＧＬｎのうちの第１ゲート線に接続される。また、同行に配置された緑色副画素Ｇおよび青色副画素Ｂに含まれる第１スイッチ素子Ｔ１のゲートおよび第２スイッチ素子Ｔ２のゲートは、それぞれゲート線ＧＬ１～ＧＬｎのうちの第１ゲート線とは別の第２ゲート線に接続される。他の行の副画素に対しては、第１のゲート線および第２のゲート線とは別の２本のゲート線が同様の接続関係で配される。表示パネル１００に含まれるすべての副画素に対して上述のようにゲート線を配することで、表示パネル１００に配されるゲート線ＧＬ１～ＧＬｎの本数は、副画素の行の合計数の倍となる。なお、緑色副画素Ｇ、赤色副画素Ｒ、白色副画素Ｗ、および青色副画素Ｂの配列の順序は図３の順序に限定されず適宜変更することができる。また、本実施形態では、奇数列に緑色副画素Ｇおよび白色副画素Ｗを配し、偶数列に赤色副画素Ｒおよび青色副画素Ｂを配することとしたが、副画素の配列はこれに限定されず適宜変更することができる。さらに、本実施形態では、奇数列に配された緑色副画素Ｇと偶数列に配された赤色副画素Ｒが１本のデータ線ＤＬ１を共有し、奇数列に配された白色副画素Ｗと偶数列に配された青色副画素Ｂとが１本のデータ線ＤＬ２を共有することとしたが、データ線を共有する画素列はこれに限定されず適宜変更することができる。例えば、奇数列に配された緑色副画素Ｇおよび白色副画素Ｗが１本のデータ線ＤＬ１を共有し、偶数列に配された赤色副画素Ｒおよび青色副画素Ｂが１本のデータ線ＤＬ２を共有するように構成することができる。

【００２３】

図４は、本実施形態に係るタイミング制御部の概略構成を示すブロック図である。タイミング制御部５００は、信号変調部５１０、行メモリ部５２０、データ制御信号生成部５３０、ゲート制御信号生成部５４０、類似度判定部５５０およびスケジューラ５６０を含む。

【００２４】

信号変調部５１０は、データイネーブル信号ＤＥのパルス幅を変調する。例えば、同色の副画素を連続して走査する場合に、変調されたデータイネーブル信号ｔＤＥを生成し、

副画素ごとに別個の充電期間を設定することができる。信号変調部５１０は、変調されたデータイネーブル信号ｔＤＥを、行メモリ部５２０、データ制御信号生成部５３０およびゲート制御信号生成部５４０に伝送する。

【００２５】

行メモリ部５２０は、行単位で画像データＲＧＢＷを保存する。例えば、行メモリ部５２０は、第ｘ行の画像データＲＧＢＷ（ｘ）を保存する（ｘは正の整数、以下同様）。行メモリ部５２０は第（ｘ－１）行の画像データＲＧＢＷ（ｘ－１）を類似度判定部５５０に伝送する。行メモリ部５２０は、信号変調部５１０から受信した変調されたデータイネーブル信号ｔＤＥに基づいて画像データＲＧＢＷを整列させる。行メモリ部５２０は、整列された画像データＲ’Ｇ’Ｂ’Ｗ’をデータ駆動部３００に伝送する。

【００２６】

データ制御信号生成部５３０は、変調されたデータイネーブル信号ｔＤＥ、ドットクロックＤＣＬＫ、垂直同期信号Ｖｓｙｎｃ等の信号を用いてデータ制御信号ＤＳＣを生成する。具体的には、データ制御信号生成部５３０は、変調されたデータイネーブル信号ｔＤＥを用いてソース出力イネーブル信号ＳＯＥの出力幅を変調し、各副画素のための充電期間を調整する。また、データ制御信号生成部５３０は、生成したソース・スタート・パルス信号ＳＳＰ、ソース・シフト・クロック信号ＳＳＣをデータ駆動部３００に伝送する。

【００２７】

ゲート制御信号生成部５４０は、変調されたデータイネーブル信号ｔＤＥ、ドットクロックＤＣＬＫ、水平同期信号Ｈｓｙｎｃ等の信号を用いてゲート制御信号ＧＣＳを生成する。具体的には、ゲート制御信号生成部５４０は、変調されたデータイネーブル信号ｔＤＥを用いてゲート出力イネーブル信号ＧＯＥの出力幅を変調し、副画素のためのゲート信号の供給期間を調整する。また、ゲート制御信号生成部５４０は、生成したソース・スタート・パルス信号ＳＳＰ、ソース・シフト・クロック信号ＳＳＣをデータ駆動部３００に伝送する。

【００２８】

類似度判定部５５０は、２行分の画像データの類似度を判定し、判定結果ＲＥＳをスケジューラ５６０に伝送する。例えば、類似度判定部５５０は。行メモリ部５２０から第（ｘ－１）行の画像データＲＧＢＷ（ｘ－１）を受信し、第ｘ行の画像データＲＧＢＷ（ｘ）と類似しているか判定する。例えば、類似度判定部５５０は、２行の間の画像データが互いに類似すると判定したときに判定結果ＲＥＳとして１を出力する。一方、類似度判定部５５０は、２行の間の画像データが互いに類似しないと判定したときに判定結果ＲＥＳとして０を出力する。

【００２９】

スケジューラ５６０は、類似度判定部５５０から受信した判定結果ＲＥＳに基づき、ゲート信号を送信するゲート線ＧＬの番号を指定するゲート線指定信号ＧＬ＿Ｎｕｍを生成する。ゲート線指定信号ＧＬ＿Ｎｕｍは、変調されたデータイネーブル信号ｔＤＥを生成するために変調部５１０に伝送される。また、スケジューラ５６０は、行メモリ部５２０から伝送される画像データＲ’Ｇ’Ｂ’Ｗ’が格納されるべきレジスタを指定するためのレジスタ選択信号ＲＳＳをデータ駆動部３００に伝送する。データ駆動部３００は、受信したレジスタ選択信号ＲＳＳに基づき、画像データＲ’Ｇ’Ｂ’Ｗ’を指定されたレジスタに格納する。

【００３０】

図５は、本実施形態に係るゲート駆動部２００の概略構成を示すブロック図である。ゲート駆動部２００は、第１レベルシフタ２１１、第２レベルシフタ２１２、第１シフトレジスタ２２１、２２２および第２シフトレジスタ２３１、２３２を含む。

【００３１】

第１レベルシフタ２１１および第２レベルシフタ２１２は、タイミング制御部５００から入力されるクロック信号ＣＬＫ１のＴＴＬ（Ｔｒａｎｓｉｓｔｏｒ－Ｔｒａｎｓｉｓｔｏｒ－Ｌｏｇｉｃ）レベルを遷移させる。具体的には、第１レベルシフタ２１１および第

２レベルシフタ２１２は、表示パネル１００に含まれるトランジスタをオン状態とオフ状態との間を遷移させるために、ゲートハイ電圧とゲートロー電圧との間を切り替えるための信号を生成する。第１レベルシフタ２１１は、生成された信号を第１シフトレジスタ２２１に伝送する。第２レベルシフタ２１２は、生成された信号を第１シフトレジスタ２２２に伝送する。また、第１レベルシフタ２１１は、タイミング制御部５００から入力されるクロック信号ＣＬＫ２のＴＴＬレベルを遷移させる。具体的には、第１レベルシフタ２１１および第２レベルシフタ２１２は、表示パネル１００に含まれるトランジスタをオン状態とオフ状態との間を遷移させるために、ゲートハイ電圧とゲートロー電圧との間を切り替えるための信号を生成する。第１レベルシフタ２１１は、生成された信号を第２シフトレジスタ２３１に伝送する。第２レベルシフタ２１２は、生成された信号を第２シフトレジスタ２３２に伝送する。

【００３２】

第１シフトレジスタ２２１、２２２の各々は、複数のステージを含む。複数のステージの各々は、Ｑノード、Ｑｂノード、プルアップ素子およびプルダウン素子を含む。第１シフトレジスタ２２１、２２２は、表示パネル１００の表示領域１１０の外側の非表示領域内にゲートインパネル（Ｇａｔｅ－Ｉｎ－Ｐａｎｅｌ，ＧＩＰ）方式で配置される。例えば、第１シフトレジスタ２２１は、図５に示されるように、平面視において表示領域１１０の一方の短辺部（図５において左側短辺部）に隣接する非表示領域内に配置されることができる。また、第１シフトレジスタ２２２は、図５に示されるように、平面視において表示領域１１０の他方の短辺部（図５において右側短辺部）に隣接する非表示領域内に配置されることができる。第１シフトレジスタ２２１からのゲート線ＧＬは、第１シフトレジスタ２２２からのゲート線ＧＬと互いに連結された構造を有し得る。

【００３３】

第１シフトレジスタ２２１は、第１レベルシフタ２１１から受信された信号に基づきゲート線ＧＬにゲート信号を供給する。また、第１シフトレジスタ２２２は、第２レベルシフタ２１２から受信された信号に基づきゲート線ＧＬにゲート信号を供給する。第１シフトレジスタ２２１、２２２は、タイミング制御部５００からゲートスタート信号ＶＳＴ１を受信する。第１シフトレジスタ２２１、２２２は、受信されたゲートスタート信号ＶＳＴ１に基づき、キャリー信号を順次に生成する。第１シフトレジスタ２２１、２２２は、生成されたキャリー信号をゲートスタート信号として第１シフトレジスタ２２１、２２２に含まれる複数のステージのいずれかに供給する。第１シフトレジスタ２２１、２２２は、１フレームの走査開始時または１フレームの走査終了時にタイミング制御部５００からリセット信号ＲＳＴ１を受信する。リセット信号ＲＳＴ１を介してＱノードをリセットすることで、第１シフトレジスタ２２１、２２２のＱノードおよびＱＢノードの電圧を安定的に維持させることができる。

【００３４】

第２シフトレジスタ２３１、２３２の各々は、複数のステージを含む。複数のステージの各々は、Ｑノード、Ｑｂノード、プルアップ素子およびプルダウン素子を含む。第２シフトレジスタ２３１、２３２は、表示パネル１００の表示領域１１０の外側の非表示領域内にゲートインパネル（Ｇａｔｅ－Ｉｎ－Ｐａｎｅｌ，ＧＩＰ）方式で配置される。例えば、第２シフトレジスタ２３１は、図５に示されるように、平面視において表示領域１１０の一方の短辺部（図５において左側短辺部）に隣接する非表示領域内に、第１シフトレジスタ２２１と重畳するように配置されることができる。また、第２シフトレジスタ２３２は、図５に示されるように、平面視において表示領域１１０の他方の短辺部（図５において右側短辺部）に隣接する非表示領域内に、第１シフトレジスタ２２２と重畳するように配置されることができる。また、第２シフトレジスタ２３１、２３２は、それぞれ第１シフトレジスタ２２１、２２２と同一の領域に配置されることができる。即ち、本実施形態によるゲート駆動部２００は、第２シフトレジスタ２３１、２３２から表示領域１１０までの距離が第１シフトレジスタ２２１、２２２からから表示領域１１０までの距離と同じとなるように構成され得る。また、第２シフトレジスタ２３１からのゲート線ＧＬは、

第２シフトレジスタ２３２からのゲート線ＧＬと互いに連結された構造を有し得る。
【００３５】
第２シフトレジスタ２３１は、第１レベルシフタ２１１から受信された信号に基づきゲート線ＧＬにゲート信号を供給する。また、第２シフトレジスタ２３２は、第２レベルシフタ２１２から受信された信号に基づきゲート線ＧＬにゲート信号を供給する。第２シフトレジスタ２３１、２３２は、タイミング制御部５００からゲートスタート信号ＶＳＴ２を受信する。ここで、第２シフトレジスタ２３１、２３２がゲートスタート信号ＶＳＴ２を受信するタイミングは、第１シフトレジスタ２２１、２２２がゲートスタート信号ＶＳＴ１を受信するタイミングと異なる。第２シフトレジスタ２３１、２３２は、受信されたゲートスタート信号ＶＳＴ２に基づき、キャリー信号を順次に生成する。第２シフトレジスタ２３１、２３２は、生成されたキャリー信号をゲートスタート信号として第２シフトレジスタ２３１、２３２に含まれる複数のステージのいずれかに供給する。第２シフトレジスタ２３１、２３２は、１フレームの走査開始時または１フレームの走査終了時にタイミング制御部５００からリセット信号ＲＳＴ２を受信する。リセット信号ＲＳＴ２を介してＱノードをリセットすることで、第２シフトレジスタ２３１、２３２のＱノードとＱＢノードの電圧を安定的に維持させることができる。ここで、第２シフトレジスタ２３１、２３２がリセット信号ＲＳＴ２を受信するタイミングは、第１シフトレジスタ２２１、２２２がリセット信号ＲＳＴ１を受信するタイミングと異なる。即ち、本実施形態による第２シフトレジスタ２３１、２３２は、回路構成上において第１シフトレジスタ２２１、２２２から独立して動作する。なお、ゲートスタート信号ＶＳＴ１およびゲートスタート信号ＶＳＴ２として、共通のゲートスタート信号が用いられることもできる。ただし、共通のゲートスタート信号が用いられた場合、ゲートスタート信号が入力されてから最初のクロックが入力されるまでシフトレジスタのステージはオン状態で待機することになる。よって、動作の安定性の観点から、相互に独立した信号であるゲートスタート信号ＶＳＴ１およびゲートスタート信号ＶＳＴ２を用いることが望ましい。
【００３６】
図６は本実施形態に係る第１シフトレジスタ２２１，２２２に含まれるステージとクロック配線との間の接続を示す回路図である。第１シフトレジスタ２２１，２２２は複数のステージを含む。複数のステージの各々は、Ｑノード、Ｑｂノード、プルアップ素子、プルダウン素子を含む。
【００３７】
第１シフトレジスタ２２１，２２２のプルアップ素子はトランジスタで構成されることができる。プルアップ素子のゲートはＱノードと電気的に接続される。プルアップ素子のソースまたはドレインはクロック信号の入力端と電気的に接続される。プルアップ素子のドレインまたはソースはプルダウン素子のソースまたはドレインおよびクロック信号の出力端と電気的に接続される。プルアップ素子は、Ｑノードの電圧によりオン状態に遷移し、クロック信号を走査信号（ゲート信号）として出力する。
【００３８】
第１シフトレジスタ２２１，２２２のプルダウン素子はトランジスタで構成されることができる。プルアップ素子のゲートはＱｂノードと電気的に接続される。プルダウン素子のソースまたはドレインはプルアップ素子のドレインまたはソースおよびクロック信号の出力端と電気的に接続される。プルダウン素子のドレインまたはソースは低電位電源ＧＶＳＳと電気的に接続される。プルダウン素子は、Ｑｂノードの電圧によりオン状態に遷移し、基底電圧をローレベルの走査信号として出力する。
【００３９】
各ステージにおいて、プルアップ素子がオン状態のときにはプルダウン素子はオフ状態である。即ち、Ｑノードにプルアップ素子をオン状態にするオン電圧が印加されているとき、Ｑｂノードにプルダウン素子をオフ状態にするオフ電圧が印加されている。この状態をステージのオン状態と呼ぶ。また、各ステージにおいて、プルダウン素子がオン状態のときにはプルアップ素子はオフ状態である。即ち、Ｑｂノードにプルダウン素子をオン状

態にするオン電圧が印加されているとき、Ｑノードにプルアップ素子をオフ状態にするオフ電圧が印加されている。この状態をステージのホールド状態と呼ぶ。

【００４０】

以下に、図６に示されるＱ（１）ノードおよびＱｂ（１）ノードを含む第１ステージＳＴＧ１について説明する。第１シフトレジスタ２２１，２２２は、Ｑ（１）ノードからゲート駆動部の動作の開始を指示するゲートスタート信号ＶＳＴ１の印加を受ける。第１ステージＳＴＧ１には３つのプルアップ素子が含まれている。３つのプルアップ素子の各ゲートノードはＱ（１）ノードと共通に連結されており、３つのプルアップ素子は、Ｑ（１）ノードの電圧によってオン状態に遷移する。１つめのプルアップ素子のソースまたはドレインはキャリーシフトクロック信号ＣＲＣＬＫ１の入力端と連結されており、１つめのプルアップ素子のドレインまたはソースは走査信号の出力端Ｃ１と連結されている。よって、プルアップ素子がＱノードの電圧によってオン状態に遷移されると、キャリーシフトクロック信号ＣＲＣＬＫ１が走査信号の出力端から出力される。キャリーシフトクロックは、キャリー信号を生成するためのクロック信号である。２つめのプルアップ素子のソースまたはドレインはスキャンシフトクロック信号ＳＣＣＬＫ１の入力端と連結されており、２つめのプルアップ素子のドレインまたはソースは走査信号の出力端Ｓ１と連結されている。よって、プルアップ素子がＱノードの電圧によってオン状態に遷移されると、スキャンシフトクロック信号ＳＣＣＬＫ１が走査信号の出力端から出力され得る。スキャンシフトクロック信号は、パルスを有する走査信号を生成するためのクロック信号である。例えばスキャンシフトクロック信号ＳＣＣＬＫ１は、ゲート線ＧＬ１によって伝送されるゲート信号を生成するためのクロック信号である。３つめのプルアップ素子のソースまたはドレインはスキャンシフトクロック信号ＳＣＣＬＫ３の入力端と連結されており、３つめのプルアップ素子のドレインまたはソースは走査信号の出力端Ｓ３と連結されている。よって、プルアップ素子がＱノードの電圧によってオン状態に遷移されると、スキャンシフトクロック信号ＳＣＣＬＫ３が走査信号の出力端から出力され得る。例えばスキャンシフトクロック信号ＳＣＣＬＫ３は、ゲート線ＧＬ３によって伝送されるゲート信号を生成するためのクロック信号である。

【００４１】

また、第１ステージＳＴＧ１には３つのプルダウン素子が含まれている。３つのプルダウン素子の各ゲートノードはＱｂ（１）ノードと共通に連結されており、３つのプルダウン素子は、Ｑｂ（１）ノードの電圧によってオン状態に遷移する。３つのプルダウン素子の各々はドレインまたはソースは低電位電源ＧＶＳＳと連結されており、３つのプルダウン素子のソースまたはドレインは走査信号の出力端Ｃ１、Ｓ１、Ｓ３とそれぞれ連結されている。よって、プルダウン素子がＱｂノードの電圧によってオン状態に遷移されると、ローレベルの走査信号としての基底電圧が出力端Ｃ１、Ｓ１、Ｓ３にそれぞれ出力される。

【００４２】

図６に示されるＱ（３）ノードおよびＱｂ（３）ノードを含む第３ステージＳＴＧ３からＱ（１１）ノードおよびＱｂ（１１）ノードを含む第１１ステージＳＴＧ１１までについても、上述の第１ステージＳＴＧ１と同様に構成され得る。なお、第１１ステージＳＴＧ１１に含まれるＱ（１１）ノードには、リセット信号ＲＳＴ１が印加されるように構成されることができる。また、第１シフトレジスタ２２１，２２２は、１つのＱｂノードが２つのステージによって共有されるように構成されることもできる。例えば、第１ステージＳＴＧ１のＱｂ（１）ノードおよび第３ステージＳＴＧ３のＱｂ（３）ノードは第１Ｑｂ共通ノード（不図示）で構成され、第１ステージＳＴＧ１および第３ステージＳＴＧ３は、第１Ｑｂ共通ノードを共有するように構成されることができる。同様に、第５ステージＳＴＧ５のＱｂ（５）ノードおよび第７ステージＳＴＧ７のＱｂ（７）ノードは第２Ｑｂ共通ノード（不図示）で構成され、第５ステージＳＴＧ５および第７ステージＳＴＧ７は、第２Ｑｂ共通ノードを共有するように構成されることができる。同様に、第９ステージＳＴＧ９のＱｂ（９）ノードおよび第１１ステージＳＴＧ１１のＱｂ（１１）ノードは第３Ｑｂ共通ノード（不図示）で構成され、第９ステージＳＴＧ９および第１１ステージ

ＳＴＧ１１は、第３Ｑｂ共通ノードを共有するように構成されることができる。上記構成によれば、Ｑｂノードの配置によって占有される領域が減少される。結果として、第１シフトレジスタ２２１、２２２が非表示領域を占有する回路面積は減少される。したがって、表示装置１０のベゼル幅をより小さくすることができる。なお、第１シフトレジスタ２２１，２２２は、第２シフトレジスタ２３１，２３２から独立したシフトレジスタであるため、第１シフトレジスタ２２１，２２２に含まれるステージは、第２シフトレジスタ２３１，２３２に含まれるステージとＱｂノードを共有しない。

【００４３】

図７は本実施形態に係る第２シフトレジスタ２３１，２３２に含まれるステージとクロック配線との間の接続を示す回路図である。第２シフトレジスタ２３１，２３２は複数のステージを含む。複数のステージの各々は、Ｑノード、Ｑｂノード、プルアップ素子、プルダウン素子を含む。

【００４４】

第２シフトレジスタ２３１，２３２のプルアップ素子はトランジスタで構成されることができる。プルアップ素子のゲートはＱノードと電気的に接続される。プルアップ素子のソースまたはドレインはクロック信号の入力端と電気的に接続される。プルアップ素子のドレインまたはソースはプルダウン素子のソースまたはドレインおよびクロック信号の出力端と電気的に接続される。プルアップ素子は、Ｑノードの電圧によりオン状態に遷移し、クロック信号を走査信号として出力する。

【００４５】

第２シフトレジスタ２３１，２３２のプルダウン素子はトランジスタで構成されることができる。プルアップ素子のゲートはＱｂノードと電気的に接続される。プルダウン素子のソースまたはドレインはプルアップ素子のドレインまたはソースおよびクロック信号の出力端と電気的に接続される。プルダウン素子のドレインまたはソースは低電位電源ＧＶＳＳと電気的に接続される。プルダウン素子は、Ｑｂノードの電圧によりオン状態に遷移し、基底電圧をローレベルの走査信号として出力する。

【００４６】

各ステージにおいて、プルアップ素子がオン状態のときにはプルダウン素子はオフ状態である。即ち、Ｑノードにプルアップ素子をオン状態にするオン電圧が印加されているとき、Ｑｂノードにプルダウン素子をオフ状態にするオフ電圧が印加されている。また、各ステージにおいて、プルダウン素子がオン状態のときにはプルアップ素子はオフ状態である。即ち、Ｑｂノードにプルダウン素子をオン状態にするオン電圧が印加されているとき、Ｑノードにプルアップ素子をオフ状態にするオフ電圧が印加されている。

【００４７】

以下に、図７に示されるＱ（２）ノードおよびＱｂ（２）ノードを含む第２ステージＳＴＧ２について説明する。第２シフトレジスタ２３１，２３２は、Ｑ（２）ノードからゲート駆動部の動作の開始を指示するゲートスタート信号ＶＳＴ２の印加を受ける。ゲートスタート信号ＶＳＴ２は、第１シフトレジスタ２２１，２２２に印加されるゲートスタート信号ＶＳＴ１から独立した信号である。第２ステージＳＴＧ２には３つのプルアップ素子が含まれている。３つのプルアップ素子の各ゲートノードはＱ（２）ノードと共通に連結されており、３つのプルアップ素子は、Ｑ（２）ノードの電圧によってオン状態に遷移する。１つめのプルアップ素子のソースまたはドレインはキャリーシフトクロック信号ＣＲＣＬＫ２の入力端と連結されており、１つめのプルアップ素子のドレインまたはソースは走査信号の出力端Ｃ２と連結されている。よって、プルアップ素子がＱノードの電圧によってオン状態に遷移されると、キャリーシフトクロック信号ＣＲＣＬＫ２が走査信号の出力端から出力される。２つめのプルアップ素子のソースまたはドレインはスキャンシフトクロック信号ＳＣＣＬＫ２の入力端と連結されており、２つめのプルアップ素子のドレインまたはソースは走査信号の出力端Ｓ２と連結されている。よって、プルアップ素子がＱノードの電圧によってオン状態に遷移されると、スキャンシフトクロック信号ＳＣＣＬＫ２が走査信号の出力端から出力され得る。例えばスキャンシフトクロック信号ＳＣＣＬ

Ｋ２は、ゲート線ＧＬ２によって伝送されるゲート信号を生成するためのクロック信号である。３つめのプルアップ素子のソースまたはドレインはスキャンシフトクロック信号ＳＣＣＬＫ４の入力端と連結されており、３つめのプルアップ素子のドレインまたはソースは走査信号の出力端Ｓ４と連結されている。よって、プルアップ素子がＱノードの電圧によってオン状態に遷移されると、スキャンシフトクロック信号ＳＣＣＬＫ４が走査信号の出力端から出力され得る。例えばスキャンシフトクロック信号ＳＣＣＬＫ４は、ゲート線ＧＬ４によって伝送されるゲート信号を生成するためのクロック信号である。

【００４８】

また、第２ステージＳＴＧ２には３つのプルダウン素子が含まれている。３つのプルダウン素子の各ゲートノードはＱｂ（２）ノードと共通に連結されており、３つのプルダウン素子は、Ｑｂ（２）ノードの電圧によってオン状態に遷移する。３つのプルダウン素子の各々はドレインまたはソースは低電位電源ＧＶＳＳと連結されており、３つのプルダウン素子のソースまたはドレインは走査信号の出力端Ｃ２、Ｓ２、Ｓ４とそれぞれ連結されている。よって、プルダウン素子がＱｂノードの電圧によってオン状態に遷移されると、ローレベルの走査信号としての基底電圧が出力端Ｃ２、Ｓ２、Ｓ４にそれぞれ出力される。

【００４９】

図７に示されるＱ（４）ノードおよびＱｂ（４）ノードを含む第４ステージＳＴＧ４からＱ（１２）ノードおよびＱｂ（１２）ノードを含む第１２ステージＳＴＧ１２までについても、上述の第２ステージＳＴＧ２と同様に構成され得る。なお、第１２ステージＳＴＧ１２に含まれるＱ（１２）ノードには、リセット信号ＲＳＴ２が印加されるように構成されることができる。リセット信号ＲＳＴ２は、第１シフトレジスタ２２１，２２２に印加されるリセット信号ＲＳＴ１から独立した信号である。また、第２シフトレジスタ２３１，２３２は、１つのＱｂノードが２つのステージによって共有されるように構成されることもできる。例えば、第２ステージＳＴＧ２のＱｂ（２）ノードおよび第４ステージＳＴＧ４のＱｂ（４）ノードは第４Ｑｂ共通ノード（不図示）で構成され、第２ステージＳＴＧ２および第４ステージＳＴＧ４は、第４Ｑｂ共通ノードを共有するように構成されることができる。同様に、第６ステージＳＴＧ６のＱｂ（６）ノードおよび第８ステージＳＴＧ８のＱｂ（８）ノードは第５Ｑｂ共通ノード（不図示）で構成され、第６ステージＳＴＧ６および第８ステージＳＴＧ８は、第５Ｑｂ共通ノードを共有するように構成されることができる。同様に、第１０ステージＳＴＧ１０のＱｂ（１０）ノードおよび第１２ステージＳＴＧ１２のＱｂ（１２）ノードは第６Ｑｂ共通ノード（不図示）で構成され、第１０ステージＳＴＧ１０および第１２ステージＳＴＧ１２は、第６Ｑｂ共通ノードを共有するように構成されることができる。上記構成によれば、Ｑｂノードの配置によって占有される領域が減少される。結果として、第２シフトレジスタ２３１、２３２が非表示領域を占有する回路面積は減少される。したがって、表示装置１０のベゼル幅をより小さくすることができる。なお、第２シフトレジスタ２３１，２３２は、第１シフトレジスタ２２１，２２２から独立したシフトレジスタであるため、第２シフトレジスタ２３１，２３２に含まれるステージは、第１シフトレジスタ２２１，２２２に含まれるステージとＱｂノードを共有しない。

【００５０】

図８は、本実施形態による第１シフトレジスタ２２１，２２２に含まれるステージおよび第２シフトレジスタ２３１，２３２に含まれるステージとクロック配線との間の接続の一例を示す回路図である

【００５１】

図５に示されるように、第２シフトレジスタ２３１，２３２は、平面視において表示パネル１００の非表示領域の中に、の第１シフトレジスタ２２１，２２２と重畳するように配置されることができる。また、第１シフトレジスタ２２１，２２２および第２シフトレジスタ２３１，２３２は、ＧＩＰ方式で実装されることができる。たとえば、第１シフトレジスタ２２１，２２２が第１ＧＩＰとして表示パネル１００の中に実装され、第２シフトレジスタ２３１，２３２を第２ＧＩＰとして表示パネルの中に実装された場合を、図８

を参照しながら説明する。本例において、第１ＧＩＰおよび第２ＧＩＰは、同一の低電位電源ＧＶＳＳを共有する同一の回路領域に配される。具体的には、第１ＧＩＰの第３ステージＳＴＧ３の次段には第２ＧＩＰの第２ステージＳＴＧ２が配されている。また、第２ＧＩＰの第４ステージＳＴＧ４の次段には第１ＧＩＰの第５ステージＳＴＧ５および第２ＧＩＰの第４ステージＳＴＧ４が配されている。また、第１ＧＩＰの第７ステージＳＴＧ７の次段には第２ＧＩＰの第６ステージＳＴＧ６が配されている。ただし、上述の通り、第１ＧＩＰおよび第２ＧＩＰは、互いに独立したシフトレジスタである。具体的には、第１ＧＩＰおよび第２ＧＩＰは、入力クロック信号ＣＲＣＬＫ，ＳＣＣＬＫを共有しない。また、第１ＧＩＰはゲートスタート信号ＶＳＴ１およびリセット信号ＲＳＴ１を受信し、第２ＧＩＰは、ゲートスタート信号ＶＳＴ１およびリセット信号ＲＳＴ１からそれぞれ独立した別個のゲートスタート信号ＶＳＴ２およびリセット信号ＲＳＴ２を受信する。第１ＧＩＰのステージに入出力されるキャリー信号は第１ＧＩＰの他のステージに伝送される一方で、第１ＧＩＰのステージに入出力されるキャリー信号は第２ＧＩＰのステージには伝送されない。同様に、第２ＧＩＰのステージに入出力されるキャリー信号は第２ＧＩＰの他のステージに伝送される一方で、第２ＧＩＰのステージに入出力されるキャリー信号は第１ＧＩＰのステージには伝送されない。即ち、第１ＧＩＰは、第２ＧＩＰの動作から独立して駆動される。同様に、第２ＧＩＰは、第１ＧＩＰの動作から独立して駆動される。

【００５２】

図９は、本実施形態に係る第１ＧＩＰの信号出力端および第２ＧＩＰの信号出力端とゲート線との間の対応関係を示す図である。本実施形態によれば、第１ＧＩＰおよび第２ＧＩＰに含まれる走査信号の出力端Ｓ１～Ｓ１６の配置は、ゲート線ＧＬ１～ＧＬ１６の配置と対応していない。即ち、図９に示されるように、第１ＧＩＰの第１ステージＳＴＧ１の出力端Ｓ３のゲート線ＧＬ３への出力線は、第２ＧＩＰの第２ステージＳＴＧ２の出力端Ｓ２のゲート線ＧＬ２への出力線と交差する。また、第１ＧＩＰの第３ステージＳＴＧ３の出力端Ｓ５のゲート線ＧＬ５への出力線は、第２ＧＩＰの第２ステージＳＴＧ２の出力端Ｓ２のゲート線ＧＬ２への出力線および第２ＧＩＰの第２ステージＳＴＧ２の出力端Ｓ４のゲート線ＧＬ４への出力線と交差する。また、第１ＧＩＰの第３ステージＳＴＧ３の出力端Ｓ７のゲート線ＧＬ７への出力線は、第２ＧＩＰの第２ステージＳＴＧ２の出力端Ｓ２のゲート線ＧＬ２への出力線、第２ＧＩＰの第２ステージＳＴＧ２の出力端Ｓ４のゲート線ＧＬ４への出力線および第２ＧＩＰの第４ステージＳＴＧ４の出力端Ｓ６のゲート線ＧＬ６への出力線と交差する。また、第１ＧＩＰの第５ステージＳＴＧ５の出力端Ｓ１１のゲート線ＧＬ１１への出力線は、第２ＧＩＰの第６ステージＳＴＧ６の出力端Ｓ１０のゲート線ＧＬ１０への出力線と交差する。また、第１ＧＩＰの第７ステージＳＴＧ７の出力端Ｓ１３のゲート線ＧＬ１３への出力線は、第２ＧＩＰの第６ステージＳＴＧ６の出力端Ｓ１０のゲート線ＧＬ１０への出力線および第２ＧＩＰの第６ステージＳＴＧ６の出力端Ｓ１２のゲート線ＧＬ１２への出力線と交差する。また、第１ＧＩＰの第７ステージＳＴＧ７の出力端Ｓ１５のゲート線ＧＬ１５への出力線は、第２ＧＩＰの第６ステージＳＴＧ６の出力端Ｓ１０のゲート線ＧＬ１０への出力線、第２ＧＩＰの第６ステージＳＴＧ６の出力端Ｓ１２のゲート線ＧＬ１２への出力線および第２ＧＩＰの第８ステージＳＴＧ８の出力端Ｓ１４のゲート線ＧＬ１４への出力線と交差する。即ち、第１ＧＩＰから供給されるゲート信号の出力端から当該出力端に対応するゲート線までを直線で結ぶ経路は、第２ＧＩＰから供給されるゲート信号の出力端から当該出力端に対応するゲート線までを直線で結ぶ経路と交差するように構成され得る。なお、第１ＧＩＰの第１ステージＳＴＧ１の出力端Ｓ１のゲート線ＧＬ１への出力線および第１ＧＩＰの第５ステージＳＴＧ５の出力端Ｓ９のゲート線ＧＬ９への出力線は、第２ＧＩＰの信号出力端からの出力線と交差しない。また、第２ＧＩＰの第４ステージＳＴＧ４の出力端Ｓ８のゲート線ＧＬ８への出力線および第２ＧＩＰの第８ステージＳＴＧ８の出力端Ｓ１６のゲート線ＧＬ１６への出力線は、第１ＧＩＰの信号出力端からの出力線と交差しない。

【００５３】

図１０は、本実施形態に係る第１ＧＩＰおよび第２ＧＩＰのオン状態とホールド状態の

遷移の一例を示す図である。上述の通り、本実施形態に係る第１ＧＩＰおよび第２ＧＩＰに含まれる各ステージは、プルアップ素子およびプルダウン素子に印加される電圧にしたがってオン状態またはホールド状態となる。ホールド状態にあるステージからは、走査信号は出力されない。一方、オン状態にあるステージからは、走査信号が出力されることができる。しかしながら、同クロックにおいて２以上の走査信号またはキャリー信号が出力端から伝送されないようにするために、オン状態のステージの数を制限する必要がある。具体的には、例えばＧＩＰに入力されるクロック数をｘとした場合、オン状態のステージの数は２ｘ未満としなければならない（ｘは正の整数）。本実施形態の第１ＧＩＰは、キャリー信号を介して、順次ホールド状態のステージをオン状態へ遷移させる。また、本実施形態の第１ＧＩＰは、キャリー信号を介して、順次オン状態のステージをホールド状態へ遷移させる。同様に、本実施形態の第２ＧＩＰは、キャリー信号を介して、順次ホールド状態のステージをオン状態へ遷移させる。また、本実施形態の第２ＧＩＰは、キャリー信号を介して、順次オン状態のステージをホールド状態へ遷移させる。第１ＧＩＰで用いられるキャリー信号は、第２ＧＩＰに伝送されない。よって、第１ＧＩＰのステージのオン状態とホールド状態との間の遷移は、第２ＧＩＰの動作から独立している。同様に、第１ＧＩＰで用いられるキャリー信号は、第２ＧＩＰに伝送されない。よって、第２ＧＩＰのステージのオン状態とホールド状態との間の遷移は、第１ＧＩＰの動作から独立している。

【００５４】

図１０には、第１ＧＩＰおよび第２ＧＩＰに含まれる各ステージのオン状態とホールド状態との間の遷移の一例が示されている。本例では、奇数番目のゲート線ＧＬ１、ＧＬ３、．．．、ＧＬ３１には、第１ＧＩＰから走査信号（ゲート信号）が伝送される。例えば、図３に示される副画素の配列によれば、第１ＧＩＰは、奇数番目のゲート線を介して赤色副画素Ｒの第１スイッチ素子Ｔ１および白色副画素Ｗの第１スイッチ素子Ｔ１にゲート電圧を供給する。一方、偶数番目のゲート線ＧＬ２、ＧＬ４、．．．、ＧＬ３２には、第２ＧＩＰから走査信号（ゲート信号）が伝送される。例えば、図３に示される副画素の配列によれば、第２ＧＩＰは、偶数番目のゲート線を介して緑色副画素Ｇの第１スイッチ素子Ｔ１および青色副画素Ｂの第１スイッチ素子Ｔ１にゲート電圧を供給する。なお、第１ＧＩＰに接続されるゲート線は奇数番目のゲート線に限定されず、第２ＧＩＰに接続されるゲート線は偶数番目のゲート線に限定されない。ゲート駆動部の回路設計等に従い、第１ＧＩＰおよび第２ＧＩＰは、任意の場所に配置されたゲート線と接続され得る。

【００５５】

図１０に示される例では、奇数番目のゲート線を介して所定の数の走査信号が連続して伝送された後に、偶数番目のゲート線を介して所定の数の走査信号が連続して伝送される。例えば、図３に示される副画素の配列によれば、最初に、第１ＧＩＰが、奇数番目のゲート線を介して表示パネル１００の各行に配された赤色副画素Ｒおよび白色副画素Ｗに、走査信号を所定の行数にわたり連続して供給する。次いで、第２ＧＩＰが、偶数番目のゲート線を介して表示パネル１００の各行に配された緑色副画素Ｇおよび青色副画素Ｂに、走査信号を所定の行数に渡り連続して供給する。

【００５６】

具体的には、クロック（１）において、第１ＧＩＰに含まれる第１ステージ、第３ステージ、第５ステージ、第７ステージおよび第２ＧＩＰに含まれる第２ステージ、第４ステージ、第６ステージ、第８ステージがオン状態である。このとき、第１ＧＩＰは、オン状態のステージに対応するゲート線のグループ（ＧＬ１、ＧＬ３、ＧＬ５、ＧＬ７、ＧＬ９、ＧＬ１１、ＧＬ１３、ＧＬ１５）を介してゲート信号の供給が可能な状態にある。また、第２ＧＩＰは、オン状態のステージに対応するゲート線のグループ（ＧＬ２、ＧＬ４、ＧＬ６、ＧＬ８、ＧＬ１０、ＧＬ１２、ＧＬ１４、ＧＬ１６）を介してゲート信号の供給が可能な状態にある。一方、第１ＧＩＰに含まれる第９ステージ、第１１ステージ、第１３ステージ、第１５ステージおよび第２ＧＩＰに含まれる第１０ステージ、第１２ステージ、第１４ステージ、第１６ステージがホールド状態である。クロック（１）において、

例えば、第１ＧＩＰは、第３ステージからゲート線ＧＬ５に走査信号を伝送する。結果として、ゲート線ＧＬ５と電気的に接続されている赤色副画素Ｒおよび白色副画素Ｗに走査信号が供給される。第３ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第１ＧＩＰは、クロック（１）とクロック（２）との間の時刻に、第３ステージからゲート線ＧＬ７に走査信号を伝送し得る。

【００５７】

クロック（２）において、第１ＧＩＰに含まれる第１ステージがオン状態からホールド状態に遷移される。一方、クロック（２）において、第１ＧＩＰに含まれる第９ステージがホールド状態からオン状態に遷移される。第１ＧＩＰに含まれる第１ステージおよび第９ステージ以外のステージは、クロック（１）における状態と同じ状態に維持される。このとき、第１ＧＩＰは、オン状態のステージに対応するゲート線のグループ（ＧＬ５、ＧＬ７、ＧＬ９、ＧＬ１１、ＧＬ１３、ＧＬ１５、ＧＬ１７、ＧＬ１９）を介してゲート信号の供給が可能な状態にある。また、第２ＧＩＰに含まれるすべてのステージは、クロック（１）における状態と同じ状態に維持される。即ち、第２ＧＩＰは、オン状態のステージに対応するゲート線のグループ（ＧＬ２、ＧＬ４、ＧＬ６、ＧＬ８、ＧＬ１０、ＧＬ１２、ＧＬ１４、ＧＬ１６）を介してゲート信号の供給が可能な状態にある。クロック（２）において、第１ＧＩＰは、第５ステージからゲート線ＧＬ９に走査信号を伝送する。結果として、ゲート線ＧＬ９と電気的に接続されている赤色副画素Ｒおよび白色副画素Ｗに走査信号が供給される。第５ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第１ＧＩＰは、クロック（２）とクロック（３）との間の時刻に、第５ステージからゲート線ＧＬ１１に走査信号を伝送し得る。

【００５８】

クロック（３）において、第１ＧＩＰに含まれる第３ステージがオン状態からホールド状態に遷移される。一方、クロック（３）において、第１ＧＩＰに含まれる第１１ステージがホールド状態からオン状態に遷移される。第１ＧＩＰに含まれる第３ステージおよび第１１ステージ以外のステージならびに第２ＧＩＰに含まれるすべてのステージは、クロック（２）における状態と同じ状態に維持される。クロック（３）において、第１ＧＩＰは、第７ステージからゲート線ＧＬ１３に走査信号を伝送する。結果として、ゲート線ＧＬ１３と電気的に接続されている赤色副画素Ｒおよび白色副画素Ｗに走査信号が供給される。第７ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第１ＧＩＰは、クロック（３）とクロック（４）との間の時刻に、第７ステージからゲート線ＧＬ１５に走査信号を伝送し得る。

【００５９】

クロック（４）において、第１ＧＩＰに含まれる第５ステージがオン状態からホールド状態に遷移される。一方、クロック（４）において、第１ＧＩＰに含まれる第１３ステージがホールド状態からオン状態に遷移される。第１ＧＩＰに含まれる第５ステージおよび第１３ステージ以外のステージならびに第２ＧＩＰに含まれるすべてのステージは、クロック（３）における状態と同じ状態に維持される。クロック（４）において、第１ＧＩＰは、第９ステージからゲート線ＧＬ１７に走査信号を伝送する。結果として、ゲート線ＧＬ１７と電気的に接続されている赤色副画素Ｒおよび白色副画素Ｗに走査信号が供給される。第９ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第１ＧＩＰは、クロック（４）とクロック（５）との間の時刻に、第９ステージからゲート線ＧＬ１９に走査信号を伝送し得る。

【００６０】

クロック（５）において、第１ＧＩＰに含まれる第７ステージがオン状態からホールド状態に遷移される。一方、クロック（５）において、第１ＧＩＰに含まれる第１５ステージがホールド状態からオン状態に遷移される。第１ＧＩＰに含まれる第７ステージおよび第１５ステージ以外のステージならびに第２ＧＩＰに含まれるすべてのステージは、クロック（４）における状態と同じ状態に維持される。クロック（５）において、第１ＧＩＰは、第１１ステージからゲート線ＧＬ２１に走査信号を伝送する。結果として、ゲート線

ＧＬ２１と電気的に接続されている赤色副画素Ｒおよび白色副画素Ｗに走査信号が供給される。第１１ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第１ＧＩＰは、クロック（５）とクロック（６）との間の時刻に、第１１ステージからゲート線ＧＬ２３に走査信号を伝送し得る。

【００６１】

クロック（６）において、第２ＧＩＰに含まれる第２ステージがオン状態からホールド状態に遷移される。一方、クロック（６）において、第２ＧＩＰに含まれる第１０ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第２ステージおよび第１０ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（５）における状態と同じ状態に維持される。クロック（６）において、第２ＧＩＰは、第４ステージからゲート線ＧＬ６に走査信号を伝送する。結果として、ゲート線ＧＬ６と電気的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第４ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（６）とクロック（７）との間の時刻に、第４ステージからゲート線ＧＬ８に走査信号を伝送し得る。

【００６２】

クロック（７）において、第２ＧＩＰに含まれる第４ステージがオン状態からホールド状態に遷移される。一方、クロック（７）において、第２ＧＩＰに含まれる第１２ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第４ステージおよび第１２ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（６）における状態と同じ状態に維持される。クロック（７）において、第２ＧＩＰは、第６ステージからゲート線ＧＬ１０に走査信号を伝送する。結果として、ゲート線ＧＬ１０と電気的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第６ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（７）とクロック（８）との間の時刻に、第６ステージからゲート線ＧＬ１２に走査信号を伝送し得る。

【００６３】

クロック（８）において、第２ＧＩＰに含まれる第６ステージがオン状態からホールド状態に遷移される。一方、クロック（８）において、第２ＧＩＰに含まれる第１４ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第６ステージおよび第１４ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（７）における状態と同じ状態に維持される。クロック（８）において、第２ＧＩＰは、第８ステージからゲート線ＧＬ１４に走査信号を伝送する。結果として、ゲート線ＧＬ１４と電気的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第８ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（８）とクロック（９）との間の時刻に、第８ステージからゲート線ＧＬ１６に走査信号を伝送し得る。

【００６４】

クロック（９）において、第２ＧＩＰに含まれる第８ステージがオン状態からホールド状態に遷移される。一方、クロック（９）において、第２ＧＩＰに含まれる第１６ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第８ステージおよび第１６ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（８）における状態と同じ状態に維持される。クロック（９）において、第２ＧＩＰは、第１０ステージからゲート線ＧＬ１８に走査信号を伝送する。結果として、ゲート線ＧＬ１８と電気的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第１０ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（９）の後の時刻に、第１０ステージからゲート線ＧＬ２０に走査信号を伝送し得る。

【００６５】

図１１は、第１ＧＩＰおよび第２ＧＩＰに含まれる各ステージのオン状態とホールド状

態との間の遷移に関して、図１０に示された例とは別の一例を示す表である。図１０と同一の構成についてはその記載は省略されることがある。

【００６６】

図１１に示される例では、偶数番目のゲート線を介して所定の数の走査信号が連続して伝送された後に、奇数番目のゲート線を介して所定の数の走査信号が連続して伝送される。例えば、図３に示される副画素の配列によれば、最初に、第２ＧＩＰが、偶数番目のゲート線を介して表示パネル１００の各行に配された緑色副画素Ｇおよび青色副画素Ｂに、走査信号を所定の行数にわたり連続して供給する。次いで、第１ＧＩＰが、奇数番目のゲート線を介して表示パネル１００の各行に配された赤色副画素Ｒおよび白色副画素Ｗに、走査信号を所定の行数に渡り連続して供給する。

【００６７】

具体的には、クロック（１）において、第１ＧＩＰに含まれる第１ステージ、第３ステージ、第５ステージ、第７ステージおよび第２ＧＩＰに含まれる第２ステージ、第４ステージ、第６ステージ、第８ステージがオン状態である。一方、第１ＧＩＰに含まれる第９ステージ、第１１ステージ、第１３ステージ、第１５ステージおよび第２ＧＩＰに含まれる第１０ステージ、第１２ステージ、第１４ステージ、第１６ステージがホールド状態である。クロック（１）において、例えば、第２ＧＩＰは、第４ステージからゲート線ＧＬ６に走査信号を伝送する。結果として、ゲート線ＧＬ６と電気的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第４ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（１）とクロック（２）との間の時刻に、第４ステージからゲート線ＧＬ８に走査信号を伝送し得る。

【００６８】

クロック（２）において、第２ＧＩＰに含まれる第２ステージがオン状態からホールド状態に遷移される。一方、クロック（２）において、第２ＧＩＰに含まれる第１０ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第２ステージおよび第１０ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（１）における状態と同じ状態に維持される。クロック（２）において、第２ＧＩＰは、第６ステージからゲート線ＧＬ１０に走査信号を伝送する。結果として、ゲート線ＧＬ１０と電気的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第６ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（２）とクロック（３）との間の時刻に、第６ステージからゲート線ＧＬ１２に走査信号を伝送し得る。

【００６９】

クロック（３）において、第２ＧＩＰに含まれる第４ステージがオン状態からホールド状態に遷移される。一方、クロック（３）において、第２ＧＩＰに含まれる第１２ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第４ステージおよび第１２ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（２）における状態と同じ状態に維持される。クロック（３）において、第２ＧＩＰは、第８ステージからゲート線ＧＬ１４に走査信号を伝送する。結果として、ゲート線ＧＬ１４と電気的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第８ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（３）とクロック（４）との間の時刻に、第８ステージからゲート線ＧＬ１６に走査信号を伝送し得る。

【００７０】

クロック（４）において、第２ＧＩＰに含まれる第６ステージがオン状態からホールド状態に遷移される。一方、クロック（４）において、第２ＧＩＰに含まれる第１４ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第６ステージおよび第１４ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（３）における状態と同じ状態に維持される。クロック（４）において、第２ＧＩＰは、第１０ステージからゲート線ＧＬ１８に走査信号を伝送する。結果として、ゲート線

ＧＬ１８と電気的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第１０ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（４）とクロック（５）との間の時刻に、第１０ステージからゲート線ＧＬ２０に走査信号を伝送し得る。

【００７１】

クロック（５）において、第２ＧＩＰに含まれる第８ステージがオン状態からホールド状態に遷移される。一方、クロック（５）において、第２ＧＩＰに含まれる第１６ステージがホールド状態からオン状態に遷移される。第２ＧＩＰに含まれる第８ステージおよび第１６ステージ以外のステージならびに第１ＧＩＰに含まれるすべてのステージは、クロック（４）における状態と同じ状態に維持される。クロック（５）において、第２ＧＩＰは、第１２ステージからゲート線ＧＬ２２に走査信号を伝送する。結果として、ゲート線ＧＬ２２と電気的に接続されている緑色副画素Ｇおよび青色副画素Ｂに走査信号が供給される。第１２ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第２ＧＩＰは、クロック（５）とクロック（６）との間の時刻に、第１２ステージからゲート線ＧＬ２４に走査信号を伝送し得る。

【００７２】

クロック（６）において、第１ＧＩＰに含まれる第１ステージがオン状態からホールド状態に遷移される。一方、クロック（６）において、第１ＧＩＰに含まれる第９ステージがホールド状態からオン状態に遷移される。第１ＧＩＰに含まれる第１ステージおよび第９ステージ以外のステージならびに第２ＧＩＰに含まれるすべてのステージは、クロック（５）における状態と同じ状態に維持される。クロック（６）において、第１ＧＩＰは、第３ステージからゲート線ＧＬ５に走査信号を伝送する。結果として、ゲート線ＧＬ５と電気的に接続されている赤色副画素Ｒおよび白色副画素Ｗに走査信号が供給される。第３ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第１ＧＩＰは、クロック（６）とクロック（７）との間の時刻に、第３ステージからゲート線ＧＬ７に走査信号を伝送し得る。

【００７３】

クロック（７）において、第１ＧＩＰに含まれる第３ステージがオン状態からホールド状態に遷移される。一方、クロック（７）において、第１ＧＩＰに含まれる第１１ステージがホールド状態からオン状態に遷移される。第１ＧＩＰに含まれる第３ステージおよび第１１ステージ以外のステージならびに第２ＧＩＰに含まれるすべてのステージは、クロック（６）における状態と同じ状態に維持される。クロック（７）において、第１ＧＩＰは、第５ステージからゲート線ＧＬ９に走査信号を伝送する。結果として、ゲート線ＧＬ９と電気的に接続されている赤色副画素Ｒおよび白色副画素Ｗに走査信号が供給される。第５ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第１ＧＩＰは、クロック（７）とクロック（８）との間の時刻に、第５ステージからゲート線ＧＬ１１に走査信号を伝送し得る。

【００７４】

クロック（８）において、第１ＧＩＰに含まれる第５ステージがオン状態からホールド状態に遷移される。一方、クロック（８）において、第１ＧＩＰに含まれる第１３ステージがホールド状態からオン状態に遷移される。第１ＧＩＰに含まれる第５ステージおよび第１３ステージ以外のステージならびに第２ＧＩＰに含まれるすべてのステージは、クロック（７）における状態と同じ状態に維持される。クロック（８）において、第１ＧＩＰは、第７ステージからゲート線ＧＬ１３に走査信号を伝送する。結果として、ゲート線ＧＬ１３と電気的に接続されている赤色副画素Ｒおよび白色副画素Ｗに走査信号が供給される。第７ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第１ＧＩＰは、クロック（８）とクロック（９）との間の時刻に、第７ステージからゲート線ＧＬ１５に走査信号を伝送し得る。

【００７５】

クロック（９）において、第１ＧＩＰに含まれる第７ステージがオン状態からホールド

状態に遷移される。一方、クロック（９）において、第２ＧＩＰに含まれる第１５ステージがホールド状態からオン状態に遷移される。第１ＧＩＰに含まれる第７ステージおよび第１５ステージ以外のステージならびに第２ＧＩＰに含まれるすべてのステージは、クロック（８）における状態と同じ状態に維持される。クロック（９）において、第１ＧＩＰは、第９ステージからゲート線ＧＬ１７に走査信号を伝送する。結果として、ゲート線ＧＬ１７と電気的に接続されている赤色副画素Ｒおよび白色副画素Ｗに走査信号が供給される。第９ステージ以外のステージからゲート線ＧＬに走査信号は伝送されない。なお、第１ＧＩＰは、クロック（９）の後の時刻に、第９ステージからゲート線ＧＬ１９に走査信号を伝送し得る。

【００７６】

本実施形態によるゲート駆動部は第１ＧＩＰとして動作する第１シフトレジスタ２２１，２２２および第２ＧＩＰとして動作する第２シフトレジスタ２３１，２３２を含む。第１ＧＩＰは、奇数番目のゲート線と接続される。一方、第２ＧＩＰは、偶数番目のゲート線と接続される。第１ＧＩＰが走査信号を奇数番目のゲート信号に伝送する期間において、第１ＧＩＰに含まれる複数のステージはオン状態とホールド状態との間で遷移され得る。具体的には、第１ＧＩＰが走査信号を奇数番目のゲート信号に伝送する期間において、あるステージをオン状態からホールド状態に遷移させるとともに別のステージをホールド状態からオン状態に遷移させる。一方、第１ＧＩＰが走査信号を奇数番目のゲート信号に伝送する期間において、第２ＧＩＰに含まれるすべてのステージの状態は変更されない。同様に、第２ＧＩＰが走査信号を偶数番目のゲート信号に伝送する期間において、第２ＧＩＰに含まれる複数のステージはオン状態とホールド状態との間で遷移され得る。具体的には、第２ＧＩＰが走査信号を偶数番目のゲート信号に伝送する期間において、あるステージをオン状態からホールド状態に遷移させるとともに別のステージをホールド状態からオン状態に遷移させる。一方、第２ＧＩＰが走査信号を偶数番目のゲート信号に伝送する期間において、第１ＧＩＰに含まれるすべてのステージの状態は変更されない。即ち、第１ＧＩＰは、第２ＧＩＰから独立して駆動される。同様に、第２ＧＩＰは、第１ＧＩＰから独立して駆動される。本実施形態によるゲート駆動部２００は、第１ＧＩＰを第２ＧＩＰから独立に駆動することにより、奇数番目のゲート線に、任意の画素の行数にわたり連続して走査信号を伝送することができる。即ち、ゲート駆動部２００は、同じ色を発光する複数の副画素の第１スイッチ素子Ｔ１に、任意の行数にわたり連続してゲート信号を供給することができる。本実施形態によるゲート駆動部２００は、同じ色を発光する複数の副画素に任意の行数にわたり連続してゲート信号を供給するためにオン状態のステージの数を増加させる必要がない。したがって、オン状態のステージの数を増加させるために入力クロック数を上昇させる必要がない。よって、本実施形態による表示装置１０は、消費電力を増大させることなく、同じ色を発光する副画素に、所定の行数にわたり連続して書き込みを行うことができる。

【００７７】

図１２は、本実施形態に係るデータ駆動部３００の概略構成を示すブロック図である。データ駆動部３００は、データ選択部３１０およびデータ変換部３２０を含む。データ選択部３１０は、行メモリ部５２０から画像データＲ’Ｇ’Ｂ’Ｗ’を受信し、スケジューラ５６０からレジスタ選択信号ＲＳＳを受信する。レジスタ選択信号ＲＳＳは、入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤおよび出力レジスタ選択信号ＯＲＳＳを含む。入力レジスタ選択信号ＩＲＳＳは、画像データＲ’Ｇ’Ｂ’Ｗ’が格納されるべきレジスタを指定する。出力レジスタ選択信号ＯＲＳＳは、出力されるべき画像データＲ’Ｇ’Ｂ’Ｗ’が格納されているレジスタを指定する。入力有効化信号ＶＡＬＩＤは、入力レジスタ選択信号ＩＲＳＳを有効化または無効化する。データ選択部３１０は複数のレジスタを有し、行メモリ部５２０から受信した画像データＲ’Ｇ’Ｂ’Ｗ’を、スケジューラ５６０から受信したレジスタ選択信号ＩＲＳＳおよび入力有効化信号ＶＡＬＩＤにしたがって格納する。具体的には、データ選択部３１０は、入力有効化信号ＶＡＬＩＤがハイレベルの場合に、レジスタ選択信号ＩＲＳＳを有効にし、レジスタ選択信号ＩＲＳＳで指定されたレジスタに画像

データＲ’Ｇ’Ｂ’Ｗ’を格納する。また、データ選択部３１０は、出力レジスタ選択信号ＯＲＳＳで指定されたレジスタに格納された画像データＲ’Ｇ’Ｂ’Ｗ’をデータ変換部３２０に伝送する。データ変換部３２０は、データ制御信号ＤＳＣを用いて画像データＲ’Ｇ’Ｂ’Ｗ’をアナログのデータ電圧ＤＡＴＡに変換し、データ線ＤＬ１～ＧＬｍを介して各画素に伝送する。

【００７８】

図１３は、本実施形態に係る類似度判定部５５０の概略構成を示すブロック図である。類似度判定部５５０は、第１差分算出部５５１、第２差分算出部５５２、第１積算部５５３、第２積算部５５４、第１閾値判定部５５７、第２閾値判定部５５８およびリセット判定部５５９を含む。

【００７９】

第１差分算出部５５１は、奇数列に配された副画素Ｐに係る第ｘ行の画像データＲＧＢＷ＿Ｏ（ｘ）を行メモリ部５２０から受信する。受信された画像データＲＧＢＷ＿Ｏ（ｘ）は、例えば第ｘ行に配された緑色副画素Ｇおよび白色副画素Ｗに書き込まれる画像データのＲＧＢＷ値である。また、第１差分算出部５５１は、行メモリ部５２０から奇数列に配された副画素Ｐに係る第ｘ－１行の画像データＲＧＢＷ＿Ｏ（ｘ－１）を受信する。受信された画像データＲＧＢＷ＿Ｏ（ｘ－１）は、画像データＲＧＢＷ＿Ｏ（ｘ）の１行前の画像データであり、例えば第ｘ－１行に配された緑色副画素Ｇおよび白色副画素Ｗに書き込まれる画像データのＲＧＢＷ値である。第１差分算出部５５１は、受信した第ｘ行の画像データＲＧＢＷ＿Ｏ（ｘ）と第ｘ－１行の画像データＲＧＢＷ＿Ｏ（ｘ－１）との間の差分Ｄｉｆｆ＿Ｏを計算し、計算の結果を第１積算部５５３に伝送する。

【００８０】

第１積算部５５３は、各奇数列における第ｘ行のＲＧＢＷ値と第ｘ－１行のＲＧＢＷ値との間の差分Ｄｉｆｆ＿Ｏのデータを第１差分算出部５５１から受信する。第１積算部５５３は、第１差分算出部５５１から受信した各奇数列の画像データの差分Ｄｉｆｆ＿Ｏを積算する。例えば表示パネル１００に含まれる奇数列の副画素の列数がｍである場合、第１積算部５５３は、第ｘ行のＲＧＢＷ値と第ｘ－１行のＲＧＢＷ値との間の差分Ｄｉｆｆ＿Ｏについて、奇数列の数に対応した（ｍ－１）個の差分値を第１差分算出部５５１から受信する。第１積算部５５３は、第１差分算出部５５１から受信した各列間についての（ｍ－１）個の差分Ｄｉｆｆ＿Ｏを積算する。第１積算部５５３は、差分Ｄｉｆｆ＿Ｏを積算した値Ｓｕｍ＿Ｏを第１閾値判定部５５７に伝送する。なお、奇数列の画像データの差分Ｄｉｆｆ＿Ｏの個数が１である場合、第１積算部５５３は省略され得る。

【００８１】

第１閾値判定部５５７は、第１積算部５５３から奇数列に係る第ｘ行のＲＧＢＷ値と奇数列に係る第ｘ－１行のＲＧＢＷ値との間の差分Ｄｉｆｆ＿Ｏの積算値Ｓｕｍ＿Ｏを受信する。第１閾値判定部５５７は、受信された積算値Ｓｕｍ＿Ｏを所定の閾値と比較する。第１閾値判定部５５７は、受信された積算値Ｓｕｍ＿Ｏが所定の閾値未満であると判断した場合に、奇数列に係る第ｘ行の画像データは奇数列に係る第ｘ－１行の画像データと類似していると判定する。一方、第１閾値判定部５５７は、受信した積算値Ｓｕｍ＿Ｏが所定の閾値以上であると判断した場合に、奇数列に係る第ｘ行の画像データは奇数列に係る第ｘ－１行の画像データと類似していないと判定する。第１閾値判定部５５７は、判定の結果である信号ＲＥＳ＿Ｏ（ｘ）をスケジューラ５６０に伝送する。例えば、第１閾値判定部５５７は、奇数列に係る第ｘ行の画像データが奇数列に係る第ｘ－１行の画像データと類似していると判定した場合に信号ＲＥＳ＿Ｏ（ｘ）として１を出力する。一方、第１閾値判定部５５７は、奇数列に係る第ｘ行の画像データが奇数列に係る第ｘ－１行の画像データと類似していないと判定した場合に信号ＲＥＳ＿Ｏ（ｘ）として０を出力する。

【００８２】

第２差分算出部５５２は、偶数列に配された副画素Ｐに係る第ｘ行の画像データＲＧＢＷ＿Ｅ（ｘ）を行メモリ部５２０から受信する。受信された画像データＲＧＢＷ＿Ｅ（ｘ）は、例えば第ｘ行に配された赤色副画素Ｒおよび青色副画素Ｂに書き込まれる画像デー

タのＲＧＢW値である。また、第２差分算出部５５２は、行メモリ部５２０から偶数列に配された副画素Ｐに係る第ｘ－１行の画像データＲＧＢW＿Ｅ（ｘ－１）を受信する。受信された画像データＲＧＢW＿Ｅ（ｘ－１）は、画像データＲＧＢW＿Ｅ（ｘ）の１行前の画像データであり、例えば第ｘ－１行に配された赤色副画素Ｒおよび青色副画素Ｂに書き込まれる画像データのＲＧＢW値である。第２差分算出部５５２は、受信した第ｘ行の画像データＲＧＢW＿Ｅ（ｘ）と第ｘ－１行の画像データＲＧＢW＿Ｅ（ｘ－１）との間の差分Ｄｉｆｆ＿Ｅを計算し、計算の結果を第２積算部５５４に伝送する。

【００８３】

第２積算部５５４は、各偶数列における第ｘ行のＲＧＢW値と第ｘ－１行のＲＧＢW値との間の差分Ｄｉｆｆ＿Ｅのデータを第２差分算出部５５２から受信する。第２積算部５５４は、第２差分算出部５５２から受信した各偶数列の画像データの差分Ｄｉｆｆ＿Ｅを積算する。例えば表示パネル１００に含まれる偶数列の副画素の列数がｍである場合、第２積算部５５４は、第ｘ行のＲＧＢW値と第ｘ－１行のＲＧＢW値との間の差分Ｄｉｆｆ＿Ｅについて、偶数列の数に対応した（ｍ－１）個の差分値を第２差分算出部５５２から受信する。第２積算部５５４は、第２差分算出部５５２から受信した各列間についての（ｍ－１）個の差分Ｄｉｆｆ＿Ｅを積算する。第２積算部５５４は、差分Ｄｉｆｆ＿Ｅを積算した値Ｓｕｍ＿Ｅを第２閾値判定部５５８に伝送する。なお、偶数列の画像データの差分Ｄｉｆｆ＿Ｅの個数が１である場合、第２積算部５５４は省略され得る。

【００８４】

第２閾値判定部５５８は、第２積算部５５４から偶数列に係る第ｘ行のＲＧＢW値と偶数列に係る第ｘ－１行のＲＧＢW値との間の差分Ｄｉｆｆ＿Ｅの積算値Ｓｕｍ＿Ｅを受信する。第２閾値判定部５５８は、受信された積算値Ｓｕｍ＿Ｅを所定の閾値と比較する。第２閾値判定部５５８は、受信された積算値Ｓｕｍ＿Ｅが所定の閾値未満であると判断した場合に、偶数列に係る第ｘ行の画像データは偶数列に係る第ｘ－１行の画像データと類似していると判定する。一方、第２閾値判定部５５８は、受信した積算値Ｓｕｍ＿Ｅが所定の閾値以上であると判断した場合に、偶数列に係る第ｘ行の画像データは偶数列に係る第ｘ－１行の画像データと類似していないと判定する。第２閾値判定部５５８は、判定の結果である信号ＲＥＳ＿Ｅ（ｘ）をスケジューラ５６０に伝送する。例えば、第２閾値判定部５５８は、偶数列に係る第ｘ行の画像データが偶数列に係る第ｘ－１行の画像データと類似していると判定した場合に信号ＲＥＳ＿Ｅ（ｘ）として１を出力する。一方、第１閾値判定部５５７は、偶数列に係る第ｘ行の画像データが偶数列に係る第ｘ－１行の画像データと類似していないと判定した場合に信号ＲＥＳ＿Ｅ（ｘ）として０を出力する。

【００８５】

リセット判定部５５９は、水平同期信号Ｈｓｙｎｃに基づいてリセット信号を生成する。具体的には、リセット判定部５５９は、水平同期信号Ｈｓｙｎｃがハイレベルからローレベルに遷移するタイミングでリセット信号ＲＳＴを第１積算部５５３および第２積算部５５４に伝送する。第１積算部５５３および第２積算部５５４は、受信したリセット信号ＲＳＴに応じて画像データの差分の積算値をリセットして０に戻す。また、リセット判定部５５９は、水平同期信号Ｈｓｙｎｃがハイレベルからローレベルに遷移するタイミングで第１閾値判定部５５７および第２閾値判定部５５８にイネーブル信号ＲＥＳ＿Ｅｎａｂｌｅを伝送する。第１閾値判定部５５７および第２閾値判定部５５８は、受信したイネーブル信号ＲＥＳ＿Ｅｎａｂｌｅに応じて閾値判定の結果である信号ＲＥＳ＿Ｏ（ｘ）およびＲＥＳ＿Ｅ（ｘ）をスケジューラ５６０に伝送する。

【００８６】

図１４は、本実施形態に係るスケジューラ５６０の概略構成を示すブロック図である。スケジューラ５６０は、バッファ５６１、走査順序決定部５６２、ゲート線決定部５６３、レジスタ５６４および選択信号決定部５６５を含む。

【００８７】

バッファ５６１は、類似度判定部５５０から閾値判定の結果である信号ＲＥＳ＿Ｏ（ｘ）およびＲＥＳ＿Ｅ（ｘ）を受信する。バッファ５６１は、受信した信号ＲＥＳ＿Ｏ（ｘ

）およびＲＥＳ＿Ｅ（ｘ）を走査順序決定部５６２に伝送する。例えば、バッファ５６１は、信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅを任意の行数までバッファに格納し、当該行数分の信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅを走査順序決定部５６２に伝送する。

【００８８】

走査順序決定部５６２は、任意の行数分の閾値判定の結果である信号ＲＥＳをバッファ５６１から受信する。走査順序決定部５６２は、受信した信号ＲＥＳに基づき、奇数列の副画素の列または偶数列の副画素の列に対して連続して走査する行数を決定する。走査順序決定部５６２は、連続して走査する行数を示す信号Ｃ＿Ｎｕｍをゲート線決定部５６３、レジスタ５６４および選択信号決定部５６５に伝送する。

【００８９】

ゲート線決定部５６３は、連続して走査する行数を示す信号Ｃ＿Ｎｕｍを走査順序決定部５６２から受信する。ゲート線決定部５６３は、信号Ｃ＿Ｎｕｍに基づいてゲート信号が印加されるゲート線の順序を決定する。ゲート線決定部５６３は、ゲート線指定信号ＧＬ＿Ｎｕｍを信号変調部５１０に伝送する。信号変調部５１０は、ゲート線指定信号ＧＬ＿Ｎｕｍに基づき変調されたデータイネーブル信号ｔＤＥを生成し、行メモリ部５２０は、信号変調部５１０から受信した変調されたデータイネーブル信号ｔＤＥに基づいて画像データＲＧＢＷを整列させる。

【００９０】

レジスタ５６４は、連続して走査する行数を示す信号Ｃ＿Ｎｕｍを走査順序決定部５６２から受信および格納する。レジスタ５６４に格納された信号Ｃ＿Ｎｕｍは、走査順序決定部５６２が次の任意の行数分について連続して走査する行数を決定する際に呼び出される。走査順序決定部５６２は、レジスタ５６４から受信した信号Ｃ＿Ｎｕｍを用いて、奇数列の副画素の列または偶数列の副画素の列に対して連続して走査する行数を決定する。例えば、走査順序決定部５６２は、任意の行数分について直前に決定した出力した信号Ｃ＿Ｎｕｍ（ｘ－１）に基づき、連続して走査する行数を示す信号Ｃ＿Ｎｕｍ（ｘ）を決定する。具体的は、連続して走査する行数に上限が定められている場合に、ゲート線決定部５６３は信号Ｃ＿Ｎｕｍ（ｘ）を信号Ｃ＿Ｎｕｍ（ｘ－１）に応じて修正する。また、例えば奇数列の副画素について信号Ｃ＿Ｎｕｍ（ｘ－１）と信号Ｃ＿Ｎｕｍ（ｘ）との間に連続した類似性が認められる場合に、ゲート線決定部５６３は、奇数列の副画素について対応する行を連続して走査するように決定する。

【００９１】

選択信号決定部５６５は、連続して走査する行数を示す信号Ｃ＿Ｎｕｍを走査順序決定部５６２から受信する。選択信号決定部５６５は、信号Ｃ＿Ｎｕｍに基づき、入力レジスタ選択信号ＩＲＳＳ、出力レジスタ選択信号ＯＲＳＳおよび入力有効化信号ＶＡＬＩＤを生成する。入力レジスタ選択信号ＩＲＳＳは、データ駆動部３００に含まれるデータ選択部３１０において画像データＲ’Ｇ’Ｂ’Ｗ’が格納されるべきレジスタを指定する。出力レジスタ選択信号ＯＲＳＳは、データ選択部３１０から出力されるべき画像データＲ’Ｇ’Ｂ’Ｗ’が格納されているレジスタを指定する。入力有効化信号ＶＡＬＩＤは、入力レジスタ選択信号ＩＲＳＳを有効化または無効化する。選択信号決定部５６５は、生成された入力レジスタ選択信号ＩＲＳＳ、出力レジスタ選択信号ＯＲＳＳおよび入力有効化信号ＶＡＬＩＤをデータ選択部３１０に伝送する。

【００９２】

図１５は、本実施形態に係るデータ選択部３１０の概略構成を示すブロック図である。データ選択部３１０は、データ分割部３１１－１～３１１－ｍ、第１レジスタ３１２－１～３１２－ｍ、第２レジスタ３１３－１～３１３－ｍおよび選択部３１４－１～３１４－ｍを含む。

【００９３】

データ分割部３１１－１～３１１－ｍは、タイミング制御部５００に含まれる行メモリ部５２０から画像データＲ’Ｇ’Ｂ’Ｗ’を受信する。また、データ分割部３１１－１～３１１－ｍは、スケジューラ５６０に含まれる選択信号決定部５６５から入力レジスタ選択信号

ＩＲＳＳおよび入力有効化信号ＶＡＬＩＤを受信する。データ分割部３１１－１～３１１－ｍは、受信された入力レジスタ選択信号ＩＲＳＳに基づき、受信された画像データＲ’Ｇ’Ｂ’Ｗ’を分割する。次いでデータ分割部３１１－１～３１１－ｍは、受信された入力レジスタ選択信号ＩＲＳＳおよび入力有効化信号ＶＡＬＩＤに基づき分割された画像データＲ’Ｇ’Ｂ’Ｗ’を第１レジスタ３１２－１～３１２－ｍまたは第２レジスタ３１３－１～３１３－ｍに伝送する。

【００９４】

入力レジスタ選択信号ＩＲＳＳが第１レジスタ３１２－１～３１２－ｍを指定しており且つ入力有効化信号ＶＡＬＩＤが入力レジスタ選択信号ＩＲＳＳを有効化している場合に、第１レジスタ３１２－１～３１２－ｍは、データ分割部３１１－１～３１１－ｍから受信した分割された画像データＲ’Ｇ’Ｂ’Ｗ’を格納する。即ち、第１レジスタ３１２－１～３１２－ｍは、画像データを記憶する記憶部として機能する。一方、入力レジスタ選択信号ＩＲＳＳが第１レジスタ３１２－１～３１２－ｍを指定しているが入力有効化信号ＶＡＬＩＤが入力レジスタ選択信号ＩＲＳＳを無効化している場合に、第１レジスタ３１２－１～３１２－ｍは、データ分割部３１１－１～３１１－ｍから受信した分割された画像データＲ’Ｇ’Ｂ’Ｗ’を格納しない。

【００９５】

入力レジスタ選択信号ＩＲＳＳが第２レジスタ３１３－１～３１３－ｍを指定しており且つ入力有効化信号ＶＡＬＩＤが入力レジスタ選択信号ＩＲＳＳを有効化している場合に、第２レジスタ３１３－１～３１３－ｍは、データ分割部３１１－１～３１１－ｍから受信した分割された画像データＲ’Ｇ’Ｂ’Ｗ’を格納する。即ち、第２レジスタ３１３－１～３１３－ｍは、画像データを記憶する記憶部として機能する。一方、入力レジスタ選択信号ＩＲＳＳが第２レジスタ３１３－１～３１３－ｍを指定しているが入力有効化信号ＶＡＬＩＤが入力レジスタ選択信号ＩＲＳＳを無効化している場合に、第２レジスタ３１３－１～３１３－ｍは、データ分割部３１１－１～３１１－ｍから受信した分割された画像データＲ’Ｇ’Ｂ’Ｗ’を格納しない。

【００９６】

選択部３１４－１～３１４－ｍは、スケジューラ５６０に含まれる選択信号決定部５６５から出力レジスタ選択信号ＯＲＳＳを受信する。選択部３１４－１～３１４－ｍは、出力レジスタ選択信号ＯＲＳＳが指定する第１レジスタ３１２－１～３１２－ｍまたは第２レジスタ３１３－１～３１３－ｍに格納されている分割された画像データＲ’Ｇ’Ｂ’Ｗ’（１～ｍ）をデータ変換部３２０に伝送する。データ変換部３２０は、データ制御信号ＤＳＣを用いて受信された画像データＲ’Ｇ’Ｂ’Ｗ’をアナログのデータ電圧ＤＡＴＡに変換し、データ線ＤＬ１～ＧＬｍを介して各画素に伝送する。

【００９７】

図１６および図１７を参照して、スケジューラ５６０への入力信号に応じたデータ選択部３１０の動作の一例を説明する。図１６は、本実施形態に係るスケジューラ５６０への入力の例を示す表である。図１７は、本実施形態に係るデータ選択部３１０へ入力される信号の例を示す表である。

【００９８】

図１６は、第ｘ－７行から第ｘ行までについて、類似度判定部５５０からスケジューラ５６０へ入力される信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅの値の一例を示している。図１６に示されるように、本例では、奇数列についての類似度判定部５５０の出力信号ＲＥＳ＿Ｏは、第ｘ－７行に対して０を示している。即ち、類似度判定部５５０は、第ｘ－７行についての奇数列の画像データは、１つ前の行の奇数列の画像データと類似しないと判定している。また、奇数列についての類似度判定部５５０の出力信号ＲＥＳ＿Ｏは、第ｘ－６行から第ｘ行に対して１を示している。即ち、類似度判定部５５０は、第ｘ－６行から第ｘ行までについての奇数列の画像データは、それぞれ１つ前の行の奇数列の画像データと類似すると判定している。一方、偶数列についての類似度判定部５５０の出力信号ＲＥＳ＿Ｅはすべて０を示している。即ち、類似度判定部５５０は、第ｘ－７行から第ｘ行までに

ついての偶数列の画像データは、それぞれ１つ前の行の偶数列の画像データと類似しないと判定している。

【００９９】

図１７は、走査番号１～１６においてデータ選択部３１０へ伝送される入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤ、出力レジスタ選択信号ＯＲＳＳの一例を示している。本例において、第ｘ－６行から第ｘ行までについての奇数列の画像データ（信号）はそれぞれ１行上に位置する奇数列の画像データと類似している。よって、走査番号１～８において、第ｘ－７行から第ｘ行までについての奇数列の整列された画像データＲ’Ｇ’Ｂ’Ｗ’が入力データ１～８として先に行メモリ部５２０からデータ選択部３１０へ入力される。次いで、走査番号９～１６において、第ｘ－７行から第ｘ行までについての偶数列の整列された画像データＲ’Ｇ’Ｂ’Ｗ’が入力データ９～１６として行メモリ部５２０からデータ選択部３１０へ入力される。

【０１００】

スケジューラ５６０は、受信された信号ＲＥＳ＿Ｏに基づき、奇数列の入力データ１～８が格納されるレジスタを指定するための入力レジスタ選択信号ＩＲＳＳを生成する。スケジューラ５６０は、入力データ１～８を格納すべきレジスタとして第１レジスタ３１２－１～３１２－ｍを指定する入力レジスタ選択信号ＩＲＳＳをデータ選択部３１０へ伝送する。また、スケジューラ５６０は、受信された信号ＲＥＳ＿Ｅに基づき、偶数列の入力データ９～１６が格納されるレジスタを指定するための入力レジスタ選択信号ＩＲＳＳを生成する。スケジューラ５６０は、入力データ９～１６を格納すべきレジスタとして第２レジスタ３１３－１～３１３－ｍを指定する入力レジスタ選択信号ＩＲＳＳをデータ選択部３１０へ伝送する。

【０１０１】

スケジューラ５６０は、奇数列に対応する入力データ１に対する入力有効化信号ＶＡＬＩＤとして１をデータ選択部３１０に伝送し、入力データ１を第１レジスタ３１２－１～３１２－ｍへ格納することを指定する入力レジスタ選択信号ＩＲＳＳを有効化する。ここで、スケジューラ５６０は、受信された信号ＲＥＳ＿Ｏに基づき、入力データ１～８が類似する画像データであると判断している。よって、スケジューラ５６０は、入力データ２～８に対する入力有効化信号ＶＡＬＩＤとして０をデータ選択部３１０に伝送し、入力データ２～８を第１レジスタ３１２－１～３１２－ｍへ格納することを指定する入力レジスタ選択信号ＩＲＳＳを無効化する。結果として、第１レジスタ３１２－１～３１２－ｍは更新されず、入力データ１が保持される。本構成により、第１レジスタ３１２－１～３１２－ｍに格納されるデータを更新するために必要な電力の消費が抑制される。なお、本例の場合には、タイミング制御部５００は、走査番号２～８において入力レジスタ選択信号ＩＲＳＳをデータ駆動部３００に伝送しないように構成され得る。

【０１０２】

次いで、スケジューラ５６０は、偶数列に対応する入力データ９に対する入力有効化信号ＶＡＬＩＤとして１をデータ選択部３１０に伝送し、入力データ９を第２レジスタ３１３－１～３１３－ｍへ格納することを指定する入力レジスタ選択信号ＩＲＳＳを有効化する。ここで、スケジューラ５６０は、受信された信号ＲＥＳ＿Ｅに基づき、入力データ９～１６が類似しない画像データであると判断している。即ち、第２レジスタ３１３－１～３１３－ｍに格納されている入力データ９を入力データ１０～１６として利用することはできない。よって、スケジューラ５６０は、入力データ１０～１６に対する入力有効化信号ＶＡＬＩＤとして１をデータ選択部３１０に伝送し、入力データ１０～１６を第２レジスタ３１３－１～３１３－ｍへ格納することを指定する入力レジスタ選択信号ＩＲＳＳを有効化する。

【０１０３】

スケジューラ５６０は、入力データ１～１６を出力データ１～１６としてデータ変換部３２０へ順次出力するために、出力レジスタ選択信号ＯＲＳＳをデータ選択部３１０へ伝送する。具体的には、スケジューラ５６０は、走査番号１～８に対しては第１レジスタ３

１２－１～３１２－ｍを指定する出力レジスタ選択信号ＯＲＳＳをデータ選択部３１０へ伝送し、走査番号９～１６に対しては第２レジスタ３１３－１～３１３－ｍを指定する出力レジスタ選択信号ＯＲＳＳをデータ選択部３１０へ伝送する。

【０１０４】

ＤＲＤを用いた表示装置においては、互いに異なる色の副画素が１本のデータ線を共有する。したがって、走査される副画素の色を切り替えるたびに画像データの信号（電圧）の不連続性が発生し、結果として表示装置１０の消費電力が増加する。ＤＲＤを用いた表示装置において消費電力を低減させるためには、同色の副画素を連続して走査し、出力される画像データの信号（電圧）が不連続となる頻度を低減させることが望ましい。しかし、同色の副画素を連続して走査する行数を大きくすると、同じ行に配された他の副画素に対する画像データの書き込みとの間に大きな時間差が生じる。この大きな時間差は、表示する画像の画質を低下させ得る。特に、複数の画素行が互いに類似しない領域を表示する際には、同じ行に配された複数の副画素に対する画像データの書き込みの間に大きな時間差が生じることにより画質の低下が生じ得る。一方で、複数の画素行が互いに類似する領域を表示する際には、同じ行に配された複数の副画素に対する画像データの書き込みの間に大きな時間差が生じても画質の低下が生じにくい。本発明は、表示パネルの各画素行の間の類似度を判定し、判定結果に基づき同色の副画素を連続して走査する。複数の画素行が互いに類似し、同じ行に配された複数の副画素に対する画像データの書き込みの間に大きな時間差が生じても画質の低下が生じにくい領域では同色の副画素を連続して走査する。よって、本発明によれば、ＤＲＤを用いた表示装置の表示画質の低下を抑制しながら消費電力を低減させることができる。

【０１０５】

図１８および図１９を参照して、スケジューラ５６０への入力信号に応じたデータ選択部３１０の動作の別の一例を説明する。図１８は、本実施形態に係るスケジューラ５６０への入力の例を示す表である。図１９は、本実施形態に係るデータ選択部３１０へ入力される信号の例を示す表である。

【０１０６】

図１８は、第ｘ－１５行から第ｘ－８行までについての類似度判定部５５０からスケジューラ５６０へ入力された信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅの値の一例を示している。図１８に示されるように、本例では、奇数列についての類似度判定部５５０の出力信号ＲＥＳ＿Ｏはすべて０を示している。即ち、類似度判定部５５０は、第ｘ－１５行から第ｘ－８行までについての奇数列の画像データは、それぞれ１つ前の行の奇数列の画像データと類似しないと判定している。同様に、偶数列についての類似度判定部５５０の出力信号ＲＥＳ＿Ｅはすべて０を示している。即ち、類似度判定部５５０は、第ｘ－１５行から第ｘ－８行までについての偶数列の画像データは、それぞれ１つ前の行の偶数列の画像データと類似しないと判定している。

【０１０７】

図１９は、走査番号１７～３２においてデータ選択部３１０へ伝送される入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤ、出力レジスタ選択信号ＯＲＳＳの一例を示している。本例において、第ｘ－１５行から第ｘ－８行までについての奇数列の画像データは前後の行についての奇数列の画像データと類似していない。同様に、第ｘ－１５行から第ｘ－８行までについての偶数列の画像データは前後の行についての偶数列の画像データと類似していない。よって、まず走査番号１７において、第ｘ－１５行についての奇数列の整列された画像データＲ’Ｇ’Ｂ’Ｗ’が入力データ１７として行メモリ部５２０からデータ選択部３１０へ入力される。次いで、走査番号１８～１９において、第ｘ－１５行～第ｘ－１４行についての偶数列の整列された画像データＲ’Ｇ’Ｂ’Ｗ’が入力データ１８～１９として行メモリ部５２０からデータ選択部３１０へ入力される。次いで、走査番号２０～２１において、第ｘ－１４行～第ｘ－１３行についての奇数列の整列された画像データＲ’Ｇ’Ｂ’Ｗ’が入力データ２０～２１として行メモリ部５２０からデータ選択部３１０へ入力される。これ以下の走査においても、２行ごとに走査する列を切り替えながら、走査番

号２２～２３、２６～２７および３０～３１において、第ｘ－１３行から第ｘ－８行までについての偶数列の整列された画像データＲ’Ｇ’Ｂ’Ｗ’が入力データ２２～２３、２６～２７および３０～３１として行メモリ部５２０からデータ選択部３１０へ入力される。同様に、走査番号２４～２５、２８～２９および３２において、第ｘ－１２行から第ｘ－８行までについての奇数列の整列された画像データＲ’Ｇ’Ｂ’Ｗ’が入力データ２４～２５、２８～２９および３２として行メモリ部５２０からデータ選択部３１０へ入力される。

【０１０８】

スケジューラ５６０は、受信された信号ＲＥＳ＿Ｏに基づき、奇数列の入力データ１７、２０～２１、２４～２５、２８～２９および３２が格納されるレジスタを指定するための入力レジスタ選択信号ＩＲＳＳを生成する。スケジューラ５６０は、入力データ１７、２０～２１、２４～２５、２８～２９および３２を格納すべきレジスタとして第１レジスタ３１２－１～３１２－ｍを指定する入力レジスタ選択信号ＩＲＳＳをデータ選択部３１０へ伝送する。また、スケジューラ５６０は、受信された信号ＲＥＳ＿Ｅに基づき、偶数列の入力データ１８～１９、２２～２３、２６～２７および３０～３１が格納されるレジスタを指定するための入力レジスタ選択信号ＩＲＳＳを生成する。スケジューラ５６０は、入力データ１８～１９、２２～２３、２６～２７および３０～３１を格納すべきレジスタとして第２レジスタ３１３－１～３１３－ｍを指定する入力レジスタ選択信号ＩＲＳＳをデータ選択部３１０へ伝送する。

【０１０９】

スケジューラ５６０は、奇数列に対応する入力データ１７、２０～２１、２４～２５、２８～２９および３２に対する入力有効化信号ＶＡＬＩＤとして１をデータ選択部３１０に伝送し、入力データ１７、２０～２１、２４～２５、２８～２９および３２を第１レジスタ３１２－１～３１２－ｍへ格納することを指定する入力レジスタ選択信号ＩＲＳＳを有効化する。ここで、スケジューラ５６０は、受信された信号ＲＥＳ＿Ｏに基づき、入力データ１～８が類似しない画像データであると判断している。即ち、第２レジスタ３１３－１～３１３－ｍに格納されている入力データ１７を入力データ２０～２１、２４～２５、２８～２９および３２として利用することはできない。よって、スケジューラ５６０は、入力データ１７、２０～２１、２４～２５、２８～２９および３２に対する入力有効化信号ＶＡＬＩＤとして１をデータ選択部３１０に伝送し、入力データ１７、２０～２１、２４～２５、２８～２９および３２を第１レジスタ３１２－１～３１２－ｍへ格納することを指定する入力レジスタ選択信号ＩＲＳＳを有効化する。

【０１１０】

同様に、スケジューラ５６０は、偶数列に対応する入力データ１８～１９、２２～２３、２６～２７および３０～３１に対する入力有効化信号ＶＡＬＩＤとして１をデータ選択部３１０に伝送し、入力データ１８～１９、２２～２３、２６～２７および３０～３１を第２レジスタ３１３－１～３１３－ｍへ格納することを指定する入力レジスタ選択信号ＩＲＳＳを有効化する。ここで、スケジューラ５６０は、受信された信号ＲＥＳ＿Ｅに基づき、入力データ９～１６が類似しない画像データであると判断している。即ち、第２レジスタ３１３－１～３１３－ｍに格納されている入力データ１８を入力データ１９、２２～２３、２６～２７および３０～３１として利用することはできない。よって、スケジューラ５６０は、入力データ１８～１９、２２～２３、２６～２７および３０～３１に対する入力有効化信号ＶＡＬＩＤとして１をデータ選択部３１０に伝送し、入力データ１８～１９、２２～２３、２６～２７および３０～３１を第２レジスタ３１３－１～３１３－ｍへ格納することを指定する入力レジスタ選択信号ＩＲＳＳを有効化する。

【０１１１】

スケジューラ５６０は、入力データ１７～３２を出力データ１７～３２としてデータ変換部３２０へ順次出力するために、出力レジスタ選択信号ＯＲＳＳをデータ選択部３１０へ伝送する。具体的には、スケジューラ５６０は、走査番号１７、２０～２１、２４～２５、２８～２９および３２に対しては第１レジスタ３１２－１～３１２－ｍを指定する出力レジスタ選択信号ＯＲＳＳをデータ選択部３１０へ伝送し、走査番号１８～１９、２２

～２３、２６～２７および３０～３１に対しては第２レジスタ３１３－１～３１３－ｍを指定する出力レジスタ選択信号ＯＲＳＳをデータ選択部３１０へ伝送する。

【０１１２】

これにより、ＤＲＤを用いた表示装置の表示画質の低下を抑制させることができる。

【０１１３】

以下に、本実施形態に係る表示装置１０に表示される画像に基づいて変更される副画素を走査する順序について説明する。図２０は、本実施形態に係る表示装置１０に表示される画像の一例である。表示装置１０に含まれる表示パネル１００は、複数の画素行１３０１～１３２４を表示している。類似度判定部５５０は、画素行１３０１～１３０９、１３１３、１３１７に含まれる奇数列および偶数列に配された副画素に書き込まれた画像データが、これらの画素行の１行上に位置する画素行に含まれる奇数列および偶数列に配された副画素に書き込まれた画像データに類似しないと判定している。一方、類似度判定部５５０は、画素行１３１０～１３１２、１３１４～１３１６、１３１８～１３２４に含まれる奇数列および偶数列に配された副画素に書き込まれた画素データが、これらの画素行の１行上に位置する画素行に含まれる奇数列および偶数列に配された副画素に書き込まれた画像データに類似すると判定している。

【０１１４】

図２１は、本実施形態に係る表示装置の副画素が走査される順序を示す模式図である。図２１には、図２０に示された画素行１３０１～１３０８における４列の副画素が示されている。具体的には、図２１は、データ線ＤＬ１を共有する緑色副画素Ｇ１～Ｇ８および赤色副画素Ｒ１～Ｒ８並びにデータ線ＤＬ２を共有する白色副画素Ｗ１～Ｗ８および青色副画素Ｂ１～Ｂ８を示している。画素行１３０１～１３０８の画像データ（画像信号）は奇数列および偶数列ともに類似しないと類似度判定部５５０によって判定されている。したがって、類似度判定部５５０からスケジューラ５６０へ入力される画素行１３０１～１３０８についての信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅの値はすべて０となる。スケジューラ５６０は、受信された信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅに基づいて入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤおよび出力レジスタ選択信号ＯＲＳＳを生成する。スケジューラ５６０は、生成された入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤおよび出力レジスタ選択信号ＯＲＳＳをデータ駆動部３００に伝送する。データ駆動部３００は、受信された出力レジスタ選択信号ＯＲＳＳによって指定された順序で緑色副画素Ｇ１～Ｇ８、赤色副画素Ｒ１～Ｒ８、白色副画素Ｗ１～Ｗ８および青色副画素Ｂ１～Ｂ８に対して画像データ（画像信号）を伝送する。

【０１１５】

図２１に示されるように、画素行１３０１～１３０８において、以下に示す順序にて緑色副画素Ｇおよび赤色副画素Ｒが走査される。最初に緑色副画素Ｇ１が走査された後に、緑色副画素Ｇ１と同じ行においてデータ線ＤＬ１を共有し、緑色副画素Ｇの画素列とは異なる画素列に含まれる赤色副画素Ｒ１が走査される。その後に、赤色副画素Ｒ１の１行下に配された赤色副画素Ｒ２が走査される。その後に、赤色副画素Ｒ２と同じ行においてデータ線ＤＬ１を共有し、赤色副画素Ｒの画素列とは異なる画素列に含まれる緑色副画素Ｇ２が走査される。その後に、緑色副画素Ｇ２の１行下に配された緑色副画素Ｇ３が走査される。その後に、緑色副画素Ｇ３と同じ行においてデータ線ＤＬ１を共有し、緑色副画素Ｇの画素列とは異なる画素列に含まれる赤色副画素Ｒ３が走査される。その後に、赤色副画素Ｒ３の１行下に配された赤色副画素Ｒ４が走査される。その後に、赤色副画素Ｒ４と同じ行においてデータ線ＤＬ１を共有し、赤色副画素Ｒの画素列とは異なる画素列に含まれる緑色副画素Ｇ４が走査される。その後に、緑色副画素Ｇ４の１行下に配された緑色副画素Ｇ５が走査される。その後に、緑色副画素Ｇ５と同じ行においてデータ線ＤＬ１を共有し、緑色副画素Ｇの画素列とは異なる画素列に含まれる赤色副画素Ｒ５が走査される。その後に、赤色副画素Ｒ５の１行下に配された赤色副画素Ｒ６が走査される。その後に、赤色副画素Ｒ６と同じ行においてデータ線ＤＬ１を共有し、赤色副画素Ｒの画素列とは異なる画素列に含まれる緑色副画素Ｇ６が走査される。その後に、緑色副画素Ｇ６の１行下

に配された緑色副画素Ｇ７が走査される。その後に、緑色副画素Ｇ７と同じ行においてデータ線ＤＬ１を共有し、緑色副画素Ｇの画素列とは異なる画素列に含まれる赤色副画素Ｒ７が走査される。その後に、赤色副画素Ｒ７の１行下に配された赤色副画素Ｒ８が走査される。その後に、赤色副画素Ｒ８と同じ行においてデータ線ＤＬ１を共有し、赤色副画素Ｒの画素列とは異なる画素列に含まれる緑色副画素Ｇ８が走査される。

【０１１６】

また、図２１に示されるように、画素行１３０１～１３０８において、以下に示す順序にて白色副画素Ｗおよび青色副画素Ｂが走査される。最初に青色副画素Ｂ１が走査された後に、青色副画素Ｂ１と同じ行においてデータ線ＤＬ２を共有し、青色副画素Ｂの画素列とは異なる画素列に含まれる白色副画素Ｗ１が走査される。その後に、白色副画素Ｗ１の１行下に配された白色副画素Ｗ２が走査される。その後に、白色副画素Ｗ２と同じ行においてデータ線ＤＬ２を共有し、白色副画素Ｗの画素列とは異なる画素列に含まれる青色副画素Ｂ２が走査される。その後に、青色副画素Ｂ２の１行下に配された青色副画素Ｂ３が走査される。その後に、青色副画素Ｂ３と同じ行においてデータ線ＤＬ２を共有し、青色副画素Ｂの画素列とは異なる画素列に含まれる白色副画素Ｗ３が走査される。その後に、白色副画素Ｗ３の１行下に配された白色副画素Ｗ４が走査される。その後に、白色副画素Ｗ４と同じ行においてデータ線ＤＬ２を共有し、白色副画素Ｗの画素列とは異なる画素列に含まれる青色副画素Ｂ４が走査される。その後に、青色副画素Ｂ４の１行下に配された青色副画素Ｂ５が走査される。その後に、青色副画素Ｂ５と同じ行においてデータ線ＤＬ２を共有し、青色副画素Ｂの画素列とは異なる画素列に含まれる白色副画素Ｗ５が走査される。その後に、白色副画素Ｗ５の１行下に配された白色副画素Ｗ６が走査される。その後に、白色副画素Ｗ６と同じ行においてデータ線ＤＬ２を共有し、白色副画素Ｗの画素列とは異なる画素列に含まれる青色副画素Ｂ６が走査される。その後に、青色副画素Ｂ６の１行下に配された青色副画素Ｂ７が走査される。その後に、青色副画素Ｂ７と同じ行においてデータ線ＤＬ２を共有し、青色副画素Ｂの画素列とは異なる画素列に含まれる白色副画素Ｗ７が走査される。その後に、白色副画素Ｗ７の１行下に配された白色副画素Ｗ８が走査される。その後に、白色副画素Ｗ８と同じ行においてデータ線ＤＬ２を共有し、白色副画素Ｗの画素列とは異なる画素列に含まれる青色副画素Ｂ８が走査される。

【０１１７】

本実施形態において、類似度判定部５５０は、画素行１３０１から１３０８までの画像データは類似していないと判定している。この判定に基づき、スケジューラ５６０は、各色の副画素を２行ずつ交互に走査するように入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤおよび出力レジスタ選択信号ＯＲＳＳを生成し、生成された信号をデータ駆動部３００に伝送する。データ駆動部３００は、受信された出力レジスタ選択信号ＯＲＳＳによって指定された順序で緑色副画素Ｇ１～Ｇ８、赤色副画素Ｒ１～Ｒ８、白色副画素Ｗ１～Ｗ８および青色副画素Ｂ１～Ｂ８に対して画像データを書き込む。本実施形態では、画像データが互いに類似しない領域を構成する画素行１３０１～１３０８において、同色の副画素を連続して走査する行数を小さくして、同じ行に配された副画素に対する画像データの書き込みの時間差を小さくする。具体的には、本実施形態では、各色の副画素を２行ずつ交互に走査することで、同じ行に配された複数の副画素の間における画像データの書き込みの時間差を小さくしている。よって、本発明によれば、ＤＲＤを用いた表示装置において画素行の間で類似していない領域を表示する際に、同じ行に配された複数の副画素の間における画像データの書き込みの時間差に起因する表示画質の低下を抑制させることができる。

【０１１８】

図２２は、本実施形態に係る表示装置１０の図２０に示される画素行１３０１から１３０８までの副画素を図２１に示す順序で走査する場合に、ゲート駆動部２００によりゲート線ＧＬ１～ＧＬ１６へ印加されるゲート信号のタイミング図である。

【０１１９】

時刻ｔ０～ｔ１の期間において、ゲート線ＧＬ１～ＧＬ１６にゲート信号は印加されて

いない。時刻ｔ１～ｔ２の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ２にゲート信号が印加される。ゲート線ＧＬ２にゲート信号が印加されると、緑色副画素Ｇ１の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ１の駆動素子ＤＴのゲートと緑色副画素Ｇ１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ１に対する画像データに対応する。同様に、ゲート線ＧＬ２にゲート信号が印加されると、青色副画素Ｂ１の第１スイッチ素子Ｔ１を介して青色副画素Ｂ１の駆動素子ＤＴのゲートと青色副画素Ｂ１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ１に対する画像データに対応する。

【０１２０】

時刻ｔ２～ｔ３の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ１にゲート信号が印加される。ゲート線ＧＬ１にゲート信号が印加されると、赤色副画素Ｒ１の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ１の駆動素子ＤＴのゲートと赤色副画素Ｒ１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ１に対する画像データに対応する。同様に、ゲート線ＧＬ１にゲート信号が印加されると、白色副画素Ｗ１の第１スイッチ素子Ｔ１を介して白色副画素Ｗ１の駆動素子ＤＴのゲートと白色副画素Ｗ１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ１に対する画像データに対応する。

【０１２１】

時刻ｔ３～ｔ４の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ３にゲート信号が印加される。ゲート線ＧＬ３にゲート信号が印加されると、赤色副画素Ｒ２の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ２の駆動素子ＤＴのゲートと赤色副画素Ｒ２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ２に対する画像データに対応する。同様に、ゲート線ＧＬ３にゲート信号が印加されると、白色副画素Ｗ２の第１スイッチ素子Ｔ１を介して白色副画素Ｗ２の駆動素子ＤＴのゲートと白色副画素Ｗ２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ２に対する画像データに対応する。

【０１２２】

時刻ｔ４～ｔ５の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ４にゲート信号が印加される。ゲート線ＧＬ４にゲート信号が印加されると、緑色副画素Ｇ２の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ２の駆動素子ＤＴのゲートと緑色副画素Ｇ２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ２に対する画像データに対応する。同様に、ゲート線ＧＬ４にゲート信号が印加されると、青色副画素Ｂ２の第１スイッチ素子Ｔ１を介して青色副画素Ｂ２の駆動素子ＤＴのゲートと青色副画素Ｂ２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ２に対する画像データに対応する。

【０１２３】

時刻ｔ５～ｔ６の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ６にゲート信号が印加される。ゲート線ＧＬ６にゲート信号が印加されると、緑色副画素Ｇ３の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ３の駆動素子ＤＴのゲートと緑色副画素Ｇ３の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ３に対する画像データに対応する。同様に、ゲート線ＧＬ６にゲート信号が印加されると、青

色副画素Ｂ３の第１スイッチ素子Ｔ１を介して青色副画素Ｂ３の駆動素子ＤＴのゲートと青色副画素Ｂ３の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ３に対する画像データに対応する。

【０１２４】

時刻ｔ６～ｔ７の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ５にゲート信号が印加される。ゲート線ＧＬ５にゲート信号が印加されると、赤色副画素Ｒ３の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ３の駆動素子ＤＴのゲートと赤色副画素Ｒ３の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ３に対する画像データに対応する。同様に、ゲート線ＧＬ５にゲート信号が印加されると、白色副画素Ｗ３の第１スイッチ素子Ｔ１を介して白色副画素Ｗ３の駆動素子ＤＴのゲートと白色副画素Ｗ３の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ３に対する画像データに対応する。

【０１２５】

時刻ｔ７～ｔ８の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ７にゲート信号が印加される。ゲート線ＧＬ７にゲート信号が印加されると、赤色副画素Ｒ４の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ４の駆動素子ＤＴのゲートと赤色副画素Ｒ４の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ４に対する画像データに対応する。同様に、ゲート線ＧＬ７にゲート信号が印加されると、白色副画素Ｗ４の第１スイッチ素子Ｔ１を介して白色副画素Ｗ４の駆動素子ＤＴのゲートと白色副画素Ｗ４の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ４に対する画像データに対応する。

【０１２６】

時刻ｔ８～ｔ９の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ８にゲート信号が印加される。ゲート線ＧＬ８にゲート信号が印加されると、緑色副画素Ｇ４の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ４の駆動素子ＤＴのゲートと緑色副画素Ｇ４の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ４に対する画像データに対応する。同様に、ゲート線ＧＬ８にゲート信号が印加されると、青色副画素Ｂ４の第１スイッチ素子Ｔ１を介して青色副画素Ｂ４の駆動素子ＤＴのゲートと青色副画素Ｂ４の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ４に対する画像データに対応する。

【０１２７】

時刻ｔ９～ｔ１０の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ１０にゲート信号が印加される。ゲート線ＧＬ１０にゲート信号が印加されると、緑色副画素Ｇ５の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ５の駆動素子ＤＴのゲートと緑色副画素Ｇ５の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ５に対する画像データに対応する。同様に、ゲート線ＧＬ１０にゲート信号が印加されると、青色副画素Ｂ５の第１スイッチ素子Ｔ１を介して青色副画素Ｂ５の駆動素子ＤＴのゲートと青色副画素Ｂ５の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ５に対する画像データに対応する。

【０１２８】

時刻ｔ１０～ｔ１１の期間において、変調されたデータイネーブル信号ｔＤＥに同期し

てゲート線ＧＬ９にゲート信号が印加される。ゲート線ＧＬ９にゲート信号が印加されると、赤色副画素Ｒ５の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ５の駆動素子ＤＴのゲートと赤色副画素Ｒ５の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ５に対する画像データに対応する。同様に、ゲート線ＧＬ９にゲート信号が印加されると、白色副画素Ｗ５の第１スイッチ素子Ｔ１を介して白色副画素Ｗ５の駆動素子ＤＴのゲートと白色副画素Ｗ５の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ５に対する画像データに対応する。

【０１２９】

時刻ｔ１１～ｔ１２の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ１１にゲート信号が印加される。ゲート線ＧＬ１１にゲート信号が印加されると、赤色副画素Ｒ６の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ６の駆動素子ＤＴのゲートと赤色副画素Ｒ６の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ６に対する画像データに対応する。同様に、ゲート線ＧＬ１１にゲート信号が印加されると、白色副画素Ｗ６の第１スイッチ素子Ｔ１を介して白色副画素Ｗ６の駆動素子ＤＴのゲートと白色副画素Ｗ６の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ６に対する画像データに対応する。

【０１３０】

時刻ｔ１２～ｔ１３の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ１２にゲート信号が印加される。ゲート線ＧＬ１２にゲート信号が印加されると、緑色副画素Ｇ６の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ６の駆動素子ＤＴのゲートと緑色副画素Ｇ６の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ６に対する画像データに対応する。同様に、ゲート線ＧＬ１２にゲート信号が印加されると、青色副画素Ｂ６の第１スイッチ素子Ｔ１を介して青色副画素Ｂ６の駆動素子ＤＴのゲートと青色副画素Ｂ６の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ６に対する画像データに対応する。

【０１３１】

時刻ｔ１３～ｔ１４の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ１４にゲート信号が印加される。ゲート線ＧＬ１４にゲート信号が印加されると、緑色副画素Ｇ７の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ７の駆動素子ＤＴのゲートと緑色副画素Ｇ７の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ７に対する画像データに対応する。同様に、ゲート線ＧＬ１４にゲート信号が印加されると、青色副画素Ｂ７の第１スイッチ素子Ｔ１を介して青色副画素Ｂ７の駆動素子ＤＴのゲートと青色副画素Ｂ７の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ７に対する画像データに対応する。

【０１３２】

時刻ｔ１４～ｔ１５の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ１３にゲート信号が印加される。ゲート線ＧＬ１３にゲート信号が印加されると、赤色副画素Ｒ７の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ７の駆動素子ＤＴのゲートと赤色副画素Ｒ７の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ７に対する画像データに対応する。同様に、ゲート線ＧＬ１３にゲート信号が印加されると、白色副画素Ｗ７の第１スイッチ素子Ｔ１を介して白色副画素Ｗ７の駆動素子ＤＴ

のゲートと白色副画素Ｗ７の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ７に対する画像データに対応する。

【０１３３】

時刻ｔ１５～ｔ１６の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ１５にゲート信号が印加される。ゲート線ＧＬ１５にゲート信号が印加されると、赤色副画素Ｒ８の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ８の駆動素子ＤＴのゲートと赤色副画素Ｒ８の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ８に対する画像データに対応する。同様に、ゲート線ＧＬ１５にゲート信号が印加されると、白色副画素Ｗ８の第１スイッチ素子Ｔ１を介して白色副画素Ｗ８の駆動素子ＤＴのゲートと白色副画素Ｗ８の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ８に対する画像データに対応する。

【０１３４】

時刻ｔ１６～ｔ１７の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ１６にゲート信号が印加される。ゲート線ＧＬ１６にゲート信号が印加されると、緑色副画素Ｇ８の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ８の駆動素子ＤＴのゲートと緑色副画素Ｇ８の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ８に対する画像データに対応する。同様に、ゲート線ＧＬ１６にゲート信号が印加されると、青色副画素Ｂ８の第１スイッチ素子Ｔ１を介して青色副画素Ｂ８の駆動素子ＤＴのゲートと青色副画素Ｂ８の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ８に対する画像データに対応する。

【０１３５】

ゲート駆動部２００は、スケジューラ５６０からのゲート線指定信号ＧＬ＿Ｎｕｍに基づき、時刻ｔ１～ｔ１７の期間において、図２２に示される順序でゲート線ＧＬ１～ＧＬ１６にゲート信号を印加する。データ駆動部３００は、時刻ｔ１～ｔ１７の期間において、ゲート線ＧＬ１～ＧＬ１６に印加されたゲート信号に応じて、共有されたデータ線ＤＬ１を介して緑色副画素Ｇおよび赤色副画素Ｒにデータ信号を書き込む。また、データ駆動部３００は、時刻ｔ１～ｔ１７の期間において、ゲート線ＧＬ１～ＧＬ１６に印加されたゲート信号に応じて、共有されたデータ線ＤＬ２を介して白色副画素Ｗおよび青色副画素Ｂにデータ信号を書き込む。

【０１３６】

図２２に示されるタイミング図によれば、データ駆動部３００は、画素行１３０１～１３０８において、図２１に示す順序にて緑色副画素Ｇ１～Ｇ８、赤色副画素Ｒ１～Ｒ８、白色副画素Ｗ１～Ｗ８および青色副画素Ｂ１～Ｂ８にデータ信号を書き込む。即ち、図２１に示される副画素の領域を走査する際に、各色の副画素を２行ずつ交互に走査することで、同じ行に配された複数の副画素の間における画像データの書き込みの時間差を小さくしている。よって、本発明によれば、ＤＲＤを用いた表示装置において画素行の間で類似していない領域を表示する際に、同じ行に配された複数の副画素の間における画像データの書き込みの時間差に起因する表示画質の低下を抑制させることができる。

【０１３７】

図２３は、本実施形態に係る表示装置の副画素が走査される順序を示す模式図である。図２３には、図２０に示された画素行１３０９～１３１６における４列の副画素が示されている。具体的には、図２３は、データ線ＤＬ１を共有する緑色副画素Ｇ９～Ｇ１６および赤色副画素Ｒ９～Ｒ１６並びにデータ線ＤＬ２を共有する白色副画素Ｗ９～Ｗ１６および青色副画素Ｂ９～Ｂ１６を示している。画素行１３１０～１３１２の画像データ（画像信号）は奇数列、偶数列ともに１行上の画素行の画像データに類似すると類似度判定部５

５０によって判定されている。よって、画素行１３１０～１３１２についての信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅの値はすべて１となる。一方、画素行１３０９の画像データは奇数列、偶数列ともに画素行１３０８の画像データと類似していないため、画素行１３０９についての信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅの値は０となる。また、画素行１３１４～１３１６の画像データ（画像信号）は奇数列、偶数列ともに１行上の画素行の画像データに類似すると類似度判定部５５０によって判定されている。よって、画素行１３１４～１３１６についての信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅの値はすべて１となる。一方、画素行１３１３の画像データは奇数列、偶数列ともに画素行１３１２の画像データと類似していないため、画素行１３１３についての信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅの値は０となる。スケジューラ５６０は、受信された信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅに基づいて入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤおよび出力レジスタ選択信号ＯＲＳＳを生成する。スケジューラ５６０は、生成された入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤおよび出力レジスタ選択信号ＯＲＳＳをデータ駆動部３００に伝送する。データ駆動部３００は、受信された出力レジスタ選択信号ＯＲＳＳによって指定された順序で緑色副画素Ｇ９～Ｇ１６、赤色副画素Ｒ９～Ｒ１６、白色副画素Ｗ９～Ｗ１６および青色副画素Ｂ９～Ｂ１６に画像データ（画像信号）を伝送する。

【０１３８】

図２３に示されるように、画素行１３０９～１３１６において、以下に示す順序にて緑色副画素Ｇおよび赤色副画素Ｒが走査される。最初に緑色副画素Ｇ９が走査された後に、緑色副画素Ｇ９の１行下に配された緑色副画素Ｇ１０が走査される。その後に、緑色副画素Ｇ９と同じ行においてデータ線ＤＬ１を共有し、緑色副画素Ｇの画素列とは異なる画素列に含まれる赤色副画素Ｒ９が走査される。その後に、赤色副画素Ｒ９の１行下に配された赤色副画素Ｒ１０が走査される。その後に、赤色副画素Ｒ１０の１行下に配された赤色副画素Ｒ１１が走査される。その後に、赤色副画素Ｒ１１の１行下に配された赤色副画素Ｒ１２が走査される。その後に、赤色副画素Ｒ１１と同じ行においてデータ線ＤＬ１を共有し、赤色副画素Ｒの画素列とは異なる画素列に含まれる緑色副画素Ｇ１１が走査される。その後に、緑色副画素Ｇ１１の１行下に配された緑色副画素Ｇ１２が走査される。その後に、緑色副画素Ｇ１２の１行下に配された緑色副画素Ｇ１３が走査される。その後に、緑色副画素Ｇ１３の１行下に配された緑色副画素Ｇ１４が走査される。その後に、緑色副画素Ｇ１３と同じ行においてデータ線ＤＬ１を共有し、緑色副画素Ｇの画素列とは異なる画素列に含まれる赤色副画素Ｒ１３が走査される。その後に、赤色副画素Ｒ１３の１行下に配された赤色副画素Ｒ１４が走査される。その後に、赤色副画素Ｒ１４の１行下に配された赤色副画素Ｒ１５が走査される。その後に、赤色副画素Ｒ１５の１行下に配された赤色副画素Ｒ１６が走査される。その後に、赤色副画素Ｒ１５と同じ行においてデータ線ＤＬ１を共有し、赤色副画素Ｒの画素列とは異なる画素列に含まれる緑色副画素Ｇ１５が走査される。その後に、緑色副画素Ｇ１５の１行下に配された緑色副画素Ｇ１６が走査される。

【０１３９】

また、図２３に示されるように、画素行１３０９～１３１６において、以下に示す順序にて白色副画素Ｗおよび青色副画素Ｂが走査される。最初に青色副画素Ｂ９が走査された後に、青色副画素Ｂ９の１行下に配された青色副画素Ｂ１０が走査される。その後に、青色副画素Ｂ９と同じ行においてデータ線ＤＬ２を共有し、青色副画素Ｂの画素列とは異なる画素列に含まれる白色副画素Ｗ９が走査される。その後に、白色副画素Ｗ９の１行下に配された白色副画素Ｗ１０が走査される。その後に、白色副画素Ｗ１０の１行下に配された白色副画素Ｗ１１が走査される。その後に、白色副画素Ｗ１１の１行下に配された白色副画素Ｗ１２が走査される。その後に、白色副画素Ｗ１１と同じ行においてデータ線ＤＬ２を共有し、白色副画素Ｗの画素列とは異なる画素列に含まれる青色副画素Ｂ１１が走査される。その後に、青色副画素Ｂ１１の１行下に配された青色副画素Ｂ１２が走査される。その後に、青色副画素Ｂ１２の１行下に配された青色副画素Ｂ１３が走査される。その後に、青色副画素Ｂ１３の１行下に配された青色副画素Ｂ１４が走査される。その後に、

青色副画素Ｂ１３と同じ行においてデータ線ＤＬ２を共有し、青色副画素Ｂの画素列とは異なる画素列に含まれる白色副画素Ｗ１３が走査される。その後に、白色副画素Ｗ１３の１行下に配された白色副画素Ｗ１４が走査される。その後に、白色副画素Ｗ１４の１行下に配された白色副画素Ｗ１５が走査される。その後に、白色副画素Ｗ１５の１行下に配された白色副画素Ｗ１６が走査される。その後に、白色副画素Ｗ１５と同じ行においてデータ線ＤＬ２を共有し、白色副画素Ｗの画素列とは異なる画素列に含まれる青色副画素Ｂ１５が走査される。その後に、青色副画素Ｂ１５の１行下に配された青色副画素Ｂ１６が走査される。

【０１４０】

本実施形態において、類似度判定部５５０は、画素行１３０９から１３１２までの画像データは類似していると判定している。また、類似度判定部５５０は、画素行１３１３から１３１６までの画像データは類似していると判定している。これらの判定に基づき、スケジューラ５６０は、各色の副画素を４行ずつ交互に走査するように入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤおよび出力レジスタ選択信号ＯＲＳＳを生成し、生成された各信号をデータ駆動部３００に伝送する。データ駆動部３００は、受信された出力レジスタ選択信号ＯＲＳＳによって指定された順序で緑色副画素Ｇ９～Ｇ１６、赤色副画素Ｒ９～Ｒ１６、白色副画素Ｗ９～Ｗ１６および青色副画素Ｂ９～Ｂ１６に対して画像データを書き込む。

【０１４１】

本実施形態では、画像データが互いに類似する領域を構成する画素行１３０９～１３１２および画素行１３１３～１３１６において、同色の副画素を連続して走査する行数を大きくして、出力される画像データの信号（電圧）が不連続となる頻度を低減させる。具体的には、本実施形態では、各色の副画素を４行ずつ交互に走査することで、出力される画像データの信号（電圧）が不連続となる頻度を低減させている。例えば、図２１に示される副画素の領域では、データ線ＤＬ１に接続された緑色副画素Ｇ１～Ｇ８および赤色副画素Ｒ１～Ｒ８が走査される際に、走査される副画素の色は８回変更されている。同様に、図２１に示される副画素の領域では、データ線ＤＬ２に接続された白色副画素Ｗ１～Ｗ８および青色副画素Ｂ１～Ｂ８が走査される際に、走査される副画素の色は８回変更されている。即ち、図２１に示される副画素の構成される領域を走査する際に、データ線ＤＬ１およびデータ線ＤＬ２により伝送される画像データの信号（電圧）の不連続性は、それぞれ８回発生し得る。一方、図２３に示される副画素の領域では、データ線ＤＬ１に接続された緑色副画素Ｇ９～Ｇ１６および赤色副画素Ｒ９～Ｒ１６が走査される際に、走査される副画素の色は４回のみ変更されている。同様に、図２３に示される副画素の領域では、データ線ＤＬ２に接続された白色副画素Ｗ９～Ｗ１６および青色副画素Ｂ９～Ｂ１６が走査される際に、走査される副画素の色は４回のみ変更されている。即ち、図２３に示される副画素の領域を走査する際に、データ線ＤＬ１およびデータ線ＤＬ２により伝送される画像データの信号（電圧）の不連続性は、それぞれ４回に低減され得る。よって、本願発明によるＤＲＤ駆動を用いた表示装置は、副画素への画像データを書き込む際の消費電力を低減させることができる。

【０１４２】

なお、図２１に示される副画素への画像データの書き込み動作と比較して、図２３に示される副画素への画像データの書き込み動作では、同じ行に配された複数の副画素に対する画像データの書き込みの時間差は大きくなる。しかしながら、画素行１３０９から１３１２および画素行１３１３から１３１６までの画像データは互いに類似している。このため、同じ行に配された複数の副画素に対する画像データの書き込みの時間差が図２３に示される領域の画質に与える影響は、図２１に示される領域の画質に与える影響よりも小さい。よって、本発明によるＤＲＤ駆動を用いた表示装置１０は、表示画質の低下を抑制しつつ消費電力を低減させることができる。

【０１４３】

図２４は、本実施形態に係る表示装置１０の図２０に示される画素行１３０９から１３

１６までの副画素を図２３に示す順序で走査する場合に、ゲート駆動部２００によりゲート線ＧＬ１７～ＧＬ３２へ印加されるゲート信号のタイミング図である。

【０１４４】

時刻ｔ１８～ｔ１９の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ１８にゲート信号が印加される。ゲート線ＧＬ１８にゲート信号が印加されると、緑色副画素Ｇ９の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ９の駆動素子ＤＴのゲートと緑色副画素Ｇ９の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ９に対する画像データに対応する。同様に、ゲート線ＧＬ１８にゲート信号が印加されると、青色副画素Ｂ９の第１スイッチ素子Ｔ１を介して青色副画素Ｂ９の駆動素子ＤＴのゲートと青色副画素Ｂ９の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ９に対する画像データに対応する。

【０１４５】

時刻ｔ１９～ｔ２０の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ２０にゲート信号が印加される。ゲート線ＧＬ２０にゲート信号が印加されると、緑色副画素Ｇ１０の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ１０の駆動素子ＤＴのゲートと緑色副画素Ｇ１０の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ１０に対する画像データに対応する。同様に、ゲート線ＧＬ２０にゲート信号が印加されると、青色副画素Ｂ１０の第１スイッチ素子Ｔ１を介して青色副画素Ｂ１０の駆動素子ＤＴのゲートと青色副画素Ｂ１０の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ１０に対する画像データに対応する。

【０１４６】

時刻ｔ２０～ｔ２１の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ１７にゲート信号が印加される。ゲート線ＧＬ１７にゲート信号が印加されると、赤色副画素Ｒ９の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ９の駆動素子ＤＴのゲートと赤色副画素Ｒ９の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ９に対する画像データに対応する。同様に、ゲート線ＧＬ１７にゲート信号が印加されると、白色副画素Ｗ９の第１スイッチ素子Ｔ１を介して白色副画素Ｗ９の駆動素子ＤＴのゲートと白色副画素Ｗ９の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ９に対する画像データに対応する。

【０１４７】

時刻ｔ２１～ｔ２２の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ１９にゲート信号が印加される。ゲート線ＧＬ１９にゲート信号が印加されると、赤色副画素Ｒ１０の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ１０の駆動素子ＤＴのゲートと赤色副画素Ｒ１０の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ１０に対する画像データに対応する。同様に、ゲート線ＧＬ１９にゲート信号が印加されると、白色副画素Ｗ１０の第１スイッチ素子Ｔ１を介して白色副画素Ｗ１０の駆動素子ＤＴのゲートと白色副画素Ｗ１０の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ１０に対する画像データに対応する。

【０１４８】

時刻ｔ２２～ｔ２３の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ２１にゲート信号が印加される。ゲート線ＧＬ２１にゲート信号が印加されると、赤色副画素Ｒ１１の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ１１の駆動素子

ＤＴのゲートと赤色副画素Ｒ１１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ１１に対する画像データに対応する。同様に、ゲート線ＧＬ２１にゲート信号が印加されると、白色副画素Ｗ１１の第１スイッチ素子Ｔ１を介して白色副画素Ｗ１１の駆動素子ＤＴのゲートと白色副画素Ｗ１１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ１１に対する画像データに対応する。

【０１４９】

時刻ｔ２３～ｔ２４の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ２３にゲート信号が印加される。ゲート線ＧＬ２３にゲート信号が印加されると、赤色副画素Ｒ１２の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ１２の駆動素子ＤＴのゲートと赤色副画素Ｒ１２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ１２に対する画像データに対応する。同様に、ゲート線ＧＬ２３にゲート信号が印加されると、白色副画素Ｗ１２の第１スイッチ素子Ｔ１を介して白色副画素Ｗ１２の駆動素子ＤＴのゲートと白色副画素Ｗ１２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ１２に対する画像データに対応する。

【０１５０】

時刻ｔ２４～ｔ２５の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ２２にゲート信号が印加される。ゲート線ＧＬ２２にゲート信号が印加されると、緑色副画素Ｇ１１の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ１１の駆動素子ＤＴのゲートと緑色副画素Ｇ１１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ１１に対する画像データに対応する。同様に、ゲート線ＧＬ２２にゲート信号が印加されると、青色副画素Ｂ１１の第１スイッチ素子Ｔ１を介して青色副画素Ｂ１１の駆動素子ＤＴのゲートと青色副画素Ｂ１１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ１１に対する画像データに対応する。

【０１５１】

時刻ｔ２５～ｔ２６の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ２４にゲート信号が印加される。ゲート線ＧＬ２４にゲート信号が印加されると、緑色副画素Ｇ１２の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ１２の駆動素子ＤＴのゲートと緑色副画素Ｇ１２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ１２に対する画像データに対応する。同様に、ゲート線ＧＬ２４にゲート信号が印加されると、青色副画素Ｂ１２の第１スイッチ素子Ｔ１を介して青色副画素Ｂ１２の駆動素子ＤＴのゲートと青色副画素Ｂ１２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ１２に対する画像データに対応する。

【０１５２】

時刻ｔ２６～ｔ２７の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ２６にゲート信号が印加される。ゲート線ＧＬ２６にゲート信号が印加されると、緑色副画素Ｇ１３の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ１３の駆動素子ＤＴのゲートと緑色副画素Ｇ１３の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ１３に対する画像データに対応する。同様に、ゲート線ＧＬ２６にゲート信号が印加されると、青色副画素Ｂ１３の第１スイッチ素子Ｔ１を介して青色副画素Ｂ１３の駆動素子ＤＴのゲートと青色副画素Ｂ１３の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信

号は、青色副画素Ｂ１３に対する画像データに対応する。
【０１５３】
時刻ｔ２７～ｔ２８の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ２８にゲート信号が印加される。ゲート線ＧＬ２８にゲート信号が印加されると、緑色副画素Ｇ１４の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ１４の駆動素子ＤＴのゲートと緑色副画素Ｇ１４の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ１４に対する画像データに対応する。同様に、ゲート線ＧＬ２８にゲート信号が印加されると、青色副画素Ｂ１４の第１スイッチ素子Ｔ１を介して青色副画素Ｂ１４の駆動素子ＤＴのゲートと青色副画素Ｂ１４の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ１４に対する画像データに対応する。
【０１５４】
時刻ｔ２８～ｔ２９の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ２５にゲート信号が印加される。ゲート線ＧＬ２５にゲート信号が印加されると、赤色副画素Ｒ１３の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ１３の駆動素子ＤＴのゲートと赤色副画素Ｒ１３の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ１３に対する画像データに対応する。同様に、ゲート線ＧＬ２５にゲート信号が印加されると、白色副画素Ｗ１３の第１スイッチ素子Ｔ１を介して白色副画素Ｗ１３の駆動素子ＤＴのゲートと白色副画素Ｗ１３の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ１３に対する画像データに対応する。
【０１５５】
時刻ｔ２９～ｔ３０の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ２７にゲート信号が印加される。ゲート線ＧＬ２７にゲート信号が印加されると、赤色副画素Ｒ１４の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ１４の駆動素子ＤＴのゲートと赤色副画素Ｒ１４の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ１４に対する画像データに対応する。同様に、ゲート線ＧＬ２７にゲート信号が印加されると、白色副画素Ｗ１４の第１スイッチ素子Ｔ１を介して白色副画素Ｗ１４の駆動素子ＤＴのゲートと白色副画素Ｗ１４の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ１４に対する画像データに対応する。
【０１５６】
時刻ｔ３０～ｔ３１の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ２９にゲート信号が印加される。ゲート線ＧＬ２９にゲート信号が印加されると、赤色副画素Ｒ１５の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ１５の駆動素子ＤＴのゲートと赤色副画素Ｒ１５の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ１５に対する画像データに対応する。同様に、ゲート線ＧＬ２９にゲート信号が印加されると、白色副画素Ｗ１５の第１スイッチ素子Ｔ１を介して白色副画素Ｗ１５の駆動素子ＤＴのゲートと白色副画素Ｗ１５の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ１５に対する画像データに対応する。
【０１５７】
時刻ｔ３１～ｔ３２の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ３１にゲート信号が印加される。ゲート線ＧＬ３１にゲート信号が印加されると、赤色副画素Ｒ１６の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ１６の駆動素子ＤＴのゲートと赤色副画素Ｒ１６の第１キャパシタＣ１との間の第１ノードＮ１にデータ

線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ１６に対する画像データに対応する。同様に、ゲート線ＧＬ３１にゲート信号が印加されると、白色副画素Ｗ１６の第１スイッチ素子Ｔ１を介して白色副画素Ｗ１６の駆動素子ＤＴのゲートと白色副画素Ｗ１６の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ１６に対する画像データに対応する。

【０１５８】

時刻ｔ３２～ｔ３３の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ３０にゲート信号が印加される。ゲート線ＧＬ３０にゲート信号が印加されると、緑色副画素Ｇ１５の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ１５の駆動素子ＤＴのゲートと緑色副画素Ｇ１５の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ１５に対する画像データに対応する。同様に、ゲート線ＧＬ３０にゲート信号が印加されると、青色副画素Ｂ１５の第１スイッチ素子Ｔ１を介して青色副画素Ｂ１５の駆動素子ＤＴのゲートと青色副画素Ｂ１５の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ１５に対する画像データに対応する。

【０１５９】

時刻ｔ３３～ｔ３４の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ３２にゲート信号が印加される。ゲート線ＧＬ３２にゲート信号が印加されると、緑色副画素Ｇ１６の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ１６の駆動素子ＤＴのゲートと緑色副画素Ｇ１６の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ１６に対する画像データに対応する。同様に、ゲート線ＧＬ３２にゲート信号が印加されると、青色副画素Ｂ１６の第１スイッチ素子Ｔ１を介して青色副画素Ｂ１６の駆動素子ＤＴのゲートと青色副画素Ｂ１６の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ１６に対する画像データに対応する。

【０１６０】

ゲート駆動部２００は、スケジューラ５６０からのゲート線指定信号ＧＬ＿Ｎｕｍに基づき、時刻ｔ１８～ｔ３４の期間において、図２４に示される順序でゲート線ＧＬ１７～ＧＬ３２にゲート信号を印加する。データ駆動部３００は、時刻ｔ１８～ｔ３４の期間において、ゲート線ＧＬ１７～ＧＬ３２に印加されたゲート信号に応じて、共有されたデータ線ＤＬ１を介して緑色副画素Ｇおよび赤色副画素Ｒにデータ信号を書き込む。また、データ駆動部３００は、時刻ｔ１８～ｔ３４の期間において、ゲート線ＧＬ１７～ＧＬ３２に印加されたゲート信号に応じて、共有されたデータ線ＤＬ２を介して白色副画素Ｗおよび青色副画素Ｂにデータ信号を書き込む。図２４に示されるタイミング図によれば、データ駆動部３００は、画素行１３０９～１３１６において、図２３に示す順序にて緑色副画素Ｇ９～Ｇ１６、赤色副画素Ｒ９～Ｒ１６、白色副画素Ｗ９～Ｗ１６および青色副画素Ｂ９～Ｂ１６にデータ信号を書き込む。

【０１６１】

図２４に示されるタイミング図によれば、データ駆動部３００は、画素行１３０９～１３１６において、図２３に示す順序にて緑色副画素Ｇ９～Ｇ１６、赤色副画素Ｒ９～Ｒ１６、白色副画素Ｗ９～Ｗ１６および青色副画素Ｂ９～Ｂ１６にデータ信号を書き込む。即ち、図２３に示される副画素の領域を走査する際に、データ線ＤＬ１およびデータ線ＤＬ２により伝送される画像データの信号（電圧）の不連続性は、それぞれ４回に低減され得る。よって、本願発明によるＤＲＤ駆動を用いた表示装置は、副画素への画像データを書き込む際の消費電力を低減させることができる。

【０１６２】

図２５は、本実施形態に係る表示装置の副画素が走査される順序を示す模式図である。

図２５には、図２０に示された画素行１３１７～１３２４における４列の副画素が示されている。具体的には、図２５は、データ線ＤＬ１を共有する緑色副画素Ｇ１７～Ｇ２４および赤色副画素Ｒ１７～Ｒ２４並びにデータ線ＤＬ２を共有する白色副画素Ｗ１７～Ｗ２４および青色副画素Ｂ１７～Ｂ２４を示している。画素行１３１８～１３２４の画像データ（画像信号）は奇数列、偶数列ともに１行上の画素行の画像データに類似すると類似度判定部５５０によって判定されている。よって、画素行１３１８～１３２４についての信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅの値はすべて１となる。一方、画素行１３１７の画像データは奇数列、偶数列ともに画素行１３０８の画像データと類似していないため、画素行１３０９についての信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅの値は０となる。スケジューラ５６０は、受信された信号ＲＥＳ＿ＯおよびＲＥＳ＿Ｅに基づいて入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤおよび出力レジスタ選択信号ＯＲＳＳを生成する。スケジューラ５６０は、生成された入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤおよび出力レジスタ選択信号ＯＲＳＳをデータ駆動部３００に伝送する。データ駆動部３００は、受信された出力レジスタ選択信号ＯＲＳＳによって指定された順序で緑色副画素Ｇ１７～Ｇ２４、赤色副画素Ｒ１７～Ｒ２４、白色副画素Ｗ１７～Ｗ２４および青色副画素Ｂ１７～Ｂ２４に画像データ（画像信号）を伝送する。

【０１６３】

図２５に示されるように、画素行１３１７～１３２４において、以下に示す順序にて緑色副画素Ｇおよび赤色副画素Ｒが走査される。最初に緑色副画素Ｇ１７が走査された後に、緑色副画素Ｇ１７の１行下に配された緑色副画素Ｇ１８が走査される。その後に、緑色副画素Ｇ１８の１行下に配された緑色副画素Ｇ１９が走査される。その後に、緑色副画素Ｇ１９の１行下に配された緑色副画素Ｇ２０が走査される。その後に、緑色副画素Ｇ１７と同じ行においてデータ線ＤＬ１を共有し、緑色副画素Ｇの画素列とは異なる画素列に含まれる赤色副画素Ｒ１７が走査される。その後に、赤色副画素Ｒ１７の１行下に配された赤色副画素Ｒ１８が走査される。その後に、赤色副画素Ｒ１８の１行下に配された赤色副画素Ｒ１９が走査される。その後に、赤色副画素Ｒ１９の１行下に配された赤色副画素Ｒ２０が走査される。その後に、赤色副画素Ｒ２０の１行下に配された赤色副画素Ｒ２１が走査される。その後に、赤色副画素Ｒ２１の１行下に配された赤色副画素Ｒ２２が走査される。その後に、赤色副画素Ｒ２２の１行下に配された赤色副画素Ｒ２３が走査される。その後に、赤色副画素Ｒ２３の１行下に配された赤色副画素Ｒ２４が走査される。その後に、赤色副画素Ｒ２１と同じ行においてデータ線ＤＬ１を共有し、赤色副画素Ｒの画素列とは異なる画素列に含まれる緑色副画素Ｇ２１が走査される。その後に、緑色副画素Ｇ２１の１行下に配された緑色副画素Ｇ２２が走査される。その後に、緑色副画素Ｇ２２の１行下に配された緑色副画素Ｇ２３が走査される。その後に、緑色副画素Ｇ２３の１行下に配された緑色副画素Ｇ２４が走査される。

【０１６４】

また、図２５に示されるように、画素行１３１７～１３２４において、以下に示す順序にて白色副画素Ｗおよび青色副画素Ｂが走査される。最初に青色副画素Ｂ１７が走査された後に、青色副画素Ｂ１７の１行下に配された青色副画素Ｂ１８が走査される。その後に、青色副画素Ｂ１８の１行下に配された青色副画素Ｂ１９が走査される。その後に、青色副画素Ｂ１９の１行下に配された青色副画素Ｂ２０が走査される。その後に、青色副画素Ｂ１７と同じ行においてデータ線ＤＬ２を共有し、青色副画素Ｂの画素列とは異なる画素列に含まれる白色副画素Ｗ１７が走査される。その後に、白色副画素Ｗ１７の１行下に配された白色副画素Ｗ１８が走査される。その後に、白色副画素Ｗ１８の１行下に配された白色副画素Ｗ１９が走査される。その後に、白色副画素Ｗ１９の１行下に配された白色副画素Ｗ２０が走査される。その後に、白色副画素Ｗ２０の１行下に配された白色副画素Ｗ２１が走査される。その後に、白色副画素Ｗ２１の１行下に配された白色副画素Ｗ２２が走査される。その後に、白色副画素Ｗ２２の１行下に配された白色副画素Ｗ２３が走査される。その後に、白色副画素Ｗ２３の１行下に配された白色副画素Ｗ２４が走査される。その後に、白色副画素Ｗ２１と同じ行においてデータ線ＤＬ２を共有し、白色副画素Ｗの

画素列とは異なる画素列に含まれる青色副画素Ｂ２１が走査される。その後に、青色副画素Ｂ２１の１行下に配された青色副画素Ｂ２２が走査される。その後に、青色副画素Ｂ２２の１行下に配された青色副画素Ｂ２３が走査される。その後に、青色副画素Ｂ２３の１行下に配された青色副画素Ｂ２４が走査される。

【０１６５】

本実施形態において、類似度判定部５５０は、画素行１３１７から１３２４までの画像データは類似していると判定している。この判定に基づき、スケジューラ５６０は、各色の副画素を８行ずつ交互に走査するように入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤおよび出力レジスタ選択信号ＯＲＳＳを生成し、生成された各信号をデータ駆動部３００に伝送する。データ駆動部３００は、受信された出力レジスタ選択信号ＯＲＳＳによって指定された順序で緑色副画素Ｇ１７～Ｇ２４、赤色副画素Ｒ１７～Ｒ２４、白色副画素Ｗ１７～Ｗ２４および青色副画素Ｂ１７～Ｂ２４に対して画像データを書き込む。

【０１６６】

本実施形態では、画像データが互いに類似する領域を構成する画素行１３１７～１３２４において、同色の副画素を連続して走査する行数をさらに大きくして、出力される画像データの信号（電圧）が不連続となる頻度をさらに低減させる。具体的には、本実施形態では、各色の副画素を８行ずつ交互に走査することで、出力される画像データの信号（電圧）が不連続となる頻度をさら低減させている。例えば、図２３に示される副画素の領域では、データ線ＤＬ１に接続された緑色副画素Ｇ９～Ｇ１６および赤色副画素Ｒ９～Ｒ１６が走査される際に、走査される副画素の色は４回変更されている。同様に、図２３に示される副画素の領域では、データ線ＤＬ２に接続された白色副画素Ｗ９～Ｗ１６および青色副画素Ｂ９～Ｂ１６が走査される際に、走査される副画素の色は４回変更されている。即ち、図２３に示される副画素の構成される領域を走査する際に、データ線ＤＬ１およびデータ線ＤＬ２により伝送される画像データの信号（電圧）の不連続性は、それぞれ４回発生し得る。一方、図２５に示される副画素の領域では、データ線ＤＬ１に接続された緑色副画素Ｇ１７～Ｇ２４および赤色副画素Ｒ１７～Ｒ２４が走査される際に、走査される副画素の色は２回のみ変更されている。同様に、図２５に示される副画素の領域では、データ線ＤＬ２に接続された白色副画素Ｗ１７～Ｗ２４および青色副画素Ｂ１７～Ｂ２４が走査される際に、走査される副画素の色は２回のみ変更されている。即ち、図２５に示される副画素の領域を走査する際に、データ線ＤＬ１およびデータ線ＤＬ２により伝送される画像データの信号（電圧）の不連続性は、それぞれ２回に低減され得る。よって、本願発明によるＤＲＤ駆動を用いた表示装置は、副画素への画像データを書き込む際の消費電力をさらに低減させることができる。

【０１６７】

なお、図２１および図２３に示される副画素への画像データの書き込み動作と比較して、図２５に示される副画素への画像データの書き込み動作では、同じ行に配された複数の副画素に対する画像データの書き込みの時間差はさらに大きくなる。しかしながら、画素行１３１７から１３２４までの画像データは互いに類似している。このため、同じ行に配された複数の副画素に対する画像データの書き込みの時間差が図２５に示される領域の画質に与える影響は、図２１および図２３に示される領域の画質に与える影響よりも小さい。よって、本発明によるＤＲＤ駆動を用いた表示装置１０は、表示画質の低下を抑制しつつ消費電力を低減させることができる。

【０１６８】

なお、表示パネル１００に表示される画像が静止画像の場合、同じ行に配された複数の副画素に対する画像データの書き込みの時間差による表示が質の低下は無視できる。よって、表示装置１０に静止画像が表示される場合には、同色の副画素を連続して走査する行数を表示パネルに含まれる画素の行の数と同一とすることができる。たとえば、表示装置１０が２１６０行の画素からなる場合、２１６０行にわたり同色の副画素を連続して走査することができる。本構成によれば、出力される画像データの信号（電圧）が不連続とな

る頻度がさらに低減され、表示装置１０の消費電力を低減させることができる。
【０１６９】
図２６は、本実施形態に係る表示装置１０の図２０に示される画素行１３１７から１３２４までの副画素を図２５に示す順序で走査する場合に、ゲート駆動部２００によりゲート線ＧＬ３３～ＧＬ４８へ印加されるゲート信号のタイミング図である。
【０１７０】
時刻ｔ３５～ｔ３６の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ３４にゲート信号が印加される。ゲート線ＧＬ３４にゲート信号が印加されると、緑色副画素Ｇ１７の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ１７の駆動素子ＤＴのゲートと緑色副画素Ｇ１７の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ１７に対する画像データに対応する。同様に、ゲート線ＧＬ３４にゲート信号が印加されると、青色副画素Ｂ１７の第１スイッチ素子Ｔ１を介して青色副画素Ｂ１７の駆動素子ＤＴのゲートと青色副画素Ｂ１７の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ１７に対する画像データに対応する。
【０１７１】
時刻ｔ３６～ｔ３７の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ３６にゲート信号が印加される。ゲート線ＧＬ３６にゲート信号が印加されると、緑色副画素Ｇ１８の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ１８の駆動素子ＤＴのゲートと緑色副画素Ｇ１８の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ１８に対する画像データに対応する。同様に、ゲート線ＧＬ３６にゲート信号が印加されると、青色副画素Ｂ１８の第１スイッチ素子Ｔ１を介して青色副画素Ｂ１８の駆動素子ＤＴのゲートと青色副画素Ｂ１８の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ１８に対する画像データに対応する。
【０１７２】
時刻ｔ３７～ｔ３８の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ３８にゲート信号が印加される。ゲート線ＧＬ３８にゲート信号が印加されると、緑色副画素Ｇ１９の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ１９の駆動素子ＤＴのゲートと緑色副画素Ｇ１９の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ１９に対する画像データに対応する。同様に、ゲート線ＧＬ３８にゲート信号が印加されると、青色副画素Ｂ１９の第１スイッチ素子Ｔ１を介して青色副画素Ｂ１９の駆動素子ＤＴのゲートと青色副画素Ｂ１９の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ１９に対する画像データに対応する。
【０１７３】
時刻ｔ３８～ｔ３９の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ４０にゲート信号が印加される。ゲート線ＧＬ４０にゲート信号が印加されると、緑色副画素Ｇ２０の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ２０の駆動素子ＤＴのゲートと緑色副画素Ｇ２０の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ２０に対する画像データに対応する。同様に、ゲート線ＧＬ４０にゲート信号が印加されると、青色副画素Ｂ２０の第１スイッチ素子Ｔ１を介して青色副画素Ｂ２０の駆動素子ＤＴのゲートと青色副画素Ｂ２０の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ２０に対する画像データに対応する。
【０１７４】

時刻ｔ３９～ｔ４０の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ３３にゲート信号が印加される。ゲート線ＧＬ３３にゲート信号が印加されると、赤色副画素Ｒ１７の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ１７の駆動素子ＤＴのゲートと赤色副画素Ｒ１１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ１７に対する画像データに対応する。同様に、ゲート線ＧＬ３３にゲート信号が印加されると、白色副画素Ｗ１７の第１スイッチ素子Ｔ１を介して白色副画素Ｗ１７の駆動素子ＤＴのゲートと白色副画素Ｗ１７の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ１７に対する画像データに対応する。

【０１７５】

時刻ｔ４０～ｔ４１の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ３５にゲート信号が印加される。ゲート線ＧＬ３５にゲート信号が印加されると、赤色副画素Ｒ１８の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ１８の駆動素子ＤＴのゲートと赤色副画素Ｒ１８の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ１８に対する画像データに対応する。同様に、ゲート線ＧＬ３５にゲート信号が印加されると、白色副画素Ｗ１８の第１スイッチ素子Ｔ１を介して白色副画素Ｗ１８の駆動素子ＤＴのゲートと白色副画素Ｗ１８の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ１８に対する画像データに対応する。

【０１７６】

時刻ｔ４１～ｔ４２の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ３７にゲート信号が印加される。ゲート線ＧＬ３７にゲート信号が印加されると、赤色副画素Ｒ１９の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ１９の駆動素子ＤＴのゲートと赤色副画素Ｒ１９の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ１９に対する画像データに対応する。同様に、ゲート線ＧＬ３７にゲート信号が印加されると、白色副画素Ｗ１９の第１スイッチ素子Ｔ１を介して白色副画素Ｗ１９の駆動素子ＤＴのゲートと白色副画素Ｗ１９の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ１９に対する画像データに対応する。

【０１７７】

時刻ｔ４２～ｔ４３の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ３９にゲート信号が印加される。ゲート線ＧＬ３９にゲート信号が印加されると、赤色副画素Ｒ２０の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ２０の駆動素子ＤＴのゲートと赤色副画素Ｒ２０の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ２０に対する画像データに対応する。同様に、ゲート線ＧＬ３９にゲート信号が印加されると、白色副画素Ｗ２０の第１スイッチ素子Ｔ１を介して白色副画素Ｗ２０の駆動素子ＤＴのゲートと白色副画素Ｗ２０の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ２０に対する画像データに対応する。

【０１７８】

時刻ｔ４３～ｔ４４の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ４１にゲート信号が印加される。ゲート線ＧＬ４１にゲート信号が印加されると、赤色副画素Ｒ２１の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ２１の駆動素子ＤＴのゲートと赤色副画素Ｒ２１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ２１に対する画像データに対応する。同様に、ゲート線ＧＬ４１にゲート信号

が印加されると、白色副画素Ｗ２１の第１スイッチ素子Ｔ１を介して白色副画素Ｗ２１の駆動素子ＤＴのゲートと白色副画素Ｗ２１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ２１に対する画像データに対応する。

【０１７９】

時刻ｔ４４～ｔ４５の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ４３にゲート信号が印加される。ゲート線ＧＬ４３にゲート信号が印加されると、赤色副画素Ｒ２２の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ２２の駆動素子ＤＴのゲートと赤色副画素Ｒ２２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ２２に対する画像データに対応する。同様に、ゲート線ＧＬ４３にゲート信号が印加されると、白色副画素Ｗ２２の第１スイッチ素子Ｔ１を介して白色副画素Ｗ２２の駆動素子ＤＴのゲートと白色副画素Ｗ２２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ２２に対する画像データに対応する。

【０１８０】

時刻ｔ４５～ｔ４６の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ４５にゲート信号が印加される。ゲート線ＧＬ４５にゲート信号が印加されると、赤色副画素Ｒ２３の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ２３の駆動素子ＤＴのゲートと赤色副画素Ｒ２３の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ２３に対する画像データに対応する。同様に、ゲート線ＧＬ４５にゲート信号が印加されると、白色副画素Ｗ２３の第１スイッチ素子Ｔ１を介して白色副画素Ｗ２３の駆動素子ＤＴのゲートと白色副画素Ｗ２３の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ２３に対する画像データに対応する。

【０１８１】

時刻ｔ４６～ｔ４７の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ４７にゲート信号が印加される。ゲート線ＧＬ４７にゲート信号が印加されると、赤色副画素Ｒ２４の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ２４の駆動素子ＤＴのゲートと赤色副画素Ｒ２４の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ２４に対する画像データに対応する。同様に、ゲート線ＧＬ４７にゲート信号が印加されると、白色副画素Ｗ２４の第１スイッチ素子Ｔ１を介して白色副画素Ｗ２４の駆動素子ＤＴのゲートと白色副画素Ｗ２４の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ２４に対する画像データに対応する。

【０１８２】

時刻ｔ４７～ｔ４８の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ４２にゲート信号が印加される。ゲート線ＧＬ４２にゲート信号が印加されると、緑色副画素Ｇ２１の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ２１の駆動素子ＤＴのゲートと緑色副画素Ｇ２１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ２１に対する画像データに対応する。同様に、ゲート線ＧＬ４２にゲート信号が印加されると、青色副画素Ｂ２１の第１スイッチ素子Ｔ１を介して青色副画素Ｂ２１の駆動素子ＤＴのゲートと青色副画素Ｂ２１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ２１に対する画像データに対応する。

【０１８３】

時刻ｔ４８～ｔ４９の期間において、変調されたデータイネーブル信号ｔＤＥに同期し

てゲート線ＧＬ４４にゲート信号が印加される。ゲート線ＧＬ４４にゲート信号が印加されると、緑色副画素Ｇ２２の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ２２の駆動素子ＤＴのゲートと緑色副画素Ｇ２２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ２２に対する画像データに対応する。同様に、ゲート線ＧＬ４４にゲート信号が印加されると、青色副画素Ｂ２２の第１スイッチ素子Ｔ１を介して青色副画素Ｂ２２の駆動素子ＤＴのゲートと青色副画素Ｂ２２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ２２に対する画像データに対応する。

【０１８４】

時刻ｔ４９～ｔ５０の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ４６にゲート信号が印加される。ゲート線ＧＬ４６にゲート信号が印加されると、緑色副画素Ｇ２３の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ２３の駆動素子ＤＴのゲートと緑色副画素Ｇ２３の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ２３に対する画像データに対応する。同様に、ゲート線ＧＬ４６にゲート信号が印加されると、青色副画素Ｂ２３の第１スイッチ素子Ｔ１を介して青色副画素Ｂ２３の駆動素子ＤＴのゲートと青色副画素Ｂ２３の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ２３に対する画像データに対応する。

【０１８５】

時刻ｔ５０～ｔ５１の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ４８にゲート信号が印加される。ゲート線ＧＬ４８にゲート信号が印加されると、緑色副画素Ｇ２４の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ２４の駆動素子ＤＴのゲートと緑色副画素Ｇ２４の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ２４に対する画像データに対応する。同様に、ゲート線ＧＬ４８にゲート信号が印加されると、青色副画素Ｂ２４の第１スイッチ素子Ｔ１を介して青色副画素Ｂ２４の駆動素子ＤＴのゲートと青色副画素Ｂ２４の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ２４に対する画像データに対応する。

【０１８６】

ゲート駆動部２００は、スケジューラ５６０からのゲート線指定信号ＧＬ＿Ｎｕｍに基づき、時刻ｔ３５～ｔ５１の期間において、図２５に示される順序でゲート線ＧＬ３３～ＧＬ４８にゲート信号を印加する。データ駆動部３００は、時刻ｔ３５～ｔ５１の期間において、ゲート線ＧＬ３３～ＧＬ４８に印加されたゲート信号に応じて、共有されたデータ線ＤＬ１を介して緑色副画素Ｇおよび赤色副画素Ｒにデータ信号を書き込む。また、データ駆動部３００は、時刻ｔ３５～ｔ５１の期間において、ゲート線ＧＬ３３～ＧＬ４８に印加されたゲート信号に応じて、共有されたデータ線ＤＬ２を介して白色副画素Ｗおよび青色副画素Ｂにデータ信号を書き込む。図２６に示されるタイミング図によれば、データ駆動部３００は、画素行１３１７～１３２４において、図２５に示す順序にて緑色副画素Ｇ１７～Ｇ２４、赤色副画素Ｒ１７～Ｒ２４、白色副画素Ｗ１７～Ｗ２４および青色副画素Ｂ１７～Ｂ２４にデータ信号を書き込む。

【０１８７】

図２６に示されるタイミング図によれば、データ駆動部３００は、画素行１３１７～１３２４において、図２５に示す順序にて緑色副画素Ｇ１７～Ｇ２４、赤色副画素Ｒ１７～Ｒ２４、白色副画素Ｗ１７～Ｗ２４および青色副画素Ｂ１７～Ｂ２４にデータ信号を書き込む。即ち、図２５に示される副画素の領域を走査する際に、データ線ＤＬ１およびデータ線ＤＬ２により伝送される画像データの信号（電圧）の不連続性は、それぞれ２回に低減され得る。よって、本願発明によるＤＲＤ駆動を用いた表示装置は、副画素への画像デ

ータを書き込む際の消費電力をさらに低減させることができる。

【０１８８】

図２７は、図２０に示す表示画像を表示する際の、本実施形態に係る表示装置１０の走査時間とデータ信号の書き込みが行われる副画素の行との間の関係を示すグラフである。

【０１８９】

本実施形態において、類似度判定部５５０は、画素行１３０１から１３０８までの画像データは類似しないと判定している。この判定に基づき、データ駆動部３００は、画素行１３０１から１３０８までの画像領域において、緑色副画素Ｇと赤色副画素Ｒとを２行ずつ交互に走査する。同様に、データ駆動部３００は、画素行１３０１から１３０８までの画像領域に対して、白色副画素Ｗと青色副画素Ｂとを２行ずつ交互に走査する。結果として、画素行１３０１から１３０８までの画像領域において、同じ行に配された緑色副画素Ｇと赤色副画素Ｒとの間の画像データの書き込みの時間差は、図２７に示されるように、１［ａ．ｕ．］である。同様に、画素行１３０１から１３０８までの画像領域において、同じ行に配された白色副画素Ｗと青色副画素Ｂとの間の画像データの書き込みの時間差は、図２７に示されるように、１［ａ．ｕ．］である。

【０１９０】

また、類似度判定部５５０は、画素行１３０９から１３１２および画素行１３１３から１３１６までの画像データは類似すると判定している。この判定に基づき、データ駆動部３００は、画素行１３０９から１３１６までの画像領域において、緑色副画素Ｇと赤色副画素Ｒとを４行ずつ交互に走査する。同様に、データ駆動部３００は、画素行１３０９から１３１６までの画像領域に対して、白色副画素Ｗと青色副画素Ｂとを４行ずつ交互に走査する。結果として、画素行１３０９から１３１６までの画像領域において、同じ行に配された緑色副画素Ｇと赤色副画素Ｒとの間の画像データの書き込みの時間差は、図２７に示されるように、２［ａ．ｕ．］である。同様に、画素行１３０９から１３１６までの画像領域において、同じ行に配された白色副画素Ｗと青色副画素Ｂとの間の画像データの書き込みの時間差は、図２７に示されるように、２［ａ．ｕ．］である。

【０１９１】

また、類似度判定部５５０は、画素行１３１７から１３２４までの画像データは類似すると判定している。この判定に基づき、データ駆動部３００は、画素行１３１７から１３２４までの画像領域において、緑色副画素Ｇと赤色副画素Ｒとを８行ずつ交互に走査する。同様に、データ駆動部３００は、画素行１３１７から１３２４までの画像領域に対して、白色副画素Ｗと青色副画素Ｂとを８行ずつ交互に走査する。結果として、画素行１３１７から１３２４までの画像領域において、同じ行に配された緑色副画素Ｇと赤色副画素Ｒとの間の画像データの書き込みの時間差は、図２７に示されるように、４［ａ．ｕ．］である。同様に、画素行１３１７から１３２４までの画像領域において、同じ行に配された白色副画素Ｗと青色副画素Ｂとの間の画像データの書き込みの時間差は、図２７に示されるように、４［ａ．ｕ．］である。

【０１９２】

本実施形態では、画素行の間の画像データの類似度を判定し、判定された類似度に基づいて同色の副画素を連続して走査する行数を決定している。画素行の間の画像データが類似しない画素行の領域では、同色の副画素を連続して走査する行数が小さく設定される。この結果、共有されたデータ線に接続され、同じ行に配された他の色の副画素との間の画像データの書き込みの時間差が小さくなる。よって、本発明によれば、ＤＲＤを用いた表示装置において画素行の間で類似していない領域を表示する際に、同じ行に配された複数の副画素の間における画像データの書き込みの時間差に起因する表示画質の低下を抑制させることができる。一方、画素行の間の画像データが類似する画素行の領域では、同じ行に配された副画素の間における画像データの書き込みの時間差による表示画質への影響は小さい。よって、画素行の間の画像データが類似する画素行の領域では、同色の副画素を連続して走査する行数が大きく設定される。即ち、画素行の間の画像データが類似する画素行の領域では、データ線を介して伝送される画像データの信号（電圧）の不連続性が低

減される。よって、本発明によるＤＲＤ駆動を用いた表示装置１０は、表示画質の低下を抑制しつつ消費電力を低減させることができる。

【０１９３】

［第２実施形態］

本実施形態では、第１実施形態に係る類似度判定部５５０の変形例を説明する。第１差分算出部５５１、第２差分算出部５５２、第１積算部５５３、第２積算部５５４、第１閾値判定部５５７、第２閾値判定部５５８およびリセット判定部５５９の構成および機能は第１実施形態と同様であるため説明を省略する。

【０１９４】

図２８は、本実施形態に係る類似度判定部５５０の概略構成を示すブロック図である。本実施形態に係る類似度判定部５５０は、第１閾値調整部５５５および第２閾値調整部５５６をさらに含む。

【０１９５】

第１閾値調整部５５５は、第１積算部５５３から奇数列に係る第ｘ行のＲＧＢＷ値と奇数列に係る第ｘ－１行のＲＧＢＷ値との間の差分の積算値Ｓｕｍ＿Ｏを受信する。第１閾値調整部５５５は、受信された積算値Ｓｕｍ＿Ｏに基づき、第１閾値判定部５５７に設定されている閾値を適切な値に調整する。例えば、第１閾値調整部５５５は、学習データを用いた学習済みモデルに基づく機械学習法、類似度判定部５５０に入力される積算値から最適な閾値を導出するクラスタリング解析による分類手法等を用いて、第１閾値判定部５５７に設定されている閾値を最適な値に調整する。第１閾値調整部５５５は、最適な値に調整された閾値Ｔｈ＿Ｏを第１閾値判定部５５７に伝送する。第１閾値判定部５５７は、第１積算部５５３から受信された積算値Ｓｕｍ＿Ｏが最適な値に調整された閾値Ｔｈ＿Ｏ未満であると判断した場合に、奇数列に係る第ｘ行の画像データは奇数列に係る第ｘ－１行の画像データと類似していると判定する。一方、第１閾値判定部５５７は、第１積算部５５３から受信した積算値Ｓｕｍ＿Ｏが最適な値に調整された閾値Ｔｈ＿Ｏ以上であると判断した場合に、奇数列に係る第ｘ行の画像データは奇数列に係る第ｘ－１行の画像データと類似していないと判定する。

【０１９６】

同様に、第２閾値調整部５５６は、第２積算部５５４から偶数列に係る第ｘ行のＲＧＢＷ値と偶数列に係る第ｘ－１行のＲＧＢＷ値との間の差分の積算値Ｓｕｍ＿Ｅを受信する。第２閾値調整部５５６は、受信された積算値Ｓｕｍ＿Ｅに基づき、第２閾値判定部５５８に設定されている閾値を適切な値に調整する。例えば、第２閾値調整部５５６は、学習データを用いた学習済みモデルに基づく機械学習法、類似度判定部５５０に入力される積算値から最適な閾値を導出するクラスタリング解析による分類手法等を用いて、第２閾値判定部５５８に設定されている閾値を最適な値に調整する。第２閾値調整部５５６は、最適な値に調整された閾値Ｔｈ＿Ｅを第２閾値判定部５５８に伝送する。第２閾値判定部５５８は、第２積算部５５４から受信された積算値Ｓｕｍ＿Ｅが最適な値に調整された閾値Ｔｈ＿Ｅ未満であると判断した場合に、偶数列に係る第ｘ行の画像データは偶数列に係る第ｘ－１行の画像データと類似していると判定する。一方、第２閾値判定部５５８は、第２積算部５５４から受信した積算値Ｓｕｍ＿Ｅが最適な値に調整された閾値Ｔｈ＿Ｅ以上であると判断した場合に、偶数列に係る第ｘ行の画像データは偶数列に係る第ｘ－１行の画像データと類似していないと判定する。

【０１９７】

本実施形態において、類似度判定部５５０は、第１閾値調整部５５５および第２閾値調整部５５６を含むものとしたが、本発明は上記構成に限定されない。例えば、第１閾値調整部５５５および第２閾値調整部５５６は単一の閾値調整部として構成されることができる。この場合、単一の閾値調整部は、第１積算部５５３および第２積算部５５４の双方から奇数列および偶数列に係る差分の積算値Ｓｕｍ＿Ｏ、Ｓｕｍ＿Ｅを受信する。単一の閾値調整部は、受信された各積算値に基づき、第１閾値判定部５５７および第２閾値判定部５５８に設定されている各閾値を最適な値にそれぞれ調整する。単一の閾値調整部は、最

適な値に調整された各閾値Ｔｈ＿Ｏ、Ｔｈ＿Ｅを、第１閾値判定部５５７および第２閾値判定部５５８にそれぞれ伝送する。

【０１９８】

図２９は、本実施形態に係る第１閾値調整部５５５および第２閾値調整部５５６の構成の一例を示すブロック図である。本実施形態において、第１閾値調整部５５５は、学習用積算値Ｓｕｍ＿Ｌｅａｒｎ、学習用閾値Ｔｈ＿ｌｅａｒｎおよび奇数列に係る第ｘ行のＲＧＢＷ値と奇数列に係る第ｘ－１行のＲＧＢＷ値との間の差分の積算値Ｓｕｍ＿Ｏを受信するニューラルネットワークを含む。第１閾値調整部５５５は、例えば種々の画像データから学習用積算値Ｓｕｍ＿Ｌｅａｒｎ、学習用閾値Ｔｈ＿ｌｅａｒｎおよび積算値Ｓｕｍ＿Ｏを算出し、算出された値を学習データとして読み込む。第１閾値調整部５５５は、受信された学習データについて重みづけを行い、学習済モデルを生成する。第１閾値調整部５５５は、生成された学習済モデルに基づき、第１閾値判定部５５７に設定されている閾値を最適な値に調整された閾値ＴＨ＿Ｏに調整する。同様に、第２閾値調整部５５６は、学習用積算値Ｓｕｍ＿Ｌｅａｒｎ、学習用閾値Ｔｈ＿ｌｅａｒｎおよび偶数列に係る第ｘ行のＲＧＢＷ値と偶数列に係る第ｘ－１行のＲＧＢＷ値との間の差分の積算値Ｓｕｍ＿Ｅを受信するニューラルネットワークを含む。第２閾値調整部５５６は、学習用積算値Ｓｕｍ＿Ｌｅａｒｎ、学習用閾値Ｔｈ＿ｌｅａｒｎおよび積算値Ｓｕｍ＿Ｅを学習データとして読み込む。第２閾値調整部５５６は、受信された学習データについて重みづけを行い、学習済モデルを生成する。第２閾値調整部５５６は、生成された学習済モデルに基づき、第２閾値判定部５５８に設定されている閾値を最適な値に調整された閾値ＴＨ＿Ｅに調整する。

【０１９９】

図３０は、本実施形態に係る類似度判定部５５０により調整された閾値の一例を示すグラフである。図３０に示される例において、表示パネル１００の上部および下部において、各行の間のＲＧＢＷ値の差分の積算値ＳＵＭは表示パネル１００の中央部における差分の積算値ＳＵＭと比較して小さい。即ち、表示パネル１００の上部および下部における各行の間の画像データは、表示パネル１００の中央部における各行の間の画像データと比較して類似している。しかしながら、図３０に示される例においては、第１閾値判定部５５７および第２閾値判定部５５８には、表示パネル１００の上部および下部における差分の積算値ＳＵＭよりも小さい既定の閾値Ｔｈ＿ＯＧＬが設定されている。よって、閾値が調整されない場合、第１閾値判定部５５７および第２閾値判定部５５８は、既定の閾値Ｔｈ＿ＯＧＬに基づき、表示パネル１００の各行に書き込まれる画像データがすべての領域にわたって類似しない、と判定する。第１閾値判定部５５７および第２閾値判定部５５８の判定に基づき、スケジューラ５６０は、表示画質の低下を抑制させるために、同じ色の副画素を連続して走査する行数を小さくするように、データ駆動部３００に信号ＩＲＳＳ，ＶＡＬＩＤ，ＯＲＳＳを伝送する。結果として、出力される画像データの信号（電圧）が不連続となる頻度が増加し、表示装置１０の消費電力を増大させる。

【０２００】

本実施形態では、類似度判定部５５０に含まれる第１閾値調整部５５５および第２閾値調整部５５６は、学習データに基づき生成された学習済モデルに基づき、第１閾値判定部５５７および第２閾値判定部５５８に設定されている既定の閾値Ｔｈ＿ＯＧＬを最適な値に調整された閾値ＴＨ＿ＯおよびＴＨ＿Ｅにそれぞれ調整する。第１閾値調整部５５５および第２閾値調整部５５６によって既定の閾値Ｔｈ＿ＯＧＬが最適な値に調整された閾値ＴＨ＿ＯおよびＴＨ＿Ｅにそれぞれ変更された結果として、第１閾値判定部５５７および第２閾値判定部５５８は、表示パネル１００の上部および下部における各行の間の画像データが類似していると判定する。第１閾値判定部５５７および第２閾値判定部５５８の判定に基づき、スケジューラ５６０は、消費電力を低下させるために、同じ色の副画素を連続して走査する行数を大きくするように、データ駆動部３００に信号ＩＲＳＳ，ＶＡＬＩＤ，ＯＲＳＳを伝送する。結果として、出力される画像データの信号（電圧）が不連続となる頻度が低下し、表示装置１０の消費電力を低減させる。したがって、本実施形態によ

れば、ＤＲＤ駆動を用いた表示装置が副画素への画像データを書き込む際の消費電力をさらに低減させることができる。

【０２０１】

［第３実施形態］

本実施形態では、第１実施形態に係る類似度判定部５５０の別の変形例を説明する。第１差分算出部５５１、第２差分算出部５５２、第１積算部５５３、第２積算部５５４、第１閾値判定部５５７、第２閾値判定部５５８およびリセット判定部５５９の構成および機能のうち第１実施形態と同様の部分については説明を省略する。

【０２０２】

図３１は、本実施形態に係る類似度判定部５５０の概略構成を示すブロック図である。本実施形態に係る類似度判定部５５０は、第１差分算出部５５１、第２差分算出部５５２、第１積算部５５３、第２積算部５５４、第１閾値判定部５５７、第２閾値判定部５５８およびリセット判定部５５９を含む。

【０２０３】

第２差分算出部５５２は、偶数列に配された副画素Ｐに係る第ｘ行の画像データＲＧＢＷ＿Ｅ（ｘ）を行メモリ部５２０から受信する。また、第１差分算出部５５１は、奇数列に配された副画素Ｐに係る第ｘ－１行から所定の行数ｋまでの画像データＲＧＢＷ＿Ｏ（ｘ－１，ｘ－２，…，ｘ－ｋ）を行メモリ部５２０から受信する（ｋはｘ未満の正の整数、以下同様）。受信された画像データＲＧＢＷ＿Ｏ（ｘ－１，ｘ－２，…，ｘ－ｋ）のそれぞれは、画像データＲＧＢＷ＿Ｏ（ｘ）の１行前～ｋ行前の画像データであり、例えば第ｘ－１行～第ｘ－ｋ行に配された緑色副画素Ｇおよび白色副画素Ｗに書き込まれる画像データのＲＧＢＷ値である。第１差分算出部５５１は、受信した第ｘ行の画像データＲＧＢＷ＿Ｏ（ｘ）と第ｘ－１行の画像データＲＧＢＷ＿Ｏ（ｘ－１）との間の差分Ｄｉｆｆ＿Ｏ（１）を計算し、計算の結果を第１積算部５５３に伝送する。同様に、第１差分算出部５５１は、受信した第ｘ行の画像データＲＧＢＷ＿Ｏ（ｘ）と第ｘ－２行～第ｘ－ｋ行の画像データＲＧＢＷ＿Ｏ（ｘ－２）～ＲＧＢＷ＿Ｏ（ｘ－ｋ）のそれぞれとの間の各差分Ｄｉｆｆ＿Ｏ（２）～Ｄｉｆｆ＿Ｏ（ｋ）を計算し、計算の結果を第１積算部５５３に伝送する。

【０２０４】

第１積算部５５３は、各奇数列における第ｘ行のＲＧＢＷ値と第ｘ－１行～第ｘ－ｋ行のＲＧＢＷ値のそれぞれとの間の各差分Ｄｉｆｆ＿Ｏ（１）～Ｄｉｆｆ＿Ｏ（ｋ）のデータを第１差分算出部５５１から受信する。第１積算部５５３は、第１差分算出部５５１から受信した各奇数列の画像データの各差分を積算する。例えば表示パネル１００に含まれる奇数列の副画素の列数がｍである場合、第１積算部５５３は、第ｘ行のＲＧＢＷ値と第ｘ－１行のＲＧＢＷ値との間の差分について、奇数列の数に対応した（ｍ－１）個の差分値を第１差分算出部５５１から受信する。第１積算部５５３は、第１差分算出部５５１から受信した第ｘ行のＲＧＢＷ値と第ｘ－１行のＲＧＢＷ値との間の差分を、（ｍ－１）個の各列間について積算する。第１積算部５５３は、差分を積算した値Ｓｕｍ＿Ｏ（１）を第１閾値判定部５５７に伝送する。同様に、第１積算部５５３は、第ｘ行のＲＧＢＷ値と第ｘ－２行～第ｘ－ｋ行のＲＧＢＷ値のそれぞれとの間の各差分について、奇数列の数に対応した（ｍ－１）個の差分値を第１差分算出部５５１から受信する。第１積算部５５３は、第１差分算出部５５１から受信した第ｘ行のＲＧＢＷ値と第ｘ－２行～第ｘ－ｋ行のＲＧＢＷ値のそれぞれとの間の差分を、（ｍ－１）個の各列間について積算する。第１積算部５５３は、差分を積算した値Ｓｕｍ＿Ｏ（２）～Ｓｕｍ＿Ｏ（ｋ）のそれぞれを第１閾値判定部５５７に伝送する。

【０２０５】

第１閾値判定部５５７は、第１積算部５５３から奇数列に係る第ｘ行のＲＧＢＷ値と奇数列に係る第ｘ－１行～第ｘ－ｋ行のＲＧＢＷ値との間の差分Ｄｉｆｆ＿Ｏの積算値Ｓｕｍ＿Ｏ（１）～Ｓｕｍ＿Ｏ（ｋ）を受信する。第１閾値判定部５５７は、受信されたある行についての積算値が所定の閾値未満であると判断した場合に、奇数列に係る第ｘ行の画

像データは奇数列に係る当該行の画像データに類似していると判定する。例えば、第１閾値判定部５５７は、受信された積算値Ｓｕｍ＿Ｏ（ｋ）が所定の閾値未満であると判断した場合に、奇数列に係る第ｘ行の画像データは奇数列に係る第ｘ－ｋ行の画像データに類似していると判定する。一方、第１閾値判定部５５７は、受信されたある行についての積算値が所定の閾値以上であると判断した場合に、奇数列に係る第ｘ行の画像データは奇数列に係る当該行の画像データに類似していないと判定する。例えば、第１閾値判定部５５７は、受信された積算値Ｓｕｍ＿Ｏ（ｋ）が所定の閾値以上であると判断した場合に、奇数列に係る第ｘ行の画像データは奇数列に係る第ｘ－ｋ行の画像データに類似していないと判定する。第１閾値判定部５５７は、判定の結果である信号ＲＥＳ＿Ｏ（ｘ）をスケジューラ５６０に伝送する。また、第１閾値判定部５５７は、奇数列に係るある行の画像データが奇数列に係る第ｘ行の画像データに類似すると判定した場合に、当該行を特定する信号Ｎｕｍ＿Ｏを信号ＲＥＳ＿Ｏ（ｘ）とともに送信する。

【０２０６】

第２差分算出部５５２は、偶数列に配された副画素Ｐに係る第ｘ行の画像データＲＧＢＷ＿Ｅ（ｘ）を行メモリ部５２０から受信する。また、第２差分算出部５５２は、偶数列に配された副画素Ｐに係る第ｘ－１行から所定の行数ｋまでの画像データＲＧＢＷ＿Ｅ（ｘ－１，ｘ－２，…，ｘ－ｋ）を行メモリ部５２０から受信する。受信された画像データＲＧＢＷ＿Ｅ（ｘ－１，ｘ－２，…，ｘ－ｋ）のそれぞれは、画像データＲＧＢＷ＿Ｅ（ｘ）の１行前～ｋ行前の画像データであり、例えば第ｘ－１行～第ｘ－ｋ行に配された赤色副画素Ｒおよび青色副画素Ｂに書き込まれる画像データのＲＧＢＷ値である。第２差分算出部５５２は、受信した第ｘ行の画像データＲＧＢＷ＿Ｅ（ｘ）と第ｘ－１行の画像データＲＧＢＷ＿Ｅ（ｘ－１）との間の差分Ｄｉｆｆ＿Ｅ（１）を計算し、計算の結果を第２積算部５５４に伝送する。同様に、第２差分算出部５５２は、受信した第ｘ行の画像データＲＧＢＷ＿Ｅ（ｘ）と第ｘ－２行～第ｘ－ｋ行の画像データＲＧＢＷ＿Ｅ（ｘ－２）～ＲＧＢＷ＿Ｅ（ｘ－ｋ）のそれぞれとの間の各差分Ｄｉｆｆ＿Ｅ（２）～Ｄｉｆｆ＿Ｅ（ｋ）を計算し、計算の結果を第２積算部５５４に伝送する。

【０２０７】

第２積算部５５４は、各偶数列における第ｘ行のＲＧＢＷ値と第ｘ－１行～第ｘ－ｋ行のＲＧＢＷ値のそれぞれとの間の各差分Ｄｉｆｆ＿Ｅ（１）～Ｄｉｆｆ＿Ｅ（ｋ）のデータを第２差分算出部５５２から受信する。第２積算部５５４は、第２差分算出部５５２から受信した各偶数列の画像データの各差分を積算する。例えば表示パネル１００に含まれる偶数列の副画素の列数がｍである場合、第２積算部５５４は、第ｘ行のＲＧＢＷ値と第ｘ－１行のＲＧＢＷ値との間の差分について、偶数列の数に対応した（ｍ－１）個の差分値を第２差分算出部５５２から受信する。第２積算部５５４は、第２差分算出部５５２から受信した第ｘ行のＲＧＢＷ値と第ｘ－１行のＲＧＢＷ値との間の差分を、（ｍ－１）個の各列間について積算する。第２積算部５５４は、差分を積算した値Ｓｕｍ＿Ｅ（１）を第２閾値判定部５５８に伝送する。同様に、第２積算部５５４は、第ｘ行のＲＧＢＷ値と第ｘ－２行～第ｘ－ｋ行のＲＧＢＷ値のそれぞれとの間の各差分について、偶数列の数に対応した（ｍ－１）個の差分値を第２差分算出部５５２から受信する。第２積算部５５４は、第２差分算出部５５２から受信した第ｘ行のＲＧＢＷ値と第ｘ－２行～第ｘ－ｋ行のＲＧＢＷ値のそれぞれとの間の差分を、（ｍ－１）個の各列間について積算する。第２積算部５５４は、差分を積算した値Ｓｕｍ＿Ｅ（２）～Ｓｕｍ＿Ｅ（ｋ）のそれぞれを第２閾値判定部５５８に伝送する。

【０２０８】

第２閾値判定部５５８は、第２積算部５５４から偶数列に係る第ｘ行のＲＧＢＷ値と偶数列に係る第ｘ－１行～第ｘ－ｋ行のＲＧＢＷ値との間の差分Ｄｉｆｆ＿Ｅの積算値Ｓｕｍ＿Ｅ（１）～Ｓｕｍ＿Ｅ（ｋ）を受信する。第２閾値判定部５５８は、受信されたある行についての積算値が所定の閾値未満であると判断した場合に、偶数列に係る第ｘ行の画像データは偶数列に係る当該行の画像データに類似していると判定する。例えば、第２閾値判定部５５８は、受信された積算値Ｓｕｍ＿Ｅ（ｋ）が所定の閾値未満であると判断し

た場合に、偶数列に係る第ｘ行の画像データは偶数列に係る第ｘ－ｋ行の画像データに類似していると判定する。一方、第２閾値判定部５５８は、受信されたある行についての積算値が所定の閾値以上であると判断した場合に、偶数列に係る第ｘ行の画像データは偶数列に係る当該行の画像データに類似していないと判定する。例えば、第２閾値判定部５５８は、受信された積算値Ｓｕｍ＿Ｅ（ｋ）が所定の閾値以上であると判断した場合に、偶数列に係る第ｘ行の画像データは偶数列に係る第ｘ－ｋ行の画像データに類似していないと判定する。第２閾値判定部５５８は、判定の結果である信号ＲＥＳ＿Ｅ（ｘ）をスケジューラ５６０に伝送する。また、第２閾値判定部５５８は、偶数列に係るある行の画像データが偶数列に係る第ｘ行の画像データに類似すると判定した場合に、当該行を特定する信号Ｎｕｍ＿Ｅを信号ＲＥＳ＿Ｅ（ｘ）とともに送信する。

【０２０９】

以下に、本実施形態に係る表示装置１０に表示される画像に基づいて変更される副画素を走査する順序について説明する。図３２は、本実施形態に係る表示装置１０に表示される画像の一例である。表示装置１０に含まれる表示パネル１００は、複数の画素行２５０１～２５０８を表示している。本実施形態に係る類似度判定部５５０は、画素行２５０４に含まれる奇数列に配された副画素に書き込まれた画素データが、３行上に位置する画素行２５０１に含まれる奇数列に配された副画素に書き込まれた画像データに類似すると判定している。また、本実施形態に係る類似度判定部５５０は、画素行２５０６に含まれる奇数列に配された副画素に書き込まれた画素データが、２行上に位置する画素行２５０４に含まれる奇数列に配された副画素に書き込まれた画像データに類似すると判定している。一方、本実施形態に係る類似度判定部５５０は、画素行２５０２、２５０３、２５０５、２５０７、２５０８に含まれる奇数列および偶数列に配された副画素に書き込まれた画像データが、他の画素行に含まれる奇数列および偶数列に配された副画素に書き込まれた画像データのいずれにも類似しないと判定している。

【０２１０】

図３３は、本実施形態に係るスケジューラ５６０への入力の例を示す表である。図３３には、図３２に示される画素行２５０１から画素行２５０８までについて、本実施形態に係る類似度判定部５５０からスケジューラ５６０へ入力される信号ＲＥＳ＿Ｏ、Ｎｕｍ＿Ｏ、ＲＥＳ＿Ｅ、Ｎｕｍ＿Ｅの値の一例が示されている。図３３に示されるように、本例では、類似度判定部５５０は、奇数列についての出力信号ＲＥＳ＿Ｏとして、画素行２５０４および画素行２５０６に対して１をスケジューラ５６０に対して伝送する。さらに、類似度判定部５５０は、画素行２５０４および画素行２５０６についての出力信号ＲＥＳ＿Ｏとともに、類似する画像データを有すると判定された行を特定する信号Ｎｕｍ＿Ｏを伝送する。具体的には、本実施形態に係る類似度判定部５５０は、画素行２５０４の奇数列に配された副画素に書き込まれた画像データが画素行２５０１の奇数列に配された副画素に書き込まれた画像データと類似していることを示す判定結果をスケジューラ５６０に伝送する。同様に、本実施形態に係る類似度判定部５５０は、画素行２５０６の奇数列に配された副画素に書き込まれた画像データが画素行２５０４の奇数列に配された副画素に書き込まれた画像データと類似していることを示す判定結果をスケジューラ５６０に伝送する。一方、類似度判定部５５０は、画素行２５０４、画素行２５０６についての出力信号ＲＥＳ＿Ｏ以外の信号ＲＥＳ＿Ｏ、ＲＥＳ＿Ｅとして０をスケジューラ５６０に対して伝送する。即ち、類似度判定部５５０は、画素行２５０４、２５０６の奇数列に配された副画素に書き込まれた画像データ以外の画素データが他の画素行の画像データに類似していないことを示す判定結果をスケジューラ５６０に伝送する。

【０２１１】

スケジューラ５６０は、図３３に示される信号ＲＥＳ＿Ｏ、Ｎｕｍ＿Ｏ、ＲＥＳ＿Ｅ、Ｎｕｍ＿Ｅを類似度判定部５５０から受信する。スケジューラ５６０は、受信された信号ＲＥＳ＿Ｏ、Ｎｕｍ＿Ｏ、ＲＥＳ＿Ｅ、Ｎｕｍ＿Ｅに基づいて、入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤ、出力レジスタ選択信号ＯＲＳＳ、ゲート線指定信号ＧＬ＿Ｎｕｍを生成する。スケジューラ５６０は、は、生成された入力レジスタ選択信号

ＩＲＳＳ、入力有効化信号ＶＡＬＩＤ、出力レジスタ選択信号ＯＲＳＳをデータ駆動部３００へ伝送し、生成されたゲート線指定信号ＧＬ＿Ｎｕｍを信号変調部５１０へ伝送する。ゲート駆動部２００は、ゲート線指定信号ＧＬ＿Ｎｕｍに基づき、所定の順序でゲート線ＧＬにゲート信号を印加する。データ駆動部３００は、受信された入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤ、出力レジスタ選択信号ＯＲＳＳに基づき、ゲート駆動部２００からのゲート信号に同期して、出力レジスタ選択信号ＯＲＳＳによって指定された順序でデータ線ＤＬを介して各副画素に画像データを伝送する。

【０２１２】

図３４は、本実施形態に係る表示装置の副画素が走査される順序を示す模式図である。図３４には、図３２に示された画素行２５０１～２５０８における４列の副画素が示されている。具体的には、図３４は、データ線ＤＬ１を共有する緑色副画素Ｇ２５～Ｇ３２および赤色副画素Ｒ２５～Ｒ３２並びにデータ線ＤＬ２を共有する白色副画素Ｗ２５～Ｗ３２および青色副画素Ｂ２５～Ｂ３２を示している。

【０２１３】

図３４に示されるように、画素行２５０１～２５０８において、以下に示す順序にて緑色副画素Ｇおよび赤色副画素Ｒが走査される。最初に緑色副画素Ｇ２５が走査された後に、緑色副画素Ｇ２５の３行下に配された緑色副画素Ｇ２８が走査される。その後に、緑色副画素Ｇ２８の２行下に配された緑色副画素Ｇ３０が走査される。その後に、緑色副画素Ｇ２５と同じ行においてデータ線ＤＬ１を共有し、緑色副画素Ｇの画素列とは異なる画素列に含まれる赤色副画素Ｒ２５が走査される。その後に、赤色副画素Ｒ２５の３行下に配された赤色副画素Ｒ２８が走査される。その後に、赤色副画素Ｒ２８の２行下に配された赤色副画素Ｒ３０が走査される。その後に、赤色副画素Ｒ３０の４行上に配された赤色副画素Ｒ２６が走査される。その後に、赤色副画素Ｒ２６と同じ行においてデータ線ＤＬ１を共有し、赤色副画素Ｒの画素列とは異なる画素列に含まれる緑色副画素Ｇ２６が走査される。その後に、緑色副画素Ｇ２６の１行下に配された緑色副画素Ｇ２７が走査される。その後に、緑色副画素Ｇ２７と同じ行においてデータ線ＤＬ１を共有し、緑色副画素Ｇの画素列とは異なる画素列に含まれる赤色副画素Ｒ２７が走査される。その後に、赤色副画素Ｒ２７の２行下に配された赤色副画素Ｒ２９が走査される。その後に、赤色副画素Ｒ２９と同じ行においてデータ線ＤＬ１を共有し、赤色副画素Ｒの画素列とは異なる画素列に含まれる緑色副画素Ｇ２９が走査される。その後に、緑色副画素Ｇ２９の２行下に配された緑色副画素Ｇ３１が走査される。その後に、緑色副画素Ｇ３１と同じ行においてデータ線ＤＬ１を共有し、緑色副画素Ｇの画素列とは異なる画素列に含まれる赤色副画素Ｒ３１が走査される。その後に、赤色副画素Ｒ３１の１行下に配された赤色副画素Ｒ３２が走査される。その後に、赤色副画素Ｒ３２と同じ行においてデータ線ＤＬ１を共有し、赤色副画素Ｒの画素列とは異なる画素列に含まれる緑色副画素Ｇ３２が走査される。

【０２１４】

また、図３４に示されるように、画素行１３０１～１３０８において、以下に示す順序にて白色副画素Ｗおよび青色副画素Ｂが走査される。最初に青色副画素Ｂ２５が走査された後に、青色副画素Ｂ２５の３行下に配された青色副画素Ｂ２８が走査される。その後に、青色副画素Ｂ２８の２行下に配された青色副画素Ｂ３０が走査される。その後に、青色副画素Ｂ２５と同じ行においてデータ線ＤＬ２を共有し、青色副画素Ｂの画素列とは異なる画素列に含まれる白色副画素Ｗ２５が走査される。その後に、白色副画素Ｗ２５の３行下に配された白色副画素Ｗ２８が走査される。その後に、白色副画素Ｗ２８の２行下に配された白色副画素Ｗ３０が走査される。その後に、白色副画素Ｗ３０の４行上に配された白色副画素Ｗ２６が走査される。その後に、白色副画素Ｗ２６と同じ行においてデータ線ＤＬ２を共有し、白色副画素Ｗの画素列とは異なる画素列に含まれる青色副画素Ｂ２６が走査される。その後に、青色副画素Ｂ２６の１行下に配された青色副画素Ｂ２７が走査される。その後に、青色副画素Ｂ２７と同じ行においてデータ線ＤＬ２を共有し、青色副画素Ｂの画素列とは異なる画素列に含まれる白色副画素Ｗ２７が走査される。その後に、白色副画素Ｗ２７の２行下に配された白色副画素Ｗ２９が走査される。その後に、白色副画

素Ｗ２９と同じ行においてデータ線ＤＬ２を共有し、白色副画素Ｗの画素列とは異なる画素列に含まれる青色副画素Ｂ２９が走査される。その後に、青色副画素Ｂ２９の２行下に配された青色副画素Ｂ３１が走査される。その後に、青色副画素Ｂ３１と同じ行においてデータ線ＤＬ２を共有し、青色副画素Ｂの画素列とは異なる画素列に含まれる白色副画素Ｗ３１が走査される。その後に、白色副画素Ｗ３１の１行下に配された白色副画素Ｗ３２が走査される。その後に、白色副画素Ｗ３２と同じ行においてデータ線ＤＬ２を共有し、白色副画素Ｗの画素列とは異なる画素列に含まれる青色副画素Ｂ３２が走査される。

【０２１５】

本実施形態において、類似度判定部５５０は、各行に印加される画像データ（信号）を他の複数行に印加される画像データのそれぞれと比較する。類似度判定部５５０は、類似する画像データが印加されていると判定された行を優先的に順次走査する本実施形態によれば、類似する画像データが印加されていると判定された行が連続していない場合であっても、同じ色の副画素を連続して走査する行数を大きくすることができる。結果として、出力される画像データの信号（電圧）が不連続となる頻度が低下し、表示装置１０の消費電力は低減される。したがって、本実施形態によれば、ＤＲＤ駆動を用いた表示装置が副画素への画像データを書き込む際の消費電力をさらに低減させることができる。

【０２１６】

図３５は、本実施形態に係る表示装置１０のゲート線に印加されるゲート信号のタイミング図である。具体的には、図３４に示される画素行２５０１から２５０８までの副画素は、図３１に示される類似度判定部５５０からスケジューラ５６０へ伝送される信号に基づき走査される。ゲート駆動部２００は、図３５に示されるタイミングでゲート線ＧＬ４９～ＧＬ６４へゲート信号を印加する。

【０２１７】

時刻ｔ５２～ｔ５３の期間において、ゲート線ＧＬ４９～ＧＬ６４にゲート信号は印加されていない。時刻ｔ５３～ｔ５４の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ５０にゲート信号が印加される。ゲート線ＧＬ５０にゲート信号が印加されると、緑色副画素Ｇ２５の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ２５の駆動素子ＤＴのゲートと緑色副画素Ｇ２５の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ２５に対する画像データに対応する。同様に、ゲート線ＧＬ５０にゲート信号が印加されると、青色副画素Ｂ２５の第１スイッチ素子Ｔ１を介して青色副画素Ｂ２５の駆動素子ＤＴのゲートと青色副画素Ｂ２５の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ２５に対する画像データに対応する。

【０２１８】

時刻ｔ５４～ｔ５５の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ５６にゲート信号が印加される。ゲート線ＧＬ５６にゲート信号が印加されると、緑色副画素Ｇ２８の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ２８の駆動素子ＤＴのゲートと緑色副画素Ｇ２８の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ２８に対する画像データに対応する。同様に、ゲート線ＧＬ５６にゲート信号が印加されると、青色副画素Ｂ２８の第１スイッチ素子Ｔ１を介して青色副画素Ｂ２８の駆動素子ＤＴのゲートと青色副画素Ｂ２８の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ２８に対する画像データに対応する。

【０２１９】

時刻ｔ５５～ｔ５６の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ６０にゲート信号が印加される。ゲート線ＧＬ６０にゲート信号が印加されると、緑色副画素Ｇ３０の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ３０の駆動素子ＤＴのゲートと緑色副画素Ｇ３０の第１キャパシタＣ１との間の第１ノードＮ１にデータ

線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ３０に対する画像データに対応する。同様に、ゲート線ＧＬ６０にゲート信号が印加されると、青色副画素Ｂ３０の第１スイッチ素子Ｔ１を介して青色副画素Ｂ３０の駆動素子ＤＴのゲートと青色副画素Ｂ３０の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ３０に対する画像データに対応する。

【０２２０】

時刻ｔ５６～ｔ５７の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ４９にゲート信号が印加される。ゲート線ＧＬ４９にゲート信号が印加されると、赤色副画素Ｒ２５の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ２５の駆動素子ＤＴのゲートと赤色副画素Ｒ２５の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ２５に対する画像データに対応する。同様に、ゲート線ＧＬ４９にゲート信号が印加されると、白色副画素Ｗ２５の第１スイッチ素子Ｔ１を介して白色副画素Ｗ２５の駆動素子ＤＴのゲートと白色副画素Ｗ２５の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ２５に対する画像データに対応する。

【０２２１】

時刻ｔ５７～ｔ５８の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ５５にゲート信号が印加される。ゲート線ＧＬ５５にゲート信号が印加されると、赤色副画素Ｒ２８の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ２８の駆動素子ＤＴのゲートと赤色副画素Ｒ２８の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ２８に対する画像データに対応する。同様に、ゲート線ＧＬ５５にゲート信号が印加されると、白色副画素Ｗ２８の第１スイッチ素子Ｔ１を介して白色副画素Ｗ２８の駆動素子ＤＴのゲートと白色副画素Ｗ２８の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ２８に対する画像データに対応する。

【０２２２】

時刻ｔ５８～ｔ５９の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ５９にゲート信号が印加される。ゲート線ＧＬ５９にゲート信号が印加されると、赤色副画素Ｒ３０の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ３０の駆動素子ＤＴのゲートと赤色副画素Ｒ３０の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ３０に対する画像データに対応する。同様に、ゲート線ＧＬ５９にゲート信号が印加されると、白色副画素Ｗ３０の第１スイッチ素子Ｔ１を介して白色副画素Ｗ３０の駆動素子ＤＴのゲートと白色副画素Ｗ３０の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ３０に対する画像データに対応する。

【０２２３】

時刻ｔ５９～ｔ６０の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ５１にゲート信号が印加される。ゲート線ＧＬ５１にゲート信号が印加されると、赤色副画素Ｒ２６の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ２６の駆動素子ＤＴのゲートと赤色副画素Ｒ２６の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ２６に対する画像データに対応する。同様に、ゲート線ＧＬ５１にゲート信号が印加されると、白色副画素Ｗ２６の第１スイッチ素子Ｔ１を介して白色副画素Ｗ２６の駆動素子ＤＴのゲートと白色副画素Ｗ２６の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ２６に対する画像データに対応する。

【０２２４】
時刻ｔ６０～ｔ６１の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ５２にゲート信号が印加される。ゲート線ＧＬ５２にゲート信号が印加されると、緑色副画素Ｇ２６の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ２６の駆動素子ＤＴのゲートと緑色副画素Ｇ２６の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ２６に対する画像データに対応する。同様に、ゲート線ＧＬ５２にゲート信号が印加されると、青色副画素Ｂ２６の第１スイッチ素子Ｔ１を介して青色副画素Ｂ２６の駆動素子ＤＴのゲートと青色副画素Ｂ２６の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ２６に対する画像データに対応する。
【０２２５】
時刻ｔ６１～ｔ６２の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ５４にゲート信号が印加される。ゲート線ＧＬ５４にゲート信号が印加されると、緑色副画素Ｇ２７の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ２７の駆動素子ＤＴのゲートと緑色副画素Ｇ２７の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ２７に対する画像データに対応する。同様に、ゲート線ＧＬ５４にゲート信号が印加されると、青色副画素Ｂ２７の第１スイッチ素子Ｔ１を介して青色副画素Ｂ２７の駆動素子ＤＴのゲートと青色副画素Ｂ２７の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ２７に対する画像データに対応する。
【０２２６】
時刻ｔ６２～ｔ６３の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ５３にゲート信号が印加される。ゲート線ＧＬ５３にゲート信号が印加されると、赤色副画素Ｒ２７の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ２７の駆動素子ＤＴのゲートと赤色副画素Ｒ２７の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ２７に対する画像データに対応する。同様に、ゲート線ＧＬ５３にゲート信号が印加されると、白色副画素Ｗ２７の第１スイッチ素子Ｔ１を介して白色副画素Ｗ２７の駆動素子ＤＴのゲートと白色副画素Ｗ２７の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ２７に対する画像データに対応する。
【０２２７】
時刻ｔ６３～ｔ６４の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ５７にゲート信号が印加される。ゲート線ＧＬ５７にゲート信号が印加されると、赤色副画素Ｒ２９の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ２９の駆動素子ＤＴのゲートと赤色副画素Ｒ２９の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ２９に対する画像データに対応する。同様に、ゲート線ＧＬ５７にゲート信号が印加されると、白色副画素Ｗ２９の第１スイッチ素子Ｔ１を介して白色副画素Ｗ２９の駆動素子ＤＴのゲートと白色副画素Ｗ２９の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ２９に対する画像データに対応する。
【０２２８】
時刻ｔ６４～ｔ６５の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ５８にゲート信号が印加される。ゲート線ＧＬ５８にゲート信号が印加されると、緑色副画素Ｇ２９の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ２９の駆動素子ＤＴのゲートと緑色副画素Ｇ２９の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑

色副画素Ｇ２９に対する画像データに対応する。同様に、ゲート線ＧＬ５８にゲート信号が印加されると、青色副画素Ｂ２９の第１スイッチ素子Ｔ１を介して青色副画素Ｂ２９の駆動素子ＤＴのゲートと青色副画素Ｂ２９の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ２９に対する画像データに対応する。

【０２２９】

時刻ｔ６５～ｔ６６の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ６２にゲート信号が印加される。ゲート線ＧＬ６２にゲート信号が印加されると、緑色副画素Ｇ３１の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ３１の駆動素子ＤＴのゲートと緑色副画素Ｇ３１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ３１に対する画像データに対応する。同様に、ゲート線ＧＬ６２にゲート信号が印加されると、青色副画素Ｂ３１の第１スイッチ素子Ｔ１を介して青色副画素Ｂ３１の駆動素子ＤＴのゲートと青色副画素Ｂ３１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ３１に対する画像データに対応する。

【０２３０】

時刻ｔ６６～ｔ６７の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ６１にゲート信号が印加される。ゲート線ＧＬ６１にゲート信号が印加されると、赤色副画素Ｒ３１の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ３１の駆動素子ＤＴのゲートと赤色副画素Ｒ３１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ３１に対する画像データに対応する。同様に、ゲート線ＧＬ６１にゲート信号が印加されると、白色副画素Ｗ３１の第１スイッチ素子Ｔ１を介して白色副画素Ｗ３１の駆動素子ＤＴのゲートと白色副画素Ｗ３１の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ３１に対する画像データに対応する。

【０２３１】

時刻ｔ６７～ｔ６８の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ６３にゲート信号が印加される。ゲート線ＧＬ６３にゲート信号が印加されると、赤色副画素Ｒ３２の第１スイッチ素子Ｔ１を介して赤色副画素Ｒ３２の駆動素子ＤＴのゲートと赤色副画素Ｒ３２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、赤色副画素Ｒ３２に対する画像データに対応する。同様に、ゲート線ＧＬ６３にゲート信号が印加されると、白色副画素Ｗ３２の第１スイッチ素子Ｔ１を介して白色副画素Ｗ３２の駆動素子ＤＴのゲートと白色副画素Ｗ３２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、白色副画素Ｗ３２に対する画像データに対応する。

【０２３２】

時刻ｔ６８～ｔ６９の期間において、変調されたデータイネーブル信号ｔＤＥに同期してゲート線ＧＬ６４にゲート信号が印加される。ゲート線ＧＬ６４にゲート信号が印加されると、緑色副画素Ｇ３２の第１スイッチ素子Ｔ１を介して緑色副画素Ｇ３２の駆動素子ＤＴのゲートと緑色副画素Ｇ３２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ１からデータ信号が印加される。データ線ＤＬ１から印加されたデータ信号は、緑色副画素Ｇ３２に対する画像データに対応する。同様に、ゲート線ＧＬ６４にゲート信号が印加されると、青色副画素Ｂ３２の第１スイッチ素子Ｔ１を介して青色副画素Ｂ３２の駆動素子ＤＴのゲートと青色副画素Ｂ３２の第１キャパシタＣ１との間の第１ノードＮ１にデータ線ＤＬ２からデータ信号が印加される。データ線ＤＬ２から印加されたデータ信号は、青色副画素Ｂ３２に対する画像データに対応する。

【０２３３】

ゲート駆動部２００は、スケジューラ５６０からのゲート線指定信号ＧＬ＿Ｎｕｍに基づき、時刻ｔ５３～ｔ６９の期間において、図３５に示される順序でゲート線ＧＬ４９～ＧＬ６４にゲート信号を印加する。データ駆動部３００は、時刻ｔ５３～ｔ６９の期間において、ゲート線ＧＬ４９～ＧＬ６４に印加されたゲート信号に応じて、共有されたデータ線ＤＬ１を介して緑色副画素Ｇおよび赤色副画素Ｒにデータ信号を書き込む。また、データ駆動部３００は、時刻ｔ５３～ｔ６９の期間において、ゲート線ＧＬ４９～ＧＬ６４に印加されたゲート信号に応じて、共有されたデータ線ＤＬ２を介して白色副画素Ｗおよび青色副画素Ｂにデータ信号を書き込む。

【０２３４】

図３５に示されるタイミング図によれば、データ駆動部３００は、画素行２５０１～２５０８において、図３４に示す順序にて緑色副画素Ｇ２５～Ｇ３２、赤色副画素Ｒ２５～Ｒ３２、白色副画素Ｗ２５～Ｗ３２および青色副画素Ｂ２５～Ｂ３２にデータ信号を書き込む。即ち、図３４に示される副画素の領域を走査する際に、類似する画像データが印加されていると類似度判定部５５０によって判定された行を優先的に順次走査する。即ち、本実施形態によれば、類似する画像データが印加されていると判定された行が連続していない場合であっても、同じ色の副画素を連続して走査する行数を大きくすることができる。結果として、出力される画像データの信号（電圧）が不連続となる頻度が低下し、表示装置１０の消費電力は低減される。したがって、本実施形態によれば、ＤＲＤ駆動を用いた表示装置が副画素への画像データを書き込む際の消費電力をさらに低減させることができる。

【０２３５】

［第４実施形態］

本実施形態では、第１実施形態に係るデータ選択部３１０の変形例を説明する。データ分割部３１１－１～３１１－ｍ、第１レジスタ３１２－１～３１２－ｍ、第２レジスタ３１３－１～３１３－ｍ、選択部３１４－１～３１４－ｍの構成および機能のうち第１実施形態と同様の部分については説明を省略する。

【０２３６】

図１６および図３６を参照して、スケジューラ５６０への入力信号に応じたデータ選択部３１０の動作の一例を説明する。図３６は、本実施形態に係るデータ選択部３１０へ入力される信号の例を示す表である。

【０２３７】

図１６に示されるように、本例においても、第１実施形態と同様に、奇数列についての類似度判定部５５０の出力信号ＲＥＳ＿Ｏは、第ｘ－７行に対して０を示している。即ち、類似度判定部５５０は、第ｘ－７行についての奇数列の画像データは、１つ前の行の奇数列の画像データと類似しないと判定している。また、奇数列についての類似度判定部５５０の出力信号ＲＥＳ＿Ｏは、第ｘ－６行から第ｘ行に対して１を示している。即ち、類似度判定部５５０は、第ｘ－６行から第ｘ行までについての奇数列の画像データは、それぞれ１つ前の行の奇数列の画像データと類似すると判定している。一方、偶数列についての類似度判定部５５０の出力信号ＲＥＳ＿Ｅはすべて０を示している。即ち、類似度判定部５５０は、第ｘ－７行から第ｘ行までについての偶数列の画像データは、それぞれ１つ前の行の偶数列の画像データと類似しないと判定している。

【０２３８】

図３６は、走査番号３３～４８においてデータ選択部３１０へ伝送される入力レジスタ選択信号ＩＲＳＳ、入力有効化信号ＶＡＬＩＤ、出力レジスタ選択信号ＯＲＳＳの一例を示している。本例においても、第ｘ－６行から第ｘ行までについての奇数列の画像データ（信号）はそれぞれ１行上に位置する奇数列の画像データと類似している。本実施形態においては、走査番号３３において、第ｘ－７行についての奇数列の整列された画像データＲ’Ｇ’Ｂ’Ｗ’が入力データ３３として行メモリ部５２０からデータ選択部３１０へ入力される。次いで、走査番号３４において、第ｘ－７行についての偶数列の整列された画像データＲ’Ｇ’Ｂ’Ｗ’が入力データ４１として行メモリ部５２０からデータ選択部３１０へ入力さ

れる。次いで、走査番号３５～４０においては、画像データは行メモリ部５２０からデータ選択部３１０へ入力されない。次いで、走査番号４１～４７において、第ｘ－６行から第ｘ行までについての偶数列の整列された画像データＲ’Ｇ’Ｂ’Ｗ’が入力データ４２～４８として行メモリ部５２０からデータ選択部３１０へ入力される。次いで、走査番号４８においては、画像データは行メモリ部５２０からデータ選択部３１０へ入力されない。

【０２３９】

スケジューラ５６０は、受信された信号ＲＥＳ＿Ｏに基づき、奇数列の入力データ３３が格納されるレジスタを指定するための入力レジスタ選択信号ＩＲＳＳを生成する。スケジューラ５６０は、入力データ３３を格納すべきレジスタとして第１レジスタ３１２－１～３１２－ｍを指定する入力レジスタ選択信号ＩＲＳＳをデータ選択部３１０へ伝送する。また、スケジューラ５６０は、受信された信号ＲＥＳ＿Ｅに基づき、偶数列の入力データ４１～４８が格納されるレジスタを指定するための入力レジスタ選択信号ＩＲＳＳを生成する。スケジューラ５６０は、入力データ４１～４８を格納すべきレジスタとして第１レジスタ３１２－１～３１２－ｍまたは第２レジスタ３１３－１～３１３－ｍを指定する入力レジスタ選択信号ＩＲＳＳをデータ選択部３１０へ伝送する。

【０２４０】

スケジューラ５６０は、奇数列に対応する入力データ３３に対する入力有効化信号ＶＡＬＩＤとして１をデータ選択部３１０に伝送し、入力データ３３を第１レジスタ３１２－１～３１２－ｍへ格納することを指定する入力レジスタ選択信号ＩＲＳＳを有効化する。次いで、スケジューラ５６０は、偶数列に対応する入力データ４１に対する入力有効化信号ＶＡＬＩＤとして１をデータ選択部３１０に伝送し、入力データ４１を第２レジスタ３１３－１～３１３－ｍへ格納することを指定する入力レジスタ選択信号ＩＲＳＳを有効化する。次いで、スケジューラ５６０は、走査番号３５～４０に対する入力データを送信せず、入力有効化信号ＶＡＬＩＤとして０をデータ選択部３１０に伝送する。結果として、第１レジスタ３１２－１～３１２－ｍは更新されず、入力データ４１が保持される。本構成により、第１レジスタ３１２－１～３１２－ｍに格納されるデータを更新するために必要な電力の消費が抑制される。なお、本例では、スケジューラ５６０は、第２レジスタ３１３－１～３１３－ｍを指定する入力レジスタ選択信号ＩＲＳＳを伝送している。しかしながら、スケジューラ５６０は、入力有効化信号ＶＡＬＩＤとして０をデータ選択部３１０に伝送する場合には、入力レジスタ選択信号ＩＲＳＳの伝送を省略することができる。

【０２４１】

次いで、スケジューラ５６０は、偶数列に対応する入力データ４２、４４、４６、４８のそれぞれに対する入力有効化信号ＶＡＬＩＤとして１をデータ選択部３１０に伝送し、入力データ４２、４４、４６、４８を第１レジスタ３１２－１～３１２－ｍへ格納することを指定する入力レジスタ選択信号ＩＲＳＳを有効化する。また、スケジューラ５６０は、偶数列に対応する入力データ４３、４５、４７のそれぞれに対する入力有効化信号ＶＡＬＩＤとして１をデータ選択部３１０に伝送し、入力データ４３、４５、４７を第２レジスタ３１３－１～３１３－ｍへ格納することを指定する入力レジスタ選択信号ＩＲＳＳを有効化する。

【０２４２】

スケジューラ５６０は、入力データ３３および入力データ４１～４８を出力データ３３～４８としてデータ変換部３２０へ順次出力するために、出力レジスタ選択信号ＯＲＳＳをデータ選択部３１０へ伝送する。具体的には、スケジューラ５６０は、走査番号３３～４０、４２、４４、４６、４８に対しては第１レジスタ３１２－１～３１２－ｍを指定する出力レジスタ選択信号ＯＲＳＳをデータ選択部３１０へ伝送し、走査番号４１、４３、４５、４７に対しては第２レジスタ３１３－１～３１３－ｍを指定する出力レジスタ選択信号ＯＲＳＳをデータ選択部３１０へ伝送する。即ち、走査番号３３～４０において、第１レジスタ３１２－１～３１２－ｍに格納された入力データ３３が出力データ３３～４０として出力される。走査番号４１において、走査番号３４の間に第２レジスタ３１３－１～３１３－ｍに格納された入力データ４１が出力データ４１として出力される。走査番号

４２において、走査番号４１の間に第１レジスタ３１２－１～３１２－ｍに格納された入力データ４２が出力データ４２として出力される。走査番号４３において、走査番号４２の間に第２レジスタ３１３－１～３１３－ｍに格納された入力データ４３が出力データ４３として出力される。走査番号４４において、走査番号４３の間に第１レジスタ３１２－１～３１２－ｍに格納された入力データ４４が出力データ４２として出力される。走査番号４５において、走査番号４４の間に第２レジスタ３１３－１～３１３－ｍに格納された入力データ４５が出力データ４５として出力される。走査番号４６において、走査番号４５の間に第１レジスタ３１２－１～３１２－ｍに格納された入力データ４６が出力データ４６として出力される。走査番号４７において、走査番号４６の間に第２レジスタ３１３－１～３１３－ｍに格納された入力データ４７が出力データ４７として出力される。走査番号４８において、走査番号４７の間に第１レジスタ３１２－１～３１２－ｍに格納された入力データ４８が出力データ４８として出力される。

【０２４３】

本実施形態では、偶数列に対応する入力データを第２レジスタ３１３－１～３１３－ｍだけでなく、第１レジスタ３１２－１～３１２－ｍにも格納するように構成されている。同様に、奇数列に対応する入力データを第１レジスタ３１２－１～３１２－ｍだけでなく、第２レジスタ３１３－１～３１３－ｍにも格納するように構成することもできる。本実施形態のように、レジスタに格納される入力データは任意に変更することが可能である。また、各行にさらに追加のレジスタを設けることも可能である。追加のレジスタを設けることにより、タイミング制御部５００に含まれる行メモリ部５２０の容量を小さくすることができる。

【０２４４】

［第５実施形態］

本実施形態では、第１実施形態に係るスケジューラ５６０の変形例を説明する。バッファ５６１、走査順序決定部５６２、ゲート線決定部５６３、レジスタ５６４の構成および機能は同一であるため説明を省略する。

【０２４５】

図３７は、本実施形態に係るスケジューラ５６０の概略構成を示すブロック図である。本実施形態に係るスケジューラ５６０は、バッファ５６１、走査順序決定部５６２、ゲート線決定部５６３およびレジスタ５６４を含む。本実施形態に係るスケジューラ５６０は、選択信号決定部５６５を有しない。よって、本実施形態に係るスケジューラ５６０にからはレジスタ選択信号ＲＳＳが伝送されない。したがって、本実施形態に係るデータ駆動部３００は、データ選択部３１０を有しない。本実施形態では、追加の行メモリ部（不図示）がタイミング制御部５００に設けられる。タイミング制御部５００に入力される画像データＲＧＢＷは、すべて追加の行メモリ部に伝送される。本実施形態に係る信号変調部５１０は、スケジューラ５６０から受信したゲート線指定信号ＧＬ＿Ｎｕｍに基づき、指定されたゲート線に対応する整列された画像データＲ’Ｇ’Ｂ’Ｗ’を追加の行メモリ部からデータ駆動部３００に伝送させる。

【０２４６】

上述の通り、本実施形態よるスケジューラ５６０は、選択信号決定部５６５を含まない。また、本実施形態によるデータ駆動部３００はデータ選択部３１０を含まない。したがって、本実施形態よれば、表示装置１０の構造を単純化させることができる。

【０２４７】

［第６実施形態］

本実施形態では、第１実施形態に係るタイミング制御部５００の変形例を説明する。信号変調部５１０、データ制御信号生成部５３０、ゲート制御信号生成部５４０、類似度判定部５５０およびスケジューラ５６０の構成および機能のうち第１実施形態と同様の部分については説明を省略する。

【０２４８】

図３８は、本実施形態に係るタイミング制御部５００の概略構成を示すブロック図であ

る。実施形態に係るタイミング制御部５００は、フレームメモリ部５７０を含む。フレームメモリ部５７０は、フレーム単位で画像データＲＧＢＷを保存する。例えば、フレームメモリ部５７０は、第ｘフレームの画像データＲＧＢＷ（ｘ）を保存する。フレームメモリ部５７０は第（ｘ－１）フレームの画像データＲＧＢＷ（ｘ－１）を類似度判定部５５０に伝送する。フレームメモリ部５７０は、信号変調部５１０から受信した変調されたデータイネーブル信号ｔＤＥに基づいて画像データＲＧＢＷを整列させる。フレームメモリ部５７０は、整列された画像データＲ’Ｇ’Ｂ’Ｗ’をデータ駆動部３００に伝送する。

【０２４９】

類似度判定部５５０は、２フレームの間の画像データの類似度を判定し、判定結果ＲＥＳをスケジューラ５６０に伝送する。例えば、類似度判定部５５０は。フレームメモリ部５７０から第（ｘ－１）フレームの画像データＲＧＢＷ（ｘ－１）を受信し、第ｘフレームの画像データＲＧＢＷ（ｘ）と類似しているか判定する。例えば、類似度判定部５５０は、２フレームの画像データにおける任意の２行の画像データが互いに類似すると判定したときに判定結果ＲＥＳとして１を出力する。一方、類似度判定部５５０は、２フレームの間の画像データにおける当該２行の画像データが互いに類似しないと判定したときに判定結果ＲＥＳとして０を出力する。

【０２５０】

スケジューラ５６０は、類似度判定部５５０から受信した判定結果ＲＥＳに基づき、ゲート信号を送信するゲート線ＧＬの番号を指定するゲート線指定信号ＧＬ＿Ｎｕｍを生成する。また、スケジューラ５６０は、フレームメモリ部５７０から伝送される画像データＲ’Ｇ’Ｂ’Ｗ’が格納されるべきレジスタを指定するためのレジスタ選択信号ＲＳＳをデータ駆動部３００に伝送する。データ駆動部３００は、受信したレジスタ選択信号ＲＳＳに基づき、画像データＲ’Ｇ’Ｂ’Ｗ’を指定されたレジスタに格納する。

【０２５１】

上述の通り、本実施形態よるタイミング制御部５００は、表示パネル１００に表示される各フレームの画像データ（信号）の間の類似度を判定する。次いで、本実施形態よるタイミング制御部５００は、判定された類似度に基づいてゲート線指定信号ＧＬ＿Ｎｕｍおよびレジスタ選択信号ＲＳＳを生成する。本実施形態よれば、表示パネル１００に表示される各フレームの画像データ（信号）の間の類似度に基づき、ＤＲＤを用いた表示装置１０の表示画質の低下を抑制しながら消費電力を低減させることができる。

【０２５２】

なお、表示パネル１００に表示される画像が静止画像の場合、同じ行に配された複数の副画素に対する画像データの書き込みの時間差による表示画質の低下は全くないか、あるいは無視できる程度に小さい。よって、表示装置１０に静止画像が表示される場合には、同色の副画素を連続して走査する行数を表示パネルに含まれる画素の行の数と同一とすることができる。たとえば、表示装置１０が２１６０行の画素からなる場合、１フレーム期間の前半の間に２１６０行にわたり緑色副画素Ｇおよび青色副画素Ｂを連続して走査し、１フレーム期間の後半の間に２１６０行にわたり赤色副画素Ｒおよび白色副画素Ｗを連続して走査することができる。本構成によれば、出力される画像データの信号（電圧）が不連続となる頻度がさらに低減され、表示装置１０の消費電力を低減させることができる。

【０２５３】

［その他の変形例］

上述の各実施形態では、複数の画像データ（信号）の間の類似度に基づいて副画素を走査する順序を決定した。一方で、例えば黒を表示する場合のような輝度の低い画像を表示する際には、画像信号の不連続性は発生せず、または不連続性が発生したとしてもその程度は無視できる場合がある。例えば、本変形例によれば、表示パネル１００に表示される画像の輝度が所定の値以下である場合には、類似度の判定結果に関わらず、同色の副画素を連続して走査する行数を小さくする。本構成により、同じ行に配された副画素に対する画像データの書き込みの時間差は小さくなる。具体的には、図２１に示されるように、各色の副画素を２行ずつ交互に走査することで、同じ行に配された複数の副画素の間におけ

る画像データの書き込みの時間差を小さくする。本変形例によれば、ＤＲＤを用いた表示装置１０の消費電力を増大させることなく、画像データの書き込みの時間差に起因する表示画質の低下を抑制させることができる。

【０２５４】

また、たとえ広い範囲で画像データ（信号）が類似すると類似度判定部５５０に判定されたとしても、同色の副画素を連続して走査する行数を過度に大きくすると、表示される画質が劣化し得る。よって、タイミング制御部５００は、同色の副画素を連続して走査する行数に制限を設けることができる。例えば、表示装置に表示される画像が動画像である場合に、タイミング制御部５００は、同色の副画素を連続して走査する行数を、表示パネル１００に含まれる副画素の行の総数の５分の１程度にすることができる。本例において表示パネル１００が２１６０行の副画素を含む場合、タイミング制御部５００は、同色の副画素を連続して走査する行数を４３２行に制限することができる。

【０２５５】

各実施形態で説明された各部の構成および信号の内容は上述されたものに限定されず、用途や目的に応じて変更され得る。また、各実施形態を組み合わせた構成および信号もすべて本発明に含まれる。即ち、本発明は上記各実施形態に限定されず、本発明の技術的思想に基づき変形され得る。例えば、本発明は上述の各実施形態が有機的に組み合わされた構成を含む。

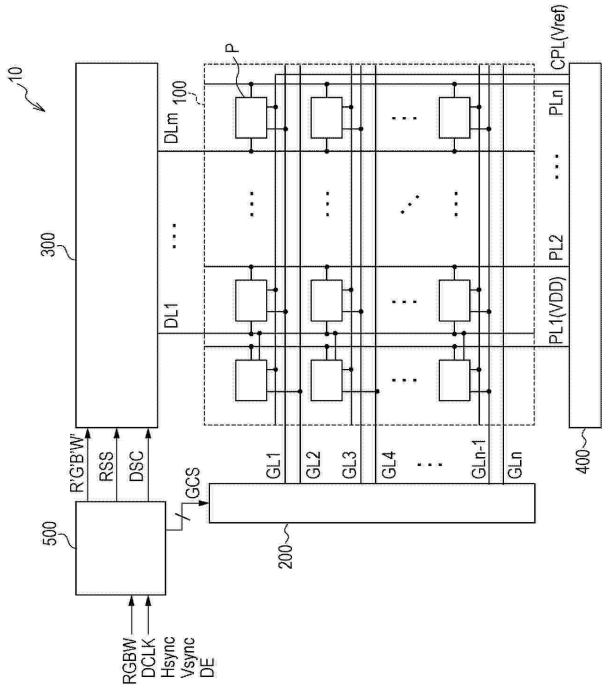
【符号の説明】

【０２５６】

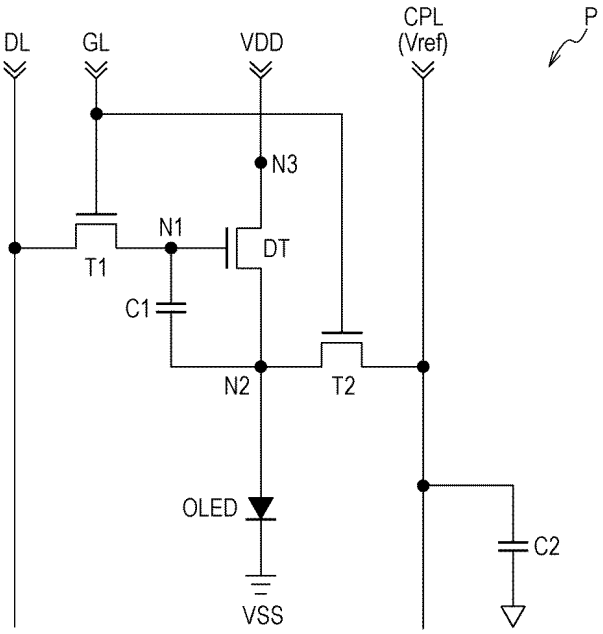
１０	表示装置
２００	ゲート駆動部
２２１、２２２	第１シフトレジスタ
２３１、２３２	第２シフトレジスタ
３００	データ駆動部
３１０	データ選択部
５００	タイミング制御部
５５０	類似度判定部
５６０	スケジューラ

【図面】

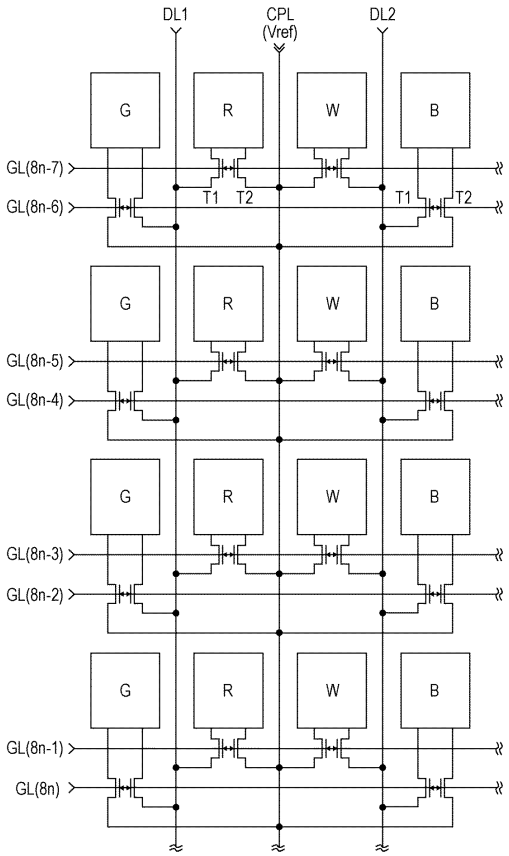
【図１】


10
300
500
100
P
DLm
DL1
PLn
PL2
PL1(VDD)
CPL(Vref)
400
200
R'G'B'W'
RSS
DSC
GCS
GL1
GL2
GL3
GL4
GLn-1
GLn
RGBW
DCLK
Hsync
Vsync
DE

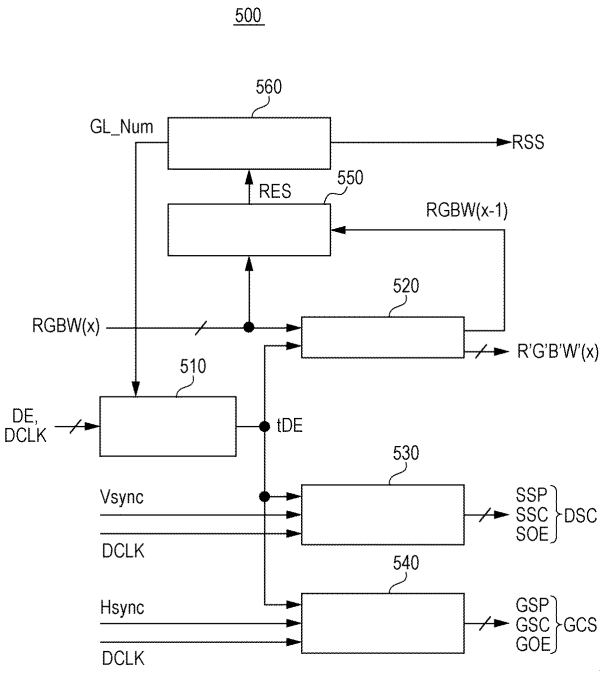
【図２】


DL
GL
VDD
CPL
(Vref)
P
N3
N1
T1
DT
C1
N2
T2
OLED
C2
VSS

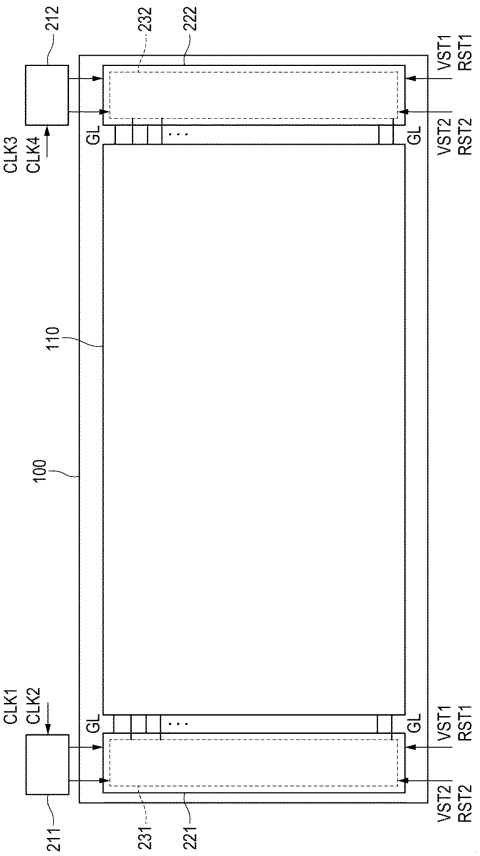
【図３】


DL1
CPL
(Vref)
DL2
G
R
W
B
GL(8n-7)
GL(8n-6)
GL(8n-5)
GL(8n-4)
GL(8n-3)
GL(8n-2)
GL(8n-1)
GL(8n)
T1
T2

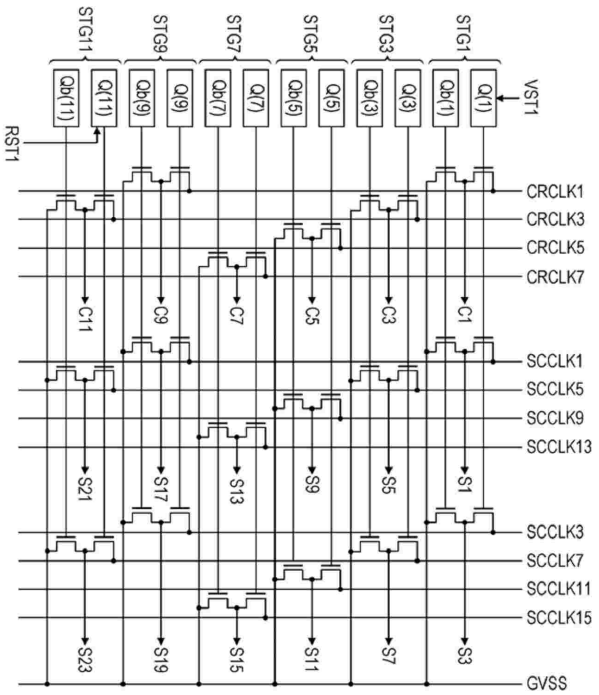
【図４】


500
560
GL_Num
RSS
RES
550
RGBW(x-1)
520
RGBW(x)
R'G'B'W'(x)
510
DE,
DCLK
tDE
530
Vsync
DCLK
SSP
SSC
SOE
DSC
540
Hsync
DCLK
GSP
GSC
GOE
GCS

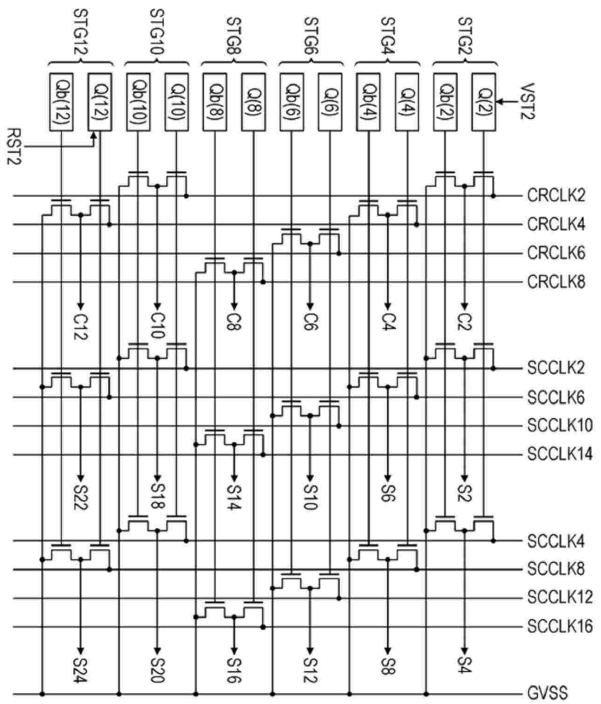
【図５】


212
232
222
VST1
RST1
CLK3
CLK4
GL
VST2
RST2
110
100
CLK1
CLK2
211
231
221

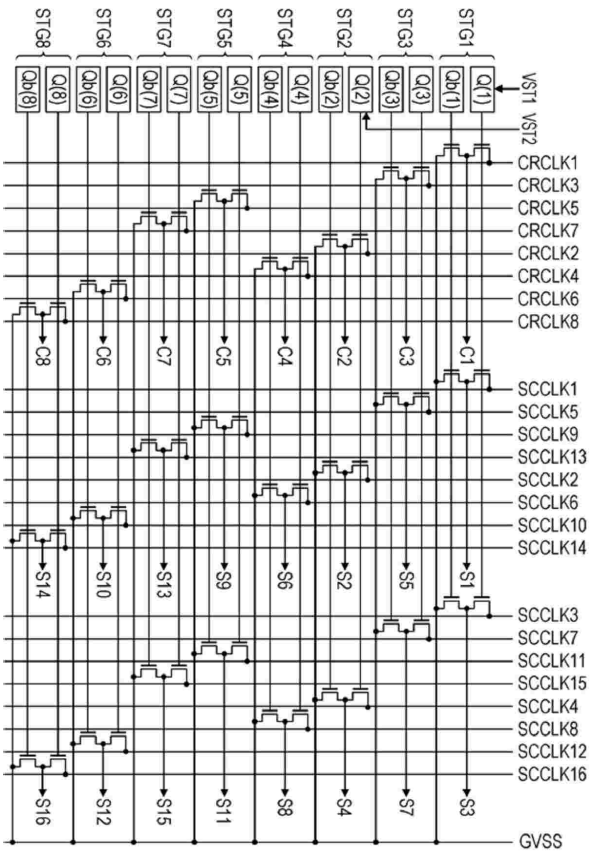
【図６】


STG11
STG9
STG7
STG5
STG3
STG1
Qb(11)
Q(11)
Qb(9)
Q(9)
Qb(7)
Q(7)
Qb(5)
Q(5)
Qb(3)
Q(3)
Qb(1)
Q(1)
VST1
RST1
CRCLK1
CRCLK3
CRCLK5
CRCLK7
C11
C9
C7
C5
C3
C1
SCCLK1
SCCLK5
SCCLK9
SCCLK13
S21
S17
S13
S9
S5
S1
SCCLK3
SCCLK7
SCCLK11
SCCLK15
S23
S19
S15
S11
S7
S3
GVSS

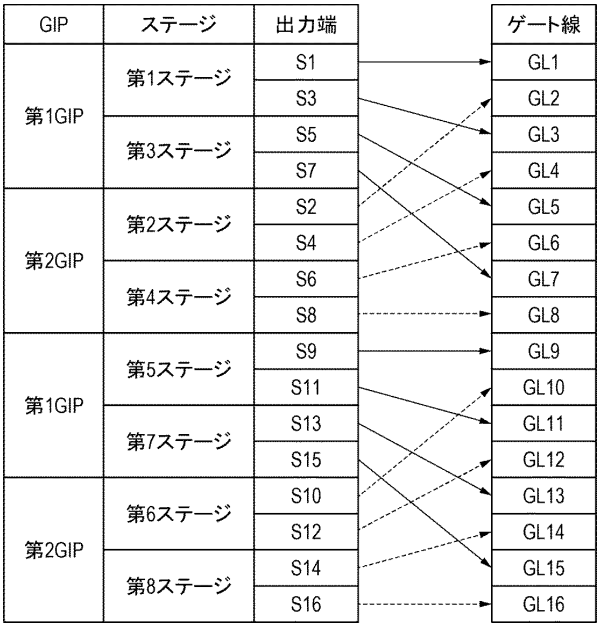
【図７】


STG12
STG10
STG8
STG6
STG4
STG2
Qb(12)
Q(12)
Qb(10)
Q(10)
Qb(8)
Q(8)
Qb(6)
Q(6)
Qb(4)
Q(4)
Qb(2)
Q(2)
VST2
RST2
CRCLK2
CRCLK4
CRCLK6
CRCLK8
C12
C10
C8
C6
C4
C2
SCCLK2
SCCLK6
SCCLK10
SCCLK14
S22
S18
S14
S10
S6
S2
SCCLK4
SCCLK8
SCCLK12
SCCLK16
S24
S20
S16
S12
S8
S4
GVSS

【図８】


STG8
STG6
STG7
STG5
STG4
STG2
STG3
STG1
Qb(8)
Q(8)
Qb(6)
Q(6)
Qb(7)
Q(7)
Qb(5)
Q(5)
Qb(4)
Q(4)
Qb(2)
Q(2)
Qb(3)
Q(3)
Qb(1)
Q(1)
VST1
VST2
CRCLK1
CRCLK3
CRCLK5
CRCLK7
CRCLK2
CRCLK4
CRCLK6
CRCLK8
C8
C6
C7
C5
C4
C2
C3
C1
SCCLK1
SCCLK5
SCCLK9
SCCLK13
SCCLK2
SCCLK6
SCCLK10
SCCLK14
S14
S10
S13
S9
S6
S2
S5
S1
SCCLK3
SCCLK7
SCCLK11
SCCLK15
SCCLK4
SCCLK8
SCCLK12
SCCLK16
S16
S12
S15
S11
S8
S4
S7
S3
GVSS

【図９】



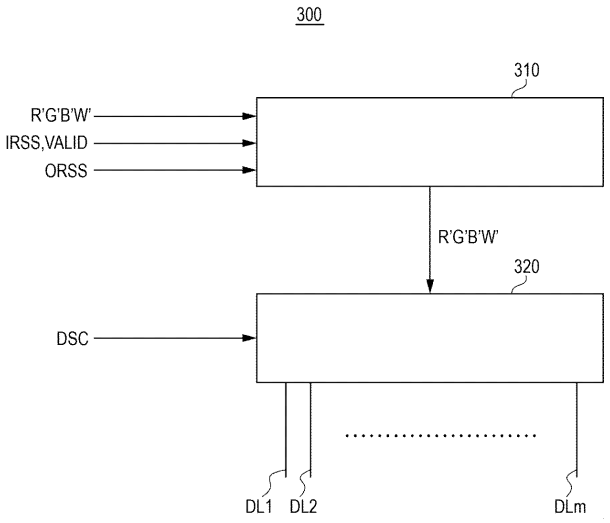
【図１０】

ゲート線	GIP	ステージ	クロック(1)	クロック(2)	クロック(3)	クロック(4)	クロック(5)	クロック(6)	クロック(7)	クロック(8)	クロック(9)
GL1,GL3	第1GIP	第1ステージ	オン	ホールド	ホールド	ホールド	オン	ホールド	ホールド	ホールド	ホールド
GL2,GL4	第2GIP	第2ステージ	オン	オン	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド
GL5,GL7	第1GIP	第3ステージ	オン	オン	オン	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド
GL6,GL8	第2GIP	第4ステージ	オン	オン	オン	オン	オン	オン	ホールド	ホールド	ホールド
GL9,GL11	第1GIP	第5ステージ	オン	オン	オン	オン	ホールド	ホールド	オン	ホールド	ホールド
GL10,GL12	第2GIP	第6ステージ	オン	オン	オン	オン	オン	ホールド	オン	ホールド	ホールド
GL13,GL15	第1GIP	第7ステージ	オン	オン	オン	オン	オン	ホールド	ホールド	ホールド	ホールド
GL14,GL16	第2GIP	第8ステージ	オン	オン	オン	オン	オン	オン	オン	オン	ホールド
GL17,GL19	第1GIP	第9ステージ	ホールド	オン	オン	オン	オン	オン	オン	オン	オン
GL18,GL20	第2GIP	第10ステージ	ホールド	ホールド	ホールド	オン	オン	オン	オン	オン	オン
GL21,GL23	第1GIP	第11ステージ	ホールド	ホールド	オン	オン	オン	ホールド	オン	オン	オン
GL22,GL24	第2GIP	第12ステージ	ホールド	ホールド	ホールド	ホールド	オン	ホールド	オン	オン	オン
GL25,GL27	第1GIP	第13ステージ	ホールド	ホールド	ホールド	ホールド	オン	オン	オン	オン	オン
GL26,GL28	第2GIP	第14ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン	オン
GL29,GL31	第1GIP	第15ステージ	ホールド	ホールド	ホールド	ホールド	オン	ホールド	オン	オン	オン
GL30,GL32	第2GIP	第16ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン

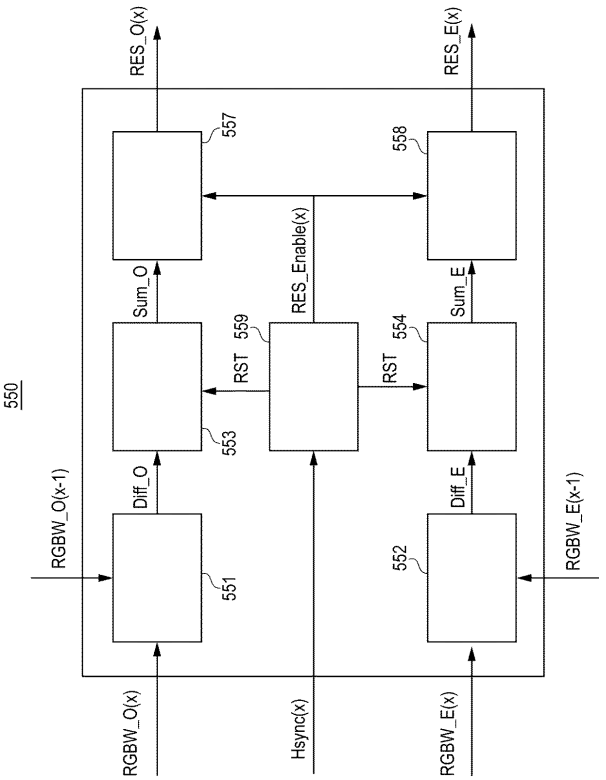
【図１１】

ゲート線	GIP	ステージ	クロック(1)	クロック(2)	クロック(3)	クロック(4)	クロック(5)	クロック(6)	クロック(7)	クロック(8)	クロック(9)
GL1,GL3	第1GIP	第1ステージ	オン	オン	オン	オン	オン	ホールド	ホールド	ホールド	ホールド
GL2,GL4	第2GIP	第2ステージ	オン	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド
GL5,GL7	第1GIP	第3ステージ	オン	オン	オン	オン	オン	オン	オン	ホールド	ホールド
GL6,GL8	第2GIP	第4ステージ	オン	オン	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド
GL9,GL11	第1GIP	第5ステージ	オン	オン	オン	オン	オン	オン	オン	オン	ホールド
GL10,GL12	第2GIP	第6ステージ	オン	オン	オン	オン	ホールド	ホールド	ホールド	ホールド	ホールド
GL13,GL15	第1GIP	第7ステージ	オン	オン	オン	オン	オン	ホールド	オン	ホールド	ホールド
GL14,GL16	第2GIP	第8ステージ	オン	オン	オン	オン	オン	オン	オン	ホールド	ホールド
GL17,GL19	第1GIP	第9ステージ	ホールド	オン	オン	オン	オン	オン	オン	オン	オン
GL18,GL20	第2GIP	第10ステージ	ホールド	ホールド	ホールド	オン	オン	オン	オン	オン	オン
GL21,GL23	第1GIP	第11ステージ	ホールド	ホールド	オン	オン	オン	ホールド	オン	オン	オン
GL22,GL24	第2GIP	第12ステージ	ホールド	ホールド	ホールド	ホールド	オン	ホールド	オン	オン	オン
GL25,GL27	第1GIP	第13ステージ	ホールド	ホールド	ホールド	ホールド	オン	オン	オン	オン	オン
GL26,GL28	第2GIP	第14ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン	オン
GL29,GL31	第1GIP	第15ステージ	ホールド	ホールド	ホールド	ホールド	オン	ホールド	オン	オン	オン
GL30,GL32	第2GIP	第16ステージ	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	ホールド	オン

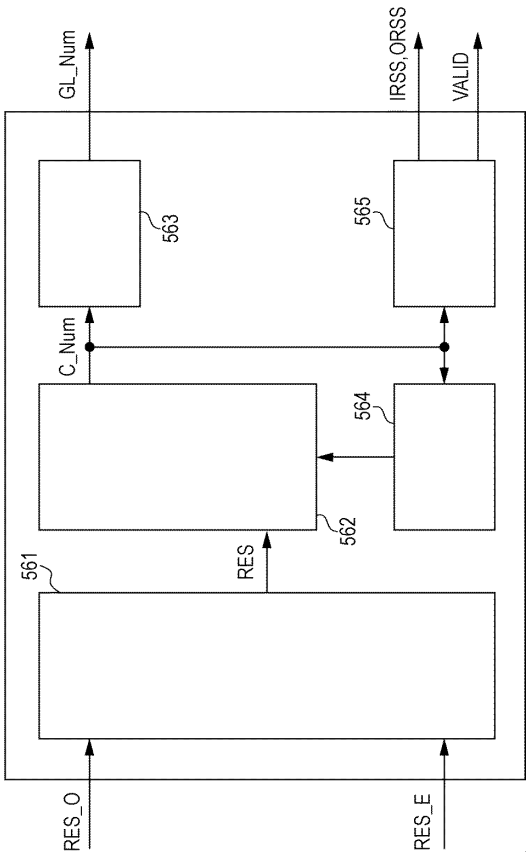
【図１２】



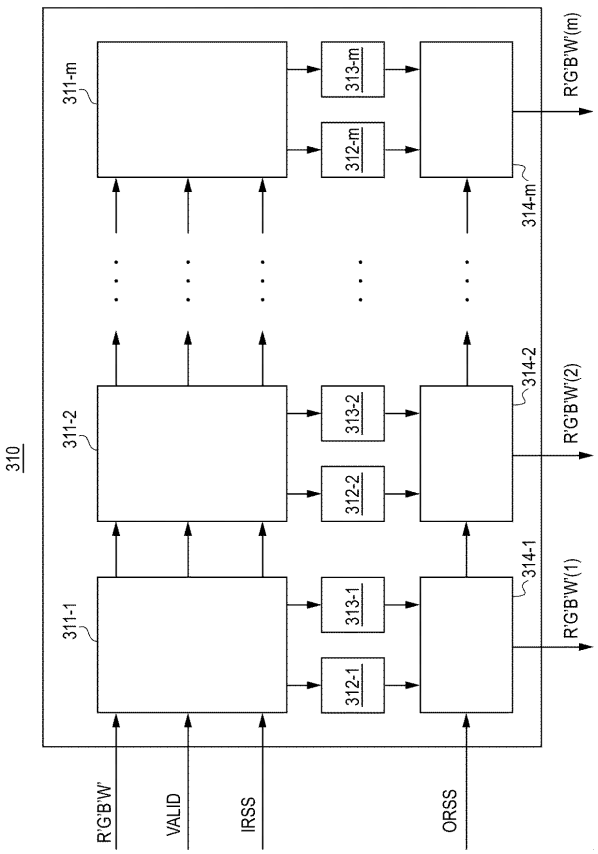
【図１３】



【図１４】



【図１５】



【図１６】

行番号	入力	
	奇数列	偶数列
x−7	0	0
x−6	1	0
x−5	1	0
x−4	1	0
x−3	1	0
x−2	1	0
x−1	1	0
x	1	0

【図１７】

走査番号	判定結果	入力データ番号	入力有効化信号	入力レジスタ選択信号	出力レジスタ選択信号	出力データ番号
1	奇数列	1	1	第1レジスタ	第1レジスタ	1
2	奇数列	2	0	第1レジスタ	第1レジスタ	2
3	奇数列	3	0	第1レジスタ	第1レジスタ	3
4	奇数列	4	0	第1レジスタ	第1レジスタ	4
5	奇数列	5	0	第1レジスタ	第1レジスタ	5
6	奇数列	6	0	第1レジスタ	第1レジスタ	6
7	奇数列	7	0	第1レジスタ	第1レジスタ	7
8	奇数列	8	0	第1レジスタ	第1レジスタ	8
9	偶数列	9	1	第2レジスタ	第2レジスタ	9
10	偶数列	10	1	第2レジスタ	第2レジスタ	10
11	偶数列	11	1	第2レジスタ	第2レジスタ	11
12	偶数列	12	1	第2レジスタ	第2レジスタ	12
13	偶数列	13	1	第2レジスタ	第2レジスタ	13
14	偶数列	14	1	第2レジスタ	第2レジスタ	14
15	偶数列	15	1	第2レジスタ	第2レジスタ	15
16	偶数列	16	1	第2レジスタ	第2レジスタ	16

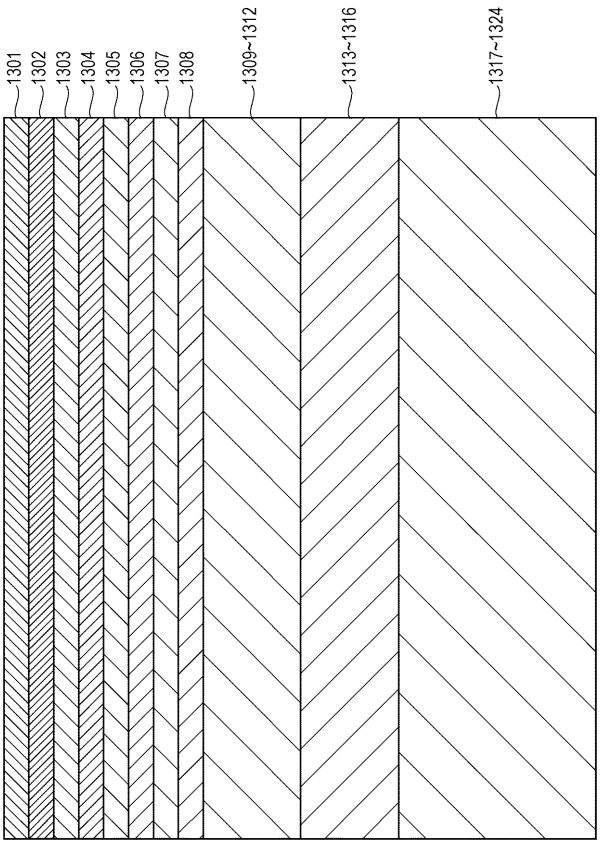
【図１８】

行番号	入力	
	奇数列	偶数列
x−15	0	0
x−14	0	0
x−13	0	0
x−12	0	0
x−11	0	0
x−10	0	0
x−9	0	0
x−8	0	0

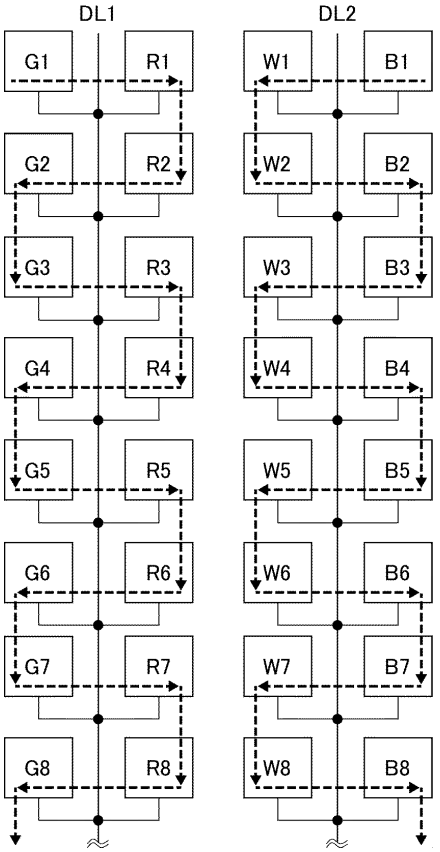
【図１９】

走査番号	判定結果	入力データ番号	入力有効化信号	入力レジスタ選択信号	出力レジスタ選択信号	出力データ番号
17	奇数列	17	1	第1レジスタ	第1レジスタ	17
18	偶数列	18	1	第2レジスタ	第2レジスタ	18
19	偶数列	19	1	第2レジスタ	第2レジスタ	19
20	奇数列	20	1	第1レジスタ	第1レジスタ	20
21	奇数列	21	1	第1レジスタ	第1レジスタ	21
22	偶数列	22	1	第2レジスタ	第2レジスタ	22
23	偶数列	23	1	第2レジスタ	第2レジスタ	23
24	奇数列	24	1	第1レジスタ	第1レジスタ	24
25	奇数列	25	1	第1レジスタ	第1レジスタ	25
26	偶数列	26	1	第2レジスタ	第2レジスタ	26
27	偶数列	27	1	第2レジスタ	第2レジスタ	27
28	奇数列	28	1	第1レジスタ	第1レジスタ	28
29	奇数列	29	1	第1レジスタ	第1レジスタ	29
30	偶数列	30	1	第2レジスタ	第2レジスタ	30
31	偶数列	31	1	第2レジスタ	第2レジスタ	31
32	奇数列	32	1	第1レジスタ	第1レジスタ	32

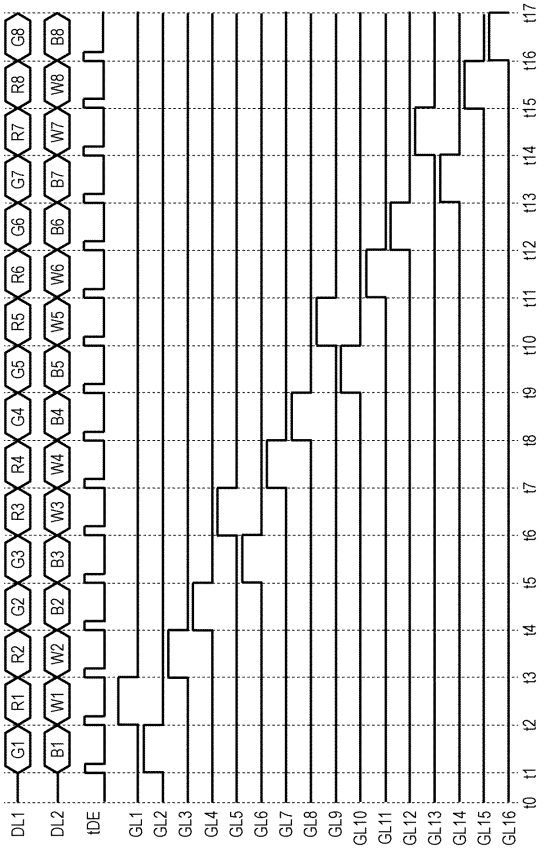
【図２０】



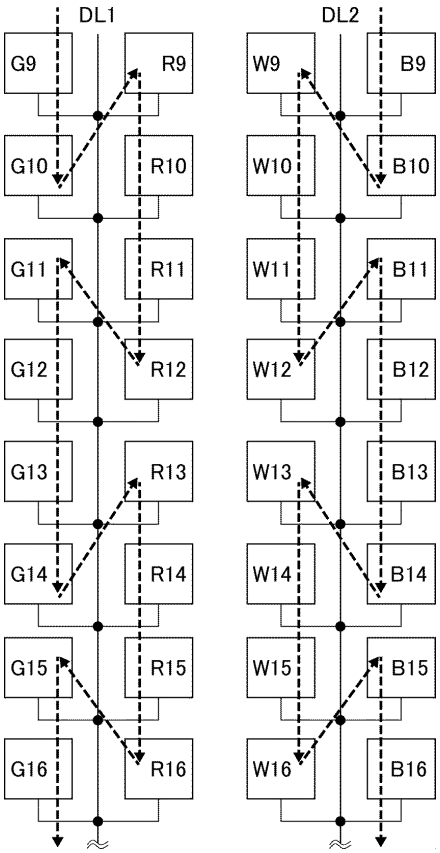
【図２１】



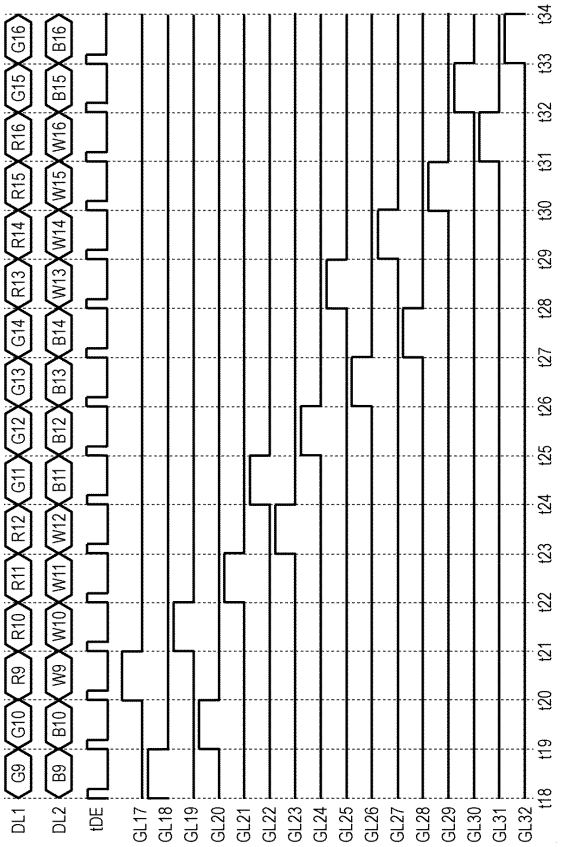
【図２２】



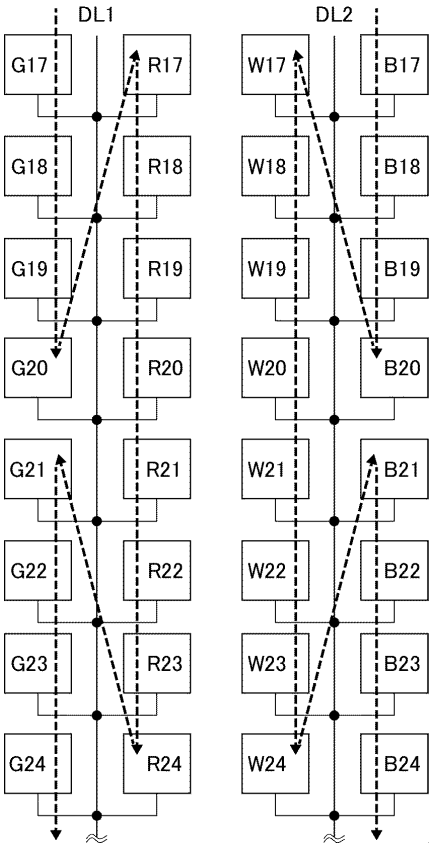
【図２３】



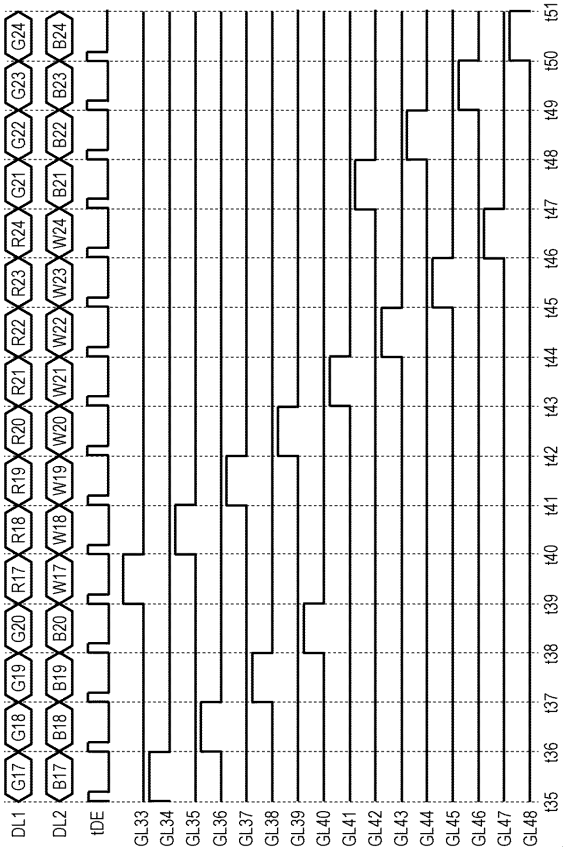
【図２４】



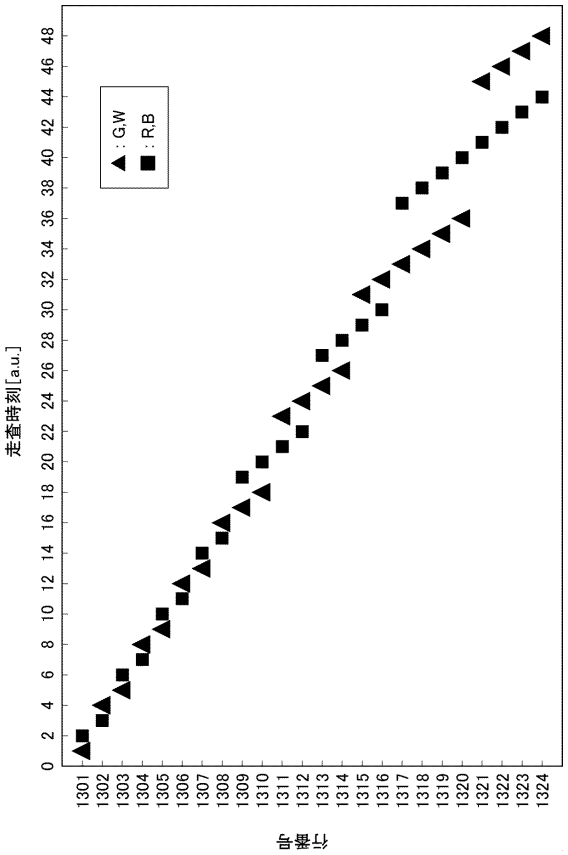
【図２５】



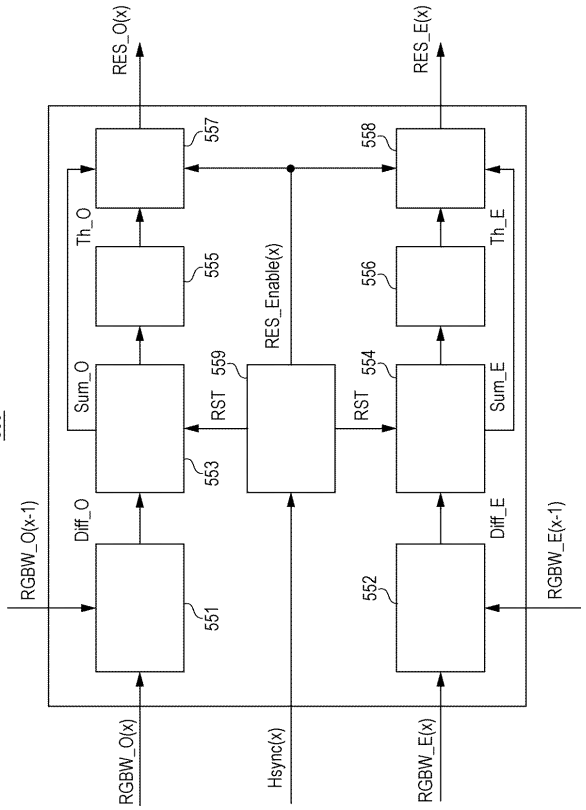
【図２６】



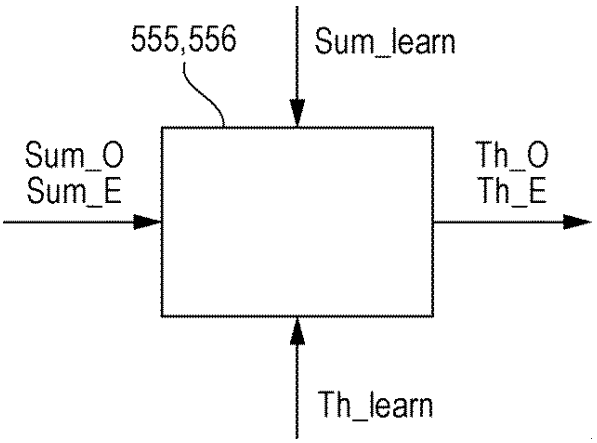
【図２７】



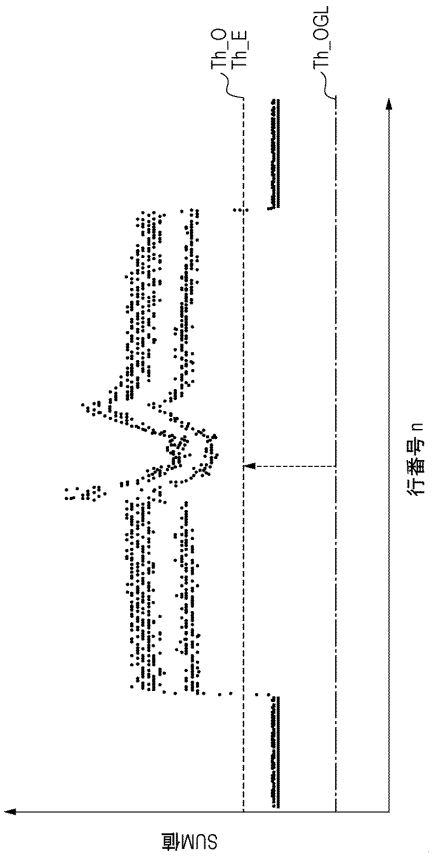
【図２８】



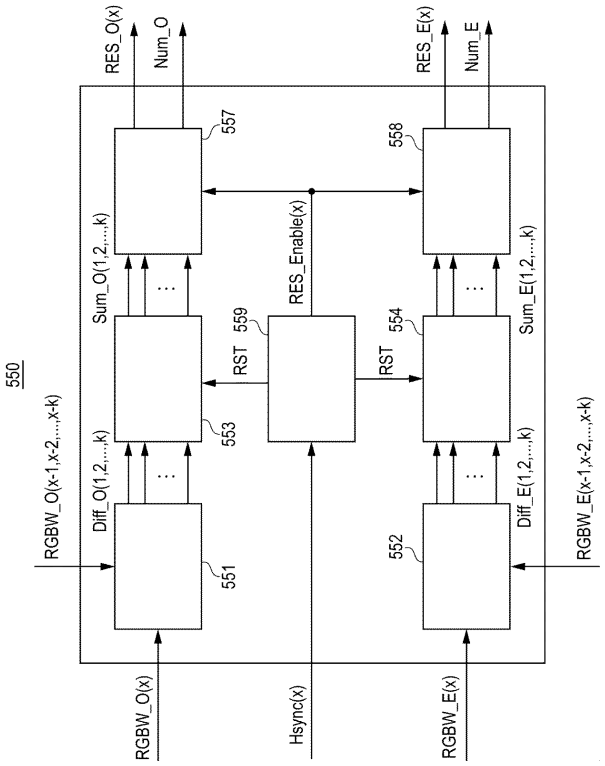
【図２９】



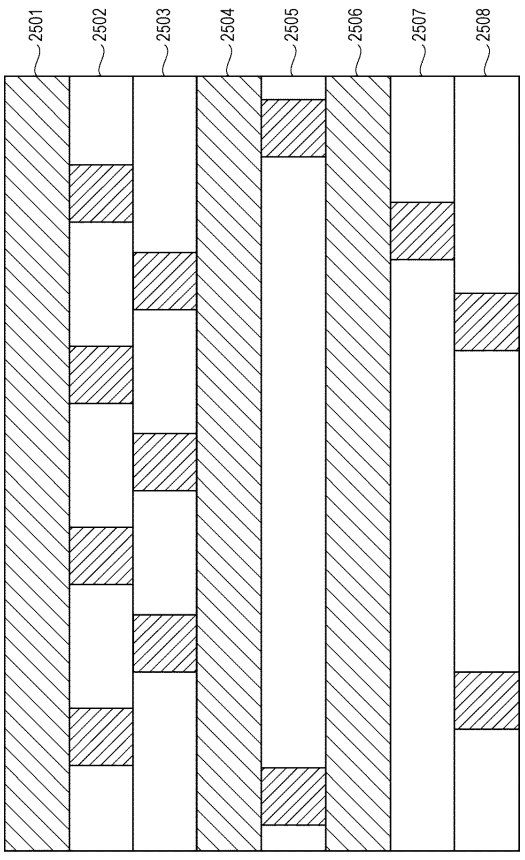
【図３０】



【図３１】



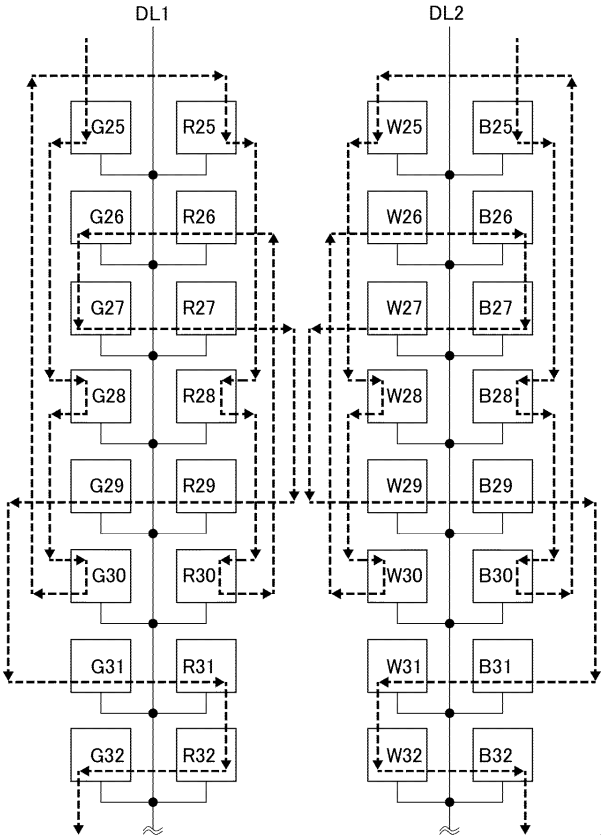
【図３２】



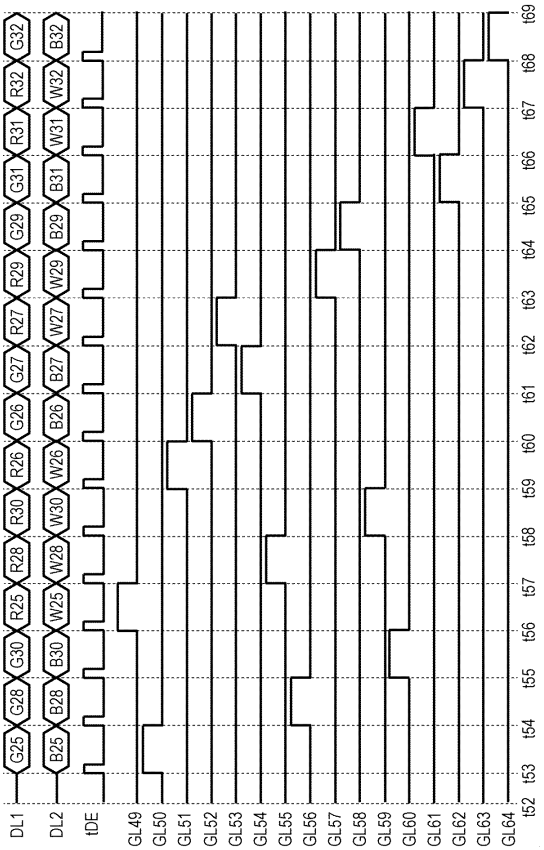
【図３３】

行番号	入力	
	奇数列	偶数列
2501	0	0
2502	0	0
2503	0	0
2504	1, 2501	0
2505	0	0
2506	1, 2504	0
2507	0	0
2508	0	0

【図３４】



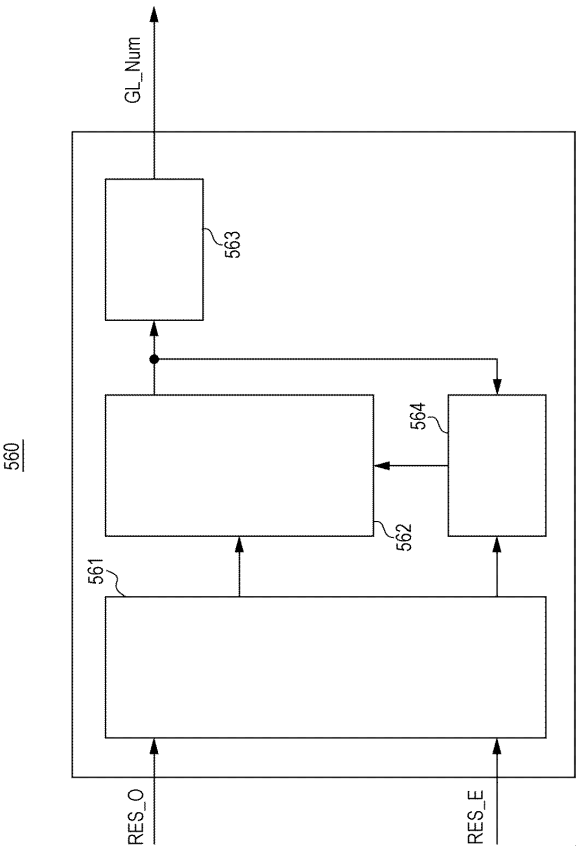
【図３５】



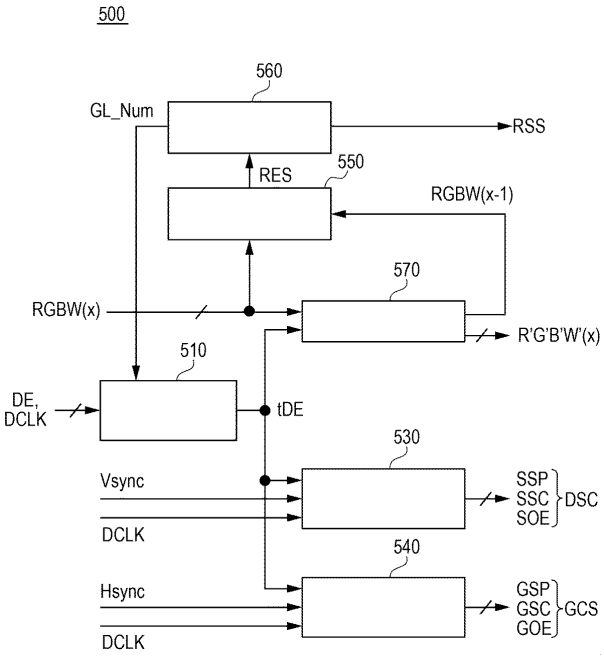
【図３６】

走査番号	判定結果	入力データ番号	入力有効化信号	入力レジスタ選択信号	出力レジスタ選択信号	出力データ番号
33	奇数列	33	1	第1レジスタ	第1レジスタ	33
34	奇数列	41	1	第2レジスタ	第1レジスタ	34
35	奇数列	–	0	第2レジスタ	第1レジスタ	35
36	奇数列	–	0	第2レジスタ	第1レジスタ	36
37	奇数列	–	0	第2レジスタ	第1レジスタ	37
38	奇数列	–	0	第2レジスタ	第1レジスタ	38
39	奇数列	–	0	第2レジスタ	第1レジスタ	39
40	奇数列	–	0	第2レジスタ	第1レジスタ	40
41	偶数列	42	1	第1レジスタ	第2レジスタ	41
42	偶数列	43	1	第2レジスタ	第1レジスタ	42
43	偶数列	44	1	第1レジスタ	第2レジスタ	43
44	偶数列	45	1	第2レジスタ	第1レジスタ	44
45	偶数列	46	1	第1レジスタ	第2レジスタ	45
46	偶数列	47	1	第2レジスタ	第1レジスタ	46
47	偶数列	48	1	第1レジスタ	第2レジスタ	47
48	偶数列	–	1	第1レジスタ	第1レジスタ	48

【図３７】


GL_Num
563
564
562
561
560
RES_O
RES_E

【図３８】


500
560
GL_Num
RSS
RES
550
RGBW(x-1)
570
RGBW(x)
R'G'B'W'(x)
510
DE,
DCLK
tDE
530
Vsync
DCLK
SSP
SSC
SOE
DSC
540
Hsync
DCLK
GSP
GSC
GOE
GCS

フロントページの続き

(51)国際特許分類

Ｇ０９Ｆ　9/30 (2006.01)	Ｇ０９Ｇ　3/20　６２２Ｇ
Ｈ１０Ｋ　59/131 (2023.01)	Ｇ０９Ｇ　3/20　６２３Ｕ
Ｈ１０Ｋ　59/129 (2023.01)	Ｇ０９Ｇ　3/20　６２１Ａ
Ｈ１０Ｋ　59/35 (2023.01)	Ｇ０９Ｇ　3/20　６１２Ｒ
	Ｇ０９Ｇ　3/20　６２２Ｄ
	Ｇ０９Ｇ　3/20　６１２Ｕ
	Ｇ０９Ｇ　3/20　６６０Ｖ
	Ｇ０９Ｇ　3/20　６６０Ｕ
	Ｇ０９Ｇ　3/20　６１１Ａ
	Ｇ０９Ｇ　3/20　６４２Ａ
	Ｇ０９Ｆ　9/30　３３８
	Ｇ０９Ｆ　9/30　３６５
	Ｈ１０Ｋ　59/131
	Ｈ１０Ｋ　59/129
	Ｈ１０Ｋ　59/35

ルジー横浜イノベーションセンター７階 エルジー ジャパン ラボ 株式会社

審査官　西島 篤宏

(56)参考文献

特開２０１２－１７３７４２（ＪＰ，Ａ）

国際公開第２０１８／２２１４７７（WO，Ａ１）

米国特許出願公開第２０１５／０３７９９４７（ＵＳ，Ａ１）

米国特許出願公開第２０１１／０００７０６２（ＵＳ，Ａ１）

特開２００８－２６８８４３（ＪＰ，Ａ）

米国特許出願公開第２０１０／０１０９９９４（ＵＳ，Ａ１）

(58)調査した分野　(Int.Cl.，ＤＢ名)

Ｇ０９Ｇ　３／００ － ３／３８

Ｇ０９Ｆ　９／３０

Ｈ１０Ｋ　５９／１３１

Ｈ１０Ｋ　５９／１２９

Ｈ１０Ｋ　５９／３５