



(12)发明专利

(10)授权公告号 CN 105324941 B

(45)授权公告日 2017.08.08

(21)申请号 201480024418.4

(73)专利权人 加利福尼亚大学董事会

(22)申请日 2014.04.25

地址 美国加利福尼亚州

(65)同一申请的已公布的文献号

(72)发明人 李小灵 张懋中 曹伟汉 金杨效

申请公布号 CN 105324941 A

(74)专利代理机构 北京汇思诚业知识产权代理有限公司 11444

(43)申请公布日 2016.02.10

代理人 王刚 龚敏

(30)优先权数据

(51)Int.Cl.

61/821,702 2013.05.09 US

H03M 3/00(2006.01)

(85)PCT国际申请进入国家阶段日

审查员 刘佳

2015.10.30

(86)PCT国际申请的申请数据

PCT/US2014/035533 2014.04.25

(87)PCT国际申请的公布数据

W02014/182474 EN 2014.11.13

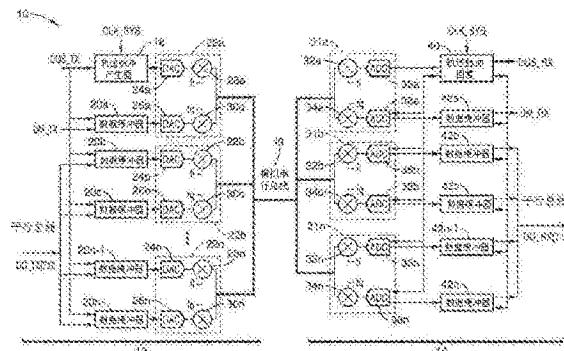
权利要求书2页 说明书8页 附图4页

(54)发明名称

用于芯片到芯片连接的差动电流模式低延
迟调制及解调

(57)摘要

提出一种芯片到芯片通信电路，其特别好地适用于由一集成电路(芯片)至另一集成电路(芯片)的短距离通信(几英寸之内)。所述电路优选地使用多频正交振幅调制(Quadrature Amplitude Modulation, QAM)机制，用于将数字数据位由平行形式转换为串行模拟流，以实现通过芯片I/O连接进行的通信。采用了发射器中的差动电流模式调制，以及接收器中的解调，其降低了延迟及功耗，同时提高了制造良率及对过程变量的弹性。



1. 一种用于执行芯片到芯片通信的装置,包括:

调制电路及解调电路,其基于差动电流流动、而非电流的绝对值,用于实现发射芯片与接收芯片之间的通信;

所述调制电路包括用于多个数据位及一个或多个轨迹脉冲中的每一个的数字模拟转换器及电流模式混合器,所述多个数据位中的每一个在多频调制中是由数字信号转换为模拟差动电流并且在所述电流模式混合器中与用于其他数据位的模拟差动电流输出混合,在所述多频调制中,所述差动电流是响应于在每个所述调制电路内不同电流模式混合器中的多个频率中的每一个频率处施加频率载波而被调制为调制差动电流;以及

所述解调电路包括用于从所述调制电路接收的多个数据位及一个或多个轨迹脉冲中的每一个的电流模式混合器及模拟数字转换器,藉此来自所述多个频率的一频率载波被施加至所述解调电路中的每一个电流模式混合器,以便在经由所述模拟数字转换器转换回数字信号之前解调所述调制差动电流。

2. 如权利要求1所述的装置,其中在第一集成电路芯片中的约定数量的所述多个数据位被转换为串行电流模式模拟信号,配置为用于通过所述调制电路经由单I/O线路与第二集成电路芯片中的解调电路通信,所述解调电路将所述模拟信号解调回多个数据位。

3. 如权利要求1所述的装置,其中所述多频调制包括正交振幅调制(QAM)。

4. 如权利要求3所述的装置,其中所述正交振幅调制(QAM)是选自于由QAM8、QAM16、QAM32、QAM64、QAM128或QAM256组成的QAM级的群组。

5. 如权利要求1所述的装置,其中所述调制电路、以及所述解调电路中的每一个电流模式混合器接收至少两个模拟信号中的一个以及调制载波。

6. 如权利要求1所述的装置,进一步包括低通滤波器,所述低通滤波器在通过所述电流模式混合器执行混合之后被施加至所述解调电路中,以滤除相邻频带信号。

7. 如权利要求1-6中任一项所述的装置,进一步包括在所述解调电路内的所述模拟数字转换器中引入滞后阈值法以避免不正确信号生成。

8. 如权利要求7所述的装置,其中所述模拟数字转换器结合比较器,所述比较器包含具有可调滞后值的电流镜及电流模式施密特触发器,用于执行所述滞后阈值法。

9. 如权利要求1-6中任一项所述的装置,进一步包括位于所述解调电路内的直流降低电路,所述直流降低电路配置为,在将接收到的所述调制差动电流发送至所述解调电路内的所述电流模式混合器之前,降低直流水平以及相关联的功耗。

10. 如权利要求9所述的装置,其中所述直流降低电路确保电流模式混合器的差动电流总和被保持在期望的阈值。

11. 如权利要求1所述的装置,其中所述电流模式混合器使用四相混合载波,每相所述混合载波是所述多频调制中由所述调制电路所使用的数字操控信号的四分之一占空比。

12. 如权利要求11所述的装置,其中所述电流模式混合器配置为用于利用所述数字操控信号的所述四分之一占空比信号,用于防止多频调制中信道之间的干扰。

13. 如权利要求11所述的装置,进一步包括用在所述电流模式混合器中用于保持快速的电流操控并避免所述电流模式混合器的差动晶体管对中电流缺失的四相混合载波,从而确保恒定总和的电流输入所述电流模式混合器。

14. 如权利要求1所述的装置,其中所述多个数据位包括8位、或其他预定数量的位。

15. 如权利要求1所述的装置,其中所述芯片到芯片通信距离是三英寸或小于三英寸。
16. 如权利要求1所述的装置,其中所述装置配置为用于自动调节DC电流以移除非期望的差动DC电流模式,以保持强化的信号对背景DC电流比以及降低的功耗。
17. 如权利要求16所述的装置,其中所述DC电流的自动调整移除响应芯片制作过程变量而产生的过程变量所引起的非期望DC电流分量。
18. 如权利要求1所述的装置,其中所述装置被结合至多频带正交振幅调制(QAM)芯片到芯片收发器电路内。
19. 如权利要求1所述的装置,其中所述装置可应用至二维或三维芯片到芯片集成电路连接。
20. 如权利要求1所述的装置,其中所述装置被结合到集成电路芯片内以允许所述集成电路芯片与多个其他集成电路芯片之间的通信,而所述多个其他集成电路芯片是位于短距离内。
21. 如权利要求1所述的装置,其中所述多个频率包括至少一第一频率及第二频率。
22. 如权利要求1所述的装置,其中所述频率载波是在所述调制电路及所述解调电路内的正交振幅调制(QAM)中使用的,并且包括90度异相调制载波。
23. 如权利要求1所述的装置,其中每一所述调制电路或解调电路配置用于QAM,并且具有所述电流模式混合器中的二个电流模式混合器,一个电流模式混合器用于编码或译码Q信道,以及用于编码或译码I信道。
24. 一种用于执行芯片到芯片通信的装置,包括:
调制电路及解调电路,其基于差动电流流,而非电流的绝对值,用于实现发射芯片与接收芯片之间通信;
所述调制电路包括用于多个数据位及一个或多个轨迹脉冲中的每一个的数字模拟转换器及执行正交振幅调制(Quadrature Amplitude Modulation,QAM)的电流模式混合器,所述多个数据位中的每一个在多频调制中由数字信号转换为模拟差动电流并且在所述电流模式混合器中与用于其他数据位的模拟差动电流输出混合,所述多频调制中,差动电流响应于将频率载波施加至每一调制电路中不同电流模式混合器内多个频率中的每一频率处而被调制为调制差动电流;
所述解调电路包括用于接收自所述调制电路的多个数据位及一个或多个轨迹脉冲中的每一个的执行正交振幅解调的电流模式混合器及模拟数字转换器,藉此来自所述多个频率中的频率载波被施加至所述解调电路中的每一电流模式混合器,以便在经由所述模拟数字转换器转换回数字信号之前先解调所述调制差动电流;以及
其中第一集成电路芯片中的约定数量的所述多个数据位被转换为串行电流模式模拟信号,所述串行电流模式模拟信号配置为用于通过所述调制电路经由单一I/O线路与第二集成电路芯片中的解调电路通信,所述第二集成电路芯片中的解调器将模拟信号解调回多个数据位。

用于芯片到芯片连接的差动电流模式低延迟调制及解调

[0001] 相关申请的交叉参考

[0002] 本申请请求于2013年5月9日申请的序列号为61/821,702的美国临时专利申请案的优先权及其权益，其整体此处引入供参考。

背景技术

[0003] 1、技术领域

[0004] 本发明一般是关于芯片到芯片通信，具体地，是关于利用差动电流模式多频调制-解调技术的短距离芯片到芯片通信。

[0005] 2、背景技术的说明

[0006] 传统串行式I/O是以多路调制及多路解调数字通信为基础。为了增加采用这些传统方案的通信带宽，有人首先求助于增加时钟频率。

[0007] 然而，每一种过程技术在时钟频率上均有其自身的限制，因此人们必需经常增加I/O连接的数量以增加带宽，因此增加制造成本。此类成本甚至在3D集成电路整合中，诸如那些用于垂直互连的以贯通基材穿孔(through-substrate-via, TSV)为基础的整合中，会进一步增加。用于I/O的TSV的数量基于基础物理或机械的限制是无法扩展的。高于每单位面积内特定数量(或总体密度)的TSV会导致细薄化的Si基材(约100μm/层(tier))，其可能导致崩坏。因此，此种细薄现象可严重地限制3D集成电路内的层间通信带宽。

[0008] 因此，已在寻求具有较高通信带宽的芯片到芯片通信电路，该电路不需要在时钟频率或额外的I/O连接中同时增加。传统芯片到芯片通信连接依赖通过互连金属线的电压通信。即使是用于芯片间通信的先进方法，诸如先前申请案中发明人所教示的用于芯片到芯片连接的多频带正交振幅调制(Quadrature Amplitude Modulation, QAM)电路(提供高带宽而不会增加时钟频率或增加I/O连接)，仍包括具有终端或不具终端的电压信号的使用。

[0009] 这些用于执行多频带或QAM调制及解调电路的现存方法是以长距离通信为目标。此是因为通信间的距离长以及高功率放大器及低噪声放大器可用来传送或接收电压模式而非电流模式中的通信信号。

[0010] 因此，本发明提供用于几英寸或更短的短芯片间距离的强化的芯片到芯片通信技术。

发明内容

[0011] 提出一种新颖的差动电流模式调制-解调方法，所述方法提供较低(较短)延迟、较低功耗、较高制作良率，然而同时提供对过程变量的弹性，诸如，用于多频带QAM收发器电路。本发明新颖的差动电流模式调制-解调方法/装置可应用于若干需要短距离芯片间通信的应用，并且尤其好地适于作为用于三维集成电路通过垂直TSV互连中的芯片到芯片连接的基础。

[0012] 调制解调是以差动电路模式为基础实现的，并且包括DC电流降低电路元件以改善

信号噪声比 (signal-to-noise ratio, SNR)。本发明的电路是利用具有经证明的较高制造良率的电流镜而予以优选地实现的。具有可调滞后的电流模式施密特触发器 (Schmitt Trigger) 被纳入解调电路内, 以在不产生位错误的情况下改善数据恢复。

[0013] 本发明的进一步的方面将在说明书的下列部分中进行说明, 其中详细说明旨在完整揭示本发明优选实施例, 而并非对所述优选实施例进行限制。

附图说明

[0014] 通过参考下列附图能够更加全面地理解本发明, 其中所述附图仅用于示例性说明。

[0015] 图1是根据本发明的一实施例的一短距离调制及解调通信装置的示意框图。

[0016] 图2是根据本发明的一实施例使用的直流降低电路的示意图。

[0017] 图3A是根据本发明的一实施例使用的差动电流操控混合器的示意图。

[0018] 图3B是根据本发明的一实施例运行的图3A电路的计时/相位图。

具体实施方式

[0019] 一般地, 本发明提供了一种新颖形式的芯片到芯片通信技术, 该技术在芯片间的通信距离少于几英寸(诸如3英寸), 以及优选地少于约3英寸时将调制-解调应用至差动电流流上。本发明的装置、系统及方法具有若干优点, 包括, 与具有单端或差动模式的现有电压信号所提供的相比, 具有较低的电力、较低的延迟、相邻贯穿硅穿孔 (through-silicon-vias, TSVs) 之间的干扰耐受性以及对制造过程变量的增加的耐受性。

[0020] 此外, 本发明的电流信号是基于电流流动的差异, 而非其绝对值。因为源芯片的连接TSV引线对在将电流流动输送到接收器芯片之前是加上来自调制电路, 例示为多频正交振幅调制 (QAM) 电路, 的电流流动, 所以差动电流流动的DC(直流) 位准变高。应理解的是差动电流也可采用低频AC根据现有技术进行配置, 而所述低频AC可以从调制信号的较高频率中区别出来。接收器芯片不但将承受不必要的DC功耗, 而且还将造成其差动信号与背景DC电流之间的比例较低。鉴于此问题, 本发明的电路架构是自动调整DC电流以移除非期望的差动DC电流模式, 用于保持强化的信号对背景比, 并且降低功耗。

[0021] 此外, 本发明的通信电路通过集成移除过程变量所引起的非期望DC电流分量的自动调整DC降低电路, 解决了导致DC电流位准改变的芯片制造过程变量。本发明的电路为芯片间通信的差动电流模式信号提供潜在较为稳备的方式, 而无论制作过程变量的位准未知。

[0022] 本发明的接收器芯片的输入阻抗在电流模式中运行时与电压模式运行下的输入阻抗相比是低的。因此, 源(发射器) 芯片在电流模式运行中是受到较轻的负载, 此较轻的负载导致较高的速度, 即使在大电容性负载的情况下亦然。此外, 相邻TSVs所产生, 主要为电压模式, 的干扰噪声及其电流在流经传导性硅基材后在数量级上实质上减少。降低后的电流噪声允许人们甚至可以更低的电流实现接收器电路, 用于进一步降低功耗。

[0023] 在本发明的短距离应用中, 应理解的是芯片间连接, 诸如通过三维集成电路 (3DIC) 垂直TSVs的, 是在几英寸(例如, 3英寸) 之内, 然而其可能下降至小于一英寸的十分之一。此允许人们应用电流模式运行作为通信信号。此外, 为了允许来自非预期性来源的噪

声或干扰,利用差动电流可改善通信的稳健性及效率。除了应用差动电流作为调制及解调的信号以外,还集成自动调整DC电流降低电路,其不仅改善信号噪声比(SNR),还低降低功耗以克服过程变数。

[0024] 图1图示了利用多频带正交振幅调制(QAM)电路以连接一短距离内多个芯片的调制及解调通信电路用的电路方块的示例性实施例10。

[0025] 调制及解调电路10包括调制电路以实现热射(TX)12,以及解调电路以实现接收(RX)14,而介于发送与接收之间的、在形式上为模拟串行系列总线的被视为通信连接16。

[0026] 发射侧12被显示经由一数据总线接收数据,所述数据总线的示例为,但非限于,8位宽总线(DQ_TX[7:0])、装置模式信号(DM_TX)、发射器闩锁信号DQS_TX、以及时钟信号(CLK_SYS)。在发射侧的调制器中可见到轨迹脉冲产生器18,看到该轨迹脉冲产生器在第一阶段耦合至多个数据缓冲器20a至20n。看到脉冲产生器18及数据缓冲器20a-20n的输出被QAM电路22a至22n接收。轨迹脉冲生成提供用于供发射器与接收路之间同步的机制。轨迹脉冲被发送至接收器,该接收器是用来控制用于DM_RX位以及数据位DQ_RX[7:0]的数据缓冲器。看到每一个QAM电路(22a至22n)示例性地包括数字模拟转换器(DACs)24a,26a,24b,26b,...24n,26n,接着为混合器(电流模式)28a,30a,28b,30b,...28n,30n,而每一对混合器均接收 f_i 与 f_q 信号。要理解的是所描述的DACs是配置用于输出差动电流模式输出信号的,而所述输出信号接着由电流模式混合器进行调制。

[0027] 接收侧14显示具有与发射侧所见到的类似的信号,然而所述接收侧经数据总线输出数据,所述数据总线示例为,但非限于,8位总线(DQ_RX[7:0]),输出装置模式信号(DM_RX)、输出状态信号DQS_RX、以及时钟信号(CLK_SYS)。接收器14中的解调电路实质上是发射侧12中所见的相反。信号是自模拟串行总线16接收至若干个包括混合器32a,34a,32b,34b,...32n,34n的QAM电路31a,31b,...31n,而每一对混合路均接收 f_i 与 f_q 信号。来自混合器的输出通过成对的模拟数字转换扫(ADC)36a,38a,36b,38b,...36n,38n,而被转换为数字信号,其中每一混合器输出均耦合至ADC的输入。来自ADCs的数字输出是在一轨迹脉冲回复电路40以及数据缓冲器42a,42b,42c,...42n-1,42n处接收的。轨迹脉冲回复电路40的输出被输出为DQS_RX,而另一部分连接至数据缓冲器42a,42b,42c,...42n-1,42n中的每一个。来自第一数据缓冲器42a的输出产生信号DM_RX,然而来自其余数据缓冲器的输出则输出信号DQ_RX[7:0]。

[0028] 电路在应用多频调制并结合混合器输出之后发送数字信号字节,以便由发射器12发送经调制的多频模拟传输。接收器电路14接收此多频模拟信号并施加多频解调至来自发射器12的结合后的信号,而从所述结合后的信号中撷取发射器12所原始接收的数字信号。

[0029] 电路在通过数字模拟转换器(24a,26a,24b,26b,...24n,26n)转换数字电压信号之后发送差动电流信号。应理解的是,虽然DAC是以差动电流模式输出作说明,然而电路可替代地以接续在DAC之后的电路来实现,而所述接续在DAC之后的电路将电压位准信号转换为差动电流模式输出。DACs产生的差动电流信号接着通过在混合器(28a,30a,28b,30b,...28n,30n)处施加界定的频率载波信号(f_i 与 f_q)进行调制,而所述混合器的结合后的信号是透过连接引线经由串行总线16传送的。

[0030] 在一互补方式中,接收来自TX的差动电流信号的电路将被传送至混合器(32a,34a,32b,34b,...32n,34n)进行解调并且通过ADC(36a,38a,36b,38b,...36n,38n)进行转

化,并且接着进行缓冲(40,42a,42b,42c,...42n-1,42n)。电路在将所接收的差动电流信号直接传送至混合器之前,先实现直流降低,以改善信号比以及降低功耗。应理解的是,虽然直流降低电路被说明为混合器电路的一部分,然而所述直流降低电路可作为与混合器电路关联运行的个别电路实现。

[0031] 图2显示直流降低电路50的示例性实施例,所述电路配置为移除任何额外的直流电流,因此确保到达混合器的差动电流总和等于 $10*I_C$ 。电路描述在混合器信号输入1_2_Mixer_p与1_2_Mixer_N处的晶体管52a,52b是以协向电流镜像方式结合晶体管54a,54b,56a,56b运行的。看到施密特触发器60a,60b与电流经由晶体管60a部分通过晶体管62a,62b的电流镜像耦接形成一电流镜,而所述电流经由晶体管60a流经晶体管58a,58b的最终电流镜。此电路亦显示移除的直流电流量随着I_P和I_N变化而改变,以确保输入混合器的总和仍然恒定。恒定的差动电流信号允许混合器一致的电路特性。

[0032] 图3A显示具有四组晶体管对72a,72b,72c,和72d的混合器70的示例性实施例。时钟CLKN_P是在晶体管72a,72d的栅极处被接收,CLK_P是在晶体管74b,76b的栅极处被接收,CLKN_N是在晶体管76b,74c的栅极处被接收,CLK_N是在晶体管76a,74d的栅极处被接收。混合载波是位操控信号的四分之一占空比。信号I_MIX_P是耦接至晶体管对72a(74a,76a)以及72c(74c,76c)的漏极,而信号I_MIX_N则耦接至晶体管对72b(74b,76b)以及72d(74d,76d)的漏极。来自晶体对72a(74a,76a),以及72b(74b,76b)的输出包括I_DAC_N信号78a,而来自晶体管对72c(74c,76c),以及72d(74d,76d)的那些输出则包括I_DAC_P信号78b。

[0033] 图3B显示用于计时3A的混合器的实施例,显示在相位P_0,P_1,P_2,和P_3时的时钟信号CLK_P,CLK_N,CLKN_P,和CLKN_N用的计时。混合器计时应用四分之一占空比,因此电路避免I-信道与Q-信道之间的干扰。此四相位混合载波优选地用来保持快速电流操控以及避免在差动对中的任何电流缺失现象。此四相位载波是如下运行的:在相位P_0期间,CLK_P和CLKN_N是高的,以便 $I_{MIX_P}=I_{DAC_P}$,以及 $I_{MIX_N}=I_{DAC_N}$ 。相位0产生在电流模式DAC输出的相同相位的差动电流信号。在相位1期间,CLKN_P和CLKN_N为高的,以便 $[I_{MIX_P}=I_{MIX_N}=0.5*(I_{DAC_P}+I_{DAC_N})]$ 。相位1产生一为零的差动电流信号。在相位2期间,CLK_N和CLKN_P为高的,以便 $(I_{MIX_P}=I_{DAC_N}, I_{MIX_N}=I_{DAC_P})$,藉此相位2产生电流模式DAC输出的180度的差动电流信号。在相位3期间,CLKN_P和CLKN_N为高的,以便 $[I_{MIX_P}=I_{MIX_N}=0.5*(I_{DAC_P}+I_{DAC_N})]$,藉此产生一为零的差动信号。差动电流操控混合器被配置使得电流将不会在任何约定时间关闭,因此避免任何电流尖波以及藉此在混合期间降低任何非预期的噪声。此外,直流位准允许混合器在高频运行而不致有严重的效能退化。

[0034] 反过来参见图1中的发送电路,发射器12的输出引线驱动来自混合器输出信号的总和的信号16。要理解的是因为信号处于差动电流模式,所以人们可直接在混合器之后对全部的电流镜输出进行布线。接着此差动电流信号被传送至接收器电路14。接收器14实现直流降低电路,以将直流位准降低至预定位准。剩余的差动电流信号被传送至解调混合器。在混合器处解调之后,低过滤波器可视需要加以应用,以滤除相邻频带信号。应理解的是虽然低过滤波器可视为混合器电路的一部分,然而它们电路作为接续在混合器电路之后的个别电路可替代地实现。

[0035] 应理解的是,低通过滤之后的信号是受到相邻信道的干扰,并且涟波是在低过滤

波器之后产生的。为确保在不需要的涟波存在下稳健运行,本发明的装置优选地在模拟数字转换器中应用滞后法,以避免不正确信号生成。因为此为差动电流信号,要注意到的是滞后量可经由模拟数字转换器的比较器中的电流镜进行数字式程序化。

[0036] 应理解的是可以獲得各种形式的QAM,且其可与本发明一起使用,可选用的某些较适用形式包括QAM8、QAM16、QAM32、QAM64、QAM128和QAM256。应理解的是QAM将信息均匀地分布在I-Q平面中,以及高阶的QAM包括群集中较紧密间隔的信息。因此,高阶QAM允许每个符号中发送更多位,但是假设群集中的能量仍然相同时,则群集中的点会较紧密地聚在一起,并且发送会变得较易受到噪声影响。还应理解的是根据本发明调制及解调可采用其他多频模拟调制及解调的形式予以实现。可采用的其他形式多频调制的实例包括脉宽调制(PWM)、移频键控(FSK)、跳频、展频,等。

[0037] 本领域的技术人员将理解所述控制信号,包括DQS_TX、DM_TX、及各种时钟信号,诸如CLK_SYS、CLK_N、CLK_P、CLKN_P和CLKN_N,可以在不偏离本发明的前提下以各种方式通过控制电路产生。例如,专属的数字路、计时/震荡电路、栅极阵列、可编程逻辑阵列、(具有关联内存的)计算机电路、及其他能够产生控制逻辑的电路的使用,同时这些电路形式的组合亦可采用,而并无任何限制。

[0038] 本发明提供一种用于多频带QAM通信装置的调制及解调的差动电流模式运行。除了电流模式数字模拟转换器及模拟数字转换器以外,电路还包括四个四分之一占空比混合器、直流降低电路以及通过电流编程设置的可调滞后电路。此类电路特征确保稳健、短延迟及低功率的运行。

[0039] 本发明的差动电流模式调制-解调的至少一个优选实施方案建置在28nm CMOS或进一步定标的硅过程技术上。

[0040] 从上述讨论可理解的是本发明可以各种方式体现,包括但不限于下列:

[0041] 1、一种用于执行芯片到芯片通信的装置,包括:

[0042] 调制电路及解调电路,其基于差动电流流动、而非电流的绝对值,用于实现发射芯片与接收芯片之间的通信;

[0043] 所述调制电路包括用于多个数据位及一个或多个轨迹脉冲中的每一个的数字模拟转换器及电流模式混合器,所述多个数据位中的每一个在多频调制中是由一数字信号转换为一模拟差动电流并且在所述电流模式混合器中与用于其他数据位的模拟差动电流输出混合,在所述多频调制中,所述差动电流是响应于在每个调制器电路内不同电流模式混合器中的多个频率中的每一个频率处施加频率载波而被调制;以及

[0044] 所述解调电路包括用于接收自所述调制电路的多个数据位及一个或多个轨迹脉冲中的每一个的电流模式混合器及模拟数字转换器,藉此来自所述多个频率的一频率载波被施加至所述解调器中的每一个电流模式混合器,以便在经由所述模拟数字转换器转换回一数字信号之前解调所述模拟差动载波。

[0045] 2、如前述实施例中的任一个所述的装置,其中在第一集成电路芯片中的约定数量的平行数字数据位被转换为串行电流模式模拟信号,配置为用于通过所述调制器经由单I/O线路与第二集成电路芯片中的解调器通信,所述解调器将所述模拟信息解调回平行数字数据位。

[0046] 3、如前述实施例中的任一个所述的装置,其中所述多频调制包括正交振幅调制

(QAM)。

[0047] 4、如前述实施例中的任一个所述的装置，其中所述正交振幅调制(QAM)是选自于由QAM8、QAM16、QAM32、QAM64、QAM128或QAM256组成的QAM级。

[0048] 5、如前述实施例中的任一个所述的装置，其中所述调制器、以及所述解调器中的每一电流模式混合器接收至少两个模拟信号中的一个以及调制载波。

[0049] 6、如前述实施例中的任一个所述的装置，进一步包括低通滤波器，所述低通滤波器在通过所述电路模式混合器执行混合之后被施加至所述解调器中，以滤除相邻频带信号。

[0050] 7、如前述实施例中的任一个所述的装置，进一步包括在所述解调器内的所述模拟数字转换器中引入滞后阈值法以避免不正确信号生成。

[0051] 8、如前述实施例中的任一个所述的装置，其中所述模拟数字转换器结合比较器，所述比较器包含具有可调滞后值的电流镜及电流模式施密特触发器(Schmitt Triggers)，用于执行所述滞后阈值法。

[0052] 9、如前述实施例中的任一个所述的装置，进一步包括位于所述解调电路内的直流降低电路，所述直流降低电路配置为，在将所述接收到的差动电流信号发送至所述解调电路内的所述混合器之前，降低直流水平以及相关联的功耗。

[0053] 10、如前述实施例中的任一个所述的装置，其中所述直流降低电路确保电流模式混合器的差动电流总和被保持在期望的阈值。

[0054] 11、如前述实施例中的任一个所述的装置，其中所述电流模式混合器使用混合载波，所述混合载波是所述多频调制中所使用的数字操控信号的四分之一占空比。

[0055] 12、如前述实施例中的任一个所述的装置，其中所述四分之一占空比信号的应用避免了多频调制中信道之间的干扰。

[0056] 13、如前述实施例中的任一个所述的装置，进一步包括一四相混合载波，以保持快速电流操控并避免所述电流模式混合器的差动晶体管对中电流的电流贫乏。

[0057] 14、如前述实施例中的任一个所述的装置，其中所述多个位包括8位、或其他预定数量的位的字节。

[0058] 15、如前述实施例中的任一个所述的装置，其中所述芯片到芯片通信距离是三英寸或小于三英寸。

[0059] 16、如前述实施例中的任一个所述的装置，其中所述芯片到芯片通信装置，无论在单端或者差动模式中，相较于现有电压信号，均受益于降低的功耗、较短的延迟、对相邻直通硅穿孔间干扰的较高耐受性以及对过程变量的较高耐受性。

[0060] 17、如前述实施例中的任一个所述的装置，其中所述装置是配置为用于自动调节DC电流以移除非期望的差动DC电流模式，以保持强化的信号对背景比以及降低的功耗。

[0061] 18、如前述实施例中的任一个所述的装置，其中所述DC电流的自动调整移除响应芯片制作过程变量而产生的过程变量所引起的非期望DC电流分量。

[0062] 19、如前述实施例中的任一个所述的装置，其中在所述电流模式中运行时，使用所述解调器的芯片的输入阻抗与电压模式中运行时的输入阻抗，藉此使用所述调制器的芯片发射在电流模式运行中是受到较轻的负载而导致在较大电容负载下较高速的通信。

[0063] 20、如前述实施例中的任一个所述的装置，其中所述解调器受益于使用所述差动

电流流的较低输入阻抗,所述差动电流流为电流模式,以及,与依赖通信的电压模式形式的电路相比,对于主要在电压模式中运行的相邻直通硅穿孔(through-silicon-vias, TSVs)产生的干扰噪声较不敏感。

[0064] 21、如前述实施例中的任一个所述的装置,其中所述装置被结合至多频带正交振幅调制(QAM)芯片到芯片收发器电路内。

[0065] 22、如前述实施例中的任一个所述的装置,其中所述装置可应用至二维或三维芯片到芯片集成电路连接。

[0066] 23、如前述实施例中的任一个所述的装置,其中所述装置被结合到集成电路内以允许所述芯片与多个其他集成电路芯片之间的通信,而所述多个其他集成电路芯片是位于短距离内并且也结合至所述芯片到芯片通信装置。

[0067] 24、如前述实施例中的任一个所述的装置,其中所述多个频率包括至少一第一频率及第二频率。

[0068] 25、如前述实施例中的任一个所述的装置,其中所述频率载波是在所述调制电路及所述解调电路内的正交振幅调制(QAM)中使用的,并且包括90度异相调制载波。

[0069] 26、如前述实施例中的任一个所述的装置,其中每一所述调制器电路或解调器电路配置用于QAM,并且具有所述电流模式混合器中的二个电流模式混合器,一个电流模式混合器用于编码或译码Q信道,以及用于编码或译码I信道。

[0070] 27、一种用于执行芯片到芯片通信的装置,包括:

[0071] 调制电路及解调电路,基于差动电流流动、而非电流的绝对值,用于实现发射芯片与接收芯片之间的通信;

[0072] 所述调制电路包括用于多个数据位和一个或多个轨迹脉冲中的每一个的数字模拟转换器及电流模式混合器,所述多个数据位中的每一个在多频调制中由数字信号转换为模拟差动电流并且在所述电流模式混合路中与用于其他数据位的模拟差动电流输出混合,在所述多频调制中,所述差动电流是响应于将频率载波施加至每个调制器电路中不同电流模式混合器内的多个频率中的每一频率而被调制;

[0073] 所述解调电路包括用于接收自所述调制电路的多个数据位及一个或多个轨迹脉冲中的每一个的电流模式混合器及模拟数字转换器,藉此来自所述多个频率的一个频率载波被施加至所述解调器中的每一个电流模式混合器,以便在经由所述模拟数字转换器转换回数字信号之前先解调所述模拟差动载波;以及

[0074] 其中在第一集成电路芯片中的约定数量的平行数字数据位被转换为串行电流模式模拟信号,所述串行电流模式模拟信号配置为用于通过所述调制器经由单一I/O线路与在第二集成电路芯片中的解调器通信,而所述第二集成电路芯片中的解调器将所述模拟信息解调回平行数字数据位。

[0075] 28、一种用于执行芯片到芯片通信的装置,包括:

[0076] 调制电路及解调电路,其基于差动电流流,而非电流的绝对值,用于实现发射与接收芯片之间通信;

[0077] 所述调制电路包括用于多个数据位及一个或多个轨迹脉冲中的每一个的数字模拟转换器及执行正交振幅调制(QAM)的电流模式混合器,所述多个资料位中的每一个在多频调制中由数字信号转换为模拟差动电流并且在所述电流模式混合器中与用于其他数据

位的模拟差动电流输出混合,所述多频调制中,差动电流响应于将频率载波施加至每一调制器电路中不向电流模式混合器内多个频率中的每一频率处;

[0078] 所述解调电路包括用于接收自所述调制电路的多个数据位及一个或多个轨迹脉冲中的每一个的执行正交振幅解调(QAM)的电流模式混合器及模拟数字转换器,藉此来自所述多个频率中的频率载波被施加至所述解调器中的每一电流模式混合器,以便在经由所述模拟数字转换器转换回数字信号之前先解调所述模拟差动载波;以及

[0079] 其中第一集成电路芯片中的约定数量的平行数字数据位被转换为串行电流模式模拟信号,所述串行电流模式模拟信号配置为用于通过所述调制器经由单一I/O线路与第二集成电路芯片中的解调器通信,所述第二集成电路芯片中的解调器将模拟信息解调成平行数字数据位。

[0080] 虽然以上说明包括许多细节,然而此类细节不应阐释为限制本发明的范围,而仅是提供本发明某些当前优选实施例。因此,应当理解的是,本发明的范围还将包括对本领域技术人员来说显而易见的其他实施例,以及本发明的范围因此仅由所附权利要求而限定,其中提及单数形式的元件,除非明确地陈述,并非仅仅指代“一个和仅为一个”,相反地是指,“一个或多个”。

[0081] 对于本领域技术人员来说,习知的上述优选实施例中的元件的所有结构及功能等效物是明确地并入此处作为参考的,旨在由本发明权利要求所涵盖。此外,装置或方法无需解决寻求应该由本发明解决的每一个及所有问题,因为其将由本权利要求所涵盖。此外,此处描述的元件、部件或方法步骤并非旨在奉献给公众,无论所述元件、部件或方法步骤是否明确叙述于权利要求中。权利要求中的元件并非受到35U.S.C.112规定的约束,除非所述元件是由“装置用于... (means for)”的方式进行明确的功能限定。

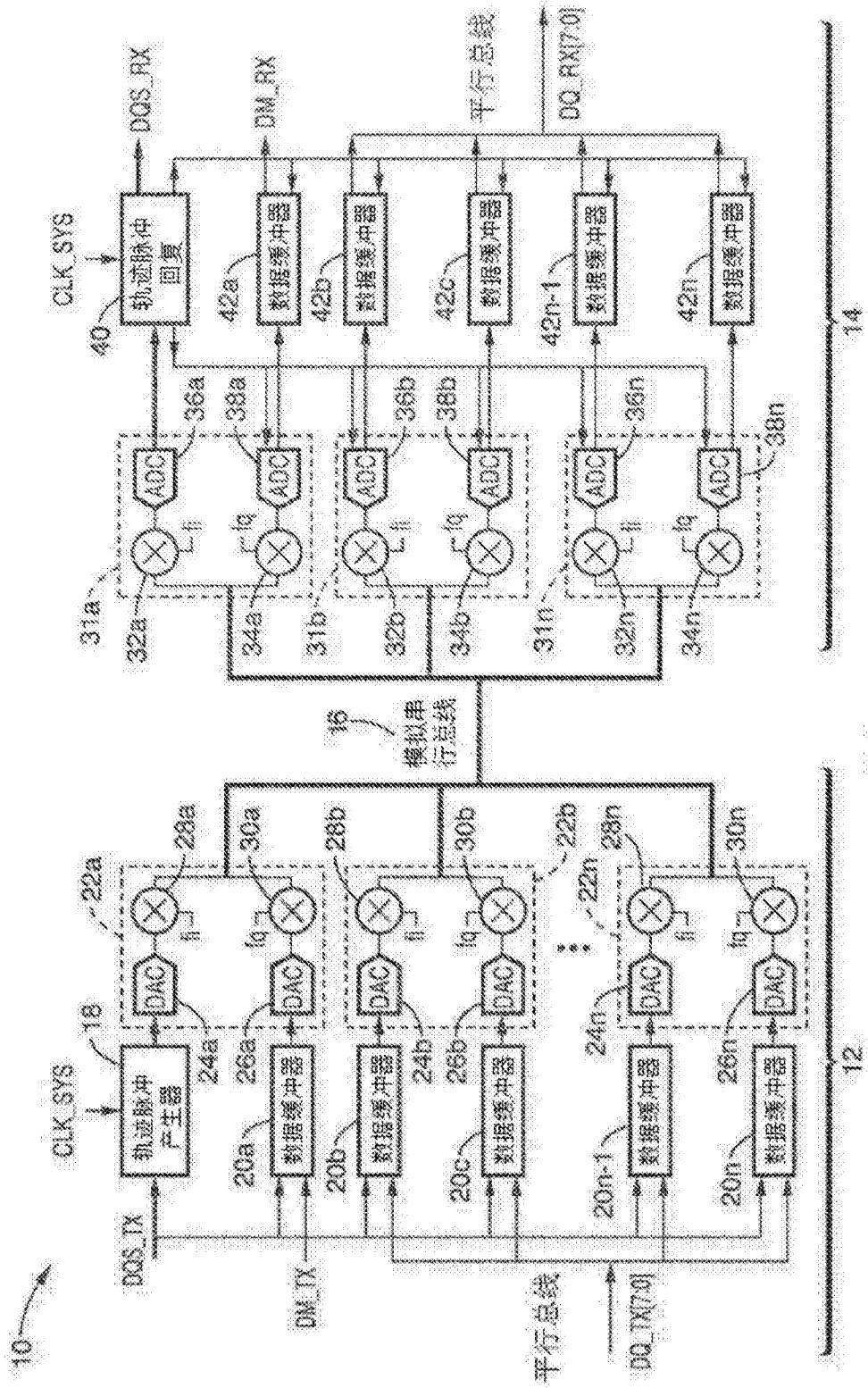


图 1

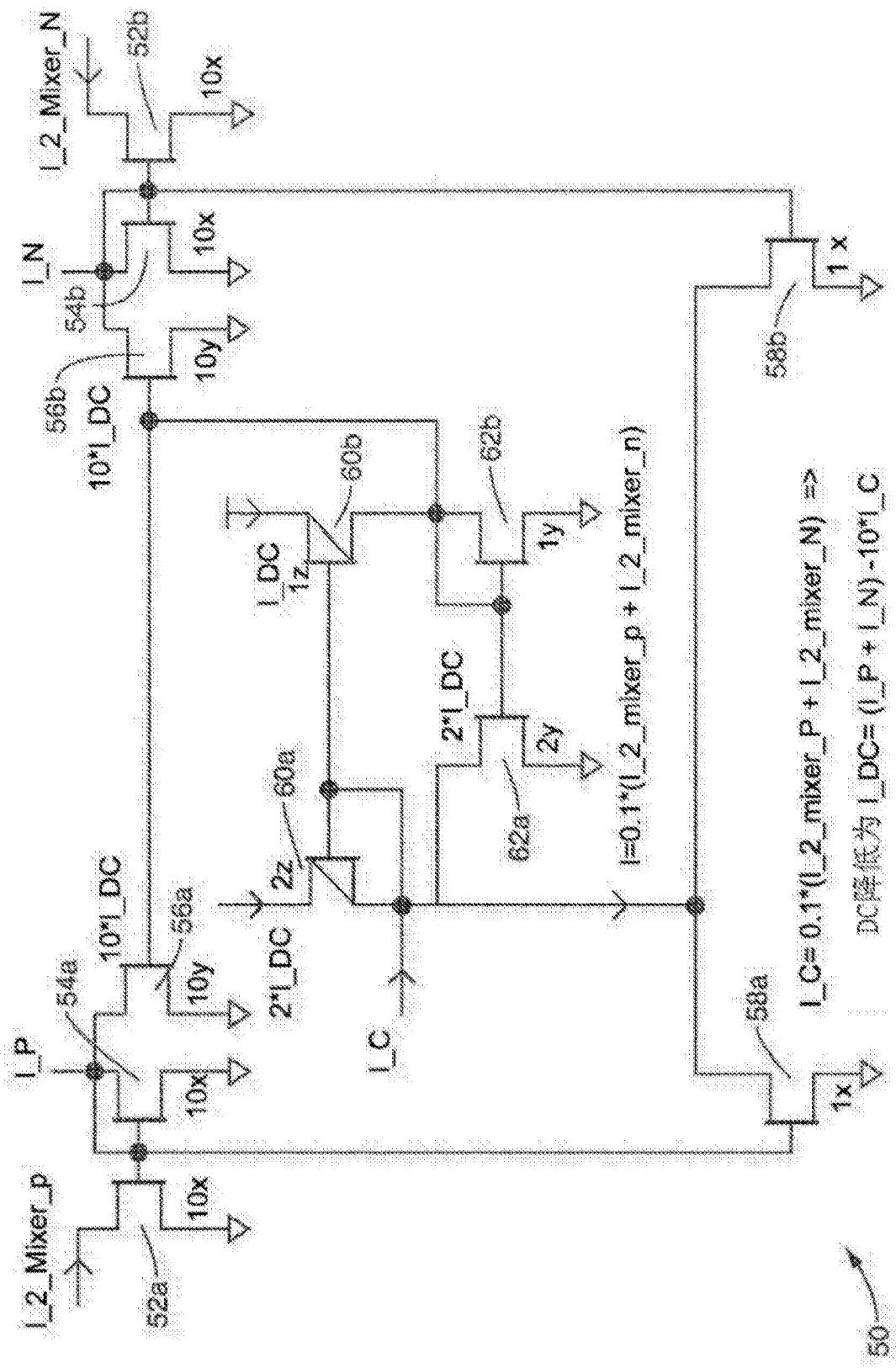


图2

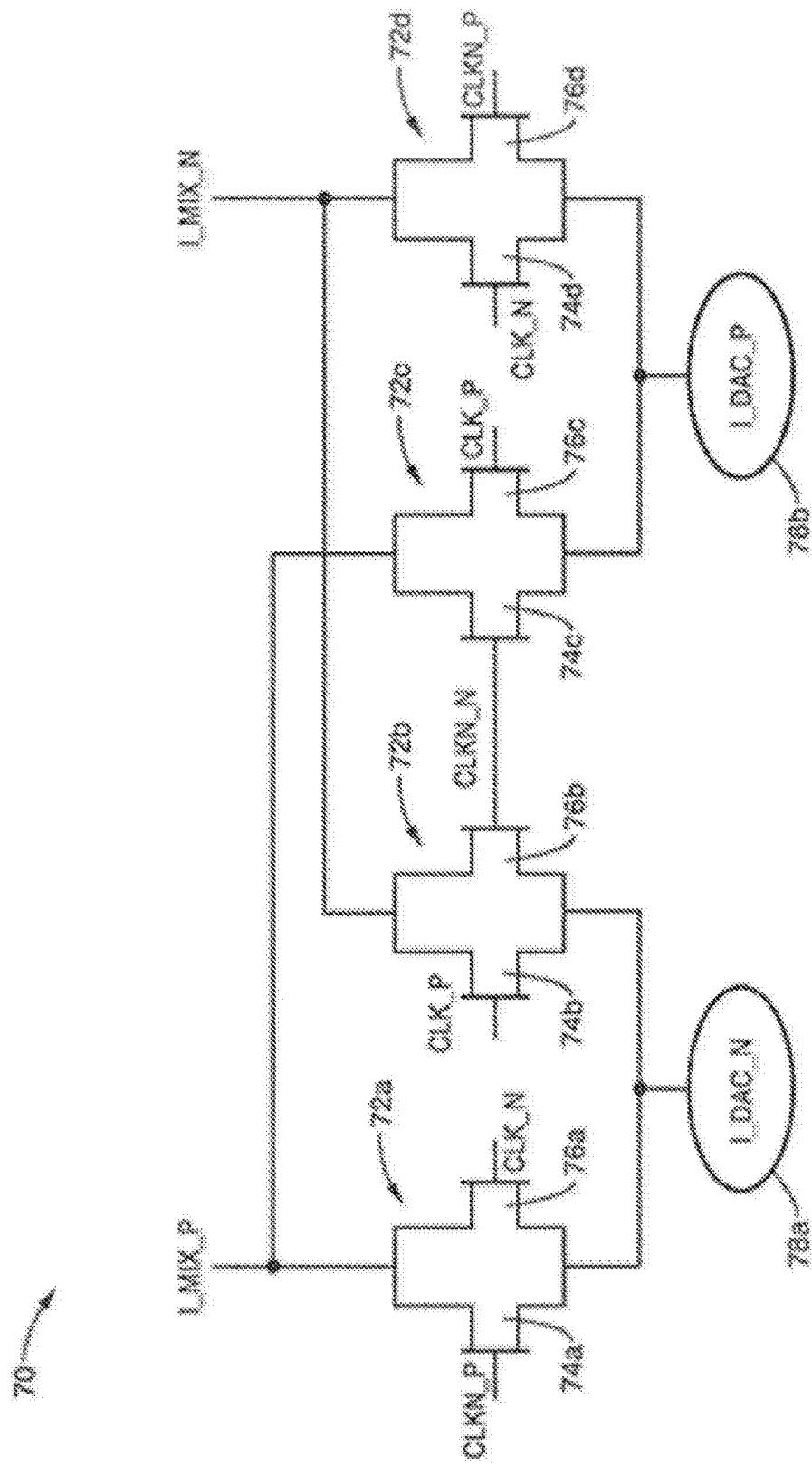


图3A

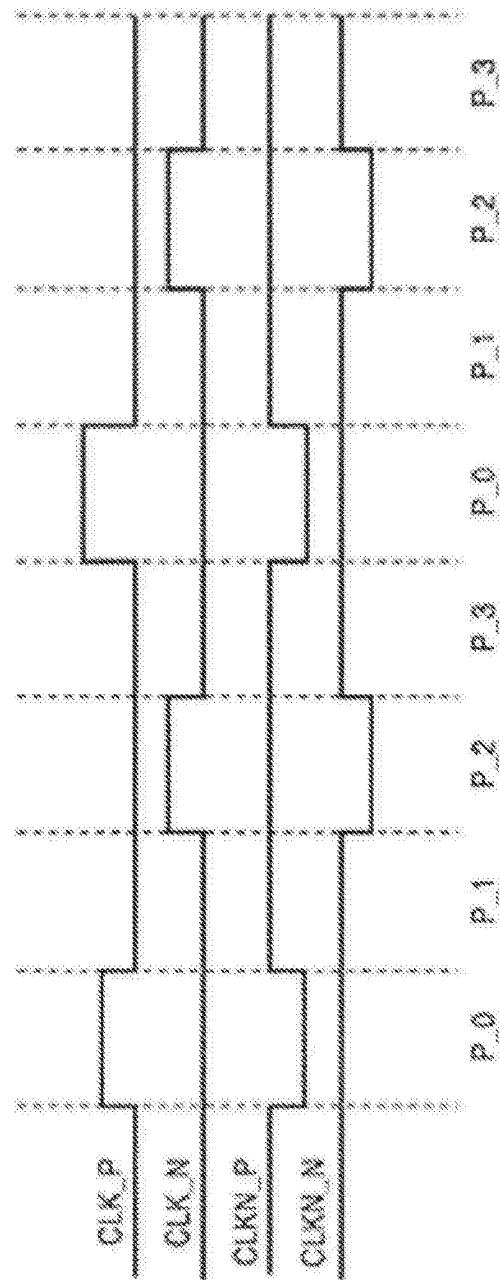


图3B