



(10) **DE 10 2014 110 012 A1** 2016.01.21

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2014 110 012.3**

(22) Anmeldetag: **16.07.2014**

(43) Offenlegungstag: **21.01.2016**

(51) Int Cl.: **H03M 1/46** (2006.01)

H03M 1/80 (2006.01)

H03M 1/66 (2006.01)

(71) Anmelder:
Infineon Technologies AG, 85579 Neubiberg, DE

(74) Vertreter:
**Puschmann Borchert Bardehle Patentanwälte
Partnerschaft mbB, 82041 Oberhaching, DE**

(72) Erfinder:
**Suravarapu, Niranjan Reddy, Villach, AT; Bogner,
Peter, Wernberg, AT; Fyvie, Clifford D., Elgin, GB;
Wappis, Herwig, Drobollach, AT**

(56) Ermittelter Stand der Technik:

US 2008 / 0 143 570 A1

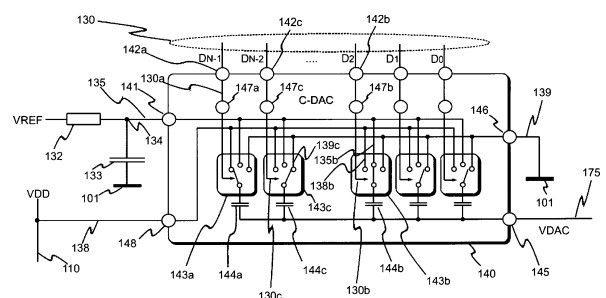
US 5 852 415 A

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Verfahren und Vorrichtung zur Verwendung bei der Analog-zu-Digital-Umwandlung**

(57) Zusammenfassung: Hierin werden Ausführungsformen einer Voraufladung-Abtast- und Halte-Schaltung offenbart. Die Schaltung weist einen Eingangsanschluss, einen Referenzspannungsanschluss und einen Ausgangsanschluss auf. Ferner weist die Schaltung eine Abtastkapazität auf, die zwischen dem Eingangsanschluss und dem Referenzspannungsanschluss gekoppelt ist und konfiguriert ist, die Abtastspannung bereitzustellen, wenn die Abtast- und Halte-Schaltung in einem Haltemodus ist, und eine Löschungskapazität. Implementierungen einer Voraufladung-Abtast- und Halte-Schaltung und von Verfahren zum Operieren eines Voraufladung-Abtast- und Halte-Schaltung in einem analogen/digitalen Wandler werden ebenfalls offenbart.



Beschreibung**HINTERGRUND**

[0001] Hierin werden Techniken offenbart, die die Voraufladung einer Analog-zu-Digital- bzw. DAC-Kapazität betreffen. Zum Beispiel werden DAC-Kapazitäten in einem Analog-zu-Digital-Wandler (ADC) verwendet. Ein Eingang eines Analog-zu-Digital-Wandlers kann eine Schaltkondensator-Last bilden. Zum Beispiel erfasst ein Eingang eines Iterationsregister-Analog-zu-Digital-Wandlers (SAR-ADC) ein analoges Eingangsspannungssignal mit entweder einer externen Abtast- und Halte- bzw. S/H-Vorrichtung oder einer im SAR-ADC internen Abtast- und Haltefunktion. Der SAR-ADC vergleicht die analoge Eingangsspannung mit bekannten Fraktionen einer für den SAR-ADC verwendeten Referenzspannung. Die Referenzspannung bestimmt den vollständigen Eingangsspannungsbereich des SAR-ADC.

[0002] Heutzutage verwenden Iterationsregister-Analog-zu-Digital-Wandler einen kapazitiven Digital-zu-Analog-Wandler (C-DAC) zum iterativen Vergleichen von Bitkombinationen und Setzen oder Löschen entsprechender Bits in einem Datenregister. An einem Eingang eines SAR-ADC-Wandlers „erblickt“ ein Eingangssignal zuerst einen Schalter. Der Schalter erzeugt, wenn er geschlossen ist, einen Schaltwiderstand in Reihe mit einer kapazitiven Anordnung, die zwischen einem Komparator und selektiv entweder dem Eingang, einem Referenzanschluss oder Erde. Sobald die kapazitive Anordnung das Eingangssignal erfasst, öffnet sich ein Eingangsschalter, um die kapazitive Anordnung von dem Eingang zu trennen. Jetzt wird selektiv mindestens eine DAC-Kapazität der kapazitiven Anordnung mit dem Referenzanschluss verbunden. Ladung wird unter allen DAC-Kapazitäten umverteilt. Dementsprechend bewegt sich die Spannung am Komparatoreingang. Falls eine Spannung an der Erfassungskapazität größer ist als eine Fraktion der Referenzspannung, wie durch die ausgewählte DAC-Kapazität repräsentiert, gibt der Komparator ein Signal des Pegels 0 aus, anderenfalls gibt der Komparator ein Signal des Pegels 1 aus.

ZUSAMMENFASSUNG

[0003] Das Folgende repräsentiert eine vereinfachte Zusammenfassung, um ein grundlegendes Verständnis eines oder mehrerer Aspekte der Erfindung bereitzustellen. Diese Zusammenfassung ist keine umfassende Übersicht der Erfindung und soll weder Schlüssel- oder wesentliche Elemente der Erfindung identifizieren noch den Rahmen davon umreißen. Vielmehr besteht der hauptsächliche Zweck der Zusammenfassung darin, einige Konzepte der Erfindung in einer vereinfachten Form als Einleitung zu der ausführlicheren Beschreibung, die später präsentiert wird, darzustellen.

[0004] In einem Aspekt wird ein Verfahren beschrieben, wie in dem unabhängigen Verfahrensanspruch definiert. In einem anderen Aspekt wird eine Vorrichtung beschrieben, wie in dem unabhängigen Vorrichtungsanspruch definiert. Die abhängigen Ansprüche definierten Ausführungsformen gemäß der Erfindung in einem oder mehreren Aspekten. Es ist zu beachten, dass Merkmale dieser Ausführungsformen miteinander kombiniert werden können, außer wenn das Gegenteil speziell angegeben ist. Zum Beispiel können Elemente von Verfahrensausführungsformen in Ausführungsformen der Vorrichtung implementiert werden. Zum Beispiel können Merkmale einer Ausführungsform der Vorrichtung verwendet werden, um Schritte einer Ausführungsform des Verfahrens auszuführen.

[0005] Die beschriebenen Ausführungsformen können zum Beispiel auf dem Gebiet der Umwandlung von analog zu digital nützlich sein. An einem Eingang eines Iterationsregister-Analog-zu-Digital-Wandlers (SAR-ADC, hierin auch SAR-Wandler) „erblickt“ ein Eingangssignal gemäß einigen Ausführungsformen zuerst einen Schalter, wobei ein geschlossener Schalter einen Schaltwiderstand in Reihe mit einer kapazitiven Anordnung erzeugt. Ein Anschluss („komparatorseitiger Anschluss“) dieser „geschalteten Kondensatoren“ koppelt an einen Umkehreingang eines Komparators. Ein anderer Anschluss („referenzseitiger Anschluss“) kann an Eingangsspannung, Referenzspannung oder Erde binden. Anfangs koppelt der referenzseitige Anschluss an das Eingangssignal. Sobald die kapazitive Anordnung das Eingangssignal vollständig erfasst, öffnet ein Eingangsschalter und beginnt der SAR-Wandler einen Umwandlungsprozess. Während des Umwandlungsprozesses verbindet der referenzseitige Anschluss eines Kondensators, der in einer digitalen Repräsentation des Analogsignals mit einem werthöchsten Bit (MSB) assoziiert ist, mit der Referenzspannung, während die anderen Kondensatoren mit Erde verbinden. Dieser Vorgang verteilt Ladung unter sämtlichen der Kondensatoren um. Der Umkehreingang des Komparators bewegt sich hinsichtlich der Spannung gemäß dem Ladungsausgleich nach oben oder unten. Falls die Spannung am Umkehreingang des Komparators größer ist als die halbe Referenzspannung, weist der Wandler dem MSB „0“ zu und überträgt diesen Wert aus einem seriellen Port des SAR-ADC heraus. Falls diese Spannung weniger als die halbe Referenzspannung beträgt, überträgt der Wandler einen Wert „1“ aus dem seriellen Port heraus und verbindet der Wandler den MSB-Kondensator mit Erde. Nach der MSB-Zuweisung wird dieser Prozess mit dem MSB-1-Kondensator wiederholt. Die Zeit, die zum Stattfinden des SAR-ADC-Umwandlungsprozesses erforderlich ist, besteht aus der Erfassungs- und Umwandlungszeit. Nach Abschluss des gesamten Umwandlungsprozesses kann der SAR-ADC in einen Ruhemodus eintreten.

[0006] Wie oben beschrieben, kann ein ADS geschaltete Kondensatoren verwenden. Geschaltete Kondensatoren können unter Verwendung einer Referenzspannung geladen werden, wodurch ein Spannungsabfall verursacht wird. In einer typischen Anordnung arbeiten mehrere geschaltete Kondensatoren synchron; wobei der Ladestrom in einer derartigen Anordnung zu Stromspitzen akkumulieren kann, die eine Fehlfunktion verursachen können. Unter Bezugnahme auf die oben erwähnten herkömmlichen Techniken und die damit assoziierten Probleme kann mindestens eine Wirkung der hierin offenbarten Techniken darin bestehen, dass das beschriebene Verfahren effizienter als herkömmliche Verfahren ähnlicher Funktionalität durchgeführt werden kann. Mindestens eine Wirkung kann sein, dass die beschriebene Vorrichtung effizienter als herkömmliche Vorrichtungen ähnlicher Funktionalität betrieben werden kann.

[0007] Diese Zusammenfassung wird mit der Bedingung eingereicht, dass sie nicht zum Interpretieren oder Begrenzen des Rahmens oder der Bedeutung der Patentansprüche verwendet werden wird. Diese Zusammenfassung ist nicht dafür bestimmt, wichtige Merkmale oder wesentliche Merkmale des beanspruchten Gegenstands zu identifizieren, noch ist sie dafür bestimmt, als eine Hilfe bei der Bestimmung des Rahmens des beanspruchten Gegenstands verwendet zu werden. Andere Verfahren, Geräte und Systeme werden ebenfalls offenbart. Fachleute im Fachgebiet werden nach dem Lesen der folgenden ausführlichen Beschreibung und nach dem Betrachten der beigefügten Zeichnungen zusätzliche Merkmale und Vorteile erkennen.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0008] Der beanspruchte Gegenstand wird nachstehend unter Bezugnahme auf die Zeichnungen ausführlich beschrieben. Die ausführliche Beschreibung nimmt auf die beigefügten Zeichnungen Bezug. Die gleichen Bezugszeichen werden in den Zeichnungen durchgehend zur Bezugnahme auf entsprechende Merkmale und Komponenten verwendet. Mehrstellige Bezugszeichen werden zum Kennzeichnen von Elementen der Ausführungsformen verwendet. Wenn mehrere Ausführungsformen beschrieben werden, verweisen die wertniedrigsten Ziffern der mehrstelligen Bezugszeichen auf Merkmale und Komponenten, die in den verschiedenen Ausführungsformen gleich sein, während die werthöchste Ziffer auf die in der korrespondierenden Figur dargestellten spezifische Ausführungsform verweisen kann. Der Einfachheit halber werden gleiche Elemente in den verschiedenen Ausführungsform typischerweise nur vorgestellt, wenn das Element in einer Ausführungsform zuerst erwähnt wird. Hinsichtlich der Darstellung von Schaltern wird die folgende Zeichnungsdarstellung verwendet: Offene Schalter werden mit einem

„o“ gezeigt, geschlossene Schalter werden ohne „o“ dargestellt.

[0009] Fig. 1 zeigt ein Diagramm, das eine beispielhafte Implementierung eines Analog-zu-Digital-Wandlergeräts gemäß einigen Ausführungsformen schematisch darstellt;

[0010] Fig. 2 zeigt ein schematisches Schaltungsdiagramm, das eine beispielhafte Implementierung, in dem in Fig. 1 gezeigten Analog-zu-Digital-Wandlergerät, eines kapazitiven Digital-zu-Analog- bzw. C-DAC-Wandlers gemäß einiger Ausführungsformen darstellt;

[0011] Fig. 3 zeigt ein schematisches Schaltungsdiagramm, das eine beispielhafte Implementierung, in dem in Fig. 2 gezeigten kapazitiven Digital-zu-Analog- bzw. DAC-Wandler, einer Schalteranordnung gemäß einigen Ausführungsformen darstellt;

[0012] Fig. 4 zeigt eine Zeitreihe, die Schaltzustände darstellt, wenn die in Fig. 3 gezeigte Schalteranordnung betätigt wird;

[0013] Fig. 5 zeigt ein Diagramm, das eine Variante gemäß einigen Ausführungsformen der in Fig. 3 gezeigten beispielhaften Implementierung darstellt; und

[0014] Fig. 6 zeigt ein Diagramm, das eine andere Variante gemäß einigen Ausführungsformen der in Fig. 3 gezeigten beispielhaften Implementierung darstellt.

AUSFÜHRLICHE BESCHREIBUNG

[0015] Zu Erklärungszwecken werden zahlreiche spezifische Einzelheiten angeführt, um ein gründliches Verständnis des beanspruchten Gegenstands zu vermitteln. Es wird jedoch offensichtlich sein, dass der beanspruchte Gegenstand ohne diese spezifischen Einzelheiten praktiziert werden kann.

[0016] Diese Offenbarung betrifft Techniken zum Implementieren und Betreiben einer Schaltung zur Verwendung in einem Analog-zu-Digital-Wandler (ADC), wobei der ADC einen so genannten kapazitiven Digital-zu-Analog-Wandler (C-DAC) aufweist, hierin auch kurz als „C-DAC-Wandler“ oder einfach „DAC“-Wandler bezeichnet, zur Verwendung als ein Reservoir zum Laden, zu verwenden in einem Vergleich mit Ladung, die in Abtastkondensatoren in dem ADC geladen ist, wobei die letztgenannten Kondensatoren kollektiv als Abtastkapazität bezeichnet werden. Hierin beschriebene Techniken verwenden eine weitere Spannungsquelle anstelle oder zusätzlich zu einer Referenzspannungsquelle der herkömmlichen ADC-Schaltung. Die zusätzliche Spannungsquelle ist konfiguriert, einen Strom von einer hochohmigen Referenzspannungsquelle zu dem C-DAC zu reduzie-

ren. Mindestens eine Wirkung kann sein, eine Strommenge von der Referenzspannungsquelle zu dem C-DAC-Wandler im Vergleich mit herkömmlichen Lösungen zu senken. Demgemäß kann in einigen Ausführungsformen ein Spannungsabfall an der Referenzspannungsquelle zumindest in einem gewissen Ausmaß vermieden werden, da weniger Strom von der Referenzspannungsquelle zu dem C-DAC fließen muss. Mindestens eine Wirkung kann Vermeidung von Stromspitzen und ungünstigen Wirkungen derartiger Spitzen auf die Betriebsstabilität des ADC im Vergleich mit herkömmlichen Lösungen sein. Derartige hierin beschriebene Techniken verwenden die weitere Spannungsquelle anstelle von oder insbesondere als Ergänzung zu einer Referenzspannungsquelle.

[0017] Fig. 1 zeigt ein Diagramm, das einen beispielhaften Analog-zu-Digital-Wandler (ADC) **100** schematisch darstellt, der eine Vorrichtung gemäß einigen Ausführungsformen implementiert. Der ADC **100** umfasst eine Vielzahl von funktionellen und/oder Schaltungsblöcken. Insbesondere umfasst der ADC **100** ein Iterationsregister (SAR) **120**, einen kapazitiven Digital-zu-Analog-Wandler (C-DAC) **140**, eine Abtast- und Halte- bzw. S/H-Einheit **160** und einen Komparator **180**. Es versteht sich, dass, während hierin auf die vorher offenbarten Elemente als funktionelle und/oder als Schaltungsblöcke verwiesen wird, je nach Lage des Falles, zwei separat offenbarte Blöcke einen einzelnen Schaltungsblock bilden können, der konfiguriert ist, die beiden Funktionalitäten bereitzustellen. Der ADC **100** ist konfiguriert, ein Taktsignal über eine Taktleitung **115** zu empfangen. In einigen Ausführungsformen wird das Taktsignal CLK von einem Haupttaktsignal abgeleitet, das in einer Implementierungsumgebung des ADC verwendet wird. In einigen Ausführungsformen wird das Taktsignal CLK spezifisch zur Verwendung mit dem ADC **100** erzeugt. In einigen Ausführungsformen umfasst der ADC **100** einen Taktsignalgenerator, der konfiguriert ist, das Taktsignal CLK zu erzeugen. Während auf das Taktsignal CLK Bezug genommen wird, versteht es sich, dass das Taktsignal CLK für ein Taktsignal repräsentativ ist, wie es für die jeweilige Schaltung oder Funktionalität benötigt wird, die als Empfänger des Taktsignals CLK offenbart wird. Demgemäß ist das Taktsignal CLK, das verschiedenen Bereichen des ADC **100** wie dem Iterationsregister (SAR) **120** und dem C-DAC-Wandler **140** in einigen Ausführungsformen bereitgestellt wird, nicht das gleiche für beide; gleichermaßen bezieht sich die Bezugnahme auf die Taktleitung **115**, die an verschiedene Bereiche des ADC **100** in einigen Ausführungsformen koppelt, auf separate Leitungen, die konfiguriert sind, das jeweilige Taktsignal CLK zu übertragen, wie es in dem gekoppelten Abschnitt des ADC **100** benötigt wird. Ferner ist der ADC **100** konfiguriert, ein Referenzspannungssignal VREF über eine Referenzspannungsleitung **135** und ein Eingangs-

spannungssignal VIN über eine Eingangsspannungsleitung **115** zu empfangen. Der ADC **100** ist an eine Versorgungsspannungsleitung **110** gekoppelt, dessen Spannung auf einen Versorgungsspannungsspiegel VDD eingestellt ist. Hierin ist die Bezeichnung „gekoppelt“ nicht darauf beschränkt, aber beinhaltet die Bedeutung „verbunden“ und „direkt verbunden“. Zum Beispiel kann der ADC **100** gemäß einigen Ausführungsformen mit der Versorgungsspannungsleitung **110** direkt verbunden sein, d. h. mit dem geringsten Widerstand. Gemäß einigen Ausführungsformen kann die Kopplung des ADC **100** an die Versorgungsspannungsleitung **110** Schaltungselemente wie zum Beispiel einen Pegelumsetzer und/oder ein Filter beinhalten. Das Iterationsregister (SAR) **120** ist an eine Gruppe **130** von N digitalen Signalleitungen gekoppelt, die konfiguriert sind, digitale Steuersignale D0, D1, D2, ..., DN – 2, DN – 1 selektiv auszugeben. Ferner ist der ADC **100** konfiguriert, ein Ender-Umwandlung-Signal EOC, das anzeigt, dass die digitalen Steuersignale D0, D1, D2, ..., DN – 2, DN – 1 ein Ergebnis von Analog-zu-Digital-Umwandlung sind, über eine SAR-Ausgangsleitung **126** auszugeben.

[0018] Das Iterationsregister (SAR) **120** verfügt über einen Taktanschluss **121** zum Empfangen des Taktsignals CLK und einen Versorgungsspannungsanschluss **128**, der über einen SAR-Versorgungsspannungszweig **118** mit der Versorgungsspannungsleitung **110** verbunden ist. Hierin ist die Bezeichnung „Anschluss“ nicht auf die Bedeutung Leitungsende, Buchse, Stecker oder anderer struktureller Endpunkt, der mit der Bezeichnung „Anschluss“ assoziiert ist, begrenzt. Vielmehr wird die Bezeichnung „Anschluss“ verwendet, um einen Ort in der Schaltung zu bezeichnen, der im Betrieb der Schaltung definiert werden kann, das spezifizierte Signal zu empfangen, wie im Fall des Taktanschlusses **121** jeder Schaltungsabschnitt, der mit dem Taktsignal CLK versehen ist und/oder dieses überträgt. Das Iterationsregister (SAR) **120** ist über die Gruppe **130** von N Digitalsignalleitungen an den C-DAC-Wandler **140** gekoppelt und konfiguriert, die digitalen Steuersignale D0, D1, D2, ..., DN – 2, DN – 1 zur Verwendung bei der Steuerung des C-DAC-Wandlers **140** selektiv auszugeben. Da die hierin offenbarten gleichen Grundsätze für alle vom SAR **120** zum C-DAC-Wandler **140** ausgegebenen digitalen Steuersignale gleichermaßen gelten, kann, wenn beispielhaft auf ein vom SAR **120** zum C-DAC-Wandler **140** ausgegebenes einzelnes digitales Steuersignal Bezug genommen wird, wie das digitale Steuersignal D2, der Buchstabe „D“ allein der Einfachheit halber verwendet werden, um das digitale Steuersignal zu kennzeichnen, während der Index ausgelassen wird. Gemäß einigen Ausführungsformen umfasst das Iterationsregister (SAR) **120** einen Rückkopplungsanschluss **122**, der an den Komparator **180** gekoppelt ist und konfiguriert ist, ein Rückkopplungssignal FB über eine Rückkopplungsleitung

190 vom Komparator **180** zu empfangen. Das Iterationsregister (SAR) **120** weist einen ADC-Steuerausgangsanschluss **125** auf, der konfiguriert ist, ein Ende-der-Umwandlung-Signal **125** über die SAR-Ausgangsleitung **126** auszugeben.

[0019] Gemäß einigen Ausführungsformen weist der kapazitive Digital-zu-Analog- bzw. C-DAC-Wandler **140** einen Referenzspannungsanschluss **141** für Empfang auf, zum Beispiel von einer Referenzspannungsquelle (nicht dargestellt) über eine Referenzspannungsleitung **135**, oder um in anderer Weise auf ein Referenzspannungssignal VREF eingestellt zu werden. Der kapazitive Digital-zu-Analog- bzw. C-DAC-Wandler **140** verfügt über einen Versorgungsspannungsanschluss **148**, der über einen C-DAC-Versorgungsspannungszweig **138** mit der Versorgungsspannungsleitung **110** verbunden ist. In einigen Ausführungsformen weist der C-DAC-Wandler **140** einen DAC-Vorspannungsanschluss **146** auf, der über die Entladungsleitung **139** an Erde **101** gekoppelt ist. In einigen Ausführungsformen kann der C-DAC-Vorspannungsanschluss **146** an einen Vorspannungsanschluss des Analog-zu-Digital-Wandlers (ADC) **100**, der auf einen anderen Spannungspiegel als Erde-Spannung eingestellt ist, gekoppelt sein. Der C-DAC-Wandler **140** umfasst eine Bank **142** von Digitalsignal-Eingangsanschlüssen, wobei die Digitalsignal-Eingangsanschlüsse jeweils an eine Digitalsignalleitung der Gruppe **130** von Digitalsignalleitungen gekoppelt sind und konfiguriert sind, ein digitales Steuersignal D vom SAR **120** zu empfangen. Gemäß einigen Ausführungsformen umfasst der C-DAC-Wandler **140** einen DAC-Ausgangsanschluss **145**, der konfiguriert ist, ein DAC-Spannungssignal VDAC über eine DAC-Referenzleitung **175** zum Komparator **180** auszugeben. In einigen Ausführungsformen weist das Iterationsregister (SAR) **120** einen SAR-Taktanschluss **149** auf, der an die Taktleitung **115** gekoppelt ist, um das Taktsignal CLK zu empfangen.

[0020] Gemäß einigen Ausführungsformen weist die Abtast- und Halte- bzw. S/H-Einheit **160** einen Eingangsspannungssignalanschluss **161** auf, um das Eingangsspannungssignal VIN über die Eingangsspannungsleitung **155** zu empfangen. In einigen Implementierungen ist das Eingangsspannungssignal VIN ein analoges Signal, das im Verlauf der Zeit variieren kann. Das Eingangsspannungssignal VIN kann bereitgestellt werden, um vom ADC digitalisiert zu werden. In einigen Ausführungsformen ist die Abtast- und Halte- bzw. S/H-Einheit **160**, gesehen vom Eingangsspannungssignalanschluss **161**, eine hochohmige Schaltung. In einigen Ausführungsformen kann die hohe Impedanz mindestens 10 kOhm betragen. Ferner umfasst die Abtast- und Halte- bzw. S/H-Einheit **160** einen Versorgungsspannungsanschluss **168**, der über einen S/H-Versorgungsspannungszweig **158** an die Versorgungsspannungsleitung **110**

gekoppelt ist. Die Abtast- und Halte- bzw. S/H-Einheit **160** umfasst einen Abtast- und Halte-Ausgangsanschluss **165**, der konfiguriert ist, ein Abtast- und Halte-Spannungssignal VSH über eine Abtast- und Halte-Leitung **176** zum Komparator **180** auszugeben. Gemäß einigen Ausführungsformen wird eine ADC-Treiberschaltung bereitgestellt, die in einigen Implementierungen einen Operationsverstärker (op amp) verwendet, um die Abtast- und Halte-Einheit **160** von einer hochohmigen Eingangsquelle zu trennen. Eine R/C-Tiefpassschaltung, die einen Filterwiderstand **132** und eine Filterkapazität **133** aufweist, kann folgen, um Funktionen durchzuführen, die zurück zu einem Operationsverstärker und vorwärts zur Abtast- und Halte-Einheit **160** verlaufen. Ein Widerstand der Tiefpassschaltung hält den Verstärker durch Isolieren der Ausgangsstufe des Verstärkers von einer Kapazität der Tiefpassschaltung stabil. Die Kapazität der Tiefpassschaltung stellt der Abtast- und Halte-Einheit **160** eine stabile Eingangsquelle bereit.

[0021] Der Komparator **180** weist einen negativen Eingangsanschluss (–) auf, der konfiguriert ist, das DAC-Spannungssignal VDAC über die DAC-Referenzleitung **175** zu empfangen. Der Komparator **180** weist einen positiven Eingangsanschluss (+) auf, der konfiguriert ist, das Abtast- und Halte-Spannungssignal über die Abtast- und Halte-Leitung **176** zu empfangen. Ferner umfasst der Komparator **180** einen Versorgungsspannungsanschluss **188**, der über den Komparator-Versorgungsspannungszweig **178** mit der Versorgungsspannungsleitung **110** verbunden ist. Der Komparator **180** ist konfiguriert, das Rückkopplungssignal FB über die Rückkopplungsleitung **190** zum Rückkopplungsanschluss **120** des Iterationsregisters (SAR) **120** auszugeben.

[0022] Fig. 2 zeigt ein schematisches Schaltungsdiagramm, das eine beispielhafte Implementierung, in dem in Fig. 1 gezeigten Analog-zu-Digital-Wandlergerät, eines kapazitiven Digital-zu-Analog- bzw. C-DAC-Wandlers gemäß einigen Ausführungsformen darstellt. Der C-DAC-Wandler **140** enthält N Digital-zu-Analog- bzw. DAC-Kapazitäten **144a**, **144b**, **144c**. Da die hierin offenbarten gleichen Grundsätze für alle Digital-zu-Analog-Kapazitäten gleichermaßen gelten, wird hierin, wenn beispielhaft auf eine einzelne DAC-Kapazität, wie DAC-Kapazität **144a**, Bezug genommen wird, der Einfachheit halber das Bezugszeichen „**144**“ allein zur Kennzeichnung der DAC-Kapazität verwendet, während der Buchstabensuffix ausgelassen wird. Eine Seite der DAC-Kapazitäten **144a**, **144b**, **144c** ist an die DAC-Referenzleitung **175** gekoppelt. In einigen Ausführungsformen ist die eine Seite der DAC-Kapazitäten **144a**, **144b**, **144c** direkt an die DAC-Referenzleitung **175** gekoppelt. Die andere Seite der DAC-Kapazitäten **144** ist jeweils an eine assoziierte DAC-Schalteranordnung **143a**, **143b**, **143c** gekoppelt. Da die hierin offenbarten gleichen Grundsätze für alle DAC-

Schalter gleichermaßen gelten, kann hierin, wenn beispielhaft auf eine einzelne DAC-Schalteranordnung, wie DAC-Schalteranordnung **143a**, Bezug genommen wird, der Einfachheit halber das Bezugszeichen „**143**“ allein zur Kennzeichnung der DAC-Schalteranordnung verwendet werden, während der Buchstabensuffix ausgelassen werden kann. In einigen Ausführungsformen ist die andere Seite der DAC-Kapazität **144** direkt mit dem assoziierten DAC-Schalter **143** verbunden. In Ausführungsformen, wie in **Fig. 2** dargestellt, sind die DAC-Schalteranordnungen **143a**, **143b**, **143c** als N Dreifachschalter bereitgestellt, die jeweils gestatten, auf drei verschiedene Verbindungszustände eingestellt zu werden. Es versteht sich, dass andere Implementierungen eine ähnliche Wirkung erreichen und eine äquivalente Funktionalität bereitstellen können, wie nachstehend gezeigt werden wird, wenn eine beispielhafte Anordnung der DAC-Schalteranordnung **143** ausführlich diskutiert wird. In einem Voraufladungszustand ist die DAC-Schalteranordnung **143** eingestellt, die assoziierte DAC-Kapazität **144** an den DAC-Spannungsversorgungszweig **138** zu koppeln (wie zum Beispiel für den Fall des DAC-Schalters **144a** gezeigt). In einem Referenzaufladungszustand ist die DAC-Schalteranordnung **143** eingestellt, die assoziierte DAC-Kapazität **144** an die Referenzspannungsleitung **135** zu koppeln (wie zum Beispiel für den Fall des DAC-Schalters **144b** gezeigt). In einem Entladungszustand ist der DAC-Schalter **144** eingestellt, die assoziierte DAC-Kapazität **144** an die Entladungsleitung **139** zu koppeln (wie zum Beispiel für den Fall des DAC-Schalters **144c** gezeigt).

[0023] Der C-DAC-Wandler **140** enthält N Digitalsignal-Eingangsanschlüsse **142a**, **142b**, die konfiguriert sind, digitale Steuersignale D2, DN – 2, DN – 1 an der Gruppe **130** von Digitalsignalleitungen **130a**, **130b**, **130c** vom SAR **120** (in **Fig. 2** nicht dargestellt) zu empfangen. Da die hierin offenbarten gleichen Grundsätze für alle Digitalsignalleitungen gleichermaßen gelten, wird hierin, wenn beispielhaft auf eine einzelne Digitalsignalleitung, wie Digitalsignalleitung **130a**, Bezug genommen wird, der Einfachheit halber das Bezugszeichen „**130**“ der Gruppe allein zur Kennzeichnung der Digitalsignalleitung verwendet, während der Buchstabensuffix ausgelassen wird. Der C-DAC-Wandler **140** ist konfiguriert, die digitalen Steuersignale, empfangen von der SAR-Einheit **120**, in den Digitalsignalleitungen **130a**, **130b**, **130c** zum DAC-Schalter **143a**, **143b**, **143c**, der mit der Digitalsignalleitung **130a**, **130b**, **130c** assoziiert ist, zu lenken. Demgemäß können die digitalen Steuersignale bei der Steuerung des C-DAC-Wandlers **140** verwendet werden, zum Beispiel zum Steuern der Steuerschalterzustände der DAC-Schalter **143**, wie nachstehend aus einer ausführlicheren Diskussion einiger Ausführungsformen ersichtlich werden wird. In einigen Ausführungsformen, wie in **Fig. 2** dargestellt, ist die DAC-Schalter-Steuerschaltung **147a**,

147b, **147c** bereitgestellt und konfiguriert, die digitalen Steuersignale D2, DN – 2, DN – 1, empfangen vom Iterationsregister (SAR) **120**, zu verarbeiten und die digitalen Steuersignale D2, DN – 2, DN – 1 als verarbeitete digitale Steuersignale dem DAC-Schalter **143a**, **143b**, **143c**, der mit der Digitalsignalleitung **130a**, **130b**, **130c** assoziiert ist, bereitzustellen. Die Verarbeitung berücksichtigt in einigen Ausführungsformen das Taktsignal CLK, um zum Beispiel zu vermeiden, den DAC-Schalter **143a**, **143b**, **143c** auf einen undefinierten Zustand einzustellen.

[0024] In einer Ausführungsform ist der Referenzspannungsanschluss **141** des C-DAC-Wandlers **140** an eine Filteranordnung gekoppelt, umfassend einen Filterwiderstand **132** und eine Filterkapazität **133**, die mit einem Knoten **134** in der Referenzspannungsleitung **135** verbunden sind.

[0025] **Fig. 3** zeigt ein schematisches Schaltungsdiagramm, das eine beispielhafte Implementierung, in dem in **Fig. 2** gezeigten kapazitiven Digital-zu-Analog- bzw. DAC-Wandler, einer Anordnung des Dreifachschalters **143** gemäß einigen Ausführungsformen darstellt. Lediglich als ein Beispiel ist eine Ausführungsform einer Anordnung der Schalteranordnung **143a**, die auf einen Voraufladungszustand eingestellt ist, dargestellt. Die DAC-Schalteranordnung **143** umfasst einen Voraufladungsschalter **1431**, der, wenn er im Zustand GESCHLOSSEN ist, konfiguriert ist, die DAC-Kapazität **144** an den DAC-Versorgungsspannungszweig **138** zu koppeln. Ferner umfasst die DAC-Schalteranordnung **143** einen Referenzspannungsschalter **1432**, der wenn er im Zustand GESCHLOSSEN ist, konfiguriert ist, die DAC-Kapazität **144** an die Referenzspannungsleitung **135** zu koppeln. Die DAC-Schalteranordnung **143** umfasst einen Entladungsschalter **1433**, der, wenn er im Zustand GESCHLOSSEN ist, konfiguriert ist, die DAC-Kapazität **144** an die Entladungsleitung **139** zu koppeln. Ferner enthält die DAC-Schalteranordnung **143** in einigen Ausführungsformen die Zweige **1301**, **1302**, **1303** der Digitalsignalleitung **130**, die konfiguriert sind, das digitale Steuersignal D den Steueranschlüssen des Voraufladungsschalters **1431**, des Referenzspannungsschalters **1432** bzw. des Entladungsschalters **1433** bereitzustellen. Gemäß einigen Implementierungen enthält die DAC-Schalteranordnung **143** Transistoren, mindestens einen für jeden des Voraufladungsschalters **1431**, des Referenzspannungsschalters **1432** und des Entladungsschalters **1433**. In einer Ausführungsform ist die Schalteranordnung **143a** derart konfiguriert, dass keine zwei des Voraufladungsschalters **1431**, des Referenzspannungsschalters **1432** und des Entladungsschalters **1433** zur gleichen Zeit im Zustand GESCHLOSSEN sind. Es versteht sich, dass eine DAC-Schalteranordnung **143**, wie hierin offenbart und erklärt, die mit der Digitalsignalleitung **130** zum Bereitstellen des digitalen Steuersignals D assozii-

iert ist, für die DAC-Schalteranordnungen **143a**, **143b** und **143c** und in einer Ausführungsform für die Gruppe aller DAC-Schalteranordnungen, die im kapazitiven Digital-zu-Analog- bzw. C-DAC-Wandler **140** enthalten sind und konfiguriert sind, zwischen drei Zuständen zu schalten, beispielhaft ist.

[0026] Die Operation einiger Ausführungsformen wird jetzt unter Bezugnahme auf **Fig. 4** offenbart, die eine Zeitreihe zeigt, die Schalterzustände beim Betrieb einer Implementierung des in **Fig. 3** dargestellten kapazitiven Digital-zu-Analog-Wandlers durch eine Periode TCAP darstellt, um einen Zyklus **400** von Arbeitsphasen, die Voraufladungsphase, Referenzaufladungsphase und Entladungsphase enthalten, zu durchlaufen.

[0027] Im Verlauf der Operation des beispielhaften Analog-zu-Digital-Wandlers (ADC) **100** wechselt das in der Taktleitung **115** bereitgestellte Taktsignal CLK periodisch zwischen dem Pegel HOCH und dem Pegel NIEDRIG. Hierin sollen die Bezeichnungen Pegel „HOCH“ und Pegel „NIEDRIG“ in Bezug auf Taktung und/oder Signalsierung, außer wenn spezifisch anders angegeben, lediglich zwei Taktzustände bzw. Signalzustände unterscheiden, und die Begriffe können austauschbar verwendet werden, d. h. die beschriebenen Operationen können auch mit umgekehrter Signalsierung oder mit gemischter Signalsierung implementiert werden, d. h. gegebenenfalls an einer abfallenden oder ansteigenden Signalfanke, wie im Beispiel des in **Fig. 4** dargestellten Taktsignals CLK zur Zeit t_0 und zu Zeit t_4 gezeigt. Insbesondere ist in **Fig. 4** eine Taktperiode TCLK beim Bezugszeichen **401** zwischen Zeit t_0 und Zeit t_2 dargestellt. In dem Beispiel weist das Taktsignal CLK einen Arbeitszyklus von fünfzig Prozent auf, andere Arbeitszykluswerte können jedoch ebenfalls verwendet werden. Das Taktsignal CLK wird verwendet, um die hierin beschriebene Operation zu synchronisieren. In einigen Ausführungsformen synchronisiert das Taktsignal CLK die Operation des Iterationsregisters (SAR) **120**, das dementsprechend die digitalen Steuersignale D_0 , D_1 , $D_2 \dots D_{N-2}$, D_{N-1} zum kapazitiven Digital-zu-Analog- bzw. C-DAC-Wandler **140** synchronisiert mit dem Taktsignal CLK ausgibt. In einigen Ausführungsformen kann die Operation des Iterationsregisters (SAR) **120** mit einer anderen Taktquelle wie ein separater Takt synchronisiert werden. Zum Beispiel kann eine andere Taktquelle bei der Operation des Komparators **180** sowie bei der Operation des Iterationsregisters (SAR) **120** verwendet werden. Gemäß einigen Implementierungen ist das SAR **120** als ein Selektor funktionsfähig und konfiguriert, auszuwählen, dass die eDAC-Schalteranordnungen **143a**, **143b**, **143c** den Zyklus der Arbeitsphasen der Voraufladungsphase, der Referenzaufladungsphase und der Entladungsphase durchlaufen. Demgemäß können in einigen Ausführungsformen ausgewählte eine der DAC-Schalteranordnungen

143a, **143b**, **143c** digitale Steuersignale vom SAR **120** empfangen, wie nachstehend beschrieben.

[0028] Zur Zeit t_0 sind der Voraufladungsschalter **1431**, der Referenzspannungsschalter **1432** und der Entladungsschalter **1433** der DAC-Schalteranordnung **143** im Zustand OFFEN. Das Iterationsregister (SAR) **120**, das mit dem Taktsignal CLK synchronisiert ist, gibt unter Anderem das digitale Steuersignal D in der assoziierten Digitalsignalleitung aus. Im kapazitiven Digital-zu-Analog- bzw. C-DAC-Wandler **140**, insbesondere in der Schalteranordnung **143**, die verbindend an die Digitalsignalleitung **130** gekoppelt ist, wird das digitale Steuersignal D zum Voraufladungsschalter **1431**, Referenzspannungsschalter **1432** und Entladungsschalter **1433** verteilt.

[0029] Zur Zeit t_1 beginnt der Arbeitsphasenzyklus **400**, enthaltend Voraufladungsphase, Referenzaufladungsphase und Entladungsphase, der ausgewählten DAC-Kapazität **144**. Das am Voraufladungsschalter **1431** empfangene digitale Steuersignal D bewirkt, dass der Voraufladungsschalter **1431** in den Zustand GESCHLOSSEN gestellt wird. Demgemäß stellt der Voraufladungsschalter **1431** eine Verbindung bereit, damit Ladung von der Versorgungsspannungsleitung **110** über den DAC-Versorgungsspannungszweig **138** und Voraufladungsschalter **1431** zur DAC-Kapazität **144** fließt. Während des Zeitintervalls **406** sind der Referenzspannungsschalter **1432** und der Entladungsschalter **1433** im geöffneten Zustand (wie in **Fig. 3** gezeigt), so dass die DAC-Kapazität **144** weder Ladung über die Referenzspannungsleitung **135** empfängt noch zu Erde entlädt. Nach einem Zeitintervall **405** der Länge dt_1 , der ausreichend lang ist, die DAC-Kapazität **144** nahe zum Pegel VDD der Versorgungsspannung aufzuladen, steuert bei t_2 das empfangene digitale Steuersignal D den Voraufladungsschalter **1431**, in den Zustand OFFEN einzutreten. Demgemäß trennt der Voraufladungsschalter **1431** die DAC-Kapazität **144** von der Spannungsversorgungsleitung **110**. Während eines Zeitintervalls **410** der Länge dt_2 sind der Voraufladungsschalter **1431**, der Referenzspannungsschalter **1432** und der Entladungsschalter **1433** der DAC-Schalteranordnung **143** im Zustand OFFEN. Demgemäß werden Überlappen von zwei Schaltern im Zustand GESCHLOSSEN und assoziierte Unbestimmtheit des Schaltungszustands, Fluss von Kurzschlussstrom von der Spannungsquelle zu Ende und andere Effekte, die für einen sichereren Betrieb der Vorrichtung nachteilig sind, sicher vermieden. Gemäß einigen Ausführungsformen kann die Länge dt_2 des Zeitintervalls **401** im Vergleich mit der Länge dt_1 des Zeitintervalls **405** kurz sein, wobei technologische Parameter des Herstellungsprozesses, der zur Herstellung der Implementierung verwendet wird, eine minimale Länge dt_2 des Zeitintervalls **410** bestimmen können.

[0030] Zur Zeit t_3 steuert das am Referenzspannungsschalter **1432** empfangene digitale Steuersignal D den Referenzspannungsschalter **1432**, in den Zustand GESCHLOSSEN einzutreten. Demgemäß stellt der Referenzspannungsschalter **1432** eine Verbindung bereit, damit Ladung von der Referenzspannungsquelle über die Referenzspannung-Filteranordnung **132**, **133**, **134**, die Referenzspannungsleitung **135** und den Referenzspannungsschalter **1432** zur DAC-Kapazität **144** fließen kann. Nach einem Zeitintervall **415** der Länge dt_3 , das ausreichend lang ist, die DAC-Kapazität **144** zum Pegel VREF der Versorgungsspannung aufzuladen, steuert bei t_4 das empfangene digitale Steuersignal D den Referenzspannungsschalter **1432**, in den Zustand OFFEN einzutreten. Demgemäß trennt der Referenzspannungsschalter **1432** die DAC-Kapazität **144** von der Referenzspannungsleitung **135**. Während eines Zeitintervalls **420** der Länge dt_4 sind der Voraufladungsschalter **1431**, der Referenzspannungsschalter **1432** und der Entladungsschalter **1433** der DAC-Schalteranordnung **143** im Zustand OFFEN. Demgemäß werden Überlappen von zwei Schaltern im Zustand GESCHLOSSEN und Unbestimmtheit des Schaltungszustands, Fluss von Kurzschlussstrom von der Spannungsquelle zu Ende und andere Effekte, die für einen sichereren Betrieb der Vorrichtung nachteilig sind, sicher vermieden. Die Länge dt_4 des Zeitintervalls **410** kann im Vergleich mit der Länge dt_1 des Zeitintervalls **405** kurz sein.

[0031] Zur Zeit t_5 steuert das am Entladungsschalter **1433** empfangene digitale Steuersignal D2 den Entladungsschalter **1433**, in den Zustand GESCHLOSSEN einzutreten. Demgemäß stellt der Entladungsschalter **1433** eine Verbindung bereit, damit Ladung von der DAC-Kapazität **144** über den Entladungsschalter **1433** und die Entladungsleitung **139** zu Erde **101** fließen kann. In einigen Implementierungen kann die Entladung zu einem anderen Vorspannungspegel als Erde durchgeführt werden. In einigen nicht dargestellten Ausführungsformen können die hierin unter Bezugnahme auf Aufladen offenbarten Grundsätze auch auf Entladen angewandt werden. Demgemäß wird Entladen in mehr als einer einzelnen Stufe zu verschiedenen Potenzialen durchgeführt. Zum Beispiel wird Entladen während einer ersten Entladungsphase zu einem Vorspannungspegel durchgeführt, und während einer zweiten Entladungsphase wird Entladen dann zum Erde-Spannungspegel, der von dem Vorspannungspegel verschieden ist, durchgeführt. Nach einem Zeitintervall **425** der Länge dt_5 , das ausreichend lang ist, die DAC-Kapazität **144** nahe zum Vorspannungspegel an Erde zu entladen, steuert bei t_6 das empfangene digitale Steuersignal D den Entladungsschalter **1433**, in den Zustand OFFEN einzutreten. Demgemäß trennt der Entladungsschalter **1433** die DAC-Kapazität **144** von Erde **101**. Während eines Zeitintervalls **430** der Länge dt_6 sind der Voraufladungs-

schalter **1431**, der Referenzspannungsschalter **1432** und der Entladungsschalter **1433** der DAC-Schalteranordnung **143** im Zustand OFFEN. Demgemäß werden Überlappen von zwei Schaltern im Zustand GESCHLOSSEN und Unbestimmtheit des Schaltungszustands, Fluss von Kurzschlussstrom von der Spannungsquelle zu Ende und andere Effekte, die für einen sichereren Betrieb der Vorrichtung nachteilig sind, sicher vermieden. Die Länge dt_6 des Zeitintervalls **430** kann im Vergleich mit der Länge dt_1 des Zeitintervalls **405** kurz sein.

[0032] Zur Zeit t_7 beginnt ein weiterer Zyklus **400** der Arbeitsphasen Voraufladung, Referenzaufladung und Entladung der DAC-Kapazität **144a**, den während der Periode TCAP durchgeführten Zyklus, beginnend zur Zeit t_1 , zu wiederholen. In einigen Ausführungsformen wie zum Beispiel in der in **Fig. 4** gezeigten Implementierung wird die Voraufladung der Digital-zu-Analog- bzw. DAC-Kapazität **144a** während einer Periode TCLK **401** des Taktsignals CLK abgeschlossen. Das Aufladen zum Pegel der Referenzspannung VREF wird dagegen in einem Vielfachen der Taktperiode TCKL **401** abgeschlossen. Demgemäß kann der Stromfluss in Übereinstimmung mit Anforderungen der Implementierung optimiert werden. Insbesondere kann Strom in einem relativ starken Impuls von der Spannungsversorgung entnommen werden, um bereits während der Voraufladung vor dem Entnehmen von Strom aus der Referenzspannungsquelle den Hauptanteil der Ladung in der DAC-Kapazität **144a**, die für den Referenzspannungspegel benötigt wird, bereitzustellen. Infolgedessen entnimmt Aufladen der DAC-Kapazität **144a** zum Referenzspannungspegel wenig Strom aus der Referenzspannungsquelle und vermeidet damit Nachteile, die mit Stromfluss von der Referenzspannungsquelle assoziiert sind.

[0033] In einer Ausführungsform wird aufgrund der Voraufladung der DAC-Kapazität **144** nahe zum Pegel der Versorgungsspannung VDD oder genau zum Pegel der Versorgungsspannung VDD unnötiger Ladungsfluss von der Referenzspannungsquelle, die an die Referenzspannungsleitung **135** gekoppelt ist, vermieden, da Ladung nur in dem Ausmaß fließt, in dem sich der Voraufladungsspannungspegel der DAC-Kapazität **144** von dem Referenzspannungspegel VREF der Referenzspannungsquelle unterscheidet.

[0034] **Fig. 5** zeigt ein Diagramm, das eine Variante der in **Fig. 3** gezeigten beispielhaften Implementierung darstellt, wobei die Variante zusätzlich eine Spannungspegelschaltung gemäß einigen Ausführungsformen umfasst. Die Spannungspegelschaltung umfasst einen Source-Folger **137**, der zwischen der Spannungsversorgungsleitung **110** und dem DAC-Spannungsversorgungszweig **138** gekoppelt ist. Die Spannungspegelschaltung umfasst ferner eine Source-Steuerleitung **136**, die zwischen

dem Knoten **134** in der Referenzspannungsleitung **135** und dem Source-Folger **137** verbunden ist. Die Spannungspegelschaltung stellt den oben diskutierten Ausführungsformen Funktionalität bereit, die ermöglicht, dass Voraufladung der DAC-Kapazität **144** zu einem Spannungspegel, der von dem Versorgungsspannungspegel VDD verschieden ist, durchgeführt werden kann. Demgemäß kann die Vorrichtung unabhängig von dem Versorgungsspannungspegel VDD konfiguriert werden, einen Pegel der Voraufladungsspannung zu erreichen, der nahe dem Pegel der Referenzspannung VREF ist oder dem Pegel der Referenzspannung VREF ungefähr gleicht. Mindestens eine Wirkung kann sein, dass die Referenzaufladungsstrom-Last auf die Referenzspannungsquelle besonders niedrig ist.

[0035] Fig. 6 zeigt ein Diagramm, das eine weitere Variante der in Fig. 3 gezeigten beispielhaften Implementierung darstellt, wobei die Variante eine Taktungsschaltung gemäß einigen Ausführungsformen umfasst. Die Taktungsschaltung ist in einem Taktungsblock **600** dargestellt, der zwischen der Digitalsignalleitung **130** und einer kapazitiven Schalteranordnung **643**, die der kapazitiven Schalteranordnung **143** sehr ähnlich ist, gekoppelt ist. Es versteht sich, dass gemäß einigen Implementierungen die kapazitiven Schalteranordnungen **643** die Stelle der kapazitiven Schalteranordnungen **143** in dem C-DAC-Wandler **140** des oben beschriebenen ADC **100** einnehmen können. Wie nachstehend erklärt werden wird, ist der Taktungsblock **600** gemäß einigen Ausführungsformen konfiguriert, das vom SAR **120** bereitgestellte digitale Steuersignal D zu verarbeiten und als ein Ergebnis der Verarbeitung des digitalen Steuersignals D der kapazitiven Schalteranordnung **643** Freigabesignale bereitzustellen. Hierin kann die Bezeichnung „Verarbeitung“ eines oder mehrerer von mindestens Verteilen des digitalen Steuersignals D auf mehrere Signalwege, Durchführen einer Logikoperation (z. B. Umkehroperation, UND-Operation usw.) am digitalen Steuersignal D und Verzögern des digitalen Steuersignals D bedeuten.

[0036] Die kapazitive Schalteranordnung **643** umfasst einen Voraufladungsschalter **6431**, einen Referenzaufladungsschalter **6432** und einen Entladungsschalter **6433**. Die kapazitive Schalteranordnung **643** umfasst ferner einen Voraufladungssignalzweig **6301**, der an den Voraufladungsschalter **6431** gekoppelt ist und konfiguriert ist, dem Voraufladungsschalter **6431** Steuersignalisierung bereitzustellen. Die kapazitive Schalteranordnung **643** umfasst ferner einen Referenzspannungssignalzweig **6302**, der an den Referenzspannungsschalter **6432** gekoppelt ist und konfiguriert ist, dem Referenzspannungsschalter **6432** Steuersignalisierung bereitzustellen. Die kapazitive Schalteranordnung **643** umfasst ferner einen Entladungssignalzweig **6303**, der an den Entladungsschalter **6433** gekoppelt ist und konfiguriert ist, dem

Entladungsschalter **6433** Steuersignalisierung bereitzustellen. Gemäß einer beispielhaften Implementierung ist die kapazitive Schalteranordnung **643** derart konfiguriert, dass Wechseln eines Freigabesignals, das einem Schalter unter Steuerung durch das Freigabesignal bereitgestellt wird, z. B. dem Voraufladungsschalter **6431**, dem Referenzspannungsschalter **6432** und dem Entladungsschalter **6433**, zum Pegel NIEDRIG den gesteuerten Schalter in den Zustand OFFEN versetzt. Die kapazitive Schalteranordnung **643** ist ferner derart konfiguriert, dass Wechseln des Freigabesignals zum Pegel HOCH den gesteuerten Schalter in den Zustand GESCHLOSSEN versetzt.

[0037] Die Taktungsschaltung im Taktungsblock **600** umfasst einen ersten Zweigknoten **601**, an dem ein Weg der Digitalsignalleitung **130** sich in die Digitalsignalzweige **611**, **621**, **631** aufteilt. Ein Voraufladung-Digitalsignalzweig **611** ist an einen ersten Eingang zu einem Voraufladungssteuerung-UND-Gatter **610** gekoppelt, ein Referenzspannungsaufladung-Digitalsignalzweig **621** ist an ein Referenzspannungsaufladung-UND-Gatter **620** gekoppelt. Ein Entladung-Digitalsignalzweig **631** ist an einen Entladungssteuersignal-Inverter **630** gekoppelt. Der Referenzspannungsaufladung-Digitalsignalzweig **621** umfasst ferner einen zweiten Zweigknoten **602**, an dem ein Weg zum Verzögerungselement **604** abzweigt, das konfiguriert ist, den Ausgang eines digitalen Steuersignals, das in das Verzögerungselement **604** eingegeben wird, um eine im Voraus bestimmte Zeitdauer zu verzögern. Ein Ausgang des Verzögerungselements **604** ist über einen Voraufladungssteuersignalzweig **605** an einen Voraufladungssteuersignalinverter **608** gekoppelt. Ein Ausgang des Voraufladungssteuersignal-Inverters **608** ist über einen Umkehrsignalleitung **612** an einen zweiten Eingang des Voraufladungssteuerung-UND-Gatters **610** gekoppelt. Der Ausgang des Verzögerungselements **604** ist ferner über eine Verzögerungssignalleitung **622** an einen zweiten Eingang des Referenzspannungsaufladung-UND-Gatters **620** gekoppelt.

[0038] Die Operation des Taktungsblocks **600** wird jetzt kurz beschrieben, insbesondere unter Bezugnahme auf die Fig. 4 und Fig. 6. Zur Zeit t_0 wechselt das digitale Steuersignal D vom Pegel NIEDRIG zum Pegel HOCH (dargestellt in Fig. 4 bei Bezugszeichen **441**). Demgemäß empfängt der erste Eingang zum Voraufladungssteuerung-UND-Gatter **610** das digitale Steuersignal D, das vom Pegel NIEDRIG zum Pegel HOCH wechselt, über den ersten Knoten **601** und den Voraufladung-Digitalsignalzweig **611**. Hinsichtlich des zweiten Eingangs zum Voraufladungssteuerung-UND-Gatter **610** wird das digitale Steuersignal D außerdem dem Verzögerungselement **604** über den zweiten Knoten **602** bereitgestellt. Das Verzögerungselement **604** verzögert jedoch den Ausgang des Wechsels **441** vom Pegel NIEDRIG zum Pegel

HOCH. Währenddessen fährt das Verzögerungselement **604** fort, ein digitales Steuersignal auf dem Pegel NIEDRIG auszugeben, dass dem Voraufladungssteuersignal-Inverter **608** über den Zweig **605** bereitgestellt wird. Demgemäß gibt der Voraufladungssteuersignal-Inverter **608** über die Umkehrsignalleitung **612** ein Signal des Pegels HOCH zum zweiten Eingang des Voraufladungssteuerung-UND-Gatters **610** aus. Infolgedessen gibt das Voraufladungssteuerung-UND-Gatter **610** im Voraufladungssignalzweig **6301** ein Voraufladung-Freigabesignal des Pegels HOCH zum Voraufladungsschalter **6431** aus. Folglich wird der Voraufladungsschalter **6431** nach einem kurzen Intervall dt_6 des Übergangs in den Zustand GESCHLOSSEN versetzt, und zur Zeit t_1 beginnt die Durchführung eines Zyklus **400** von Arbeitsphasen, da Ladung von der Spannungsversorgungsleitung **110** über den Voraufladungsschalter **6431** zur DAC-Kapazität **144** zu fließen beginnt.

[0039] Zur Zeit t_2 gibt das Verzögerungselement **604** nach Abschluss eines Verzögerungszeitintervalls dt_1 einen Signalwechsel vom Pegel NIEDRIG zum Pegel HOCH aus. Demgemäß empfängt der Voraufladungssteuersignal-Inverter **608** ein Signal des Pegels HOCH und gibt ein Signal des Pegels NIEDRIG zum zweiten Eingang des Voraufladungssteuerung-UND-Gatters **610** aus. Infolgedessen gibt das Voraufladungssteuerung-UND-Gatter **610** im Voraufladungssignalzweig **6301** ein Voraufladung-Freigabesignal des Pegels NIEDRIG zum Voraufladungsschalter **6431** aus. Folglich wird der Voraufladungsschalter **6431** in den Zustand OFFEN versetzt und der Ladungsfluss von der Spannungsversorgungsleitung **110** zur DAC-Kapazität **144** endet.

[0040] Ebenfalls zur Zeit t_2 empfängt auch der zweite Eingang des Referenzspannungsaufladung-UND-Gatters **620** den Wechsel des Freigabesignals vom Pegel NIEDRIG zum Pegel HOCH, wie es vom Verzögerungselement **604** ausgegeben wird. Infolgedessen gibt das Referenzspannungsaufladung-UND-Gatter **620** im Referenzspannungsaufladung-Signalzweig **6302** einen Wechsel des Referenzspannungsaufladung-Freigabesignals vom Pegel NIEDRIG zum Pegel HOCH zum Referenzspannungsschalter **6432** aus. Folglich wird der Referenzspannungsschalter **6432** in den Zustand GESCHLOSSEN versetzt.

[0041] Zur Zeit t_3 ist das Umschalten des Zustands am Voraufladungsschalter **6431** nach Abschluss des Übergangszeitintervalls dt_2 abgeschlossen. Unter der Voraussetzung, dass das im Voraus bestimmte Verzögerungszeitintervall dt_1 ausreichend lang war, ist zu diesem Zeitpunkt t_3 die DAC-Kapazität **144** auf den Pegel der Versorgungsspannung VDD aufgeladen.

[0042] Ferner ist zur Zeit t_3 das Umschalten des Zustands am Referenzspannungsschalter **6432** nach Abschluss des Übergangszeitintervalls dt_2 abgeschlossen. Unter der Voraussetzung, dass der Spannungspegel an der DAC-Kapazität unter dem Referenzspannungspegel VREF ist, fließt Ladung von der Referenzspannungsquelle über die Referenzspannung-Filteranordnung **132**, **133**, **134**, die Referenzspannungsleitung **135** und den Referenzspannungsschalter **6432** zur DAC-Kapazität **144**.

[0043] Zur Zeit t_4 wechselt das digitale Steuersignal D vom Pegel HOCH zum Pegel NIEDRIG (dargestellt in **Fig. 4** bei Bezugszeichen **442**). Demgemäß empfängt der erste Eingang des Referenzspannungsaufladung-UND-Gatters **620** über den Referenzspannungsaufladung-Digitalsignalzweig **621** das digitale Steuersignal D, das vom Pegel HOCH zum Pegel NIEDRIG wechselt. Infolgedessen gibt das Referenzspannungsaufladung-UND-Gatter **620** im Referenzspannungsaufladung-Signalzweig **6302** einen Wechsel des Referenzspannungsaufladung-Freigabesignals vom Pegel HOCH zum Pegel NIEDRIG zum Referenzspannungsschalter **6432** aus. Folglich wird der Referenzspannungsschalter **6432** in den Zustand OFFEN versetzt.

[0044] Ferner empfängt der Entladungssteuersignal-Inverter **630** zur Zeit t_4 das digitale Steuersignal D, das vom Pegel HOCH zum Pegel NIEDRIG wechselt, über den ersten Knoten **601** und den Entladungsdigitalsignalzweig **631**. Infolgedessen gibt der Entladungssteuersignal-Inverter **630** im Entladungssignalzweig **6303** ein Entladungssteuersignal des Pegels HOCH zum Entladungsschalter **6433** aus.

[0045] Zur Zeit t_5 ist das Umschalten des Zustands am Referenzspannungsschalter **6432** nach Abschluss des Übergangszeitintervalls dt_4 abgeschlossen. Unter der Voraussetzung, dass das Zeitintervall dt_3 ausreichend lang war, ist zu diesem Zeitpunkt t_5 die DAC-Kapazität **144** auf den Pegel der Referenzspannung VREF aufgeladen.

[0046] Ferner wird zur Zeit t_5 nach Abschluss des Übergangszeitintervalls dt_4 das Umschalten des Zustands am Referenzspannungsschalter **6433** abgeschlossen, wird der Entladungsschalter **6433** in den Zustand GESCHLOSSEN versetzt und fließt Ladung von der DAC-Kapazität **144** über den Entladungsschalter **6433** und die Entladungsleitung **139** zu Erde **101**.

[0047] Zur Zeit t_6 wechselt das digitale Steuersignal D erneut vom Pegel NIEDRIG zum Pegel HOCH (dargestellt in **Fig. 4** bei Bezugszeichen **443**). Nach Abschluss des Übergangszeitintervalls dt_6 ist das resultierende Umschalten am Entladungsschalter **6433** abgeschlossen. Gleichermaßen ist das Umschalten am Voraufladungsschalter **6431**, das vorstehend un-

ter Bezugnahme auf den Anfang des Aufladungs- und Entladungszyklus beschrieben wurde, abgeschlossen.

[0048] Nach einem kurzen Intervall dt_6 des Übergangs ist ein Zyklus **400** von Arbeitsphasen abgeschlossen.

[0049] Andere Implementierungen der Taktungssteuerung der Schalteranordnung **143**, **643** zum Operieren einer ausgewählten DAC-Kapazität **144** liegen im Rahmen der vorliegenden Offenbarung. In einigen Ausführungsformen werden Schaltungselemente der vorstehend offenbarten Schaltungen sämtlich mit der gleichen Herstellungstechnologie bereitgestellt, um konsistentes zeit- und temperaturabhängiges Verhalten eines gegebenen Schaltungsentwurfs unabhängig von der Herstellungstechnologie, die zum Implementieren der jeweiligen Ausführungsform in einer Vorrichtung wie einem integrierten Schaltungschip verwendet wird, bereitzustellen.

[0050] Es versteht sich, dass die vorstehend unter Bezugnahme auf die Ladungsphase offenbarten Grundsätze in einigen alternativen Ausführungsformen auf die Entladungsphase angewandt werden, so dass die Entladungsphase, die Vorentladung und Entladung einschließt, entweder allein oder in Kombination mit der Aufladungsphase, die Voraufladung und Aufladung einschließt, im Rahmen der Offenbarung liegt. In einigen Ausführungsformen ist die kapazitive Schalteranordnung daher konfiguriert, eine Schaltersteuerungsschaltung zu enthalten, die mit Vorentladung der jeweiligen Kapazität assoziiert ist.

[0051] Diese Beschreibung beschreibt in einem Aspekt gemäß einigen Ausführungsformen ein Verfahren zur Verwendung bei der Analog-zu-Digital-Umwandlung, insbesondere bei der Operation einer Schaltung für Analog-zu-Digital-Umwandlung. Die Schaltung umfasst mindestens eine Digital-zu-Analog- bzw. DAC-Kapazität in einer Vielzahl von DAC-Kapazitäten. Eine Ausführungsform umfasst Umschalten einer ersten Spannungsquelle, die auf einen ersten Aufladungsspannungspegel eingestellt ist, zu der mindestens einen DAC-Kapazität. Mindestens eine Wirkung kann sein, dass die DAC-Kapazität auf den ersten Aufladungsspannungspegel voraufgeladen oder vorentladen, je nach Lage des Falles, wird, wobei Ladung im Fall der Voraufladung von der ersten Spannungsquelle zu der mindestens einen DAC-Kapazität oder im Fall der Vorentladung von der mindestens einen DAC-Kapazität in die erste Spannungsquelle (so dass die erste Spannungsquelle eine „erste Spannungssenke“ bildet) fließt. In einer Ausführungsform ist, zum Beispiel im Fall der Voraufladung, die erste Spannungsquelle eine Versorgungsspannungsquelle. Mindestens eine Wirkung kann sein, dass Entnahme von Lade-
strom aus der Versorgungsspannungsquelle andere

Spannungsquellen nicht nachteilig beeinflusst. In einigen Ausführungsformen wird, im Fall der Vorentladung, Koppeln der mindestens einen DAC-Kapazität über einen Vorentladungsspannungsanschluss, der auf einen Vorentladungsspannungspegel als den ersten Ladespannungspegel eingestellt ist, durchgeführt. Eine Ausführungsform umfasst, die erste Spannungsquelle von der mindestens einen DAC-Kapazität zu trennen. Mindestens eine Wirkung kann sein, dass eine Spannung der mindestens einen DAC-Kapazität auf dem ersten Ladespannungspegel gehalten wird. Eine Ausführungsform umfasst Umschalten einer zweiten Spannungsquelle, die auf einen Referenzspannungspegel eingestellt ist, zu der mindestens einen DAC-Kapazität. In einigen Ausführungsformen, die Vorentladung und Entladung implementieren, ist der Referenzspannungspegel ein Entladungspegel, der von dem Vorentladungsspannungspegel verschieden ist. In einigen Ausführungsformen wird der Entladungsspannungspegel durch Erde bereitgestellt. Mindestens eine Wirkung kann sein, dass die mindestens eine DAC-Kapazität am Referenzspannungspegel geladen oder entladen wird, je nach Lage des Falles, wobei entweder, im Fall von Aufladung, Ladung von der zweiten Spannungsquelle zu der mindestens einen DAC-Kapazität fließt oder, im Fall der Entladung, Ladung von der mindestens einen DAC-Kapazität zu der zweiten Spannungsquelle fließt (wodurch die zweite Spannungsquelle eine „zweite Spannungssenke“ bildet). In einer Ausführungsform ist die zweite Spannungsquelle eine Referenzspannungsquelle. Mindestens eine Wirkung kann sein, dass höhere Genauigkeit beim Halten eines im Voraus bestimmten Spannungspegels wie der Referenzspannungspegel als in einem Fall, in dem nur die erste Spannungsquelle verwendet wird, erreicht werden kann.

[0052] Eine Ausführungsform umfasst, die zweite Spannungsquelle von der mindestens einen DAC-Kapazität zu trennen. Mindestens eine Wirkung kann sein, dass eine Spannung der DAC-Kapazität auf dem zweiten Spannungspegel gehalten wird. Eine Ausführungsform umfasst Umschalten der mindestens einen DAC-Kapazität zu einem Entladungsanschluss, der auf den Entladungsspannungspegel eingestellt ist. Mindestens eine Wirkung kann sein, dass Ladung, die während eines vorherigen Abtastzyklus der Abtast- und Halte-Schaltung akkumuliert wurde, von der DAC-Kapazität entladen wird.

[0053] In einer Ausführungsform markiert jedes Umschalten das Eintreten in eine andere Arbeitsphase in einer Abfolge von Arbeitsphasen, die Voraufladungsphase, Referenzaufladungsphase und Entladungsphase umfassen. In einer Ausführungsform gibt es kein Überlappen zwischen beliebigen zwei Arbeitsphasen. Eine Ausführungsform umfasst, den Voraufladungsspannungspegel auf den Referenzspannungspegel einzustellen. Mindestens eine Wirkung

kann sein, dass während der Referenzaufladungsphase keine Ladung zu der mindestens einen DAC-Kapazität fließt.

[0054] In einigen Implementierungen enthalten sowohl Aufladung als auch Entladung Voraufladung bzw. Vorentladung. Demgemäß werden eine erste Referenzspannungsquelle zur Verwendung bei der Aufladung und eine zweite Referenzspannungsquelle zur Verwendung bei der Entladung bereitgestellt und auf verschiedene Spannungspegel eingestellt. Zum Beispiel ist, wie vorstehend beschrieben, der erste Referenzspannungspegel der Referenzspannungspegel, während der zweite Referenzspannungspegel, d. h. der Entladungsspannungspegel, der Pegel der Erde-Spannung ist. Ferner sind in einigen Ausführungsformen die erste Spannungsquelle, konfiguriert zur Verwendung bei der Voraufladung, und die erste Spannungsquelle, konfiguriert zur Verwendung bei der Vorentladung, dieselbe erste Spannungsquelle, eingestellt auf denselben Spannungspegel. Jedoch sind in einigen Ausführungsformen die erste Spannungsquelle, konfiguriert zur Verwendung bei der Voraufladung, und eine andere erste Spannungsquelle, konfiguriert zur Verwendung bei der Vorentladung, separat bereitgestellt und auf verschiedene Spannungspegel eingestellt.

[0055] Eine Ausführungsform umfasst, den Voraufladungsspannungspegel von einem Versorgungsspannungspegel abzuleiten. Mindestens eine Wirkung kann sein, dass die Referenzspannungsquelle von der Voraufladung der DAC-Kapazität nicht beeinträchtigt wird. Ein Puffer, der herkömmlich zum Ausgleichen unerwünschter Wirkungen auf die Referenzspannung bereitgestellt wird, kann vermieden oder auf weniger Oberfläche als herkömmlich entworfen werden. In einer Ausführungsform ist der Versorgungsspannungspegel der Referenzspannungspegel. Mindestens eine Wirkung kann sein, dass während der Referenzaufladungsphase Stromfluss von der Referenzspannungsquelle vermieden wird, da die DAC-Kapazität während der Voraufladungsphase bereits mit einer Genauigkeit der Versorgungsspannungsquelle auf den Referenzspannungspegel aufgeladen ist.

[0056] Eine Ausführungsform umfasst, das Umschalten zu steuern, um den Ablauf von Arbeitsphasen selektiv auf die mindestens eine DAC-Kapazität anzuwenden. Folglich wird Leistungsverlust aufgrund von Verschiebungsstrom, assoziiert mit Voraufladung, Aufladung und Entladung von DAC-Kapazitäten, die zu einer Zeit nicht erforderlich sind, vermieden. Eine Ausführungsform umfasst, ein Taktsignal, das ein periodisches Muster aufweist, bereitzustellen und das Umschalten und/oder Trennen mit dem Taktsignal zu synchronisieren. Folglich ist jede Arbeitsphase ein Vielfaches des Taktsignals, und Umschalten zum Eintreten in eine der Arbeitsphasen

kann mit dem Taktsignal synchronisiert werden. In einer Ausführungsform dauert eine Dauer der Referenzaufladungsphase mehrere Vielfache einer Dauer der Voraufladungsphase.

[0057] Diese Beschreibung beschreibt in einem Aspekt gemäß einigen Ausführungsformen eine Vorrichtung zur Verwendung bei der Analog-zu-Digital-Umwandlung. Eine Ausführungsform umfasst einen Referenzspannungsanschluss, der konfiguriert ist, auf eine Referenzspannung eingestellt zu werden, mindestens eine Digital-zu-Analog- bzw. DAC-Kapazität, die schaltbar an den Referenzspannungsanschluss gekoppelt ist, einen Selektor, der an die mindestens eine DAC-Kapazität gekoppelt ist und konfiguriert ist, die mindestens eine DAC-Kapazität zum Empfangen der Referenzspannung selektiv umzuschalten, einen Vorspannungsanschluss, der an die mindestens eine DAC-Kapazität gekoppelt ist und konfiguriert ist, eine DAC-Spannung, die für eine in der mindestens einen DAC-Kapazität, die zum Empfangen der Referenzspannung ausgewählt wurde, gespeicherte kollektive Ladung repräsentativ ist, auszugeben, und einen Versorgungsspannungsanschluss, der konfiguriert ist, auf eine Versorgungsspannung eingestellt zu werden, wobei die mindestens eine DAC-Kapazität schaltbar an den Versorgungsspannungsanschluss gekoppelt ist. Mindestens eine Wirkung kann sein, dass, während die Referenzspannung an die mindestens eine DAC-Kapazität angelegt ist, die Vorrichtung die DAC-Spannung bereitstellt. In einigen Ausführungsformen ist die Vorrichtung konfiguriert, die mindestens eine Digital-zu-Analog-Wandler- bzw. DAC-Kapazität in mehreren Phasen einschließlich mindestens einer Vorentladungsphase und einer abschließenden Entladungsphase zu entladen. Unter Anwendung des in diesem Abschnitt unter Bezugnahme auf Laden der DAC-Kapazität offenbarten Grundsatzes wird Entladung während Vorentladung auf einen ersten Entladungsspannungspegel und während einer Entladung auf einen zweiten Entladungsspannungspegel durchgeführt.

[0058] Eine Ausführungsform umfasst einen Voraufladungsschalter, der zwischen dem Versorgungsspannungsanschluss und der mindestens einen DAC-Kapazität gekoppelt ist und konfiguriert ist, Ladungsfluss von dem Versorgungsspannungsanschluss zu der mindestens einen DAC-Kapazität zu steuern. Mindestens eine Wirkung kann sein, dass die Versorgungsspannung zur Voraufladung der DAC-Kapazität verwendet werden kann.

[0059] Eine Ausführungsform umfasst einen Puffer, der zwischen dem Versorgungsspannungsanschluss und dem Voraufladungsschalter gekoppelt ist. Mindestens eine Wirkung kann sein, dass der Puffer einen Voraufladungsspannungspegel bereitstellen kann, der von dem Versorgungsspannungspegel

verschieden ist und/oder nahe dem Referenzspannungspegel ist, um die Stromentnahme über den Referenzspannungsanschluss zu reduzieren und nachteilige Wirkungen durch Entnahme von zu viel Strom aus einer Referenzspannungsquelle zu vermeiden. In einer Ausführungsform ist der Puffer als ein Source-Folger bereitgestellt. Demgemäß können verschiedene Spannungsquellen zur Voraufladung der mindestens einen DAC-Kapazität und für Voraufladungssteuerung verwendet werden.

[0060] Eine Ausführungsform umfasst einen Impuls-generator, der an die mindestens eine DAC-Kapazität gekoppelt ist und konfiguriert ist, einen Stromimpuls zur Voraufladung der mindestens einen DAC-Kapazität bereitzustellen. In einigen Ausführungsformen wird mindestens ein weiterer Impuls-generator bereitgestellt, so dass Gruppen von DAC-Kapazitäten jeweils mit einem verschiedenen Impuls-generator assoziiert sind, wobei jede Gruppe von DAC-Kapazitäten mindestens eine DAC-Kapazität beinhaltet und wobei keine zwei Gruppen von DAC-Kapazitäten eine gemeinsame DAC-Kapazität aufweisen. In einer Ausführungsform besteht der Impuls-generator aus Schaltungselementen eines gleichen Typs wie der Voraufladungsschalter. Mindestens eine Wirkung kann sein, dass Abhängigkeiten der Vorrichtungsleistung, zum Beispiel Abhängigkeit von der bei der Herstellung der Vorrichtung verwendeten Prozess-technologie, Betriebstemperatur der Vorrichtung, Betriebsspannung der Vorrichtung und andere, für den Impuls-generator und für den Voraufladungsschalter die gleichen sind. Zusätzliche Ausgleichsschaltungen zum Ausgleichen unterschiedlicher Abhängigkeiten können vermieden werden. In einer Ausführungsform kann der Impuls-generator konfiguriert sein, Voraufladung-Stromimpulse zu erzeugen, deren Länge von der Referenzspannung abhängig ist. In einer Ausführungsform ist der Impuls-generator konfiguriert, mehrere der mindestens einen DAC-Kapazität voraufzuladen. In einer Ausführungsform ist der Impuls-generator konfiguriert, sämtliche DAC-Kapazitäten der mindestens einen DAC-Kapazität voraufzuladen. In einer Ausführungsform ist der Impuls-generator konfiguriert, eine Dauer des Voraufladungsimpulses zu steuern. Mindestens eine Wirkung kann sein, dass die Breite des Voraufladungsimpulses digital gesteuert werden kann.

[0061] Eine Ausführungsform umfasst einen Signal-generator, der konfiguriert ist, ein Taktsignal bereitzustellen, das ein periodisches Muster aufweist und an den Voraufladungsschalter gekoppelt ist, um die Steuerung des Voraufladungsschalters zu beeinflussen. In einigen Ausführungsformen wird mindestens ein weiterer Signalgenerator bereitgestellt, so dass Gruppen von DAC-Kapazitäten jeweils mit einem verschiedenen Signalgenerator assoziiert sind, wobei jede Gruppe von DAC-Kapazitäten mindestens eine DAC-Kapazität beinhaltet und wobei keine zwei

Gruppen von DAC-Kapazitäten eine gemeinsame DAC-Kapazität aufweisen. Mindestens eine Wirkung kann sein, dass eine Voraufladungsphase implementiert werden kann, auf die die DAC-Kapazität aufgeladen wird. Eine Ausführungsform umfasst ein Verzögerungselement, das zwischen dem Taktgenerator und dem Voraufladungsschalter gekoppelt ist, um die Steuerung des Voraufladungsschalters zu beeinflussen, und konfiguriert ist, den Stromfluss von dem Referenzspannungsanschluss zu der DAC-Kapazität zu verzögern. Mindestens eine Wirkung kann sein, dass eine Vielzahl von Schaltern von einem einzelnen Schaltersteuersignal aufeinanderfolgend adressiert werden kann, wobei das Verzögerungselement eine Verzögerung zwischen dem Umschalten von zwei aufeinanderfolgend gesteuerten Schaltern einführt. Die Verzögerungsdauer kann verwendet werden, um die DAC-Kapazität voraufzuladen, wobei die Ladungsmenge, die von dem Referenzspannungsanschluss zu fließen hat, reduziert werden kann.

[0062] Diese Beschreibung beschreibt in einem Aspekt gemäß einigen Ausführungsformen ein Gerät zur Verwendung bei der Analog-zu-Digital-Umwandlung. Eine Ausführungsform umfasst einen Eingangsspannungsanschluss, der konfiguriert ist, einen Eingangsspannung zu empfangen, eine Digital-zu-Analog- bzw. DAC-Vorrichtung, die konfiguriert ist, eine DAC-Spannung an einem DAC-Anschluss bereitzustellen, und einen Komparator, der an den Eingangsspannungsanschluss und an den DAC-Anschluss gekoppelt ist und einen Steuerausgang aufweist, der konfiguriert ist, ein Steuerausgangssignal bereitzustellen, wobei die DAC-Vorrichtung gemäß einer der hierin offenbarten Ausführungsformen bereitgestellt wird. Mindestens eine Wirkung kann sein, dass das Gerät arbeitet, um am Steuerausgang des Komparators eine Eingangsspannung bereitzustellen, die am Eingangsspannungsanschluss einem digitalen Steuersignal, das einen Pegel der Eingangsspannung repräsentiert, bereitgestellt wird.

[0063] Hierin wird die Bezeichnung „beispielhaft“ verwendet, um zu bedeuten, als ein Beispiel, ein Fall oder eine Veranschaulichung zu dienen. Aspekte oder Konstruktionen, die hierin als „beispielhaft“ beschrieben werden, sind nicht notwendigerweise als anderen Aspekten oder Konstruktionen gegenüber bevorzugt oder vorteilhaft anzusehen. Vielmehr soll Verwendung des Worts beispielhaft Konzepte und Techniken in einer konkreten Weise präsentieren. Hierin kann die Bezeichnung „Techniken“ zum Beispiel auf eine oder mehrere Vorrichtungen, Geräte, Systeme, Verfahren, Herstellungsmethoden und/oder computerlesbare Anweisungen verweisen, wie durch den hierin beschriebenen Kontext angegeben. Hierin soll die Bezeichnung „oder“ ein inklusives „oder“ und nicht ein exklusives „oder“ bedeuten. Das heißt, dass „X setzt A oder B ein“ beliebige der natürlichen inklusiven Permutationen bedeuten soll, außer wenn es

anders spezifiziert wird oder aus dem Kontext deutlich wird. Das heißt, wenn X A einsetzt. Hierin sollten die Bezeichnungen „ein“ und „eine“ als Artikel in dieser Anmeldung und den beigefügten Ansprüchen generell so verstanden werden, dass sie „ein(e) oder mehr“ bedeuten, außer wenn es anders angegeben ist oder aus dem Kontext deutlich wird, dass eine Singularform gemeint ist. Hierin können die Bezeichnungen „gekoppelt“ und „verbunden“ verwendet werden, um zu beschreiben, wie verschiedene Elemente verschaltet sind. Derart beschriebene Verschaltungen verschiedener Elemente können entweder direkt oder indirekt sein.

[0064] Obwohl einige Aspekte im Kontext eines Geräts beschrieben wurden, repräsentieren diese Aspekte ebenfalls eine Beschreibung der korrespondierenden Funktionalität, wobei ein Block oder eine Vorrichtung mit einer Funktionalität oder einem Merkmal einer Funktion korrespondiert. Dementsprechend repräsentieren Aspekte, die im Kontext einer Funktionalität beschrieben wurden, ebenfalls eine Beschreibung eines korrespondierenden Blocks oder Teils oder Merkmals eines korrespondierenden Geräts. Es versteht sich, dass die Merkmale der hierin beschriebenen verschiedenen Ausführungsformen miteinander kombiniert werden können, wenn nicht spezifisch anders angegeben. Obwohl hierin spezifische Ausführungsformen veranschaulicht und beschrieben wurde, werden Durchschnittsfachleute im Fachgebiet anerkennen, dass eine Vielfalt von alternativen und/oder äquivalenten Implementierungen die dargestellten und beschriebenen spezifischen Ausführungsformen ersetzen können. Diese Anmeldung soll jegliche Adaptionen oder Variationen der hierin diskutierten spezifischen Ausführungsformen abdecken. Es ist beabsichtigt, dass diese Erfindung nur durch die Ansprüche und deren Äquivalente begrenzt wird. Hierin diskutierte beispielhaft Implementierungen/Ausführungsformen können verschiedene zusammengestellte Komponenten aufweisen. Die Implementierungen hierin werden in der Form beispielhafter Ausführungsformen beschrieben. Es sollte jedoch anerkannt werden, dass individuelle Aspekte der Implementierungen separat beansprucht werden können und ein oder mehrere der Merkmale der verschiedenen Ausführungsformen kombiniert werden können. In einigen Fällen werden gut bekannte Merkmale ausgelassen oder vereinfacht, um die Beschreibung der beispielhaften Implementierungen zu verdeutlichen. In der obigen Beschreibung beispielhafter Implementierungen werden zum Zweck der Erläuterung spezifische Zahlen, Materialienkonfigurationen und andere Einzelheiten angeführt, um die Erfindung, wie sie beansprucht wird, besser zu erläutern. Für Fachleute im Fachgebiet wird es jedoch offensichtlich sein, dass die beanspruchte Erfindung unter Verwendung anderer Einzelheiten als die hierin beschriebenen beispielhaften praktiziert werden kann. Die Erfinder beabsichtigen,

dass die beschriebenen beispielhaften Ausführungsformen/Implementierungen hauptsächlich Beispiele sind. Die Erfinder beabsichtigen nicht, dass diese beispielhaften Ausführungsformen/Implementierungen den Rahmen der beigefügten Ansprüche begrenzen. Vielmehr haben die Erfinder in Erwägung gezogen, dass die beanspruchte Erfindung auch in anderer Weise in Verbindung mit anderen gegenwärtigen oder zukünftigen Technologien ausgeführt und implementiert werden kann. Die Reihenfolge, in der die Ausführungsformen/Implementierungen und Verfahren/Prozesse beschrieben werden, soll nicht als eine Begrenzung verstanden werden, und beliebige Anzahlen der beschriebenen Implementierungen und Prozesse können kombiniert werden. Zum Beispiel können, während einige Implementierungen oben unter Bezugnahme auf eine erste und eine zweite Funktionalität beschrieben wurden, andere nicht dargestellte Implementierungen nur die erste Funktionalität enthalten (nicht die zweite Funktionalität) oder können nur die erste Funktionalität enthalten (nicht die zweite Funktionalität). Andere Permutationen und Kombinationen der oben offenbarten Konzepte werden ebenfalls so angesehen, dass sie in die Offenbarung fallen. Die Offenbarung enthält alle derartigen Modifikationen und Veränderungen und wird nur durch den Rahmen der folgenden Ansprüche begrenzt. Hinsichtlich der verschiedenen Funktionen, die von den oben beschriebenen Komponenten (z. B. Elemente und/oder Betriebsmittel) durchgeführt werden, sollen die Begriffe, die zur Beschreibung derartiger Komponenten verwendet werden, wenn nicht anders angegeben, mit jeder Komponente korrespondieren, die die spezifizierte Funktion der beschriebenen Komponente durchführt (die z. B. funktionell äquivalent ist), obwohl sie nicht strukturell äquivalent zu der offenbarten Struktur ist, die die Funktion in den hierin veranschaulichten beispielhaften Implementierungen der Offenbarung durchführt.

Patentansprüche

1. Verfahren zum Operieren einer Analog-zu-Digital-Umwandlungsschaltung, die Analog-zu-Digital-Umwandlungsschaltung mindestens eine Digital-zu-Analog- bzw. DAC-Kapazität in einer Vielzahl von DAC-Kapazitäten umfassend, das Verfahren umfassend:

Umschalten einer ersten Spannungsquelle, die auf einen Aufladungsspannungspegel eingestellt ist, zu der mindestens einen DAC-Kapazität,
Trennen der ersten Spannungsquelle von der mindestens einen DAC-Kapazität und
Umschalten einer zweiten Spannungsquelle, die auf einen Referenzspannungspegel eingestellt ist, zu der mindestens einen DAC-Kapazität.

2. Verfahren nach Anspruch 1, das Verfahren umfassend, die zweite Spannungsquelle von der mindestens einen DAC-Kapazität zu trennen.

3. Verfahren nach Anspruch 1 oder 2, wobei das Aufladen Voraufladen ist, das Verfahren umfassend, die mindestens eine DAC-Kapazität zu einem Entladungsanschluss, der auf einen Entladungsspannungspegel eingestellt ist, umzuschalten.

4. Verfahren nach einem der Ansprüche 1 bis 3, wobei jedes Umschalten Eintreten in eine andere Arbeitsphase in einem Ablauf von Arbeitsphasen, umfassend Voraufladungsphase, Referenzaufladungsphase und Entladungsphase, markiert und wobei kein Überlappen zwischen beliebigen zwei Arbeitsphasen vorkommt.

5. Verfahren nach Anspruch 4, das Verfahren umfassend, das Umschalten zu steuern, um den Ablauf von Arbeitsphasen selektiv auf die mindestens eine DAC-Kapazität in der Vielzahl von DAC-Kapazitäten anzuwenden.

6. Verfahren nach einem der Ansprüche 1 bis 5, das Verfahren umfassend, den Voraufladungsspannungspegel auf den Referenzspannungspegel einzustellen.

7. Verfahren nach einem der Ansprüche 1 bis 6, das Verfahren umfassend, den Voraufladungsspannungspegel von einem Versorgungsspannungspegel abzuleiten.

8. Verfahren nach Anspruch 7, wobei der Versorgungsspannungspegel der Referenzspannungspegel ist.

9. Verfahren nach einem der Ansprüche 1 bis 8, das Verfahren umfassend, ein Taktsignal bereitzustellen, das ein periodisches Muster aufweist, und das Umschalten und/oder Trennen mit dem Taktsignal zu synchronisieren.

10. Verfahren nach einem der Ansprüche 1 bis 9, wobei eine Dauer der Referenzaufladungsphase mehrere Vielfache einer Dauer der Voraufladungsphase dauert.

11. Schaltungsvorrichtung zur Verwendung bei der Analog-zu-Digital-Umwandlung, die Schaltungsvorrichtung umfassend:
einen Referenzspannungsanschluss, der konfiguriert ist, auf eine Referenzspannung eingestellt zu werden,
mindestens eine Digital-zu-Analog- bzw. DAC-Kapazität, die schaltbar an den Referenzspannungsanschluss gekoppelt ist,
einen Selektor, der an die mindestens eine DAC-Kapazität gekoppelt ist und konfiguriert ist, die mindestens eine DAC-Kapazität selektiv zum Empfangen der Referenzspannung umzuschalten,
einen Vorspannungsanschluss, der an die mindestens eine DAC-Kapazität gekoppelt ist und konfigu-

riert ist, eine DAC-Spannung auszugeben, die für eine in der mindestens einen DAC-Kapazität, die zum Empfangen der Referenzspannung ausgewählt wurde, gespeicherte kollektive Ladung repräsentativ ist, einen Versorgungsspannungsanschluss, der konfiguriert ist, auf eine Versorgungsspannung eingestellt zu werden,
wobei die mindestens eine DAC-Kapazität schaltbar an den Versorgungsspannungsanschluss gekoppelt ist.

12. Schaltungsvorrichtung nach Anspruch 11, die Vorrichtung ferner einen Voraufladungsschalter umfassend, der zwischen dem Versorgungsspannungsanschluss und der mindestens einen DAC-Kapazität gekoppelt ist und konfiguriert ist, Ladungsfluss von dem Versorgungsspannungsanschluss zu der mindestens einen DAC-Kapazität zu steuern.

13. Schaltungsvorrichtung nach Anspruch 12, die Vorrichtung ferner einen Puffer umfassend, der zwischen dem Versorgungsspannungsanschluss und dem Voraufladungsschalter gekoppelt ist.

14. Schaltungsvorrichtung nach Anspruch 12 oder 13, die Schaltungsvorrichtung ferner einen Impulsgenerator umfassend, der an die mindestens eine DAC-Kapazität gekoppelt ist und konfiguriert ist, einen Stromimpuls zur Voraufladung der mindestens einen DAC-Kapazität bereitzustellen.

15. Schaltungsvorrichtung nach Anspruch 14, wobei der Impulsgenerator aus Schaltungselementen des gleichen Typs wie der Voraufladungsschalter besteht.

16. Schaltungsvorrichtung nach Anspruch 14 oder 15, wobei der Impulsgenerator konfiguriert ist, mehrere der mindestens einen DAC-Kapazität voraufzuladen.

17. Schaltungsvorrichtung nach einem der Ansprüche 14 bis 16, wobei der Impulsgenerator konfiguriert ist, eine Dauer des Voraufladungsimpulses zu steuern.

18. Schaltungsvorrichtung nach einem der Ansprüche 12 oder 17, die Schaltungsvorrichtung ferner einen Signalgenerator umfassend, der konfiguriert ist, ein Taktsignal bereitzustellen, das ein periodisches Muster aufweist und an den Voraufladungsschalter gekoppelt ist, um die Steuerung des Voraufladungsschalters zu beeinflussen.

19. Schaltungsvorrichtung nach einem der Ansprüche 11 bis 18, die Schaltungsvorrichtung ferner ein Verzögerungselement umfassend, das zwischen dem Taktgenerator und dem Voraufladungsschalter gekoppelt ist, um die Steuerung des Voraufladungsschalters zu beeinflussen, und konfiguriert ist, den

Stromfluss von dem Referenzspannungsanschluss zu der DAC-Kapazität zu verzögern.

20. Analog-zu-Digital-Umwandlungsgerät, umfassend einen Eingangsspannungsanschluss, der konfiguriert ist, eine Eingangsspannung zu empfangen, eine Digital-zu-Analog-Schaltungsvorrichtung, die konfiguriert ist, eine Digital-zu-Analog-Spannung an einem Digital-zu-Analog-Anschluss bereitzustellen, und einen Komparator, der an den Eingangsspannungsanschluss und an den Digital-zu-Analog-Anschluss gekoppelt ist und einen Steuerausgang aufweist, der konfiguriert ist, ein Steuerausgangssignal bereitzustellen, wobei die Digital-zu-Analog-Vorrichtung gemäß einem der vorstehenden Schaltungsvorrichtung-Ansprüche bereitgestellt wird.

Es folgen 6 Seiten Zeichnungen

Anhängende Zeichnungen

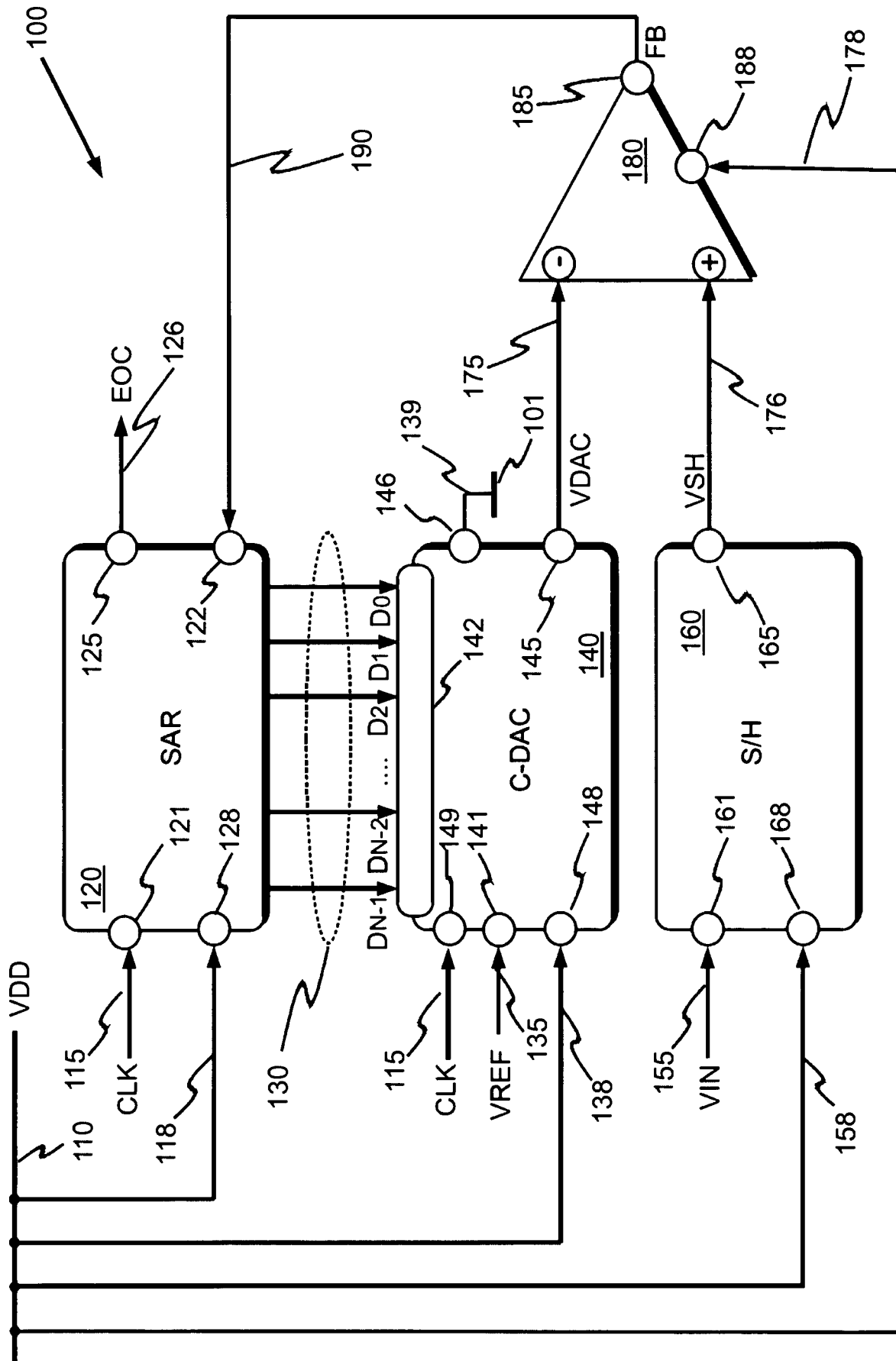


FIG. 1

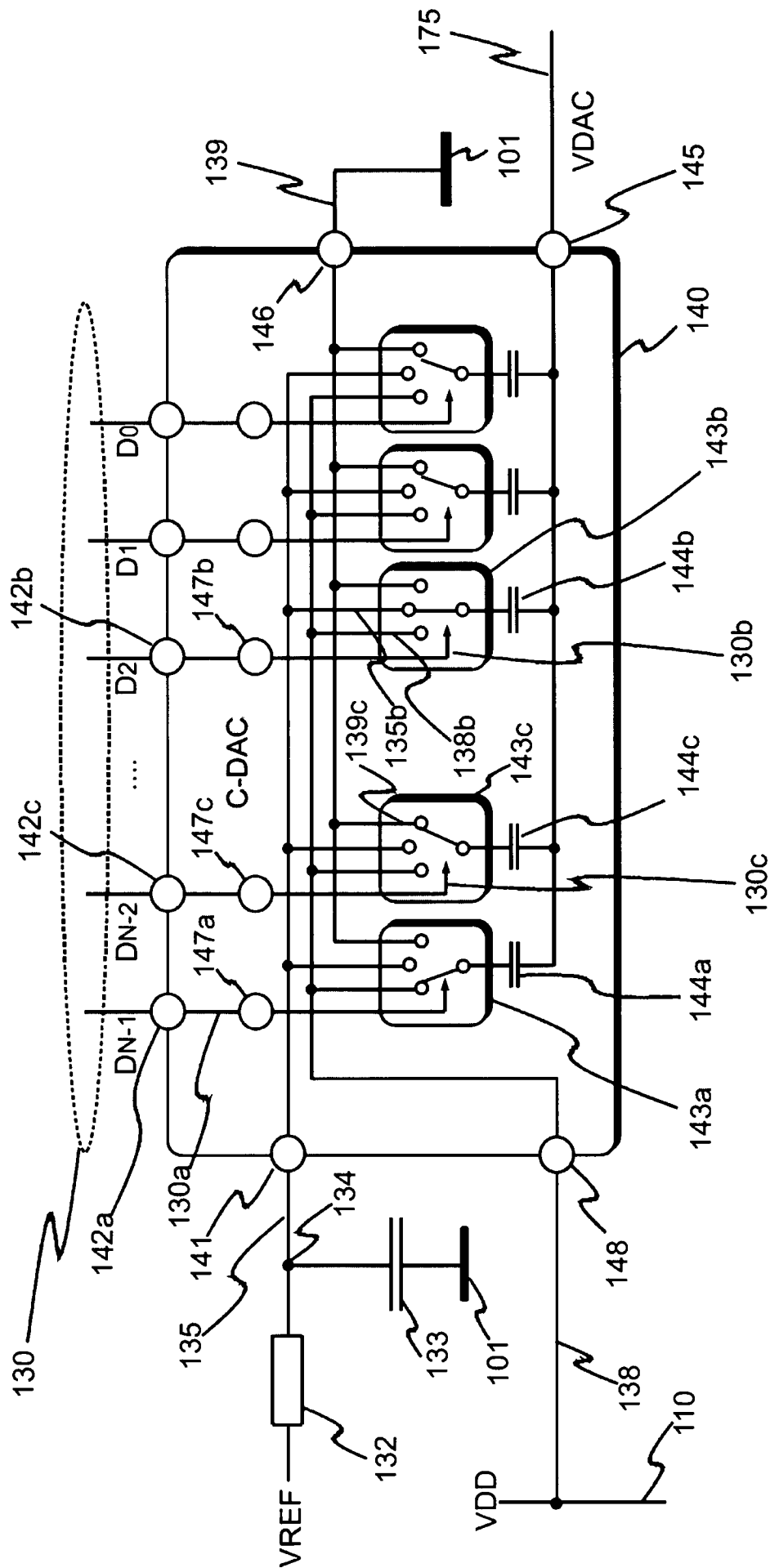


FIG. 2

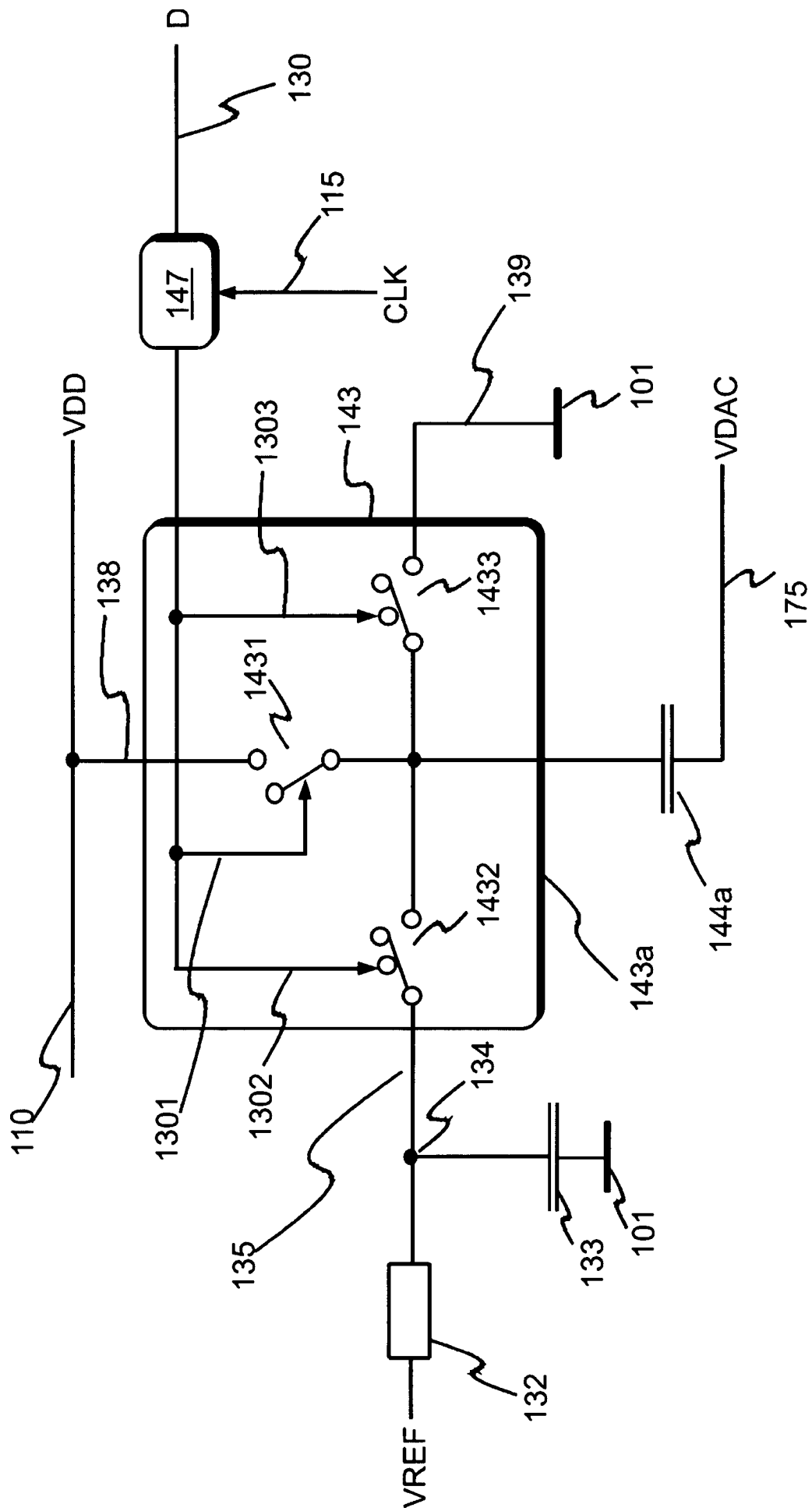


FIG. 3

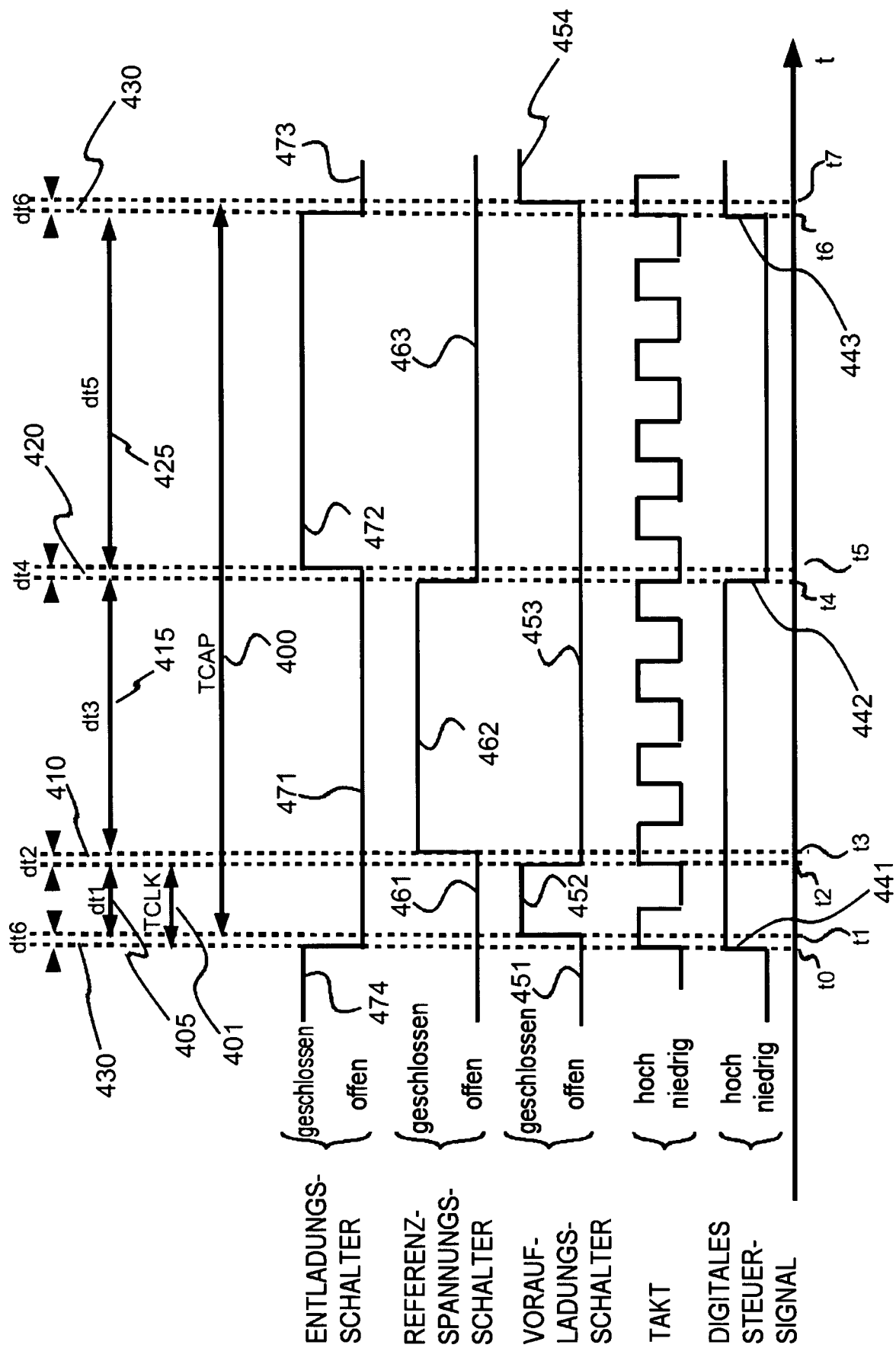


FIG. 4

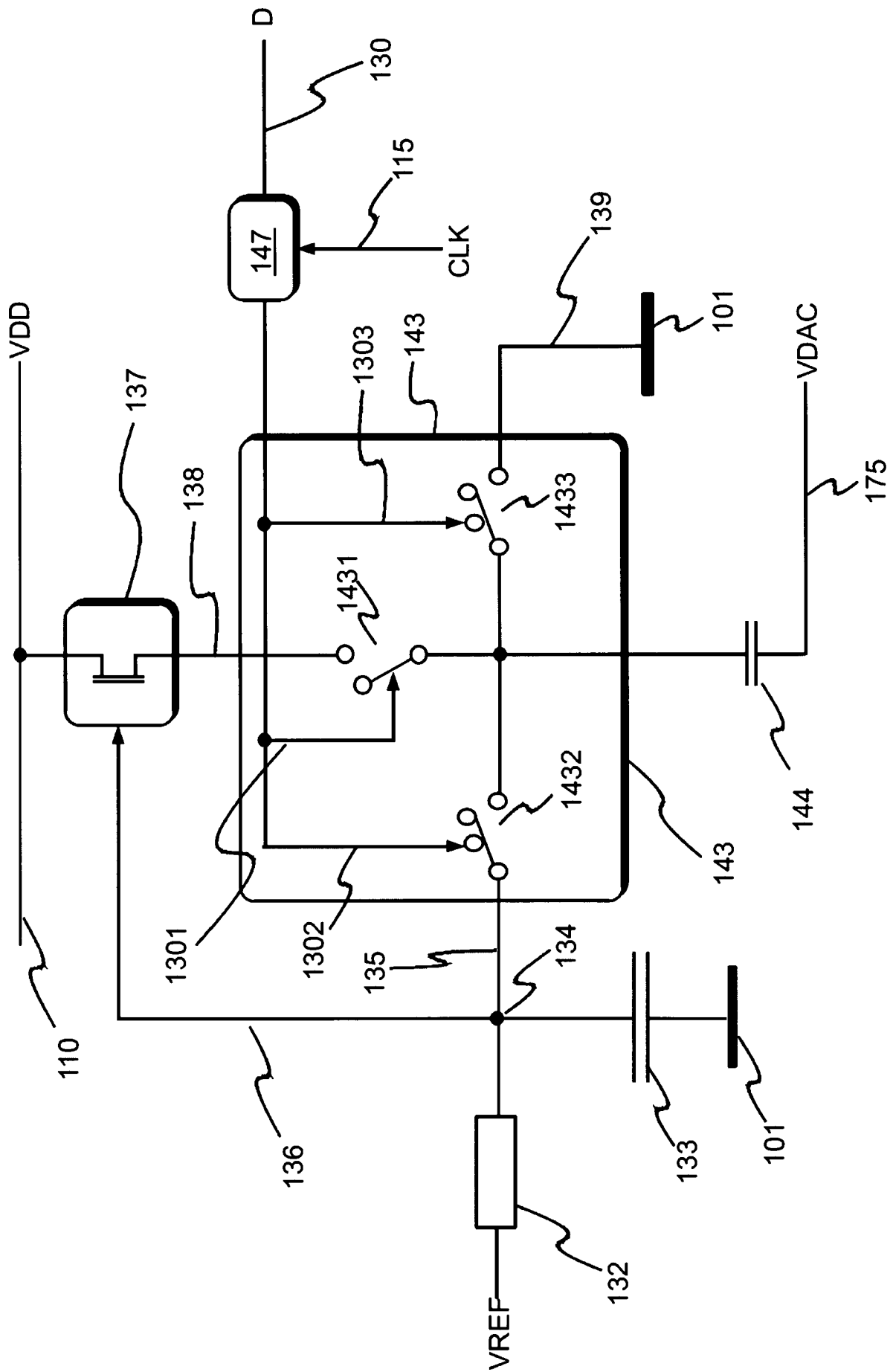


FIG. 5

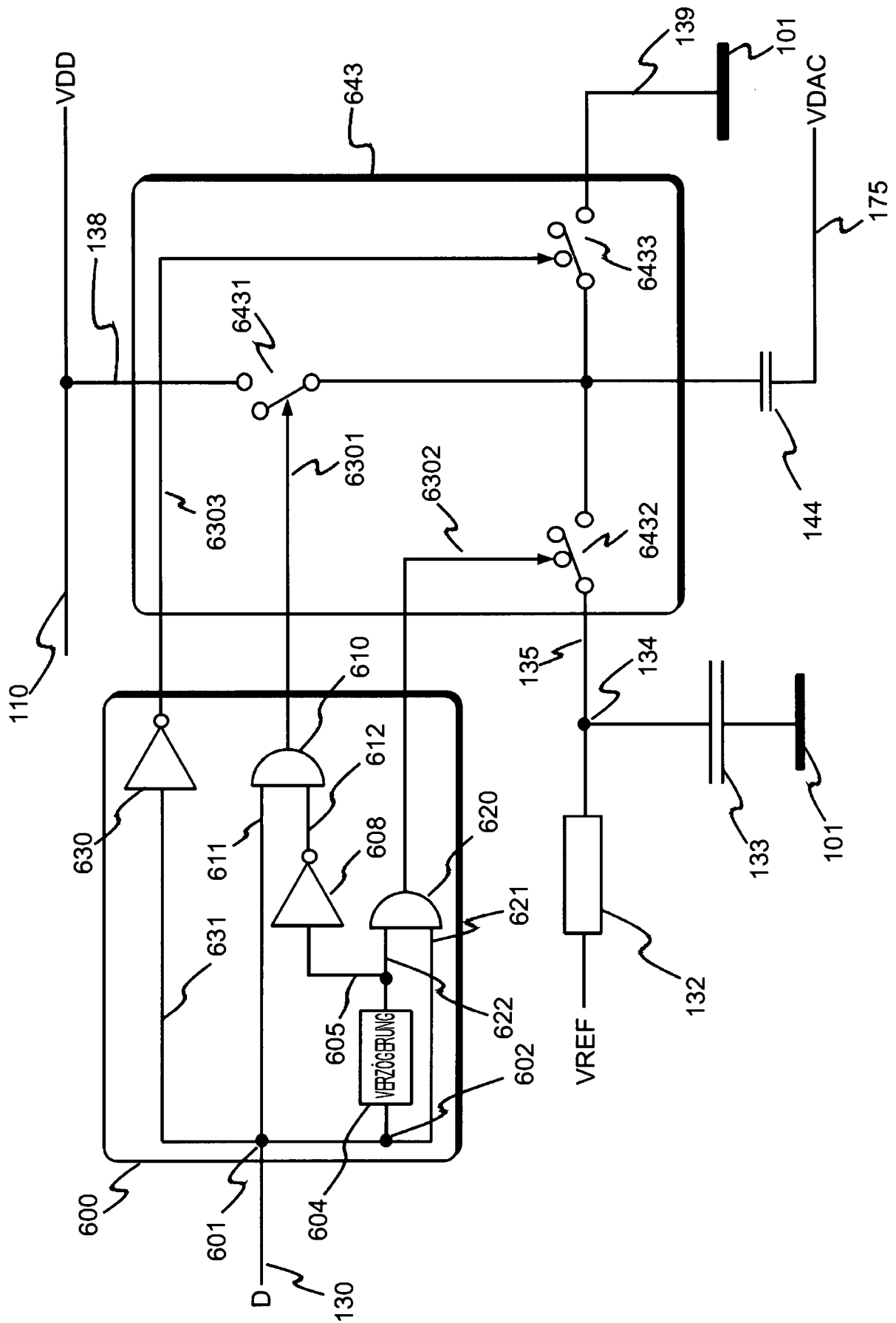


FIG. 6