



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I384756B1

(45) 公告日：中華民國 102 (2013) 年 02 月 01 日

(21) 申請案號：098144277

(22) 申請日：中華民國 98 (2009) 年 12 月 22 日

(51) Int. Cl. : **H03K19/0185(2006.01)****G09G3/36 (2006.01)**

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：林師勤 LIN, SHIH CHYN (TW)；樊祥彬 FAN, HSIANG PIN (TW)；陳文彬 CHEN, WEN PIN (TW)；曾貴聖 TSENG, KUEI SHENG (TW)；吳貞儀 WU, CHEN YI (TW)

(74) 代理人：郭曉文

(56) 參考文獻：

US 6175268B1

US 6690347B2

US 2008/0048964A1

審查人員：陳臆聰

申請專利範圍項數：10 項 圖式數：5 共 0 頁

(54) 名稱

移位暫存器

SHIFT REGISTER

(57) 摘要

一種移位暫存器包括控制電路、上拉電路以及下拉電路。其中，控制電路於其被致能期間依據啟始訊號產生控制訊號；上拉電路於其被控制訊號致能期間依據時脈訊號產生閘極脈衝訊號且包括雙閘極電晶體，雙閘極電晶體之第一閘極因電性耦接關係而接收控制訊號，雙閘極電晶體之第二閘極因電性耦接關係而接收預設電壓，雙閘極電晶體之第一源/汲極作為閘極脈衝訊號之輸出端，雙閘極電晶體之第二源/汲極因電性耦接關係而接收時脈訊號；下拉電路於上拉電路未被致能期間將雙閘極電晶體之第一閘極的電位及閘極脈衝訊號之輸出端的電位下拉至電源電位。

The present invention generally relates to a shift register including a control circuit, a pull-up circuit and a pull-down circuit. The control circuit generates a control signal according to a start pulse signal during the control circuit is enabled. The pull-up circuit produces a gate pulse signal according to a clock pulse signal during the pull-up circuit is enabled. The pull-up circuit includes a dual-gate transistor. A first gate of the dual-gate transistor is electrically coupled to receive a control signal, a second gate of the dual-gate transistor is electrically coupled to receive a predetermined voltage, the first source/drain of the dual-gate transistor serves as the output terminal of the gate pulse signal, and the second source/drain of the dual-gate transistor is electrically coupled to the clock pulse signal. The pull-down circuit pulls down both a potential at the first gate of the dual-gate transistor and a potential at the output terminal of the gate pulse signal to a power supply potential during the pull-up circuit is disabled.

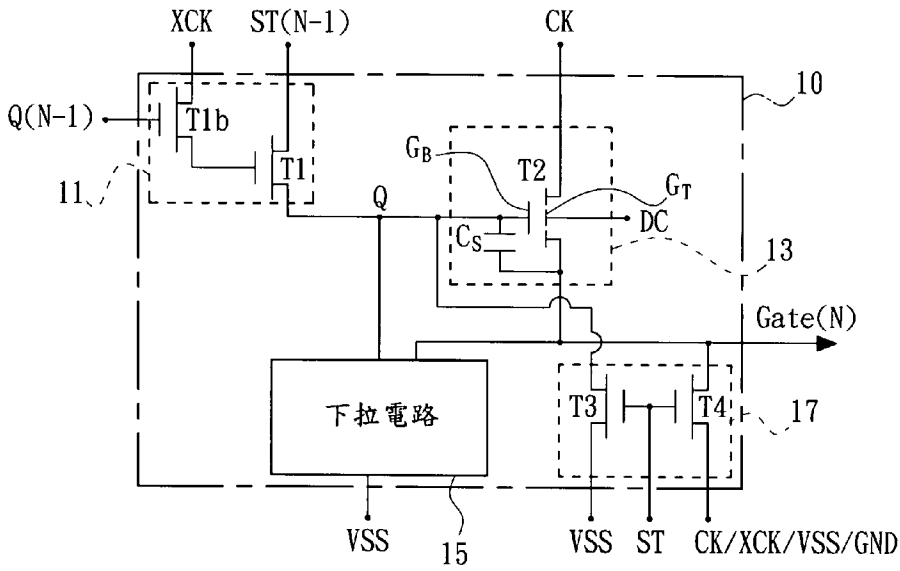


圖4

- 10 . . . 移位暫存器
- 11 . . . 控制電路
- 13 . . . 上拉電路
- 15 . . . 下拉電路
- 17 . . . 重置電路
- Q(N-1) . . . 致能訊號
- ST、ST(N-1) . . . 啟始訊號
- Q . . . 節點
- XCK、CK . . . 時脈訊號
- VSS . . . 電源電壓
- T1b、T1、T3、T4 . . . 電晶體
- T2 . . . 雙閘極電晶體
- Cs . . . 電容
- GB . . . 底部閘極
- GT . . . 頂部閘極
- Gate(N) . . . 閘極脈衝訊號

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：

98144277

※申請日：

98.12.22

※IPC 分類：

H03K 19/0185 (2006.01)

G09G 3/36 (2006.01)

一、發明名稱：(中文/英文)

移位暫存器 / SHIFT REGISTER

二、中文發明摘要：

一種移位暫存器包括控制電路、上拉電路以及下拉電路。其中，控制電路於其被致能期間依據啟始訊號產生控制訊號；上拉電路於其被控制訊號致能期間依據時脈訊號產生閘極脈衝訊號且包括雙閘極電晶體，雙閘極電晶體之第一閘極因電性耦接關係而接收控制訊號，雙閘極電晶體之第二閘極因電性耦接關係而接收預設電壓，雙閘極電晶體之第一源/汲極作為閘極脈衝訊號之輸出端，雙閘極電晶體之第二源/汲極因電性耦接關係而接收時脈訊號；下拉電路於上拉電路未被致能期間將雙閘極電晶體之第一閘極的電位及閘極脈衝訊號之輸出端的電位下拉至電源電位。

三、英文發明摘要：

The present invention generally relates to a shift register including a control circuit, a pull-up circuit and a pull-down circuit. The control circuit generates a control signal according to a start pulse signal during the control circuit is enabled. The pull-up circuit produces a gate pulse signal according to a clock pulse signal during the pull-up circuit is enabled. The pull-up circuit includes a dual-gate transistor. A first gate of the dual-gate transistor is electrically coupled to receive a control signal, a

second gate of the dual-gate transistor is electrically coupled to receive a predetermined voltage, the first source/drain of the dual-gate transistor serves as the output terminal of the gate pulse signal, and the second source/drain of the dual-gate transistor is electrically coupled to the clock pulse signal. The pull-down circuit pulls down both a potential at the first gate of the dual-gate transistor and a potential at the output terminal of the gate pulse signal to a power supply potential during the pull-up circuit is disabled.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 ( 4 ) 圖。

(二)本代表圖之元件符號簡單說明：

10：移位暫存器

11：控制電路

13：上拉電路

15：下拉電路

17：重置電路

Q(N-1)：致能訊號

ST、ST(N-1)：啟始訊號

Q：節點

XCK、CK：時脈訊號

VSS：電源電壓

T1b、T1、T3、T4：電晶體

T2：雙閘極電晶體

Cs：電容

G<sub>B</sub>：底部閘極

G<sub>T</sub>：頂部閘極

Gate(N)：閘極脈衝訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於顯示技術領域，且特別是有關於一種移位暫存器，適於應用於主動式矩陣顯示器之閘極驅動電路。

### 【先前技術】

功能先進的顯示器在消費性電子產品中扮演重要角色，其中主動式矩陣液晶顯示器作為具有高解析度之彩色螢幕已被廣泛應用各種電子裝置如行動電話、個人數位助理（PDA）、數位相機、電腦螢幕或筆記型電腦螢幕。而移位暫存器作為液晶顯示器之閘極驅動電路中的重要電子元件，其用以驅動液晶顯示面板中的多條閘極線，因此移位暫存器之電路設計對液晶顯示面板之效能（例如功耗）具有決定性之影響。

習知之陣列上閘極（GOA）型閘極驅動電路包括多個級聯耦接的移位暫存器，用以產生閘極脈衝訊號以依序驅動各條閘極線；而每一移位暫存器中的上拉電路皆係採用單閘極電晶體（single gate transistor）來輸出閘極脈衝訊號。

為滿足日益增加的高解析度需求，有必要增加單閘極電晶體的尺寸來增大其導通電流以達成高解析度所需之較大的驅動能力；然而，較大尺寸的單閘極電晶體勢必造成較大的功耗。

### 【發明內容】

本發明的目的之一在提供一種移位暫存器，以克服先前技術中存在的問題。

本發明提出的一種移位暫存器，包括控制電路、上拉電路以及下拉電路。其中，控制電路於其被致能期間依據啟始訊號產生控制訊號。上拉電路包括一個雙閘極電晶體，且此上拉電路於其被控制訊號致能期間依據時脈訊號產生閘極脈衝訊

號。前述雙閘極電晶體之第一閘極因電性耦接關係而接收控制訊號，雙閘極電晶體之第二閘極因電性耦接關係而接收預設電壓，雙閘極電晶體之第一源/汲極作為閘極脈衝訊號之輸出端，雙閘極電晶體之第二源/汲極因電性耦接關係而接收時脈訊號；下拉電路於上拉電路未被致能期間將雙閘極電晶體之第一閘極的電位及閘極脈衝訊號之輸出端的電位下拉至電源電位。

在本發明的一實施例中，上述之移位暫存器更包括重置電路。此重置電路用以重置雙閘極電晶體之第一閘極的電位與閘極脈衝訊號之輸出端的電位。

在本發明的一實施例中，上述之控制電路包括第一電晶體及第二電晶體；其中。第一電晶體之閘極因電性耦接關係而接收致能訊號，第一電晶體之第一源/汲極電性耦接至第二電晶體之閘極，第一電晶體之第二源/汲極因電性耦接關係而接收與上述時脈訊號互為反相之另一時脈訊號，第二電晶體之第一源/汲極作為控制訊號之輸出端，第二電晶體之第二源/汲極因電性耦接關係而接收上述之啟始訊號。又或者，上述之控制電路包括單個電晶體，且此電晶體之第一源/汲極作為控制訊號之輸出端，電晶體之閘極與第二源/汲極電性相接以接收上述之啟始訊號。

在本發明的一實施例中，上述之雙閘極電晶體之第二閘極與第一閘極相連接。

在本發明的一實施例中，上述之雙閘極電晶體之第二閘極與第一閘極相互獨立而不相連接。

在本發明的一實施例中，上述之雙閘極電晶體之第二閘極電性耦接至直流電壓。

在本發明的一實施例中，上述之雙閘極電晶體之第二閘極

電性耦接至變化的電壓。

在本發明的一實施例中，上述之雙閘極電晶體之第二閘極電性耦接至上述之閘極脈衝訊號的輸出端。

在本發明的一實施例中，上述之上拉電路更包括電容，其電性耦接於雙閘極電晶體的第一閘極與雙閘極電晶體的第一源/汲極之間。

本發明實施例在上拉電路中採用雙閘極電晶體，而雙閘極電晶體相對於單閘極電晶體而言，在相同的尺寸條件下具有相對較大的導通電流；因此雙閘極電晶體可具有較小之尺寸而能達成低功耗之功效。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

#### 【實施方式】

參見圖 1，其為根據本發明實施例提出的一種移位暫存器 10，而耦接多級的移位暫存器可以形成一閘極驅動電路（未繪示），例如陣列上閘極驅動電路（Gate Driver On Array, GOA）。此外，移位暫存器 10 可為這些級聯耦接的移位暫存器中之任意一級。

如圖 1 所示，其為移位暫存器 10 之電路結構框圖。具體地，移位暫存器 10 包括控制電路 11、上拉電路 13、下拉電路 15 以及重置電路 17。

對於移位暫存器 10 之控制電路 11 的電路配置，一方面，當移位暫存器 10 作為多個級聯耦接之移位暫存器中除第一級移位暫存器之外的任意移位暫存器時，其之控制電路 11 可採用如圖 1 所示之電路配置；具體地，控制電路 11 包括以級聯方式電性相接之電晶體 T1b 與電晶體 T1；電晶體 T1b 之閘極因電性耦接關係而接收致能訊號  $Q(N-1)$ （ $N$  為正整數且大於



1) , 電晶體 T1b 之源/汲極電性耦接至電晶體 T1 之閘極, 電晶體 T1b 之汲/源極因電性耦接關係而接收時脈訊號 XCK; 電晶體 T1 之源/汲極電性耦接至節點 Q, 電晶體 T1 之汲/源極因電性耦接關係而接收啟始訊號 ST(N-1)。當電晶體 T1 因致能訊號 Q(N-1)透過控制電晶體 T1b 而被致能時, 電晶體 T1 將依據啟始訊號 ST(N-1)產生控制訊號至節點 Q 處。在此, 啟始訊號 ST(N-1)及致能訊號 Q(N-1)皆由前一級移位暫存器產生, 並且於本實施例中, 啟始訊號 ST(N-1)來自於前一級移位暫存器之節點 Q 處, 而致能訊號 Q(N-1)為前一級移位暫存器產生之閘極脈衝訊號。

另一方面, 當移位暫存器 10 作為多個級聯耦接之移位暫存器中之第一級移位暫存器時, 其之控制電路 11 可採用如圖 2 所示之電路配置; 具體地, 控制電路 11 僅包括採用二極體連接方式之電晶體 T1, 電晶體 T1 之源/汲極電性耦接至節點 Q, 電晶體 T1 之汲/源極因電性耦接關係而接收啟始訊號 ST, 電晶體 T1 之閘極與其之汲/源極電性相接; 在此, 啟始訊號 ST 通常係由外部電路產生而非來自移位暫存器。當電晶體 T1 因啟始訊號 ST 而被致能時, 電晶體 T1 將依據啟始訊號 ST 產生控制訊號至節點 Q 處。承上述, 上拉電路 13 包括雙閘極電晶體 T2 以及電容 Cs; 雙閘極電晶體 T2 之底部閘極  $G_B$  電性耦接至節點 Q 以接收控制電路 11 產生之控制訊號, 雙閘極電晶體 T2 之頂部閘極  $G_T$  與底部閘極  $G_B$  相連接而得預設電壓, 雙閘極電晶體 T2 之汲/源極因電性耦接關係而接收時脈訊號 CK, 雙閘極電晶體 T2 之源/汲極作為閘極脈衝訊號 Gate(N)之輸出端; 電容 Cs 電性耦接至雙閘極電晶體 T2 之底部閘極  $G_B$  與源/汲極之間, 其中電容 Cs 可為寄生電容亦可為一額外形成之電容。當上拉電路 13 被節點 Q 處的控制訊號致能後, 雙閘

極電晶體 T2 導通而依據時脈訊號 CK 來產生閘極脈衝訊號 Gate(N)；在此，時脈訊號 CK 與上述之時脈訊號 XCK 互為反相。

下拉電路 15 電性耦接於節點 Q 與電源電壓 VSS 之間且與雙閘極電晶體 T2 之源/汲極相電性耦接，於上拉電路 13 未被致能期間，下拉電路 15 將節點 Q 處的電位（亦即雙閘極電晶體 T2 之底部閘極  $G_B$  的電位）與雙閘極電晶體 T2 之源/汲極的電位下拉至電源電壓 VSS。

重置電路 17 電性耦接至節點 Q 與雙閘極電晶體 T2 之源極，在其被啟始訊號 ST 致能後重置節點 Q 處的電位與雙閘極電晶體 T2 之源/汲極的電位。具體地，重置電路 17 包括電晶體 T3 及電晶體 T4；電晶體 T3 之閘極與電晶體 T4 之閘極相電性耦接並接收啟始訊號 ST，電晶體 T3 之源/汲極電性耦接至電源電壓 VSS，電晶體 T3 之汲/源極電性耦接至節點 Q，電晶體 T4 之源/汲極電性耦接至預設電位例如時脈訊號 CK、時脈訊號 XCK、電源電位 VSS 或接地電位 GND，電晶體 T4 之汲/源極電性耦接至雙閘極電晶體 T2 之源/汲極。在此需要說明的是，當移位暫存器 10 作為多個級聯耦接之移位暫存器中之第一級移位暫存器時，則無需設置重置電路 17；當移位暫存器 10 作為多個級聯耦接之移位暫存器中除第一級移位暫存器之外的任意移位暫存器時，則可根據實際需要決定是否設置重置電路 17

下面將結合圖 1 及圖 3 簡要說明移位暫存器 10 之作動過程。具體地，如圖 3 所示，當啟始訊號 ST(N-1) 為高位準時，時脈訊號 XCK 為高位準並藉由控制電路 11 中處於導通狀態之電晶體 T1b 傳遞至電晶體 T1 的閘極以使電晶體 T1 導通，處於導通狀態之電晶體 T1 將啟始訊號 ST(N-1) 傳遞至節點 Q，

從而節點 Q 處的電位為高位準（亦即控制訊號為高位準）；此時，節點 Q 處的高位準對上拉電路 13 中的電容  $C_s$  進行充電以使雙閘極電晶體 T2 導通。接下來，時脈訊號 XCK 為低位準，時脈訊號 CK 為高位準，此時雙閘極電晶體 T2 之源/汲極電位被上拉至時脈訊號 CK 的高位準以輸出閘極脈衝訊號 Gate(N)，而節點 Q 處因電容  $C_s$  兩端電壓連續之特性而增加相同的電荷量。

於上述實施例中，由於雙閘極電晶體 T2 的頂部閘極  $G_T$  與底部閘極  $G_B$  相連接，雖然雙閘極電晶體 T2 能保持較高的導通電流，然其副作用則是同樣具有較高的截止電流以致於漏電流較大。

於另一實施例中，如圖 4 所示，雙閘極電晶體 T2 的頂部閘極  $G_T$  與底部閘極  $G_B$  相互獨立而不相連接，例如將頂部閘極  $G_T$  變更為電性耦接至直流電壓 DC；此種技術方案雖可減小雙閘極電晶體 T2 之截止電流，但其一定程度上會降低雙閘極電晶體 T2 之導通電流。另外，對於控制電路 11 之電路設計，其不限於圖 4 所示之電路配置，還可採用圖 2 所示之電路配置或者其他合適的電路配置。

於其他實施例中，如圖 5 所示，將雙閘極電晶體 T2 之頂部閘極  $G_T$  變更為電性耦接至雙閘極電晶體 T2 之源/汲極（亦即閘極脈衝訊號 Gate(N)之輸出端），以致於雙閘極電晶體 T2 之頂部閘極  $G_T$  電性耦接至變化的電壓；從而當移位暫存器 10 輸出閘極脈衝訊號 Gate(N)時，雙閘極電晶體 T2 之頂部閘極  $G_T$  則被提供一較高的電位，使得雙閘極電晶體 T2 具有較高的導通電流；當移位暫存器 10 的輸出為低位準時，雙閘極電晶體 T2 之頂部閘極  $G_T$  則被提供一負電位，可以使得雙閘極電晶體 T2 具有較低的截止電流。另外，對於控制電路 11 之電路設

計，其不限於圖 5 所示之電路配置，還可採用圖 2 所示之電路配置或者其他合適的電路配置。

綜上所述，本發明實施例在上拉電路中採用雙閘極電晶體，而雙閘極電晶體相對於單閘極電晶體而言，在相同的尺寸條件下具有相對較大的導通電流；因此雙閘極電晶體可具有較小之尺寸而能達成低功耗之功效。進一步地，藉由變換雙閘極電晶體之頂部閘極的電連接關係，則可使移位暫存器具有不同的效能，使用者則可根據實際應用之需求選擇合適的技術方案。

此外，任何熟習此技藝者還可對本發明上述實施例提出的移位暫存器之電路結構作適當變更，例如適當變更控制電路之電路設計、上拉電路之電路設計，是否設置重置電路，根據移位暫存器於多個級聯耦接之移位暫存器中所處的位置適當交換時脈訊號 CK 與 XCK 之電連接關係，及/或將各個電晶體的源極與汲極之電連接關係互換等等。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

圖 1 為相關於本發明一實施例之移位暫存器的電路結構框圖。

圖 2 為相關於本發明另一實施例之移位暫存器中的控制電路之電路結構圖。

圖 3 為與圖 1 所示之移位暫存器相關的多個訊號之時序圖。

圖 4 為相關於本發明再一實施例之移位暫存器的電路結

構框圖。

圖 5 為相關於本發明又一實施例之移位暫存器的電路結構框圖。

【主要元件符號說明】

10：移位暫存器

11：控制電路

13：上拉電路

15：下拉電路

17：重置電路

Q(N-1)：致能訊號

ST、ST(N-1)：啟始訊號

Q：節點

XCK、CK：時脈訊號

VSS：電源電壓

T1b、T1、T3、T4：電晶體

T2：雙閘極電晶體

DC：直流電壓

Cs：電容

G<sub>B</sub>：底部閘極

G<sub>T</sub>：頂部閘極

Gate(N)：閘極脈衝訊號

## 七、申請專利範圍：

### 1. 一種移位暫存器，包括：

一控制電路，於其被致能期間依據一啟始訊號產生一控制訊號；

一上拉電路，於其被該控制訊號致能期間依據一時脈訊號產生一閘極脈衝訊號，其中該上拉電路包括一雙閘極電晶體，該雙閘極電晶體之一第一閘極因電性耦接關係而接收該控制訊號，該雙閘極電晶體之一第二閘極因電性耦接關係而接收一預設電壓，該雙閘極電晶體之第一源/汲極作為該閘極脈衝訊號之輸出端，該雙閘極電晶體之第二源/汲極因電性耦接關係而接收該時脈訊號；以及

一下拉電路，於該上拉電路未被致能期間將該雙閘極電晶體之該第一閘極的電位及該閘極脈衝訊號之該輸出端的電位下拉至一電源電位。

2. 如申請專利範圍第 1 項所述之移位暫存器，更包括一重置電路，用以重置該雙閘極電晶體之該第一閘極的電位與該閘極脈衝訊號之該輸出端的電位。

3. 如申請專利範圍第 1 項所述之移位暫存器，其中該控制電路包括一第一電晶體及一第二電晶體，該第一電晶體之閘極因電性耦接關係而接收一致能訊號，該第一電晶體之第一源/汲極電性耦接至該第二電晶體之閘極，該第一電晶體之第二源/汲極因電性耦接關係而接收一與該時脈訊號互為反相之另一時脈訊號，該第二電晶體之第一源/汲極作為該控制訊號之輸出端，該第二電晶體之第二源/汲極因電性耦接關係而接收該啟始訊號。

4. 如申請專利範圍第 1 項所述之移位暫存器，其中該控制電路包括一電晶體，該電晶體之第一源/汲極作為該控制訊號

之輸出端，該電晶體之第二源/汲極與閘極電性相接而接收該啟始訊號。

5.如申請專利範圍第1項所述之移位暫存器，其中該雙閘極電晶體之該第二閘極與該第一閘極相連接。

6.如申請專利範圍第1項所述之移位暫存器，其中該雙閘極電晶體之該第二閘極與該第一閘極相互獨立而不相連接。

7.如申請專利範圍第6項所述之移位暫存器，其中該雙閘極電晶體之該第二閘極電性耦接至一直流電壓。

8.如申請專利範圍第6項所述之移位暫存器，其中該雙閘極電晶體之該第二閘極電性耦接至一變化的電壓。

9.如申請專利範圍第8項所述之移位暫存器，其中該雙閘極電晶體之該第二閘極電性耦接至該閘極脈衝訊號之該輸出端。

10.如申請專利範圍第1項所述之移位暫存器，其中該上拉電路更包括一電容，該電容電性耦接於該第一閘極與該第一源/汲極之間。

八、圖式：

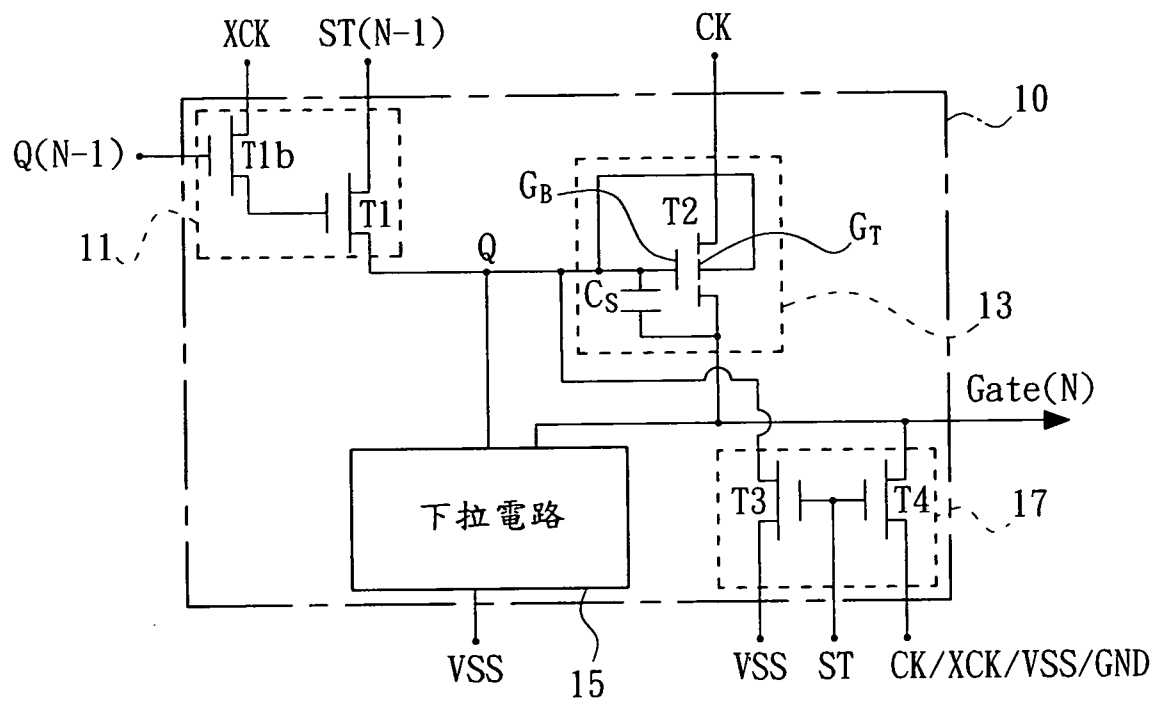


圖 1

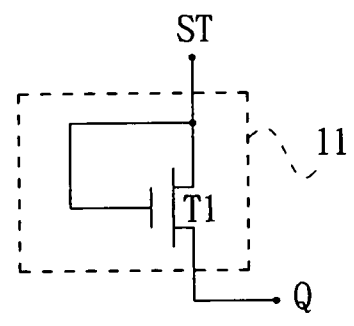


圖 2



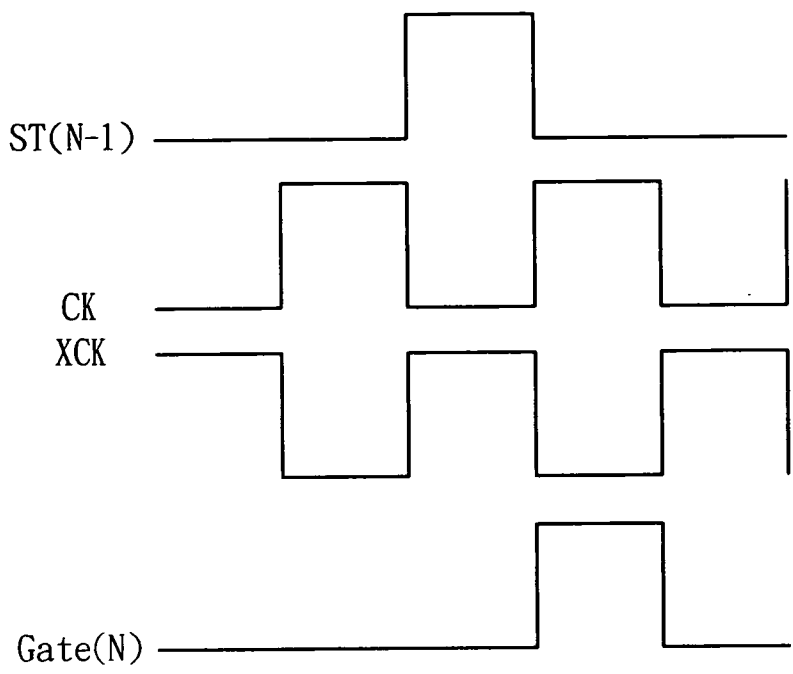


圖3

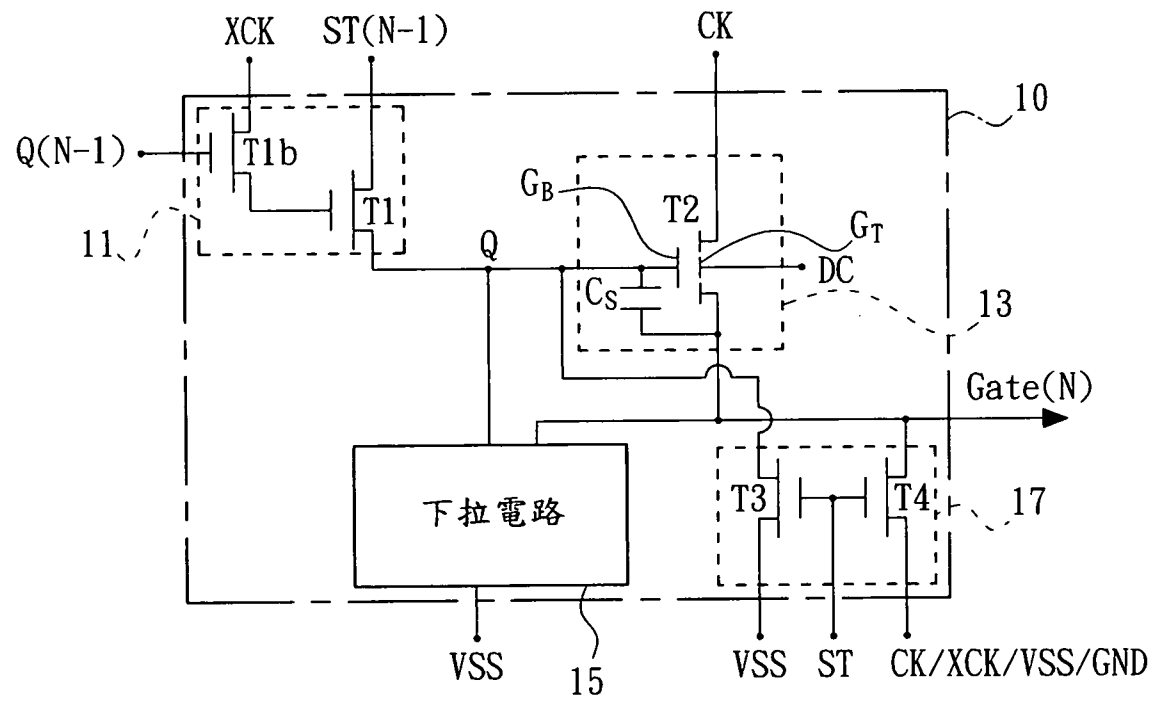


圖4

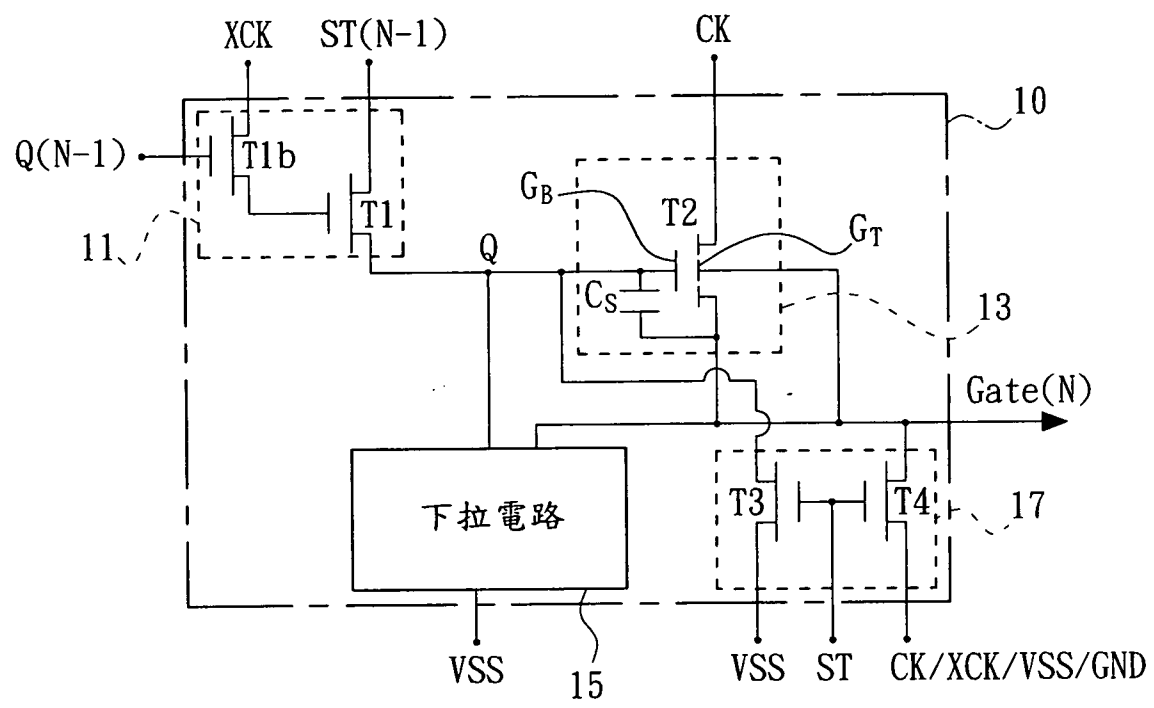


圖5