

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3922397号
(P3922397)

(45) 発行日 平成19年5月30日(2007.5.30)

(24) 登録日 平成19年3月2日(2007.3.2)

(51) Int. Cl.

F 1 6 K 31/06 (2006.01)

F I

F 1 6 K 31/06 3 1 0 Z

F 1 6 K 31/06 3 2 0 A

請求項の数 6 (全 13 頁)

(21) 出願番号	特願平8-170420	(73) 特許権者	000002853
(22) 出願日	平成8年6月28日(1996.6.28)		ダイキン工業株式会社
(65) 公開番号	特開平10-19156		大阪府大阪市北区中崎西2丁目4番12号
(43) 公開日	平成10年1月23日(1998.1.23)		梅田センタービル
審査請求日	平成15年4月30日(2003.4.30)	(74) 代理人	100087804
			弁理士 津川 友士
		(72) 発明者	阪口 仁彦
			滋賀県草津市岡本町字大谷1000番地の
			2 ダイキン工業株式会社 滋賀製作所内
		(72) 発明者	長島 健二
			滋賀県草津市岡本町字大谷1000番地の
			2 ダイキン工業株式会社 滋賀製作所内
		審査官	細川 健人
			最終頁に続く

(54) 【発明の名称】 電磁弁駆動方法およびその装置

(57) 【特許請求の範囲】

【請求項1】

電磁弁(3)と、この電磁弁(3)の駆動を制御するパルス幅変調回路(2)とを含む電磁弁駆動装置において、複数のパルス幅変調周期をディザ電流の1周期に設定し、ディザ電流を生成するためのオフセット用のデューティを得、目標とする電磁弁駆動電流を得るためのパルス幅変調デューティをディザ電流周期毎に算出し、複数回のパルス幅変調サイクルで所定のディザ電流波形が得られるように、1パルス幅変調周期毎にパルス幅変調デューティに対してオフセット用のデューティを加減算することによりパルス幅変調回路(2)に与えるパルス幅変調のデューティを設定することを特徴とする電磁弁駆動方法。

【請求項2】

オフセット用のデューティは予め設定した固定値である請求項1に記載の電磁弁駆動方法。

【請求項3】

オフセット用のデューティは目標とする電磁弁駆動電流から算出された値である請求項1に記載の電磁弁駆動方法。

【請求項4】

電磁弁(3)と、この電磁弁(3)の駆動を制御するパルス幅変調回路(2)とを含む電磁弁駆動装置において、複数のパルス幅変調周期をディザ電流の1周期に設定する設定手段と、ディザ電流を生成するためのオフセット用のデューティを出力するオフセット用デューティ出力手段(1c)(1c')と、目標とする電磁弁駆動電流を得るためのパルス

10

20

幅変調デューティをディザ電流周期毎に算出するパルス幅変調デューティ算出手段(1a)(1b)と、複数回のパルス幅変調サイクルで所定のディザ電流波形が得られるように、1パルス幅変調周期毎にパルス幅変調デューティに対してオフセット用のデューティを加減算することによりパルス幅変調回路(2)に与えるパルス幅変調のデューティを設定するデューティ設定手段(1d)とを含むことを特徴とする電磁弁駆動装置。

【請求項5】

オフセット用デューティ出力手段(1c)は、オフセット用のデューティとして予め設定した固定値を出力するものである請求項4に記載の電磁弁駆動装置。

【請求項6】

オフセット用デューティ出力手段(1c')は、オフセット用のデューティとして目標とする電磁弁駆動電流から算出された値を出力するものである請求項4に記載の電磁弁駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は電磁弁駆動方法およびその装置に関し、さらに詳細に言えば、パルス幅変調回路を用いて種々の電磁弁を駆動する電磁弁駆動方法およびその装置に関する。

【0002】

【従来の技術】

電磁弁の駆動方式として種々の方式が知られているが、電流増幅部の構成の簡素化、消費電流の低減などを達成できるという利点に着目してパルス幅変調(以下、PWMと略称する)回路を用いる方式が一般的に採用されている。このPWM回路を用いて、電磁弁の一種である電磁比例制御弁を駆動する電磁弁駆動装置の一例を図1に示す。

【0003】

図1において、マイクロコンピュータ101によってPWM回路102にパルス状の制御信号を供給してPWM回路102をON-OFFさせ、PWM回路102によりパルス幅変調された駆動電流を電磁比例制御弁103に供給する。そして、電磁比例制御弁103の通電電流を電流検出回路104により検出してマイクロコンピュータ101にフィードバックし、電磁比例制御弁103の通電電流が目標値になるように制御する。

【0004】

一方、電磁比例制御弁の駆動電流に対する制御流量は、図2に示すように、駆動電流の増加時と減少時とで互いに異なる、いわゆるヒステリシス特性を有しているため、正確な流量制御を行う場合に支障をきたすことがある。ここで、ヒステリシス特性を持つ要因としては、材料のヒステリシスと、スプールの静摩擦の影響に起因するヒステリシスとがある。そして、材料のヒステリシスに対しては、材質の選択により対処することが一般的である。スプールの静摩擦の影響に起因するヒステリシスに対しては、流量を制御する本来の駆動電流に対して所定の交流電流(ディザ電流)を重畳し、スプールを常に微振動させておくことによってスプールの静摩擦に起因するヒステリシス特性を改善することが一般的に行われている。

【0005】

また、流量を制御する本来の駆動電流に対して重畳されるディザ電流を生成する方式として、以下の3つの方式が提案されている。

(1) PWM周期をディザ電流周期とする方式

電磁比例制御弁をPWM制御方式で駆動した場合、駆動電流は電磁比例制御弁のソレノイドの特性(インダクタンス成分、抵抗成分)によって図3に示すように、PWM周期中において指数関数的に増減し、ディザ電流を重畳した場合と同等の効果を得ることができる。

【0006】

そして、この方式を採用した場合には、ディザ電流を生成するための処理、電気回路を特別に設ける必要がないので、全体として構成を簡素化することができる。

10

20

30

40

50

(2) PWM周期を変更する方式(特開昭62-165083号公報参照)

電磁比例制御弁の駆動電流の大きさに応じてPWM周期を変更して必要なディザ電流振幅を確保することができる。

【0007】

したがって、駆動電流の全範囲においてディザ電流の振幅を任意に設定することができる。

(3) 駆動電流の直流分にディザ電流をアナログ加算する方式

この方式は、図5に示すように、マイクロコンピュータ201から出力されるパルス状の制御信号を積分回路202により積分し、ディザ電流波形生成回路203から出力されるディザ電流波形と積分回路202から出力される積分信号とを加算器204によりアナログ的に加算する。そして、加算器204からの出力信号を比較回路205に供給して所定の基準信号(例えば、ディザ電流波形よりも周波数が高い三角波信号)との大小を比較し、比較回路205から出力される比較結果信号をPWM回路206に供給してPWM回路206をON-OFFさせ、PWM回路206によりパルス幅変調された駆動電流を電磁比例制御弁207に供給する。そして、電磁比例制御弁207の通電電流を電流検出回路208により検出してマイクロコンピュータ201にフィードバックし、電磁比例制御弁207の通電電流が目標値になるように制御する。

【0008】

したがって、この方式を採用した場合には、ディザ電流波形を任意に設定することができる。

【0009】

【発明が解決しようとする課題】

前記(1)の方式を採用した場合には、ディザ電流波形がソレノイドの特性に左右されるのであるから、最適なディザ電流波形が得られる保証が全くないという不都合がある。また、ディザ電流の振幅はPWM制御のデューティ(パルス幅変調デューティ)、すなわち目標駆動電流によっても変動するので{図4中(A)~(F)参照}、駆動電流が小さい領域ではPWM制御のデューティが低デューティになり{図4中(E)参照}、駆動電流が大きい領域ではPWM制御のデューティが高デューティになり{図4中(C)参照}、何れの領域においても、図4中(D)(F)に示すように、ディザ電流の振幅が小さくなってしまふ。そして、ディザ電流の振幅が小さい場合には、ヒステリシス特性を余り改善することができなくなってしまう。逆に、ディザ電流の振幅が大きい場合には、電磁比例制御弁や配管にうなりを生じてしまう可能性がある。

【0010】

前記(2)の方式を採用した場合には、ディザ電流の振幅を任意に設定できるので、(1)の方式の不都合を解消させることができるが、ディザ電流の周波数、振幅の双方をそれぞれ任意に設定することは到底不可能である。

前記(3)の方式を採用した場合には、ディザ電流の波形を任意に設定することができるので、(2)の方式の不都合を解消させることができるが、図5から明らかなように、全体としての構成が複雑化するとともに、ディザ電流波形の調節を行う場合には、回路定数の変更が必要であり、しかも回路定数の変更のための処理が著しく煩雑である。

【0011】

【発明の目的】

この発明は上記の問題点に鑑みてなされたものであり、PWM制御によって電磁弁を駆動する装置において、任意のディザ電流の生成および調節を簡単に達成することができる電磁弁駆動方法およびその装置を提供することを目的としている。

【0012】

【課題を解決するための手段】

請求項1の電磁弁駆動方法は、電磁弁と、この電磁弁の駆動を制御するパルス幅変調回路とを含む電磁弁駆動装置において、複数のパルス幅変調周期をディザ電流の1周期に設定し、ディザ電流を生成するためのオフセット用のデューティを得、目標とする電磁弁駆動

10

20

30

40

50

電流を得るためのパルス幅変調デューティをディザ電流周期毎に算出し、複数回のパルス幅変調サイクルで所定のディザ電流波形が得られるように、1パルス幅変調周期毎にパルス幅変調デューティに対してオフセット用のデューティを加減算することによりパルス幅変調回路に与えるパルス幅変調のデューティを設定する方法である。

【0013】

請求項2の電磁弁駆動方法は、オフセット用のデューティとして予め設定した固定値を採用する方法である。

請求項3の電磁弁駆動方法は、オフセット用のデューティとして目標とする電磁弁駆動電流から算出された値を採用する方法である。

請求項4の電磁弁駆動装置は、電磁弁と、この電磁弁の駆動を制御するパルス幅変調回路とを含む電磁弁駆動装置において、複数のパルス幅変調周期をディザ電流の1周期に設定する設定手段と、ディザ電流を生成するためのオフセット用のデューティを出力するオフセット用デューティ出力手段と、目標とする電磁弁駆動電流を得るためのパルス幅変調デューティをディザ電流周期毎に算出するパルス幅変調デューティ算出手段と、複数回のパルス幅変調サイクルで所定のディザ電流波形が得られるように、1パルス幅変調周期毎にパルス幅変調デューティに対してオフセット用のデューティを加減算することによりパルス幅変調回路に与えるパルス幅変調のデューティを設定するデューティ設定手段とを含んでいる。

10

【0014】

請求項5の電磁弁駆動装置は、オフセット用デューティ出力手段として、オフセット用のデューティとして予め設定した固定値を出力するものを採用している。

20

請求項6の電磁弁駆動装置は、オフセット用デューティ出力手段として、オフセット用のデューティとして目標とする電磁弁駆動電流から算出された値を出力するものを採用している。

【0015】

【作用】

請求項1の電磁弁駆動方法であれば、電磁弁と、この電磁弁の駆動を制御するパルス幅変調回路とを含む電磁弁駆動装置において、複数のパルス幅変調周期をディザ電流の1周期に設定し、ディザ電流を生成するためのオフセット用のデューティを得、目標とする電磁弁駆動電流を得るためのパルス幅変調デューティをディザ電流周期毎に算出し、複数回のパルス幅変調サイクルで所定のディザ電流波形が得られるように、1パルス幅変調周期毎にパルス幅変調デューティに対してオフセット用のデューティを加減算することによりパルス幅変調回路に与えるパルス幅変調のデューティを設定するのであるから、駆動電流の大きさに影響されることなく、ディザ電流波形を任意に生成することができ、制御流量の如何に拘らず、スプールの静摩擦に起因するヒステリシス特性を改善して、正確な流量制御を達成することができる。

30

【0016】

請求項2の電磁弁駆動方法であれば、オフセット用のデューティとして予め設定した固定値を採用するのであるから、オフセット用のデューティの算出を電磁弁の駆動の都度特別に行う必要がなくなるほか、請求項1と同様の作用を達成することができる。

40

請求項3の電磁弁駆動方法であれば、オフセット用のデューティとして目標とする電磁弁駆動電流から算出された値を採用するのであるから、ディザ電流波形を精度よく生成することができるほか、請求項1と同様の作用を達成することができる。

【0017】

請求項4の電磁弁駆動装置であれば、電磁弁と、この電磁弁の駆動を制御するパルス幅変調回路とを含む電磁弁駆動装置において、設定手段によって、複数のパルス幅変調周期をディザ電流の1周期に設定し、オフセット用デューティ出力手段によって、ディザ電流を生成するためのオフセット用のデューティを出力する。また、パルス幅変調デューティ算出手段によって、目標とする電磁弁駆動電流を得るためのパルス幅変調デューティをディザ電流周期毎に算出する。そして、デューティ設定手段によって、複数回のパルス幅変調

50

サイクルで所定のディザ電流波形が得られるように、1パルス幅変調周期毎にパルス幅変調デューティに対してオフセット用のデューティを加減算することによりパルス幅変調回路に与えるパルス幅変調のデューティを設定する。

【0018】

したがって、駆動電流の大きさに影響されることなく、ディザ電流波形を任意に生成することができ、制御流量の如何に拘らず、スプールの静摩擦に起因するヒステリシス特性を改善して、正確な流量制御を達成することができる。

請求項5の電磁弁駆動装置であれば、オフセット用デューティ出力手段として、オフセット用のデューティとして予め設定した固定値を出力するものを採用しているのだから、オフセット用のデューティの算出を電磁弁の駆動の都度特別に行う必要がなくなるほか、請求項4と同様の作用を達成することができる。

10

請求項6の電磁弁駆動装置であれば、オフセット用デューティ出力手段として、オフセット用のデューティとして目標とする電磁弁駆動電流から算出された値を出力するものを採用しているのだから、ディザ電流波形を精度よく生成することができるほか、請求項4と同様の作用を達成することができる。

【0019】

【発明の実施の形態】

以下、添付図面によってこの発明の実施の態様を詳細に説明する。

図6はこの発明の電磁弁駆動装置の一実施態様を示すブロック図である。

この装置は、マイクロコンピュータ1によってPWM回路2にパルス状の制御信号を供給してPWM回路2をON-OFFさせ、PWM回路2によりパルス幅変調された駆動電圧を電磁比例制御弁3に印加する。そして、電磁比例制御弁3の通電電流を電流検出回路4により検出してマイクロコンピュータ1にフィードバックし、電磁比例制御弁3の通電電流が目標値になるように制御する。

20

【0020】

また、前記マイクロコンピュータ1は、目標駆動電流および電流検出回路4からのフィードバック信号を入力としてPID（比例、積分、微分）制御（またはPI制御）を行って駆動電流指令を出力するPID制御部1aと、駆動電流指令を入力としてPWM制御のデューティ（パルス幅変調デューティ）を算出するPWM制御デューティ算出部1bと、ディザ分のデューティ（オフセット用のデューティ）を出力するディザ分デューティ出力部1cと、PWM制御のデューティとディザ分のデューティとを加算する加算部1dとを含んでおり、加算部1dから出力される加算結果に対応するデューティのPWMパルス信号（パルス状の制御信号）をPWM回路2に供給している。

30

【0021】

ここで、ディザ分のデューティは、例えば、このデューティとして適当な値を設定して目標駆動電流を変化させ、実際に使用する駆動電流範囲において最適なディザ電流波形が得られるディザ分のデューティを選択することにより得られるので、ディザ分デューティ出力部1cは、このようにして得られたディザ分のデューティを出力する。

【0022】

PID制御部1aは、例えば、目標駆動電流と検出された駆動電流の平均値との偏差eに基づいて駆動電流指令 $I = (e + e / T_i) + K_p$ （ただし、 T_i は積分定数、 K_p は比例定数）を算出する。そして、PWM制御のデューティdと駆動電流指令Iとの間には $I = K_1(d - K_2)$ （ただし、 K_1 、 K_2 は試験的に求められる定数）の関係があるので、PWM制御デューティ算出部1bにおいて、 $d = I / K_1 + K_2$ の演算を行うことによりPWM制御のデューティを算出する。

40

【0023】

図7は図6の電磁弁駆動装置における電磁弁駆動方法を説明するフローチャートである。ステップS1においてPWM制御のサイクル数（パルス幅変調周期の数であり、以下、PWMサイクル数と称する）が1ディザサイクルを構成するPWM制御のサイクル数と等しくなったか否かを判定する（この判定が設定手段の一部に相当する）。そして、両者が

50

等しくなると判定された場合には、ステップ S P 2 において P W M サイクル数をクリアし、ステップ S P 3 において、電磁比例制御弁のソレノイドを駆動している駆動電流を検出し、その平均値を算出し、ステップ S P 4 において、目標駆動電流および算出した平均値に基づいて P I D 制御部 1 a により P I D 制御（または P I 制御）を行って駆動電流指令を得、この駆動電流指令に基づいて P W M 制御デューティ算出部 1 b によって P W M 制御のデューティを算出する。

【 0 0 2 4 】

そして、ステップ S P 5 において、算出された P W M 制御のデューティに対してディザ分のデューティを加減算して出力デューティを得、ステップ S P 6 において P W M 回路 2 に対して出力デューティの P W M パルス信号を供給し、ステップ S P 7 において P W M サイクル数をインクリメントし、そのまま一連の処理を終了する。

10

【 0 0 2 5 】

また、ステップ S P 1 において両者が等しくないと判定された場合には、そのままステップ S P 5 の処理を行う。

また、この処理は P W M サイクル毎に行われる。

したがって、ディザサイクルの最初の P W M サイクルの時にのみ、ソレノイドの駆動電流の平均値を算出して、目標駆動電流を得るために必要な P W M 制御のデューティを算出することが分かる。

【 0 0 2 6 】

そして、ディザサイクルの他の P W M サイクルにおいては、前記の P W M 制御のデューティに対してディザ用のデューティを加減算し、得られたデューティに基づいて得た P W M パルスを P W M 回路 2 に供給してパルス幅変調された駆動電圧を電磁比例制御弁 3 に印加して電磁比例制御弁 3 を動作させることができる。

20

なお、この実施態様においては、ディザ分デューティ出力部 1 c として、予め複数種類のデューティを設定しておいて、P W M サイクル毎に順次これらのデューティを選択して出力するものを採用している。

【 0 0 2 7 】

図 8 は 1 0 P W M サイクルで 1 ディザサイクルを構成し、前記予め設定されたデューティとして + 2 d 、 + d 、 0 、 - d 、 - 2 d を採用した場合における各部の波形を示す図である。

30

図 8 中 (A) は P W M サイクル数を示しており、1 0 P W M サイクルが 1 ディザサイクルに相当している。そして、図 8 中 (B) に横線で示すように、各ディザサイクルの最初の P W M サイクル { 図 8 (A) 中で (1 0) 0 で示されている P W M サイクル } において目標駆動電流を得るための P W M 制御のデューティ (P D) を算出する。このデューティは、図 8 中 (B) において、P D (n + 1) 、 P D (n + 2) で示されている。

【 0 0 2 8 】

このようにして算出された P W M 制御のデューティは、図 8 中 (C) に示すように、次のディザサイクルにおいて採用される。また、ディザ分デューティ出力部 1 c は、図 8 中 (D) に示すように、“ 0 ” “ + d ” “ + 2 d ” “ + d ” “ 0 ” “ 0 ” “ - d ” “ - 2 d ” “ - d ” “ 0 ” の順に予め設定されたデューティを出力する。

40

【 0 0 2 9 】

したがって、P W M 制御のデューティに対してディザ分デューティ出力部 1 c から出力されるデューティを加算することにより、図 8 中 (E) に示す P W M パルス信号が得られ (この波形の上部に加算結果を示してある) 、この P W M パルス信号を P W M 回路 2 に供給し、P W M 回路 2 により得られる P W M パルス電圧を電磁比例制御弁のソレノイドに印加することにより、図 8 中 (F) に示すように、P W M サイクル毎に変化するとともに、ディザサイクル毎に P W M サイクル毎の変化が変化するソレノイド駆動電流を得ることができる。なお、この変化するソレノイド駆動電流の最も高い上部ピークと最も低い下部ピークとの差がディザ電流である。

【 0 0 3 0 】

50

また、図 8 において、 n はディザサイクルの番号を示す整数である。

以上から明らかなように、PWM 制御のデューティの算出およびディザ用のデューティの設定によって任意のソレノイド駆動電流を得ることができるとともに、任意のディザ電流波形を得ることができる。したがって、スプールの静摩擦に起因するヒステリシス特性を改善して正確な流量制御を達成することができる。

図 9 は 4 PWM 制御サイクルで 1 ディザサイクルを構成した場合における各部の信号波形を示す図である。なお、この場合には、前記予め設定されたデューティとして $+d$ 、 0 、 $-d$ を採用している。

【0031】

図 9 中 (A) は PWM サイクル数を示しており、4 PWM サイクルが 1 ディザサイクルに相当している。そして、図 9 中 (B) に横線で示すように、各ディザサイクルの最初の PWM サイクル { 図 9 (A) 中で (4) 0 で示されている PWM サイクル } において目標駆動電流を得るための PWM 制御のデューティ (PD) を算出する。このデューティは、図 9 中 (B) において、 $PD(n+1)$ 、 $PD(n+2)$ 、 $PD(n+3)$ で示されている。

10

【0032】

このようにして算出された PWM 制御のデューティは、図 9 中 (C) に示すように、次のディザサイクルにおいて採用される。また、ディザ分デューティ出力部 1c は、図 9 中 (D) に示すように、“0” “ $+d$ ” “0” “ $-d$ ” の順に予め設定されたデューティを出力する。

20

また、図 9 において、 n はディザサイクルの番号を示す整数である。

【0033】

したがって、PWM 制御のデューティに対してディザ分デューティ出力部 1c から出力されるデューティを加算することにより、図 9 中 (E) に示す PWM パルス信号が得られ (この波形の上部に加算結果を示してある)、この PWM パルス信号を PWM 回路 2 に供給し、PWM 回路 2 により得られる PWM パルス電圧を電磁比例制御弁のソレノイドに印加することにより、PWM サイクル毎に変化するとともに、ディザサイクル毎に PWM サイクル毎の変化が変化するソレノイド駆動電流を得ることができる。

【0034】

以上から明らかなように、1 ディザサイクルを構成する PWM 制御サイクルの数を変更することにより、ディザ電流周期を簡単に変更することができる。

30

図 10 はこの発明の電磁弁駆動装置の他の実施態様を示すブロック図である。

この電磁弁駆動装置が図 6 の電磁弁駆動装置と異なる点は、ディザ分デューティ出力部 1c に代えて、目標駆動電流値を入力としてディザ分のデューティ $d(n+1)$ を算出して “0” “ $+d$ ” “ $+2d$ ” “ $+d$ ” “0” “0” “ $-d$ ” “ $-2d$ ” “ $-d$ ” “0” の順に出力するディザ分デューティ算出部 1c' を採用した点のみである。

【0035】

なお、このディザ分デューティ算出部 1c' は、例えば、図 6 の電磁弁駆動装置のディザ分デューティ出力部 1c と同様にして、目標駆動電流毎に最適なディザ分のデューティを得てテーブル形式で保持しておき、目標駆動電流に応じて何れかのディザ分デューティを参照して出力するものである。ただし、両者の関係を表す数式を保持しておいて、目標駆動電流に応じてディザ分のデューティを算出して出力するものであってもよい。

40

【0036】

図 11 は図 10 の電磁弁駆動装置における電磁弁駆動方法を説明するフローチャートである。

このフローチャートが図 7 のフローチャートと異なる点は、ステップ SP2 とステップ SP3 との間において、駆動電流を目標駆動電流値とする場合に最適なディザ用のデューティ $d(n+1)$ を算出するステップ SP2a の処理を行う点のみである。

【0037】

図 12 は図 10 の電磁弁駆動装置の各部の信号波形を示す図である。なお、この実施態様

50

においても、10PWM制御サイクルで1ディザサイクルを構成し、また、ディザ用デューティ算出部1c'は、算出したデューティdに基づいて、“0”“+d”“+2d”“+d”“0”“0”“-d”“-2d”“-d”“0”の順にディザ用のデューティを出力するようにしてある。

【0038】

図10中(A)はPWMサイクル数を示しており、10PWMサイクルが1ディザサイクルに相当している。そして、図10中(B)に横線で示すように、各ディザサイクルの最初のPWMサイクル{図10(A)中で(10)0で示されているPWMサイクル}において目標駆動電流を得るためのPWM制御のデューティ(PD)を算出する。このデューティは、図10中(B)において、PD(n+1)、PD(n+2)で示されている。また、図10中(a)に示すように、目標駆動電流値が変化した場合には、次のディザサイクルの最初のPWM制御サイクルにおいて、ディザ分デューティ算出部1c'によってディザ分のデューティd(n+1)も算出される。尚、目標電流値が変化しない場合であっても、ディザ分のデューティの算出は行われる。

10

【0039】

このようにして算出されたPWM制御のデューティおよびディザ分のデューティd(n+1)は、図10中(C)に示すように、次のディザサイクルにおいて採用される。また、ディザ分デューティ出力部1cは算出したデューティに基づいて、図10中(D)に示すように、“0”“+d”“+2d”“+d”“0”“0”“-d”“-2d”“-d”“0”の順にディザ分のデューティを出力する。

20

【0040】

したがって、PWM制御のデューティに対してディザ分デューティ出力部1cから出力されるデューティを加算することにより、図10中(E)に示すPWMパルス信号が得られ(この波形の上部に加算結果を示してある)、このPWMパルス信号をPWM回路2に供給し、PWM回路2により得られるPWMパルス電圧を電磁比例制御弁のソレノイドに印加することにより、PWMサイクル毎に変化するとともに、ディザサイクル毎にPWMサイクル毎の変化が変化するソレノイド駆動電流を得ることができる。なお、この変化するソレノイド駆動電流の最も高い上部ピークと最も低い下部ピークとの差がディザ電流である。

【0041】

また、図10において、nはディザサイクルの番号を示す整数である。

30

以上から明らかなように、目標駆動電流値が変化した場合には、ディザ分のデューティの絶対値も変化するるので、駆動電流の大きさに拘らず、ディザ電流を精度よく生成することができ、スプールの静摩擦に起因するヒステリシス特性を一層改善して一層正確な流量制御を達成することができる。

【0042】

また、前記の何れかの実施態様の電磁弁駆動装置において、電磁弁に通信機能を持たせておけば、コントローラと電磁弁とを1対1で対応させる必要がなくなり、1つのコントローラで複数台の電磁弁を制御できるので、コントローラ数の低減を達成することができ、また、電磁弁に通信機能を持たせて、コントローラと複数の電磁弁間をシリアル接続させておけば、配線数の低減をも達成することができ、電磁弁駆動システム全体としての構成を簡素化できるとともに、コストダウンを達成することができる。

40

【0043】

【発明の効果】

請求項1の発明は、駆動電流の大きさに影響されることなく、ディザ電流波形を任意に生成することができ、制御流量の如何に拘らず、スプールの静摩擦に起因するヒステリシス特性を改善して、正確な流量制御を達成することができるという特有の効果を奏する。

【0044】

請求項2の発明は、オフセット用のデューティの算出を電磁弁の駆動の都度特別に行う必要がなくなるほか、請求項1と同様の効果を奏する。

50

請求項 3 の発明は、ディザ電流波形を精度よく生成することができるほか、請求項 1 と同様の効果を奏する。

請求項 4 の発明は、駆動電流の大きさに影響されることなく、ディザ電流波形を任意に生成することができ、制御流量の如何に拘らず、スプールの静摩擦に起因するヒステリシス特性を改善して、正確な流量制御を達成することができるという特有の効果を奏する。

【 0 0 4 5 】

請求項 5 の発明は、オフセット用のデューティの算出を電磁弁の駆動の都度特別に行う必要がなくなるほか、請求項 4 と同様の効果を奏する。

請求項 6 の発明は、ディザ電流波形を精度よく生成することができるほか、請求項 4 と同様の効果を奏する。

10

【図面の簡単な説明】

【図 1】電磁弁の一種である電磁比例制御弁を駆動する従来の電磁弁駆動装置を示すブロック図である。

【図 2】電磁比例制御弁の駆動電流に対する制御流量の関係を示す図である。

【図 3】電磁比例制御弁を P W M 制御方式で駆動した場合における P W M 駆動波形とソレノイド駆動電流波形とを示す図である。

【図 4】電磁比例制御弁を P W M 制御方式で駆動した場合における P W M デューティの幅とソレノイド駆動電流波形との関係を示す図である。

【図 5】駆動電流の直流分にディザ電流をアナログ加算する方式の構成を示すブロック図である。

20

【図 6】この発明の電磁弁駆動装置の一実施態様を示すブロック図である。

【図 7】図 6 の電磁弁駆動装置における電磁弁駆動方法を説明するフローチャートである。

【図 8】1 0 P W M サイクルで 1 ディザサイクルを構成し、前記予め設定されたデューティとして + 2 d、+ d、0、- d、- 2 d を採用した場合における図 6 の電磁弁駆動装置の各部の波形を示す図である。

【図 9】4 P W M 制御サイクルで 1 ディザサイクルを構成した場合における図 6 の電磁弁駆動装置の各部の信号波形を示す図である。

【図 1 0】この発明の電磁弁駆動装置の他の実施態様を示すブロック図である。

【図 1 1】図 1 0 の電磁弁駆動装置における電磁弁駆動方法を説明するフローチャートである。

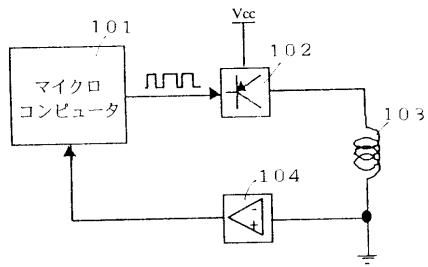
30

【図 1 2】図 1 0 の電磁弁駆動装置の各部の信号波形を示す図である。

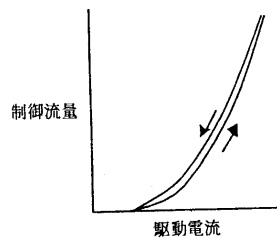
【符号の説明】

- | | | | |
|-------|--------------|-----|------------------|
| 1 a | P I D 制御部 | 1 b | P W M 制御デューティ算出部 |
| 1 c | ディザ用デューティ出力部 | | |
| 1 c ' | ディザ用デューティ算出部 | 1 d | 加算部 |
| 2 | P W M 回路 | 3 | 電磁比例制御弁 |

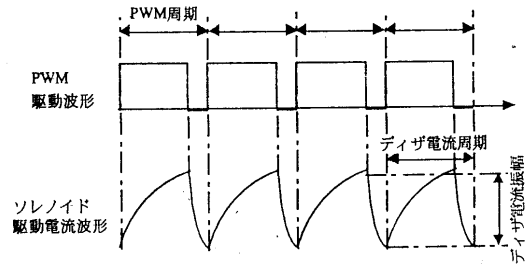
【図 1】



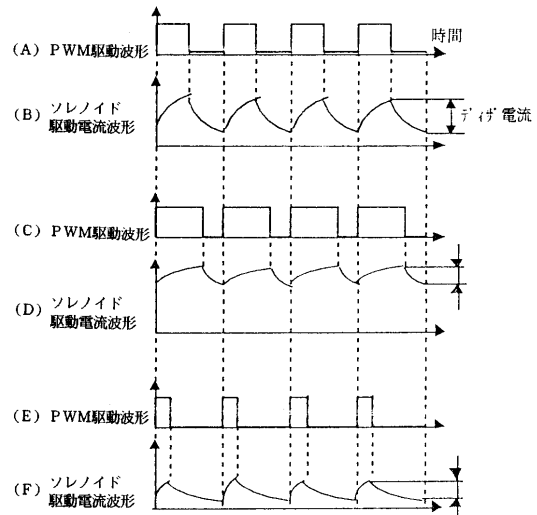
【図 2】



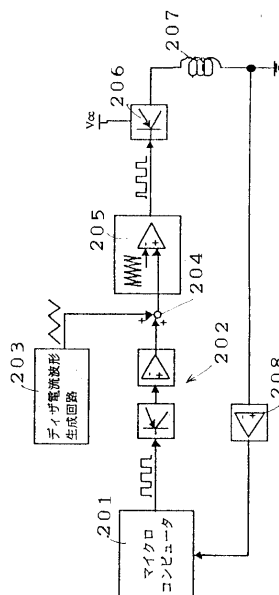
【図 3】



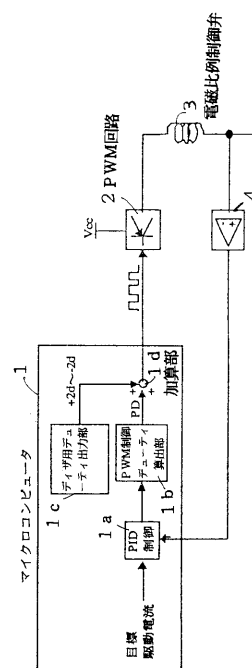
【図 4】



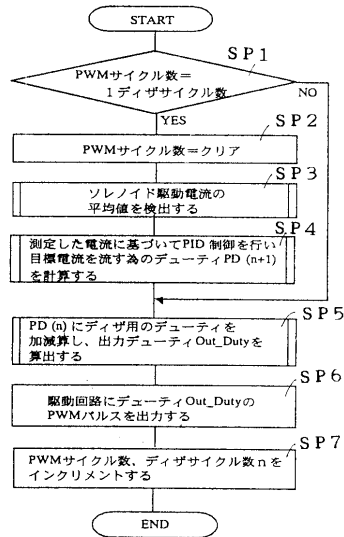
【図 5】



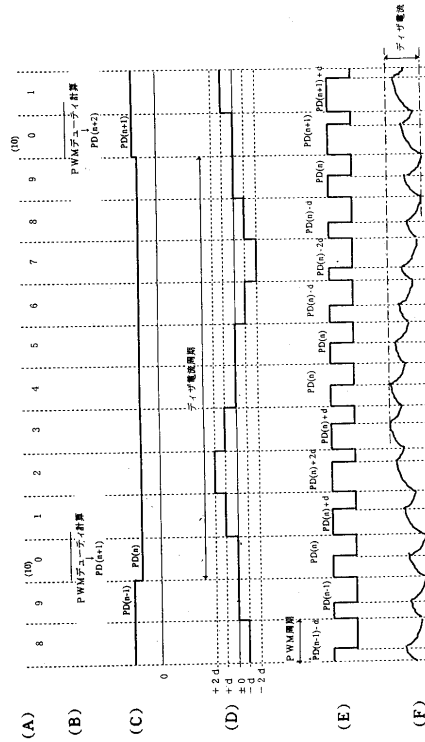
【図 6】



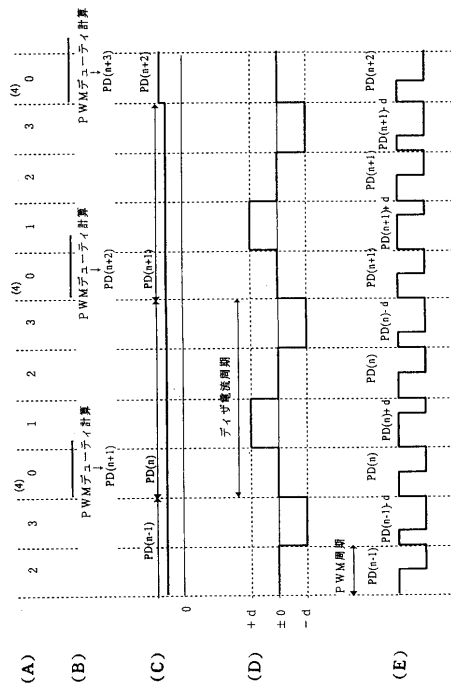
【図 7】



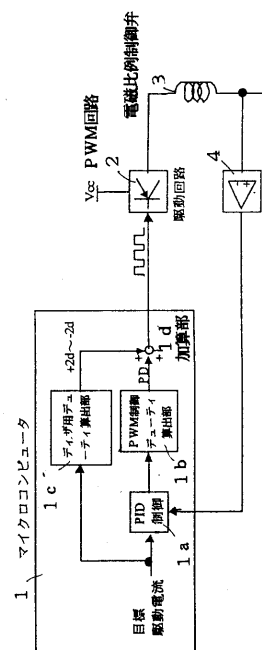
【図 8】



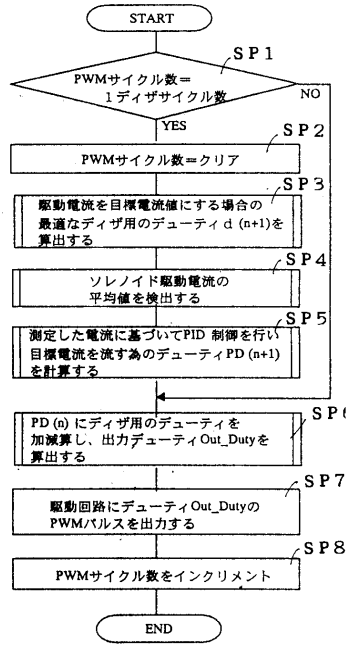
【図 9】



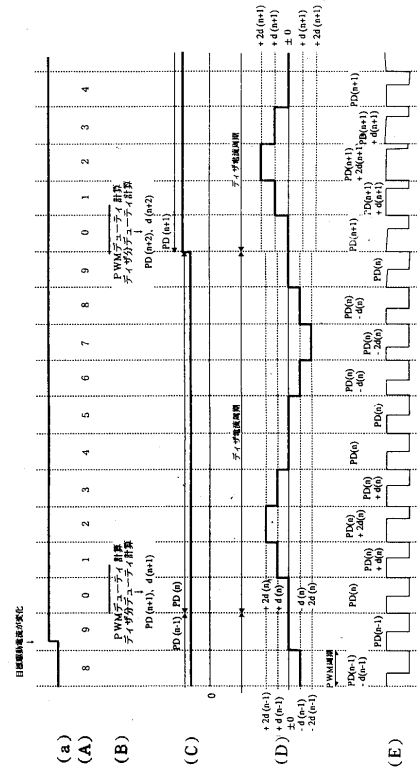
【図 10】



【図 11】



【図 12】



フロントページの続き

- (56)参考文献 特開平02-283982(JP,A)
特開平08-303628(JP,A)
特開平07-012263(JP,A)
特開平07-229577(JP,A)
実開昭63-084476(JP,U)
特開平01-193486(JP,A)

(58)調査した分野(Int.Cl., DB名)

F16K 31/06-31/11

F15B 13/02-13/09