

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月31日(31.08.2023)



(10) 国際公開番号

WO 2023/162804 A1

- (51) 国際特許分類:
G11C 13/00 (2006.01) G06F 12/00 (2006.01)
- (21) 国際出願番号: PCT/JP2023/005126
- (22) 国際出願日: 2023年2月15日(15.02.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-028507 2022年2月25日(25.02.2022) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 野々口 誠二 (NONOGUCHI, Seiji); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 対馬 朋人(TSUSHIMA, Tomohito); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: MEMORY DEVICE AND MEMORY CONTROL METHOD

(54) 発明の名称: メモリ装置およびメモリ制御方法

[図10]

AA	BB
動作回数n	リフレッシュ周期Tr
$n < 10^2$	Ta
$10^2 \leq n < 10^4$	Tb
$10^4 \leq n < 10^5$	Tc
$10^5 \leq n < 10^6$	Td
$10^6 \leq n$	Te

AA Number of operation times n

BB Refresh cycle Tr

(57) Abstract: A memory device according to one aspect of the present disclosure comprises a nonvolatile memory cell array unit, and a memory controller that controls a writing operation and reading operation with respect to the nonvolatile memory cell array unit. The memory controller controls a refreshing operation with respect to the nonvolatile memory cell array unit by using at least one of the writing operation and the reading operation. The memory controller also sets a cycle for the refreshing operation on the basis of at least one of the number of occurrences writing to and the number of occurrences reading from the nonvolatile memory cell array unit.

(57) 要約: 本開示の一側面に係るメモリ装置は、不揮発性メモリセルアレイユニットと、不揮発性メモリセルアレイユニットに対する書き込み動作および読み出し動作を制御するメモリコントローラとを備えている。メモリコントローラは、書き込み動作および読み出し動作のうち少なくとも一方の動作を利用して不揮発性メモリセルアレイユニットに対するリフレッシュ動作を制御する。メモリコントローラは、さらに、不揮発性メモリセルアレイユニットに対する書き込み回数および読み出し回数のうち少なくとも一方に基づいて、リフレッシュ動作の周期を設定する。

CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE,
KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR,
LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

明 細 書

発明の名称：メモリ装置およびメモリ制御方法

技術分野

[0001] 本開示は、メモリ装置およびメモリ制御方法に関する。

背景技術

[0002] データを不揮発に記憶することの可能なメモリシステムが知られている（例えば、特許文献1参照）。このようなメモリシステムでは、記憶素子および選択素子が直列に接続されたセル構造がメモリセルごとに設けられる。各メモリセルにおいては、アクセスしていない時間が長くなり過ぎると、動作電圧の変位により読み出し不良や書き込み不良が発生し得る。このような動作不良を防ぐために、リフレッシュ動作を行うことが考えられる。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-39983号公報

発明の概要

[0004] 特許文献1に記載の方法では、乱数発生器を用いたリフレッシュが行われる。しかし、特許文献1に記載の方法では、リフレッシュを行っていないメモリセルにおける動作不良を防ぐには確実性に欠けるという問題があった。従って、より確実に動作不良を防ぐことの可能なメモリ装置およびメモリ制御方法を提供することが望ましい。

[0005] 本開示の一側面に係るメモリ装置は、不揮発性メモリセルアレイユニットと、不揮発性メモリセルアレイユニットに対する書き込み動作および読み出し動作を制御するメモリコントローラとを備えている。メモリコントローラは、書き込み動作および読み出し動作のうち少なくとも一方の動作を利用して不揮発性メモリセルアレイユニットに対するリフレッシュ動作を制御する。メモリコントローラは、さらに、不揮発性メモリセルアレイユニットに対する書き込み回数および読み出し回数のうち少なくとも一方に基づいて、リ

フレッシュ動作の周期を設定する。

[0006] 本開示の一側面に係るメモリ制御方法は、以下の2つを含む。

(A) 不揮発性メモリセルアレイユニットに対する書き込み動作および読み出し動作のうち少なくとも一方の動作を利用して不揮発性メモリセルアレイユニットに対するリフレッシュ動作を制御すること

(B) 不揮発性メモリセルアレイユニットに対する書き込み回数および読み出し回数のうち少なくとも一方に基づいて、リフレッシュ動作の周期を設定すること

[0007] 本開示の一側面に係るメモリ装置およびメモリ制御方法では、不揮発性メモリセルアレイユニットに対する書き込み動作および読み出し動作のうち少なくとも一方の動作を利用した不揮発性メモリセルアレイユニットに対するリフレッシュ動作が制御される。ここで、読み出し動作を利用したリフレッシュ動作がなされたとき、高抵抗のメモリセルではリフレッシュ動作がなされない。しかし、時間の経過とともに動作電圧が上昇することによって動作不良が生じる場合には、高抵抗のメモリセルに対してリフレッシュ動作を行わなくても、読み出し不良が生じるおそれは無い。また、書き込み動作を利用したリフレッシュ動作がなされたときは、いずれのメモリセルに対してもリフレッシュ動作がなされる。従って、動作不良を防ぐことが可能である。また、本開示の一側面に係るメモリ装置およびメモリ制御方法では、不揮発性メモリセルアレイユニットに対する書き込み回数および読み出し回数のうち少なくとも一方に基づいて、リフレッシュ動作の周期が設定される。これにより、書き込み回数または読み出し回数に応じて動作電圧の変位の度合いが変わる場合であっても、動作不良が生じる前にリフレッシュ動作を行うことが可能となる。

図面の簡単な説明

[0008] [図1]本開示の一実施の形態に係る不揮発性記憶装置（メモリ装置）を備えた情報処理システムの概略構成の一例を表す図である。

[図2]図1の不揮発性記憶装置の機能ブロックの一例を表す図である。

[図3]図2のメモリセルアレイの概略構成の一例を表す図である。

[図4]図3のメモリセルのI-V特性の一例を表す図である。

[図5]図3の選択素子のI-V特性の一例を表す図である。

[図6]図3の選択素子の閾値変動の一例を表す図である。

[図7]図3の選択素子の閾値変動の一例を表す図である。

[図8]図3の選択素子の閾値変動の一例を表す図である。

[図9]動作回数およびリフレッシュ時刻が記述されたりフレッシュ動作テーブルの一例を表す図である。

[図10]動作回数とリフレッシュ周期との対応関係が規定されたりフレッシュ周期テーブルの一例を表す図である。

[図11]動作回数およびリフレッシュ時刻が規定されたりフレッシュテーブルの一変形例を表す図である。

[図12]動作回数とリフレッシュ周期との対応関係が規定されたりフレッシュ周期テーブルの一変形例を表す図である。

[図13]リフレッシュ周期の更新手順の一例を表す図である。

[図14]リフレッシュコマンドの出力手順の一例を表す図である。

[図15]リフレッシュ制御の一例について説明する図である。

[図16]リフレッシュ制御の一変形例について説明する図である。

[図17]リフレッシュ制御の一変形例について説明する図である。

[図18]リフレッシュ制御の一変形例について説明する図である。

[図19]最適読み出し電圧と、区画された複数の範囲の動作回数との関係が規定されたが規定された最適読み出し電圧テーブルの一例を表す図である。

[図20]物理アドレス（セクション）ごとに読み出し電圧および書き込み電圧が規定された電圧テーブルの一例を表す図である。

[図21]物理アドレス（セクション）ごとに動作回数およびリフレッシュ時刻が記述されたりフレッシュ動作テーブルの一例を表す図である。

発明を実施するための形態

[0009] 以下、本開示を実施するための形態について、図面を参照して詳細に説明

する。ただし、以下に説明する実施形態は、あくまでも例示であり、以下に明示しない種々の変形や技術の適用を排除する意図はない。本技術は、その趣旨を逸脱しない範囲で種々変形（例えば各実施形態を組み合わせる等）して実施することができる。また、以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付して表している。図面は模式的なものであり、必ずしも実際の寸法や比率等とは一致しない。図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることがある。

[0010] <1. 実施の形態>

図1は、本開示の一実施の形態に係る情報処理システムの概略構成の一例を表す。この情報処理システムは、例えば、図1に示したように、ホスト10および不揮発性記憶装置20を備える。不揮発性記憶装置20は、例えば、図1に示したように、メモリコントローラ210および不揮発性メモリ（NVM：Non-Volatile Memory）セルアレイユニット（NVM220）を有する。

[0011] メモリコントローラ210は、ホスト10と通信し、ホスト10から書き込みコマンド又は読み出しコマンドを受信する。メモリコントローラ210は、受信したコマンドに基づき、NVM220への書き込み動作、又はNVM220からの読み出し動作を制御する。

[0012] メモリコントローラ210は、ホスト10から書き込みコマンドを受信した場合、ホスト10からさらに、書き込み用のデータを受信する。メモリコントローラ210は、NVM220に書き込み要求を発行して、ホスト10から受信したデータをNVM220に送信する。NVM220は、メモリコントローラ210から受信したデータを内部のメモリセルアレイ（図2参照）に書き込む。

[0013] メモリコントローラ210は、ホスト10から読み出しコマンドを受信した場合、NVM220に読み出し要求を発行して、NVM220に送信する。不揮発性メモリセルアレイユニット220は、読み出し要求に応じてメモリセルアレイからデータを読み出し、読み出したデータをメモリコントローラ

ラ 2 1 0 に送信する。メモリコントローラ 2 1 0 は、NVM 2 2 0 から受信したデータをホスト 1 0 に送信する。

[0014] 図 2 は、メモリコントローラ 2 1 0 および不揮発性メモリセルアレイユニット 2 2 0 の機能ブロックの一例を表す。メモリコントローラ 2 1 0 は、例えば、図 2 に示したように、ホストインターフェース部（ホスト I F）2 1 1、メモリ制御部 2 1 2、メモリインターフェース部（メモリ I F）2 1 3、タイマ 2 1 4、リフレッシュ情報記憶部 2 1 5 およびリフレッシュ制御部 2 1 6 を有する。不揮発性メモリセルアレイユニット 2 2 0 は、例えば、図 2 に示したように、メモリインターフェース部（メモリ I F）2 2 1、アレイ制御部 2 2 2、メモリセルアレイ 2 2 3 およびバッファ 2 2 4 を有する。

[0015] メモリセルアレイ 2 2 3 は、例えば、複数のタイル 2 2 3 A を有する。図 3 は、タイル 2 2 3 A の概略構成の一例を表したものである。タイル 2 2 3 A は、例えば、図 3 に示したように、複数のビット線 B L と、複数のワード線 W L と、複数のメモリセル M C とを有する。複数のメモリセル M C は、複数のビット線 B L と複数のワード線 W L との交差部に 1 つずつ配置される。この構造は、いわゆるクロスポイント構造と呼ばれる。メモリセル M C は、書き込み可能な不揮発性のメモリである。メモリセル M C は、抵抗値の高低の状態により 1 ビットの情報を記録する記憶素子 M E（Memory Element）と、記憶素子 M E に直列に接続された選択素子 S E（Selector Element）とを有する。

[0016] 記憶素子 M E は、例えば相変化メモリ材料であり、ゲルマニウム（G e）アンチモン（S b）テルル（T e）のカルコゲナイド合金で形成することができる。保持特性や動作電流の観点から種々の元素が添加されてもよい。また、記憶素子 M E は、O x R A M（Oxide-based RAM）、C B R A M（Conductive Bridge RAM）などの抵抗変化型メモリ材料であってもよく、材料に限定されない。動作電圧が変位するドリフト現象が発生しないメモリ材料の場合は、動作電圧をドリフト現象発生前の電圧に戻すリフレッシュ動作は選択素子 S E に適用され得る。

[0017] 選択素子SEは、例えばオボニック閾値スイッチ（OTS：Ovonic Threshold Switch）である。選択素子SEは、例えば、テルル（Te）、セレン（Se）および硫黄（S）からなる群より選択された少なくとも1種以上のカルコゲン元素を含む材料にて形成することができる。また、選択素子SEは、アモルファス構造の安定化やリーク電流の低減を目的として、ホウ素（B）、アルミニウム（Al）、ガリウム（Ga）、インジウム（In）、炭素（C）、ゲルマニウム（Ge）、ヒ素（As）、ケイ素（Si）、酸素（O）および窒素（N）などを含んでもよい。選択素子SEの材料は、上述の材料に限定されるものではなく、ドリフト現象が発生する材料が適用され得る。

[0018] なお、メモリセルMCには、記憶素子MEと選択素子SEとの間に中間電極が設けられてもよい。記憶素子MEと選択素子SEとが互いに直接、接合されてもよい。逆に密着性や材料拡散の観点から、記憶素子MEと選択素子SEとの間に、接着層や拡散防止層などが設けられてもよい。また、メモリセルMCには、記憶素子MEおよび選択素子SEの代わりに、記憶素子ME（情報記録）および選択素子SE（情報選択）の機能を兼ね備えた単一の層が設けられてもよい。このような単一の層としては、例えば、オボニック閾値スイッチが挙げられる。例えば、オボニック閾値スイッチにおいて、動作電流や電圧印加方向によって発生した複数の閾値状態を記憶データとして用いることにより、記憶素子MEおよび選択素子SEの機能を単一の層で担うことが可能となる。

[0019] 記憶素子MEは、例えば、相互に遷移可能な低抵抗状態（LRS）と高抵抗状態（HRS）のうちの1つの抵抗状態を有する。また一例としてLRSは第1値に対応し、HRSは第2値に対応する。第1値は“1”に対応し、第2値は“0”に対応する。あるいは、第1値は“0”に対応し、第2値は“1”に対応してもよい。本実施形態では、LRSは“1”に対応し、HRSは“0”に対応する場合を想定するが、これに限定されない。

[0020] 図4は、記憶素子MEが低抵抗状態（LRS）および高抵抗状態（HRS

）のときのメモリセルMCの電流電圧特性の例を表す。読出し電圧 V_{read} は記憶素子MEが低抵抗状態（LRS）のときの閾値電圧より高く、記憶素子MEが高抵抗状態（HRS）のときの閾値電圧より低く設定される。すなわち、読出し動作では、記憶素子MEが低抵抗の状態のときにのみオン状態になり選択素子SEがリフレッシュされる。

[0021] 選択素子SEは、長時間オンにしないと、選択素子SEをオンするために必要な閾値電圧が上昇（ドリフトと呼ぶ）する。図5は選択素子SEのドリフト現象によるI-V特性の例を表したものである。ある動作（0min）から次の動作までに180° 1時間経過すると、選択素子SEがオンするのに必要な閾値電圧が上昇することがわかる。さらに、0minから260° 10分経過した場合には、180° 1時間経過したときよりも閾値の上昇幅は大きく、温度によってドリフト現象が加速されることがわかる。ドリフト後に閾値以上の電圧が選択素子SEに印加されることにより、選択素子SEはオンする。選択素子SEがオンすると、ドリフトは解消される。これにより、ドリフトされた閾値電圧は、初期の値の電圧に戻る。

[0022] 図6は、カルコゲナイド材料としてTeを含む選択素子SEにおいて85° 1日の条件下でのドリフトによる閾値変動と動作回数の関係性を表す。図6では、100回動作済の選択素子SEにおける閾値変動量を1として閾値変動量が規格化されている。図6によれば、動作回数が増えるとドリフトによる閾値変動が小さくなる傾向があることがわかる。すなわち、100回動作させた選択素子SEをリフレッシュする周期に対して、100万回動作させた選択素子SEをリフレッシュする周期を長く設定することが可能である。このようにした場合、動作回数が多い選択素子SEに対してはリフレッシュ頻度を低減させることができ、消費電力の低減が期待される。

[0023] ドリフトによる閾値変動は必ずしも一定とは限らない。図7は、GeAsSeで構成された選択素子SEにおいて85° 1日の条件下でのドリフトによる閾値変動と動作回数の関係性を表す。図7では、100回動作済の選択素子SEにおける閾値変動量を1として閾値変動量が規格化されている。図

7によれば、動作回数が多くなるとドリフトによる閾値変動が大きくなる傾向があることがわかる。すなわち、100万回動作させた選択素子SEをリフレッシュする周期に対して、100回動作させた選択素子SEをリフレッシュする周期を長く設定することが可能である。このようにした場合、動作回数が少ない選択素子SEに対してはリフレッシュ頻度を低減させることができ、消費電力の低減が期待される。

[0024] 図8は、GeAsSeに対し上述したような添加元素をドーピングした選択素子SEにおいて、85° 1日の条件下でのドリフトによる閾値変動と動作回数の関係性を表す。図8では、100回動作済の選択素子SEにおける閾値変動量を1として閾値変動量が規格化されている。図8によれば、動作回数が多くなるとドリフトによる閾値変動が小さくなる傾向があることがわかる。すなわち、100回動作させた選択素子SEをリフレッシュする周期に対して、100万回動作させた選択素子SEをリフレッシュする周期を長く設定することが可能である。このようにした場合、動作回数が多い選択素子SEに対してはリフレッシュ頻度を低減させることができ、消費電力の低減が期待される。

[0025] メモリセルMCからデータを読み出す方法の一例について説明する。選択したメモリセルMCに接続されたワード線WLとビット線BLにそれぞれ $V_{read}/2$ 、 $V_{read}/2$ の電圧のパルスが印加される。選択したメモリセルMCに所定の読み出し電圧 V_{read} ($=V_{read}/2 - (-V_{read}/2)$)の読み出しパルスが印加される。メモリセルMCに流れた電流に基づき、記憶素子MEの抵抗状態が、LRS及びHRSのいずれであるかが判別される。選択素子SEがオンする場合、メモリセルMCに電流が流れる。この場合、記憶素子MEの抵抗状態はLRSであるとして、“1”のデータが読み出される。選択素子SEがオンしない場合、メモリセルMCに電流が流れない。この場合、記憶素子MEの抵抗状態はHRSであるとして、“0”のデータが読み出される。

[0026] ドリフトの発生により閾値電圧が所定の読み出し電圧より大きくなってい

る場合、記憶素子MEがLRSであっても、所定の読み出し電圧の印加により選択素子SEはオンしない。このため、記憶素子MEの抵抗状態がLRSであっても、LRSの判別に必要な電流が流れない。この結果、記憶素子MEの状態はHRSと誤判別されてしまう。すなわち、実際にはメモリセルMCには“1”のデータが格納されているものの、“0”のデータが格納されていると判断される。

[0027] メモリセルMCにデータを書き込む方法の一例について説明する。メモリセルMCに“1”のデータを書き込む場合（セットと呼ぶ）、選択したメモリセルMCに接続されたワード線WLとビット線BLにそれぞれ $-V_{set}/2$ 、 $V_{set}/2$ の電圧のパルスが印加される。選択したメモリセルMCに所定のセット電圧 V_{set} ($=V_{set}/2 - (-V_{set}/2)$) のセットパルスが印加される。記憶素子MEの抵抗状態がHRSの場合は、LRSに遷移する。これにより、メモリセルMCに“1”のデータが書き込まれる。

[0028] メモリセルMCに“0”のデータを書き込む場合（リセットと呼ぶ）、選択したメモリセルMCに接続されたワード線WLとビット線BLにそれぞれ $-V_{reset}/2$ 、 $V_{reset}/2$ で電圧のパルスが印加される。選択したメモリセルMCに所定のリセット電圧 V_{reset} ($=V_{reset}/2 - (-V_{reset}/2)$) のリセットパルスが印加される。なお、メモリセルMCの材料によっては、リセットパルスの電圧の方向は、セットパルスとは逆方向となってもよい。記憶素子MEの抵抗状態がLRSの場合は、HRSに遷移する。これにより、メモリセルMCに“0”のデータが書き込まれる。

[0029] 選択素子SEが所定の読み出し電圧 V_{read} でオンするように所定の読み出し電圧 V_{read} 以下に閾値電圧を収めるためには、定期的に変換素子SEをオンにし、ドリフトを解消する必要がある。変換素子SEをオンすることで、閾値電圧は初期の値の電圧に戻る。これによりドリフトは解消される。

- [0030] 次に、NVM220における他の構成について説明する。
- [0031] メモリIF221は、メモリコントローラ210と通信する。メモリIF221は、メモリコントローラ210から要求を受信した場合、受信した要求をアレイ制御部222に提供する。要求の種類として、読み出し要求、書き込み要求、リフレッシュ要求などがある。メモリIF221は、メモリコントローラ210から書き込み用のデータを受信した場合、当該データをバッファ224のライトデータバッファに書き込む。
- [0032] アレイ制御部222は、メモリIF221を介して、メモリコントローラ210から要求を受信する。アレイ制御部222は、受信した要求の種類に応じた動作を行う。アレイ制御部222は、メモリセルアレイ223のワード線駆動部およびビット線駆動部を制御する。アレイ制御部222は、メモリセルアレイ223におけるメモリセルMCにアクセス（読み出し、セット、リセット）する場合、アクセス対象のメモリセルMCに接続されたワード線WLとビット線BLを選択し、選択したワード線WL及びビット線BLに、必要な電圧を印加する。
- [0033] アレイ制御部222は、読み出し要求を実行する場合、選択したワード線WL及びビット線BLに対して読み出しパルスを電圧として印加する。これにより、該当するメモリセルMCからデータの読み出しを行う。この読み出しを、読み出し要求で指定された物理アドレスに属する複数のメモリセルMCについて行う。複数のメモリセルMCから読み出されたデータは、バッファ224のリードデータバッファに保持される。アレイ制御部222は、リードデータバッファに保持されたデータを、メモリIF221を介して、メモリコントローラ210に送信する。
- [0034] アレイ制御部222は、書き込み要求を実行する場合、まずは書き込み要求で指定された物理アドレスに属する複数のメモリセルMCからデータを読み出し、バッファ224のリードデータバッファに保持する。アレイ制御部222は、リードデータバッファに保持されたデータと、ライトデータバッファに保持されたデータとを比較する。アレイ制御部222は、ライトデー

タバッファに保持された値が“1”であり、リードデータバッファに保持された値が“0”であるビットに対応するメモリセルMCには、“1”を書き込む（セットする）。すなわち、アレイ制御部222は、そのようなメモリセルMCに接続されたワード線WL及びビット線BLに対しては、セットパルスを電圧として印加する。アレイ制御部222は、ライトデータバッファに保持された値が“0”であり、リードデータバッファに保持された値が“1”であるビットに対応するメモリセルMCには、“0”を書き込む（リセットする）。すなわち、アレイ制御部222は、そのようなメモリセルMCに接続されたワード線WL及びビット線BLに対しては、リセットパルスを電圧として印加する。アレイ制御部222は、ライトデータバッファに保持された値と、リードデータバッファに保持された値とが互いに同じ場合は、何も書き込みを行わない。

[0035] なお、上記は一例であり、アレイ制御部222は、書き込み要求を実行する場合に書き込み要求で指定された物理アドレスに属する複数のメモリセルMCからデータを読み出すことなく、書き込みを実施するようにしてもよい。その場合、書き込み回数は増加するが、データを読み出し保持されたデータと比較する時間が短縮される。

[0036] 次に、メモリコントローラ210の構成について説明する。

[0037] ホストIF211は、ホスト10からコマンド（書き込みコマンド又は読み出しコマンド）を受信する。ホストIF211は、受信したコマンドをメモリ制御部212に送信する。また、ホストIF211は、ホスト10から書き込みコマンドで書き込み指示されるデータを受信し、受信したデータを、書き込みコマンドに関連づけてメモリ制御部212に送信する。ホストIF211は、NVM220から読み出されたデータを受信し、受信したデータをホスト10に送信する。

[0038] メモリ制御部212は、ホスト10から書き込みコマンドを受信すると、書き込みコマンドに含まれる物理アドレスを用いて、書き込み要求を生成する。メモリ制御部212は、生成した書き込み要求を、ホスト10から受信

したデータとともに、メモリ I F 2 1 3 を介して N V M 2 2 0 に送信する。
メモリ制御部 2 1 2 は、ホスト 1 0 から読み出しコマンドを受信すると、読み出しコマンドに含まれる物理アドレスを用いて、読み出し要求を生成する。
メモリ制御部 2 1 2 は、生成した読み出し要求を、メモリ I F 2 1 3 を介して N V M 2 2 0 に送信する。

[0039] リフレッシュ情報記憶部 2 1 5 は、例えば、図 9、図 1 0 に示したように、リフレッシュ動作テーブル 2 1 5 A およびリフレッシュ周期テーブル 2 1 5 B を有する。

[0040] リフレッシュ動作テーブル 2 1 5 A には、例えば、図 9 に示したように、動作回数 n 、リフレッシュ時刻 t_0 およびリフレッシュ周期 T_r が記述されている。リフレッシュ時刻 t_0 は、例えば、電源遮断などの異常時に、リフレッシュの周期を補正するための参照データとして使用され得る。

[0041] 動作回数 n は、メモリセルアレイ 2 2 3 に対する書き込み回数および読み出し回数の合計値（累積値）である。リフレッシュ動作テーブル 2 1 5 A において、動作回数 n は、メモリセルアレイ 2 2 3 に対して、書き込み処理や読み出し処理が行われる度に 1 つ増える。リフレッシュ時刻 t_0 は、メモリセルアレイ 2 2 3 に対してリフレッシュ動作が行われたときの時刻である。リフレッシュ時刻 t_0 は、タイマ 2 1 4 から得られる。リフレッシュ周期 T_r は、メモリセルアレイ 2 2 3 に対して行われるリフレッシュ動作の周期である。リフレッシュ周期 T_r は、リフレッシュ時刻 t_0 から、次のリフレッシュ動作が行われるまでの期間である。

[0042] リフレッシュ周期テーブル 2 1 5 B には、例えば、図 1 0 に示したように、動作回数 n と、リフレッシュ周期 T_r との対応関係が記述されている。リフレッシュ周期テーブル 2 1 5 B において、動作回数 n は、複数の範囲に区画されており、区画された範囲ごとに、リフレッシュ周期 T_r が設定される。

[0043] なお、リフレッシュ動作テーブル 2 1 5 A において、例えば、図 1 1 に示したように、動作回数 n が、読み出し回数 n_r と書き込み回数 n_w とに分け

て記述されていてもよい。さらに、リフレッシュ周期テーブル215Bにおいて、読み出し回数 n_r および書き込み回数 n_w の少なくとも一方に対して重み付けがなされていてもよい。

[0044] 例えば、図12に示したように、読み出し回数 n_r に対して α ($0 < \alpha < 1$) が乗算されるようになっていてもよい。読み出し時に、記憶素子MEが高抵抗状態(HRS)となっている場合には、高抵抗状態(HRS)の記憶素子MEに接続された選択素子SEはリフレッシュされない。また、読み出し動作と書き込み動作でメモリセルMCへの負荷が異なることがある。その場合には、読み出し回数に対して α を乗算し、読み出し回数を控えめに評価することが、読み出し不良防止の観点から重要である。

[0045] なお、リフレッシュ動作テーブル215Aにおいて、動作回数 n が読み出し回数 n_r のみ、または、書き込み回数 n_w のみであってもよい。例えば、本システムの用途の関係から、メモリセルMCからの読み出しがメモリセルMCへの書き込みと比べてあまり多くないことがわかっている場合、動作回数 n が書き込み回数 n_w のみであってもよい。また、例えば、本システムの用途の関係から、メモリセルMCへの書き込みがメモリセルMCからの読み出しと比べてあまり多くないことがわかっている場合、動作回数 n が読み出し回数 n_r のみであってもよい。

[0046] メモリ制御部212は、ホスト10から制御コマンド（読み出しコマンドもしくは書き込みコマンド）を取得する（図13、ステップS101）。すると、メモリ制御部212は、受信した制御コマンドをリフレッシュ制御部216に出力する（図13、ステップS102）。リフレッシュ制御部216は、制御コマンドをメモリ制御部212から取得すると（図13、ステップS103）、動作回数 n を更新する（1つ増やす）（図13、ステップS104）。このとき、リフレッシュ制御部216は、必要に応じて、読み出し回数 n_r および書き込み回数 n_w の少なくとも一方に対して重み付けを行った上で、動作回数 n を更新してもよい。

[0047] リフレッシュ制御部216は、リフレッシュ周期テーブル215Bから、

更新後の動作回数 n が含まれる範囲に対応するリフレッシュ周期 T_r を取得する（図 13、ステップ S105）。リフレッシュ制御部 216 は、取得したリフレッシュ周期 T_r を、新たなリフレッシュ周期 T_r としてリフレッシュ動作テーブル 215A に上書きする（格納する）（図 13、ステップ S106）。つまり、リフレッシュ制御部 216 は、読み出し回数 n_r および書き込み回数 n_w の少なくとも一方に基づいて、リフレッシュ動作の周期（リフレッシュ周期 T_r ）を設定する。

[0048] リフレッシュ制御部 216 は、タイマ 214 からリフレッシュトリガが出力される周期を更新する場合（ステップ S201；Y）、リフレッシュ動作テーブル 215A からリフレッシュ周期 T_r を読み出す（ステップ S202）。リフレッシュ制御部 216 は、読み出したリフレッシュ周期 T_r をタイマ 214 の内部メモリに設定する（書き込む）ことによって、タイマ 214 からリフレッシュトリガが出力される周期を更新する（ステップ S203）。リフレッシュ制御部 216 は、タイマ 214 からリフレッシュトリガが出力される周期を更新しない場合（ステップ S201；N）、上記ステップ S202、203 を実行しない。リフレッシュ制御部 216 は、タイマ 214 から出力（リフレッシュトリガ）を受信すると（ステップ S204）、リフレッシュコマンドを生成し、メモリ制御部 212 に出力する（ステップ S205）。

[0049] タイマ 214 は、内臓メモリに設定されたリフレッシュ周期 T_r で、リフレッシュトリガをリフレッシュ制御部 216 に出力する。内臓メモリに設定されたリフレッシュ周期 T_r は、リフレッシュ制御部 216 から新たなリフレッシュ周期 T_r が設定される度に更新される。

[0050] メモリ制御部 212 は、リフレッシュ制御部 216 からリフレッシュコマンドを取得すると、リフレッシュ要求の一形態である読み出し要求を生成する。つまり、本実施の形態では、メモリ制御部 212 は、読み出し動作を利用してリフレッシュ動作を制御する。メモリ制御部 212 は、生成した読み出し要求を、メモリ I/F 213 を介して NVM 220 に送信する。

[0051] 図15は、リフレッシュ周期の変遷について説明する図を表す。図15に記載の「Ref1」はリフレッシュ制御（リフレッシュコマンドの入力に応じた処理）が行われていることを意味する。図15では、リフレッシュ周期 T_r が T_a から T_b に変化し、その後、 T_c に変化する様子が示されている。

[0052] メモリ制御部212は、例えば、メモリセルアレイ223に対して、リフレッシュ周期 T_a でリフレッシュ制御を行い、その後、リフレッシュ周期 T_r を T_a から T_b に変化させ、さらに、 T_b から T_c に変化させる。メモリ制御部212は、図15に記載の各「Ref1」において、メモリセルアレイ223内の複数のメモリセルMCに対して順次、リフレッシュ制御を行う。メモリコントローラ210がレジスタを有している場合に、メモリ制御部212は、そのレジスタに設定したアドレス番号を順次更新していくことにより、メモリセルアレイ223内の複数のメモリセルMCを順次、選択し、リフレッシュ制御を行う。

[0053] 図15に記載の各「Ref1」において、メモリ制御部212によるリフレッシュ制御が行われるに伴って、低抵抗状態（LRS）の記憶素子MEに接続された選択素子SEはリフレッシュされ、高抵抗状態（HRS）の記憶素子MEに接続された選択素子SEはリフレッシュされない。リフレッシュされた選択素子SEでは動作電圧がドリフト現象発生前の電圧に戻る。一方、リフレッシュされなかった選択素子SEでは動作電圧がドリフト現象発生後の電圧のままとなっている。しかし、リフレッシュされなかった選択素子SEには高抵抗状態（HRS）の記憶素子MEが接続されているので、選択素子SEの動作電圧が時間の経過とともに上昇したとしても、このメモリセルMCの読み出し結果は、HRSに対応する値のままである。選択素子SEの動作電圧が時間の経過とともに上昇した場合、このメモリセルMCの読み出し結果がLRSに対応する値になる可能性はむしろ低下する。従って、リフレッシュされなかった選択素子SEを含むメモリセルMCにおいても、安定的な読み出しが可能である。

[0054] 図15に記載の各「Ref1」では、メモリセルアレイ223から読み出されたデータはメモリコントローラ210やホスト10に出力されなくてもよい。図15に記載の各「Ref1」で、メモリセルアレイ223から読み出されたデータは、メモリコントローラ210やホスト10にとっては必要のないデータであり、メモリコントローラ210やホスト10に送信する必要がないからである。従って、図15に記載の各「Ref1」において、リフレッシュ動作が終了した段階で、アレイ制御部222がバッファ224のデータの、メモリコントローラ210への転送を実行せず、バッファ224のデータを削除することが好ましい。このようにした場合には、ホスト10とメモリコントローラ210間のデータ通信を他の用途に使うことができ、ホスト10とメモリコントローラ210間のデータ通信が高速化され得る。

[0055] なお、メモリ制御部212は、例えば、図16に示したように、メモリセルアレイ223において、リフレッシュ周期 T_r ごとに複数回ずつ（例えば2回ずつ）、リフレッシュ制御を行ってもよい。このとき、メモリ制御部212は、リフレッシュ周期 T_r において、後に行うリフレッシュ制御における読み出し電圧の大きさを、前に行うリフレッシュ制御における読み出し電圧の大きさよりも所定の大きさだけ大きくしてもよい。そのようにした場合には、閾値電圧のばらつきに起因して1回目のリフレッシュ制御において選択素子SEをオンさせることができなかった場合であっても、2回目以降のリフレッシュ制御において選択素子SEをオンさせることが可能となる。

[0056] ところで、ホスト10からの書き込みコマンドまたは読み出しコマンドの入力タイミングと、リフレッシュ制御部216からのリフレッシュコマンドの入力タイミングとが互いに競合してしまうことが考えられる。この場合、メモリ制御部212は、書き込みコマンドまたは読み出しコマンドを、リフレッシュコマンドよりも優先して処理してもよいし、その逆に、リフレッシュコマンドを書き込みコマンドまたは読み出しコマンドよりも優先して処理してもよい。

[0057] 例えば、書き込みコマンドまたは読み出しコマンドが何度も繰り返し、リ

フレッシュコマンドよりも優先して処理された場合、リフレッシュコマンドが周期的に処理されなくなり、動作不良が生じてしまう可能性がある。その場合、メモリ制御部212は、書き込みコマンドまたは読み出しコマンドがリフレッシュコマンドよりも優先して処理された回数が所定の回数を超えた場合に、リフレッシュコマンドを書き込みコマンドまたは読み出しコマンドよりも優先して処理するようにしてもよい。

[0058] また、不揮発性記憶装置20が、複数のNVM220を有しており、1つのメモリコントローラ210が複数のNVM220に対する書き込み、読み出しを制御するようになっていてもよい。この場合、メモリコントローラ210は、例えば、NVM220ごとに1つずつ割り当てられた複数のレジスタを有し、各レジスタに設定したアドレス番号を順次更新することにより、各NVM220に対して、同時にリフレッシュ制御を行ってもよい。

[0059] ところで、不揮発性記憶装置20が搭載されたシステムがスタンバイ状態にあるとき、各メモリセルMCへのアクセス頻度が低下し、動作不良を引き起こす可能性がある。そこで、メモリ制御部212は、例えば、不揮発性記憶装置20が搭載されたシステムがスタンバイ状態にあるときに、リフレッシュ制御を行うようにしてもよい。なお、メモリ制御部212は、不揮発性記憶装置20が搭載されたシステムの電源がオンされたときに、リフレッシュ制御を行うようにしてもよい。また、メモリ制御部212は、不揮発性記憶装置20が搭載されたシステムにおいてリセット信号が入力されたときに、リフレッシュ制御を行うようにしてもよい。

[0060] また、上記実施の形態では、リフレッシュ対象が選択素子SEとなっていた。そのため、上記実施の形態では、メモリ制御部212は、読み出し動作を利用してリフレッシュ動作を制御していた。しかし、上記実施の形態において、記憶素子MEが、ドリフト現象が発生するメモリ材料で形成されている場合（記憶素子MEが例えば相変化メモリの場合）には、リフレッシュ対象が選択素子SEおよび記憶素子MEとなってもよい。相変化メモリでは、動作電流やパルス幅を制御することで低抵抗状態と高抵抗状態とをそれ

ぞれ作り出すことが可能である。この場合、メモリ制御部 212 は、例えば、図 17 に示したように、書き込み動作を利用してリフレッシュ動作を制御する。

[0061] 具体的には、メモリ制御部 212 は、リフレッシュ制御部 216 からリフレッシュコマンドを取得すると、リフレッシュ要求の一形態である書き込み要求を生成する。メモリ制御部 212 は、生成した書き込み要求を、所定のデータとともに、メモリ IF 213 を介して NVM 220 に送信する。ここで、所定のデータとは、例えば、全てが“1”のデータ（つまり、全ての記憶素子 ME が低抵抗状態（LRS）となるデータ）である。その結果、アレイ制御部 222 による書き込み処理により、選択素子 SE および記憶素子 ME の双方がリフレッシュされる。メモリ制御部 212 は、このリフレッシュを行った後、バッファ 224 のライトデータバッファに保持しておいたデータを全ての記憶素子 ME に書き戻す。

[0062] なお、アレイ制御部 222 は、リフレッシュ要求の一形態である書き込み要求を実行する場合に、まずはこの書き込み要求で指定された物理アドレスに属する複数のメモリセル MC からデータを読み出し、バッファ 224 のリードデータバッファに保持する。このとき、リードデータバッファに保持された値が“1”となっている場合（つまり、記憶素子 ME が低抵抗状態となっている場合）、読み出しを行った時点で、低抵抗状態の記憶素子 ME に接続された選択素子 SE はリフレッシュされている。従って、アレイ制御部 222 は、ライトデータバッファに保持された値が“1”であり、リードデータバッファに保持された値が“1”であるビットに対応するメモリセル MC には、書き込みを行わなくてもよい（リフレッシュを行わなくてもよい）。

[0063] また、記憶素子 ME が、ドリフト現象が発生するメモリ材料で形成されていない場合であっても、メモリ制御部 212 は、書き込み動作を利用してリフレッシュ動作を制御してもよい。

[0064] また、メモリ制御部 212 は、例えば、図 18 に示したように、読み出し動作を利用してリフレッシュ動作を制御するとともに、書き込み動作を利用

してリフレッシュ動作を制御してもよい。このとき、メモリ制御部 212 は、メモリセルアレイ 223 に対して、読み出し動作を利用したリフレッシュ動作の制御と、書き込み動作を利用したリフレッシュ動作の制御とを交互に行ってもよい。また、メモリ制御部 212 は、メモリセルアレイ 223 に対して、例えば、図 18 に示したように、読み出し動作を利用したリフレッシュ動作の制御周期と、書き込み動作を利用したリフレッシュ動作の制御周期とを互いに異ならせてもよい。書き込み動作のリフレッシュはメモリセルに格納されているデータに依存せずにリフレッシュできるため、読み出し動作によるリフレッシュと書き込み動作のリフレッシュのタイミングが重なった場合、書き込み動作によるリフレッシュのみ実施させるようにするのが好ましい。なお、図 18 には、書き込み動作を利用したリフレッシュ動作の制御周期が、読み出し動作を利用したリフレッシュ動作の制御周期の 4 倍になっている場合が例示されている。このようにした場合には、上記実施の形態の場合と比べて、より確実に動作不良を防ぐことができる。

[0065] また、上記実施の形態において、リフレッシュ周期 T_r が、動作回数 n に応じた選択素子 SE の特性から決定されてもよい。具体的には、メモリ制御部 212 は、読み出し電圧が少しずつ異なる複数の読み出し要求を生成し、NVM 220 に送信する。その結果、メモリ制御部 212 は、複数の読み出し要求によって得られた複数のデータの中で最もエラーの少ないデータに対応する読み出し要求を選択し、選択した読み出し要求に含まれる読み出し電圧を、最適読み出し電圧とする。

[0066] リフレッシュ情報記憶部 215 には、例えば、図 19 に示したように、最適読み出し電圧テーブル 215C が格納されている。最適読み出し電圧テーブル 215C には、上述の最適読み出し電圧と、区画された複数の範囲の動作回数 n との関係が規定されている。メモリ制御部 212 は、最適読み出し電圧テーブル 215C から、導出した最適読み出し電圧に対応する、動作回数 n の範囲を取得する。メモリ制御部 212 は、リフレッシュ周期テーブル 215B から、取得した動作回数 n の範囲に対応するリフレッシュ周期 T_r

を取得する。このようにした場合であっても、上記実施の形態と同様、より確実に動作不良を防ぐことができる。なお、動作回数 n の導出方法については、上記に限定されるものではない。

[0067] また、上記実施の形態において、例えば、図 20 に示したような電圧テーブル 212A がメモリコントローラ 210 に設けられていてもよい。さらに、上記実施の形態において、例えば、図 21 に示したようなアドレス変換テーブル 215A がメモリコントローラ 210 に設けられていてもよい。電圧テーブル 212A には、複数の物理アドレスをまとめた 1 つのセクションごとに、読み出し電圧 V_{read} および書き込み電圧 V_{write} が設定されている。書き込み電圧 V_{write} には、例えば、上述の V_{set} や V_{reset} が含まれる。アドレス変換テーブル 215A には、セクションごとに、動作回数 n 、リフレッシュ時刻 t_0 およびリフレッシュ周期 T_r が記述されている。ここで、メモリセルアレイ 223 が複数のメモリ領域に区画され、メモリ領域ごとに割り当てられた複数の物理アドレスが、1 つのセクションに相当する。

[0068] メモリ制御部 213 は、ホスト 10 から読み出しコマンドを受信すると、電圧テーブル 212A から、ホスト 10 からのコマンドで指定された物理アドレスに設定された読み出し電圧を読み出す。メモリ制御部 213 は、物理アドレスと、読み出した読み出し電圧とを用いて、読み出し要求を生成する。メモリ制御部 213 は、生成した読み出し要求を、メモリ I/F 214 を介して NVM 220 に送信する。

[0069] メモリ制御部 212 は、ホスト 10 から書き込みコマンドを受信すると、電圧テーブル 212A から、ホスト 10 からのコマンドで指定された物理アドレスに設定された書き込み電圧を読み出す。メモリ制御部 213 は、物理アドレスと、読み出した書き込み電圧とを用いて、書き込み要求を生成する。メモリ制御部 213 は、生成した書き込み要求を、ホスト 10 から受信したデータとともに、メモリ I/F 214 を介して NVM 220 に送信する。

[0070] メモリ制御部 213 は、リフレッシュ制御部 217 からリフレッシュコマ

ンドを取得すると、電圧テーブル212Aから、リフレッシュコマンドで指定された物理アドレスに設定された読み出し電圧を読み出す。メモリ制御部213は、リフレッシュコマンドで指定された物理アドレスと、読み出した読み出し電圧とを用いて、リフレッシュ要求の一形態である読み出し要求を生成する。メモリ制御部213は、生成した読み出し要求を、メモリIF214を介してNVM220に送信する。つまり、メモリ制御部213は、メモリ領域ごとの書き込み回数および読み出し回数のうち少なくとも一方に基づいて、リフレッシュ動作をメモリ領域ごとに制御する。

[0071] リフレッシュ対象が選択素子SEおよび記憶素子MEとなっている場合、メモリ制御部213は、リフレッシュ制御部217からリフレッシュコマンドを取得すると、電圧テーブル212Aから、リフレッシュコマンドで指定された物理アドレスに設定された書き込み電圧を読み出す。メモリ制御部213は、リフレッシュコマンドで指定された物理アドレスと、読み出した書き込み電圧とを用いて、リフレッシュ要求の一形態である書き込み要求を生成する。メモリ制御部213は、生成した書き込み要求を、所定のデータとともに、メモリIF214を介してNVM220に送信する。ここで、所定のデータとは、例えば、全てが“1”のデータ（つまり、リフレッシュコマンドで指定された物理アドレスに対応するセクションに含まれる全ての記憶素子MEが低抵抗状態（LRS）となるデータ）である。その結果、アレイ制御部222による書き込み処理により、選択素子SEおよび記憶素子MEの双方がリフレッシュされる。メモリ制御部213は、このリフレッシュを行った後、バッファ224のライトデータバッファに保持しておいたデータを、リフレッシュコマンドで指定された物理アドレスに対応するセクションに含まれる全ての記憶素子MEに書き戻す。

[0072] このように、セクションごとに書き込み電圧や読み出し電圧を設定することにより、セクションごとの動作回数nに応じたきめ細かなリフレッシュ制御を行うことができる。

[0073] 以上、実施の形態を挙げて本技術を説明したが、本開示は上記実施の形態

に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていたとしてもよい。

[0074] また、例えば、本開示は以下のような構成を取ることができる。

(1)

不揮発性メモリセルアレイユニットと、
前記不揮発性メモリセルアレイユニットに対する書き込み動作および読み出し動作を制御するメモリコントローラと
を備え、
前記メモリコントローラは、前記書き込み動作および前記読み出し動作のうち少なくとも一方の動作を利用して前記不揮発性メモリセルアレイユニットに対するリフレッシュ動作を制御し、
前記メモリコントローラは、前記不揮発性メモリセルアレイユニットに対する書き込み回数および読み出し回数のうち少なくとも一方に基づいて、前記リフレッシュ動作の周期を設定する
メモリ装置。

(2)

前記メモリコントローラは、前記不揮発性メモリセルアレイユニットを複数のメモリ領域に区画し、前記メモリ領域ごとの前記書き込み回数および前記読み出し回数のうち少なくとも一方に基づいて、前記リフレッシュ動作を前記メモリ領域ごとに制御する

(1)に記載のメモリ装置。

(3)

前記不揮発性メモリセルアレイユニットは、
複数の第1の配線と、
複数の第2の配線と、
メモリセルが前記複数の第1の配線と前記複数の第2の配線との交点に1

つずつ設けられたメモリセルアレイと

を有し、

前記メモリセルは、抵抗値の高低の状態により 1 ビットの情報を記録する記憶素子と、前記記憶素子に直列に接続された選択素子とを有し、

前記メモリコントローラは、前記リフレッシュ動作を前記選択素子に対してだけ行う第 1 リフレッシュ動作の制御と、前記リフレッシュ動作を前記選択素子および前記記憶素子の双方に対して行う第 2 リフレッシュ動作の制御とを行う

(1) または (2) に記載のメモリ装置。

(4)

前記第 1 リフレッシュ動作の周期と、前記第 2 リフレッシュ動作の周期とは、互いに異なっている

(3) に記載のメモリ装置。

(5)

前記不揮発性メモリセルアレイユニットは、

複数の第 1 の配線と、

複数の第 2 の配線と、

メモリセルが前記複数の第 1 の配線と前記複数の第 2 の配線との交点に 1 つずつ設けられたメモリセルアレイと

を有し、

前記メモリセルは、情報記録および情報選択の機能を兼ね備えた単一の層によって構成され、

前記メモリコントローラは、前記リフレッシュ動作の制御を前記単一の層に対して行う

(1) または (2) に記載のメモリ装置。

(6)

不揮発性メモリセルアレイユニットに対する書き込み動作および読み出し動作のうち少なくとも一方の動作を利用して前記不揮発性メモリセルアレイ

ユニットに対するリフレッシュ動作を制御することと、

前記不揮発性メモリセルアレイユニットに対する書き込み回数および読み出し回数のうち少なくとも一方に基づいて、前記リフレッシュ動作の周期を設定することと

を含む

メモリ制御方法。

[0075] 本開示の一側面に係るメモリ装置およびメモリ制御方法では、不揮発性メモリセルアレイユニットに対する書き込み動作および読み出し動作のうち少なくとも一方の動作を利用した不揮発性メモリセルアレイユニットに対するリフレッシュ動作が制御される。ここで、読み出し動作を利用したリフレッシュ動作がなされたとき、高抵抗のメモリセルではリフレッシュ動作がなされない。しかし、時間の経過とともに動作電圧が上昇することによって動作不良が生じる場合には、高抵抗のメモリセルに対してリフレッシュ動作を行わなくても、読み出し不良が生じるおそれは無い。また、書き込み動作を利用したリフレッシュ動作がなされたときは、いずれのメモリセルに対してもリフレッシュ動作がなされる。従って、動作不良を防ぐことが可能である。また、本開示の一側面に係るメモリ装置およびメモリ制御方法では、不揮発性メモリセルアレイユニットに対する書き込み回数および読み出し回数のうち少なくとも一方に基づいて、リフレッシュ動作の周期が設定される。これにより、書き込み回数または読み出し回数に応じて動作電圧の変位の度合いが変わる場合であっても、動作不良が生じる前にリフレッシュ動作を行うことが可能となる。従って、本開示では、より確実に動作不良を防ぐことができる。なお、本開示の効果は、ここに記載された効果に必ずしも限定されず、本明細書中に記載されたいずれの効果であってもよい。

[0076] 本出願は、日本国特許庁において2022年2月25日に出願された日本特許出願番号第2022-028507号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0077] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビ

ネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 不揮発性メモリセルアレイユニットと、
 前記不揮発性メモリセルアレイユニットに対する書き込み動作および読み出し動作を制御するメモリコントローラと
 を備え、
 前記メモリコントローラは、前記書き込み動作および前記読み出し動作のうち少なくとも一方の動作を利用して前記不揮発性メモリセルアレイユニットに対するリフレッシュ動作を制御し、
 前記メモリコントローラは、前記不揮発性メモリセルアレイユニットに対する書き込み回数および読み出し回数のうち少なくとも一方に基づいて、前記リフレッシュ動作の周期を設定する
 メモリ装置。
- [請求項2] 前記メモリコントローラは、前記不揮発性メモリセルアレイユニットを複数のメモリ領域に区画し、前記メモリ領域ごとの前記書き込み回数および前記読み出し回数のうち少なくとも一方に基づいて、前記リフレッシュ動作を前記メモリ領域ごとに制御する
 請求項1に記載のメモリ装置。
- [請求項3] 前記不揮発性メモリセルアレイユニットは、
 複数の第1の配線と、
 複数の第2の配線と、
 メモリセルが前記複数の第1の配線と前記複数の第2の配線との交点に1つずつ設けられたメモリセルアレイと
 を有し、
 前記メモリセルは、抵抗値の高低の状態により1ビットの情報を記録する記憶素子と、前記記憶素子に直列に接続された選択素子とを有し、
 前記メモリコントローラは、前記リフレッシュ動作を前記選択素子に対してだけ行う第1リフレッシュ動作の制御と、前記リフレッシュ

動作を前記選択素子におよび前記記憶素子の双方に対して行う第2リフレッシュ動作の制御とを行う

請求項1に記載のメモリ装置。

[請求項4] 前記第1リフレッシュ動作の周期と、前記第2リフレッシュ動作の周期とは、互いに異なっている

請求項3に記載のメモリ装置。

[請求項5] 前記不揮発性メモリセルアレイユニットは、
複数の第1の配線と、
複数の第2の配線と、

メモリセルが前記複数の第1の配線と前記複数の第2の配線との交点に1つずつ設けられたメモリセルアレイと

を有し、

前記メモリセルは、情報記録および情報選択の機能を兼ね備えた単一の層によって構成され、

前記メモリコントローラは、前記リフレッシュ動作の制御を前記単一の層に対して行う

請求項1に記載のメモリ装置。

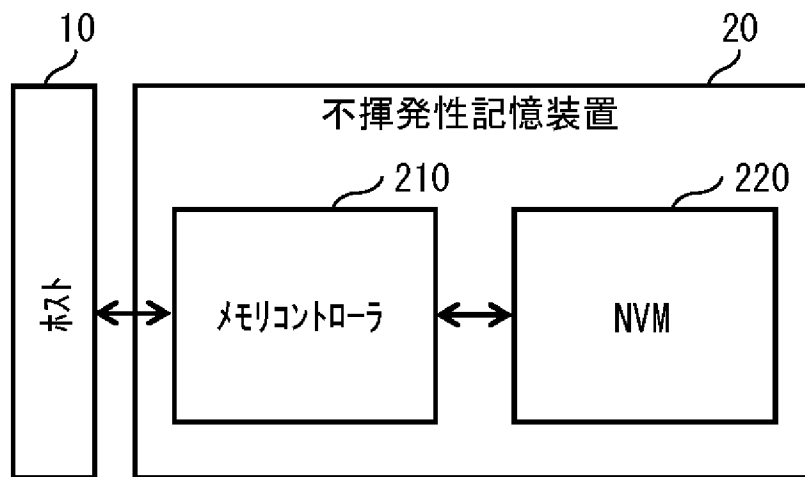
[請求項6] 不揮発性メモリセルアレイユニットに対する書き込み動作および読み出し動作のうち少なくとも一方の動作を利用して前記不揮発性メモリセルアレイユニットに対するリフレッシュ動作を制御することと、

前記不揮発性メモリセルアレイユニットに対する書き込み回数および読み出し回数のうち少なくとも一方に基づいて、前記リフレッシュ動作の周期を設定することと

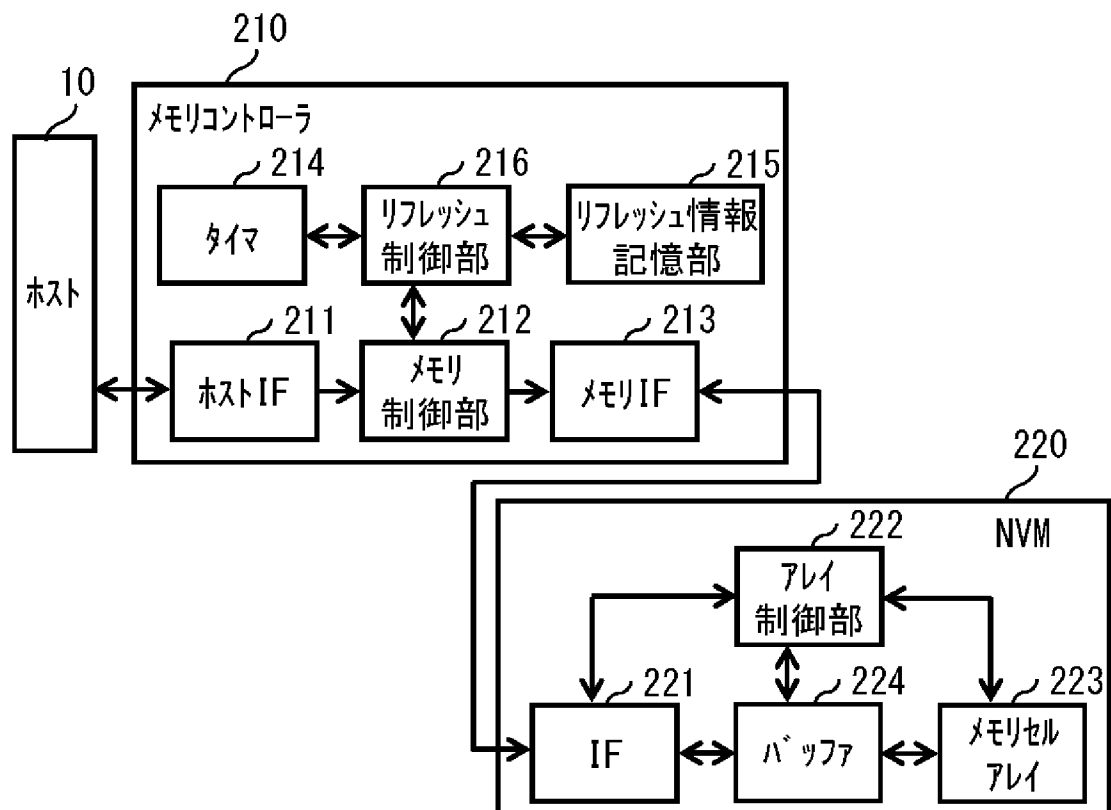
を含む

メモリ制御方法。

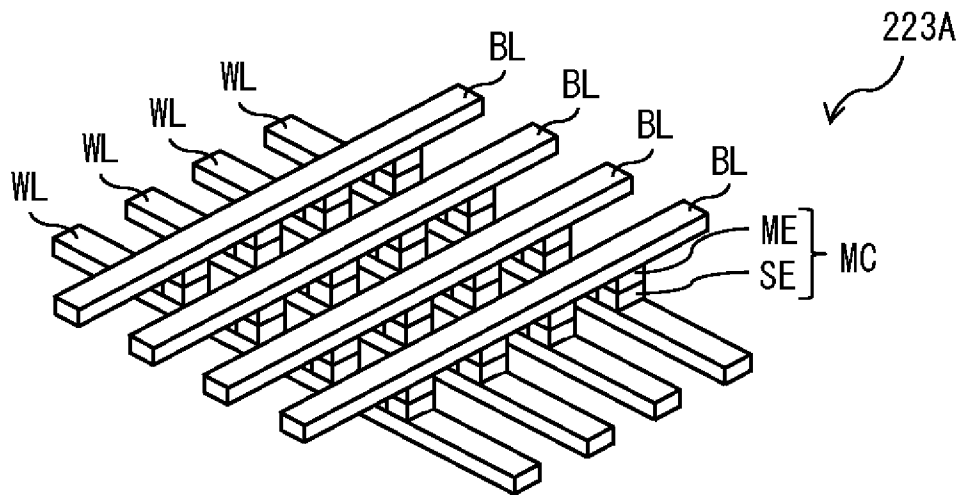
[図1]



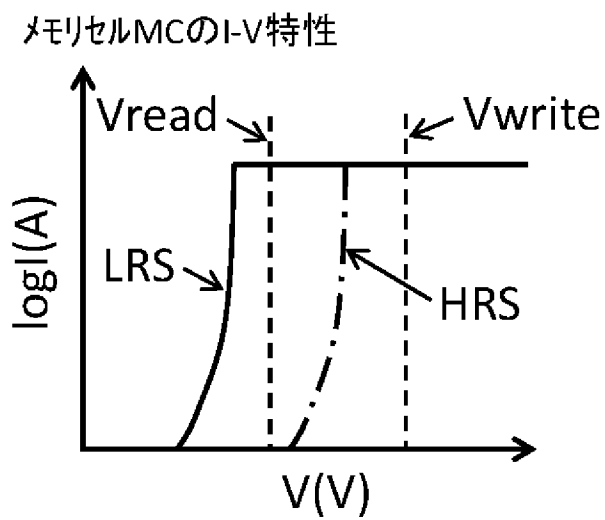
[図2]



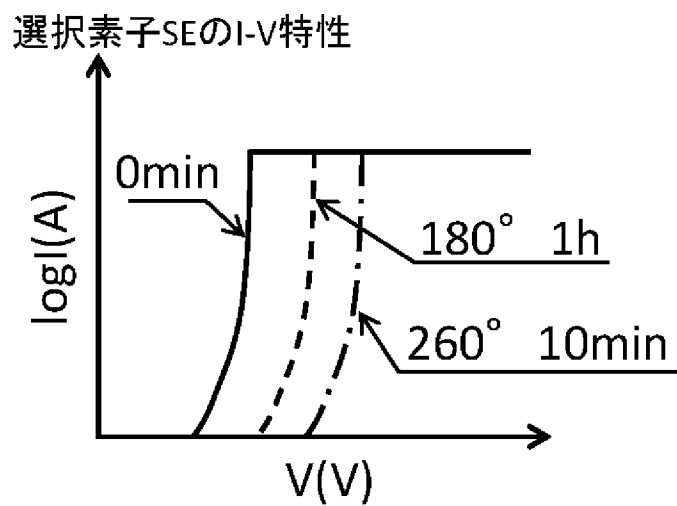
[図3]



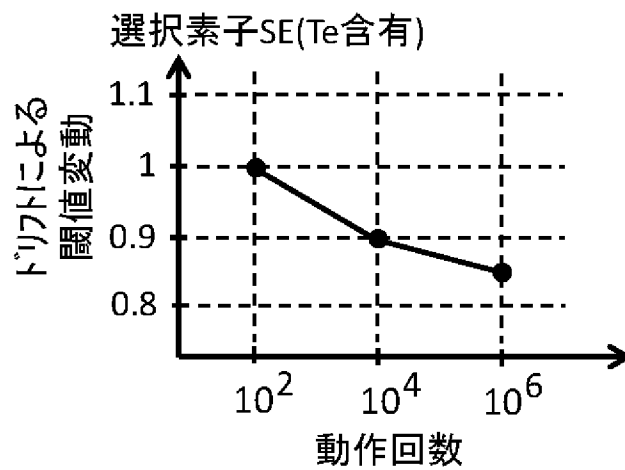
[図4]



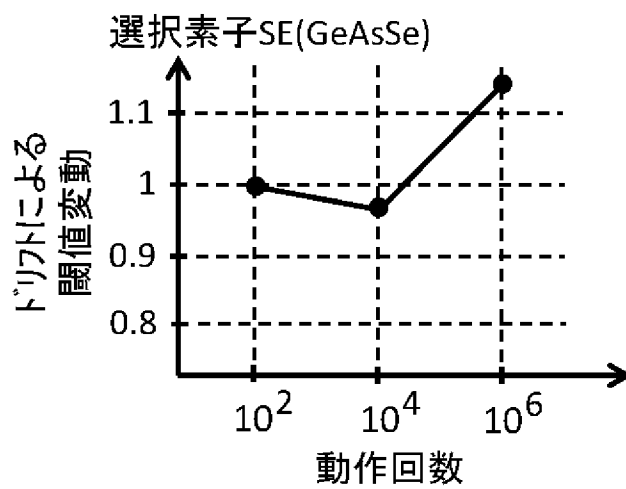
[図5]



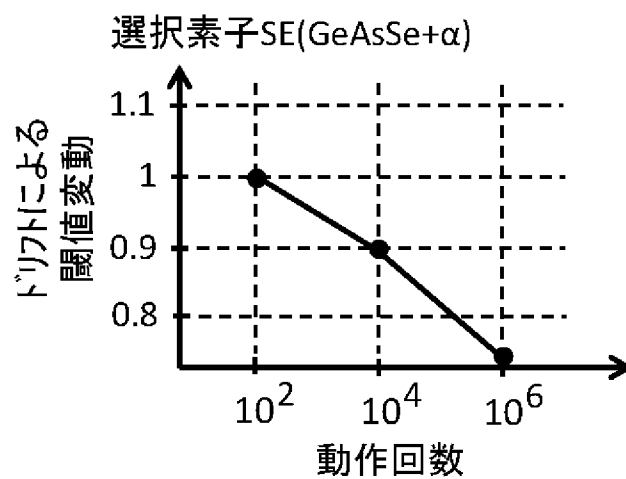
[図6]



[図7]



[図8]



[図9]

動作回数n	リフレッシュ時刻t0	リフレッシュ周期Tr
n_a	t0_a	Ta

215A
↙

[図10]

動作回数n	リフレッシュ周期Tr
$n < 10^2$	Ta
$10^2 \leq n < 10^4$	Tb
$10^4 \leq n < 10^5$	Tc
$10^5 \leq n < 10^6$	Td
$10^6 \leq n$	Te

215B
↙

[図11]

nr	nw	t0
nr_a	nw_a	t0_a

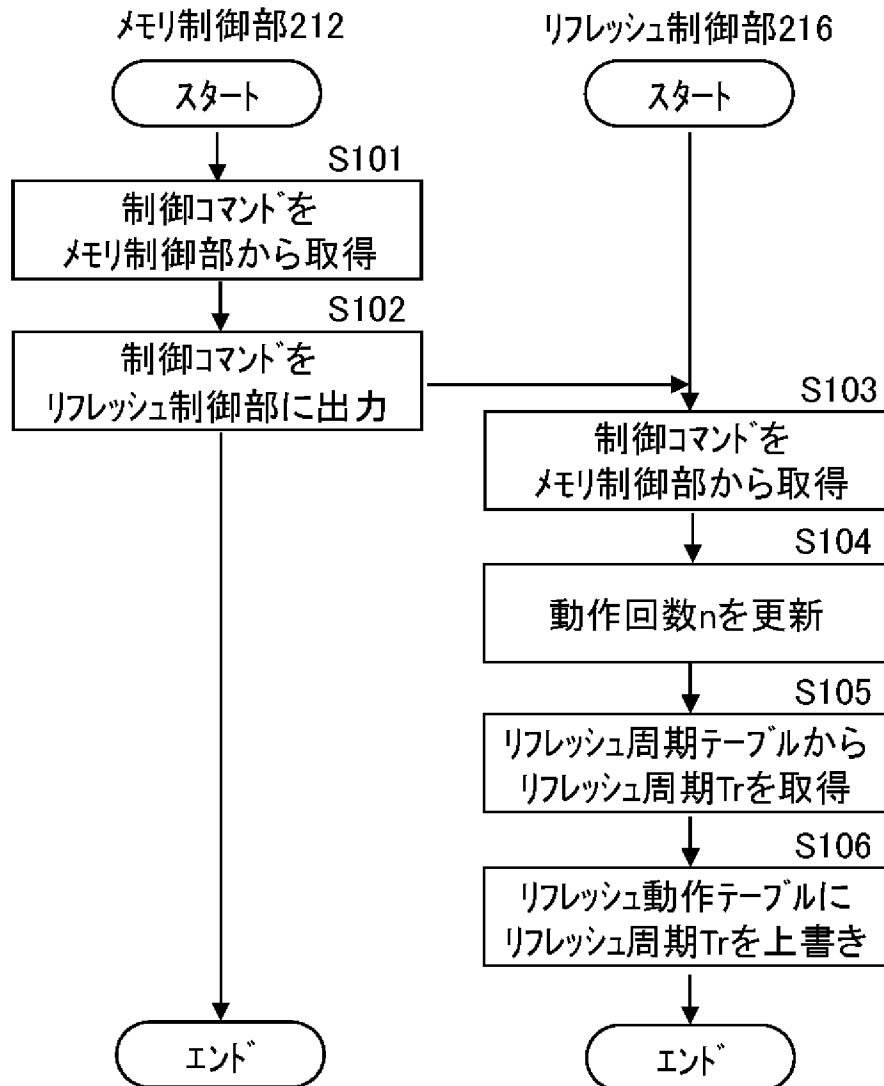
215A
↙

[図12]

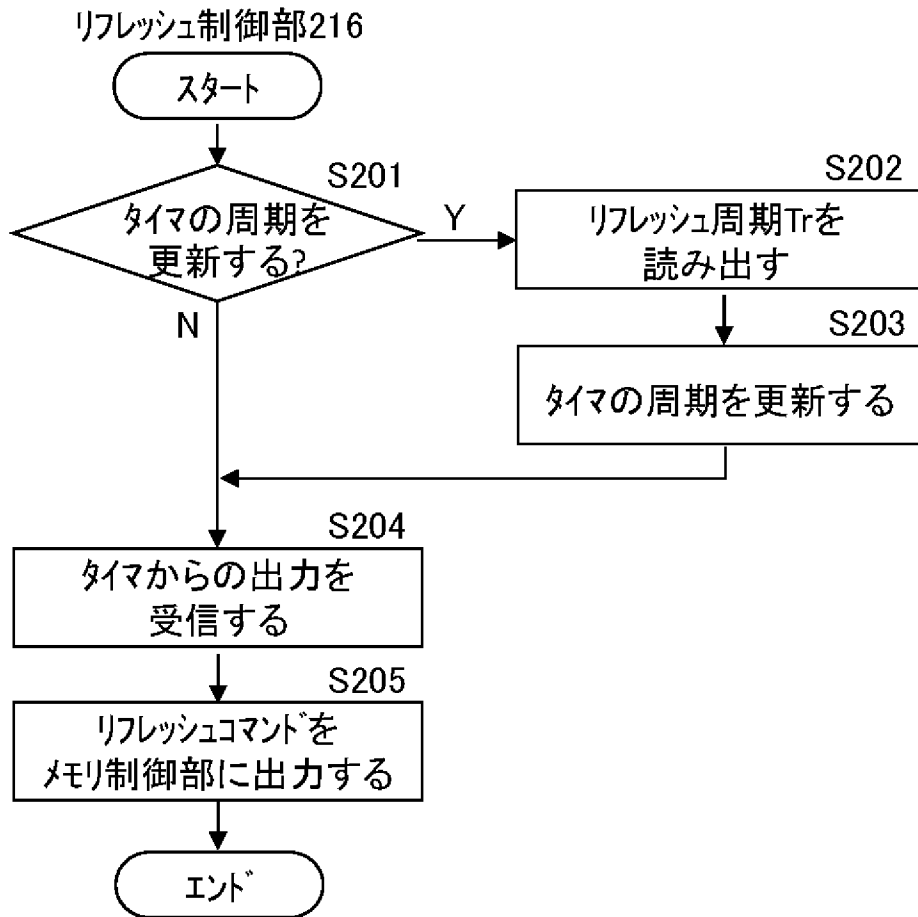
動作回数n	リフレッシュ周期f
$\alpha \times nr + nw < 10^2$	fa
$10^2 \leq \alpha \times nr + nw < 10^4$	fb
$10^4 \leq \alpha \times nr + nw < 10^5$	fc
$10^5 \leq \alpha \times nr + nw < 10^6$	fd
$10^6 \leq \alpha \times nr + nw$	fe

215B
↙

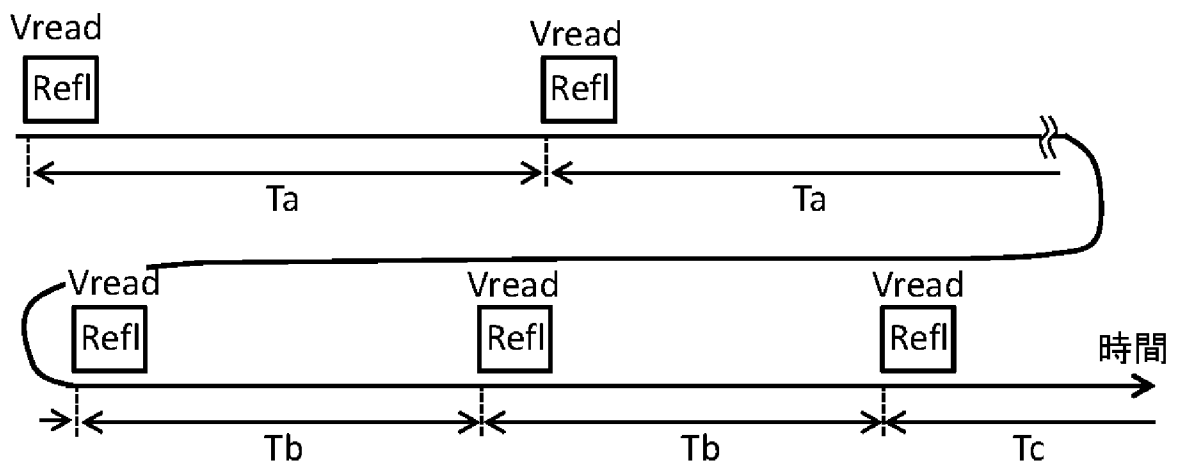
[図13]



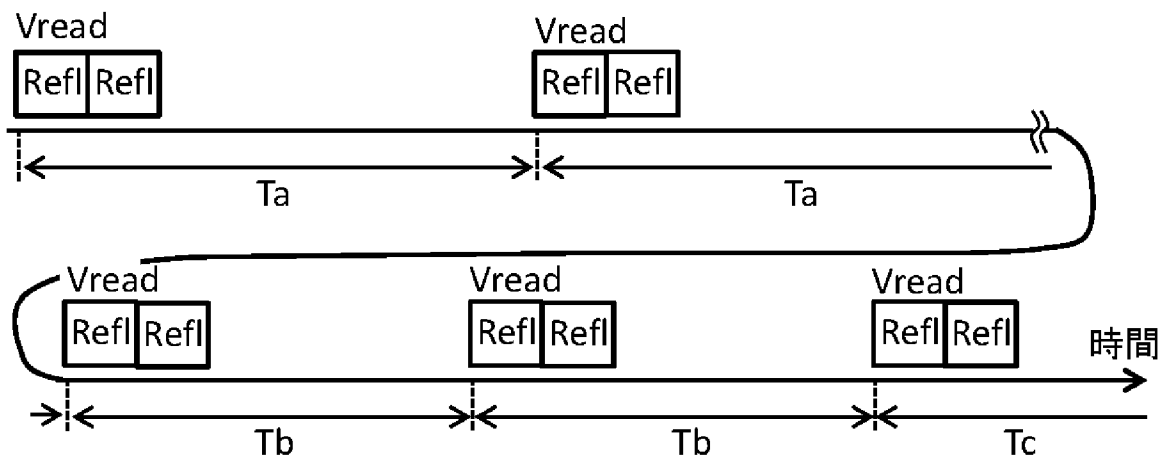
[図14]



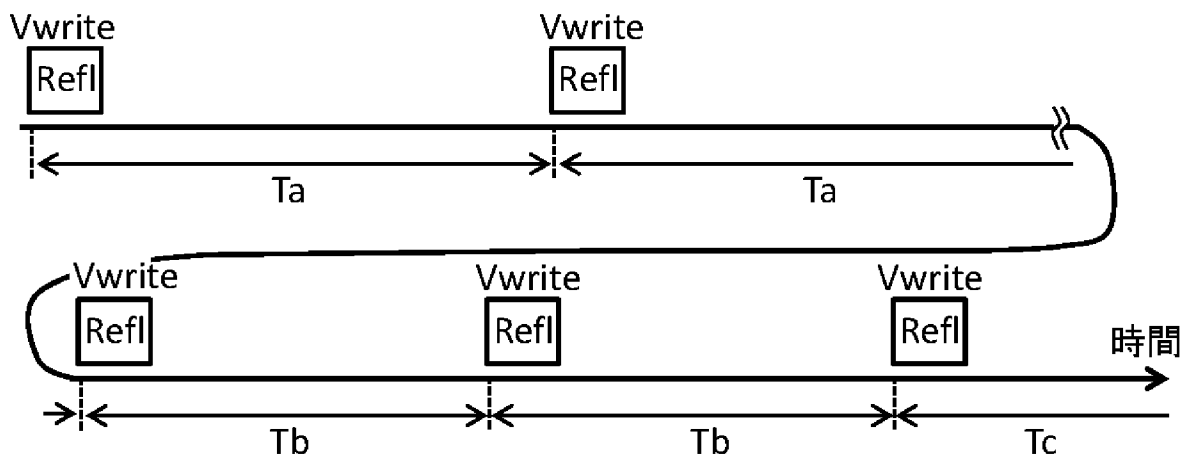
[図15]



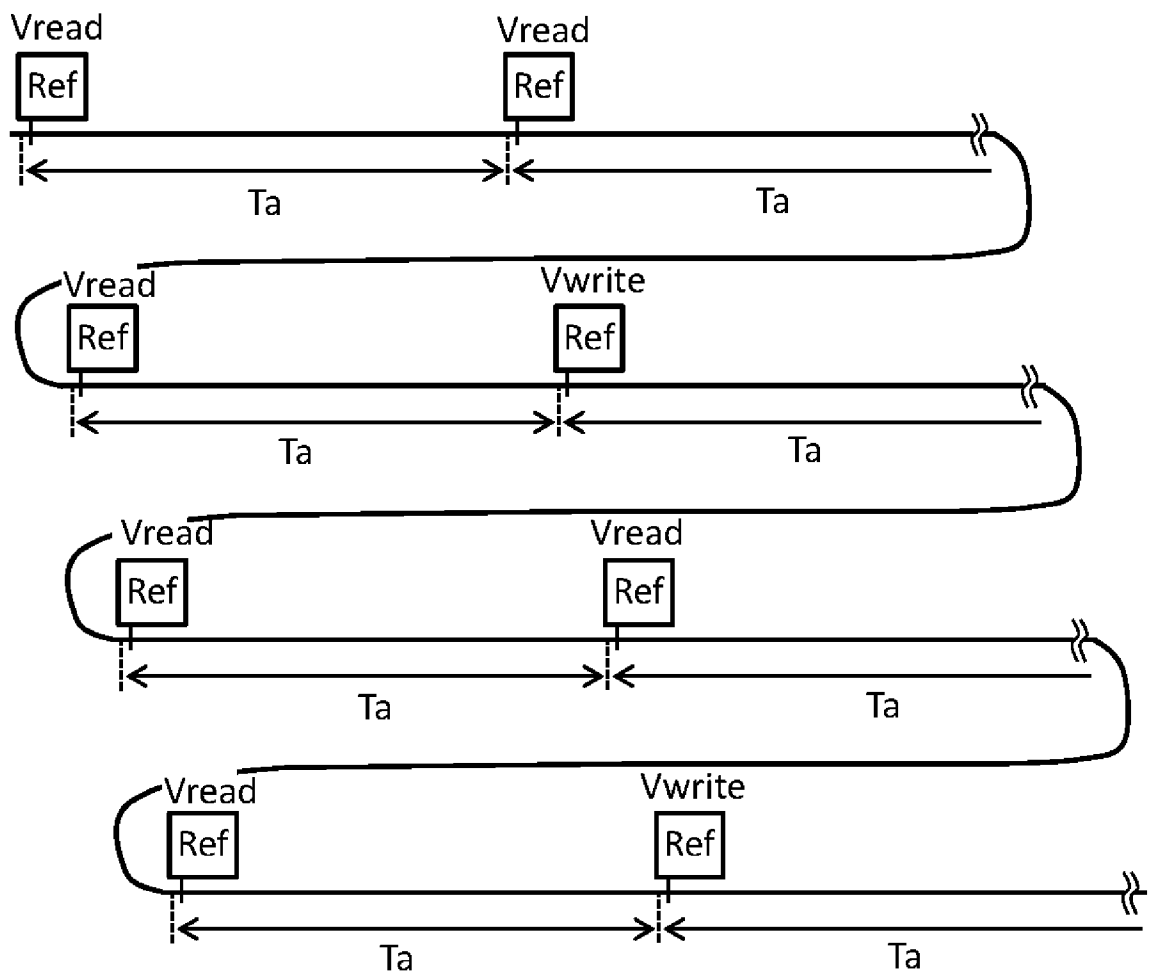
[図16]



[図17]



[図18]



[図19]

最適読み出し電圧	動作回数n
Vread_1	$n < 10^2$
Vread_2	$10^2 \leq n < 10^4$
Vread_3	$10^4 \leq n < 10^5$
Vread_4	$10^5 \leq n < 10^6$
Vread_5	$10^6 \leq n$

215C



[図20]

物理アドレス	読み出し電圧	書き込み電圧
0x000000040	Vread_a	Vwrite_a
0x000102CAB	Vread_b	Vwrite_b
0x0031CAABB	Vread_a	Vwrite_b
⋮	⋮	⋮
0x1F300FFA0	Vread_c	Vwrite_b

212A



[図21]

物理アドレス	動作回数n	リフレッシュ時刻t0	リフレッシュ周期Tr
0x000000040	n_a	t0_a	Ta
0x000102CAB	n_b	t0_b	Td
0x0031CAABB	n_c	t0_c	Tc
⋮	⋮	⋮	⋮

215A



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/005126

A. CLASSIFICATION OF SUBJECT MATTER*G11C 13/00*(2006.01)i; *G06F 12/00*(2006.01)n

FI: G11C13/00 340; G11C13/00 270F; G11C13/00 270C; G06F12/00 560B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C13/00; G06F12/00; G11C16/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-299621 A (TOSHIBA CORP.) 11 December 2008 (2008-12-11) paragraphs [0015]-[0063], [0067], fig. 1-4	1, 2, 6
Y		5
A		3, 4
Y	JP 2006-324625 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 30 November 2006 (2006-11-30) paragraphs [0072], [0073], [0134]-[0192], fig. 1, 10, 11	5
A	WO 2021/193050 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 30 September 2021 (2021-09-30) paragraphs [0035]-[0044], [0053]-[0068], fig. 2, 4-7	3, 4

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 April 2023

Date of mailing of the international search report

18 April 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/005126

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2008-299621	A	11 December 2008	US 2008/0301525 A1 paragraphs [0019]-[0067], [0072], fig. 1-4	
JP	2006-324625	A	30 November 2006	US 2008/0212359 A1 paragraphs [0113], [0114], [0245]-[0313], fig. 1, 10, 11 KR 10-2007-0120938 A CN 101164167 A	
WO	2021/193050	A1	30 September 2021	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 13/00(2006.01)i; G06F 12/00(2006.01)n FI: G11C13/00 340; G11C13/00 270F; G11C13/00 270C; G06F12/00 560B		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G11C13/00; G06F12/00; G11C16/34		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-299621 A（株式会社東芝）11.12.2008（2008 - 12 - 11） 段落[0015]-[0063],[0067]、図1-4	1, 2, 6
Y		5
A		3, 4
Y	JP 2006-324625 A（松下電器産業株式会社）30.11.2006（2006 - 11 - 30） 段落[0072],[0073],[0134]-[0192]、図1, 10, 11	5
A	WO 2021/193050 A1（ソニーセミコンダクタソリューションズ株式会社）30.09.2021 （2021 - 09 - 30） 段落[0035]-[0044],[0053]-[0068]、図2, 4-7	3, 4
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 07. 04. 2023		国際調査報告の発送日 18. 04. 2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 後藤 彰 5S 4226 電話番号 03-3581-1101 内線 3546

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/005126

引用文献			公表日	パテントファミリー文献	公表日
JP	2008-299621	A	11.12.2008	US 2008/0301525 A1 段落[0019]-[0067], [0072]、図1-4	
JP	2006-324625	A	30.11.2006	US 2008/0212359 A1 段落[0113], [0114], [0245]- [0313]、図1, 10, 11 KR 10-2007-0120938 A CN 101164167 A	
WO	2021/193050	A1	30.09.2021	(ファミリーなし)	