



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월15일  
(11) 등록번호 10-0846542  
(24) 등록일자 2008년07월09일

(51) Int. Cl.

G11C 11/15 (2006.01)

(21) 출원번호 10-2001-0052836

(22) 출원일자 2001년08월30일

심사청구일자 2006년08월30일

(65) 공개번호 10-2002-0041278

(43) 공개일자 2002년06월01일

(30) 우선권주장

JP-P-2000-00364543 2000년11월27일 일본(JP)

(56) 선행기술조사문헌

US05420819 A1

KR1019980024995 A

(73) 특허권자

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자

한자와사토루

일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루노우찌빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내

사카따다께시

일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루노우찌빌딩가부시키가이샤히타치세이사쿠쇼지적소유권본부내

(74) 대리인

구영창, 장수길

전체 청구항 수 : 총 9 항

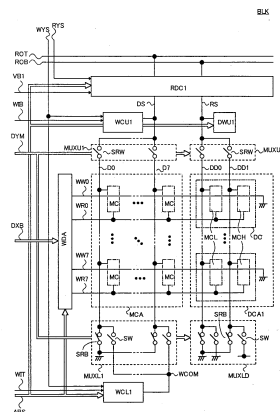
심사관 : 손윤식

(54) 반도체 장치

(57) 요약

복수의 워드선 WR0~WR7과 복수의 제1 데이터선 D0~D7의 교점에 설치되어, "1" 또는 "0" 중 어느 하나를 기억하기 위한 복수의 제1 메모리 셀 MC와, 복수의 워드선 WR0~WR7과 제1 더미 데이터선 DD0의 교점에 설치되어, "1"을 기억하기 위한 복수의 제1 더미 셀 MCH와, 상기 복수의 워드선 WR0~WR7과 제2 더미 데이터선 DD1의 교점에 설치되어, "0"을 기억하기 위한 복수의 제2 더미 셀 MCL을 포함하는 더미 셀.

대표도 - 도1



**특허청구의 범위**

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

#### 청구항 17

삭제

#### 청구항 18

삭제

#### 청구항 19

삭제

#### 청구항 20

삭제

#### 청구항 21

삭제

#### 청구항 22

삭제

#### 청구항 23

삭제

#### 청구항 24

반도체 장치에 있어서,

복수의 워드선과 복수의 제1 데이터선의 교점에 배치되고, 상기 복수의 제1 데이터선에 대하여 병렬로 접속되어, 제1 정보 및 제2 정보 중 어느 하나를 기억하기 위한 복수의 제1 메모리 셀;

상기 복수의 워드선과 제1 더미 데이터선의 교점에 배치되고, 상기 제1 더미 데이터선에 대하여 병렬로 접속되어, 상기 제1 정보를 기억하기 위한 복수의 제1 더미 셀;

상기 복수의 워드선과 제2 더미 데이터선의 교점에 배치되고, 상기 제2 더미 데이터선에 대하여 병렬로 접속되어, 상기 제2 정보를 기억하기 위한 복수의 제2 더미 셀;

상기 복수의 제1 데이터선의 한쪽 단부와 접속되는 제1 멀티플렉서;

상기 제1 및 제2 더미 데이터선의 한쪽 단부와 접속되는 제2 멀티플렉서;

상기 복수의 제1 데이터선의 다른 한쪽 단부와 접속되는 제3 멀티플렉서;

상기 제1 및 제2 더미 데이터선의 다른 한쪽 단부와 접속되는 제4 멀티플렉서; 및

상기 제1 및 제2 멀티플렉서와 접속되는 관독 회로

를 포함하고,

상기 복수의 제1 메모리 셀 중 임의의 것에 상기 제1 및 제2 정보 중 상기 어느 하나를 기입할 때, 상기 제1 멀티플렉서는, 상기 제3 멀티플렉서가 상기 복수의 제1 데이터선 중 하나에 제1 전위를 공급할 때에, 상기 복수의 제1 데이터선 중 하나에 상기 제1 전위보다 낮은 제2 전위를 공급하고, 상기 제3 멀티플렉서가 상기 복수의 제1 데이터선 중 하나에 상기 제2 전위를 공급할 때에, 상기 복수의 제1 데이터선 중 하나에 상기 제1 전위를 공급하는 반도체 장치.

#### 청구항 25

제24항에 있어서,

상기 판독 회로를 상기 제1 멀티플렉서에 접속하기 위한 제1 공통 데이터선; 및

상기 판독 회로를 상기 제2 멀티플렉서에 접속하기 위한 제2 공통 데이터선을 더 포함하고,

상기 판독 회로는, 상기 제1 공통 데이터선에 접속되는 제1 커런트 미러 회로, 상기 제2 공통 데이터선에 접속되는 제2 커런트 미러 회로, 상기 제1 커런트 미러 회로에 접속되는 제1 센스 데이터선, 상기 제2 커런트 미러 회로에 접속되는 제2 센스 데이터선, 및 상기 제1 및 제2 센스 데이터선에 접속되는 센스 앰프를 포함하는 반도체 장치.

#### 청구항 26

제25항에 있어서,

상기 제1 커런트 미러 회로는, 상기 제1 공통 데이터선을 따라 흐르는 전류가 상기 제1 센스 데이터선을 따라 흐르는 전류와 동일하도록 설정되고,

상기 제2 커런트 미러 회로는, 상기 제1 센스 데이터선을 따라 흐르는 전류가 상기 제2 공통 데이터선을 따라 흐르는 전류의 1/2이 되도록 설정되는 반도체 장치.

#### 청구항 27

제26항에 있어서,

상기 복수의 제1 메모리 셀 및 상기 복수의 제1 및 제2 터미 셀은 공통의 구조를 가지도록 형성되며, 자기 저항 효과를 이용하여 상기 제1 정보 또는 상기 제2 정보를 기억하는 반도체 장치.

#### 청구항 28

제24항에 있어서,

상기 복수의 워드선과 복수의 제2 데이터선의 교점에 배치되어, 상기 제1 정보 또는 상기 제2 정보를 기억하기 위한 복수의 제2 메모리 셀; 및

상기 복수의 제2 데이터선에 접속되는 제5 멀티플렉서를 더 포함하고,

상기 판독 회로는 상기 제5 멀티플렉서에 접속되며,

상기 제1 및 제2 터미 데이터선은 상기 복수의 제1 데이터선과 상기 복수의 제2 데이터선 사이에 개재되는 반도체 장치.

#### 청구항 29

제28항에 있어서,

상기 판독 회로를 상기 제1 멀티플렉서에 접속하기 위한 제1 공통 데이터선;

상기 판독 회로를 상기 제2 멀티플렉서에 접속하기 위한 제2 공통 데이터선; 및

상기 판독 회로를 상기 제5 멀티플렉서에 접속하기 위한 제3 공통 데이터선을 더 포함하고,

상기 판독 회로는, 상기 제1 공통 데이터선에 접속되는 제1 커런트 미러 회로, 상기 제2 공통 데이터선에 접속되는 제2 커런트 미러 회로, 상기 제3 공통 데이터선에 접속되는 제3 커런트 미러 회로, 상기 제1 커런트 미러 회로에 접속되는 제1 센스 데이터선, 상기 제2 커런트 미러 회로에 접속되는 제2 및 제3 센스 데이터선, 상기 제3 커런트 미러 회로에 접속되는 제4 센스 데이터선, 상기 제1 및 상기 제2 센스 데이터선에 접속되는 제1 센스 앰프, 및 상기 제3 및 제4 센스 데이터선에 접속되는 제2 센스 앰프를 포함하는 반도체 장치.

#### 청구항 30

제29항에 있어서,

상기 제1 커런트 미러 회로는, 상기 제1 공통 데이터선을 따라 흐르는 전류가 상기 제1 센스 데이터선을 따라 흐르는 전류와 동일하도록 설정되고,

상기 제2 커런트 미러 회로는, 상기 제2 및 제3 센스 데이터선을 따라 흐르는 전류가 상기 제2 공통 데이터선을

따라 흐르는 전류의 1/2이 되도록 설정되며,

상기 제3 커런트 미러 회로는, 상기 제3 공통 데이터선을 따라 흐르는 전류가 상기 제4 센스 데이터선을 따라 흐르는 전류와 동일하도록 설정되는 반도체 장치.

#### 청구항 31

제30항에 있어서,

상기 복수의 제1 및 제2 메모리 셀과 상기 복수의 제1 및 제2 더미 셀은, 공통의 구조로 형성되며, 자기 저항 효과를 이용하여 상기 제1 정보 또는 상기 제2 정보를 기억하는 반도체 장치.

#### 청구항 32

삭제

#### 청구항 33

삭제

#### 청구항 34

삭제

#### 청구항 35

삭제

#### 청구항 36

삭제

#### 청구항 37

삭제

#### 청구항 38

삭제

#### 청구항 39

삭제

#### 청구항 40

삭제

#### 청구항 41

삭제

#### 청구항 42

삭제

#### 청구항 43

삭제

#### 청구항 44

삭제

#### 청구항 45

삭제

#### 청구항 46

삭제

#### 청구항 47

삭제

#### 청구항 48

삭제

#### 청구항 49

삭제

#### 청구항 50

삭제

#### 청구항 51

제24항에 있어서,

상기 복수의 제1 메모리 셀, 상기 복수의 제1 및 제2 터미 셀은, 상기 제1 정보 및 상기 제2 정보 중 어느 하나를 기억하기 위한 기억 소자, 및 상기 기억 소자에 전류가 흐르지 흐르지 않을지를 선택하기 위한 선택 트랜지스터를 갖는 것을 특징으로 하는 반도체 장치.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <50> 본 발명은 반도체 장치에 관한 것으로, 특히, 자기 저항의 변화를 이용하여 정보를 기억하는 메모리 셀을 이용한 고집적의 메모리를 포함하는 반도체 장치에 관한 것이다.
- <51> 페로다이어렉트릭 메모리(FeRAM)나 플래쉬 메모리로 대표되는 비휘발성 메모리이면서, 기입 판독 횟수에 제한이 없는 메모리로서, 자기 저항식 랜덤 액세스 메모리(MRAM)의 개발이 이루어져 있다. MRAM은 자화의 방향으로 소자의 저항이 서로 다른 자기 저항 효과를 이용하여 정보를 기억한다. 최근, 자기 저항(MR)이라고 불리는 자기 저항 변화율이 종래의 소자보다도 큰 자기 터널 접합(MTJ) 소자의 개발과, 그 MRAM으로의 응용이 진행되어, SRAM(Static Random Access Memory) 수준의 고속 기입 판독 동작이 가능하고, DRAM 수준의 고 집적도를 실현할 수 있을 가능성이 시사되었다. 이 때문에, MRAM은 차세대 메모리의 유력 후보로서 더욱 주목을 받고 있다.
- <52> MTJ 소자는 도 3에 도시하는 바와 같이, 2개의 강자성체층 FRL과 FXL 사이에 절연막 TB가 삽입된 3층 구조이다. 절연막 TB는 터널 효과에 의해서 전자를 전도할 수 있을 정도로 얇게 형성되어 있다. 또한, 강자성체층 FXL의 자화의 방향이 화살표 AMF2에 도시하는 바와 같이 고정되어 있는데 대하여, 강자성체층 FRL의 자화의 방향은, 외부 자계에 의해 화살표 AMF1에 도시하는 바와 같이 제어된다. 단자 A, B 사이의 저항은, 2개의 강자성체층에 있어서의 자화의 방향에 따라서 변화되고, 같은 방향일 때는 저 저항 상태, 서로 반대 방향일 때는 고 저항 상태로 된다. 이러한 MTJ 소자를 적용한 MRAM은, 예컨대 IEEE 인터내셔널 솔리드 스테이트 서킷 컨퍼런스 다이제스트 오브 테크니컬 페이퍼즈 제128 페이지부터 제129 페이지(2000년)(IEEE International Solid-State Circuits Conference, DIGEST OF TECHNICAL PAPERS, pp. 128-129, 2000. 이하에서는 문헌 1로 표기함)나, 동 다이제스트 오브 테크니컬 페이퍼즈 제130 페이지부터 제131 페이지(이하에서는 문헌 2로 표기함)에 서술되어

있다. 어느 것에서나, 1개의 MTJ 소자와 1개의 트랜지스터가 직렬 접속된 구성을 메모리 셀의 기본 구성으로 되어 있다. 선택된 메모리 셀에서의 트랜지스터가 도통되면, MTJ 소자의 단자 사이에 전압이 인가되어, 자기 저항에 따라 데이터선을 거쳐 흐르는 전류를 검출함으로써 기억 정보가 판독된다.

<53> 도 4는 시간 T1에 있어서 MTJ 소자의 단자간에 전압을 인가함으로써 발생하는 전류를 나타내고 있다. 여기서는, MTJ 소자가 기억 정보 '0'을 유지하고 있는 경우에는 고 저항 상태, 기억 정보 '1'을 유지하고 있는 경우에는 저 저항 상태에 있는 것으로 한다. 이 때, 기억 정보 '1'을 유지하고 있는 메모리 셀을 판독하여 얻어지는 전류 ID(1)는, 기억 정보 '0'을 유지하고 있는 메모리 셀을 판독하여 얻어지는 전류 ID(0)보다도 크고, 모두 양의 값을 취한다. 이러한 MTJ 소자의 특성 때문에, MRAM은 판독 동작에 있어서, 2가지 문제점이 발생한다. 첫째로, 한쪽의 극성인 판독 신호로부터 기억 정보를 분별하기 위해서, 참조 신호가 필요하다는 점이다. 둘째로, MTJ의 MR이 수십 퍼센트이기 때문에 판독 신호량이 작아, 안정된 판독 동작이 어렵다는 점이다.

<54> 이들 문제를 해결하기 위해서, 문헌 1에서는 메모리 셀에 2개의 MTJ 소자와 2개의 트랜지스터로 구성되는 트윈 셀 방식을 채용하고 있다. 이 방식에서는 메모리 셀의 기억 정보에 따라 상보의 판독 신호가 얻어지므로, 정보의 분별이 용이하고, 신호량도 크다. 그러나, 메모리 셀 면적이 두배로 되기 때문에 대용량화에는 상대적으로 불리하게 될 것으로 예측된다. 이에 대하여 문헌 2에서는, 메모리 셀과 동일한 1개의 MTJ 소자와 1개의 트랜지스터로 구성되는 기준 셀을 워드선마다 배치하여 참조 신호를 발생하고 있다. 이 방식에서는, 메모리 어레이의 면적을 억제할 수 있는 반면, 각 메모리 셀에 발생하는 특성 격차를 고려하면서, 정밀도 있게 참조 신호를 발생하는 기준 셀을 형성하는 것이 상대적으로 곤란할 것으로 예측된다. 또한, 기준 셀이나 기준 셀이 접속되는 데이터선에 단선, 단락 등 어떠한 불량도 발생한 경우에, 참조 신호가 발생하지 않기 때문에 복수의 메모리 셀의 기억 정보를 판독할 수 없어, 수율 저하의 원인이 될 가능성이 있다. 본 발명은 이상의 검토 결과에서 생긴 것이다.

### 발명이 이루고자 하는 기술적 과제

<55> 본 발명의 첫번째 과제는, 정밀도 있게 참조 신호를 발생하는 더미 셀을 제공하여, 1개의 MTJ 소자와 1개의 트랜지스터로 구성되는 메모리 셀에 유지된 기억 정보를 정확히 판독하는 것이다. 둘째로, 메모리 셀과 더미 셀의 쌍방을 치환 가능한 구제 방식을 제공하는 것이다. 셋째로, 고속이고, 집적도와 신뢰성이 높은 대용량 MRAM을 실현하는 데에 있다.

<56> 상기 목적을 달성하기 위한 본 발명의 대표적인 수단의 특징은, 메모리 셀을 1개의 MTJ 소자와 1개의 트랜지스터로 구성하고, 상보의 기억 정보를 유지한 2개의 메모리 셀을 병렬 접속한 구성을 더미 셀로 한다. 이 더미 셀은, 워드선 쌍마다 배치된다. 메모리 셀에 흐르는 전류를 미러비 1:1의 커런트 미러 회로에서 수신하여 판독 신호를 발생하는데 대하여, 더미 셀에 흐르는 전류를 미러비 2:1의 커런트 미러 회로에서 수신하여 평균 전류를 발생시킴으로써, 참조 신호를 발생하는데에 있다.

### 발명의 구성 및 작용

<57> <실시예 1>

<58> 1개의 MTJ 소자와 1개의 트랜지스터로 구성되는 메모리 셀을 갖는 MRAM에 대하여, 이하의 실시예에 따라서 본 발명을 설명한다. 후술하지만, 도 13은 본 발명을 이용한 동기식 메모리의 일례이다. 또한, 도 12는 도 13에 나타내는 메모리 어레이 MAR의 일례를 나타낸 것이다.

<59> 또한, 도 1은 도 12에 있어서의 메모리 블록 BLK의 일례를 도시하는 것으로, 워드 드라이버 어레이 WDA의 한쪽에 메모리 셀 어레이 MCA와 더미 셀 어레이 DCA1이 배치된 구성의 예이다. 메모리 블록 BLK는, 또한 멀티플렉서 MUXU1, MUXL1, MUXUD, MUXLD, 기입 회로 WCU1, WCL1, 더미 기입 회로 DWU1, 판독 회로 RDC1을 갖는다. 본 실시예에 따른 메모리 블록의 특징은, 메모리 셀 MC와 동일한 구조의 2개의 메모리 셀 MCL, MCH를 병렬로 배치한 더미 셀 DC를 각 워드선 쌍에 배치하고, 상보의 정보를 각각 유지한 2개의 셀 MCL, MCH를 활성화함으로써 참조 신호를 발생하는 점에 있다. 이하에서는, 각 회로 블록에 대하여 설명한다.

<60> 메모리 셀 어레이 MCA는 8×8 비트의 메모리 셀 MC를 갖는 구성예가 나타내어져 있고, 메모리 셀 MC는 복수(여기서는 8세트)의 워드선 쌍과 복수(여기서는 8개)의 데이터선 Dj(j=0, ..., 7)의 교점에 각각 배치된다. 더미 셀 어레이 DCA1은, 메모리 셀 어레이 MCA의 구성에 따라 8×1 비트의 더미 셀 DC를 갖는다. 더미 셀 DC는, 복수의 워드선 쌍과 더미 데이터선 DD0, DD1의 교점에, 메모리 셀 MC와 동일한 구조의 2개의 메모리 셀 MCL, MCH를 각각 배치한 구성으로 한다.

- <61> 워드 드라이버 어레이 WDA는, 후술하는 복수(여기서는 8개)의 워드 드라이버로 구성되고, 로우 디코드 어드레스 DXB와 어레이 제어 버스 ABS에 따라 복수의 워드선 쌍을 구동한다. 복수의 워드선 쌍은 판독 워드선 WRk(k=0, ..., 7) 및 기입 워드선 WWk(k=0, ..., 7)으로 각각 구성되고, 기입 워드선 WWk는 원단(遠端)에서 접지된다. 여기서, 로우 디코드 어드레스 DXB는 복수의 로우 디코드 신호 XBk(k=0, ..., 7)로 구성된다. 또한, 어레이 제어 버스 ABS는 역할이 다른 복수개의 신호로 구성되며, 각 회로 블록마다 필요에 따른 신호가 접속되어 있는 것으로 한다. 어레이 제어 버스 ABS의 내용에 관해서는, 회로 블록의 구체적인 회로 구성으로 각각 설명한다.
- <62> 멀티플렉서 MUXU1, MUXL1은 메모리 셀 어레이 MCA의 양단에 각각 배치되고, 서로 쌍을 이루어 동작한다. 한쪽의 멀티플렉서 MUXU1은, 공통 데이터선 DS와 복수의 데이터선 Dj 사이에 배치된 복수개(여기서는 8개)의 스위치 SRW(이하, 간단하게 하기 위해 멀티플렉서 내의 스위치를 단지 스위치라고 부르지만, 다른 스위치와 구별하기 위해서 컬럼 스위치라고 불러도 좋음)로 구성되고, 입력된 컬럼 디코드 어드레스 DYM에 따라서, 선택하는 데이터선 D와 공통 데이터선 DS를 접속한다. 다른 쪽의 멀티플렉서 MUXL1은, 접지 전위 VSS와 복수의 데이터선 Dj 사이에 배치된 복수개(여기서는 8개)의 스위치 SRB와, 기입 공통 노드 WCOM과 복수의 데이터선 Dj 사이에 배치된 복수개(여기서는 8개)의 스위치 SW로 구성된다. 전자의 스위치 SRB는, 입력된 컬럼 디코드 어드레스 DYM에 따라서, 선택하는 데이터선 D와 접지 전위 VSS의 접속을 차단하고, 후자의 스위치 SW는, 선택하는 데이터선 D와 기입 공통 노드 WCOM을 접속한다.
- <63> 멀티플렉서 MUXUD, MUXLD는 더미 셀 어레이 DCA1의 양단에 각각 배치되고, 서로 쌍을 이루어 동작한다. 한쪽의 멀티플렉서 MUXUD는, 공통 데이터선 RS와 더미 데이터선 DD0, DD1 사이에 배치된 2개의 스위치 SRW로 구성되고, 입력된 컬럼 디코드 어드레스 DYM에 따라서, 더미 데이터선 DD0, DD1과 공통 데이터선 RS를 접속한다. 다른 쪽의 멀티플렉서 MUXLD는, 접지 전위 VSS와 더미 데이터선 DD0, DD1 사이에 배치된 2개의 스위치 SRB와, 접지 전위 VSS와 더미 데이터선 DD0 및 전원 전압 VDD와 더미 데이터선 DD1 사이에 배치된 2개의 스위치 SW로 구성된다. 전자의 스위치 SRB는, 입력된 컬럼 디코드 어드레스 DYM에 따라서, 더미 데이터선 DD0, DD1과 접지 전위 VSS의 접속을 차단한다. 후자의 스위치 SW는, 입력된 컬럼 디코드 어드레스 DYM에 따라서, 더미 데이터선 DD0과 접지 전위 VSS, 더미 데이터선 DD1과 전원 전압 VDD를 각각 접속한다. 스위치 SRW, SRB, SW는, 동 도면에서는 모식적으로 기호로 나타내고 있지만, 실제로는 예컨대 NMOS 트랜지스터로 구성되고, 소스-드레인간의 전류 경로의 유무에 따라서 결선 상태가 제어된다.
- <64> 기입 회로 WCU1, WCL1은, 멀티플렉서 MUXU1, MUXL1의 더 외측에 각각 배치되고, 이들은 서로 쌍을 이루어 동작한다. 기입 회로 WCU1은, 입력된 컬럼 선택 신호 WYS, 기입 데이터선 WIB, 어레이 제어 버스 ABS에 따라 공통 데이터선 DS를 구동하고, 기입 회로 WCL1은, 입력된 컬럼 선택 신호 WYS, 기입 데이터선 WIT, 어레이 제어 버스 ABS에 따라 기입 공통 노드 WCOM을 구동한다. 또한, 더미 기입 회로 DWU1은, 기입 회로 WCU1에 따라 멀티플렉서 MUXUD의 더 외측에 배치되고, 어레이 제어 버스 ABS에 따라 공통 데이터선 RS를 구동한다.
- <65> 판독 회로 RDC1은, 입력된 어레이 제어 버스 ABS와 바이어스 전압 VB1에 따라서 메모리 셀 및 더미 셀로 전원을 공급하고, 공통 데이터선 DS, RS에 발생한 판독 신호를 검출 및 증폭하며, 또한 컬럼 선택 신호 RYS에 따라서, 판독 데이터선 ROT, ROB를 판독한 데이터에 따른 전위로 구동한다.
- <66> 다음에, 메모리 셀 MC의 회로 구성에 대하여 도 2에 따라서 설명한다. 좌측 도면은 도 1에 도시한 메모리 셀 MC의 블록 기호이며, 구체적으로는 우측 도면에 도시하는 바와 같이, 저항의 회로 기호로 나타낸 1개의 MTJ 소자(MTJ)와 1개의 NMOS 트랜지스터 N1로 구성되어 있다. 단자 A, B는 도 3에 나타낸 MTJ 소자의 단면에서의 단자에 대응하고, 단자 A가 데이터선 Dj, 단자 B가 NMOS 트랜지스터 N1의 드레인에 각각 접속된다. 또한, 트랜지스터 N1의 소스가 접지되고, 게이트가 판독 워드선 WRk와 접속된다. 도 3에서는 생략되어 있지만, 기입 워드선 WRk는 강자성체층 FXL의 하부에 층간 절연막을 통해 입체적으로 형성된다. 한쪽, 데이터선 Dj는 강자성체층 FRL 상에 형성되어 서로 접속된다.
- <67> 이러한 구성에 있어서의 메모리 셀의 동작은, 아래와 같이 실행한다. 우선, 판독 동작의 경우, 기입 워드선 WWk가 접지 전위 VSS로 유지되고, 판독 워드선 WRk가 전원 전압 VDD으로 구동되면, 트랜지스터 N1이 도통함으로써 데이터선 Dj와 접지 전위 VSS 사이에 전류 경로가 형성되어, 데이터선 Dj 상에 전류가 출력된다. 다음에, 기입 동작의 경우, 판독 워드선 WRk가 접지 전위 VSS로 유지되어 트랜지스터 N1이 오프 상태를 유지하고, 기입 워드선 WWk에 화살표 AWW의 방향으로 전류가 흐름으로써, 제2의 자계가 발생한다. 또한, 데이터선 Dj에, 기입 데이터에 따라 화살표 ADL 또는 ADH의 방향으로 전류가 흐르는 것에 의해, 제2 또는 제3의 자계가 각각 발생한다. 전류의 방향이 서로 다르기 때문에, 암페어의 법칙으로부터 제2, 제3의 자계는 서로 반대 방향이다. 따라서, 기입 워드선 WWk와 데이터선 Dj의 교점에 배치된 메모리 셀에 있어서, 기입 데이터에 따라 방향이 다른 제1



및 제2의 합성 자계가 각각 발생하여, 도 3에 도시한 강자성체층 FRL의 자화 방향 AMF1이 제어된다. 이하에서는, 메모리 셀의 기억 정보는, MTJ 소자가 저 저항 상태에서 "1", MTJ 소자가 고 저항 상태에서 "0"으로 한다. 기억 정보 '1'을 기입하는 경우, 데이터선 Dj에 화살표 ADL의 방향으로 전류가 흐르고, 제2의 자계가 발생함으로써, 제1의 합성 자계가 발생한다. 그 결과, 강자성체층 FRL, FXL의 자화 방향이 서로 평행으로 되어, MTJ 소자가 저 저항 상태로 된다. 이에 대하여 기억 정보 '0'을 기입하는 경우, 데이터선 Dj에 화살표 ADH의 방향으로 전류가 흐르고, 제3의 자계가 발생함으로써, 제2의 합성 자계가 발생한다. 그 결과, 강자성체층 FRL, FXL의 자화 방향이 서로 반대 방향으로 되어, MTJ 소자가 고 저항 상태로 된다. 또한, 더미 셀 DC에서의 메모리 셀 MCL은 저 저항 상태, MCH는 고 저항 상태에 있는 것으로 한다.

<68> 도 5는 판독 회로 RDC1의 회로 구성을 나타내고 있고, 컬럼 선택 회로 YSW1, 프리차지 회로 PCEQ, 센스 앰프 SA, 커런트 미러 회로 CM 및 CMD1, 바이어스 회로 BC1로 구성된다. 또한, 도 1에 도시한 어레이 제어 버스 ABS 중에서, 프리차지 인에이블 신호 EQ, 센스 앰프 기동 신호 SDP, 판독 제어 신호 REB가 각각 입력되고, 또한 컬럼 선택 신호 RYS가 입력된다. 우선, 각 회로의 구성에 대하여 설명한다.

<69> 프리차지 회로 PCEQ는 NMOS 트랜지스터 N71, N72, N73으로 구성되어 있다. 각각의 게이트와 접속된 프리차지 인에이블 신호 EQ가 전원 전압 VDD로 구동되면, 모든 트랜지스터가 도통해서, 센스 데이터선 DT, DB를 접지 전위 VSS에 프리차지한다. 이 때, 트랜지스터 N73에 의해서, 센스 데이터선 DT, DB의 전위를 동일하게 하는 효과가 얻어진다.

<70> 센스 앰프 SA는, PMOS 트랜지스터 P81, P82와 NMOS 트랜지스터 N81, N82로 구성되는 크로스 커플형 래치 회로와, 전원 차단용의 스위치인 PMOS 트랜지스터 P83으로 구성된다. 트랜지스터 P83의 게이트와 접속된 센스 앰프 기동 신호 SDP가 접지 전위 VSS로 구동되면, 트랜지스터 P83이 도통하여, 전원 전압 VDD가 트랜지스터 P81, P82의 소스로 공급된다. 이렇게 하여 센스 앰프를 활성화함으로써, 센스 데이터선 DT, DB에 발생한 미소 전위차를 증폭할 수 있다. 여기서, 대기시의 센스 데이터선 DT, DB는, 프리차지 회로 PCEQ에 의해서 접지 전위 VSS에 프리차지되기 때문에, 트랜지스터 N81, N82의 게이트-소스간 전압은 각각 0V로 된다. 따라서, 트랜지스터 N81, N82이 오프 상태에 있기 때문에, 접지 전위 VSS 측에는, 스위치용 트랜지스터를 설치하지 않고서, 레이아웃 면적을 저감하고 있다.

<71> 컬럼 선택 회로 YSW1은 NMOS 트랜지스터 N91, N92로 구성되고, 게이트에 컬럼 선택 신호 RYS가 각각 입력된다. 또한, 트랜지스터 N91의 소스는 센스 데이터선 DT, 드레인은 판독 데이터선 ROT에 각각 접속된다. 또한, 트랜지스터 N92의 소스는 센스 데이터선 DB, 드레인은 판독 데이터선 ROB에 각각 접속된다. 이러한 구성에 의해, 센스 데이터선 DT, DB에 판독된 데이터를 판독 데이터선 ROT, ROB로 선택적으로 출력할 수 있다.

<72> 커런트 미러 회로 CM은, PMOS 트랜지스터 P41, P42, P43, P44로 구성되어 있다. 트랜지스터 P41, P42의 게이트와 트랜지스터 P41의 드레인을 내부 공통 데이터선 NDS와 접속하고, 트랜지스터 P42의 드레인을 센스 데이터선 DT와 접속한다. 또한, 트랜지스터 P43, P44는, 소스에 전원 전압 VDD, 게이트에 판독 제어 신호 REB를 각각 입력한 전원 제어용 스위치이며, 트랜지스터 P41, P42와 각각 직렬 접속된다. 따라서, 전원 전압 VDD로 되어 있는 판독 제어 신호 REB가 접지 전위 VSS로 구동되면, 트랜지스터 P43, P44가 도통해서 커런트 미러 회로 CM이 활성화된다. 여기서, 트랜지스터 P41, P42의 게이트를 각각 동일한 치수로 형성하고, 또한 트랜지스터 P43, P44의 게이트를 각각 동일한 치수로 형성함으로써, 미러비 1:1의 커런트 미러 회로를 형성한다. 따라서, 트랜지스터 P41의 소스-드레인 사이에 흐르는 전류와 동일한 값의 전류를, 트랜지스터 P42로 흘려보낼 수 있다.

<73> 커런트 미러 회로 CMD1은, PMOS 트랜지스터 P51, P52, P53, P54, P55, P56로 구성된다. 트랜지스터 P51, P53, P54, P56이 커런트 미러 회로 CM에서의 트랜지스터 P41, P42, P43, P44에 각각 대응한다. 트랜지스터 P51, P52, P53의 게이트와 트랜지스터 P51, P52의 드레인을 내부 공통 데이터선 NRS와 접속하고, 트랜지스터 P53의 드레인을 센스 데이터선 DB와 접속한다. 또한, 트랜지스터 P54, P55, P56은, 소스에 전원 전압 VDD, 게이트에 판독 제어 신호 REB를 각각 입력한 전원 제어용 스위치이며, 트랜지스터 P51, P52, P53과 각각 직렬 접속된다. 따라서, 전원 전압 VDD로 되어 있는 판독 제어 신호 REB가 접지 전위 VSS로 구동되면, 트랜지스터 P54, P55, P56이 도통해서 커런트 미러 회로 CMD1이 활성화된다. 여기서, 트랜지스터 P51, P52, P53의 게이트를 트랜지스터 P41, P42와 각각 동일한 치수로 형성하고, 또한 트랜지스터 P54, P55, P56의 게이트를 트랜지스터 P43, P44와 각각 동일한 치수로 형성하여, 트랜지스터 P51, P52, P53의 소스-드레인 사이에 흐르는 전류값을 동일하게 함으로써, 미러비 2:1의 커런트 미러 회로를 형성한다. 따라서, 내부 공통 데이터선 NRS에 흐르는 전류의 절반 값의 전류를 센스 데이터선 DB에 흘려보낼 수 있다. 이 전류는, 도 4에 도시하는 바와 같이 기억 정보 '1' 또는 '0'을 유지하는 메모리 셀에 흐르는 전류 ID(1) 혹은 ID(0)의 거의 중간값으로 되는 전류 IREF이다.

<74> 바이어스 회로 BC1은 NMOS 트랜지스터 N61, N62로 구성되고, 트랜지스터 N61의 드레인과 소스에 내부 공통 데이터선 NDS와 공통 데이터선 DS를 각각 접속하고, 트랜지스터 N62의 드레인과 소스에 내부 공통 데이터선 NRS와 공통 데이터선 RS를 각각 접속한다. 또한, 트랜지스터 N61, N62의 게이트로 바이어스 전압 VB1을 각각 인가한다. 바이어스 전압 VB1은, 문헌 1의 도 7.2.5에 도시되어 있는 바와 같은 바이어스 제어 회로에 의해서 발생되어, 공통 데이터선 DS와 접지 전위 VSS 사이의 전위차가 기준 전압 Vref로 되도록 제어한다. 기준 전압 Vref는, MTJ 소자(MTJ)로 인가되는 전압이 높아지지 않도록 저 전압으로 고정되어 있고, 공통 데이터선 DS와 접지 전위 VSS 사이의 전위차가 일정한 낮은 값으로 유지된다. 따라서, MTJ 소자(MTJ)가 전압 의존성을 가지고, 인가 전압의 증가에 따라 MR가 감소하는 경우에도, 안정된 MR 값이 얻어지도록 제어할 수 있다.

<75> 여기서, 트랜지스터 N62의 게이트 길이를 트랜지스터 N61과 동일한 길이로 하고, 게이트 폭을 트랜지스터 N61의 두배로 형성함으로써, 트랜지스터 N62의 온 저항을 트랜지스터 N61의 1/2로 하였다. 또한, 내부 공통 데이터선 NRS의 배선 길이를 내부 공통 데이터선 NDS와 동일하게 하고, 내부 공통 데이터선 NRS의 배선 폭을 내부 공통 데이터선 NDS의 두배가 되도록 형성한다. 또한, 공통 데이터선 RS의 배선 길이를 공통 데이터선 DS와 동일하게 하고, 공통 데이터선 RS의 배선 폭을 공통 데이터선 DS의 두배로 형성함으로써, 전원 전압 VDD와 공통 데이터선 RS 사이의 배선 용량을, 전원 전압 VDD와 공통 데이터선 DS 사이의 두배, 배선 저항을 1/2로 한다. 이러한 바이어스 회로 BC1의 구성에 의해, 메모리 셀 MC 및 더미 셀 DC에서의 인가 전압을 동일하게 할 수 있다. 또한, 더미 셀 DC에서의 메모리 셀 1개당의 부하 용량이나 저항을, 메모리 셀 MC에 대한 부하 용량이나 저항과 동일하게 할 수 있어, 기억 정보에 따라 메모리 셀 MC에 흐르는 전류와 동일한 값의 전류를 더미 셀에서의 상보 메모리 셀 MCL, MCH로 각각 흘려보낼 수 있다.

<76> 다음에, 판독 회로 RDC1에 의한 참조 신호 발생 기구에 대하여 설명한다. 여기서, 공통 데이터선 DS, RS에 흐르는 전류를 각각 IDS, IRS로 나타내고, MTJ 소자(MTJ)가 저 저항 상태에 있을 때에 흐르는 전류를 IDS(1)로 나타낸다. 또한, 메모리 셀이 기억 정보 '0'을 유지하고 있고, MTJ 소자(MTJ)가 고 저항 상태에 있을 때에 흐르는 전류를 IDS(0)로 나타낸다. 전류 IDS(1)는, IDS(0)보다도 큰 값이다. 또한, 공통 데이터선 RS에 흐르는 전류 IRS은, 상보의 기억 정보를 유지하고 있는 2개의 메모리 셀 MCH, MCL이 접속된 더미 데이터선 DD0 및 DD1에 흐르는 전류의 합계로 되기 때문에,

### 수학식 1

<77>  $IRS = IDS(0) + IDS(1)$

<78> 로 나타낼 수 있다.

<79> 이상의 기호를 이용하면, 도 5에 도시한 한쪽의 커런트 미러 회로 CM은, 공통 데이터선 DS에 흐르는 전류와 동일한 값의 전류 IDS(1) 또는 IDS(0)에 의해 센스 데이터선 DT를 충전한다. 다른 쪽의 커런트 미러 CMD1 회로는, 공통 데이터선 RS에 흐르는 전류의 절반값의 전류 IRS/2에 의해 센스 데이터선 DB를 충전한다. 이 전류 IRS/2는, 기억 정보에 따라 메모리 셀 MC에 흐르는 전류의 평균치이며, 도 4에 나타낸 바와 같은 관계의 참조 신호 IREF에 상당한다. 여기서, 센스 데이터선 DT, DB의 부하 용량이 동일한 것으로 하여 CD로 나타내고, 커런트 미러 회로에 흐르는 전류의 전원 전압 VDD와 센스 데이터선 사이에서의 전압 의존성을 무시할 수 있을 정도로 작다고 가정한다. 또한, 커런트 미러 회로에 흐르는 전류는, 설명의 편의상 활성화된 직후에서 일정한 값이라고 가정하면, 기억 정보 '1'을 판독하는 경우의 센스 데이터선 DT의 전압 VDT(1)은,

### 수학식 2

<80>  $VDT(1) = (IDS(1) \times T) / CD$

<81> 로 나타낼 수 있다.(여기서, T는 커런트 미러 회로가 활성화되고 나서의 시간을 나타냄). 이에 대하여, 센스 데이터선 DB의 전압 VDB는 수학식 1로부터,

### 수학식 3

<82> 
$$VDB = [(IRS/2) \times T] / CD$$
  

$$= [(IDS(0) + IDS(1)) \times T] / (2 \times CD)$$

<83> 로 나타낼 수 있다. 수학식 2, 수학식 3으로부터, 기억 정보 '1'을 판독하는 경우의 판독 신호  $\Delta V1$ 은,

**수학식 4**

$$\Delta V1 = VDT(1) - VIB$$

$$= [(IDS(0) - IDS(1)) \times T] / (2 \times CD)$$

&lt;84&gt;

<85> 로 나타낼 수 있다. 또한, 기억 정보 '0'을 판독하는 경우에 있어서의 센스 데이터선 DT의 전압 VDT(0)은,

**수학식 5**

$$VDT(0) = (IDS(0) \times T) / CD$$

&lt;86&gt;

<87> 로 나타낼 수 있다. 따라서, 수학식 3 및 수학식 5로부터, 기억 정보 '0'을 판독하는 경우의 판독 신호  $\Delta V0$ 은,

**수학식 6**

$$\Delta V0 = VDT(0) - VIB$$

$$= -[(IDS(0) - IDS(1)) \times T] / (2 \times CD)$$

&lt;88&gt;

<89> 로 나타낼 수 있다.

<90> 이상으로부터, 미러비 2:1의 커런트 미러 회로 CMD1을 이용하여, 양의 2값의 판독 신호 IDS(1), IDS(0)의 중간 값으로 참조 신호 IRS를 발생시킴으로써, 수학식 4 및 수학식 6에 나타낸 바와 같은 음양의 판독 신호를 발생시킬 수 있다. 따라서, 기억 정보 '1'을 판독하는 경우, 센스 데이터선 DT와 DB의 전위차가 커짐에 따라서, 센스 앰프 SA에서의 트랜지스터 N81과 P82의 구동 능력이 커지고, 센스 데이터선 DT가 전원 전압 VDD, 센스 데이터선 DB가 접지 전위 VSS로 각각 구동된다. 또한, 기억 정보 '0'을 판독하는 경우, 센스 데이터선 DT와 DB의 전위차가 커짐에 따라서, 센스 앰프 SA에서의 트랜지스터 P81과 N82의 구동 능력이 커지고, 센스 데이터선 DT가 접지 전위 VSS, 센스 데이터선 DB가 전원 전압 VDD로 각각 구동된다. 이와 같이, 음양의 판독 신호에 따라 센스 데이터선 DT, DB를 전원 전압 VDD 또는 접지 전위 VSS로 증폭함으로써, 기억정보의 분별을 할 수 있다.

<91> 도 6은 도 1에 나타낸 멀티플렉서 MUXU1, MUXL1, MUXUD, MUXLD, 기입 회로 WCU1, WCL1, 더미 기입 회로 DWU1의 회로 구성예를 나타내고 있다. 이하에서는 우선, 멀티플렉서 MUXU1, MUXL1, MUXUD, MUXLD에 대하여 설명한다. 멀티플렉서 MUXU1은, 도 1에 도시한 스위치 SRW에 대응하는 8개의 선반 OS 트랜지스터 N11j(j=0, 1, ..., 7)로 구성된다. 트랜지스터 N11j의 게이트에는 대응하는 컬럼 어드레스 신호 YMTj(j= 0, 1, ..., 7)가 입력된다. 멀티플렉서 MUXL1은, 도 1에 도시한 스위치 SRB에 대응하는 8개의 NMOS 트랜지스터 N13j(j=0, 1, ..., 7)와, 도 1에 도시한 스위치 SW에 대응하는 8개의 NMOS 트랜지스터 N14j(j=0, 1, ..., 7)로 구성된다. 트랜지스터 N13j의 게이트에는 대응하는 컬럼 어드레스 신호 YMBj(j=0, 1, ..., 7), 트랜지스터 N14j의 게이트에는 대응하는 컬럼 어드레스 신호 YMWj(j=0, 1, ..., 7)가 각각 입력된다. 여기서, 컬럼 어드레스 신호 YMTj, YMBj, YMWj의 각각은, 도 1에 나타낸 컬럼 디코드 어드레스 DYM 중의 신호이며, 동작에 따라 데이터선 Dj의 결선 상태를, 다음과 같이 제어한다.

<92> 우선, 대기 상태의 경우, 컬럼 어드레스 신호 YMTj, YMWj가 접지 전위 VSS, 컬럼 어드레스 신호 YMBj가 전원 전압 VDD로 각각 유지되고, 트랜지스터 N11j, N14j가 오프 상태, 트랜지스터 N13j가 온 상태로 됨으로써, 각 데이터선 D를 접지한다. 다음에, 예컨대 데이터선 D0이 선택된 판독 동작의 경우, 컬럼 어드레스 신호 YMT0가 전원 전압 VDD, 컬럼 어드레스 신호 YMB0, YMW0가 접지 전위 VSS로 각각 구동되어, 트랜지스터 N110가 온 상태, 트랜지스터 N130, N140이 오프 상태로 됨으로써, 데이터선 D0을 공통 데이터선 DS와 접속한다. 따라서, 메모리 셀 MC에 흐르는 전류를 공통 데이터선 DS로 출력할 수 있다. 또한, 예컨대 데이터선 D0이 선택된 기입 동작인 경우, 컬럼 어드레스 신호 YMT0, YMW0가 전원 전압 VDD, 컬럼 어드레스 신호 YMB0가 접지 전위 VSS로 각각 구동되어, 트랜지스터 N110, N140이 온 상태, 트랜지스터 N130이 오프 상태로 됨으로써, 데이터선 D0을 공통 데이터선 DS 및 기입 공통 노드 WCOM과 접속한다. 따라서, 선택한 데이터선에 전류 경로를 형성할 수 있다.

<93> 멀티플렉서 MUXUD는, 도 1에 도시한 스위치 SRW에 대응하는 2개의 NMOS 트랜지스터 N120, N121로 구성된다. 트랜지스터 N120, N121의 게이트에는 컬럼 어드레스 신호 YMDT가 입력된다. 멀티플렉서 MUXLD는, 도 1에 도시한 스위치 SRB에 대응하는 2개의 NMOS 트랜지스터 N150, N151과, 도 1에 도시한 스위치 SW에 대응하는 2개의 NMOS 트랜지스터 N190, N191로 구성된다. 트랜지스터 N150, N151의 게이트에는 컬럼 어드레스 신호 YMDB, 트랜지스

터 N190, N191의 게이트에는 컬럼 어드레스 신호 YMDW가 각각 입력된다. 여기서, 컬럼 어드레스 신호 YMDT, YMDB, YMDW 각각은, 도 1에 나타난 컬럼 디코드 어드레스 DYM 내의 신호이며, 동작에 따라 더미 데이터선 DD0, DD1의 결선 상태를, 다음과 같이 제어한다.

<94> 우선, 대기 상태의 경우, 컬럼 어드레스 신호 YMDT, YMDW가 접지 전위 VSS, 컬럼 어드레스 신호 YMDB가 전원 전압 VDD로 각각 유지되고, 트랜지스터 N120, N121, N190, N191이 오프 상태, 트랜지스터 N150, N151이 온 상태로 됨으로써, 더미 데이터선 DD0, DD1을 접지한다. 다음에 판독 동작의 경우, 데이터선 Dj 중의 하나가 선택되는데 따라서, 컬럼 어드레스 신호 YMDT가 전원 전압 VDD, 컬럼 어드레스 신호 YMDB, YMDW가 접지 전위 VSS로 각각 구동되고, 트랜지스터 N120, N121이 온 상태, 트랜지스터 N150, N151, N190, N191이 오프 상태로 됨으로써, 더미 데이터선 DD0 및 DD1을 공통 데이터선 RS와 접속한다. 따라서, 더미 셀 DC에 흐르는 전류를 공통 데이터선 RS로 출력할 수 있다. 또한, 기입 동작의 경우, 컬럼 어드레스 신호 YMDT, YMDW가 전원 전압 VDD, 컬럼 어드레스 신호 YMDB가 접지 전위 VSS로 각각 구동되어, 트랜지스터 N120, N121, N190, N191이 온 상태, 트랜지스터 N150, N151이 오프 상태로 됨으로써, 전원 전압 VDD와 접지 전위 VSS의 사이에, 더미 데이터선 DD1로부터 공통 데이터선 RS 및 더미 데이터선 DD0을 거치는 전류 경로를 형성한다. 따라서, 더미 데이터선 DD0, DD1에 흐르는 전류의 방향이 각각 화살표 ADL, ADH의 방향으로 되기 때문에, 도 2에서 설명한 바와 같이 더미 셀 DC에 상보의 기억 정보를 동시에 기입할 수 있다. 여기서, MTJ 소자에 기입된 자계의 방향은, 인가 전압을 0V로 하여도 일반적으로 변하지 않기 때문에, 칩의 전원이 꺼진 경우에도 유지된다. 따라서, 더미 셀의 기입 동작은, 예컨대 출하 전의 테스트시에, 초기화 동작으로서 한번 실행하면 충분하다.

<95> 다음에, 도 6에 따라서, 기입 회로 WCU1, WCL1, 더미 기입 회로 DWU1의 회로 구성예를 설명한다. 우선, 기입 회로 WCU1은, PMOS 트랜지스터 P161, P162, P163 및 NMOS 트랜지스터 N161, N162, N163, N164으로 구성되고, 어레이 제어 버스 ABS 중의 기입 제어 신호 WET, WEB, 프리차지 인에이블 신호 EQ가 입력된다. 트랜지스터 N164는 기입 데이터선 선택용 스위치이며, 소스에 기입 데이터선 WIB, 드레인에 내부 기입 노드 WDB, 게이트에 컬럼 선택 신호 WYS를 각각 접속한다. 또한, 트랜지스터 P161, P162, N161, N162를 각각 직렬 접속하는 것에 의해, 클럭 인버터를 형성한다. 트랜지스터 P161의 게이트에 기입 제어 신호 WEB, N161의 게이트에 기입 제어 신호 WET를 각각 접속하고, 클럭 인버터의 데이터 입력 단자인 트랜지스터 P162, N162의 게이트에 내부 기입 노드 WDB와 출력 단자인 트랜지스터 P161, N161의 드레인에 공통 데이터선 DS를 각각 접속한다. 또한, 트랜지스터 P163과 N163의 각각은, 클럭 인버터의 데이터 입력 단자인 내부 기입 노드 WDB와 출력 단자인 공통 데이터선 DS의 프리차지용 트랜지스터이다. 트랜지스터 P163의 게이트에 컬럼 선택 신호 WYS, N163의 게이트에 프리차지 인에이블 신호 EQ를 각각 입력한다.

<96> 기입 회로 WCL1은, 상기한 기입 회로 WCU1과 동일한 트랜지스터로 구성되지만, 이하의 4가지가 다르다. 첫째로, 트랜지스터 N164의 소스를 기입 데이터선 WIT와 접속한다. 둘째로, 클럭 인버터의 데이터 입력 단자인 트랜지스터 P162, N162의 게이트 단자를, 내부 기입 노드 WDT라고 부른다. 셋째로, 클럭 인버터의 출력 단자인 트랜지스터 P161, N161의 드레인을 기입 공통 노드 WCOM과 접속한다. 넷째로, 트랜지스터 N163의 게이트에 기입 제어 신호 WEB를 접속한다. 이상과 같은 구성의 기입 회로 WCU1, WCL1에 의해, 데이터선 DS와 기입 공통 노드 WCOM을 다음과 같이 구동한다.

<97> 우선, 대기 상태의 경우, 기입 회로 WCU1에 있어서, 기입 제어 신호 WET가 접지 전위 VSS, 기입 제어 신호 WEB와 프리차지 인에이블 신호 EQ가 전원 전압 VDD로 각각 구동되어, 트랜지스터 P161, N161이 오프 상태, N163이 온 상태로 됨으로써, 공통 데이터선을 접지한다. 또한, 기입 회로 WCU1에 있어서, 마찬가지로 트랜지스터 P161, N161이 오프 상태, N163이 온 상태로 됨으로써, 기입 공통 노드 WCOM을 접지한다.

<98> 다음에, 판독 동작의 경우, 기입 제어 신호 WET와 프리차지 인에이블 신호 EQ가 접지 전위 VSS, 기입 제어 신호 WEB가 전원 전압 VDD로 각각 구동되어, 트랜지스터 P161, N161, N163이 오프 상태로 됨으로써, 기입 회로 WCU1의 출력을 고 저항 상태로 한다. 한편, 기입 회로 WCL1에 있어서, 트랜지스터 P161, N161이 오프 상태, N163이 온 상태로 유지됨으로써, 기입 공통 노드 WCOM을 접지한다.

<99> 또한, 기입 동작의 경우, 컬럼 선택 신호 WYS가 승압 전위 VDH(여기서,  $V_{THN}$ 을 NMOS 트랜지스터의 임계 전압이라고 하면,  $V_{DH} \geq V_{DD} + V_{THN}$ 임), 기입 제어 신호 WET가 전원 전압 VDD, 기입 제어 신호 WEB와 프리차지 인에이블 신호 EQ가 접지 전위 VSS로 각각 구동됨으로써, 기입 회로 WCU1, WCL1에서의 트랜지스터 N164이 온 상태, 클럭 인버터가 활성화 상태, 트랜지스터 P163, N163가 오프 상태로 된다. 이 동작에 의해, 전원 전압 VDD와 접지 전위 VSS의 사이에, 기입 회로 WCU1, WCL1, 공통 데이터선 DS, 기입 공통 노드 WCOM, 전술한 멀티플렉서 MUXU1, MUXL1에 의해서 선택된 데이터선 D를 거치는 전류 경로를 형성한다. 여기서, 기입 데이터선 WIB, WIT를 각각



접지 전위 VSS, 전원 전압 VDD로 구동하는 경우, 기입 회로 WCU1에서의 트랜지스터 P162와 기입 제어 회로 WCL1에서의 트랜지스터 N162를 도통시키고, 선택한 데이터선 D에 화살표 ADL의 방향의 전류를 발생시킴으로써, 선택한 메모리 셀 MC에 기억 정보 '1'을 기입한다. 한편, 기입 데이터선 WIB, WIT를 각각 전원 전압 VDD, 접지 전위 VSS로 구동하는 경우, 기입 회로 WCU1에서의 트랜지스터 N162와 기입 제어 회로 WCL1에서의 트랜지스터 P162를 도통시키고, 선택한 데이터선 D에 화살표 ADH의 방향의 전류를 발생시킴으로써, 선택한 메모리 셀 MC에 기억 정보 '0'을 기입한다.

<100> 더미 기입 회로 DWU1은, 부하용 PMOS 트랜지스터 P181, P182와, 프리차지용 NMOS 트랜지스터 N181, N182로 구성된다. 트랜지스터 P181, P182의 소스와 게이트에 전원 전압 VDD를 각각 입력하고, 드레인을 공통 데이터선 RS와 접속한다. 또한, 트랜지스터 N181, N182의 게이트에 프리차지 인에이블 신호 EQ, 소스에 접지 전위 VSS를 각각 입력하고, 드레인을 공통 데이터선 RS와 각각 접속한다. 이러한 구성에 의해, 대기 상태의 경우, 프리차지 인에이블 신호 EQ가 전원 전압 VDD로 구동되어, 트랜지스터 N181, N182이 온 상태로 됨으로써, 공통 데이터선 RS를 접지시킨다.

<101> 또한, 판독 동작의 경우, 프리차지 인에이블 신호 EQ가 접지 전위 VSS로 구동되어, 트랜지스터 N181, N182이 오프 상태로 된다. 따라서, 기입 회로 WCU1과 같이, 더미 기입 회로 DWU1의 출력을 고 저항 상태로 한다. 여기서, 트랜지스터 P181, P182의 게이트 치수를 트랜지스터 P161과 동일한 치수로 각각 형성한다. 또한, 예컨대 트랜지스터 N161 및 N163의 게이트 치수가 동일한 경우, 트랜지스터 N181, N182의 게이트 길이를 트랜지스터 N161 및 N163과 동일한 길이로 하고, 게이트 폭을 트랜지스터 N161과 N163의 게이트 폭의 합계가 되도록 각각 형성함으로써, 공통 데이터선 DS에 발생한 확산 용량의 2배의 확산 용량을 공통 데이터선 RS에 발생시킨다.

<102> 또한 기입 동작의 경우, 더미 기입 회로 DWU1의 출력은, 판독 동작의 경우와 마찬가지로, 프리차지 인에이블 신호 EQ가 접지 전위 VSS로 구동되어, 트랜지스터 N181, N182이 오프 상태로 됨으로써, 고 저항 상태로 된다.

<103> 이상의 구성과 동작을 정리한다. 우선, 기입 회로 WCU1, WCL1에 있어서, 기입 동작의 경우, 선택 데이터선 D 상에 기억 정보에 따른 방향의 전류를 발생시킴으로써, 도 3에 나타난 강자성체층 FRL의 자화 방향을 반전시키는데 필요한 자계를 발생시킬 수 있다. 또한, 판독 동작의 경우, 기입 회로 WCU1의 출력을 고 저항 상태로 함으로써, 메모리 셀 MC에 흐르는 전류를, 공통 데이터선 DS를 통해 판독 회로 RDC1로 출력할 수 있다. 여기서, 기입 제어 신호 WEB, WET가 게이트에 입력되는 트랜지스터를 전원측이 아니라 출력 단자측에 설치한 클럭 인버터를 이용함으로써, 출력을 고 저항 상태로 한 판독 동작시에 공통 데이터선 DS에 부가되는 부하 용량을, 트랜지스터 P161, N161의 확산 용량으로 억제할 수 있다. 또한, 대기 상태의 경우, 공통 데이터선 DS와 기입 공통 노드 WCOM을, 데이터선 Dj와 같이 접지함으로써, 선택된 데이터선과 공통 데이터선 DS 및 기입 공통 노드 WCOM을 접속할 때에, 선택 데이터선에 전류가 발생하지 않도록 하고 있다. 따라서, 메모리 셀 MC에서의 기억 정보의 파괴를 막을 수 있다.

<104> 다음에, 더미 기입 회로 DWU1에 있어서, 초기화 동작의 경우, 출력을 고 저항 상태로 함으로써, 멀티플렉서 MUXUD, MUXLD의 설명에서 서술한 바와 같이, 더미 데이터선 DDO와 DD1에 흐르는 전류를 공통 데이터선 RS에 의해 반환하는 전류 경로를 형성할 수 있다. 또한, 판독 동작의 경우, 공통 데이터선 DS에 발생한 확산 용량의 2배의 확산 용량을 공통 데이터선 RS에 발생하도록 각 트랜지스터를 형성함으로써, 더미 셀 DC에서의 메모리 셀 1개당의 확산 용량을, 공통 데이터선 DS와 접속되는 메모리 셀 MC와 동일한 값으로 할 수 있다. 따라서, 메모리 셀 MC와 더미 셀 DC의 활성 직후에, 도 4에 나타난 바와 같은 관계의 참조 신호를 정밀도 있게 발생할 수 있다. 또한, 대기 상태의 경우, 공통 데이터선 RS를, 더미 데이터선 DDO 및 DD1과 마찬가지로 접지함으로써, 이들을 접속할 때에, 더미 데이터선 DDO 및 DD1에 전류가 발생하지 않도록 하고 있다. 따라서, 더미 셀 DC에서의 기억 정보의 파괴를 막을 수 있다.

<105> 도 7은 워드 드라이버 어레이 WDA를 구성하는 워드 드라이버를 나타내고 있고, 판독 워드선 WRk를 구동하는 판독 드라이버 WRD와 기입 워드선 WWk를 구동하는 기입 드라이버 WWD로 구성된다. 판독 드라이버 WRD는, PMOS 트랜지스터 P21, P22와 NMOS 트랜지스터 N21, N22로 구성된 NOR 회로이다. 한쪽 입력 단자인 트랜지스터 P21, N21의 게이트에 대응하는 로우 디코드 신호 XBk를 각각 접속하고, 다른 쪽의 입력 단자인 트랜지스터 P22, N22의 게이트에 기입 제어 신호 WET를 각각 접속한다. 또한, 출력 단자를 판독 워드선 WRk와 접속한다. 여기서, 기입 제어 신호 WET는, 도 1에 도시한 어레이 제어 버스 ABS 중의 하나이다. 기입 드라이버 WWD는, PMOS 트랜지스터 P31과 NMOS 트랜지스터 N31로 구성된다. 서로 직렬 접속되어, 트랜지스터 P31의 소스에 전원 전압 VDD를 입력하여, 트랜지스터 N31의 소스를 기입 워드선 WWk와 접속한다. 또한, 트랜지스터 P31의 게이트에 대응하는 로우 디코드 신호 XBk, 트랜지스터 N31의 게이트에 기입 제어 신호 WET를 각각 접속한다. 이 워드 드라이버

의 동작에 대하여, 이하에 설명한다.

- <106> 우선, 판독 동작의 경우, 기입 제어 신호 WET가 접지 전위 VSS로 유지되기 때문에, 트랜지스터 N22는 오프 상태를 유지하고, 트랜지스터 P22가 도통해서 트랜지스터 P21에 전원 전압 VDD가 공급됨으로써 판독 드라이버 WWD가 활성화된다. 따라서, k번째의 워드선이 선택되어 전원 전압 VDD로 되어 있는 로우 디코드 신호 XBk가 접지 전위 VSS로 구동되어, 트랜지스터 P21이 도통함으로써, 접지 전위 VSS로 되어 있는 판독 워드선 WRk를 전원 전압 VDD로 구동한다. 이 때, 기입 드라이버 WWD에 있어서, 트랜지스터 N31이 오프 상태에 있기 때문에, 기입 워드선 WWk는 접지 전위 VSS로 유지된다.
- <107> 다음에, 기입 동작의 경우, 접지 전위 VSS로 되어 있는 기입 제어 신호 WET가 전원 전압 VDD로 구동되면, 기입 드라이버 WWD에서의 트랜지스터 N31이 도통한다. 따라서, k 번째의 워드선이 선택되고 전원 전압 VDD로 되어 있는 로우 디코드 신호 XBk가 접지 전위 VSS로 구동되어, 트랜지스터 P31이 도통함으로써, 기입 워드선 WRk에 화살표 AWW 방향의 전류가 발생한다. 이 때, 판독 드라이버 WRD는 대기 상태에 있고, 트랜지스터 P22가 오프 상태, 트랜지스터 N22이 도통해 있기 때문에, 판독 워드선 WRk가 접지 전위 VSS로 유지된다. 이상으로부터, 본 실시예에 따른 워드 드라이버는, 동작에 따라 판독 워드선과 기입 워드선을 별개로 구동할 수 있다.
- <108> 다음에, 본 발명에 따른 메모리 블록의 판독 동작을 전체적으로 설명한다. 도 8은, 판독 동작의 타이밍 과정을 나타내고 있다. 이하에서는, 선택하는 메모리 셀 MCnm이 n번째의 워드선과 m번째의 데이터선의 교점에 배치되고, 일례로서 기억 정보 '1'을 유지하고, 선택하는 메모리 셀 MCnm에서의 MTJ 소자(MTJ)가 저 저항 상태에 있는 것으로 한다. 또한, 도 1에서는 생략되어 있지만, 판독 데이터선 ROT, ROB, 기입 데이터선 WIT, WIB는 프리차지 회로에 각각 접속되어 있고, 대기시에 VDD/2로 구동되어 있는 것으로 한다. 이들 가정에 근거하여, 도 1, 도 2, 도 5, 도 6, 도 7을 이용하면서 설명을 한다.
- <109> 우선, 판독 동작의 경우, 컬럼 선택 신호 WYS, 기입 제어 신호 WET를 접지 전위 VSS로 각각 유지하고, 기입 회로 WCU1, WCL1을 비활성 상태로 유지한다. 처음에, 메모리 셀 MCnm의 선택 동작을 한다. 도 8에서는 생략되어 있는 판독 기동 신호가 입력되면, 전원 전압 VDD로 되어 있는 프리차지 인에이블 신호 EQ를 접지 전위 VSS로 구동하여, 도 6에 도시한 기입 회로 WCU1과 더미 기입 회로 DWU1을 각각 오프 상태로 하고, 공통 데이터선 DS, RS와 접지 전위 VSS를 차단한다. 또한, 도 5에 나타난 프리차지 회로 PCEQ도 오프 상태로 되기 때문에, 센스 데이터선 DT, DB는 프리차지 전위인 접지 전위 VSS로 유지된다. 다음에, 컬럼 어드레스 신호 YMWm, YMDW를 접지 전위 VSS로 유지하고, 접지 전위 VSS로 되어 있는 컬럼 어드레스 신호 YMTm, YMDT를 전원 전압 VDD, 전원 전압 VDD로 되어 있는 컬럼 어드레스 신호 YMBm, YMDB를 접지 전위 VSS로 구동하여, 도 6에 도시한, 데이터선 Dm 및 더미 데이터선 DD0, DD1을 접지 전위 VSS로부터 차단하고, 공통 데이터선 DS와 데이터선 Dn, 공통 데이터선 RS와 더미 데이터선 DD0, DD1을 각각 접속한다. 또한, 전원 전압 VDD로 되어 있는 로우 디코드 신호 XBn을 접지 전위 VSS로 구동함으로써, 도 7에 도시한 워드 드라이버에 있어서의 판독 워드선 WRn을 전원 전압 VDD로 구동하고, 기입 워드선 WWn을 접지 전위 VSS로 유지한다. 따라서, 도 1에 도시한 메모리 블록에 있어서의 메모리 셀 MCnm과 더미 셀 DCn이 선택되고, 도 2에 도시한 메모리 셀에서의 트랜지스터 N1이 도통한다. 계속해서, 전원 전압 VDD로 되어 있는 판독 제어 신호 RDB를 접지 전위 VSS로 구동하여, 도 5에 나타난 판독 회로 RDC1에서의 커런트 미러 회로 CM, CMD1을 각각 활성화함으로써, 전원 전압 VDD와 접지 전위 VSS 사이에, 커런트 미러 회로 CM 및 CMD1로부터 바이어스 회로 BC1, 멀티플렉서 MUXU1, MUXUD, 메모리 셀 MCnm 및 더미 셀 DCn을 거친 2개의 전류 경로를 형성한다.
- <110> 다음에, 기억 정보의 검출과 증폭을 한다. 판독 회로 RDC1의 설명에서 서술한 바와 같이, 메모리 셀 MCnm이 기억 정보 '1'을 유지하고 있는 것에 따라서, 한쪽의 공통 데이터선 DS에 실선으로 나타내는 전류 IDS(1)가 흐르고, 이것을 미러비 1:1의 커런트 미러 회로 CM에서 수신함으로써, 센스 데이터선 DT는 전류 IDS(1)에 의해 충전된다. 동 도면에서는, 센스 데이터선 DT에 흐르는 전류를 IDT로 나타내고, 실선으로 도시되어 있다. 이에 대하여, 더미 셀 DCn이 상보의 기억 정보를 유지하고 있는 것에 따라서, 다른 쪽의 공통 데이터선 RS에 일점쇄선으로 나타내는 전류 IRS= IDS(0)+ IDS(1)가 흐르고, 이것을 미러비 2:1의 커런트 미러 회로 CMD1로 받음으로써, 센스 데이터선 DB는 전류 IRS/2로 충전된다. 동 도면에서는, 센스 데이터선 DB에 흐르는 전류를 IDB로 나타내고, 일점쇄선에 의해 나타내고 있다. 도 8에서는, 비교를 위해서, 기억 정보 '0'에 따라 공통 데이터선 DS 및 센스 데이터선 DT에 전류 IDS(0)가 흐르는 경우의 과정을 점선으로 표시하고 있다. 이상으로부터, 센스 데이터선 DT와 DB의 사이에 미소 전위차가 발생하고, 수학적 4에 나타난 정의 판독 신호 ΔV1이 충분히 커지는 타이밍으로, 전원 전압 VDD로 되어 있는 센스 앰프 기동 신호 SDP를 접지 전위 VSS로 구동함으로써, 도 5에 도시한 센스 앰프 SA를 활성화하여, 센스 데이터선 DT와 DB를 전원 전압 VDD와 접지 전위 VSS로 각각 증폭한다. 또한, 접지 전위 VSS로 되어 있는 컬럼 선택 신호 RYS를 승압 전위 VDH로 구동하여, 도 5에 도시한 컬럼 선택 회로

YSW1을 활성화함으로써, VDD/2에 프리차지된 판독 데이터선 ROT, ROB를 전원 전압 VDD, 접지 전위 VSS로 각각 구동하여, 기억 정보를 출력한다.

<111> 또한, 대기 상태로 되돌아가는 동작을 한다. 처음에, 승압 전위 VDH로 되어 있는 컬럼 선택 신호 RYS를 접지 전위 VSS로 구동하여 컬럼 선택 회로를 오프 상태로 한다. 다음에, 접지 전위 VSS로 되어 있는 로우 디코드 신호 XBk를 전원 전압 VDD로 구동하고, 전원 전압 VDD로 되어 있는 판독 워드선 WRk를 접지 전위 VSS로 구동해서, 메모리 셀에서의 트랜지스터 N1을 오프 상태로 하여, 메모리 셀 MCnm과 더미 셀 DCn에 형성되어 있는 전류 경로를 차단한다. 또한, 접지 전위 VSS로 되어 있는 판독 제어 신호 REB를 전원 전압 VDD로 구동하여 커런트 미러 회로 CM, CMD1을 대기 상태로 한다. 또한, 전원 전압 VDD로 되어 있는 컬럼 어드레스 신호 YMTm, YMDT를 접지 전위 VSS, 접지 전위 VSS로 되어 있는 컬럼 어드레스 신호 YMBm, YMDB를 전원 전압 VDD로 구동하고, 데이터선 Dm 및 더미 데이터선 DDO, DD1을 접지한다. 계속해서, 접지 전위 VSS로 되어 있는 센스 앰프 기동 신호 SDP를 전원 전압 VDD로 구동하여 센스 앰프 SA를 대기 상태로 하고, 최후에 접지 전위 VSS로 되어 있는 프리차지 인에이블 신호 EQ를 전원 전압 VDD로 구동함으로써, 센스 데이터선 DT, DB, 공통 데이터선 DS, RS를 접지 전위 VSS에 프리차지한다. 마지막으로, 전원 전압 VDD와 접지 전위 VSS로 되어 있는 판독 데이터선 ROT와 ROB를 VDD/2로 구동하여, 대기 상태로 돌아간다.

<112> 다음에, 본 발명에 따른 메모리 블록의 기입 동작을 전체적으로 설명한다. 도 9는 기입 동작의 타이밍 파형을 나타내고 있다. 이하에서는, 선택하는 메모리 셀 MCnm이 n번째의 워드선과 m번째의 데이터선의 교점에 배치되고, 일례로서 기억 정보 '1'을 기입하는 것으로 한다. 또한, 도 1에서는 생략되어 있지만, 판독 데이터선 ROT, ROB, 기입 데이터선 WIT, WOB는 프리차지 회로와 접속되어 있고, 대기시에 VDD/2로 구동되어 있는 것으로 한다. 이상의 가정에 기초하여, 도 1, 도 2, 도 5, 도 6, 도 7을 이용하면서 설명을 한다.

<113> 우선, 기입 동작의 경우, 컬럼 선택 신호 RYS를 접지 전위 VSS, 센스 앰프 기동 신호 SDP와 판독 제어 신호 RDB를 전원 전압 VDD로 각각 유지하고, 판독 회로 RDC1을 대기 상태로 한다. 처음에, 기입 데이터의 입력 동작을 한다. 도 9에서는 생략되어 있는 기입 기동 신호 및 기억 정보 '1'이 입력되면, VDD/2에 프리차지되어 있는 기입 데이터선 WIB와 WIT가 접지 전위 VSS와 전원 전압 VDD로 각각 구동된다. 다음에, 접지 전위 VSS로 되어 있는 컬럼 선택 신호 WYS를 승압 전위 VDH로 구동하여, 도 6에 도시한 기입 회로 WCU1, WCL1에서의 트랜지스터 N164를 온 상태로 함으로써, 한쪽의 내부 기입 노드 WDB를 접지 전위 VSS, 다른 쪽의 내부 기입 노드 WDT를 전원 전압 VDD로 각각 구동한다.

<114> 다음에, 메모리 셀 MCnm의 선택과 기입을 행한다. 우선, 전원 전압 VDD로 되어 있는 프리차지 인에이블 신호 EQ를 접지 전위 VSS로 구동하여, 도 6에 나타난 기입 회로 WCU1에서의 트랜지스터 N163을 오프 상태로 함으로써, 공통 데이터선 DS와 접지 전위 VSS를 차단한다. 또한, 접지 전위 VSS로 되어 있는 컬럼 어드레스 신호 YMTm, YMWm을 전원 전압 VDD, 전원 전압 VDD로 되어 있는 컬럼 어드레스 신호 YMBm을 접지 전위 VSS로 각각 구동하여, 도 6에 나타난 데이터선 Dm을 접지 전위 VSS로부터 차단하고, 공통 데이터선 DS 및 기입 공통 노드 WCOM과 접속한다. 또한, 접지 전위 VSS로 되어 있는 기입 제어 신호 WET를 전원 전압 VDD, 전원 전압 VDD로 되어 있는 기입 제어 신호 WEB를 접지 전위 VSS로 각각 구동하여, 기입 회로 WCU1, WCL1을 각각 활성화함으로써, 전원 전압 VDD와 접지 전위 VSS의 사이에, 기입 회로 WCU1로부터 공통 데이터선 DS, 데이터선 Dm, 기입 공통 노드 WCOM 및 기입 회로 WCL1을 거치는 전류 경로를 형성하여, 실선으로 나타난 전류 IDS(W1)를 흘려보낸다. 이 전류는 도 6에 나타난 화살표 ADL의 방향에 대응시켜 양의 값으로 하고 있다. 도 9에서는, 비교를 위해서, 기억 정보 '0'에 따라 공통 데이터선 DS으로 전류 IDS(W0)가 흐르는 경우의 파형을 점선으로 나타내고 있다. 이 전류는, 도 6에 나타난 화살표 ADH의 방향에 대응시켜 음의 값으로 하고 있다. 계속해서, 전원 전압 VDD로 되어 있는 로우 디코드 신호 XBn을 접지 전위 VSS로 구동하여, 도 7에 나타난 워드 드라이버에 있어서의 기입 드라이버부 WWD를 활성화함으로써, 기입 워드선 WWn에 전류 IW를 흘려보낸다. 따라서, 데이터선 Dm과 기입 워드선 WWn의 교점에 합성 자계가 발생하여, 메모리 셀 MCnm에 기억 정보 '1'이 기입된다.

<115> 또한, 대기 상태로 되돌아가는 동작을 한다. 처음에, 접지 전위 VSS로 되어 있는 로우 디코드 신호 XBk를 전원 전압 VDD로 구동하여, 기입 워드선 WWk에서의 전류 경로를 차단한다. 또한, 전원 전압 VDD로 되어 있는 기입 제어 신호 WET를 접지 전위 VSS, 접지 전위 VSS로 되어 있는 기입 제어 신호 WEB를 전원 전압 VDD으로 각각 구동하여, 기입 회로 WCU1, WCL1을 각각 비활성 상태로 함으로써, 전원 전압 VDD와 접지 전위 VSS 사이에서의 전류 경로를 차단한다. 또한, 전원 전압 VDD로 되어 있는 컬럼 어드레스 신호 YMTm, YMWm을 접지 전위 VSS, 접지 전위 VSS로 되어 있는 컬럼 어드레스 신호 YMBm을 전원 전압 VDD로 각각 구동함으로써, 데이터선 Dm을 접지한다. 계속해서, 접지 전위 VSS로 되어 있는 프리차지 인에이블 신호 EQ를 전원 전압 VDD로 구동하여 공통 데이터선 DS를 접지 전위 VSS에 프리차지한다. 또한, 승압 전위 VDH로 되어 있는 Y 선택 신호 WYS를 접지 전위



VSS로 구동하여, 도 6에 나타난 기입 회로 WCU1, WCL1에서의 트랜지스터 P163을 온 상태로 함으로써, 내부 기입 노드 WDB, WDT를 전원 전압 VDD에 각각 프리차지한다. 마지막으로, 기입 데이터선 WIT, WIB를 VDD/2로 구동하여, 대기 상태로 되돌아간다.

<116> 이상에서 서술한 메모리 블록의 구성과 동작에 의한 효과를, 이하에 정리한다. 첫째로, 본 실시예에 따른 더미 셀은, 도 1에 도시한 바와 같이 메모리 셀 MC와 동일한 구조의 2개의 메모리 셀 MCL, MCH를 워드선 쌍과 2개의 더미 데이터선의 교점에 병렬 배치한 구성이며, 상보의 기억 정보를 유지한다. 또한, 판독 동작에 있어서, 이들 메모리 셀 MCL, MCH를 동시에 활성화함으로써, 공통 데이터선 RS에서 단락된 2개의 더미 데이터선에 기억 정보 '1'일 때의 전류와 기억 정보 '0'일 때의 전류를 출력한다. 여기서, 도 5에 도시한 바와 같이, 메모리 셀 MC에 발생한 전류를 미러비 1:1의 커런트 미러 회로 CM에서 수취하여 센스 앰프의 한쪽 단자를 충전하는데 대하여, 더미 셀 DC에 발생한 전류를 미러비 2:1의 커런트 미러 회로 CMD1에서 수취함으로써, 기억 정보에 따라 메모리 셀에 흐르는 전류의 평균 전류로 센스 앰프의 다른 쪽의 단자를 충전한다. 따라서, 수학적 4 및 수학적 6에 나타난 바와 같은 음양의 판독 신호가 얻어져, 센스 앰프 SA에 의해 기억 정보의 판별과 증폭을 할 수 있다. 본 실시예에 따른 더미 셀은, 메모리 셀과 동일한 구조의 셀로 구성되어 있기 때문에, 가공 편차에 따른 특성의 변화가 발생한 경우에도, 메모리 셀의 평균 전류를 정밀도 있게 발생할 수 있기 때문에, 판독 신호의 마진을 확보할 수 있어, 정확히 기억 정보를 판독할 수 있다.

<117> 둘째로, MTJ 소자에 기입된 자계의 방향은, 인가 전압을 0V로 하여도 일반적으로 변하지 않기 때문에, 칩의 전원이 꺼진 경우에도 유지된다. 따라서, 제조업자가, 칩 출하 전에 더미 셀의 기입 동작을 행함으로써, 본 발명에 의한 MRAM의 기동 시간을 단축할 수 있다.

<118> 세째로, 더미 셀의 초기화 동작에 필요한 컬럼 어드레스 신호 YMDT, YMDB, YMDW는, 후술하는 외부 어드레스를 입력함으로써 발생되기 때문에, 칩의 테스트시에 초기화 동작을 하면, 싼 비용으로 간단하게 실행할 수 있다.

<119> 지금까지는, 8 × 8 비트 구성의 메모리 셀 어레이 MCA와 8 × 1 비트 구성의 더미 셀 DCA1을 예로 설명하였다. 그러나, 어레이 구성은, 이것에 한정되지 않는다. 예컨대, 1세트의 워드선 쌍 및 한 개의 데이터선마다 수백 비트의 메모리 셀을 각각 배치한 메모리 셀 어레이 구성으로 하는 것도 가능하다. 그와 같이 메모리 셀 어레이의 사이즈를 크게 함으로써, 판독 회로 RDC1과 기입 회로 WCU1, WCL1을 다수의 메모리 셀 MC에서 공유하여, 칩 전체에 대한 메모리 셀 어레이의 점유율을 높일 수 있다.

<120> 이상에서 설명한 효과는, 도 1에 나타난 메모리 블록에 있어서의 각 회로 블록의 구성을 변형하더라도 실현할 수 있다. 그 일례로서, 여기서는 도 5에 커런트 미러 회로 CMD1의 변형예를 설명한다. 도 10은 미러비 2:1의 커런트 미러 회로의 다른 구성예를 나타내고 있다. 커런트 미러 회로 CMD1은, 6개의 트랜지스터로 구성되어 있지만, 도 10의 예는 4개의 PMOS 트랜지스터 P231, P232, P233, P234로 구성된다. 트랜지스터 P231 및 P232의 게이트와, P231의 드레인을 내부 공통 데이터선 NRS에 각각 접속한다. 또한, 트랜지스터 P232의 드레인을 센스 데이터선 DB와 접속한다. 또한, 트랜지스터 P233, P234는, 소스에 전원 전압 VDD, 게이트에 판독 제어 신호 REB를 각각 입력한 전원 제어용 스위치이며, 트랜지스터 P231, P232와 각각 직렬 접속된다. 여기서, 트랜지스터 P232, P234를, 도 5의 커런트 미러 회로 CM에서의 트랜지스터 P42, P44와 각각 동일한 게이트 치수로 형성한다. 또한, 트랜지스터 P231, P233의 게이트 길이를, 트랜지스터 P41, P43과 동일한 길이로 하고, 게이트 폭을 트랜지스터 P41, P43의 2배로 각각 형성함으로써, 미러비 2:1의 커런트 미러 회로를 형성하고 있다. 이와 같이, 도 5 중의 커런트 미러 회로 CMD1로 병렬 접속하고 있는 동일 치수의 2개의 트랜지스터 P51과 P52 혹은 P53과 P54를, 각각 1개의 트랜지스터 P231 혹은 P233에서 치환하는 것도 가능하다. 이에 따라, 트랜지스터의 분리 영역이 불필요하게 되어, 레이아웃 면적을 축소할 수 있다.

<121> 또한, 도 1에 나타난 회로 블록에 있어서의 회로 구성의 다른 예로서, 더미 기입 회로에 대하여 설명한다. 도 11은 더미 기입 회로의 다른 구성예를 나타내고 있다. 도 6에 나타난 더미 기입 회로 DWU1은, 4개의 트랜지스터로 구성되어 있지만, 도 11의 예는 1개의 PMOS 트랜지스터 P241과 1개의 NMOS 트랜지스터 N241로 구성된다. 여기서, 트랜지스터 P241의 게이트 길이를, 트랜지스터 P181, P182와 동일한 길이로 하고, 게이트 폭을 트랜지스터 P181, P182의 게이트 폭의 합계가 되도록 형성한다. 또한, 트랜지스터 N241의 게이트 길이를, 트랜지스터 N181, N182와 동일한 길이로 하고, 게이트 폭을 트랜지스터 N181, N182의 게이트 폭의 합계가 되도록 형성한다. 이와 같이, 도 6 중의 더미 기입 회로 DWU1에서 병렬 접속하고 있는 동일 치수의 2개의 트랜지스터를, 각각 1개의 트랜지스터로 치환하는 것도 가능하다. 이에 따라, 트랜지스터의 분리 영역이 불필요하게 되어, 레이아웃 면적을 축소할 수 있다.

<122> 이하에서는, 본 실시예에 따른 메모리 블록을 적용한 반도체 장치의 전체 구성예를 설명한다. 도 12는, 도 1에



나타낸 본 실시예에 따른 메모리 블록 BLK가 매트릭스 형상으로 배치된 메모리 어레이 MAR의 구성예(여기서는  $t \times s$  구성)를 나타내고 있다. 메모리 어레이 MAR의 주변에는, 윗변에 컬럼 디코더 YSDC가 배치된다. 또한 좌변에는, 매트릭스의 행마다, 복수개(여기서는  $t$  개)의 컬럼 디코더 YMD, 로우 디코더 XDEC, 어레이 제어 회로 ACTL이 각각 배치된다. 또한, 각 메모리 블록 BLK에는 메인 데이터 입력선 MI 및 메인 데이터 출력선 MO가 각각 접속되어 있다. 동 도면에서는 생략되어 있지만, 메인 데이터 입력선 MI는 도 1에 나타난 복수개의 기입 데이터선 WIT, WIB로 구성되고, 메인 데이터 출력선 MO는 복수개의 판독 데이터선 ROT, ROB로 구성되어 있다. 각 회로 블록은 이하와 같은 역할을 한다.

<123> 컬럼 디코더 YSDC는, 입력된 컬럼 프리 디코드 어드레스 CYS에 따라 도 1에 도시한 복수의 컬럼 선택 신호 RYS, WYS를 각각 발생하여, 대응하는 열에 배치된 메모리 블록 BLK에 각각 입력한다. 컬럼 선택 신호 RYS에 의해서, 선택하는 메모리 셀이 배치된 메모리 블록 BLK로부터 메인 데이터 출력선 MO으로 판독 데이터가 출력된다. 또한, 컬럼 선택 신호 WYS에 의해서, 메인 데이터 입력선 MI에서 선택하는 메모리 셀이 배치된 메모리 블록 BLK로 기입 데이터가 입력된다. 컬럼 디코더 YMD는, 입력된 컬럼 프리 디코드 어드레스 CYM 및 매트릭스 선택 신호 MS에 따라서, 컬럼 디코드 어드레스 DYM을 각각 발생하여, 대응하는 행에 배치된 메모리 블록 BLK에 각각 입력한다. 컬럼 디코드 어드레스 DYM은, 도 1에 나타난 복수의 컬럼 어드레스 신호 YMTj, YMBj, YMWj, YMDT, YMDB, YMDW로 구성되고, 전술한 바와 같이 선택하는 메모리 셀이 배치된 메모리 블록 BLK에서의 데이터선 및 터미 데이터선이 활성화되도록 제어한다. 로우 디코더 XDEC는, 입력된 로우 프리 디코드 어드레스 CX 및 매트릭스 선택 신호 MS에 따라 로우 디코드 어드레스 DXB를 각각 발생하여, 대응하는 행에 배치된 메모리 블록 BLK에서의 워드 드라이버 어레이 WDA에 각각 입력한다. 어레이 제어 회로 ACTL은, 입력된 매트릭스 선택 신호 MS에 따라 어레이 제어 버스 ABS에 복수의 제어 신호를 각각 발생하여, 대응하는 행에 배치된 메모리 블록 BLK에 각각 입력한다. 복수의 제어 신호는 도 1, 도 6, 및 도 7에 나타난 센스 앰프 기동 신호 SDP, 프리차지 인에이블 신호 EQ, 판독 제어 신호 RDB, 기입 제어 신호 WET, WEB이며, 선택하는 메모리 셀을 지정하도록 각각 활성화된다.

<124> 도 13은 동기식 메모리의 구성예의 주요부 블록도이다. 클럭 버퍼 CLKB, 커맨드 버퍼 CB, 커맨드 디코더 CD, 어드레스 버퍼 AB, 입력 버퍼 DIB, 출력 버퍼 DOB를 포함하고, 또한 메모리 어레이 MAR을 포함한 복수개의 유닛 UNT1, UNT2, ...이 설치되어 있다. 유닛은 뱅크에 대응하고 있지만, 뱅크 주변 복수개의 유닛으로 하여도 좋다. 유닛은, 또한 로우 프리 디코더 XPD, 컬럼 프리 디코더 YPD, 라이트 버퍼 WB, 리드 버퍼 RB를 갖는다. 각 회로 블록은 다음과 같은 역할을 한다.

<125> 클럭 버퍼 CLKB는, 외부 클럭 CLK를 내부 클럭 CLKI로서 커맨드 디코더 CD, 어드레스 버퍼 AB, 입력 버퍼 DIB, 출력 버퍼 DOB 등으로 각각 분배한다. 커맨드 디코더 CD는, 외부 제어 신호 CMD로부터 커맨드 버퍼 CB를 통해 발생된 내부 제어 신호 CMDI에 따라서, 어드레스 버퍼 AB, 입력 버퍼 DIB, 출력 버퍼 DOB 등을 각각 제어하는 제어 신호 CM을 원하는 타이밍으로 발생한다.

<126> 어드레스 버퍼 AB는, 외부 클럭 CLK에 따른 원하는 타이밍으로 외부로부터의 어드레스 ADR을 입력하고, 로우 어드레스 BX를 로우 어드레스 프리 디코더 XPD에 출력한다. 로우 어드레스 프리 디코더 XPD는, 로우 어드레스 BX를 프리 디코드하여, 로우 프리 디코드 어드레스 CX와 매트릭스 선택 신호 MS를 메모리 어레이 MAR로 출력한다. 어드레스 버퍼 AB는, 또한 컬럼 어드레스 BY를 컬럼 어드레스 프리 디코더 YPD로 출력한다. 컬럼 어드레스 프리 디코더 YPD는, 컬럼 어드레스 BY를 프리 디코드하여 컬럼 프리 디코드 어드레스 CYM과 Y 프리 디코드 어드레스 CYS를 메모리 어레이 MAR로 출력한다. 여기서 외부로부터의 어드레스는, 일례로서, 로우계 어드레스와 컬럼계 어드레스를 동시에 취득되는 것으로 한다. 이 경우, 로우계 동작과 컬럼계 동작이 동시에 행하여짐으로써, 기입 판독 동작을 고속화할 수 있다. 또한, 다른 예로서, 로우계 어드레스와 컬럼계 어드레스를 시분할적으로 받아들이는 것으로 하여도 좋다. 이 경우, 어드레스 입력에 필요한 핀 수를 저감할 수 있어, 패키지 실장 비용이나 보드 비용을 저감할 수 있다.

<127> 입력 버퍼 DIB는, 외부 입력 데이터 DQ를 원하는 타이밍에서 취득하여, 라이트 데이터 GI를 라이트 버퍼 WB에 입력한다. 라이트 버퍼 WB는, 라이트 데이터 GI를 메인 입력선 MI에 출력한다. 한편, 리드 버퍼 RB는, 메인 출력선 MO의 신호를 수신하고, 리드 데이터 GO를 출력 버퍼 DOB에 입력한다. 출력 버퍼 DOB는, 입출력 데이터 DQ에 원하는 타이밍으로 리드 데이터 GO를 출력한다.

<128> 이와 같이, 본 실시예에 따른 메모리 블록 BLK를 이용하여 동기식 메모리를 실현할 수 있다. 이 경우, 외부 클럭 CLK과 동기하여 커맨드나 어드레스를 취득하고, 또한 데이터를 입출력함으로써 높은 주파수에서의 동작이 가능하여, 고 데이터 레이트를 실현할 수 있다. 또한, 동 도면에서는 생략되어 있지만, 어드레스 버퍼 AB와 컬럼 어드레스 프리 디코더 YPD와의 사이에 컬럼 어드레스 카운터를 설치하여, 컬럼 어드레스를 초기값으로서 버스트

동작을 하는 컬럼 어드레스 BY를 발생함으로써, 데이터를 연속하여 입출력하는 동작도 가능하다.

<129>

<실시예 2>

<130>

본 실시예에서는, 메모리 블록의 다른 구성예와 동작을 설명한다. 도 14는 메모리 블록의 주요부 블록도를 나타내며, 판독 회로 RDC2, 기입 회로 WCU10, WCU11, WCL10, WCL11, 더미 기입 회로 DWU1, 멀티플렉서 MUXU20, MUXL20, MUXU21, MUXL21, MUXUD, MUXLD, 메모리 셀 어레이 MCA10, MCA11, 더미 셀 어레이 DCA1로 구성되어 있다. 동 도면에서는, 도 1에 나타난 바와 같은 워드 드라이버 어레이 WDA, 컬럼 디코드 어드레스 DYM, 로우 디코드 어드레스 DXB, 어레이 제어 버스 ABS가 간단히 하기 위해 생략되어 있다. 본 실시예의 특징은, 2개의 메모리 셀 어레이 MCA10, MCA11의 사이에 더미 셀 어레이 DCA1을 배치하고, 판독 회로 RDC2와 데이터선 Dj 사이의 원근단 차이를 저감하는데에 있다. 이하에서는, 도 1과 다른 점에 주목하면서 도 14에 도시한 회로 블록과 그 회로 구성에 대하여 서술하고, 본 실시예에 따른 참조 신호의 발생 방법과 기입 판독 동작에 대하여 설명한다.

<131>

본 실시예에 의한 메모리 셀 어레이 MCA10, MCA11은, 도 14에 도시하는 바와 같이 도 1에 나타난 메모리 셀 어레이 MCA의 절반의 규모이며,  $8 \times 4$  비트의 메모리 셀 MC를 각각 갖는 구성예이다. 한쪽 메모리 셀 어레이 MCA10에서, 워드선 쌍 WRk, WWk( $k=0, \dots, 7$ )와 데이터선 Dj( $j=0, \dots, 3$ )의 교점에 각각 메모리 셀 MC가 배치된다. 다른 쪽 메모리 셀 어레이 MCA11에 있어서, 워드선 쌍 WRk, WWk( $k=0, \dots, 7$ )과 데이터선 Dj( $j=4, \dots, 7$ )의 교점에 각각 메모리 셀 MC가 배치된다. 또한, 더미 셀 어레이 DCA1은, 메모리 셀 어레이 MCA의 구성에 따라  $8 \times 1$  비트의 더미 셀 DC를 갖는다.

<132>

멀티플렉서 MUXU20, MUXL20은 메모리 셀 어레이 MCA10의 양단에 각각 배치되고, 서로 쌍을 이루어 동작한다. 한쪽의 멀티플렉서 MUXU20은, 공통 데이터선 DS0과 복수의 데이터선 Dj( $j=0, \dots, 3$ ) 사이에 배치된 복수개(여기서는 4개)의 스위치 SRW로 구성되고, 동 도면에서는 생략되어 있는 컬럼 디코드 어드레스 DYM에 따라서, 선택하는 데이터선 D와 공통 데이터선 DS0을 접속한다. 다른 쪽의 멀티플렉서 MUXL20은, 접지 전위 VSS와 복수의 데이터선 Dj 사이에 배치된 복수개(여기서는 4개)의 스위치 SRB와, 기입 공통 노드 WCOM0과 복수의 데이터선 Dj 사이에 배치된 복수개(여기서는 4개)의 스위치 SW로 구성된다. 전자의 스위치 SRB는, 동 도면에서는 생략되어 있는 컬럼 디코드 어드레스 DYM에 따라서, 선택하는 데이터선 D와 접지 전위 VSS의 접속을 차단하고, 후자의 스위치 SW는, 선택하는 데이터선 D와 기입 공통 노드 WCOM0을 접속한다.

<133>

멀티플렉서 MUXU21, MUXL21은 메모리 셀 어레이 MCA11의 양단에 각각 배치되고, 서로 쌍을 이루어 동작한다. 한쪽의 멀티플렉서 MUXU21은, 공통 데이터선 DS1과 복수의 데이터선 Dj( $j=4, \dots, 7$ )의 사이에 배치된 복수개(여기서는 4개)의 스위치 SRW로 구성되고, 동 도면에서는 생략되어 있는 컬럼 디코드 어드레스 DYM에 따라서, 선택하는 데이터선 D와 공통 데이터선 DS1을 접속한다. 다른 쪽의 멀티플렉서 MUXL21은, 접지 전위 VSS와 복수의 데이터선 Dj의 사이에 배치된 복수개(여기서는 4개)의 스위치 SRB와, 기입 공통 노드 WCOM1과 복수의 데이터선 Dj의 사이에 배치된 복수개(여기서는 4개)의 스위치 SW로 구성된다. 전자의 스위치 SRB는, 동 도면에서는 생략되어 있는 컬럼 디코드 어드레스 DYM에 따라서, 선택하는 데이터선 D와 접지 전위 VSS의 접속을 차단하고, 후자의 스위치 SW는, 선택하는 데이터선 D와 기입 공통 노드 WCOM1을 접속한다. 스위치 SRW, SRB, SW는, 동 도면에서는 모식적으로 기호로 나타내고 있지만, 실제로는 예컨대 NMOS 트랜지스터로 구성되고, 소스-드레인간의 전류 경로의 유무에 의해서 결선 상태가 제어된다.

<134>

기입 회로 WCU10, WCL10은, 도 6에 나타난 기입 회로 WCU1, WCL1과 동일한 회로 구성이며, 멀티플렉서 MUXU20, MUXL20의 더 외측에 각각 배치되고, 이들은 서로 쌍을 이루어 동작한다. 기입 회로 WCU10은, 입력된 컬럼 선택 신호 WYS, 기입 데이터선 WIB0에 따라 공통 데이터선 DS0을 구동하고, 기입 회로 WCL10은, 입력된 컬럼 선택 신호 WYS, 기입 데이터선 WIT0에 따라 기입 공통 노드 WCOM0을 구동한다.

<135>

마찬가지로 기입 회로 WCU11, WCL11은, 도 6에 도시한 기입 회로 WCU1, WCL1과 동일한 회로 구성이며, 멀티플렉서 MUXU21, MUXL21의 더욱 외측에 각각 배치되고, 이들은 서로 쌍을 이루어 동작한다. 기입 회로 WCU11은, 입력된 컬럼 선택 신호 WYS, 기입 데이터선 WIB1에 따라 공통 데이터선 DS1을 구동하고, 기입 회로 WCL11은, 입력된 컬럼 선택 신호 WYS, 기입 데이터선 WIT1에 따라 기입 공통 노드 WCOM1을 구동한다.

<136>

판독 회로 RDC2는, 공통 데이터선 DS0, DS1, RS에 출력된 판독 신호를 판별 및 증폭하여, 판독한 데이터에 따른 전위에 판독 데이터선 ROTO, ROBO, ROT1, ROB1의 각각을 구동한다.

<137>

이상과 같은 회로 블록 구성에 의해, 메모리 셀 어레이 MCA10과 MCA11에서의 데이터선 D를 동시에 1개씩 선택함으로써, 2 비트의 기억 정보를 판독하거나 기입한다. 이하에서는, 판독 회로의 회로 구성에 대하여 서술하고,

본 실시예에 따른 참조 신호의 발생 방법과 판독 동작에 대하여 설명한다.

- <138> 도 15는 판독 회로 RDC2의 회로 구성을 나타내며, 2세트의 컬럼 선택 회로 YSW10, YSW11, 프리차지 회로 PCEQ0, PCEQ1, 센스 앰프 SA0, SA1, 커런트 미러 회로 CM10, CM11과, 커런트 미러 회로 CMD2, 바이어스 회로 BC2로 구성된다. 또한, 도 1에 나타난 어레이 제어 버스 ABS의 요소 성분 중에서, 프리차지 인에이블 신호 EQ, 센스 앰프 기동 신호 SDP, 판독 제어 신호 REB가 각각 입력되고, 또한 컬럼 선택 신호 RYS가 입력된다. 컬럼 선택 회로 YSW10, YSW11, 프리차지 회로 PCEQ0, PCEQ1, 센스 앰프 SA0, SA1, 커런트 미러 회로 CM10, CM11은, 도 5에 나타난 컬럼 선택 회로 YSW1, 프리차지 회로 PCEQ, 센스 앰프 SA, 커런트 미러 회로 CM과 각각 동일한 회로 구성이다. 커런트 미러 회로 CMD2와 바이어스 회로 BC2의 회로 구성에 대하여 이하에 설명한다.
- <139> 커런트 미러 회로 CMD2는, 도 5에 나타난 커런트 미러 회로 CMD1의 회로 구성에 PMOS 트랜지스터 P57, P58를 추가한 것이다. 트랜지스터 P53의 드레인을 센스 데이터선 DB0, 트랜지스터 P57의 드레인을 센스 데이터선 DB1과 각각 접속한다. 또한, 트랜지스터 P51, P52, P53 및 P57의 게이트와, 트랜지스터 P51 및 P52의 드레인을, 내부 공통 데이터선 NRS와 접속한다. 트랜지스터 P58는, 소스에 전원 전압 VDD, 게이트에 판독 제어 신호 REB가 각각 입력된 전원 제어용 스위치이며, 트랜지스터 P57와 직렬 접속된다. 여기서, 트랜지스터 P57의 게이트를 트랜지스터 P51, P52, P53과 동일한 치수로 형성하고, 또한 트랜지스터 P58의 게이트를 트랜지스터 P54, P55, P56와 동일한 치수로 형성하여, 트랜지스터 P51, P52, P53, P57의 소스-드레인 사이에 흐르는 전류값을 동일하게 한다. 따라서, 트랜지스터 P51 및 P52에 흐르는 합계 전류의 절반값의 전류를 P53과 P57의 소스-드레인 사이에 흘려보냄으로써, 미러비 2:1의 2 출력 커런트 미러 회로를 형성하고 있다.
- <140> 바이어스 회로 BC2는, 도 5에 나타난 바이어스 회로 BC1에 NMOS 트랜지스터 N611을 추가한 구성이며, 트랜지스터 N610은, 도 5에서의 트랜지스터 N61에 대응하고 있다. 트랜지스터 N610의 소스와 드레인에 공통 데이터선 DS0과 내부 공통 데이터선 NDS0을 각각 접속하고, 트랜지스터 N611의 소스와 드레인에 공통 데이터선 DS1과 내부 공통 데이터선 NDS1을 각각 접속한다. 또한, 트랜지스터 N610, N611의 게이트에 바이어스 전압 VB1을 각각 인가한다. 여기서, 트랜지스터 N62의 게이트 길이를 트랜지스터 N610 및 N611과 동일한 길이로 하고, 데이터 폭을 트랜지스터 N610 및 N611의 2배로 형성함으로써, 트랜지스터 N62의 온 저항을 트랜지스터 N610 및 N611의 1/2로 한다.
- <141> 이상과 같은 판독 회로 RDC2의 회로 구성에 의해, 메모리 셀 어레이 MCA10, MCA11로부터 공통 데이터선 DS0, DS1로 출력된 전류를, 미러비 1:1의 커런트 미러 회로 CM10, CM11로 각각 받아, 선택한 2개의 메모리 셀 MC에 흐르는 전류와 동일한 값의 전류로 센스 데이터선 DTO, DT1을 각각 충전한다. 이에 대하여, 더미 셀 DC에서 공통 데이터선 RS로 출력된 전류를, 미러비 2:1의 2 출력 커런트 미러 회로 CMD2에서 수신함으로써, 기억 정보에 따라 메모리 셀 MC에 흐르는 전류의 평균치로 센스 데이터선 DBO, DB1을 충전한다. 따라서, 센스 데이터선 DTO, DBO 및 DT1, DB1에 실시예 1의 수학적 4 및 수학적 6에 나타난 바와 같은 음양의 판독 신호가 발생되어, 센스 앰프 SA0, SA1을 이용함으로써, 선택된 2비트의 기억 정보를 판별 및 증폭한다. 또한, 컬럼 선택 회로 YSW10, YSW11에 의해, 판독된 2 비트의 판독 데이터를, 판독 데이터선 ROTO, ROB0, ROT1, ROB1로 출력한다.
- <142> 이상에 서술한 메모리 블록의 구성과 동작에 따른 효과를 이하에 정리한다. 첫째로, 2개의 메모리 셀 어레이 MCA10, MCA11 사이에 더미 셀 어레이 DCA1을 배치하고, 실시예 1에 비하여 판독 회로 RDC2와 데이터선 Dj 사이의 원근단 차이를 저감함으로써, 판독 신호량이 선택하는 데이터선의 위치 의존성을 저감할 수 있다. 둘째로, 실시예 1과 마찬가지로, 메모리 셀 MC와 동일한 구조로, 상보의 기억 정보를 유지하는 더미 셀을 이용하는 것에 의해, 가공 편차에 따른 특성의 변화가 발생한 경우에도, 메모리 셀의 평균 전류를 정밀도 있게 발생할 수 있다.
- <143> 지금까지는, 8 × 4 비트 구성의 메모리 셀 어레이 MCA10, MCA11과 8 × 1 비트 구성의 더미 셀 어레이 DCA1을 예로 설명하여 왔다. 그러나, 어레이 구성은, 이것에 한정되지 않는다. 예컨대, 실시예 1에서 서술한 예와 마찬가지로, 1세트의 워드선 쌍 및 1개의 데이터선마다 수백 비트의 메모리 셀을 각각 배치한 메모리 셀 어레이 구성으로 함으로써, 칩 전체에 대한 메모리 셀 어레이의 점유율을 높일 수 있다. 이 때, 본 실시예의 구성을 이용함으로써, 판독 신호량의 데이터선 위치 의존성을 저감할 수 있기 때문에 바람직하다.
- <144> 이상에 설명한 효과는, 도 14에 나타난 메모리 블록에 있어서의 각 회로 블록의 구성을 변형하더라도 실현할 수 있다. 그 일례로서, 여기서는 도 15에 나타난 커런트 미러 회로 CMD2의 변형예를 설명한다. 도 16은, 미러비 2:1의 2 출력 커런트 미러 회로의 다른 구성예를 나타내고 있다. 도 15에 나타난 커런트 미러 회로 CMD2는, 8개의 트랜지스터로 구성되어 있지만, 도 16의 예는, 도 10에 나타난 커런트 미러 회로에, PMOS 트랜지스터 P235, P236를 추가한 6개의 트랜지스터로 구성된다. 트랜지스터 P232의 드레인을 센스 데이터선 DB0, 트랜지스터

P235의 드레인을 센스 데이터선 DB1과 각각 접속한다. 또한, 트랜지스터 P231, P232 및 P235의 게이트와, 트랜지스터 P231의 드레인을 내부 공통 데이터선 NRS와 각각 접속한다. 트랜지스터 P236는, 소스에 전원 전압 VDD, 게이트에 판독 제어 신호 REB가 각각 입력된 전원 제어용 스위치이며, 트랜지스터 P235에 직렬로 접속한다. 여기서, 트랜지스터 P231의 게이트 길이를 트랜지스터 P232 및 P235와 동일한 길이로 하고, 트랜지스터 P231의 게이트 폭을 트랜지스터 P232 및 P235의 2배로 형성한다. 또한, 트랜지스터 P233의 게이트 길이를 트랜지스터 P234 및 P236과 동일한 길이로 하고, 트랜지스터 P233의 게이트 폭을 트랜지스터 P234 및 P236의 2배로 형성함으로써, 트랜지스터 P231에 흐르는 전류의 절반값의 전류를 트랜지스터 P232 및 P235의 소스-드레인 사이에 흘려보내는, 미러비 2:1의 2 출력 커런트 미러 회로를 형성할 수 있다. 이와 같이, 도 15의 커런트 미러 회로 CMD2로 병렬 접속하고 있는 동일 치수의 2개의 트랜지스터 P51과 P52 혹은 P53과 P54를, 각각 1개의 트랜지스터 P231 혹은 P233으로 치환하는 것도 가능하다. 그에 따라, 트랜지스터의 분리 영역이 불필요하게 되어, 레이아웃 면적을 축소할 수 있다.

<145> <실시에 3>

<146> 본 실시예에서는, 메모리 블록의 또 다른 구성예와 동작을 설명한다. 도 17은 메모리 블록의 주요부 블록도를 나타내며, 판독 회로 RDC3, 기입 회로 WCU10, WCL10, WCU11, WCL11, 멀티플렉서 MUXU20, MUXL20, MUXU21, MUXL21, MUXUD0, MUXLD0, MUXUD1, MUXLD1, 메모리 셀 어레이 MCA10, MCA11, 더미 셀 어레이 DCA10, DCA11로 구성된다. 도 14와 마찬가지로 도 17에서도, 도 1에 나타난 바와 같은 워드 드라이버 어레이 WDA, 컬럼 디코드 어드레스 DYM, 로우 디코드 어드레스 DXB, 어레이 제어 버스 ABS가 편의상 생략되어 있다. 본 실시예의 특징은 2개의 메모리 셀 어레이 MCA10, MCA11 사이에 더미 셀 어레이 DCA10, DCA11을 배치하고, 메모리 셀 어레이 MCA10과 더미 셀 어레이 DCA10에 대응하는 멀티플렉서 MUXU20과 MUXUD0의 한쪽 단자를 공통 데이터선 DL과 접속하고, 메모리 셀 어레이 MCA11과 더미 셀 어레이 DCA11에 대응하는 멀티플렉서 MUXU21과 MUXUD1의 한쪽 단자를 공통 데이터선 DR과 접속함으로써, 공통 데이터선 DL 및 DR과 접속되는 스위치 SRW의 수를 포함하는 데에 있다. 이하에서는, 도 14와 다른 점에 주목하면서 도 17에 나타난 회로 블록에 대하여 설명한다.

<147> 더미 셀 어레이 DCA10, DCA11은, 도 14에 나타난 DCA1과 마찬가지로 메모리 셀 어레이 MCA10, MCA11의 구성에 따라  $8 \times 1$  비트의 더미 셀 DC를 갖는다. 한쪽의 더미 셀 어레이 DCA10에 있어서, 워드선 쌍 WRk, WWk(k=0, ..., 7)와 더미 데이터선 D100, D101의 교점에 각각 더미 셀 DC를 배치한다. 다른 쪽의 더미 셀 어레이 DCA11에 있어서, 워드선 쌍 WRk, WWk(k=0, ..., 7)과 더미 데이터선 D110, D111의 교점에 각각 더미 셀 DC를 배치한다.

<148> 멀티플렉서 MUXUD0, MUXLD0은, 더미 셀 어레이 DCA10의 양단에 각각 배치되고, 서로 쌍을 이루어 동작한다. 한쪽의 멀티플렉서 MUXUD0은, 공통 데이터선 DL과 더미 데이터선 D100, D101의 사이에 배치된 2개의 스위치 SRW로 구성되고, 동 도면에서는 생략되어 있는 컬럼 디코드 어드레스 DYM에 따라서, 더미 데이터선 D100, D101과 공통 데이터선 DL을 접속한다. 따라서, 공통 데이터선 DL에 접속되는 스위치 SRW의 수는, 멀티플렉서 MUXU20의 4개와 합쳐서 6개로 된다. 다른 쪽의 멀티플렉서 MUXLD0은, 접지 전위 VSS와 더미 데이터선 D100, D101의 사이에 배치된 2개의 스위치 SRB와, 접지 전위 VSS와 더미 데이터선 D100 및 전원 전압 VDD와 더미 데이터선 D101의 사이에 배치된 2개의 스위치 SW로 구성된다. 전자의 스위치 SRB는, 동 도면에서는 생략되어 있는 컬럼 디코드 어드레스 DYM에 따라서, 더미 데이터선 D100, D101과 접지 전위 VSS의 접속을 차단한다. 후자의 스위치 SW는, 동 도면에서는 생략되어 있는 컬럼 디코드 어드레스 DYM에 따라서, 더미 데이터선 D100과 접지 전위 VSS, 더미 데이터선 D101과 전원 전압 VDD를 각각 접속한다. 이러한 구성의 멀티플렉서 MUXUD0, MUXLD0에 의해, 도 1에 나타난 멀티플렉서 MUXUD, MUXLD와 마찬가지로 더미 데이터선 D100과 D101과 서로 반대 방향의 전류를 발생시킬 수 있어, 더미 셀 어레이 DCA10을 초기화할 수 있다.

<149> 멀티플렉서 MUXUD1, MUXLD1은, 더미 셀 어레이 DCA11의 양단에 각각 배치되고, 서로 쌍을 이루어 동작한다. 한쪽의 멀티플렉서 MUXUD1은, 공통 데이터선 DR과 더미 데이터선 D110, D111의 사이에 배치된 2개의 스위치 SRW로 구성하고, 동 도면에서는 생략되어 있는 컬럼 디코드 어드레스 DYM에 따라서, 더미 데이터선 D110, D111과 공통 데이터선 DR을 접속한다. 따라서, 공통 데이터선 DR과 접속되는 스위치 SRW의 수는, 멀티플렉서 MUXU21의 4개와 합쳐서 6개가 된다. 다른 쪽의 멀티플렉서 MUXLD1은, 접지 전위 VSS와 더미 데이터선 D110, D111의 사이에 배치된 2개의 스위치 SRB와, 접지 전위 VSS와 더미 데이터선 D110 및 전원 전압 VDD와 더미 데이터선 D111의 사이에 배치된 2개의 스위치 SW로 구성한다. 전자의 스위치 SRB는, 동 도면에서는 생략되어 있는 컬럼 디코드 어드레스 DYM에 따라서, 더미 데이터선 D110, D111과 접지 전위 VSS의 접속을 차단한다. 후자의 스위치 SW는, 동 도면에서는 생략되어 있는 컬럼 디코드 어드레스 DYM에 따라서, 더미 데이터선 D110과 접지 전위 VSS, 더미 데이터선 D111과 전원 전압 VDD를 각각 접속한다. 이러한 구성의 멀티플렉서 MUXUD1, MUXLD1에 의해, 도 1에 나



타넨 멀티플렉서 MUXUD, MUXLD와 마찬가지로 더미 데이터선 D110과 D111에 서로 반대 방향의 전류를 발생시킬 수 있어, 더미 셀 어레이 DCA11을 초기화할 수 있다. 스위치 SRW, SRB, SW는, 동 도면에서는 모식적으로 기호로 나타내져 있지만, 실제로는 예컨대 NMOS 트랜지스터로 구성되고, 소스-드레인간의 전류 경로의 유무에 따라서 결선 상태가 제어된다.

<150> 기입 회로 WCU10은, 입력된 컬럼 선택 신호 WYSL, 기입 데이터선 WIB에 따라 공통 데이터선 DL을 구동하고, 기입 회로 WCL10은, 입력된 컬럼 선택 신호 WYSL, 기입 데이터선 WIT에 따라 기입 공통 노드 WCOM0을 구동한다. 기입 회로 WCU11은, 입력된 컬럼 선택 신호 WYSR, 기입 데이터선 WIB에 따라 공통 데이터선 DR을 구동하고, 기입 회로 WCL11은, 입력된 컬럼 선택 신호 WYSR, 기입 데이터선 WIT에 따라 기입 공통 노드 WCOM1을 구동한다. 여기서, 컬럼 선택 신호 WYSL, WYSR은, 기억 정보를 기입하는 메모리 셀 MC의 위치에 따라서, 어느 한쪽이 활성화된다.

<151> 판독 회로 RDC3는, 공통 데이터선 DL 및 공통 데이터선 DL과 평행하게 배치된 공통 데이터선 DLA와, 공통 데이터선 DR 및 공통 데이터선 DR과 평행하게 배치된 공통 데이터선 DRA에 발생한 판독 신호를 판별, 증폭하여, 판독한 데이터를 판독 데이터선 ROT, ROB로 출력한다.

<152> 다음에, 본 메모리 블록의 동작을 설명한다. 우선, 메모리 셀 어레이 MCA10 상의 메모리 셀 MC를 판독하는 경우, 멀티플렉서 MUXU20 및 MUXL20을 활성화하고, 선택하는 데이터선 D와 공통 데이터선 DL을 접속함으로써, 메모리 셀 MC에 흐르는 전류를 공통 데이터선 DL에 출력한다. 동시에, 멀티플렉서 MUXUD1 및 MUXLD1을 활성화하여, 더미 셀 어레이 DCA11 상의 더미 셀 DC를 선택하여, 더미 데이터선 D110, D111과 공통 데이터선 DR을 접속함으로써, 더미 셀 DC에 흐르는 전류를 공통 데이터선 DR로 출력한다. 다음에, 메모리 셀 어레이 MCA10 상의 메모리 셀 MC에 데이터를 기입하는 경우, 선택하는 데이터선 D와 공통 데이터선 DL 및 기입 공통 노드 WCOM0을 접속하여, 기입 제어 회로 WCU10, WCL10을 활성화함으로써, 선택하는 데이터선 D에 기억 정보에 따른 방향의 전류를 발생한다.

<153> 이에 대하여, 메모리 셀 어레이 MCA11 상의 메모리 셀 MC를 판독하는 경우, 멀티플렉서 MUXU21 및 MUXL21을 활성화하고, 선택하는 데이터선 D와 공통 데이터선 DR을 접속함으로써, 메모리 셀 MC에 흐르는 전류를 공통 데이터선 DR로 출력한다. 동시에, 멀티플렉서 MUXUD0 및 MUXLD0을 활성화하고, 더미 셀 어레이 DCA10 상의 더미 셀 DC를 선택하여, 더미 데이터선 D100, D101과 공통 데이터선 DL을 접속함으로써, 더미 셀 DC에 흐르는 전류를 공통 데이터선 DL로 출력한다. 또한, 메모리 셀 어레이 MCA11 상의 메모리 셀 MC에 데이터를 기입하는 경우, 선택하는 데이터선 D와 공통 데이터선 DR 및 기입 공통 노드 WCOM1을 접속하고, 기입 제어 신호 WYSR을 이용하여 기입 회로 WCU11, WCL11을 활성화함으로써, 선택하는 데이터선 D에 기억 정보에 따른 방향의 전류를 발생한다.

<154> 이상과 같은 회로 블록구성에 의해, 공통 데이터선 DL, DR과 접속되는 스위치 SRW의 수를 각각 동수(여기서는 6개)로 할 수 있다. 또한, 공통 데이터선 DL, DR의 각각은, 4개의 데이터선과, 2개의 더미 데이터선과 직교하도록 배선되기 때문에, 이 부분의 배선 길이를 동일하게 할 수 있다. 따라서, 공통 데이터선 DL, DR의 부하 용량 및 저항의 평형화를 실현할 수 있어, 실시예 2보다도 안정된 판독 동작이 가능하게 된다. 이하에서는, 판독 회로의 구성과 동작, 참조 신호의 발생 방법에 대하여 설명한다.

<155> 도 18은 판독 회로 RDC3의 회로 구성을 나타내고 있고, 컬럼 선택 회로 YSW2, 프리차지 회로 PCEQ, 센스 앰프 SA, 커런트 미러 회로 CM20, CM21, 바이어스 회로 BC3으로 구성된다. 도 1에 나타낸 어레이 제어 버스 ABS 중, 프리차지 인에이블 신호 EQ, 센스 앰프 기동 신호 SDP, 판독 제어 신호 REB가 각각 입력되고, 또한 컬럼 선택 신호 RYSL, RYSR이 각각 입력된다. 또한, 더미 인에이블 신호 DEBO, DEB1은, 도면에서는 생략되어 있는 제어 회로에 의해서, 입력된 외부 어드레스에 따라 발생하는 신호이며, 커런트 미러 회로 CM20, CM21에 각각 입력된다. 이하에서는, 처음에 커런트 미러 회로 CM20, CM21, 바이어스 회로 BC3의 구성과 동작에 대하여 설명하여, 다음에 컬럼 선택 회로 YSW2에 대하여 설명한다.

<156> 커런트 미러 회로 CM20, CM21은 모두 동일한 구성이며, PMOS 트랜지스터 P301, P302, P303, P304, P305, P306으로 구성한다. 또한, 트랜지스터 P301, P302, P303을 각각 동일한 게이트 치수로 형성하고, 트랜지스터 P304, P305, P306도 각각 동일한 치수로 형성한다. 한쪽의 커런트 미러 회로 CM20에 있어서, 트랜지스터 P301, P302, P303의 게이트와 트랜지스터 P301의 드레인을 내부 공통 데이터선 NDL과 접속하고, 트랜지스터 P302의 드레인을 내부 공통 데이터선 NDLA, 트랜지스터 P303의 드레인을 센스 데이터선 SDL과 각각 접속한다. 트랜지스터 P304, P305, P306는, 소스에 전원 전압 VDD가 입력된 전원 제어용 트랜지스터이며, 트랜지스터 P301, P302, P303과 각각 직렬로 접속된다. 또한, 트랜지스터 P304, P306의 게이트에 판독 제어 신호 REB, 트랜지스터 P305의 게이트

에 더미 인에이블 신호 DEB0을 각각 입력한다. 다른 쪽의 커런트 미러 회로 CM21에 있어서, 트랜지스터 P301, P302, P303의 게이트와 트랜지스터 P301의 드레인을 내부 공통 데이터선 NDR에 접속하고, 트랜지스터 P302의 드레인을 내부 공통 데이터선 NDRA, 트랜지스터 P303의 드레인을 센스 데이터선 SDR과 각각 접속한다. 또한, 트랜지스터 P305의 게이트에 더미 인에이블 신호 DEB1을 입력한다.

<157> 바이어스 회로 BC3은, NMOS 트랜지스터 N321, N322, N323, N324로 구성된다. 트랜지스터 N321의 소스, 드레인을, 공통 데이터선 DL, 내부 공통 데이터선 NDL과 각각 접속하고, 트랜지스터 N322의 소스, 드레인을, 공통 데이터선 DLA, 내부 공통 데이터선 NDLA와 각각 접속한다. 또한, 트랜지스터 N323의 소스, 드레인을, 공통 데이터선 DR, 내부 공통 데이터선 NDR과 각각 접속하고, 트랜지스터 N324의 소스, 드레인을, 공통 데이터선 DRA, 내부 공통 데이터선 NDRA와 각각 접속한다. 또한, 트랜지스터 N321, N322, N323, N324의 게이트에 바이어스 전압 VB1을 입력한다. 여기서, 트랜지스터 N321, N322, N323, N324를 각각 동일한 게이트 치수로 형성하고, 공통 데이터선 DL, DLA, DR, DRA와 내부 공통 데이터선 NDL, NDLA, NDR, NDRA를 각각 동일한 배선 폭과 길이로 형성함으로써, 공통 데이터선 DL 및 DRA와, 공통 데이터선 DR 및 DRA로부터 커런트 미러 회로 CM20과 CM21을 보았을 때의 임피던스를 동일하게 하고 있다.

<158> 이러한 구성의 커런트 미러 회로 CM20, CM21의 동작에 대하여 이하에 설명한다. 일례로서 커런트 미러 CM20에 있어서, 더미 인에이블 신호 DEB0을 전원 전압 VDD로 유지하고, 전원 전압 VDD로 되어 있는 판독 제어 신호 REB를 접지 전위 VSS로 구동하여, 트랜지스터 P301, P303에 전원 전압 VDD를 공급함으로써, 미러비 1:1의 커런트 미러 회로를 형성한다. 이에 대하여, 전원 전압 VDD로 되어 있는 더미 인에이블 신호 DEB0 및 판독 제어 신호 REB를 접지 전위 VSS로 구동하여, 트랜지스터 P301, P302, P303에 전원 전압 VDD를 공급함으로써, 미러비 2:1의 커런트 미러 회로를 형성한다. 커런트 미러 회로 CM21에 있어서도, 더미 인에이블 신호 DEB1을 제어함으로써 마찬가지로 동작이 가능하다. 따라서, 이상의 구성과 동작에 의해, 더미 인에이블 신호 DEB0, DEB1에 따라서, 커런트 미러 회로 CM20, CM21의 미러비를 1:1 또는 2:1에 제어할 수 있다.

<159> 다음에, 컬럼 선택 회로 YSW2에 대하여 설명한다. 컬럼 선택 회로 YSW2는, NMOS 트랜지스터 N331, N332, N333, N334로 구성된다. 트랜지스터 N331, N332의 게이트에 컬럼 선택 신호 RYSL, 트랜지스터 N333, N334의 게이트에 컬럼 선택 신호 RYSR을 각각 입력한다. 또한, 트랜지스터 N331의 드레인을 판독 데이터선 ROT, 소스를 센스 데이터선 SDL에 각각 접속하고, 트랜지스터 N332의 드레인을 판독 데이터선 ROB, 소스를 센스 데이터선 SDR에 각각 접속한다. 또한, 트랜지스터 N333의 드레인을 판독 데이터선 ROB, 소스를 센스 데이터선 SDL에 각각 접속하고, 트랜지스터 N334의 드레인을 판독 데이터선 ROT, 소스를 센스 데이터선 SDR에 각각 접속한다. 따라서, 컬럼 선택 신호 RYSR을 접지 전위 VSS로 유지하고, 접지 전위 VSS로 되어 있는 컬럼 선택 신호 RYSL을 접지 전위 VDH로 구동하여 트랜지스터 N331, N332를 도통시킴으로써, 센스 데이터선 SDL, SDR을 판독 데이터선 ROT, ROB와 접속할 수 있다. 또한, 컬럼 선택 신호 RYSL을 접지 전위 VSS로 유지하여, 접지 전위 VSS로 되어 있는 컬럼 선택 신호 RYSR을 승압 전위 VDH로 구동하여 트랜지스터 N333, N334를 도통시킴으로써, 센스 데이터선 SDL, SDR을 판독 데이터선 ROB, ROT와 접속할 수 있다.

<160> 여기서, 본 실시예에서는, 메모리 셀 어레이 MCA10 상의 메모리 셀 MC를 판독할 경우, 선택한 메모리 셀 MC에 흐르는 전류와 동일한 값의 전류로 센스 데이터선 SDL을 충전하고, 반대로 메모리 셀 어레이 MCA10 상의 메모리 셀 MC를 판독할 경우, 선택한 메모리 셀 MC에 흐르는 전류와 동일한 값의 전류로 센스 데이터선 SDR을 충전한다. 따라서, 판독한 메모리 셀 MC의 위치에 따라서, 판독 데이터선 ROT, ROB에 대한 센스 데이터선 SDL, SDR의 극성이 다르다. 그러나, 전술한 바와 같은 구성의 컬럼 선택 회로 YSW2를 이용하여, 센스 데이터선 SDL, SDR을 이들 극성에 따라 판독 데이터선 ROT 및 ROB와 접속함으로써, 센스 데이터선 SDL, SDR과 판독 데이터선 ROT, ROB의 극성을 일치시킬 수 있어, 판독한 데이터를 정확하게 출력할 수 있다.

<161> 이러한 구성의 판독 회로 RCD3에 있어서의 전체 동작과, 참조 신호의 발생 방법에 대하여 설명한다. 여기서는 일례로서, 도 17에 나타난 메모리 셀 어레이 MCA10에 있어서의 메모리 셀 MC를 선택하는 경우에 대하여 설명한다. 우선, 선택하는 메모리 셀 어레이 MCA10에 따라서, 더미 인에이블 신호 DEB0을 전원 전위 VDD로 유지함으로써, 미러비 1:1의 커런트 미러 회로 CM20을 형성한다. 또한, 전원 전압 VDD로 되어 있는 더미 인에이블 신호 DEB1 및 판독 제어 신호 REB를 접지 전위 VSS로 각각 구동함으로써, 미러비 2:1의 커런트 미러 회로 CM21을 형성한다. 따라서, 한쪽의 센스 데이터선 SD1은, 공통 데이터선 DL로 출력된 메모리 셀 MC에 흐르는 전류와 동일한 값의 전류에 의해 충전된다. 다른 쪽의 센스 데이터선 SDR은, 공통 데이터선 DR 및 DL로 출력된 더미 셀 DC에 흐르는 전류의 절반값의 전류로 충전된다. 이상의 동작에 의해, 실시예 1의 수학적 4 및 수학적 6에 나타난 바와 같은 음양의 판독 신호가 발생되어, 센스 앰프 SA를 이용함으로써 기억 정보를 판별하고 증폭할 수 있다. 또한, 접지 전위 VSS로 되어 있는 컬럼 선택 신호 RYSL을 승압 전위 VDH로 구동하여, 트랜지스터 N331, N332를

도통함으로써, 센스 데이터선 SD1을 판독 데이터선 ROT, 센스 데이터선 SDR을 판독 데이터선 ROB에 각각 접속하고, 판독한 데이터를 출력한다.

<162> 이하에, 본 실시예의 효과를 정리한다. 공통 데이터선 DL 및 DR과 접속되는 스위치 SRW의 수를 포함함으로써, 워드선 쌍에 평행하게 형성된 부분의 공통 데이터선 DL, DR의 부하 용량 및 저항의 평형화를 실현할 수 있어, 실시예 2보다도 안정된 판독 동작이 가능하게 된다. 여기서, 도 18에 도시한 바와 같은 커런트 미러 회로 CM20, CM21을 이용하여, 선택하는 메모리 셀 MC의 위치에 따라 미러비를 제어함으로써, 센스 데이터선 SDL, SDR에 원하는 판독 신호와 참조 신호를 발생시킬 수 있다. 또한, 도 18에 도시한 바와 같은 컬럼 선택 회로 YSW2를 이용하여, 센스 데이터선 SDL, SDR을 이들의 극성에 따라 판독 데이터선 ROT 및 ROB와 접속함으로써, 센스 데이터선 SDL, SDR과 판독 데이터선 ROT, ROB의 극성을 일치시킬 수 있어, 판독한 데이터를 정확하게 출력할 수 있다.

<163> 지금까지는,  $8 \times 4$  비트 구성의 메모리 셀 어레이 MCA10, MCA11과  $8 \times 1$  비트 구성의 더미 셀 어레이 DCA10, DCA11을 예로 설명하였다. 그러나, 어레이 구성은 이것에 한정되지 않는다. 예컨대, 실시예 1 및 실시예 2에서술한 예와 마찬가지로 실시예 3에서도, 1세트의 워드선 쌍 및 1개의 데이터선마다 수백 비트의 메모리 셀을 각각 배치한 메모리 셀 어레이 구성으로 함으로써, 칩 전체에 대한 메모리 셀 어레이의 점유율을 높일 수 있다.

<164> <실시예 4>

<165> 본 실시예에서는, 메모리 블록의 또한 다른 구성예와 동작을 설명한다. 도 19는 메모리 블록의 주요부 블록도를 나타내고 있고, 판독 회로 RDC40, RDC41, 기입 회로 WCU20, WCU21, WCL10, WCL11, 멀티플렉서 MUXU20, MUXL20, MUXU21, MUXL21, MUXUD0, MUXLD0, MUXUD1, MUXLD1, 메모리 셀 어레이 MCA10, MCA11, 더미 셀 어레이 DCA10, DCA11, 공통 데이터선 제어 회로 DSW로 구성되어 있다. 도 14 및 도 17과 마찬가지로 도 19에서도, 도 1에 나타낸 바와 같은 워드 드라이버 어레이 WDA, 컬럼 디코드 어드레스 DYM, 로우 디코드 어드레스 DXB, 어레이 제어 버스 ABS가 편의상 생략되어 있다. 본 실시예의 특징은, 첫째로, 4개의 공통 데이터선 DLE, DLO, DRE, DRO를 형성하고, 멀티플렉서 MUXU20, MUXU21, MUXUD0, MUXUD1에서의 스위치 SRW를, 각각의 공통 데이터선에 규칙적으로 접속함으로써, 각각의 공통 데이터선과 접속되는 스위치 SRW의 수를 포함하는 데에 있다. 둘째로, 판독 동작에 있어서, 공통 데이터선 제어 회로 DSW를 이용하여, 활성화하는 더미 셀 DC의 위치에 따라 공통 데이터선을 접속하는 데에 있다. 이하에서는, 도 17과 다른 점에 대하여 설명한다.

<166> 처음에, 공통 데이터선 DLE, DLO, DRE, DRO의 각각을, 워드선 쌍과 평행하게, 서로 동일한 배선 길이 및 배선 폭이 되도록 형성한다. 우선, 멀티플렉서 MUXU20에 있어서 짝수번째의 데이터선 D(여기서는 데이터선 D0, D2)에 접속된 스위치 SRW와, 멀티플렉서 MUXUD0에서 더미 데이터선 D100에 접속된 스위치 SRW를, 공통 데이터선 DLE와 접속한다. 다음에, 멀티플렉서 MUXU20에 있어서 홀수번째의 데이터선 D(여기서는 데이터선 D1, D3)에 접속된 스위치 SRW와, 멀티플렉서 MUXUD0에서 더미 데이터선 D101과 접속된 스위치 SRW를, 공통 데이터선 DLO와 접속한다. 또한, 멀티플렉서 MUXU21에 있어서 짝수번째의 데이터선 D(여기서는 데이터선 D4, D6)에 접속된 스위치 SRW와, 멀티플렉서 MUXUD1에 있어서 더미 데이터선 D110과 접속된 스위치 SRW를, 공통 데이터선 DRE와 접속한다. 또한, 멀티플렉서 MUXU21에 있어서 홀수번째의 데이터선 D(여기서는 데이터선 D5, D7)에 접속된 스위치 SRW와, 멀티플렉서 MUXUD1에 있어서 더미 데이터선 D111에 접속된 스위치 SRW를, 공통 데이터선 DRO와 접속한다. 이상의 구성에 의해, 공통 데이터선 1개당의 스위치 SRW의 수를 동일한 수(여기서는 3개)로 하고 있다.

<167> 공통 데이터선 제어 회로 DSW는, 2개의 스위치 SE, SO으로 구성된다. 한쪽의 스위치 SE를 공통 데이터선 DLE와 DRE의 사이에 배치하고, 다른 쪽의 스위치 SO를 공통 데이터선 DLO와 DRO의 사이에 배치한다. 더미 셀 어레이 DCA10을 활성화하는 경우, 스위치 SE를 온 상태로 하여, 공통 데이터선 DLE, DRE를 접속함으로써, 더미 셀 DC를 구성하는 2개의 메모리 셀 MCL과 MCH를 병렬 접속한다. 또한, 더미 셀 어레이 DCA11을 활성화하는 경우, 스위치 SO를 온 상태로 하여, 공통 데이터선 DLO, DRO를 접속함으로써, 더미 셀 DC를 구성하는 2개의 메모리 셀 MCL과 MCH를 병렬 접속한다.

<168> 판독 회로 RDC40은, 메모리 셀 어레이 MCA10 상의 메모리 셀 MC를 선택함으로써, 공통 데이터선 DLE 및 DLO에 발생하는 판독 신호를 검출, 증폭한다. 또한, 판독한 데이터를 컬럼 선택 신호 RYSE, RYSO에 따라 판독 데이터선 ROT0 및 ROB0로 출력한다. 이에 대하여, 판독 회로 RDC41은, 메모리 셀 어레이 MCA11 상의 메모리 셀 MC를 선택함으로써, 공통 데이터선 DRE 및 DRO에 발생하는 판독 신호를 검출, 증폭한다. 또한, 판독한 데이터를 컬럼 선택 신호 RYSE, RYSO에 따라 판독 데이터선 ROT1 및 ROB1에 출력한다.

- <169> 기입 회로 WCU20은, 입력된 판독 제어 신호 REB, 컬럼 선택 신호 WYS, 기입 데이터선 WIB0에 따라 공통 데이터선 DLE 및 DLO를 구동하고, 기입 회로 WCL10은, 입력된 컬럼 선택 신호 WYS, 기입 데이터선 WIT0에 따라 기입 공통 노드 WCOM0을 구동한다. 기입 회로 WCU21은, 입력된 판독 제어 신호 REB, 컬럼 선택 신호 WYS, 기입 데이터선 WIB1에 따라 공통 데이터선 DRE 및 DRO를 구동하고, 기입 회로 WCL11은, 입력된 컬럼 선택 신호 WYS, 기입 데이터선 WIT1에 따라 기입 공통 노드 WCOM1을 구동한다.
- <170> 다음에, 본 메모리 블록의 전체 동작에 대하여 설명한다. 우선, 판독 동작의 제1 예로서, 메모리 셀 어레이 MCA10, MCA11에 있어서의 짝수번째의 데이터선 상의 메모리 셀 MC를 판독하는 경우에 대하여 설명한다. 처음에, 공통 데이터선 제어 회로 DSW에서의 스위치 SO를 온 상태로 하여, 공통 데이터선 DLO와 DRO를 접속한다. 다음에, 메모리 셀 어레이 MCA10, MCA11에 있어서의 짝수번째의 데이터선 상의 메모리 셀 MC를 각각 선택하여, 공통 데이터선 DLE, DRE를 거쳐서, 판독 회로 RDC40, RDC41에 기억 정보에 따른 전류를 각각 출력한다. 동시에, 더미 셀 어레이 DCA11에서의 더미 셀 DC를 활성화하고, 단락된 공통 데이터선 DLO, DRO를 통해, 판독 회로 RDC40, RDC41로 더미 셀 DC에 흐르는 전류를 각각 출력한다.
- <171> 다음에, 판독 동작의 제2 예로서 메모리 셀 어레이 MCA10, MCA11에서의 홀수번째의 데이터선 상의 메모리 셀 MC를 판독하는 경우에 대하여 서술한다. 처음에, 공통 데이터선 제어 회로 DSW에서의 스위치 SE를 온 상태로 하여, 공통 데이터선 DLE와 DRE를 접속한다. 다음에, 메모리 셀 어레이 MCA10, MCA11에서의 홀수번째의 데이터선 상의 메모리 셀 MC를 각각 선택하고, 공통 데이터선 DLO, DRO를 통해, 판독 회로 RDC40, RDC41로 기억 정보에 따른 전류를 각각 출력한다. 동시에, 더미 셀 어레이 DCA10에서의 더미 셀 DC를 활성화하여, 단락된 공통 데이터선 DLE, DRE를 통해, 판독 회로 RDC40, RDC41에 더미 셀 DC에 흐르는 전류를 각각 출력한다.
- <172> 또한, 기입 동작의 제1 예로서, 메모리 셀 어레이 MCA10, MCA11에 있어서의 짝수번째의 데이터선 상의 메모리 셀 MC에 기입하는 경우에 대하여 설명한다. 이 경우, 메모리 셀 어레이 MCA10에서의 짝수번째의 데이터선을, 공통 데이터선 DLE 및 기입 공통 노드 WCOM0과 접속하여, 기입 회로 WCU20 및 WCL10에 의해, 기억 정보에 따른 방향의 전류를 발생한다. 동시에, 메모리 셀 어레이 MCA11에 있어서의 짝수번째의 데이터선을, 공통 데이터선 DRE 및 기입 공통 노드 WCOM1에 접속하여, 기입 회로 WCU21 및 WCL11에 의해, 기억 정보에 따른 방향의 전류를 발생한다.
- <173> 또한, 기입 동작의 제2 예로서, 메모리 셀 어레이 MCA10, MCA11에 있어서의 홀수번째의 데이터선 상의 메모리 셀 MC에 기입하는 경우에 대하여 서술한다. 이 경우, 메모리 셀 어레이 MCA10에서의 홀수번째의 데이터선을, 공통 데이터선 DLO 및 기입 공통 노드 WCOM0과 접속하여, 기입 회로 WCU20 및 WCL10에 의해, 기억 정보에 따른 방향의 전류를 발생한다. 동시에, 메모리 셀 어레이 MCA11에서의 홀수번째의 데이터선을, 공통 데이터선 DRO 및 기입 공통 노드 WCOM1에 접속하여, 기입 회로 WCU21 및 WCL11에 의해, 기억 정보에 따른 방향의 전류를 발생한다.
- <174> 마지막으로, 더미 셀 어레이 DCA10, DCA11의 초기화 동작은 다음과 같이 실행된다. 한쪽의 더미 셀 어레이 DCA10을 초기화하는 경우, 공통 데이터선 제어 회로 DSW에 있어서의 스위치 SE를 온 상태로 하여 공통 데이터선 DLE와 DRE를 단락하고, 멀티플렉서 MUXUD0, MUXLD0을 활성화함으로써, 도 1에 나타난 멀티플렉서 MUXUD, MUXLD와 마찬가지로, 더미 데이터선 D100과 D101과 서로 반대 방향의 전류를 발생한다. 다른 쪽의 더미 셀 어레이 DCA11을 초기화하는 경우, 공통 데이터선 제어 회로 DSW에서의 스위치 SO를 온 상태로서 공통 데이터선 DLO와 DRO를 단락하고, 멀티플렉서 MUXUD1, MUXLD1을 활성화함으로써, 도 1에 나타난 멀티플렉서 MUXUD, MUXLD와 마찬가지로, 더미 데이터선 D110과 D111과 서로 반대 방향의 전류를 발생한다.
- <175> 다음에, 판독 회로 RDC40, RDC41의 구성과 동작, 참조 신호의 발생 방법에 대하여 설명한다. 도 20은 2개의 판독 회로 RDC40, RDC41의 구성예를 나타내고 있고, 각각의 판독 회로는, 컬럼 선택 회로 YSW2, 프리차지 회로 PCEQ, 센스 앰프 SA, 커런트 미러 회로 CM10, CM11, 바이어스 회로 BC4로 각각 구성된다. 입력되는 프리차지 인에이블 신호 EQ, 센스 앰프 기동 신호 SDP, 판독 제어 신호 REB의 각각은, 어레이 제어 버스 ABS 중의 신호이다. 본 실시예에 의한 판독 회로 RDC40, RDC41의 특징은, 첫째로, 커런트 미러 회로 CM10, CM11을, 도 1에 나타난 미러비 1:1의 커런트 미러 회로 CM과 동일한 구성으로 하는 것이다. 둘째로, 바이어스 회로 BC4를, 각각 동일한 게이트 치수의 NMOS 트랜지스터 N101, N102로 구성하는 데에 있다.
- <176> 우선, 판독 회로 RDC40에 대하여 설명한다. 한쪽의 커런트 미러 회로 CM10의 입력 단자를 내부 공통 데이터선 NDLE, 출력 단자를 센스 데이터선 SDLE와 각각 접속한다. 다른 쪽의 커런트 미러 회로 CM11의 입력 단자를 내부 공통 데이터선 NDLO, 출력 단자를 센스 데이터선 SDLO와 각각 접속한다. 또한, 바이어스 회로 BC4에 있어서, 트랜지스터 N101의 소스와 드레인을, 공통 데이터선 DLE와 내부 공통 데이터선 NDLE에 각각 접속하고,



트랜지스터 N102의 소스와 드레인을, 공통 데이터선 DLO와 내부 공통 데이터선 NDLO와 각각 접속한다. 또한, 공통 데이터선 DLE 및 DLO와, 내부 공통 데이터선 NDLE 및 NDLO를 동일한 배선 폭과 배선 길이가 되도록 형성한다. 이러한 구성으로 함으로써 공통 데이터선 DLE, DLO로부터 커런트 미러 회로 CM10, CM11을 보았을 때의 임피던스를 각각 동일하게 되도록 할 수 있다.

<177> 컬럼 선택 회로 YSW2는, 입력된 컬럼 선택 신호 RYSE, RYSO에 의해서, 센스 데이터선 SDLE, SDLO를 판독 데이터선 ROTO 및 ROBO 중 어느 하나와 접속한다. 본 실시예에서는, 도 19에 나타난 메모리 셀 어레이 MCA10에 있어서의 짝수번째의 데이터선 상의 메모리 셀 MC를 판독하는 경우에, 센스 데이터선 SDLE이 양의 극성이 되고, 홀수번째의 데이터선 상의 메모리 셀 MC를 판독하는 경우에, 센스 데이터선 SDLO는 양의 극성이 된다. 그러므로, 컬럼 선택 회로 YSW2를 이용하여, 센스 데이터선 SDLE, SDLO를 이들 극성에 따라 판독 데이터선 ROTO, ROBO와 접속한다.

<178> 다음에, 판독 회로 RDC41에 대하여 설명한다. 한쪽의 커런트 미러 회로 CM10의 입력 단자를 내부 공통 데이터선 NDRE, 출력 단자를 센스 데이터선 SDRE와 각각 접속한다. 다른 쪽의 커런트 미러 회로 CM11의 입력 단자를 내부 공통 데이터선 NDRO, 출력 단자를 센스 데이터선 SDRO와 각각 접속한다. 또한, 바이어스 회로 BC4에 있어서, 트랜지스터 N101의 소스와 드레인을, 공통 데이터선 DRE와 내부 공통 데이터선 NDRE에 각각 접속하고, 트랜지스터 N102의 소스와 드레인을, 공통 데이터선 DRO와 내부 공통 데이터선 NDRO와 각각 접속한다. 또한, 공통 데이터선 DRE 및 DRO와, 내부 공통 데이터선 NDRE 및 NDRO를 동일한 배선 폭 및 배선 길이가 되도록 형성한다. 이러한 구성을 함으로써 공통 데이터선 DRE, DRO로부터 커런트 미러 회로 CM10, CM11을 보았을 때의 임피던스를 각각 동일하게 할 수 있다.

<179> 컬럼 선택 회로 YSW2는, 입력된 컬럼 선택 신호 RYSE, RYSO에 의해서, 센스 데이터선 SDRE, SDRO를 판독 데이터선 ROT1 및 ROB1 중 어느 하나와 접속한다. 본 실시예에서는, 도 19에 나타난 메모리 셀 어레이 MCA11에서의 짝수번째의 데이터선 상의 메모리 셀 MC를 판독하는 경우에, 센스 데이터선 SDRE가 양의 극성이 되고, 홀수번째의 데이터선 상의 메모리 셀 MC를 판독하는 경우에, 센스 데이터선 SDRO가 양의 극성이 된다. 따라서, 컬럼 선택 회로 YSW2를 이용하여, 센스 데이터선 SDRE, SDRO를 이들 극성에 따라 판독 데이터선 ROT1, ROB1과 접속한다.

<180> 도 20에는 또한 공통 데이터선 제어 회로 DSW의 구성예가 도시되어 있다. NMOS 트랜지스터 N411은, 도 19에 나타난 스위치 SE에 대응하는 것으로, 소스, 드레인을 공통 데이터선 DLE, DRE와 각각 접속하여, 게이트와 접속 제어 신호 CNE를 입력한다. 또한, NMOS 트랜지스터 N412는, 도 19에 나타난 스위치 SO에 대응하는 것이며, 소스, 드레인을 공통 데이터선 DLO, DRO와 각각 접속하고, 게이트와 접속 제어 신호 CNO를 입력한다. 여기서, 접속 제어 신호 CNE, CNO는, 도면에서는 생략되어 있는 제어 회로에 의해서, 입력된 외부 어드레스에 따라 발생하는 신호이다.

<181> 이상의 구성에 따른, 판독 회로 RDC40, RDC41과 공통 데이터선 제어 회로 DSW의 전체 동작과, 참조 신호의 발생 방법에 대하여 설명한다. 여기서는 일례로서, 도 19에 나타난 메모리 셀 어레이 MCA10, MCA11에 있어서 짝수번째의 데이터선 상의 메모리 셀 MC를 각각 선택하는 경우에 대하여 설명한다. 이 경우, 더미 셀 어레이 DCA11 상의 더미 셀 DC가 선택된다. 우선, 데이터선 제어 회로에 있어서, 접지 전위 VSS로 되어 있는 접속 제어 신호 CNO를 전원 전압 VDD로 구동하여, 트랜지스터 N412를 도통시킴으로써, 공통 데이터선 DLO와 DRO를 접속하고, 공통 데이터선 DLO, DRO와 더미 데이터선 D110, D111을 단락한다. 다음에, 전원 전압 VDD로 되어 있는 판독 제어 신호 REB를 접지 전위 VSS로 구동하여, 판독 회로 RDC40에 있어서의 미러비 1:1의 커런트 미러 회로 CM10을 활성화함으로써, 메모리 셀 어레이 MCA10 상의 선택 메모리 셀 MC에서의 기억 정보에 따른 전류에 의해, 센스 데이터선 SDLE를 충전한다. 마찬가지로, 판독 회로 RDC41에 있어서의 미러비 1:1의 커런트 미러 회로 CM10을 활성화함으로써, 메모리 셀 어레이 MCA11 상의 선택 메모리 셀 MC에서의 기억 정보에 따른 전류에 의해, 센스 데이터선 SDRE를 충전한다. 또한 이 때, 판독 회로 RDC40, RDC41에 있어서, 미러비 1:1의 커런트 미러 회로 CM11이 각각 활성화되어 있다. 여기서, 공통 데이터선 DLO, DRO로부터, 대응하는 커런트 미러 회로 CM11을 보았을 때의 임피던스가 동일하고, 공통 데이터선 DLO, DRO와 더미 데이터선 D110, D111이 단락되어 동일 전위로 되어 있기 때문에, 더미 셀 DC에 흐르는 전류의 절반값의 전류가, 각각의 커런트 미러 회로 CM11에 흐른다. 따라서, 센스 데이터선 SDLO, SDRO는, 더미 셀 DC에 흐르는 전류의 평균 전류에 의해 충전된다. 따라서, 실시예 1의 수학식 4 및 수학식 6에 나타난 바와 같은 음양의 판독 신호가 센스 데이터선 SDLE 및 SDLO와 SDRE 및 SDRO에 발생되어, 센스 앰프 SA에 의해, 각각의 기억 정보를 판별하고 증폭한다. 또한, 접지 전위 VSS로 되어 있는 컬럼 선택 신호 RYSE를 승압 전위 VDH로 구동하여, 판독 회로 RDC40, RDC41의 컬럼 선택 회로 YSW2에 있어서의 트랜지스터 N331, N332를 각각 도통시킴으로써, 센스 데이터선 SDLE를 판독 데이터선 ROTO, 센스 데이터선 SDLO를

판독 데이터선 ROB0, 센스 데이터선 SDLE를 판독 데이터선 ROT1, 센스 데이터선 SDRO를 판독 데이터선 ROB1에 각각 접속하고, 판독한 데이터를 출력한다.

<182> 다음에, 기입 회로 WCU20, WCU21에 대하여 설명한다. 도 21은 기입 회로 WCU20, WCU21과 공통 데이터선 제어 회로 DSW를 나타내고 있고, 공통 데이터선 제어 회로 DSW는, 도 20에 나타낸 구성과 같다. 기입 회로 WCU20, WCU21의 각각을, 도 1에 나타낸 기입 회로 WCU1과, NMOS 트랜지스터 N401, N402를 이용하여 구성한다. 한쪽의 기입 회로 WCU20에 있어서, 트랜지스터 N401, N402의 소스를 기입 회로 WCU1의 출력 단자, 드레인을 공통 데이터선 DLE, DLO와 각각 접속한다. 또한, 게이트에 판독 제어 신호 REB를 각각 입력한다. 다른 쪽의 기입 회로 WCU21에 있어서, 트랜지스터 N401, N402의 드레인을 공통 데이터선 DRE, DRO와 각각 접속한다.

<183> 이러한 구성에 있어서, 판독 동작의 경우, 전원 전압 VDD로 되어 있는 판독 제어 신호 REB를 접지 전위 VSS로 구동하여, 트랜지스터 N401, N402를 오프 상태로 함으로써, 공통 데이터선 DLE, DLO, DRE, DRO를 대응하는 기입 회로 WCU1의 출력 단자로부터 각각 분리시킨다. 또한, 대기시나 기입 동작의 경우, 판독 제어 신호 REB를 전원 전압 VDD로 유지하고, 트랜지스터 N401, N402를 도통시킴으로써, 공통 데이터선 DLE, DLO, DRE, DRO를 각각 구동한다.

<184> 이상과 같은 구성과 동작에 의해, 판독 동작에 있어서, 공통 데이터선 DLE, DLO, DRE, DRO으로부터 대응하는 기입 회로 WCU1을 각각 분리시키고, 공통 데이터선 제어 회로 DSW를 이용하여, 공통 데이터선 DLE, DLO, DRE, DRO의 접속을 제어할 수 있다.

<185> 이하에, 본 실시예에 대하여 정리한다. 첫째로, 동일한 배선 길이와 배선 폭으로 형성된 4개의 공통 데이터선 DLE, DLO, DRE, DRO를 워드선 쌍과 평행하게 배치한다. 또한, 메모리 셀 어레이 MCA10, MCA11에서의 데이터선과 더미 셀 어레이 DCA10, DCA11에서의 데이터선을 짝수번째와 홀수번째의 그룹으로 나누고, 대응하는 멀티플렉서 MUXU20, MUXU21, MUXUD0, MUXUD1에서의 스위치 SRW를, 각각의 공통 데이터선에 규칙적으로 접속했다. 이러한 구성에 의해, 각각의 공통 데이터선과 접속되는 스위치 SRW의 수를 동일한 수(여기서는 3개)로 할 수 있다. 또한, 공통 데이터선 DLE, DLO, DRE, DRO와 접속되는 스위치 SRW의 수를 실시예 3보다도 저감할 수 있다. 둘째로, 판독 동작의 경우, 각 공통 데이터선에 1개의 데이터선 또는 더미 데이터선이 접속되기 때문에, 활성화된 메모리 셀 MC 및 더미 셀 DC를 구성하는 2개의 메모리 셀 MCL, MCH로부터 대응하는 공통 데이터선을 보았을 때의 임피던스를 동일하게 할 수 있다. 셋째로, 판독 회로 RDC40, RDC41에서의 커런트 미러 회로 CM10, CM11의 미러비를 각각 1:1로 하고, 또한 바이어스 회로 BC4에서의 2개의 전류 경로를 대상으로 구성함으로써, 공통 데이터선 DLE, DLO, DRE, DRO로부터 대응하는 커런트 미러 회로를 보았을 때의 임피던스를 각각 동일하게 할 수 있다. 이상에 의해, 판독 동작에 있어서의 각 전류 경로의 부하를, 실시예 3보다도 균형이 잡힌 것으로 할 수 있어, 안정된 판독 동작을 실현할 수 있다.

<186> 지금까지는, 8 × 4 비트 구성의 메모리 셀 어레이 MCA10, MCA11과 8 × 1 비트 구성의 더미 셀 어레이 DCA10, DCA11을 예로 설명하여 왔다. 그러나, 어레이 구성은, 이것에 한정되지 않는다. 예컨대, 실시예 1, 실시예 2 및 실시예 3에서 서술한 예와 마찬가지로 실시예 4에서도, 1세트의 워드선 쌍 및 1개의 데이터선마다 수백 비트의 메모리 셀을 각각 배치한 메모리 셀 어레이를 구성함으로써, 칩 전체에 대한 메모리 셀 어레이의 점유율을 높일 수 있다.

<187> <실시예 5>

<188> 지금까지의 실시예에서는, 복수개의 워드선 쌍마다 더미 셀 DC를 배치하고, 참조 신호를 발생하는 구성과 동작에 대하여 서술하였다. 이러한 구성의 더미 셀 DC에 결함이 발생한 경우, 결함 더미 셀 DC가 접속된 워드선 쌍상의 메모리 셀 MC를 판독할 수 없기 때문에, 수율이 저하될 우려가 있다. 본 실시예에서는, 이 문제를 해결하기 위해서, 실시예 3의 도 17에 나타낸 메모리 블록에 구제 회로를 도입하고 있다.

<189> 도 22와 도 23은 본 실시예에 있어서의 메모리 블록의 주요부 블록도를 나타내고 있다. 한쪽의 도 22에 있어서, 메모리 셀 어레이 MCA10과 더미 셀 어레이 DCA10의 사이에, 리턴던시 셀 어레이 RCA10, RDCA10을 배치한다. 또한, 리턴던시 셀 어레이 RCA10의 양단에 멀티플렉서 MUXU30, MUXL30, 리턴던시 셀 어레이 RDCA10의 양단에 멀티플렉서 MUXU40, MUXL40을 각각 배치한다. 다른 쪽의 도 23에 있어서, 메모리 셀 어레이 MCA11과 더미 셀 어레이 DCA11의 사이에, 리턴던시 셀 어레이 RCA11, RDCA11을 배치한다. 또한, 리턴던시 셀 어레이 RCA11의 양단에 멀티플렉서 MUXU31, MUXL31, 리턴던시 셀 어레이 RDCA11의 양단에 멀티플렉서 MUXU41, MUXL41을 각각 배치한다. 이러한 구성에 따른 본 실시예의 특징은, 첫째로, 메모리 셀 어레이 MCA10, MCA11상에 발생한 결함 메모리 셀을, 리턴던시 셀 어레이 RCA10, RCA11 상의 리턴던시 메모리 셀로 각각 치환하는 것에 있다. 둘째로,

더미 셀 어레이 DCA10, DCA11 상에 발생한 결함 메모리 셀을, 리턴던시 셀 어레이 RDCA10, RDCA11 상의 리턴던시 메모리 셀로 각각 치환하는 것에 있다. 이하에서는, 편의상, 메모리 셀 어레이 MCA10과 더미 셀 어레이 DCA10에 대한 구체 회로에 대하여 설명한다.

<190> 도 24는 도 22에 나타난 메모리 셀 어레이 MCA10과 더미 셀 어레이 DCA10, 리턴던시 셀 어레이 RCA10, RDCA10, 멀티플렉서 MUXU20, MUXL20, MUXU30, MUXL30, MUXU40, MUXL40, MUXUD0, MUXLD0의 회로 구성예를 나타내고 있다. 또한, 도 39는 각각의 멀티플렉서 MUX에 입력하는 컬럼 어드레스 신호 YMX를 나타내고 있다. 이하에서는, 도 24와 도 39에 따라서 각 회로 구성에 대하여 설명한다. 메모리 셀 어레이 MCA10은, 도 17과 같이  $8 \times 4$  비트 구성이며, 8세트의 워드선 쌍과 데이터선  $Dj(j=0, \dots, 3)$ 의 교점에, 메모리 셀 MC를 각각 배치한다. 또한, 더미 셀 어레이 DCA10은  $8 \times 1$  비트 구성이고, 8세트의 워드선 쌍과 더미 데이터선 D100 및 D101의 교점에 더미 셀 DC를 각각 배치한다.

<191> 이에 대하여, 리턴던시 셀 어레이 RCA10을  $8 \times 2$  비트의 메모리 셀 MC로 구성하고, 8세트의 워드선 쌍과 리턴던시 데이터선 RD00, RD01의 교점에 이들 메모리 셀 MC를 각각 배치한다. 또한, 리턴던시 셀 어레이 RDCA10을  $8 \times 2$  비트의 메모리 셀 MC로 구성하고, 8세트의 워드선 쌍과 리턴던시 더미 데이터선 RD100, RD101의 교점에 이들 메모리 셀 MC를 각각 배치한다.

<192> 멀티플렉서 MUXU20은, 4개의 MOS 트랜지스터 N11j( $j=0, \dots, 3$ )로 구성된다. 트랜지스터 N11j의 소스에 데이터선  $Dj(j=0, \dots, 3)$ , 드레인에 공통 데이터선 DL, 게이트에 도 39에 도시한 바와 같은 컬럼 어드레스 신호  $YMTj(j=0, \dots, 3)$ 를 각각 접속한다. 멀티플렉서 MUXL20은, 4개의 NMOS 트랜지스터 N13j( $j=0, \dots, 3$ ) 및 4개의 NMOS 트랜지스터 N14j( $j=0, \dots, 3$ )로 구성된다. 트랜지스터 N13j의 소스에 접지 전위 VSS, 드레인에 데이터선  $Dj(j=0, \dots, 3)$ , 게이트에 도 39에 도시한 바와 같은 컬럼 어드레스 신호  $YMBj(j=0, \dots, 3)$ 를 각각 접속한다. 또한, 트랜지스터 N14j의 소스에 기입 공통 노드 WCOM0, 드레인에 데이터선  $Dj(j=0, \dots, 3)$ , 게이트에 도 39에 나타내는 바와 같은 컬럼 어드레스 신호  $YMWj(j=0, \dots, 3)$ 를 각각 접속한다.

<193> 멀티플렉서 MUXUD0은 2개의 NMOS 트랜지스터 N120, N121로 구성된다. 트랜지스터 N120, N121의 소스를 더미 데이터선 D100, D101, 드레인을 공통 데이터선 DL, 게이트에 도 39에 나타내는 바와 같은 컬럼 어드레스 신호  $YMDT00, YMDT01$ 을 각각 접속한다. 멀티플렉서 MUXLD0은, 4개의 NMOS 트랜지스터 N150, N151, N190, N191로 구성된다. NMOS 트랜지스터 N150, N151의 소스에 접지 전위 VSS, 드레인에 더미 데이터선 D100, D101, 게이트에 도 39에 나타내는 바와 같은 컬럼 어드레스 신호  $YMDB00, YMDB01$ 을 각각 접속한다. 또한, 트랜지스터 N190의 소스에 접지 전위 VSS, 드레인에 더미 데이터선 D100, 게이트에 도 39에 나타내는 바와 같은 컬럼 어드레스 신호  $YMDW00$ 을 접속한다. 또한, 트랜지스터 N191의 소스에 전원 전압 VDD, 드레인에 더미 데이터선 D101, 게이트에 도 39에 나타내는 바와 같은 컬럼 어드레스 신호  $YMDW01$ 을 접속한다.

<194> 멀티플렉서 MUXU30은, 2개의 NMOS 트랜지스터 N340, N341로 구성된다. 트랜지스터 N340, N341의 소스에 리턴던시 데이터선 RD00, RD01, 드레인에 공통 데이터선 D1, 게이트에 도 39에 나타내는 바와 같은 리턴던시 컬럼 어드레스 신호  $RYMT00, RYMT01$ 을 각각 접속한다. 멀티플렉서 MUXL30은, 4개의 NMOS 트랜지스터 N350, N351, N360, N361로 구성된다. 트랜지스터 N350, N351의 소스에 접지 전위 VSS, 드레인에 리턴던시 데이터선 RD00, RD01, 게이트에 도 39에 나타내는 바와 같은 리턴던시 컬럼 어드레스 신호  $RYMB00, RWB01$ 을 각각 접속한다. 또한, 트랜지스터 N360, N361의 소스에 기입 공통 노드 WCOM0, 드레인에 리턴던시 데이터선 RD00, RD01, 게이트에 도 39에 나타내는 바와 같은 리턴던시 컬럼 어드레스 신호  $RYMW00, RYMW01$ 을 각각 접속한다. 여기서, 리턴던시 컬럼 어드레스 신호  $RYMT00$  및  $RYMT01$ ,  $RYMB00$  및  $RYMB01$ ,  $RYMW00$  및  $RYMW01$ 의 각각은, 컬럼 어드레스 신호  $YMTj, YMBj, YMWj$ 에 대응하는 신호이며, 후에 도시하는 정규 어드레스 기억 회로에 기억된 리턴던시 정보에 따라 구동된다.

<195> 멀티플렉서 MUXU40은, 2개의 NMOS 트랜지스터 N420, N421로 구성된다. 트랜지스터 N420, N421의 소스에 리턴던시 더미 데이터선 RD100, RD101, 드레인에 공통 데이터선 D1, 게이트에 도 39에 나타내는 바와 같은 리턴던시 컬럼 어드레스 신호  $RYMT00, RYMDT01$ 을 각각 접속한다. 멀티플렉서 MUXL40은, 4개의 NMOS 트랜지스터 N430, N431, N440, N441로 구성된다. 트랜지스터 N430, N431의 소스에 접지 전위 VSS, 드레인에 리턴던시 더미 데이터선 RD100, RD101, 게이트에 도 39에 나타내는 바와 같은 리턴던시 컬럼 어드레스 신호  $RYMDB00, RYMDB01$ 을 각각 접속한다. 또한, 트랜지스터 N440의 소스에 접지 전위 VSS, 드레인에 리턴던시 더미 데이터선 RD100, 게이트에 도 39에 나타내는 바와 같은 리턴던시 컬럼 어드레스 신호  $RYMDW00$ 을 각각 접속한다. 또한, 트랜지스터 N441의 소스에 전원 전압 VDD, 드레인에 리턴던시 더미 데이터선 RD101, 게이트에 도 39에 나타내는 바와 같은 리턴던시 컬럼 어드레스 신호  $RYMDW01$ 을 각각 접속한다. 여기서, 리턴던시 컬럼 어드레스 신호  $RYMDT00,$

RYMDT01, RYMDB00, RYMDB01, RYMDW00, RYMDW01의 각각은, 컬럼 어드레스 신호 YMDT00, YMDT01, YMDB00, YMDB01, YMDW00, YMDW01에 대응하는 신호이며, 후에 도시하는 바와 같은 더미 어드레스 기억 회로에 기억된 리턴던시 정보에 따라 구동된다. 또한, 도 39에 도시하는 바와 같이 멀티플렉서 MUXUD0, MUXLD0에 입력하는 컬럼 어드레스 신호를, 더미 데이터선 D100, D101에 대응시켜 분리하고, 또한, 멀티플렉서 MUXU40, MUXL40에 입력하는 리턴던시 컬럼 어드레스 신호를, 리턴던시 더미 데이터선 D100, D101에 대응시켜 분리함으로써, 더미 데이터선을 1개씩 치환하도록 하고 있다.

<196> 도 25는 일례로서, 메모리 셀 어레이 MCA10에 있어서의 데이터선 D2, D3과, 더미 셀 어레이 DCA10에 있어서의 더미 데이터선 D100, D101 상의 X 표시로 나타낸 메모리 셀에 결함이 발생한 경우에, 데이터선 D2, D3을 리턴던시 셀 어레이 RCA10에 있어서의 리턴던시 데이터선 RD00, RD01, 더미 데이터선 D100, D101을 리턴던시 셀 어레이 RDCA10에서의 리턴던시 더미 데이터선 RD100, RD101로 각각 치환하는 개념도를 도시하고 있다. 한쪽의 리턴던시 데이터선 RD00, RD01 상의 메모리 셀 MC에 데이터를 기입하는 경우, 도 24에 나타낸 멀티플렉서 MUXU30, MUXL30을 각각 제어하여, 리턴던시 데이터선을 1개씩 선택함으로써 데이터를 기입한다. 다른 쪽의 리턴던시 더미 데이터선 RD100, RD101 상의 메모리 셀 MC를 초기화하는 경우, 도 24에 도시한 멀티플렉서 MUXU40, MUXL40을 각각 제어하여, 전원 전압 VDD와 접지 전위 VSS의 사이에 리턴던시 더미 데이터선 RD101로부터 공통 데이터선 DL 및 리턴던시 더미 데이터선 RD100을 거치는 전류 경로를 형성함으로써, 더미 셀 DC와 마찬가지로 상보의 기억 정보를 기입하여 더미 셀을 형성한다.

<197> 도 26은 다른 예로서, 메모리 셀 어레이 MCA10에 있어서의 데이터선 D2와, 더미 셀 어레이 DCA10에서의 더미 데이터선 D101 상의 X 표시로 나타낸 메모리 셀에 결함이 발생한 경우에, 데이터선 D2를 리턴던시 셀 어레이 RCA10에 있어서의 리턴던시 데이터선 RD00, 더미 데이터선 D101을 리턴던시 셀 어레이 RDCA10에서의 리턴던시 더미 데이터선 RD101로 치환하는 개념도를 도시하고 있다. 리턴던시 더미 데이터선 RD101 상의 메모리 셀 MC를 초기화하는 경우, 도 24에 나타낸 멀티플렉서 MUXUD0, MUXLD0 및 MUXU40, MUXL40을 각각 제어하여, 전원 전압 VDD와 접지 전위 VSS의 사이에, 리턴던시 더미 데이터선 RD101로부터 공통 데이터선 DL 및 더미 데이터선 D100을 거치는 전류 경로를 형성함으로써, 더미 데이터선 D100과 리턴던시 더미 데이터선 RD101 상의 메모리 셀에 상보의 기억 정보를 기입한다. 따라서, 더미 데이터선 D100 상의 메모리 셀 MCL과 리턴던시 더미 데이터선 RD101 상의 메모리 셀 MC를 쌍으로 한 더미 셀이 형성된다.

<198> 마지막으로, 본 실시예에 대하여 정리한다. 첫째로, 더미 셀 DC에서의 메모리 셀 MCL 또는 MCH에 결함이 발생한 경우, 결함 메모리 셀 MCL이 접속된 더미 데이터선 D100, 또는 결함 메모리 셀 MCH가 접속된 더미 데이터선 D101을, 리턴던시 더미 데이터선 RD100 또는 RD101로 치환하는 컬럼 구제 방식을 제공했다.

<199> 이에 의해, 결함 더미 셀 DC와 동일 워드선 쌍 상에 있는 메모리 셀 MC에 대하여 참조 신호를 발생시킬 수 있다. 둘째로, 메모리 셀 MC에 결함이 발생한 경우, 결함 메모리 셀 MC가 접속된 데이터선 D를 리턴던시 데이터선 RD00 또는 RD01로 치환하는 컬럼 구제 방식을 제공했다. 이상, 2가지 컬럼 구제 방식에 의해, 실시예 3보다도 수율이 높은 메모리 블럭을 실현할 수 있다.

<200> 지금까지는,  $8 \times 4$  비트 구성의 메모리 셀 어레이 MCA10, MCA11과  $8 \times 1$  비트 구성의 더미 셀 어레이 DCA10, DCA11에  $8 \times 2$  비트 구성의 리턴던시 셀 어레이 RCA10, RCA11, RDCA10, RDCA11을 도입하는 예를 설명하여 왔다. 그러나, 어레이 구성은 이것에 한정되지 않는다. 예컨대, 실시예 3에서 서술한 예와 마찬가지로, 1세트의 워드선 쌍 및 1개의 데이터선마다 수백 비트의 메모리 셀을 각각 배치한 메모리 셀 어레이 구성으로 하는 것도 가능하다. 이것에 의해, 다수의 메모리 셀 MC가, 판독 회로 RDC2 및 기입 회로 WCU10, WCL10, WCU11, WCL11을 공유할 수 있다. 따라서, 리턴던시 셀 어레이에 의한 칩 면적증가를 실효적으로 억제하여, 칩 전체에 대한 메모리 셀 어레이의 점유율 높일 수 있다.

<201> 또한, 어레이 구성을 확장한 메모리 셀 블럭에 본 실시예에 의한 컬럼 구제 방식을 도입하는 경우, 리턴던시 데이터선 수를 메모리 셀 어레이에 있어서의 결함 발생수에 따른 수로 하는 것이 바람직하다. 예컨대, 현재 널리 이용되고 있는 DRAM에서는, 데이터선에 대한 리턴던시 데이터선의 비율이 1 내지 2% 정도이며, MRAM에서도 같은 정도의 비율로 하는 것이 바람직하다. 이를 위해서는, 메모리 셀 어레이의 사이즈를 크게 할 필요가 있지만, 상기와 같이 본 발명의 참조 신호 발생 방법을 이용함으로써, 고 S/N비의 판독 동작을 실현할 수 있어 바람직하다.

<202> 또한, 지금까지 설명하여 온 컬럼 구제 방식을, 도 19에 나타낸 메모리 블럭에 응용할 수도 있다. 예컨대, 메모리 셀 어레이 MCA10과 더미 셀 어레이 DCA10의 사이에 리턴던시 셀 어레이 RCA10, RDCA10을 배치하고, 리턴던시 데이터선 RD00과 리턴던시 더미 데이터선 RD100을 공통 데이터선 DLE, 리턴던시 데이터선 RD01을 공통 데이



터션 DLO, 리턴던시 더미 데이터선 RD101을 공통 데이터선 DRE과 각각 접속되도록, 멀티플렉서에서의 대응하는 스위치 SRW를 형성한다. 이러한 구성에 의해, 메모리 셀 어레이 MCA10, 더미 셀 어레이 DCA10 상의 결함을 리턴던시 셀 어레이 RCA10, RDCA10에 각각 치환하는 컬럼 구제 방식이 실현되어, 수율과 집적도가 높은, 대용량 MRAM을 실현할 수 있다.

<203> <실시예 6>

<204> 실시예 5에서는, 메모리 셀 어레이 MCA10과 더미 셀 어레이 DCA10이 각각 대응한 리턴던시 셀 어레이 RCA10, RDCA10을 형성하는 컬럼 구제 방식을 설명했다. 이 방식에서는, 구제 능력이 높은 반면, 메모리 셀 어레이 MCA10 및 더미 셀 어레이 DCA11에 대한 리턴던시 셀 어레이 RCA10 및 RDCA10의 비율이 크기 때문에, 칩 면적이 증가한다. 이 문제를 해결하기 위해서, 본 실시예에서는, 메모리 셀 어레이 상에 발생한 결함 메모리 셀 MC와, 더미 셀 어레이에 있어서의 더미 셀 DC 상에 발생한 결함 메모리 셀 MCL 및 MCH의 양쪽을, 동일한 리턴던시 셀 어레이로 치환하는 구제 회로에 대하여 설명한다.

<205> 도 27은 본 실시예에 있어서의 메모리 블록의 주요 블록도를 나타내고 있다. 한쪽의 메모리 셀 어레이 MCA10과 더미 셀 어레이 DCA10의 사이에, 리턴던시 셀 어레이 RCA10을 배치하고, 리턴던시 셀 어레이 RCA10의 양단에 멀티플렉서 MUXU30, MUXL30을 각각 배치한다. 다른 쪽의 메모리 셀 어레이 MCA11과 더미 셀 어레이 DCA11의 사이에, 리턴던시 셀 어레이 RCA11을 배치하고, 리턴던시 셀 어레이 RCA11의 양단에 멀티플렉서 MUXU31, MUXL31을 각각 배치한다. 따라서, 실시예 5의 도 22 및 도 23과 비교하여, 리턴던시 셀 어레이 RDCA10, RDCA11과 멀티플렉서 MUXU40, MUXL40, MUXU41, MUXL41을 제거한 구성으로 되어 있다. 이하에서는, 간단히 하기 위해서, 메모리 셀 어레이 MCA10과 더미 셀 어레이 DCA10에 대한 구제 회로에 대하여 설명한다.

<206> 도 28은, 도 27에 나타난 메모리 셀 어레이 MCA10과 더미 셀 어레이 DCA10, 리턴던시 셀 어레이 RCA10, 멀티플렉서 MUXU20, MUXL20, MUXU30, MUXL30, MUXU40, MUXL40의 회로 구성예를 나타내고 있다. 각 회로 블록은, 도 24에 나타난 회로 구성과 같고, 각각의 멀티플렉서에 입력하는 컬럼 어드레스 신호명도, 도 39에 나타난 신호명과 각각 동일하다. 다음에, 이러한 구성에 의한 결함 구제의 동작 개념을 설명한다.

<207> 도 29는 일례로서, 더미 데이터선 D100, D101 상의 X 표시로 나타난 메모리 셀에 결함이 발생한 경우에, 더미 데이터선 D100, D101을 리턴던시 데이터선 RD00, RD01에 각각 치환하는 개념도를 나타내고 있다. 이 경우, 다음과 같이 해서 리턴던시 메모리 셀 어레이 RCA10의 초기화를 실행한다. 우선, 도 27에 나타난 멀티플렉서 MUXU30, MUXL30을 각각 제어하여, 리턴던시 데이터선 RD00을 선택한다. 다음에, 기억 정보 '1'에 따른 데이터를 칩 외부로부터 입력하고, 도 27에 나타난 기입 회로 WCU10, WCL10을 구동하여, 리턴던시 데이터선 RD00에 화살표 AD1의 방향의 전류를 발생시키는 것에 의해, 메모리 셀 MC에 기억 정보 '1'을 기입한다. 또한, 리턴던시 데이터선 RD01을 선택해서, 기억 정보 '0'에 따른 데이터를 칩 외부로부터 입력하여, 리턴던시 데이터선 RD01로 화살표 ADH의 방향의 전류를 발생시킴으로써, 메모리 셀 MC에 기억 정보 '0'을 기입한다. 이상으로부터, 리턴던시 데이터선 RD00, RD01 상의 메모리 셀 MC를 쌍으로 한 더미 셀이 형성된다.

<208> 도 30은 다른 예로서, 데이터선 D2와 더미 데이터선 D101의 X 표시로 나타난 메모리 셀에 결함이 발생한 경우에, 데이터선 D2와 더미 데이터선 D101을 리턴던시 데이터선 RD00과 RD01에 각각 치환하는 개념도를 나타내고 있다. 이 경우, 더미 셀 어레이 DCA10을 초기화한 후에, 도 29에서 설명한 바와 같이 리턴던시 데이터선 RD01 상의 메모리 셀 MC에 기억 정보 '0'을 기입함으로써, 더미 데이터선 D100 상의 메모리 셀 MCL과 리턴던시 데이터선 RD01 상의 메모리 셀 MC를 쌍으로 한 더미 셀이 형성된다. 다음에, 본 실시예에 따른 컬럼 구제 방식을 제어하는 컬럼 어드레스 신호의 발생 기구에 대하여 설명한다.

<209> 도 31은 본 실시예에 따른 컬럼 어드레스 디코더의 주요부 블록도를 도시하고 있다. 단, 여기서는 간단하게 하기 위해서, 도 27에 나타난 메모리 셀 어레이 MCA10 및 더미 셀 어레이 DCA10을 제어하는 부분에 상당하는 정규 컬럼 어드레스 디코더 NYMD와, 메모리 셀 어레이 MCA10 및 더미 셀 어레이 DCA10을 리턴던시 셀 어레이 RCA10으로 치환하는 부분에 상당하는 리턴던시 컬럼 어드레스 디코더 RYMD가 도시되어 있다. 이러한 구성에 의한 컬럼 어드레스 디코더의 특징은, 첫째로, 데이터선과 더미 데이터선에 대한 리턴던시 정보를 각각 기억하는 데에 있다. 둘째로, 리턴던시 컬럼 어드레스 신호를, 데이터선과 더미 데이터선의 양쪽의 리턴던시 정보에 따라 활성화하는 데에 있다. 셋째로, 리턴던시 정보에 따라 치환원의 데이터선 또는 더미 데이터선에 대응하는 컬럼 어드레스 신호를 비활성화하는 데에 있다. 이들 특징에 주목하면서, 컬럼 어드레스 디코더에 대하여 이하에 설명한다.

<210> 정규 컬럼 어드레스 디코더 NYMD는, 리턴던시 컬럼 어드레스 디코더 YMDEC, 정규 컬럼 어드레스 신호 드라이버

어레이 NADA로 구성된다. 리턴던시 컬럼 어드레스 디코더 YMDEC는, 입력되는 컬럼 프리 디코드 어드레스 CYM에 따라 복수개(여기서는 5개)의 컬럼 어드레스 인에이블 신호를 발생하여, 정규 컬럼 어드레스 신호 드라이버 어레이 NADA로 출력한다. 정규 컬럼 어드레스 신호 드라이버 어레이 NADA는, 더미 컬럼 어드레스 신호 드라이버 DDRVm( $m=0, 1$ )과 정규 컬럼 어드레스 신호 드라이버 NDRVk( $k=0, \dots, 3$ )로 구성된다. 더미 컬럼 어드레스 신호 드라이버 DDRVm은, 대응하는 컬럼 어드레스 인에이블 신호 YMD와 더미 데이터선 기입 신호 TDWEB에 따라서, 더미 데이터선의 접속 상태를 제어하는 컬럼 어드레스 신호 YMDT0m, YMDB0m, YMDW0m( $m=0, 1$ )을 각각 출력한다. 여기서, 더미 데이터선 기입 신호 TDWEB는, 후술하는 테스트 모드 제어 회로에 의해 발생하는 신호이며, 더미 셀 어레이 DCA10의 초기화를 실행할 때에 접지 전위 VSS로 구동됨으로써, 원하는 컬럼 어드레스 신호 YMDW0m을 전원 전압 VDD로 구동하는 것을 가능하게 한다. 또한, 정규 컬럼 어드레스 신호 드라이버 NDRVk는, 대응하는 컬럼 어드레스 인에이블 신호 YMk( $k=0, \dots, 3$ )와 기입 제어 신호 WEB에 따라서, 데이터선의 접속 상태를 제어하는 컬럼 어드레스 신호 YMTk, YMBk, YMWk( $k=0, \dots, 3$ )를 각각 출력한다. 여기서, 기입 제어 신호 WEB는, 기입 동작시에 접지 전위 VSS로 구동됨으로써, 원하는 컬럼 어드레스 신호 YMWk를 전원 전압 VDD로 구동하는 것을 가능하게 한다.

<211> 리턴던시 컬럼 어드레스 디코더 RYMD는, 리턴던시 컬럼 어드레스 검출 회로 RDTC와 리턴던시 컬럼 어드레스 신호 드라이버 어레이 RADA로 구성된다. 리턴던시 컬럼 어드레스 검출 회로 RDTC는, 또한 복수개(여기서는, 리턴던시 데이터선의 개수에 따라 2개)의 리턴던시 컬럼 어드레스 기억 회로 RMRYm( $m=0, 1$ ), NOR 회로 NR10, NR11, NR12, 인버터 회로 IV10, IV11로 구성된다. 또한, 리턴던시 컬럼 어드레스 신호 드라이버 어레이 MDA는, 리턴던시 컬럼 어드레스 신호 드라이버 RDRVm( $m=0, 1$ )로 구성된다.

<212> 리턴던시 컬럼 어드레스 기억 회로 RMRYm은, 프리차지 신호 PREB와, 대응하는 정규 리턴던시 테스트 신호 TNRBm( $m=0, 1$ ) 및 더미 리턴던시 테스트 신호 TDRBm( $m=0, 1$ ), 컬럼 프리 디코드 어드레스 CYM을 각각 수신하여, 정규 리턴던시 인에이블 신호 NREm( $m=0, 1$ )과 더미 리턴던시 인에이블 신호 DREm( $m=0, 1$ )을 발생한다.

<213> NOR 회로 NR10, NR11은, 대응하는 정규 리턴던시 인에이블 신호 NREm과 더미 리턴던시 인에이블 신호 DREm에 따라 리턴던시 컬럼 어드레스 인에이블 신호 RYMBm( $m=0, 1$ )을 발생하여, 대응하는 리턴던시 컬럼 어드레스 신호 드라이버 RDRVm에 각각 출력한다. 여기서, 전원 전압 VDD의 정규 리턴던시 인에이블 신호 NREm 또는 더미 리턴던시 인에이블 신호 DREm이, 대응하는 NOR 회로 NR1m( $m=0, 1$ )로 입력되고, 리턴던시 컬럼 어드레스 인에이블 신호 RYMBm이 접지 전위 VSS로 구동되어, 리턴던시 컬럼 어드레스 신호 드라이버 RDRVm이 활성화됨으로써, 대응하는 리턴던시 데이터선이 선택된다.

<214> NOR 회로 NR12는, 입력되는 정규 리턴던시 인에이블 신호 NREm에 따라 정규 리턴던시 인에이블 신호 NREB를 더 발생하여, 각 정규 컬럼 어드레스 신호 드라이버 NDRVk로 출력한다. 여기서 데이터선을 리턴던시 데이터선으로 치환하는 경우, 정규 리턴던시 인에이블 신호 NREB는, 전원 전압 VDD의 정규 리턴던시 인에이블 신호 NRE0 또는 NRE1이 입력됨으로써 접지 전위 VSS로 구동되어, 정규 컬럼 어드레스 신호 드라이버 NDRVk를 비활성화한다.

<215> 인버터 회로 IV1m( $m=0, 1$ )은, 대응하는 더미 리턴던시 인에이블 신호 DREm을 반전하여, 더미 리턴던시 인에이블 신호 DREBm( $m=0, 1$ )을 각각 발생하여, 대응하는 더미 컬럼 어드레스 신호 드라이버 DDRVm으로 각각 출력한다. 여기서 더미 데이터선을 리턴던시 데이터선으로 치환하는 경우, 더미 리턴던시 인에이블 신호 DREBm은, 전원 전압 VDD의 더미 리턴던시 인에이블 신호 DREm이 입력됨으로써 접지 전위 VSS로 구동되어, 대응하는 더미 컬럼 어드레스 신호 드라이버 DDRVm을 비활성화한다. 다음에, 도 31에 나타난 각 회로 블록의 회로 구성예에 대하여 설명한다.

<216> 도 32는 리턴던시 컬럼 어드레스 기억 회로 RMRYm의 구성예를 나타내고 있다. 리턴던시 컬럼 어드레스 기억 회로 RMRYm은, 정규 어드레스 기억 회로 NMRY와 더미 어드레스 기억 회로 DMRY로 각각 구성된다. 한쪽의 정규 어드레스 기억 회로 NMRY는, PMOS 트랜지스터 P451, NMOS 트랜지스터 N471, 복수개(여기서는 6개)의 리턴던시 정보 기억 회로 F로 구성된다. 트랜지스터 P451은, 정규 리턴던시 인에이블 신호 NREm을 전원 전압 VDD에 프리차지하기 위한 트랜지스터이다. 트랜지스터 P451의 게이트에 프리차지 신호 PREB를 입력하여, 트랜지스터 P451과 트랜지스터 N471을 직렬 접속한다. 또한, 트랜지스터 N471의 게이트에 정규 리턴던시 테스트 신호 TNRBm을 입력하고, 트랜지스터 N471의 소스 단자인 노드 Am과 접지 전위 VSS의 사이에, 복수개의 리턴던시 정보 기억 회로 F를 병렬로 접속한다. 또한, 컬럼 프리 디코드 어드레스 CYM을 구성하는 신호 CYMTn( $n=0, 1, 2$ )과, 인버터 회로 IV2n( $n=0, 1, 2$ )에서 이들 신호를 반전한 신호 CYMBn( $n=0, 1, 2$ )을 6개의 리턴던시 정보 기억 회로 F에 각각 입력한다. 여기서, 프리차지 신호 PREB는, 어레이 제어 버스 ABS 중의 하나이다. 또한, 정규 리턴던시 테스트 신호 TNRBm은, 후술하는 테스트 모드 제어 회로에 의해 발생하는 신호이다.

- <217> 이러한 구성에 있어서, 접지 전위 VSS로 되어 있는 프리차지 인에이블 신호 PREB를 전원 전압 VDD로 구동하고 나서, 컬럼 프리 디코드 어드레스 CYM을 입력한다. 여기서, 정규 리턴던시 인에이블 신호 NREm이 프리차지 레벨의 전원 전압 VDD로 유지되는 경우, 컬럼 프리 디코드 어드레스 CYM에 대응하는 데이터선을 리턴던시 데이터선으로 치환한다.
- <218> 다른 쪽의 더미 어드레스 기억 회로 DMRY는, PMOS 트랜지스터 P461, NMOS 트랜지스터 N461과 복수개(여기서는 2개)의 리턴던시 정보 기억 회로 F로 구성된다. 트랜지스터 P461은, 더미 리턴던시 인에이블 신호 DREm을 전원 전압 VDD에 프리차지하기 위한 트랜지스터이다. 트랜지스터 P461의 게이트에 프리차지 신호 PREB를 입력하여, 트랜지스터 P461과 트랜지스터 N461을 직렬 접속한다. 또한, 트랜지스터 N461의 게이트에 더미 리턴던시 테스트 신호 TDRBm을 입력하고, 트랜지스터 N461의 소스 단자인 노드 Bm과 접지 전위 VSS와의 사이에, 2개의 리턴던시 정보 기억 회로 F를 병렬로 접속한다. 또한, 예컨대 컬럼 프리 디코드 어드레스 CYM을 구성하는 최상위 비트의 상보 신호(여기서는, CYMT2, CYMB2)를 2개의 리턴던시 정보 기억 회로 F에 각각 입력한다. 여기서, 더미 리턴던시 테스트 신호 TDRBm은, 후술하는 테스트 모드 제어 회로에 의해 발생하는 신호이다.
- <219> 이러한 구성에 있어서, 접지 전위 VSS로 되어 있는 프리차지 인에이블 신호 PREB를 전원 전압 VDD로 구동하고 나서, 컬럼 프리 디코드 어드레스 CYM을 입력한다. 여기서, 더미 리턴던시 인에이블 신호 DREm이 프리차지 레벨의 전원 전압 VDD로 유지되는 경우, 컬럼 프리 디코드 어드레스 CYM에 대응하는 더미 데이터선을 리턴던시 데이터선으로 치환한다.
- <220> 도 33은 일례로서 정규 어드레스 기억 회로 NMRY에서의 리턴던시 정보 기억 회로 F의 구성을 나타내고 있다. 리턴던시 정보 기억 회로 F는, NMOS 트랜지스터 N460과 퓨즈 FY를 직렬 접속한 공지의 회로이다. 트랜지스터 N460의 게이트에 어드레스 신호 ADD (여기서는, 컬럼 프리 디코드 어드레스 CYM을 구성하는 신호 CYMTn, CYMBn(n=0, 1, 2))을 입력하여, 퓨즈 FY를 폴리실리콘 등의 배선층으로 형성한다.
- <221> 도 34는 테스트 모드 제어 회로 TCTL을 나타내고 있다. 이 회로는 도 13에 도시한 제어 신호 CM, 로우 어드레스 BX, 컬럼 어드레스 BY가 입력되고, 그것들에 따라 테스트 모드 버스 TBS를 발생하여 각 회로 블록으로 출력한다. 전술한 정규 리턴던시 테스트 신호 TNRBm, 더미 리턴던시 테스트 신호 TDRBm, 더미 데이터선 기입 신호 TDWEB는, 이 테스트 모드 버스 TBS를 구성하는 복수의 제어 신호 중의 하나이며, 결함 검출이나 초기화 동작에 따라 접지 전위 VSS로 구동된다.
- <222> 다음에, 리턴던시 컬럼 어드레스 기억 회로 RMRYm의 제어와 동작에 대하여 설명한다. 여기서는 일례로서, 도 30에 나타난 메모리 셀 어레이 MCA10 상의 데이터선을 리턴던시 데이터선 RD00으로 치환하는 경우를 가정하여, 도 32에 따라서, 리턴던시 컬럼 어드레스 기억 회로 RMRYO의 동작에 대하여 설명한다. 우선, 결함을 검출하기 위해서, 전원 전압 VDD로 되어 있는 정규 리턴던시 테스트 신호 TNRB0을 접지 전위 VSS로 구동하고, 정규 어드레스 기억 회로 NMRY에서의 트랜지스터 N471을 오프 상태로 하여, 대응하는 정규 리턴던시 인에이블 신호 NREO를 프리차지 레벨의 전원 전압 VDD로 유지함으로써, 오동작하는 메모리 셀 MC가 접속된 데이터선을 일시적으로 리턴던시 데이터선 RD00으로 치환한다. 다음에, 리턴던시 데이터선 RD00 상의 메모리 셀 MC가 정확하게 동작하는 것을 확인하고 나서, 대응하는 컬럼 프리 디코드 어드레스 CYM에 따른 퓨즈 FY를 레이저 절단 장치를 이용하여 절단함으로써, 정규 어드레스 기억 회로 NMRY에 리턴던시 정보를 기입한다. 이에 대하여, 보통의 기입 관독 동작의 경우, 정규 리턴던시 테스트 신호 TNRB0을 전원 전압 VDD로 유지함으로써, 정규 어드레스 기억 회로 NMRY에서의 트랜지스터 N471을 도통시킨다. 여기서, 오동작하는 메모리 셀 MC가 접속된 데이터선이 선택되어, 대응하는 컬럼 프리 디코드 어드레스 CYM이 입력되면, 정규 어드레스 기억 회로 NMRY에서의 전류 경로가 상기의 퓨즈 FY에 의해 차단된다. 따라서, 정규 리턴던시 인에이블 신호 NREO이 프리차지 레벨의 전원 전압 VDD로 유지됨으로써, 선택한 데이터선이 리턴던시 데이터선 RD00으로 치환된다.
- <223> 더미 데이터선을 치환하는 경우에 관해서도 마찬가지로, 더미 리턴던시 테스트 신호 TDRBm을 이용하여 더미 데이터선과 접속된 메모리 셀 MCL 및 MCH의 결함을 검출하고 나서, 도 32에 나타난 더미 어드레스 기억 회로 DMRY에 리턴던시 정보를 기입한다.
- <224> 이하에서는, 각 컬럼 어드레스 신호 드라이버의 회로 구성에 대하여 설명한다. 도 35는 정규 컬럼 어드레스 신호 드라이버 NDRVk의 구성예를 나타내고 있다. 정규 컬럼 어드레스 신호 드라이버 NDRVk는, NAND 회로 ND10, NOR 회로 NR20, 인버터 회로 IV30으로 구성된다. ND10에 있어서, 한쪽의 단자에 컬럼 어드레스 인에이블 신호 Ymk, 다른 쪽의 단자에 정규 리턴던시 인에이블 신호 NREB를 각각 입력하고, 출력 단자를 컬럼 어드레스 신호 YMBk와 접속한다. 또한, NR20에 있어서, 한쪽의 단자에 컬럼 어드레스 신호 YMBk, 다른 쪽의 단자에 기입 제어 신호 WEB를 각각 입력하고, 출력 단자를 컬럼 어드레스 신호 YMWk와 접속한다. 또한, 컬럼 어드레스 신호 YMBk

를 IV30에서 반전하여 컬럼 어드레스 신호 YMTk로 한다.

- <225> 도 36은 더미 컬럼 어드레스 신호 드라이버 DDRVm의 구성예를 나타내고 있고, 도 35에 나타난 정규 컬럼 어드레스 신호 드라이버 NDRVk와 같이 NAND 회로 ND10, NOR 회로 NR20, 인버터 회로 IV30으로 구성된다. ND10에 있어서, 한쪽의 단자에 컬럼 어드레스 인에이블 신호 YMD, 다른 쪽의 단자에 더미 리턴던시 인에이블 신호 DREBm을 각각 입력하고, 출력 단자를 컬럼 어드레스 신호 YMDB0m과 접속한다. 또한, NR20에 있어서, 한쪽의 단자에 컬럼 어드레스 신호 YMDB0m, 다른 쪽의 단자에 더미 데이터선 기입 신호 TDWEB를 각각 입력하고, 출력 단자를 컬럼 어드레스 신호 YMDW0m와 접속한다. 또한, 컬럼 어드레스 신호 YMDB0m을 IV30에서 반전하여 컬럼 어드레스 신호 YMDT0m으로 한다.
- <226> 도 37은 리턴던시 컬럼 어드레스 신호 드라이버 RDRVm의 구성예를 나타내고 있고, NOR 회로 NR20, 인버터 회로 IV30, IV40, IV41로 구성된다. 동도는, 도 35나 도 36에 나타난 컬럼 어드레스 신호 드라이버와 비교하여, NAND 회로 ND10이 IV40, IV41로 치환되어 있다는 점이 다르다. 리턴던시 컬럼 어드레스 신호 RYMB0m은, 리턴던시 컬럼 어드레스 인에이블 신호 RYMBm을 직렬 접속된 IV40, IV41에 의해 버퍼링한 신호이며, 리턴던시 컬럼 어드레스 신호 RYMB0m을 IV30에서 더 반전한 신호가 리턴던시 컬럼 어드레스 신호 RYMT0m이다. NR20에 있어서, 한쪽의 단자에 리턴던시 컬럼 어드레스 신호 RYMB0m, 다른 쪽의 단자에 기입 제어 신호 WEB를 각각 입력하고, 출력 단자를 리턴던시 컬럼 어드레스 신호 RYMW0m과 접속한다.
- <227> 이상에서 서술한 각 컬럼 어드레스 신호 드라이버의 동작에 대하여 아래에 설명한다. 우선, 리턴던시 데이터선을 사용하는 경우, 리턴던시 컬럼 어드레스 인에이블 신호 RYMBm을 접지 전위 VSS로 유지함으로써, 리턴던시 컬럼 어드레스 신호 드라이버 RDRVm을 활성화한다. 한편, 리턴던시 데이터선의 치환원에 따라서, 정규 리턴던시 인에이블 신호 NREB 또는 더미 리턴던시 인에이블 신호 DREBm을 접지 전위 VSS로 유지하여, 도 35 또는 도 36에 나타난 NAND 회로 ND10을 비활성화함으로써, 정규 컬럼 어드레스 신호 드라이버 NDRVk 또는 더미 컬럼 어드레스 신호 드라이버 DDRVm을 비활성화한다.
- <228> 다음에, 리턴던시 데이터선을 사용하지 않는 경우, 접지 전위 VSS로 되어 있는 리턴던시 컬럼 어드레스 인에이블 신호 RYMBm을 전원 전압 VDD로 구동함으로써, 리턴던시 컬럼 어드레스 신호 드라이버 RDRVm을 비활성화한다. 한편, 데이터선 및 더미 데이터선이 선택되는데 따라서, 접지 전위 VSS로 되어 있는 정규 리턴던시 인에이블 신호 NREB 및 더미 리턴던시 인에이블 신호 DREBm을 전원 전압 VDD로 구동하고, 도 35 및 도 36에 나타난 NAND 회로 ND10을 활성화함으로써, 정규 컬럼 어드레스 신호 드라이버 NDRVk 및 더미 컬럼 어드레스 신호 드라이버 DDRVm을 활성화한다.
- <229> 여기서, 도 35, 도 37에 나타난 NOR 회로 NR20은, 기입 동작에 있어서, 전원 전압 VDD로 되어 있는 기입 제어 신호 WEB가 접지 전위 VSS로 구동됨으로써 활성화되어, 선택된 데이터선에 따라 컬럼 어드레스 신호 YMWk 또는 리턴던시 컬럼 어드레스 신호 RYMW0m을 구동한다. 또한, 도 36에 나타난 NOR 회로 NR20은, 초기화 동작에 있어서, 전원 전압 VDD로 되어 있는 더미 데이터선 기입 신호 TDWEB가 접지 전위 VSS로 구동됨으로써 활성화되고, 컬럼 어드레스 인에이블 신호 YMD에 따라 컬럼 어드레스 신호 YMDW0m을 구동한다.
- <230> 도 37에서는 리턴던시 컬럼 어드레스 인에이블 신호 RYMBm을 직렬 접속된 IV40, IV41에서 버퍼링하는 예를 나타내었지만, 도 31에 나타난 리턴던시 컬럼 어드레스 검출 회로 RDTC에서의 NOR 회로 NR10 및 NR11의 구동 능력이 충분히 큰 경우에는, IV40, IV41을 제거하고, 리턴던시 컬럼 어드레스 인에이블 신호 RYMBm을 그대로 리턴던시 컬럼 어드레스 신호 RYMB0m으로 하여도 좋다. 이 경우, 리턴던시 컬럼 어드레스 신호 드라이버 RDRVm의 레이아웃 면적을 저감할 수 있다.
- <231> 이상으로부터, 도 27에 나타난 메모리 블록과 도 31에 나타난 컬럼 어드레스 디코더에 의한 컬럼 구제 방식의 효과를 정리한다. 첫째로, 일례로서 도 28에 도시한 바와 같이, 메모리 셀 어레이 MCA10에서의 메모리 셀 MC와, 더미 셀 어레이 DCA10 상의 더미 셀 DC에서의 메모리 셀 MCL 및 MCH가 동일한 구성이기 때문에, 메모리 셀 어레이 MCA10과 더미 셀 어레이 DCA10의 각각은, 결함 메모리 셀의 치환처로서, 메모리 셀 MC로 구성된 리턴던시 셀 어레이 RCA10을 공유하는 것이 가능하다. 또한, 도 32에 나타난 리턴던시 컬럼 어드레스 기억 회로 RMRy에 있어서, 정규 어드레스 기억 회로 NMRy와 더미 어드레스 기억 회로 DMRY를 이용하여, 데이터선과 더미 데이터선에 대한 리턴던시 정보를 각각 기억한다. 또한, 도 31에 나타난 리턴던시 컬럼 어드레스 검출 회로 RDTC에서, 정규 어드레스 기억 회로 NMRy 및 더미 어드레스 기억 회로 DMRY의 출력 신호인 정규 리턴던시 인에이블 신호 NREm과 더미 리턴던시 인에이블 신호 DREm을, 대응하는 NOR 회로 NR10, NR11에 각각 입력하여 리턴던시 컬럼 인에이블 신호 RYMBm을 발생함으로써, 데이터선과 더미 데이터선의 쌍방을 동일한 리턴던시 데이터선으로 치환하는 것이 가능하다. 이상으로부터, 실시예 5의 도 22 및 도 23에 나타난 메모리 블록보다도, 리턴던시



셀 어레이가 차지하는 비율을 저감한 컬럼 구제 방식을 실현할 수 있어, 보다 집적도가 높은, 고신뢰, 대용량 MRAM을 실현할 수 있다.

<232> 둘째로, 도 32에 도시하는 바와 같이, 정규 리턴던시 테스트 신호 TNRBm과 더미 리턴던시 테스트 신호 TDRBm을 이용하여, 데이터선 또는 더미 데이터선을 일시적으로 리턴던시 데이터선으로 치환함으로써, 그 효과를 미리 확인할 수 있다. 즉, 메모리 셀 MC 및 더미 셀 DC에서의 결함을 검출할 수 있다. 여기서, 정규 리턴던시 테스트 신호 TNRBm과 더미 리턴던시 테스트 신호 TDRBm은, 도 34에 나타난 테스트 모드 제어 회로에 외부에서 커맨드나 어드레스 신호를 입력하는 것에 의해 발생할 수 있어서, 제어가 간단하다. 따라서, 칩의 테스트시에 결함 검출과 리턴던시 정보 기억 동작을 하면, 싼 비용으로 단시간에 실행할 수 있다.

<233> 지금까지는,  $8 \times 4$  비트 구성의 메모리 셀 어레이 MCA10, MCA11과  $8 \times 1$  비트 구성의 더미 셀 어레이 DCA10, DCA11에  $8 \times 2$  비트 구성의 리턴던시 셀 어레이 RCA10, RCA11을 도입하는 예를 설명하여 왔다. 그러나, 어레이 구성은 이것에 한정되지 않는다. 예컨대, 실시예 5에서 서술한 예와 마찬가지로, 1세트의 워드선 쌍 및 1개의 데이터선마다 수백 비트의 메모리 셀을 각각 배치한 메모리 셀 어레이를 구성함으로써, 칩 전체에 대한 메모리 셀 어레이의 점유율을 높일 수 있다.

<234> 또한, 컬럼 구제를 적용할 경우, 실시예 5의 경우와 같이 데이터선 수에 대하여 수 %의 리턴던시 데이터선을 형성함으로써, 칩 전체에 대한 메모리 셀 어레이의 점유율을 유지하면서, 수율을 향상할 수 있다. 또한, 결함 발생수가 적은 경우에는, 1개의 리턴던시 데이터선 수에 의해, 데이터선 또는 더미 데이터선을 치환하는 것이 가능하기 때문에, 실시예 5의 경우보다도 작은 리턴던시 셀 어레이로 효율적으로 결함을 구제할 수 있다.

<235> 또한, 지금까지 설명한 컬럼 구제 방식을, 도 19에 도시한 메모리 블록에 응용할 수도 있다. 예컨대, 메모리 셀 어레이 MCA10과 더미 셀 어레이 DCA10 사이에 리턴던시 셀 어레이 RCA10을 배치하고, 리턴던시 데이터선 RD00을 공통 데이터선 DLE, 리턴던시 데이터선 RD01을 공통 데이터선 DLO와 각각 접속되도록, 멀티플렉서에 있어서의 대응하는 스위치 SRW를 형성한다. 또한, 이것과 대칭으로 메모리 셀 어레이 MCA10과 더미 셀 어레이 DCA10의 사이에 리턴던시 셀 어레이를 배치하고, 한쪽의 리턴던시 데이터선을 공통 데이터선 DRE, 다른 쪽의 리턴던시 데이터선을 공통 데이터선 DRO와 각각 접속되도록, 멀티플렉서에 있어서의 대응하는 스위치 SRW를 형성한다. 이러한 구성에 의해, 메모리 셀 어레이 MCA10, 더미 셀 어레이 DCA10 상의 결함을 리턴던시 셀 어레이 RCA10 또는 한쪽의 리턴던시 셀 어레이로 각각 치환하는 컬럼 구제 방식이 실현되어, 수율과 집적도가 높은, 대용량 MRAM을 실현할 수 있다.

<236> 이상, 여러가지의 실시예에 따라서, 1개의 MTJ 소자와 1개의 트랜지스터로 구성되는 메모리 셀을 갖는 MRAM에 대하여 설명하여 왔다. 그러나, 메모리 셀의 구성은 이것에 한정되지 않는다. 예컨대, 미국 특허 제5,793,697호에 개시되어 있다, 정류 작용을 갖는 소자로서 다이오드를 이용한 메모리 셀에 적용하는 것이 가능하다. 이 경우, 워드선을 1개 삭감할 수 있게 되어, 메모리 셀을 형성할 때의 공정 수를 삭감할 수 있다. 또한, 메모리 셀의 단자를 3개에서 2개로 삭감한 만큼, 메모리 셀 면적을 저감할 수 있게 되고, 또한 집적도가 높은, 대용량 MRAM을 실현할 수 있다. 단, 판독 동작에 있어서, 다이오드에 의해 선택과 비선택을 제어하기 위해서, 인가 전압에 제약이 있는 데다, 다이오드의 비선형 특성의 영향을 받기 때문에, 1개의 MTJ 소자와 1개의 다이오드로 구성된 메모리 셀을 이용하기 위해서는, 1개의 MTJ 소자와 1개의 트랜지스터로 구성된 메모리 셀을 이용하는 경우보다도 참조 신호 발생 방법이 더욱 중요하고, 본 발명 방식이 유효하리라 생각된다.

<237> 마지막으로, 본 발명에 따른 MRAM의 응용예를 말한다. 도 38은, 일례로서 본 발명에 따른 MRAM을 내장한 무선 전화기 시스템의 주요부 블록도를 나타내며, 안테나 ATN, 아날로그 프론트 엔드 블록 AFE, 아날로그-디지털 변조 회로 ADC1, ADC2, 디지털-아날로그 변조 회로 DAC1, DAC2, 베이스 밴드 블록 BBD, 스피커 SPK, 액정 모니터 LCD, 마이크 MIK, 입력 키 KEY로 구성된다. 동 도면에서는 생략되어 있지만, 아날로그 프론트 엔드 블록 AFE는, 안테나 스위치, 대역 통과 필터, 각종 증폭기, 파워 앰프, PLL(Phase-Locked Loop), 전압 제어 발진기(VCO), 직교 복조기, 직교 변조기 등으로 구성된 전파의 송수신을 실행하는 공지의 회로 블록이다. 또한, 베이스 밴드 블록 BBD는, 신호 처리 회로 SGC, 중앙 처리 장치 CPU, 본 발명에 따른 MRAM으로 구성된다.

<238> 다음에, 도 38에 의한 휴대 전화의 동작을 설명한다. 음성 및 문자 정보 등을 포함하는 화상을 수신하는 경우, 안테나로부터 입력된 전파는, 아날로그 프론트 엔드 블록 AFE를 통해 아날로그-디지털 변조 회로 ADC1에 입력되고, 과형 등화 및 아날로그-디지털 변환된다. ADC1의 출력 신호는, 베이스 밴드 블록 BBD에서의 신호 처리 회로 SGC에 입력되어 음성 및 화상 처리가 실시되고, 음성 신호는 디지털-아날로그 변환 회로 DAC2로부터 스피커로, 화상 신호는 액정 모니터로 각각 전송된다. 또한, 음성 신호를 발신하는 경우, 마이크로로부터 입력된 신호는, 아날로그-디지털 변환 회로 ADC2를 통해 신호 처리 회로 SGC에 입력되어, 음성 처리가 행하여진다. SGC 출

력은 디지털-아날로그 변환 회로 DAC1로부터 아날로그 프론트 엔드 블럭 AFE를 통해 안테나로 전송된다. 또한, 문자 정보를 발신하는 경우, 입력 키 KEY로부터 입력된 신호는, 베이스 밴드 블럭 BBD, 디지털-아날로그 변환 회로 DAC1로부터 아날로그 프론트 엔드 블럭 AFD를 통해, 안테나로 전송된다.

<239> 베이스 밴드 블럭 BBD에 있어서, 본 발명에 따른 MRAM, 중앙 처리 장치 CPU, 신호 처리 회로 SGC는, 각각 쌍방향적으로 접속된다. 여기서, 중앙 처리 장치 CPU는, 입력 키 KEY로부터 입력된 신호나 ADC1 출력, SGC 출력에 따라서, 베이스 밴드 블럭 BBD 내의 제어나 주변 블럭의 제어(동 도면에서는 생략)를 실행한다. 예컨대, 입력 키 KEY로부터 입력된 신호에 따라서, 본 발명에 따른 MRAM에 다이얼 번호나 단축 번호 등의 정보를 기입하거나, 반대로 판독하거나 한다. 다른 예로서, 입력되는 ADC1 출력 신호 및 SGC 출력 신호에 따라 신호 처리 회로 SGC를 제어하고, 또한 신호 처리에 필요한 프로그램을, 본 발명에 따른 MRAM으로부터 판독하거나, 반대로 기입하거나 한다. 또한, 본 발명에 따른 MRAM은, SGC에서 입력된 화상 신호를 일시적으로 기억하여 액정 모니터에 출력하는 버퍼로서도 사용된다.

### 발명의 효과

<240> 이상과 같이, 지금까지 EPROM이나 플래쉬 메모리를 이용하여 온 프로그래머블 ROM이나, SRAM을 이용하여 온 주 기억 메모리, 캐쉬 메모리, 화상 메모리에 본 발명에 따른 MRAM을 적용함으로써, 휴대 전화 시스템의 부품수를 저감하여, 휴대 전화의 소형화 및 경량화를 실현할 수 있다. 또한, 본 발명에 따른 MRAM은, 상보의 기억 정보를 유지하는 더미 셀을 이용함으로써 안정된 판독 동작이 가능하기 때문에, 내환경성이 우수한 휴대 전화를 실현할 수 있다. 또한, 본 발명에 따른 MRAM은 구제 회로를 갖는 고집적, 고신뢰의 메모리이기 때문에, 대용량화가 용이하여, 정보 처리 능력이 높은 휴대 전화를 실현할 수 있다.

<241> 본 발명에 따른 MRAM의 다른 응용예는, 도 38에 나타난 회로 블럭에 있어서의 복수의 요소 회로와 본 발명에 따른 MRAM을 하나의 칩 상에 형성하는 시스템 LSI이다. 예컨대, 베이스 밴드 블럭 BBD를 하나의 칩상에 형성한 시스템 LSI를 휴대 전화에 탑재함으로써, 이 부분의 소형화와 경량화를 향상시킬 수 있다. 또한, 시스템 LSI에 의해 데이터 처리 속도를 향상시킬 수 있기 때문에, 처리 능력이 높은 휴대 전화를 실현할 수 있다.

<242> 또 다른 응용예는, 본 발명에 의한 MRAM을 탑재한 메모리 카드이다. MRAM은 전술한 바와 같이 비휘발성 메모리이며, 기입 판독 횟수에 제한이 없다. 또한, 문헌 1에는, MRAM의 기입 시간이 10ns로 보고되어 있고, 이 값은 플래쉬 메모리의 기입 시간보다도 빠르다. 따라서, 본 발명의 MRAM에 의해, 고속이고 고집적으로 신뢰성과 내환경성이 우수한 대용량 메모리 카드를 실현할 수 있다.

### 도면의 간단한 설명

- <1> 도 1은 실시예 1에 따른 1개의 MTJ 소자와 1개의 트랜지스터로 구성되는 메모리 셀을 이용한 메모리 블럭의 구성예를 나타내는 도면.
- <2> 도 2는 1개의 MTJ 소자와 1개의 트랜지스터로 구성되는 메모리 셀의 예를 나타내는 도면.
- <3> 도 3은 MTJ 소자의 단면 예를 나타내는 도면.
- <4> 도 4는 MTJ 소자에 흐르는 전류와 본 발명에 따른 참조 신호의 관계를 나타내는 도면.
- <5> 도 5는 실시예 1에 따른 판독 회로의 구성예를 나타내는 도면.
- <6> 도 6은 실시예 1에 따른 멀티플렉서와 기입 회로의 구성예를 나타내는 도면.
- <7> 도 7은 실시예 1에 따른 워드 드라이버의 구성예를 나타내는 도면.
- <8> 도 8은 실시예 1의 메모리 블럭의 판독 동작 타이밍의 예를 나타내는 도면.
- <9> 도 9는 실시예 1의 메모리 블럭의 기입 동작 타이밍의 예를 나타내는 도면.
- <10> 도 10은 실시예 1에 따른 커런트 미러 회로의 다른 구성예를 나타내는 도면.
- <11> 도 11은 실시예 1에 따른 더미 기입 회로의 다른 구성예를 나타내는 도면.
- <12> 도 12는 실시예 1의 메모리 블럭을 이용한 메모리 어레이의 구성예를 나타내는 도면.
- <13> 도 13은 실시예 1의 메모리 어레이를 이용한 동기식 메모리의 구성예를 나타내는 블럭도.
- <14> 도 14는 실시예 2에 따른 1개의 MTJ 소자와 1개의 트랜지스터로 구성되는 메모리 셀을 이용한 메모리 블럭의 구

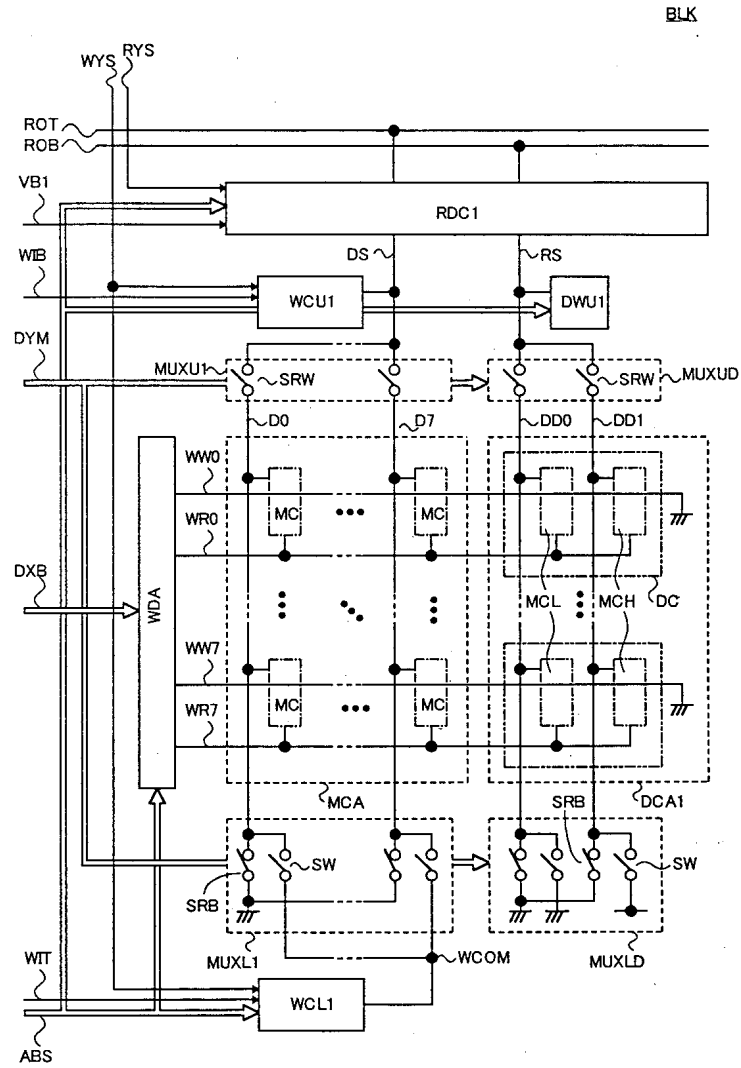
성예를 나타내는 도면.

- <15> 도 15는 실시예 2에 따른 판독 회로의 구성예를 나타내는 도면.
- <16> 도 16은 실시예 2에 따른 커런트 미러 회로의 다른 구성예를 나타내는 도면.
- <17> 도 17은 실시예 3에 따른 1개의 MTJ 소자와 1개의 트랜지스터로 구성되는 메모리 셀을 이용한 메모리 블록의 구성예를 나타내는 도면.
- <18> 도 18은 실시예 3에 따른 판독 회로의 구성예를 나타내는 도면.
- <19> 도 19는 실시예 4에 따른 1개의 MTJ 소자와 1개의 트랜지스터로 구성되는 메모리 셀을 이용한 메모리 블록의 구성예를 나타내는 도면.
- <20> 도 20은 실시예 4에 따른 판독 회로의 구성예를 나타내는 도면.
- <21> 도 21은 실시예 4에 따른 기입 회로의 구성예를 나타내는 도면.
- <22> 도 22는 실시예 5에 따른 1개의 MTJ 소자와 1개의 트랜지스터로 구성되는 메모리 셀을 이용한 메모리 블록의 구성예를 나타내는 도면(예 1).
- <23> 도 23은 실시예 5에 따른 1개의 MTJ 소자와 1개의 트랜지스터로 구성되는 메모리 셀을 이용한 메모리 블록의 구성예를 나타내는 도면(예 2).
- <24> 도 24는 실시예 5에 따른 리던던시 셀 어레이와 멀티플렉서의 구성예를 나타내는 도면.
- <25> 도 25는 실시예 5에 따른 컬럼 구제 방식의 치환예를 나타내는 개념도(예 1).
- <26> 도 26은 실시예 5에 따른 컬럼 구제 방식의 치환예를 나타내는 개념도(예 2).
- <27> 도 27은 실시예 6에 따른 1개의 MTJ 소자와 1개의 트랜지스터로 구성되는 메모리 셀을 이용한 메모리 블록의 주요 구성예를 나타내는 도면.
- <28> 도 28은 실시예 6에 따른 리던던시 셀 어레이와 멀티플렉서의 구성예를 나타내는 도면.
- <29> 도 29는 실시예 6에 따른 컬럼 구제 방식의 치환예를 나타내는 개념도(예 1).
- <30> 도 30은 실시예 6에 따른 컬럼 구제 방식의 치환예를 나타내는 개념도(예 2).
- <31> 도 31은 실시예 6에 따른 컬럼 어드레스 디코더의 구성예를 나타내는 블록도.
- <32> 도 32는 실시예 6에 따른 리던던시 컬럼 어드레스 기억 회로의 구성예를 나타내는 도면.
- <33> 도 33은 실시예 6에 따른 리던던시 정보 기억 회로의 구성예를 나타내는 도면.
- <34> 도 34는 실시예 6에 따른 테스트 모드 제어 회로의 구성예를 나타내는 블록도.
- <35> 도 35는 실시예 6에 따른 정규 컬럼 어드레스 신호 드라이버의 회로 구성예를 나타내는 도면.
- <36> 도 36은 실시예 6에 따른 더미 컬럼 어드레스 신호 드라이버의 회로 구성예를 나타내는 도면.
- <37> 도 37은 실시예 6에 따른 리던던시 컬럼 어드레스 신호 드라이버의 회로 구성예를 나타내는 도면.
- <38> 도 38은 본 발명의 MRAM을 탑재한 휴대 전화기의 주요 블록을 나타내는 도면.
- <39> 도 39는 실시예 5에 따른 멀티플렉서에 입력하는 컬럼 어드레스를 나타내는 표.
- <40> <도면의 주요 부분에 대한 부호의 설명>
- <41> BLK : 메모리 블록
- <42> WDA : 워드 드라이버 어레이
- <43> MCA : 메모리 셀 어레이
- <44> DCA1 : 더미 셀 어레이
- <45> MUXU1, MUXL1, MUXUD, MUXLD : 멀티플렉서

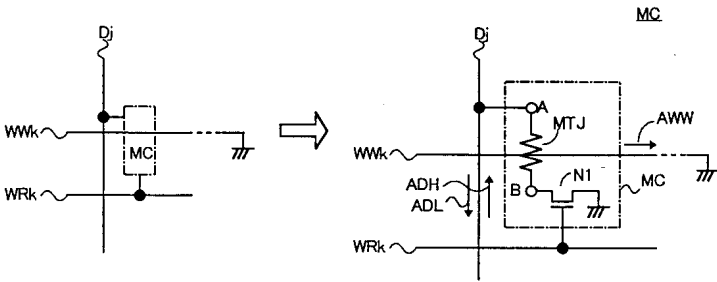
- <46> WCU1, WCL1 : 기입 회로
- <47> DWU1 : 더미 기입 회로
- <48> RDC1 : 판독 회로
- <49> MC : 메모리 셀

도면

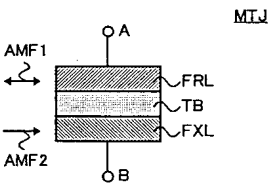
도면1



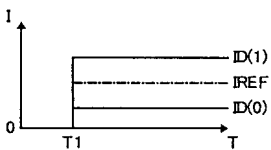
도면2



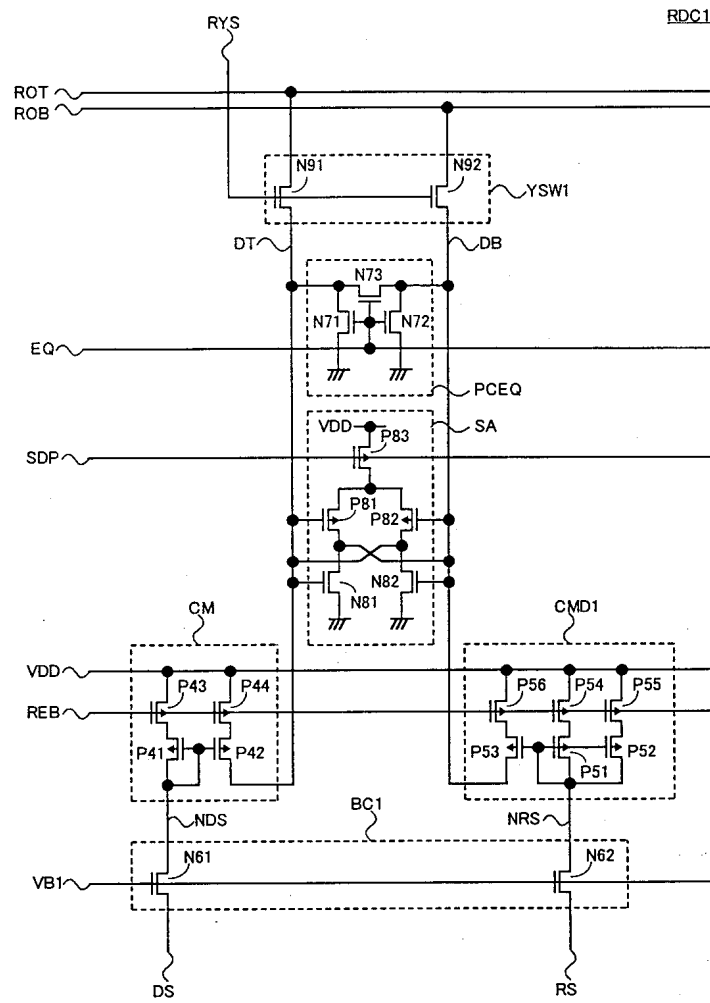
도면3



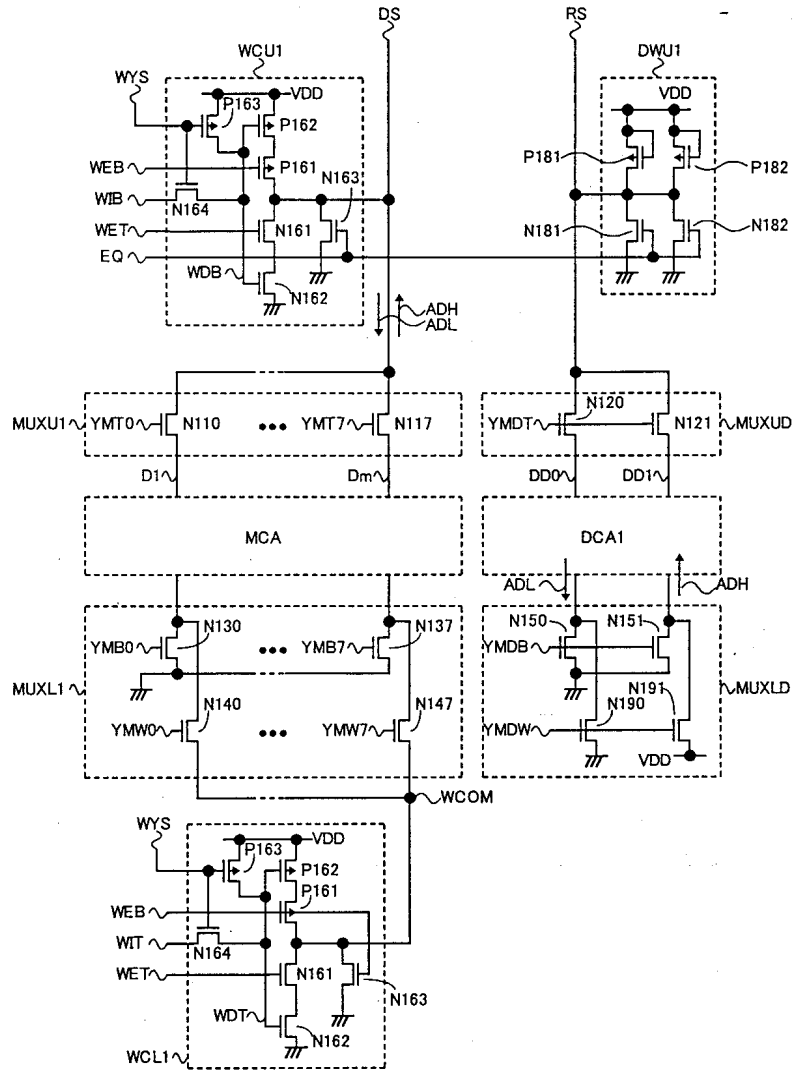
도면4



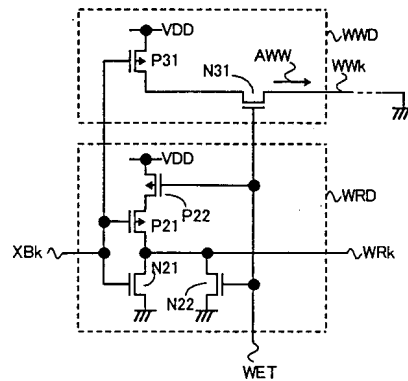
도면5



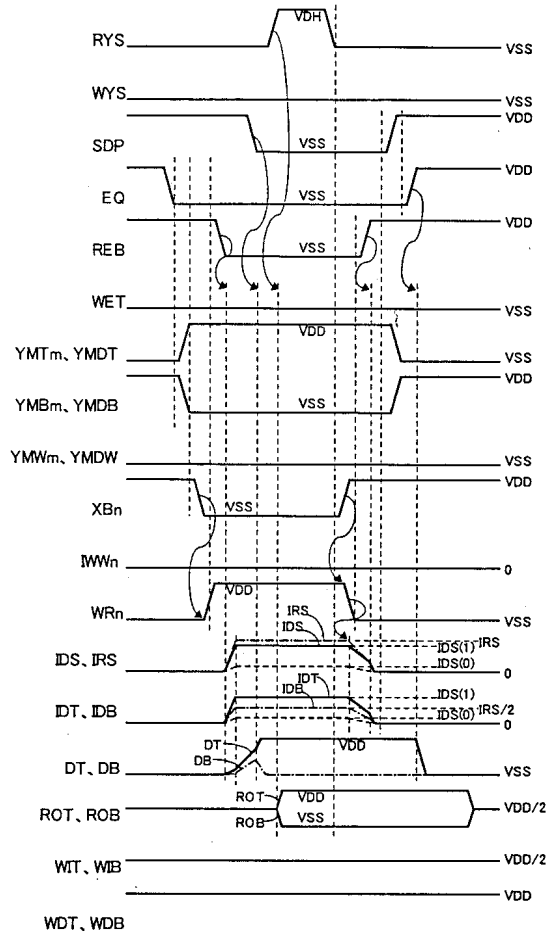
도면6



도면7

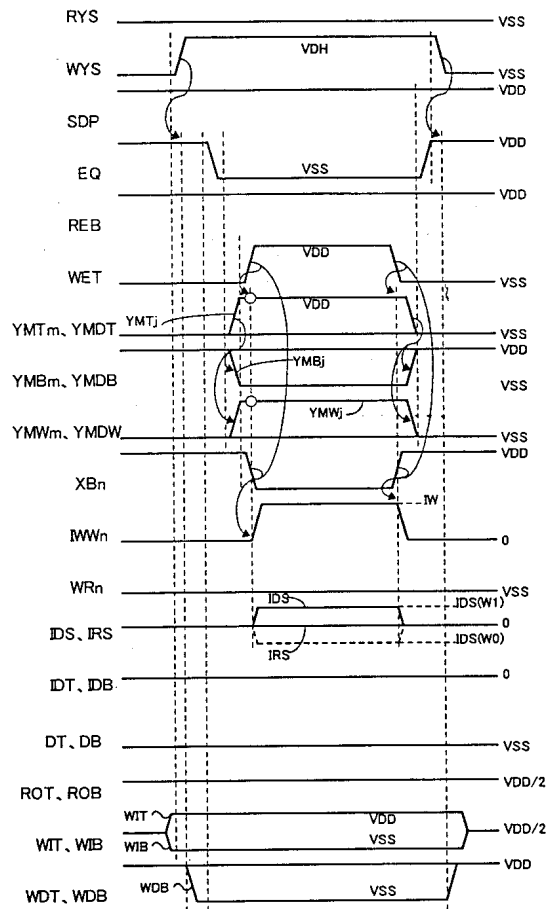


도면8

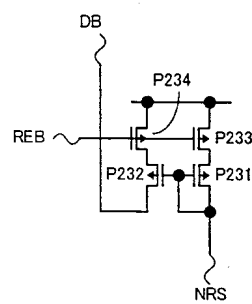




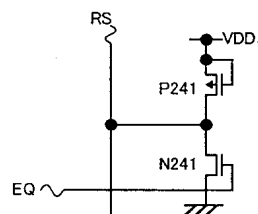
도면9



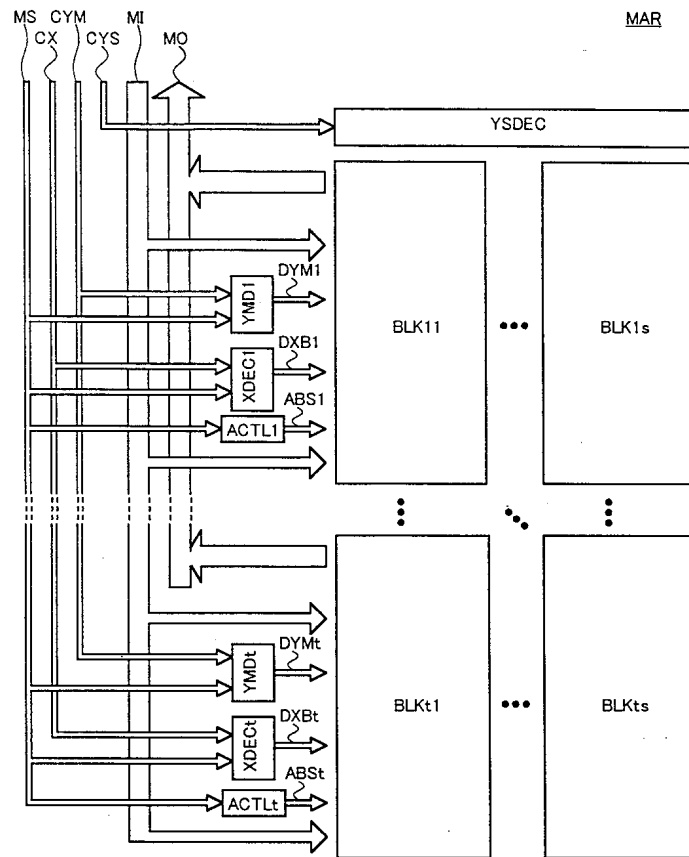
도면10



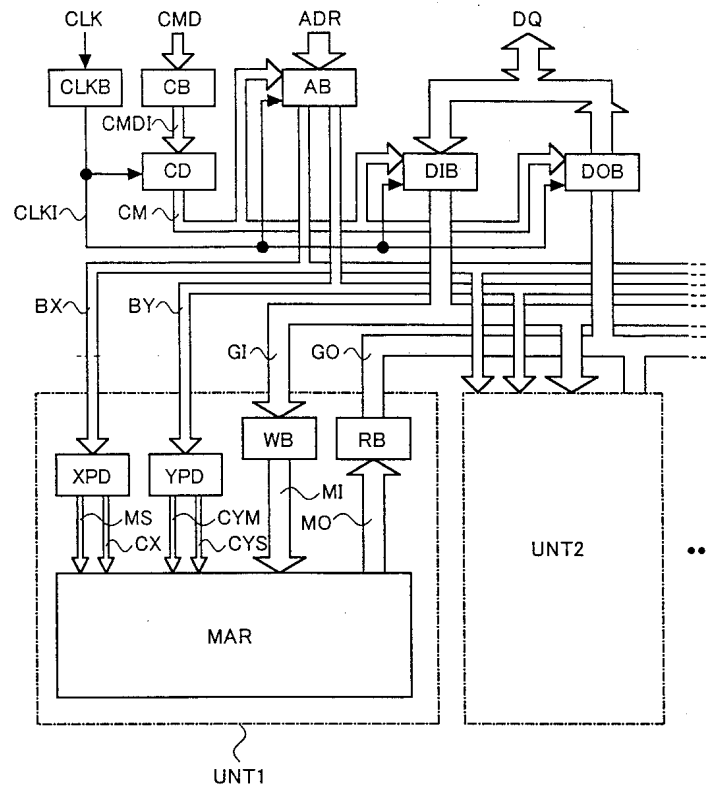
도면11



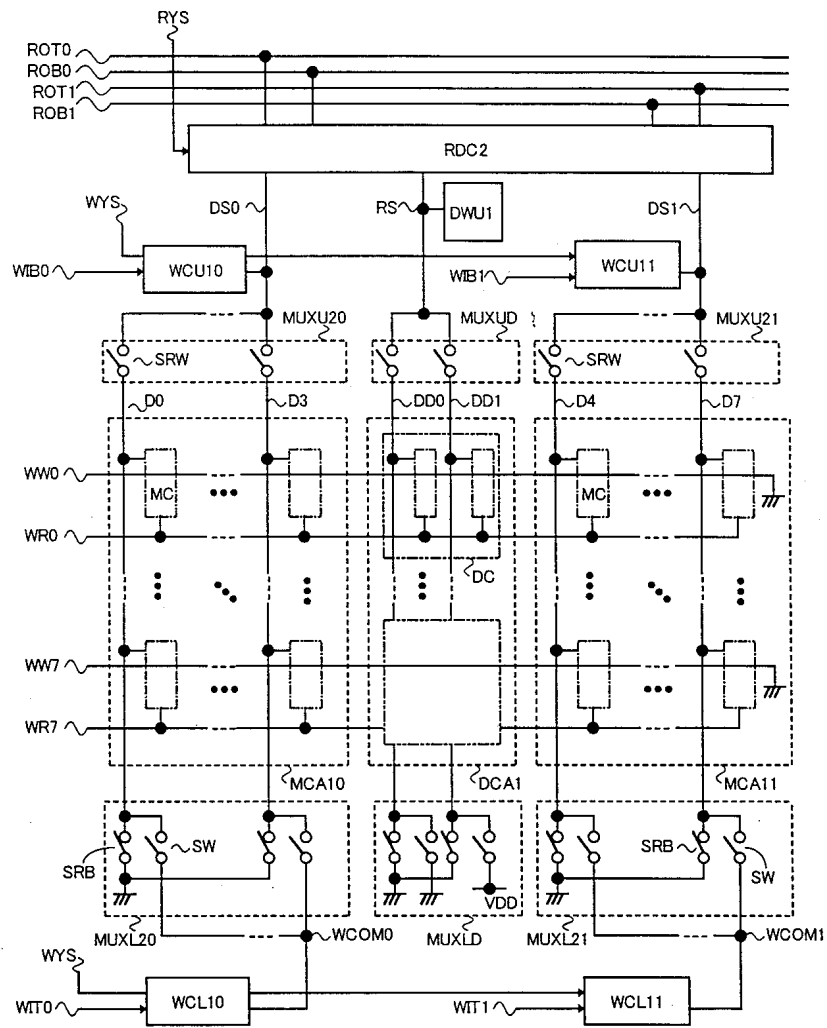
도면12



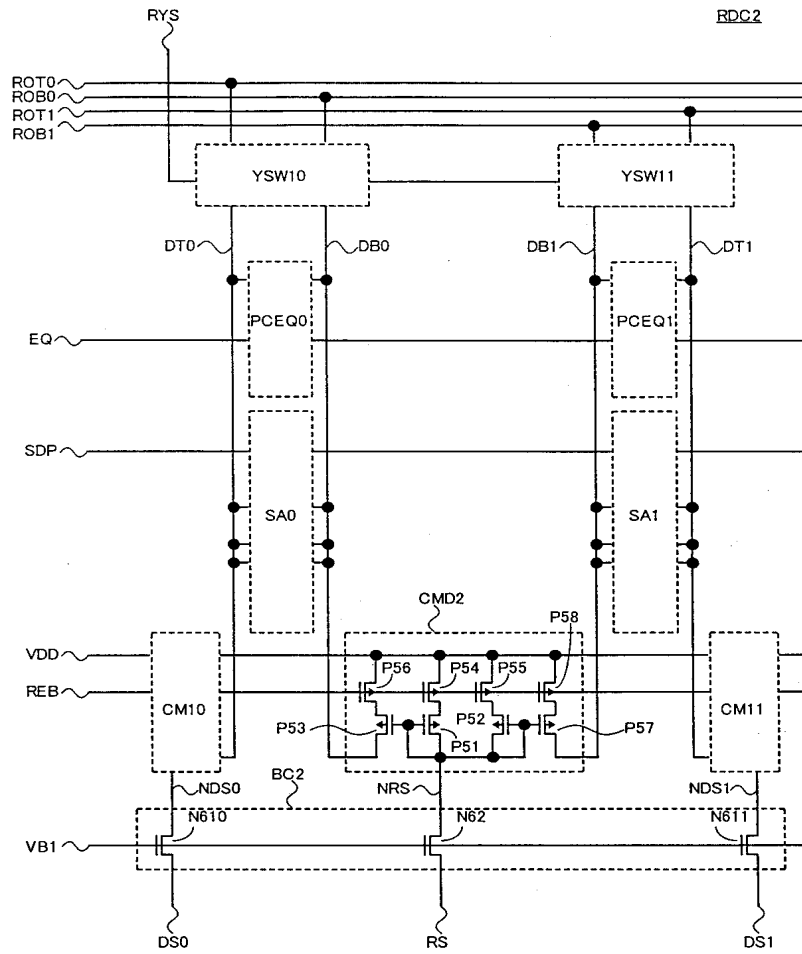
도면13



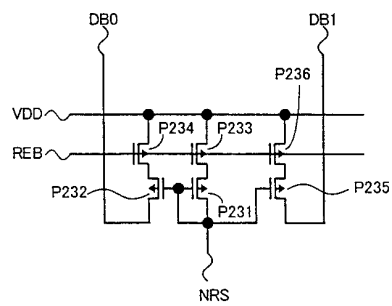
도면14



도면15

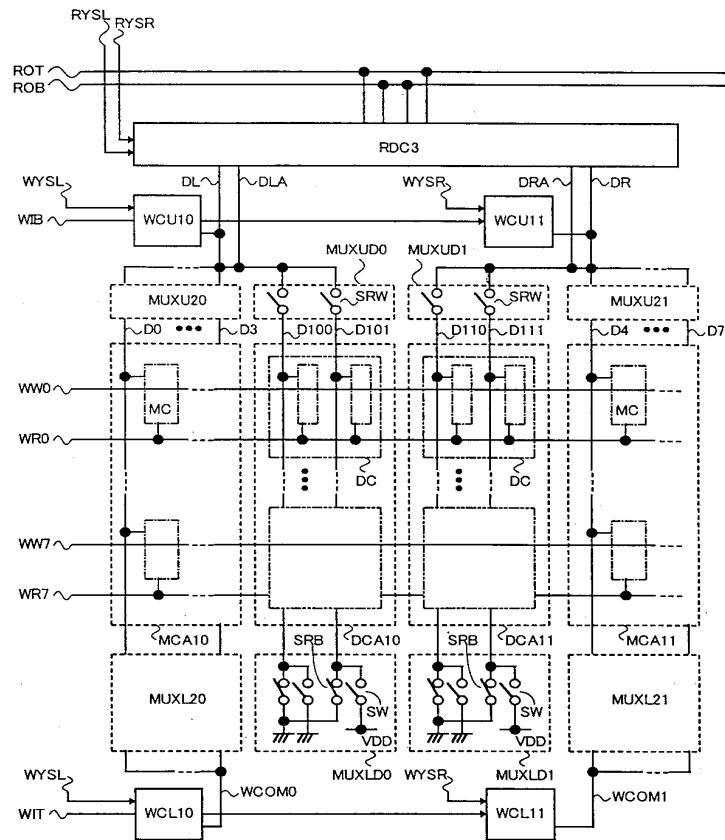


도면16

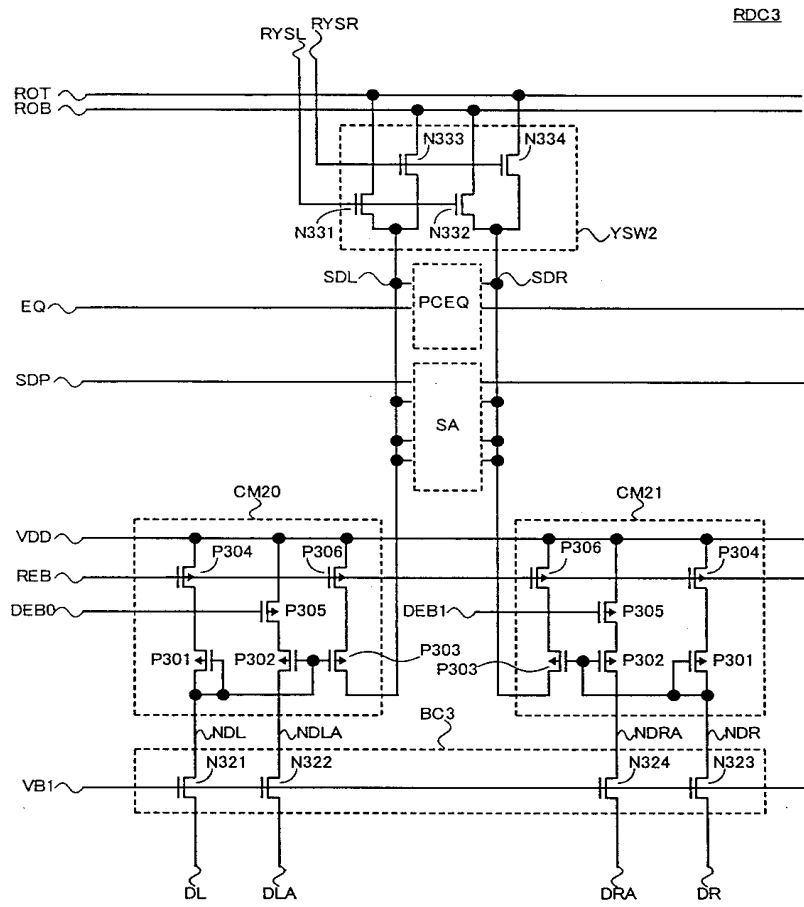




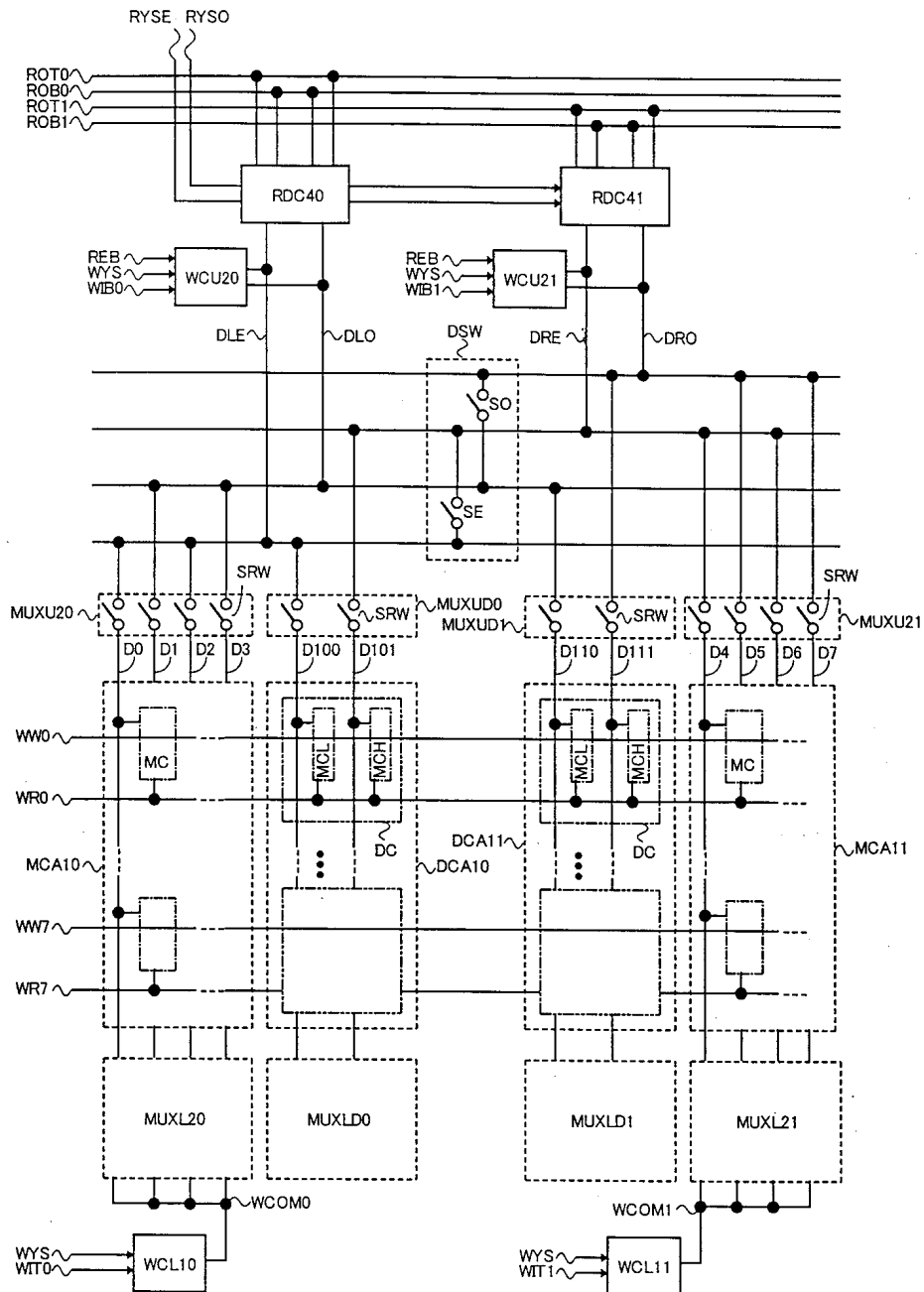
도면17



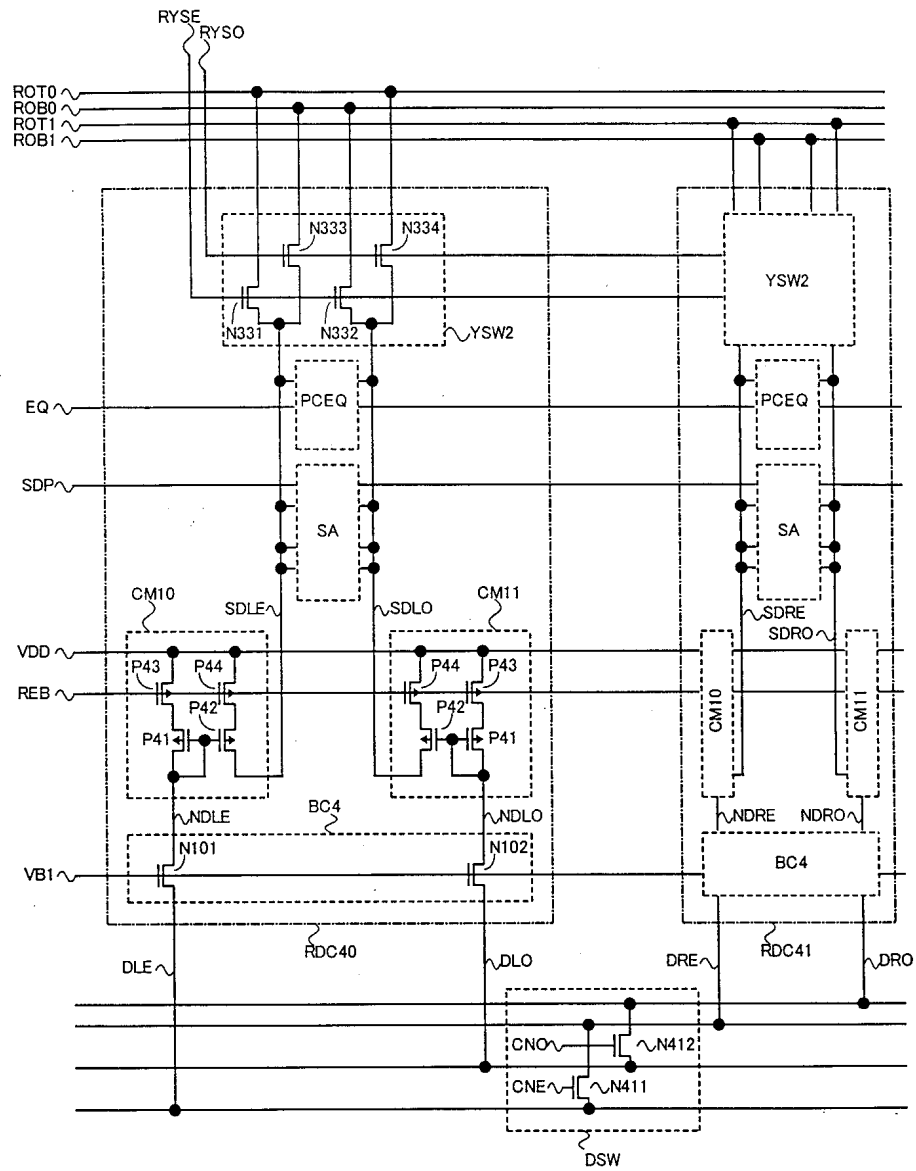
도면18



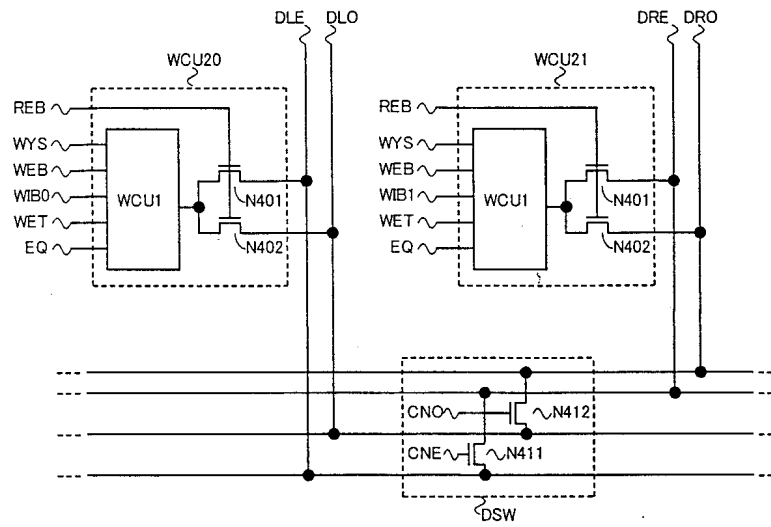
도면19



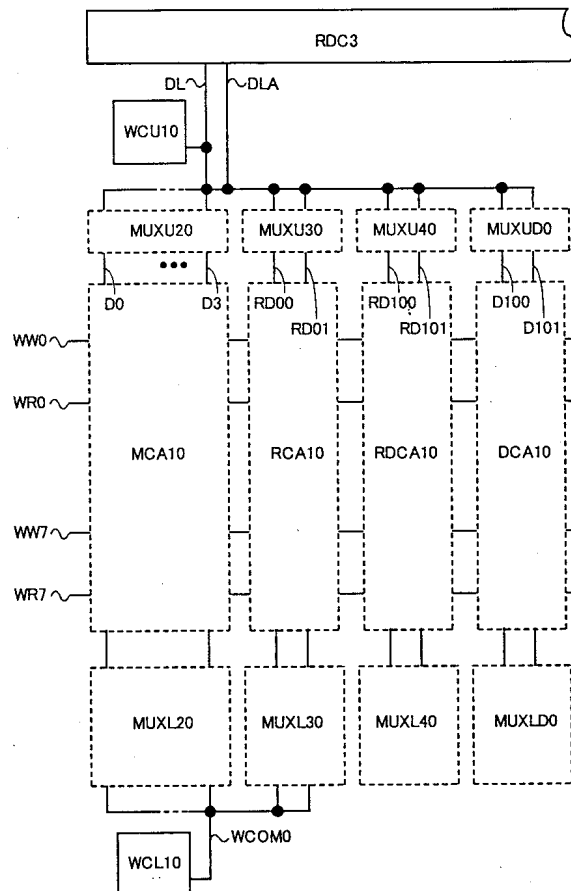
도면20



도면21

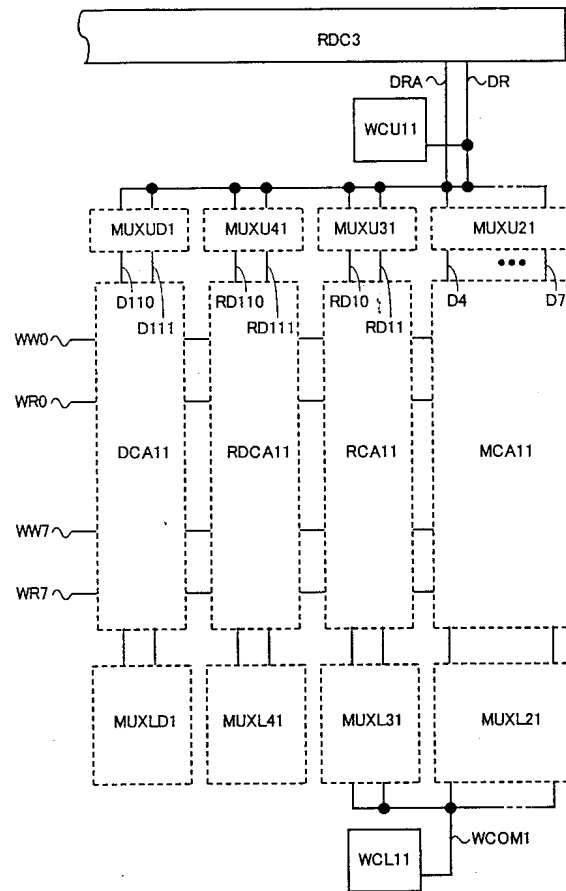


도면22

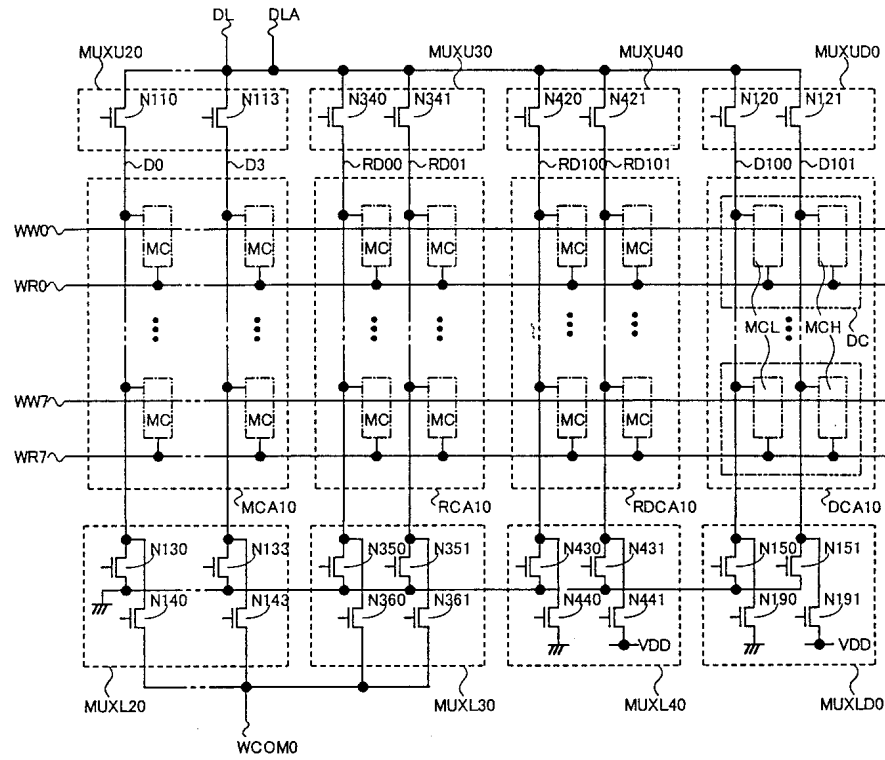




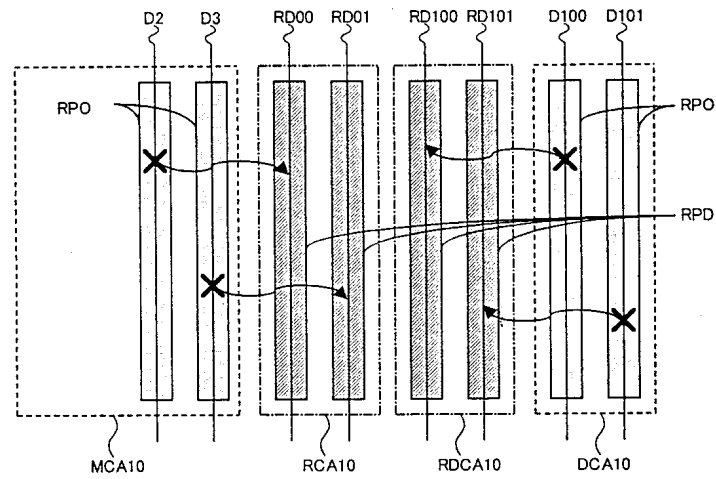
도면23



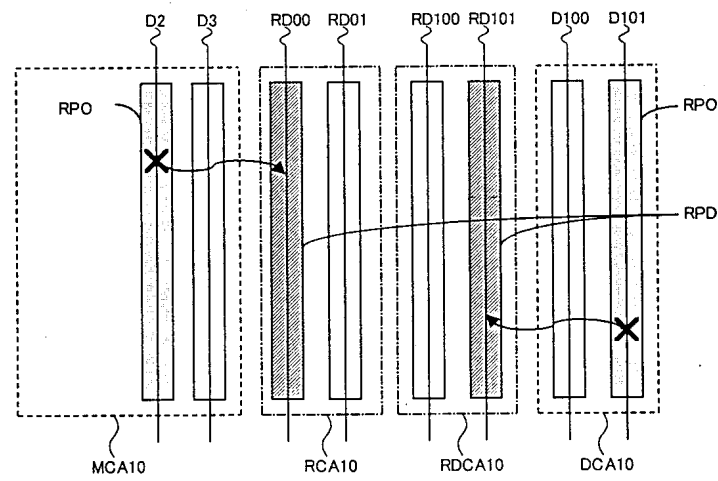
도면24



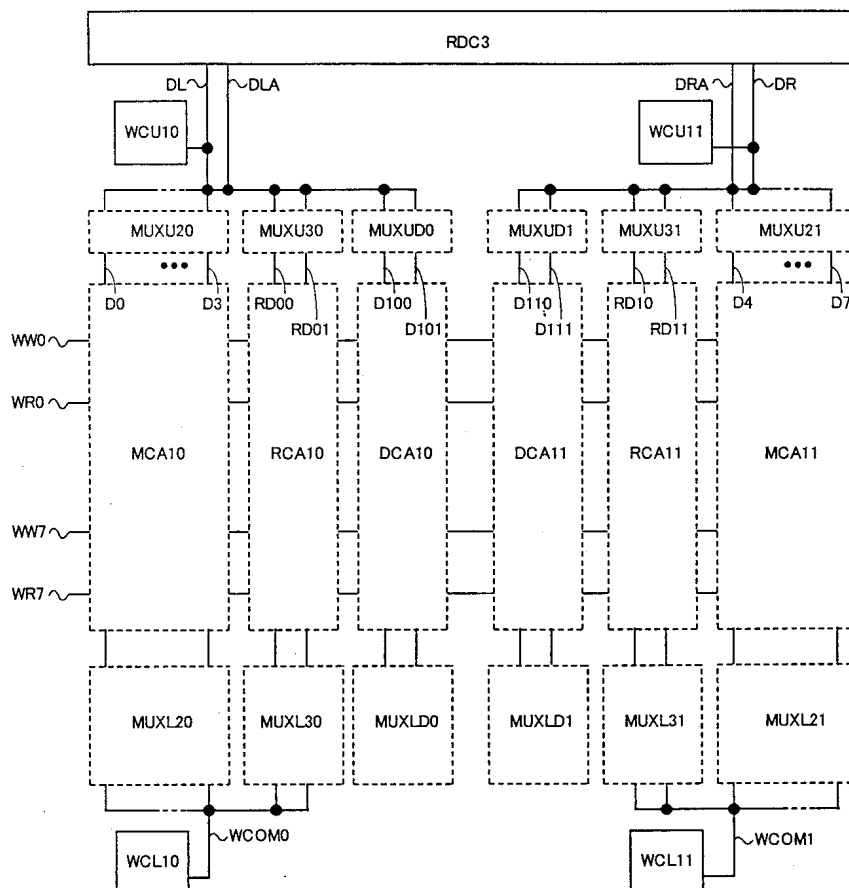
도면25



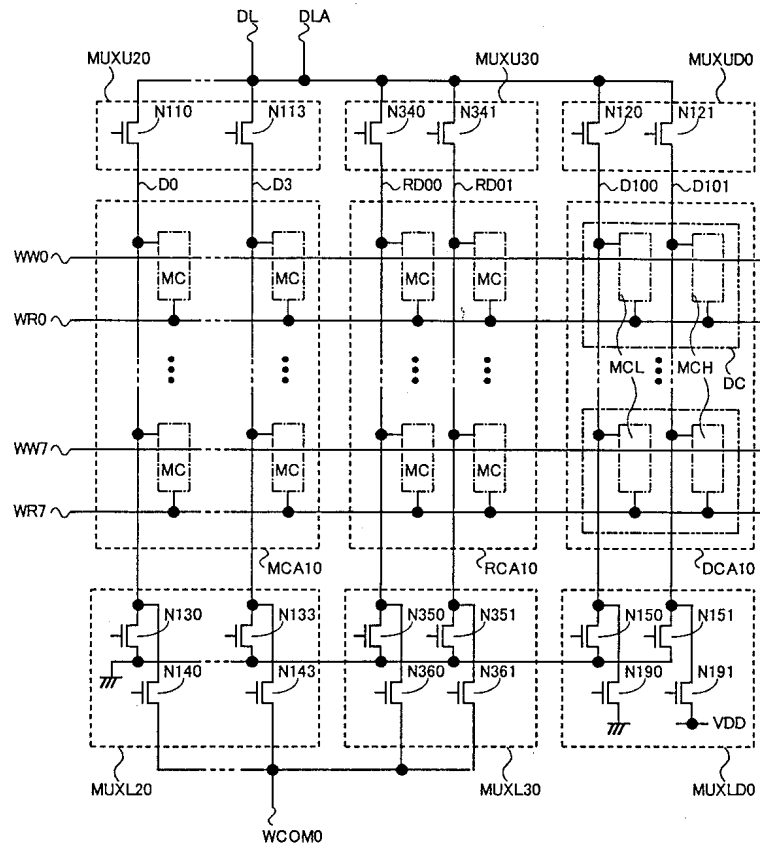
도면26



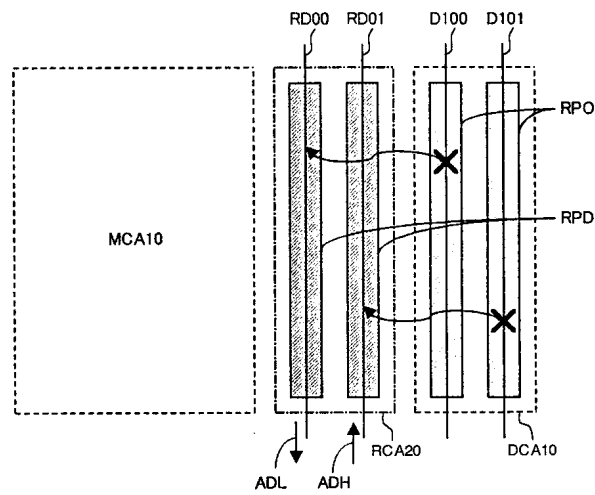
도면27



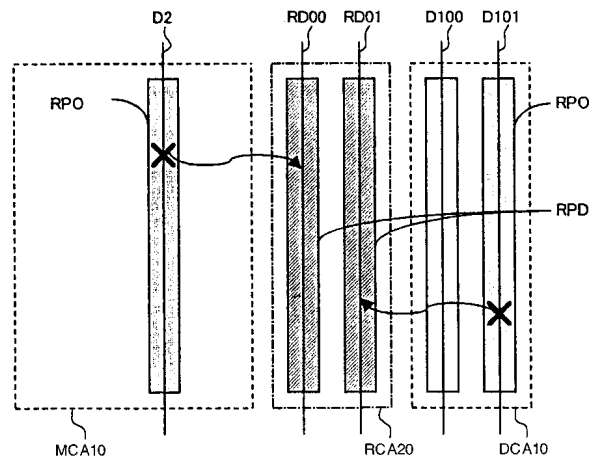
도면28



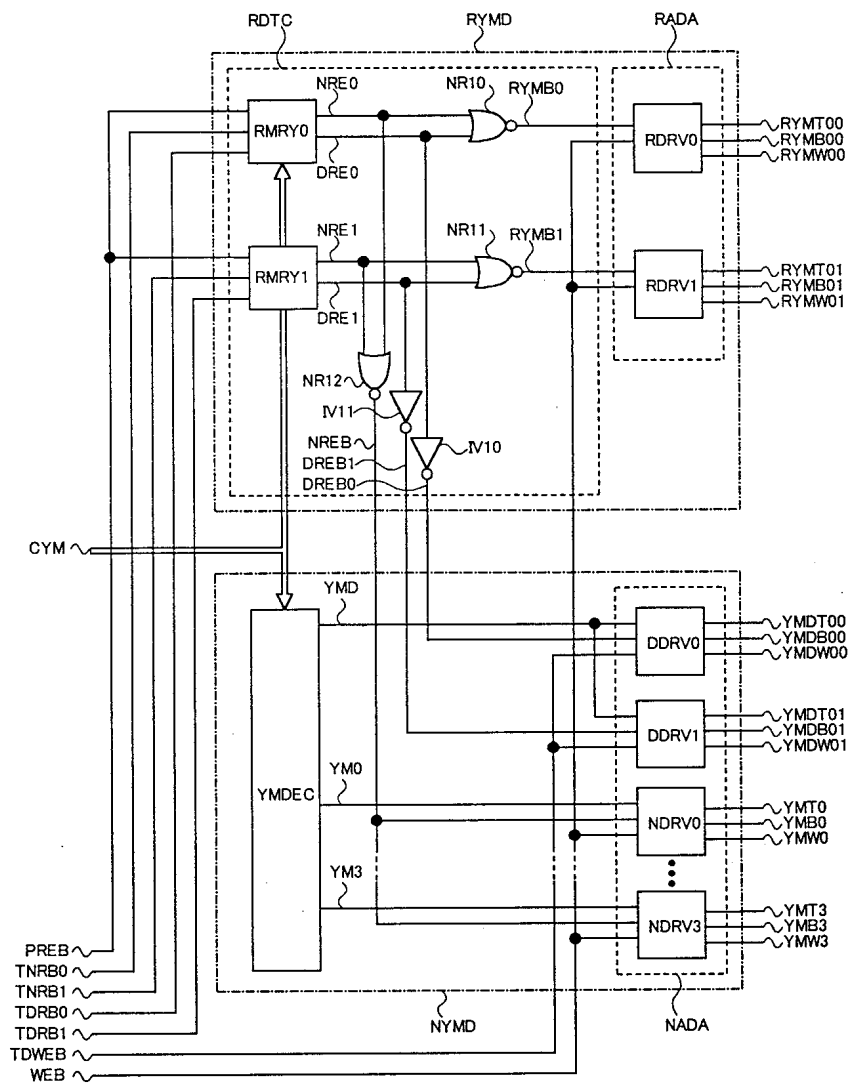
도면29



도면30

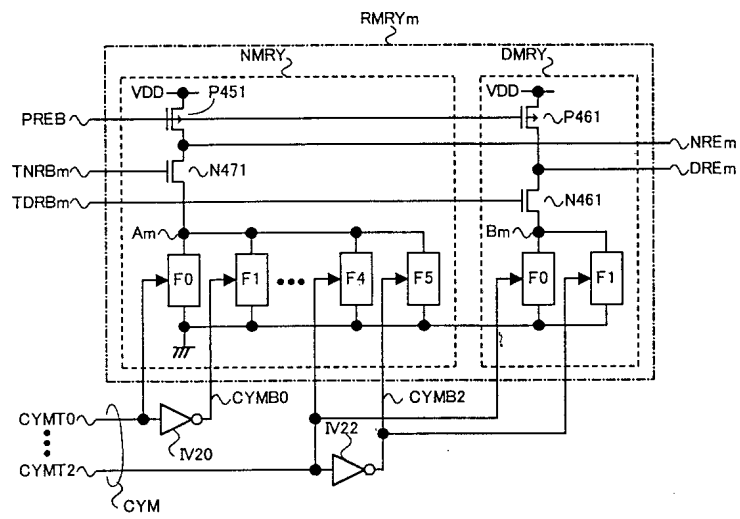


도면31

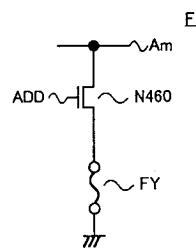




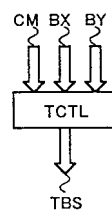
도면32



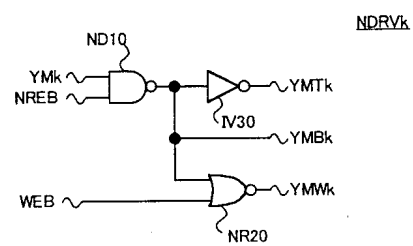
도면33



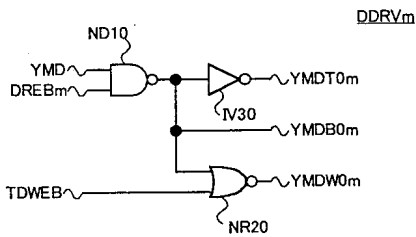
도면34



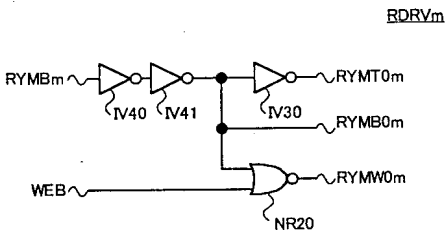
도면35



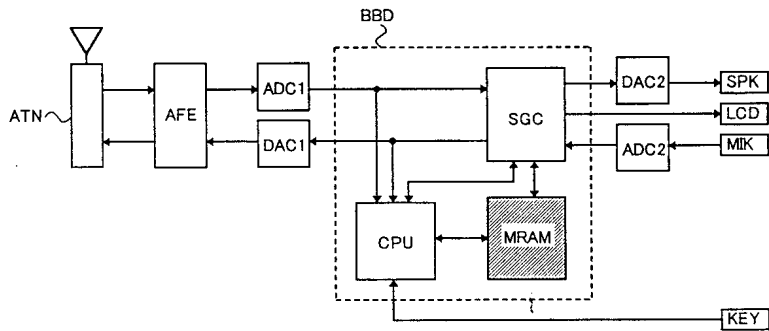
도면36



도면37



도면38



도면39

MUX	NMOS	YMX	MUX	NMOS	RYMX
MUXU20	N110	YMT0	MUXU30	N340	RYMT00
	:	:		N341	RYMT01
	N113	YMT3		N350	RYMB00
MUXL20	N130	YMB0	MUXL30	N351	RYMB01
	:	:		N360	RYMW00
	N133	YMB3		N361	RYMW01
	N140	YMW0	MUXU40	N420	RYMDT00
	:	:		N421	RYMDT01
MUXUD0	N143	YMW3		N430	RYMDB00
	N120	YMDT00	MUXL40	N431	RYMDB01
	N121	YMDT01		N440	RYMDW00
MUXLD0	N150	YMDB00		N441	RYMDW01
	N151	YMDB01			
	N190	YMDW00			
	N191	YMDW01			