

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6372019号
(P6372019)

(45) 発行日 平成30年8月15日(2018.8.15)

(24) 登録日 平成30年7月27日(2018.7.27)

(51) Int.Cl.

H02J 7/02 (2016.01)
H01M 10/48 (2006.01)

F 1

H02J 7/02
H01M 10/48H
P

請求項の数 5 (全 51 頁)

(21) 出願番号 特願2014-10374 (P2014-10374)
 (22) 出願日 平成26年1月23日 (2014.1.23)
 (65) 公開番号 特開2014-150712 (P2014-150712A)
 (43) 公開日 平成26年8月21日 (2014.8.21)
 審査請求日 平成29年1月13日 (2017.1.13)
 (31) 優先権主張番号 13/753,832
 (32) 優先日 平成25年1月30日 (2013.1.30)
 (33) 優先権主張国 米国(US)

前置審査

(73) 特許権者 300057230
 セミコンダクター・コンポーネンツ・イン
 ダストリーズ・リミテッド・ライアビリテ
 ィ・カンパニー
 アメリカ合衆国 アリゾナ州 85008
 フェニックス イースト・マクドウェル
 ・ロード5005
 (74) 代理人 100110799
 弁理士 丸山 温道
 (74) 代理人 100091915
 弁理士 本城 雅則
 (74) 代理人 100099106
 弁理士 本城 吉子

最終頁に続く

(54) 【発明の名称】モニタおよび制御モジュールならびに方法

(57) 【特許請求の範囲】

【請求項 1】

モニタ及び制御回路において、

第1入力端子、第1共通入力端子、第1出力端子、第2出力端子、及び第1共通出力端子を有する第1フィルタ回路であって、前記第1フィルタ回路の前記第1入力端子は、第1バッテリセルの正極に接続され、かつ第1共通入力端子は、前記第1バッテリセルの負極に接続するとともに第2バッテリセルの正極に接続するため構成され、さらに、

第1及び第2端子を有する第1インピーダンス素子であって、前記第1インピーダンス素子の前記第1端子は、前記第1フィルタ回路の前記第1入力端子として動作し、かつ前記第1インピーダンス素子の前記第2端子は、前記第1フィルタ回路の前記第1出力端子として動作する、第1インピーダンス素子、

第1及び第2端子を有する第1共通インピーダンス素子であって、前記第1共通インピーダンス素子の前記第1端子は、前記第1フィルタ回路の前記第1共通入力端子として動作し、かつ前記第1共通インピーダンス素子の前記第2端子は、前記第1フィルタ回路の前記第1共通出力端子として動作する、第1共通インピーダンス素子、及び、

第1端子及び第2端子を有する第1キャパシタであって、前記第1キャパシタの前記第1端子は、前記第1フィルタ回路の前記第2出力端子に結合される第1キャパシタ、
 を含む第1フィルタ回路と、

第1共通入力端子、第2共通入力端子、第1出力端子、第1共通出力端子、及び第2共通出力端子を有する第2フィルタ回路であって、前記第2共通入力端子は、前記第2バッ

10

20

テリセルの負極に接続するために構成され、さらに、

前記第1共通インピーダンス素子、

第1及び第2端子を有する第2共通インピーダンス素子であって、前記第2共通インピーダンス素子の前記第1端子は、前記第2フィルタ回路の前記第2共通入力端子として動作し、かつ前記第2共通インピーダンス素子の前記第2端子は、前記第2フィルタ回路の前記第2共通出力端子として動作する、第2共通インピーダンス素子、及び、

第1端子及び第2端子を有する第2キャパシタであって、前記第2キャパシタの第1端子は、前記第2フィルタ回路の前記第1出力端子に結合され、前記第2端子は前記第1共通インピーダンス素子の前記第2端子、または前記第1キャパシタの前記第1端子のいずれかに結合される、第2キャパシタ、

を含む第2フィルタ回路と、

第1、第2及び第3入力端子、並びに、第1及び第2スイッチング入力端子を有するスイッチングネットワークにおいて、前記スイッチングネットワークの前記第1入力端子は、前記第1フィルタ回路の前記第1出力端子に結合され、前記スイッチングネットワークの前記第2入力端子は、前記第1フィルタ回路の前記第1共通出力端子に結合され、前記第1スイッチング入力端子は、前記第1フィルタ回路の前記第2出力端子に結合され、前記第3入力端子は、前記第2フィルタ回路の前記第2共通出力端子に結合され、前記第2スイッチング入力端子は、前記第2フィルタ回路の前記第1出力端子に結合され、

さらに、

制御端子、第1電流供給端子、及び第2電流供給端子を有する第1スイッチング素子であって、前記第1スイッチング素子の前記第1電流供給端子は、前記第1フィルタ回路の前記第1共通出力端子に結合され、前記第1スイッチング素子の前記第2電流供給端子は、前記第1フィルタ回路の前記第2出力端子に結合される、第1スイッチング素子、及び、

制御端子、第1電流供給端子、及び第2電流供給端子を有する第2スイッチング素子であって、前記第2スイッチング素子の前記第1電流供給端子は、前記第2フィルタ回路の前記第2共通出力端子に結合され、前記第2スイッチング素子の前記第2電流供給端子は、前記第2フィルタ回路の前記第1出力端子に結合される、第2スイッチング素子、

を含むスイッチングネットワークと、

から構成されることを特徴とするモニタ及び制御回路。

【請求項2】

第1バッテリセルの正極に接続するために構成される第1端子、前記第1バッテリセルの負極に接続するために構成され、かつ第2バッテリセルの正極に接続するために構成される第2端子、及び、前記第2バッテリセルの負極に接続するために構成される第3端子を有するモニタ及び制御回路において、

第1共通端子、第2共通端子、第3共通端子、第1スイッチングネットワーク入力端子、及び、第2スイッチングネットワーク入力端子を有するスイッチングネットワークであって、

制御端子、及び、第1及び第2電流供給端子を有する第1サンプリングスイッチであって、前記第1サンプリングスイッチの前記第1電流供給端子は、前記スイッチングネットワークの前記第2共通端子に結合され、前記第1サンプリングスイッチの前記第2電流供給端子は、前記スイッチングネットワークの前記第1スイッチングネットワーク入力端子に結合される、第1サンプリングスイッチ、及び

制御端子、及び、第1及び第2電流供給端子を有する第2サンプリングスイッチであって、前記第2サンプリングスイッチの前記第1電流供給端子は、前記スイッチングネットワークの前記第3共通端子に結合され、前記第2サンプリングスイッチの前記第2電流供給端子は、前記スイッチングネットワークの前記第2スイッチングネットワーク入力端子に結合される、第2サンプリングスイッチ、を含むスイッチングネットワークと、

第1端子及び第2端子を有する第1インピーダンス素子であって、前記第1インピーダンス素子の前記第1端子は、前記モニタ及び制御回路の前記第1端子に結合され、前記

10

20

30

40

50

第1インピーダンス素子の前記第2端子は、前記スイッチングネットワークの前記第1共通端子に結合される、第1インピーダンス素子と、

第1端子及び第2端子を有する第1エネルギー貯蔵素子であって、前記第1エネルギー貯蔵素子の前記第1端子は、前記スイッチングネットワークの前記第1スイッチングネットワーク入力端子に結合される、第1エネルギー貯蔵素子と、

第1端子及び第2端子を有する第2インピーダンス素子であって、前記第2インピーダンス素子の前記第1端子は、前記モニタ及び制御回路の前記第2端子に結合され、前記第2インピーダンス素子の前記第2端子は、前記スイッチングネットワークの前記第2共通端子に結合される、第2インピーダンス素子と、

第1端子及び第2端子を有する第2エネルギー貯蔵素子であって、前記第2エネルギー貯蔵素子の前記第1端子は、前記スイッチングネットワークの前記第2スイッチングネットワーク入力端子に結合され、前記第2エネルギー貯蔵素子の前記第2端子は、前記第2インピーダンス素子の前記第2端子、もしくは前記第1エネルギー貯蔵素子の前記第1端子のいずれかに結合される、第2エネルギー貯蔵素子と、

第1端子及び第2端子を有する第3インピーダンス素子であって、前記第3インピーダンス素子の前記第1端子は、前記モニタ及び制御回路の前記第3端子に結合される、第3インピーダンス素子と、

から構成されることを特徴とするモニタ及び制御回路。

【請求項3】

第1及び第2端子を有する第4インピーダンス素子であって、前記第4インピーダンス素子の前記第1端子は、前記第1サンプリングスイッチの前記第2電流供給端子に結合され、前記第4インピーダンス素子の前記第2端子は、前記スイッチングネットワークの前記第1スイッチングネットワーク入力端子に結合される、第4インピーダンス素子と、

第1及び第2端子を有する第5インピーダンス素子であって、前記第5インピーダンス素子の前記第1端子は、前記第2サンプリングスイッチの前記第2電流供給端子に結合され、前記第5インピーダンス素子の前記第2端子は、前記スイッチングネットワークの前記第2スイッチングネットワーク入力端子に結合される、第5インピーダンス素子と、

から構成されることを特徴とする請求項2記載のモニタ及び制御回路。

【請求項4】

回路において、

第1バッテリセルの正極に接続するために構成される第1端子、前記第1バッテリセルの負極に接続するために構成され、かつ第2バッテリセルの正極に接続するために構成される第2端子、及び、前記第2バッテリセルの負極に接続するために構成される第3端子を有するフィルタ回路であって、前記フィルタ回路は、さらに第1共通出力端子、第2共通出力端子、第3共通出力端子、第1フィルタ出力端子、及び第2フィルタ出力端子を含み、

第1端子及び第2端子を有する第1インピーダンス素子であって、前記第1インピーダンス素子の前記第1端子は、前記フィルタ回路の前記第1端子として動作し、前記第2端子は前記第1共通出力端子に結合される第1インピーダンス素子、

第1端子及び第2端子を有する第2インピーダンス素子であって、前記第2インピーダンス素子の前記第1端子は、前記フィルタ回路の前記第2端子として動作し、前記第2インピーダンス素子の第2端子は前記第2共通出力端子に結合される第2インピーダンス素子、

第1端子及び第2端子を有する第3インピーダンス素子であって、前記第3インピーダンス素子の前記第1端子は、前記フィルタ回路の前記第3端子として動作し、前記第3インピーダンス素子の第2端子は前記第3共通出力端子に結合される第3インピーダンス素子、

第1端子及び第2端子を有する第1エネルギー貯蔵素子であって、前記第1エネルギー貯蔵素子の前記第1端子は、前記第1フィルタ出力端子に結合され、前記第2端子は前記第1共通出力端子に結合される第1エネルギー貯蔵素子、及び

10

20

30

40

50

第1端子及び第2端子を有する第2エネルギー貯蔵素子であって、前記第2エネルギー貯蔵素子の前記第1端子は、前記第2フィルタ出力端子に結合され、前記第2端子は前記第2共通出力端子に結合される第2エネルギー貯蔵素子を含むフィルタ回路と、

前記フィルタ回路の前記第1共通出力端子に結合される第1共通入力端子、前記フィルタ回路の前記第2共通出力端子に結合される第2共通入力端子、前記フィルタ回路の前記第3共通出力端子に結合される第3共通入力端子、前記第1フィルタ出力端子に結合される第1スイッチングネットワーク入力端子、及び前記第2フィルタ出力端子に結合される第2スイッチングネットワーク入力端子を有するスイッチングネットワークであって、前記スイッチングネットワークは、さらに制御端子、及び、第1及び第2電流供給端子を有する第1スイッチを備え、前記第1スイッチの前記第1端子は、前記スイッチングネットワークの前記第2共通入力端子に結合され、前記第1スイッチの前記第2端子は、前記スイッチングネットワークの前記第1スイッチングネットワーク入力端子に結合される、スイッチングネットワークと、

から構成されることを特徴とする回路。

【請求項5】

第1端子及び第2端子を有する第4インピーダンス素子であって、前記第4インピーダンス素子の前記第1端子は、前記第1スイッチの前記第2端子に直接結合され、前記第4インピーダンス素子の前記第2端子は、前記スイッチングネットワークの前記第1スイッチングネットワーク入力端子に直接結合される、第4インピーダンス素子と、

制御端子、及び、第1及び第2端子を有する第2スイッチであって、前記第2スイッチの前記第1端子は、前記スイッチングネットワークの前記第3共通入力端子に結合され、前記第2スイッチの前記第2端子は、前記スイッチングネットワークの前記第2スイッチングネットワーク入力端子に結合される、第2スイッチと、

第1端子及び第2端子を有する第5インピーダンス素子であって、前記第5インピーダンス素子の前記第1端子は、前記第2スイッチの前記第2端子に直接結合され、前記第5インピーダンス素子の前記第2端子は、前記スイッチングネットワークの前記第2スイッチングネットワーク入力端子に直接結合される、第5インピーダンス素子と、

から構成されることを特徴とする請求項4記載の回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、電子工学に関し、より詳細には、半導体デバイスおよび構造を形成する方法に関する。

【背景技術】

【0002】

電力貯蔵装置は、自動車、航空宇宙産業、航空会社、船舶、コンピュータ、通信、重機、遠隔感知等を含む多くの適用において用いられている。電力貯蔵装置は、電気負荷を駆動するために特定の定格電圧を提供する電源装置やバッテリとして機能し得る。電力貯蔵装置は、並列または直列に結合されるいくつかの個別のバッテリセルから成り得る。バッテリの寿命は、バッテリが充電および放電される方法に非常に依存し、セルを過充電したり過放電したりすることによって短くなる。加えて、バッテリスタックの全てのセルを同一のキャパシティで保持することが望ましい。これは、全てのセルをほぼ同一の開回路電圧で保持することに相当する。バッテリの使用および1つのセルの過放電が、そのセルとバッテリの寿命に影響を与える。バッテリ製造業者は、バッテリセルにわたる電圧を測定するためにより良好かつより正確な測定技術を見出すことを常に目指している。測定技術の改善とともに、バッテリ製造業者は、バッテリスタック内でセル電圧を平衡化させる方法を模索している。

【発明の概要】

【発明が解決しようとする課題】

【0003】

10

20

30

40

50

したがって、バッテリスタックの電圧およびバッテリスタック内のセルの電圧を監視して平衡化させるための回路および方法を有することが有益であろう。コスト効率の高い回路および方法がさらに有利であろう。

【課題を解決するための手段】

【0004】

同様の参照記号が同様の要素を指定する添付の図面と併用される以下の発明を実施するための形態を読むことで、本発明はより良く理解されるであろう。

【図面の簡単な説明】

【0005】

【図1】本発明のある実施形態に係る、バッテリ監視および平衡化システムの一部のプロック図である。 10

【図2】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部のプロック図である。

【図3】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図4】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図5】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図6】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。 20

【図7】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図8】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図9】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図10】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図11】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。 30

【図12】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図13】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図14】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図15】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図16】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。 40

【図17】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図18】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図19】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図20】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図21】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模 50

式図である。

【図22】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図23】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図24】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【0006】

説明の簡潔化および明確化のために、図面中の要素は必ずしも原寸に比例しておらず、異なる図面中の同一の参照記号は、同じ要素を示す。加えて、周知のステップおよび要素の説明および詳細は、説明の簡潔化のために省略される。本明細書で用いられる、電流供給する電極とは、MOSトランジスタのソースまたはドレイン、バイポーラトランジスタのエミッタまたはコレクタ、ダイオードのカソードまたはアノード等のデバイス中に電流を供給するデバイス要素を意味し、制御電極とは、MOSトランジスタのゲートまたはバイポーラトランジスタのベース等のデバイス中の電流フローを制御するデバイス素子を意味する。本明細書では、デバイスはあるnチャネルもしくはpチャネルデバイスまたはあるn型もしくはp型ドープ領域と説明されているが、本発明の一実施形態によれば、相補的なデバイスも可能であることが当業者には理解されよう。「中」、「間」、「とき」という単語は、本明細書で用いられるとき、動作開始すると即座に起こる動作を意味する正確な用語ではなく、伝搬遅延等の最初の動作によって開始される反応と最初の動作との間に小さいがある程度の遅延が存在しえることを意味することが当業者は理解されるであろう。「ほぼ」、「約」、または「実質的に」という単語の使用は、要素の値が、述べられた値または位置に非常に近いことが想定されるパラメータを有することを意味する。しかしながら、当技術分野で周知であるように、値または位置が述べられたように正確であることを阻止する小さな差異が常に存在する。最大約10%（半導体のドープ濃度の場合、最大20%）の差異が、記載される精度の理想的な目標からの妥当な差異とみなされることが、当技術分野で定着している。

【0007】

論理ゼロレベル(V_L)はまた、論理低レベルまたは論理低電圧レベルと呼ばれ、論理ゼロ電圧の電圧レベルは、電源電圧および論理ファミリのタイプの関数であることに留意されたい。例えば、相補型モス(CMOS)論理ファミリでは、論理ゼロ電圧は、電源電圧レベルの約30%であり得る。5Vで動作するトランジスタ・トランジスタ・ロジック(TTL)システムでは、論理0電圧レベルは約0.8ボルトであり、一方、5Vで動作するCMOSシステムでは、論理0電圧レベルは約1.5ボルトである。論理1電圧レベル(V_H)はまた、論理高電圧レベル、論理高電圧または論理1電圧とも呼ばれ、論理0電圧レベルと同様に論理高電圧レベルもまた、電源および論理ファミリのタイプの関数であり得る。例えば、CMOSシステムでは、論理1電圧は、電源電圧レベルの約70%である。5ボルトで動作するTTLシステムでは、論理1電圧は約2.4ボルトであり、一方、5ボルトで動作するCMOSシステムの場合、論理1電圧は約3.5ボルトであり得る。

【発明を実施するための形態】

【0008】

概して、本発明は、とりわけ、例えば、1つ以上の電力セルを備えるコンポーネント等のコンポーネントの電圧を平衡化させるためのモジュールおよび方法を提供する。本発明の一実施形態によれば、インターフェース回路は、第1のコンポーネントの電圧を監視する動作モードで動作され、第1のコンポーネントの電圧をサンプリングする別の動作モードで動作され、かつ第1のコンポーネントの電圧を平衡化させるさらに別の動作モードで動作される。

【0009】

各種実施形態によれば、モジュールは、一体となって統合されたインターフェースまたは

10

20

30

40

50

スイッチングネットワーク、ならびに、例えば、トランジスタおよびレジスタ、または平衡化を達成するためにこのインターフェースまたはスイッチングネットワークと一体となって統合されるレジスタ等の素子を含む。

【0010】

本発明の別の実施形態によれば、1つ以上の電力セルとインターフェースをとる方法であつて、この方法が、第1スイッチング素子が第1スイッチング素子構成になるように構成され、第2スイッチング素子の第2スイッチング素子構成に形成されるとこれら1つ以上の電力セルの内の第1電力セルの電圧を監視することと、第1スイッチング素子が第2スイッチング素子構成になるように構成されており、第2スイッチング素子の第2スイッチング素子構成に形成されると第1電力セルからサンプリングされた電圧を発生させることと、第2スイッチング素子の第1スイッチング素子構成に形成されると第1電力セルの電圧を平衡化させることと、を含む。

10

【0011】

別の実施形態によれば、第1、第2および第3端子を有する第1スイッチングネットワークと、第1スイッチングネットワークの第1と第2端子間に結合された第1エネルギー貯蔵素子と、第1スイッチングネットワークの第1端子に結合された第1インピーダンス素子と、第1スイッチングネットワークの第3端子に結合された第2インピーダンス素子と、を備えるモジュールが提供される。

【0012】

図1は、フィルタ回路22に接続された制御モジュール12を備える電力セルモニタおよび制御回路10のブロック図である。電力セルモニタおよび制御回路10は、電力貯蔵装置24に接続されている。制御モジュール12は、制御モジュール12の入力部に接続されたまたは代替的に、制御モジュール12の入力部として機能する入力部と、アナログデジタルコンバータ(ADC)20に接続された出力部を有するマルチプレクサ(MUX)18の入力部に接続された出力部と、を有するインターフェースネットワーク16を含む。電源貯蔵装置24は、それぞれ、制御回路10の対応するフィルタ部分22₁、22₂、…、22_nに接続される複数の電力セル24₁、24₂、…、24_nから成り得る。あるいは、電力貯蔵装置は、キャパシタ、燃料セル、バッテリ等から成り得る。インターフェースネットワーク16は、複数のスイッチング素子16₁、16₂、…、16_nから成り得るが、ここで、スイッチング素子16₁は、入力端子16₁I1、16₁I2、16₁I3、16₁I4、16₁I5と、出力端子16₁O1、16₁O2、16₁O3とを有し、スイッチング素子16₂は、入力端子16₂I1、16₂I2、16₂I3、16₂I4、16₂I5と、出力端子16₂O1、16₂O2、16₂O3とを有し、スイッチング素子16_nは、入力端子16_nI1、16_nI2、16_nI3、16_nI4、16_nI5と、出力端子16_nO1、16_nO2および16_nO3を有する。ある実施形態によれば、入力端子16₁I3は入力端子16₂I1に接続されて入力端子16_cI1を形成し、入力端子16_(n-1)I3は入力端子16_nI1に接続されて入力端子16_cI(n-1)を形成し；出力端子16₁O3は出力端子16₂O1に接続されて出力端子16_cO1を形成し、出力端子16_(n-1)O3は出力端子16_nO1に接続されて出力端子16_cO(n-1)を形成する。添字「n」は整数を表すことに留意されたい。

20

30

【0013】

別の実施形態では、制御モジュール12は、入力ピンまたは入力リード線12P₁、12P₂、12P₃、12P₄、…、12P_(2n-1)、12P_{2n}、12P_(2n+1)を有する半導体パッケージ中のモノリシック集積された半導体デバイスであり、ここで、nは、整数を表す。例えば、入力端子16₁I1、16₁I2、16_cI1、16₂I2、…、16_cI(n-1)、16_nI2および16_nI3は、それぞれ、入力ピン12P₁、12P₂、12P₃、12P₄、…、12P_(2n-1)、12P_{2n}および12P_(2n+1)に接続される。入力端子16₁I1、16₁I2、16_cI1、16₂I2、…、16_cI(n-1)、16_nI2、および16_nI3は、それぞれ、入力ピン12P₁、12P₂、12P₃、12P₄、…、12P_(2n-1)、

40

50

、 $12P_{2n}$ 、および $12P_{(2n+1)}$ に直接に接続されているように図示されているが、これは本発明を制限するものではなく、他の回路要素を介して相互に接続されてもよい。あるいは、入力端子 16_1I1 、 16_1I2 、 16_cI1 、 16_2I2 、 \dots 、 $16_cI(n-1)$ 、 16_nI2 および 16_nI3 は、それぞれ、入力ピン $12P_1$ 、 $12P_2$ 、 $12P_3$ 、 $12P_4$ 、 \dots 、 $12P_{(2n-1)}$ 、 $12P_{2n}$ および $12P_{(2n+1)}$ として機能し得る。

【0014】

別の実施形態によれば、制御モジュール12およびフィルタ部分22はモノリシックに集積されて、集積半導体デバイスを形成している。制御モジュール12およびフィルタ部分22がモノリシックに集積されている実施形態では、入力ピン $12P_1$ 、 $12P_2$ 、 $12P_3$ 、 $12P_4$ 、 \dots 、 $12P_{(2n-1)}$ 、 $12P_{2n}$ および $12P_{(2n+1)}$ は存在せず、入力端子 22_1I1 、 22_cI1 、 $22_cI(n-1)$ および 22_nI2 が、入力ピンとして機能するか、あるいは、入力ピンに接続されている。

【0015】

スイッチング素子 16_1 の入力端子 16_1I4 および 16_1I5 は、それぞれ制御信号 $V26_1$ および $V28_1$ を受信するように結合されており、スイッチング素子 16_2 の入力端子 16_2I4 および 16_2I5 は、それぞれ、制御信号 $V26_2$ および $V28_2$ を受信するように結合されており、スイッチング素子 16_n の入力端子 16_nI4 および 16_nI5 は、それぞれ、制御信号 $V26_n$ および $V28_n$ を受信するように結合されている。

【0016】

スイッチング素子 16_1 、 \dots 、 16_n の出力端子 16_1O1 、 16_1O2 、 16_cO1 、 16_2O2 、 \dots 、 $16_cO(n-1)$ 、 16_nO2 および 16_nO3 は、MUX18の対応する入力端子に接続されている。

【0017】

フィルタ22は複数のフィルタ部分 22_1 、 22_2 、 \dots 、 22_n から成り、ここで、各フィルタ部分は、電力貯蔵装置24の対応する電力セルに接続されている入力端子と、インタフェースネットワーク16の対応する入力ピンに接続されている出力端子とを含む。フィルタ部分 22_1 は、入力端子 22_1I1 および 22_1I2 と、出力端子 22_1O1 、 22_1O2 および 22_1O3 とを有し、フィルタ部分 22_2 は、入力端子 22_2I1 および 22_2I2 と、出力端子 22_2O1 、 22_2O2 および 22_2O3 とを有し、フィルタ部分 22_n は、入力端子 22_nI1 および 22_nI2 と、出力端子 22_nO1 、 22_nO2 および 22_nO3 とを有する。ある実施形態によれば、入力端子 22_1I2 は入力端子 22_2I1 に接続されて入力端子 22_cI1 を形成し、入力端子 $22_{(n-1)}I2$ は入力端子 22_nI1 に接続されて入力端子 $22_cI(n-1)$ を形成する。出力端子 22_1O3 は出力端子 22_2O1 に接続されて出力端子 22_cO1 を形成し、出力端子 $22_{(n-1)}O3$ は出力端子 22_nO1 に接続されて出力端子 $22_cO(n-1)$ を形成する。制御モジュール12がモノリシック集積された半導体デバイスで、フィルタ22が個別の回路素子から形成されている実施形態では、出力端子 22_1O1 、 22_1O2 、 22_cO1 、 22_2O2 、 \dots 、 $22_cO(n-1)$ 、 22_nO2 および 22_nO3 は、それぞれ、入力ピン $12P_1$ 、 $12P_2$ 、 $12P_3$ 、 $12P_4$ 、 \dots 、 $12P_{(2n-1)}$ 、 $12P_{2n}$ および $12P_{(2n+1)}$ に接続される。

【0018】

入力端子 22_1I1 は、電力セル 24_1 の正極に接続され、入力端子 22_cI1 は、それぞれ、電力セル 24_1 および 24_2 の負極および正極に接続される。入力端子 $22_cI(n-1)$ は電力セル 24_n の正極に接続される。入力端子 22_nI2 は電力セル 24_n の負極に接続される。

【0019】

スイッチング素子 16_1 、 16_2 、 \dots 、 16_n 、フィルタ部分 22_1 、 22_2 、 \dots 、 22_n および電力セル 24_1 、 24_2 、 \dots 、 24_n の個数は、本発明の制限で

はないことに留意されたい。

【0020】

完全を期すために、図2は、それぞれ、4つのフィルタ部分22₁、22₂、22₃、および22₄に接続された4つのスイッチング素子16₁、16₂、16₃、および16₄を備える電力セルモニタおよび制御回路10Aを説明するために包含される。したがって、制御回路10Aは、4つの電力貯蔵装置24₁、24₂、24₃および24₄に接続される。4つのスイッチング素子、4つのフィルタ部分および4つの電力貯蔵装置が図2に図示されているが、これは本発明の制限ではない、すなわち、4つより多いまたは少ないスイッチング素子や、フィルタ部分や、電力貯蔵装置が存在し得る。より具体的には、スイッチング素子16₁は、入力端子16₁I1、16₁I2、16₁I3、16₁I4および16₁I5と、出力端子16₁O1、16₁O2および16₁O3と、を有し；スイッチング素子16₂は、入力端子16₂I1、16₂I2、16₂I3、16₂I4および16₂I5と出力端子16₂O1、16₂O2および16₂O3と、を有し、スイッチング素子16₃は、入力端子16₃I1、16₃I2、16₃I3、16₃I4および16₃I5と出力端子16₃O1、16₃O2および16₃O3と、を有し、スイッチング素子16₄は、入力端子16₄I1、16₄I2、16₄I3、16₄I4および16₄I5と出力端子16₄O1、16₄O2および16₄O3と、を有する。ある実施形態によれば、入力端子16₁I3は入力端子16₂I1に接続されて入力端子16_cI1を形成し、入力端子16₂I3は入力端子16₃I1に接続されて入力端子16_cI2を形成し、入力端子16₃I3は入力端子16₄I1に接続されて入力端子16_cI3を形成し、出力端子16₁O3は出力端子16₂O1に接続されて出力端子16_cO1を形成し、出力端子16₂O3は出力端子16₃O1に接続されて出力端子16_cO2を形成し、出力端子16₃O3は出力端子16₄O1に接続されて出力端子16_cO3を形成し得る。

【0021】

スイッチング素子16₁の入力端子16₁I4および16₁I5は、それぞれ、制御信号V26₁およびV28₁を受信するように結合されており、スイッチング素子16₂の入力端子16₂I4および16₂I5は、それぞれ、制御信号V26₂およびV28₂を受信するように結合されており、スイッチング素子16₃の入力端子16₃I4および16₃I5は、それぞれ、制御信号V26₃およびV28₃を受信するように結合されており、スイッチング素子16₄の入力端子16₄I4および16₄I5は、それぞれ、制御信号V26₄およびV28₄を受信するように結合されている。

【0022】

それぞれ、スイッチング素子16₁、16₂、16₃および16₄の出力端子16₁O1、16₁O2、16_cO1、16₂O2、16_cO2、16₃O2、16_cO3、16₄O2、および16₄O3は、MUX18の対応する入力端子に接続される。

【0023】

フィルタ22は複数のフィルタ部分22₁、22₂、22₃および22₄から成り、ここで、各フィルタ部分は、電力貯蔵装置24の対応する電力セル24₁、24₂、24₃および24₄に接続された入力端子ならびに制御モジュール12のスイッチング素子の対応する入力ピンに接続された出力端子を含む。フィルタ部分22₁は、入力端子22₁I1および22₁I2と出力端子22₁O1、22₁O2および22₁O3と、を有し、フィルタ部分22₂は、入力端子22₂I1および22₂I2と出力端子22₂O1、22₂O2および22₂O3と、を有し、フィルタ部分22₃は、入力端子22₃I1および22₃I2と出力端子22₃O1、22₃O2および22₃O3と、を有し、フィルタ部分22₄は、入力端子22₄I1および22₄I2と出力端子22₄O1、22₄O2および22₄O3と、を有する。ある実施形態によれば、入力端子22₁I2は入力端子22₂I1に接続されて入力端子22_cI1を形成し、入力端子22₂I2は入力端子22₃I1に接続されて入力端子22_cI2を形成し、入力端子22₃I2は入力端子22₄I1に接続されて入力端子22_cI3を形成する。入力端子22₁I1は、電力セル24

₁ の正極に接続され、入力端子 22_cI₁ は、それぞれ、電力セル 24₁ および 24₂ の負極および正極に接続される。入力端子 22_cI₂ は、それぞれ、電力セル 24₂ および 24₃ の負極および正極に接続される。入力端子 22_cI₃ は、それぞれ、電力セル 24₃ および 24₄ の負極および正極に接続される。入力端子 22_cI₄ は、電力セル 24₄ の負極に接続される。

【0024】

出力端子 22_cO₃ は出力端子 22_cO₁ に接続されて出力端子 22_cO₁ を形成し、出力端子 22_cO₃ は出力端子 22_cO₁ に接続されて出力端子 22_cO₂ を形成し、出力端子 22_cO₃ は出力端子 22_cO₁ に接続されて出力端子 22_cO₃ を形成し得る。
出力端子 22_cO₁ は入力ピン 12P₁ に接続され、出力端子 22_cO₂ は入力ピン 12P₂ に接続され、出力端子 22_cO₁ は入力ピン 12P₃ に接続され、出力端子 22_cO₂ は入力ピン 12P₄ に接続され、出力端子 22_cO₂ は入力ピン 12P₅ に接続され、出力端子 22_cO₂ は入力ピン 12P₆ に接続され、出力端子 22_cO₃ は入力ピン 12P₇ に接続され、出力端子 22_cO₂ は入力ピン 12P₈ に接続され、出力端子 22_cO₃ は入力ピン 12P₉ に接続される。
10

【0025】

図 3 は、本発明の別の実施形態によれば、フィルタ部分 22_m を介して電力セル 24_m に接続されるインターフェースネットワーク 16 (図 1 および 2 を参照して説明した) のスイッチング素子またはスイッチング部分 16_m の回路図である。図 1 のスイッチング素子 16₁、16₂、…、16_n が、スイッチング素子 16_m から成り、かつ変数 m が、整数 1、2、…、n を表すために用いられることに留意されたい。例えば、スイッチング素子 16₁ はスイッチング素子 16_m に対応するが、ここで、m は、1 に置き換えられ、スイッチング素子 16₂ はスイッチング素子 16_m に対応するが、ここで、m は、2 に置き換えられ、スイッチング素子 16_n はスイッチング素子 16_m に対応するが、ここで、m は、n に置き換えられる。同様に、図 2 のスイッチング素子 16₁、16₂、16₃、16₄ は、スイッチング素子 16_m から成り、変数 m は、整数 1、2、3 および 4 を表すために用いられている。例えば、スイッチング素子 16₁ はスイッチング素子 16_m に対応するが、ここで、m は、1 に置き換えられ、スイッチング素子 16₂ はスイッチング素子 16_m に対応するが、ここで、m は、2 に置き換えられ、スイッチング素子 16₃ はスイッチング素子 16_m に対応するが、ここで、m は、3 に置き換えられ、スイッチング素子 16₄ はスイッチング素子 16_m に対応するが、ここで、m は、4 に置き換えられる。
20

【0026】

スイッチング素子 16_m はスイッチ 26_m および 28_m を含み、各スイッチ 26_m および 28_m は制御端子および 1 対の導電端子を含む。スイッチ 26_m は電流制御素子または平衡化スイッチと呼ばれ、スイッチ 28_m はサンプリングスイッチと呼ばれ得る。より具体的には、スイッチ 26_m は、制御端子 26_{m,1}、導電端子 26_{m,2} および導電端子 26_{m,3} を有する。導電端子 26_{m,2} は、入力端子 16_mI₁ および出力端子 16_mO₁ に接続される。導電端子 26_{m,2} は、端子 16_mI₁ および 16_mO₁ に接続され得るか、または代替的に、端子 16_mI₁ および 16_mO₁ は入/出力端子を形成し得ることに留意されたい。スイッチ 28_m は、制御端子 28_{m,1}、導電端子 28_{m,2} および導電端子 28_{m,3} を有する。導電端子 28_{m,2} は、導電端子 26_{m,3} ならびに端子 16_mI₂ および 16_mO₂ に接続される。導電端子 28_{m,3} は、入力端子 16_mI₃ および出力端子 16_mO₃ に接続され得るか、または代替的に、端子 16_mI₃ および 16_mO₃ は入/出力端子を形成し得ることに留意されたい。さらに、端子 26_{m,1} は、図 1 の端子 16₁I₄、16₂I₄、…、16_nI₄ に対応し、端子 28_{m,1} は、図 1 の端子 16₁I₅、16₂I₅、…、16_nI₅ に対応することに留意されたい。
40

【0027】

フィルタ部分 22_m は、入力端子 22_mI₁ に接続された、または代替的に、入力端子

22_mI1として機能する端子と、出力端子22_mO1に接続された、または代替的に、端子22_mO1として機能する端子と、を有するインピーダンス素子34_mを備える。出力端子22_mO1は、エネルギー貯蔵素子36_mを介して出力端子22_mO2に接続され得る。入力端子22_mI2は、インピーダンス素子34_(m+1)を介して出力端子22_mO3に接続され得る。例えば、インピーダンス素子34_mおよび34_(m+1)はレジスタであり、エネルギー貯蔵素子36_mはキャパシタである。インピーダンス素子34_mおよび34_(m+1)はレジスタにはかぎられないため、これらは図3では記号Zで表されている。スイッチング部分16_mがモノリシック集積された半導体デバイスもしくはモノリシック集積された半導体デバイスのある部分であり、回路素子34_m、34_(m+1)および36_mが個別の回路素子である実施形態では、回路素子34_m、34_(m+1)および36_mは入力ピン12P_(2m-1)、12P_{2m}および12P_(2m+1)を介してスイッチング部分16_mに接続される、すなわち、出力端子22_mO1は入力ピン12P_(2m-1)に接続され、出力端子22_mO2は入力ピン12P_{2m}に接続され、出力端子22_mO3は入力ピン12P_(2m+1)に接続される。
10

【0028】

電力セル24_mは、フィルタ部分22_mの入力端子22_mI1に接続された正極と、フィルタ部分22_mの入力端子22_mI2に接続された負極と、を有するバッテリセルを備える。

【0029】

出力端子22_mO1は入力端子16_mI1に電気的に接続され、出力端子22_mO2は入力端子16_mI2に電気的に接続され、出力端子22_mO3は入力端子16_mI3に電気的に接続されることに留意されたい。
20

【0030】

引き続き図3を参照すると、スイッチング部分16_mは、フィルタリング継続観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。継続観察動作モードでは、電力セル24_mにまたがる電圧を、スイッチング素子26_mおよび28_mをオープンまたはクローズするように構成することによって監視する。例えば、電力セル24_mにまたがる電圧は、スイッチング素子26_mをオープンするのに適切な制御電圧V26_mをスイッチング素子26_mの制御端子に印加し、スイッチング素子28_mをクローズするのに適切な制御電圧V28_mをスイッチング素子28_mの制御端子に印加し、これによって、出力端子16_mO2を出力端子16_mO3に短絡させることによって監視することが可能である。
30

【0031】

スイッチング素子28_mをクローズすると、出力端子16_mO2が出力端子16_mO3に短絡され、キャパシタ36_mが電力セル24_mの電圧に実質的に充電される、すなわち、キャパシタ36_mは、電力セル24_mの電圧に実質的に等しい電圧にまで充電される。キャパシタ36_mの電圧は、出力端子16_mO1と16_mO2間に输出される。MUX18(図1および2に示す)は、出力端子16_mO1と16_mO2間の電圧をADCコンバータ20に伝達するように構成されている。したがって、電力セル24_mのフィルタリングされた電圧を表す電圧は、ADC20に伝達され、これによって電力セル24_mにまたがる電圧を観察または監視する。
40

【0032】

サンプルアンドホールド動作モードでは、電力セル24_mにまたがる電圧を、スイッチング素子26_mをオープンするのに適切な制御電圧V26_mをスイッチング素子26_mの制御端子に印加し、スイッチング素子28_mをクローズするのに適切な制御電圧V28_mをスイッチング素子28_mの制御端子に印加し、これによって、出力端子16_mO2を出力端子16_mO3に短絡させることによって、サンプリングならびに記憶もしくは保持することが可能である。キャパシタ36_mは、電力セル24_mにまたがる電圧に実質的に等しい電圧に充電される、すなわち、キャパシタ36_mは電力セル24_mの電圧をサンプリングする。
50

【0033】

電力セル 24_m の電圧をサンプリングした後、スイッチング素子 26_m をオープンするのに適した制御電圧 $V26_m$ がスイッチング素子 26_m の制御端子に維持され、スイッチング素子 28_m をオープンするのに適した制御電圧 $V28_m$ がスイッチング素子 28_m の制御端子に印加される。MUX18およびADC20(図1および2に示す)は、出力端子 16_mO1 および 16_mO2 が高インピーダンスネットワークに接続されるように構成される。キャパシタ 36_m の両端に現れるサンプリングされた電圧は保持される。キャパシタ 36_m にまたがる電圧は、出力端子 16_mO1 を出力端子 16_mO2 間に出力される。MUX18は、出力端子 16_mO1 と出力端子 16_mO2 との間の電圧をADCコンバータ20に伝達するように構成される。したがって、電力セル 24_m の電圧を表すサンプリングされた電圧はADC20に伝達される。

【0034】

平衡化動作モードでは、電力セル 24_m にまたがる電圧は、スイッチング素子 26_m をクローズするのに適切な制御電圧 $V26_m$ をスイッチング素子 26_m の制御端子に印加し、スイッチング素子 28_m をクローズするのに適切な制御電圧 $V28_m$ をスイッチング素子 28_m の制御端子に印加することによって平衡化させることが可能である。したがって、インピーダンス素子 34_m 、スイッチング素子 26_m 、スイッチング素子 28_m およびインピーダンス素子 $34_{(m+1)}$ を通過する平衡化電流によって、電力セル 24_m が放電される。スイッチング素子 26_m は平衡化スイッチまたはスイッチと呼ばれ、スイッチング素子 28_m はサンプリングスイッチまたはスイッチと呼ばれ得る。

【0035】

図4は、図1を参照して説明したように制御モジュール12およびフィルタ回路22を備え、図3を参照して説明したフィルタ回路22およびインターフェース回路16の回路実装物の実施形態をさらに含む電力セルモニタおよび制御回路100のブロック図である。図1の実施形態と同様に、図4に示すインターフェースネットワーク16のスイッチングネットワーク 16_1 、 16_2 、 \dots 、 16_n はスイッチング素子 16_m から成り、ここで、変数mは、図3を参照して説明されるように、整数1、2、 \dots 、nを表すために用いられる。例えば、スイッチングネットワーク 16_1 はスイッチング部分 16_m に対応し、ここで、mは、1で置き換えられ、スイッチングネットワーク 16_2 はスイッチング部分 16_m に対応し、ここで、mは、2で置き換えられ、スイッチングネットワーク 16_n はスイッチング部分 16_m に対応し、ここで、mは、nで置き換えられる。

【0036】

制御回路100はバッテリ装置24に接続される。上述したように、制御モジュール12は、制御モジュール12の入力部に結合されるか、または代替的に、制御モジュール12の入力部として機能する入力端子および、アナログツーデジタルコンバータ(ADC)20に接続される出力部を有するマルチプレクサ(MUX)18の入力部に結合される出力端子を有するインターフェースネットワーク16を含む。インターフェースネットワーク16は、図1および3を参照して説明した。

【0037】

フィルタ22は複数のフィルタ部分 22_1 、 22_2 、 \dots 、 22_n から成り、ここで、各フィルタ部分は、電力貯蔵装置24の対応する電力セル 24_1 、 24_2 、 \dots 、 24_n に接続されている入力端子と、スイッチングネットワーク 16_1 、 16_2 、 \dots 、 16_n の対応する入力端子に接続されている出力端子と、を含む。フィルタ部分 22_1 は、入力端子 22_1I1 および 22_cI1 と、出力端子 22_1O1 、 22_1O2 および 22_cO1 と、を有し、フィルタ部分 22_2 は、入力端子 22_cI1 および 22_cI2 と、出力端子 22_cO1 、 22_2O2 および 22_cO2 と、を有し、フィルタ部分 22_n は、入力端子 $22_cI(n-1)$ および 22_nI2 と、出力端子 $22_cO(n-1)$ 、 22_nO2 および 22_nO3 と、を有する。

【0038】

入力端子 22_1I1 は、電力セル 24_1 の正の端子に接続され、入力端子 22_cI1 は

、それぞれ、電力セル 24_1 および 24_2 の負の端子および正の端子に接続される。入力端子 $22_{cI}(n-1)$ は電力セル 24_n の正の端子に接続され、入力端子 22_{nI2} は電力セル 24_n の負の端子に接続される。

【0039】

フィルタ部分 22_1 は、インピーダンス素子 34_1 および 34_2 と、エネルギー貯蔵素子 36_1 と、を備える。より具体的には、出力端子 22_{1O1} は、インピーダンス素子 34_1 を介して入力端子 22_{1I1} に、エネルギー貯蔵素子 36_1 を介して出力端子 22_{1O2} に接続される。入力端子 22_{cI1} は、インピーダンス素子 34_2 を介して出力端子 22_{cO1} に接続される。インピーダンス素子 34_2 はフィルタ部分 22_1 および 22_2 に対して共通であることに留意されたい。例えば、インピーダンス素子 34_1 および 34_2 はレジスタであり、エネルギー貯蔵素子 36_1 はキャパシタである。

【0040】

フィルタ部分 22_2 は、インピーダンス素子 34_2 およびエネルギー貯蔵素子 36_2 を備える。より具体的には、出力端子 22_{cO1} は、インピーダンス素子 34_2 を介して入力端子 22_{cI1} に、エネルギー貯蔵素子 36_2 を介して出力端子 22_{2O2} に接続される。例えば、エネルギー貯蔵素子 36_2 はキャパシタである。類似の共有コンポーネントおよび接続部が、フィルタ部分 22_1 とフィルタ部分 22_2 との間に存在するように、フィルタ部分 22_2 と、フィルタ部分 22_2 に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、フィルタ部分 22_2 の全てのコンポーネントが図示されているわけではない。

【0041】

フィルタ部分 22_n は、インピーダンス素子 34_n および $34_{(n+1)}$ と、エネルギー貯蔵素子 36_n と、を備える。より具体的には、出力端子 $22_{cO(n-1)}$ は、インピーダンス素子 34_n を介して入力端子 $22_{cI(n-1)}$ に、エネルギー貯蔵素子 36_n を介して出力端子 22_{nO2} に接続される。出力端子 $22_{cO(n-1)}$ はまた、入力ピン $12P_{(2n-1)}$ に接続される。入力端子 22_nI2 は、インピーダンス素子 $34_{(n+1)}$ を介して出力端子 22_{nO3} に接続される。例えば、インピーダンス素子 34_n および $34_{(n+1)}$ はレジスタであり、エネルギー貯蔵素子 36_n はキャパシタである。インピーダンス素子 34_n および $34_{(n+1)}$ はレジスタであることに限られないため、図4では記号 Z で示されている、すなわち、これらは他のタイプのインピーダンス素子であり得る。スイッチング部分 16_1 、 16_2 、 \dots 、 16_n から成る図4のインターフェースネットワーク 16 は、フィルタリング継続観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。インターフェース回路 16 の動作モードは、図3を参照して説明されている。

【0042】

図5は、本発明の別の実施形態によれば、フィルタ部分 22_m を介して電力セル 24_m に接続されるインターフェースネットワーク 16 （図1および2を参照して説明した）のスイッチング部分 16_m の回路図である。図1のスイッチングネットワーク 16_1 、 16_2 、 \dots 、 16_n が、スイッチング部分 16_m から成り、かつ変数 m が、整数 1 、 2 、 \dots 、 n を表すために用いられることに留意されたい。例えば、スイッチングネットワーク 16_1 はスイッチング部分 16_m に対応するが、ここで、 m は、 1 に置き換えられ、スイッチングネットワーク 16_2 はスイッチング部分 16_m に対応するが、ここで、 m は、 2 に置き換えられ、スイッチング素子 16_n はスイッチング部分 16_m に対応するが、ここで、 m は、 n に置き換えられる。図5のスイッチング部分 16_m は図3のスイッチング部分 16_m に類似しているが、キャパシタ 36_m の端子のうちの1つが入力ピン $12P_{(2m-1)}$ に接続されていない点だけが異なる。したがって、キャパシタ 36_m は、一方の端子は入力ピン $12P_{2m}$ に接続されているが、他方の端子は別の回路（図6に示す）と共有されている。図3を参照して述べたように、スイッチング素子 26_m は平衡化スイッチまたはスイッチと呼ばれ、スイッチング素子 28_m はサンプリングスイッチまたはスイッチと呼ばれ得る。

【0043】

図6は、図1を参照して説明したように制御モジュール12およびフィルタ回路22を備え、図5を参照して説明したフィルタ回路22およびインターフェース回路16の実装物の実施形態をさらに含む電力セルモニタおよび制御モジュール150のブロック図である。制御モジュール150は、バッテリ装置24に接続される。上述したように、制御モジュール12は、制御モジュール12の入力部に接続されるか、または代替的に、制御モジュール12の入力部として機能する入力端子と、アナログツーデジタルコンバータ(ADC)20に接続される出力を有するマルチブレクサ(MUX)18の対応する入力部に接続される出力端子と、を有するインターフェースネットワーク16を含む。インターフェース回路16は、スイッチング部分16₁、16₂、…、16_nおよびスイッチング端子26Aから成る。スイッチング部分16₁、16₂、…、16_nは、図4を参照して説明されている。10

【0044】

スイッチング素子26Aは、制御信号V26Aを受信するように結合された制御端子26A₁、導電端子26A₂および導電端子26A₃を有する。導電端子26A₂は、導電端子16_AI₁および出力端子16_AO₁に接続される。導電端子26A₃は、入力端子16₁I₁、出力端子16₁O₁および導電端子26₁、26₂に接続される。

【0045】

出力端子16_AO₁、16₁O₁、16₁O₂、16_CO₁、16₂O₂、…、16_CO_(n-1)、16_nO₂、16_nO₃は、MUX18の対応する入力端子に接続される。20

【0046】

フィルタ22は複数のフィルタ部分22₁、22₂、…、22_nから成り、ここで、各フィルタ部分は、電力貯蔵装置24の対応する電力セル24₁、24₂、…、24_nに接続される入力端子と、スイッチングネットワーク16₁、16₂、…、16_nの対応する入力端子に接続されている出力端子と、を含む。フィルタ部分22₁は、入力端子22₁I₁および22_CI₁ならびに出力端子22₁O₁、22₁O₂および22_CO₁を有し、フィルタ部分22₂は、入力端子22_CI₁および22_CI₂ならびに出力端子22_CO₁、22₂O₂および22_CO₂を有し、フィルタ部分22_nは、入力端子22_CI_(n-1)および22_nI₂ならびに出力端子22_CO_(n-1)、22_nO₂および22_nO₃を有する。30

【0047】

入力端子22₁I₁は、電力セル24₁の正極に接続され、入力端子22_CI₁は、それぞれ、電力セル24₁および24₂の負極および正極に接続される。入力端子22_CI_(n-1)は電力セル24_nの正極に接続され、入力端子22_nI₂は電力セル24_nの負極に接続される。

【0048】

フィルタ部分22₁は、インピーダンス素子34₁および34₂とエネルギー貯蔵素子36₁と、を備えるが、エネルギー貯蔵素子36₁は、入力ピン12P_Aに接続された端子および入力ピン12P₂に接続された端子を有する。出力端子22₁O₁は入力ピン12P₁に接続される。入力端子22_CI₁はインピーダンス素子34₂を介して出力端子22_CO₁に接続される。インピーダンス素子34₂はフィルタ部分22₁および22₂に共通であることに留意されたい。例えば、インピーダンス素子34₁および34₂はレジスタであり、エネルギー貯蔵素子36₁はキャパシタである。40

【0049】

フィルタ部分22₂は、インピーダンス素子34₂およびエネルギー貯蔵素子36₂を備える。出力端子22_CO₁は、入力ピン12P₃に接続される。エネルギー貯蔵素子36₂の一方の端子は入力ピン12P₂に接続され、キャパシタ36₂の他方の端子は入力ピン12P₄に接続される。例えば、インピーダンス素子34₂はレジスタであり、エネルギー貯蔵素子36₂はキャパシタである。類似の共有コンポーネントおよび接続部が、50

フィルタ部分 22₁ とフィルタ部分 22₂との間に存在するように、フィルタ部分 22₂と、フィルタ部分 22₂に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、フィルタ部分 22₂の全てのコンポーネントが図示されているわけではない。

【0050】

フィルタ部分 22_n は、インピーダンス素子 34_n および 34_(n+1) とエネルギー貯蔵素子 36_n と、を備える。出力端子 22_{cO}(n-1) は、入力ピン 12P_(2n-1) に接続される。入力端子 22_{cI}(n-1) はインピーダンス素子 34_n を介して出力端子 22_{cO}(n-1) に接続され、入力端子 22_nI2 はインピーダンス素子 34_(n+1) を介して出力端子 22_nO3 に接続される。出力端子 22_nO3 は、入力ピン 12P_(2n+1) に接続される。エネルギー貯蔵素子 36_n は、入力ピン 12P_{2n} に接続された端子を有し、また、隣接するフィルタ部分に接続された端子を有する。例えば、3つのフィルタ部分が存在する実施形態によれば、エネルギー貯蔵素子 36_n のインデックス n は 3 である、すなわち、エネルギー貯蔵素子 36_n は参照文字 36₃ で識別され、フィルタ部分 22₂ のエネルギー貯蔵素子 36₂ の端子に接続される端子を有する。例えば、インピーダンス素子 34_n および 34_(n+1) はレジスタであり、エネルギー貯蔵素子 36_n はキャパシタである。インピーダンス素子 34₁、34₂、…、34_n、34_(n+1) はレジスタであることに限られないため、これらは参照文字 Z で識別される、すなわち、他のタイプのインピーダンス素子であり得ることになる。

【0051】

別の実施形態によれば、セルの極性は、これらのセルが図 1、2、4 および 6 に示す反対の極性となるように切り替えられる。

【0052】

引き続き図 6 を参照すると、スイッチング部分 16₁、…、16_n を備えるインターフェースネットワーク 16 は、フィルタリング継続観察モード、微分サンプルアンドホールドモードおよび内部平衡化モードを含む少なくとも 3 つの互いに異なる動作モードで動作する。フィルタリング継続観察動作モードでは、電力セル 24₁、…、24_n にまたがる電圧を、スイッチング素子 26₁、…、26_n をオープンするように構成し、スイッチング素子 28₁、…、28_n と 26A をクローズするように構成することによって監視する。例えば、電力セル 24₁ にまたがる電圧は、MUX 18 の、出力端子 16_AO1 および 16_AO2 の電圧を AD コンバータ 20 に伝達する構成に応答して監視することが可能である。このように、電力セル 24₁ のフィルタリングされた電圧を表す電圧が ADC 20 に伝達され、これによって電力セル 24₁ にまたがる電圧が観察または監視される。

【0053】

同様に、電力セル 24₂ にまたがる電圧は、MUX 18 の、出力端子 16₁O2 および 16₂O2 の電圧を AD コンバータ 20 に伝達する構成に応答して監視することが可能である。このように、電力セル 24₂ にまたがる電圧を表す電圧が ADC 20 に伝達され、これによって電力セル 24₂ にまたがる電圧が観察または監視される。

【0054】

電力セル 24_n にまたがる電圧は、MUX 18 の、出力端子 16_(n-1)O2 および 16_nO2 の電圧を AD コンバータ 20 に伝達する構成に応答して監視することが可能である。このように、電力セル 24_n にまたがる電圧を表す電圧が ADC 20 に伝達され、これによって電力セル 24_n にまたがる電圧が観察または監視される。

【0055】

微分サンプルアンドホールド動作モードでは、電力セル 24₁、…、24_n にまたがる電圧を、それぞれ、スイッチング素子 26A、26₁、…、26_n および 28₁、…、28_n の制御端子に対して適切な制御電圧 V26A、V26₁、…、V26_n、および V28₁、…、V28_n を印加することによってサンプリングならびに記憶もしくは保持することが可能である。サンプリングするために、スイッチング素子は

10

20

30

40

50

、フィルタリング継続観察モードを可能とするように構成される。このようなスイッチ構成に応答して、キャパシタ 36_1 、 \dots 、 36_n は、電力セル 24_1 、 \dots 、 24_n にまたがる電圧に実質的に等しい電圧まで充電される。キャパシタ 36_1 、 \dots 、 36_n は、フィルタとして機能し、サンプリングされた信号をフィルタリングする。スイッチング素子 $26A$ および 28_1 、 \dots 、 28_n のオン抵抗(R_{ds0n})は、キャパシタ 36_1 、 \dots 、 36_n の両端子と直列になっており、これによって、同相雑音に付きものの問題が軽減される。

【0056】

電力セル 24_1 、 \dots 、 24_n の電圧をサンプリングした後、情報は、これらのスイッチング素子の開放に好適な制御電圧 $V26A$ および $V28_1$ 、 \dots 、 $V28_n$ を、それぞれ、スイッチング素子 $26A$ および 28_1 、 \dots 、 28_n の制御端子に印加することによってキャパシタ 36_1 、 \dots 、 36_n 上に保持される。スイッチング素子 26_1 、 \dots 、 26_n は、開放状態にとどまる、すなわち、フィルタリング継続観察モードのときと同じ状態を保つ。このスイッチング構成に応答して、キャパシタ 36_1 、 \dots 、 36_n は、電力セル 24_1 、 \dots 、 24_n のスタックから隔離され、これによって、それらの電圧が電力セル 24_1 、 \dots 、 24_n 上に出力される。

【0057】

電力セル 24_1 の電圧を表すサンプリングされた電圧は、 $MUX18$ の、出力端子 16_AO1 および 16_1O2 の電圧を $ADC20$ に伝達する構成に応答して監視することができる。

【0058】

$MUX18$ の、出力端子 16_1O2 および 16_2O2 の電圧を $ADC20$ に伝達する構成に応答して、電力セル 24_2 の電圧を表すサンプリングされた電圧が $ADC20$ に伝達される。

【0059】

$MUX18$ の、出力端子 $16_{(n-1)}O2$ および 16_nO2 の電圧を $ADC20$ に伝達する構成に応答して、電力セル 24_n の電圧を表すサンプリングされた電圧が $ADC20$ に伝達される。

【0060】

内部平衡化動作モードでは、電力セル 24_1 にまたがる電圧は、スイッチング素子 26_1 および 28_1 の閉鎖に好適な制御信号 $V26_1$ および $V28_1$ を、それぞれ、スイッチング素子 26_1 および 28_1 の制御端子に印加することによって平衡化され得る。したがって、インピーダンス素子 34_1 、スイッチング素子 26_1 、スイッチング素子 28_1 およびインピーダンス素子 34_2 を通過する平衡化電流によって、電力セル 24_1 が放電される。

【0061】

その他の電力セルにまたがる電圧は、同様の方法を用いることによって平衡化させることが可能であることに留意されたい。

【0062】

図7は、本発明の別の実施形態によれば、フィルタ部分 22_m を介して電力セル 24_m に接続されるスイッチング部分 16_m (図1および2を参照して説明した)の回路図である。図1のスイッチングネットワーク 16_1 、 16_2 、 \dots 、 16_n が、スイッチング部分 16_m から成り、かつ変数 m が、整数 1 、 2 、 \dots 、 n を表すために用いられることに留意されたい。例えば、スイッチングネットワーク 16_1 はスイッチング部分 16_m に対応するが、ここで、 m は、 1 に置き換えられ、スイッチングネットワーク 16_2 はスイッチング部分 16_m に対応するが、ここで、 m は、 2 に置き換えられ、スイッチングネットワーク 16_n はスイッチング部分 16_m に対応するが、ここで、 m は、 n に置き換えられる。同様に、図2のスイッチングネットワーク 16_1 、 16_2 、 16_3 、 16_4 は、スイッチング部分 16_m から成り、変数 m は、整数 1 、 2 、 3 および 4 を表すために用いられている。例えば、スイッチングネットワーク 16_1 はスイッチング部分 16_m に対応

10

20

30

40

50

するが、ここで、 m は、1に置き換えられ、スイッチングネットワーク 16_2 はスイッチング部分 16_m に対応するが、ここで、 m は、2に置き換えられ、スイッチングネットワーク 16_3 はスイッチング部分 16_m に対応するが、ここで、 m は、3に置き換えられ、スイッチングネットワーク 16_4 はスイッチング部分 16_m に対応するが、ここで、 m は、4に置き換えられる。

【0063】

スイッチング部分 16_m を、図3を参照して説明した。

【0064】

フィルタ部分 22_m は、図3を参照して説明したフィルタ部分に類似しているが、平衡化素子 30_m および 32_m も含む点だけが異なる。例えば、平衡化素子 30_m および 32_m は、それぞれ、トランジスタおよびレジスタである。トランジスタ 30_m は、レジスタ 32_m を介して入力端子 $22_m I_1$ に接続されるドレン端子と、入力端子 $22_m I_2$ に接続されるソース端子と、出力端子 $22_m O_2$ として機能するか、または代替的に、出力端子 $22_m O_2$ に接続されるゲート端子と、を有する。出力端子 $22_m O_1$ は、インピーダンス素子 34_m を介して入力端子 $22_m I_1$ に接続され、エネルギー貯蔵素子 36_m を介して出力端子 $22_m O_2$ に接続される。入力端子 $22_m I_2$ は、インピーダンス素子 $34_{(m+1)}$ を介して出力端子 $22_m O_3$ に接続される。例えば、インピーダンス素子 34_m および $34_{(m+1)}$ はレジスタであり、エネルギー貯蔵素子 36_m はキャパシタである。レジスタ 32_m および 34_m は各々が、一般的には一緒に接続されて、入力端子 $22_m I_1$ に接続されるか、または代替的に、入力端子 $22_m I_1$ を形成する結節を形成する端子を有する。レジスタ 32_m の他方の端子はトランジスタ 30_m のドレン端子に接続され、レジスタ 34_m の他方の端子はキャパシタ 36_m の端子に接続されて、出力端子 $22_m O_1$ として機能するか、または代替的に、出力端子 $22_m O_1$ に接続される結節を形成し得る。キャパシタ 36_m の他方の端子はトランジスタ 30_m のゲート端子に接続され、また、出力端子 $22_m O_2$ に接続されるか、または代替的に、出力端子 $22_m O_2$ として機能する結節を形成し得る。レジスタ $34_{(m+1)}$ は、トランジスタ 30_m のソース端子に接続されて、入力端子 $22_m I_2$ に接続されるか、または代替的に、入力端子 $22_m I_2$ として機能する結節を形成する端子と、出力端子 $22_m O_3$ として機能するか、または代替的に、出力端子 $22_m O_3$ に接続される端子と、を有する。インピーダンス素子 32_m 、 34_m 、および $34_{(m+1)}$ はレジスタであることに限られないため、図7では記号 Z で示されている、すなわち、これらは他のタイプのインピーダンス素子であり得る。

【0065】

電力セル 24_m は、フィルタ部分 22_m の入力端子 $22_m I_1$ に接続された正極と、フィルタ部分 22_m の入力端子 $22_m I_2$ に接続された負極と、を有するバッテリセルを備える。

【0066】

出力端子 $22_m O_1$ は入力ピン $12P_{(2m-1)}$ に電気的に接続され、出力端子 $22_m O_2$ は入力ピン $12P_{2m}$ に電気的に接続され、出力端子 $22_m O_3$ は入力ピン $12P_{(2m+1)}$ に電気的に接続されることに留意されたい。

【0067】

引き続き図7を参照すると、スイッチング部分 16_m は、フィルタリング継続監視または観察モードと、サンプルアンドホールドモードと、平衡化モードと、を含む少なくとも3つの互いに異なる動作モードで動作する。フィルタリング継続監視モードでは、スイッチング素子 26_m をオープンするのに適切な制御電圧 V_{26_m} がスイッチング素子 26_m の制御端子に印加され、スイッチング素子 28_m をクローズするのに適切な制御電圧 V_{28_m} がスイッチング素子 28_m の制御端子に印加される。スイッチング素子 28_m をクローズすることによって、平衡化トランジスタ 30_m のゲートツースース電圧が実質的にゼロに設定され、これによって、平衡化トランジスタ 30_m がオフとなる。加えて、フィルタのレジスタ 34_m および $34_{(m+1)}$ を流れる電流は実質的にゼロであり、したがつ

10

20

30

40

50

て、キャパシタ 36_m は、電力セル 24_m にまたがる電圧に実質的に等しい電圧にまで充電される。MUX18(図1および2に図示する)は、出力端子 16_mO1 および 16_mO2 の電圧をADC20に伝達するように構成される。したがって、電力セル 24_m の電圧を表す電圧がADC20に伝達され、これによって、電力セル 24_m にまたがる電圧が観察または監視される。

【0068】

サンプルアンドホールド動作モードでは、スイッチング素子 26_m をオープンするのに適切な制御電圧 $V26_m$ をスイッチング素子 26_m の制御端子に印加し、スイッチング素子 28_m をクローズするのに適切な制御電圧 $V28_m$ をスイッチング素子 28_m の制御端子に印加する。スイッチング素子 28_m をクローズすることによって、平衡化トランジスタ 30_m のゲートツースース電圧が実質的にゼロに設定され、これによって、平衡化トランジスタ 30_m がオフとなる。加えて、フィルタのレジスタ 34_m および $34_{(m+1)}$ を流れる電流は実質的にゼロであり、したがって、キャパシタ 36_m は、電力セル 24_m にまたがる電圧に実質的に等しい電圧にまで充電される、すなわち、キャパシタ 36_m は電力セル 24_m の電圧をサンプリングする。次に、スイッチング素子 26_m をオープンするのに適切な制御電圧 $V26_m$ がスイッチング素子 26_m の制御端子に維持され、また、スイッチング素子 28_m をオープンするのに適切な制御電圧 $V28_m$ がスイッチング素子 28_m の制御端子に印加される。MUX18およびADC20(図1および2に図示する)は、出力端子 16_mO1 および 16_mO2 が高インピーダンスネットワークに接続されるように構成される。トランジスタ 30_m のゲート端子は高インピーダンスの結節であるため、レジスタ 34_m およびキャパシタ 36_m を電流が流れることはない。したがって、キャパシタ 36_m に現れるサンプリングされた電圧が保持される。キャパシタ 36_m にまたがる電圧は、出力端子 16_mO1 と 16_mO2 との間に現れる。MUX18(図1および2に図示する)は、出力端子 16_mO1 と出力端子 16_mO2 間の電圧をADC20に伝達するように構成される。したがって、電力セル 24_m の電圧を表すサンプリングされた電圧はADC20に伝達される。

【0069】

平衡化動作モードでは、スイッチング素子 26_m をクローズするのに適切な制御電圧 $V26_m$ がスイッチング素子 26_m の制御端子に印加され、スイッチング素子 28_m をオープンするのに適切な制御電圧 $V28_m$ がスイッチング素子 28_m の制御端子に印加される。したがって、キャパシタ 36_m はスイッチング素子 26_m を通じて放電され、トランジスタ 30_m は導通状態になり、レジスタ 32_m およびトランジスタ 30_m を流れる平衡化電流によって電力セル 24_m が放電される。図3を参照して検討したように、スイッチング素子 26_m は平衡化スイッチまたはスイッチと呼び得るし、スイッチング素子 28_m はサンプリングスイッチまたはスイッチと呼び得る。

【0070】

図8は、図1を参照して説明したように制御モジュール12およびフィルタ回路22を備え、図7を参照して説明したようにフィルタ回路 22_m およびイスイッティングネットワーク 16_m の回路実装物の実施形態をさらに含む電力セルモニタおよび制御モジュール200のブロック図である。インターフェース回路16は、図4を参照して説明した。

【0071】

フィルタ22は複数のフィルタ部分 22_1 、 22_2 、 \dots 、 22_n から成り、ここで、各フィルタ部分は、電力貯蔵装置24の対応する電力セル 24_1 、 24_2 、 \dots 、 24_n に接続された入力端子と、インターフェースネットワーク16の対応する入力ピン $12P_1$ 、 $12P_2$ 、 $12P_3$ 、 $12P_4$ 、 \dots 、 $12P_{(2n-1)}$ 、 $12P_{2n}$ 、 $12P_{(2n+1)}$ に接続される出力端子と、を含む。フィルタ部分 22_1 は、入力端子 22_1I1 および 22_cI1 と、出力端子 22_1O1 、 22_1O2 および 22_cO1 と、を有し、フィルタ部分 22_2 は、入力端子 22_cI1 および 22_cI2 と、出力端子 22_cO1 、 22_2O2 および 22_cO2 と、を有し、フィルタ部分 22_n は、入力端子 $22_cI(n-1)$ および 22_cI2 と、出力端子 $22_cO(n-1)$ 、 22_nO2 および 22_nO1 と、を有する。

10

20

30

40

50

〇 3 と、を有する。フィルタ部分 22_1 、 22_2 、 \dots 、 22_n は図 4 を参照して説明した。加えて、図 8 の各フィルタ部分 22_1 、 22_2 、 \dots 、 22_n は、平衡化トランジスタおよび平衡化レジスタを含む。より具体的には、フィルタ部分 22_1 は、レジスタ 32_1 を介して入力端子 $22_1 I_1$ に接続されるドレン端子と、入力端子 $22_c I_1$ に接続されるソース端子と、出力端子 $22_1 O_2$ として機能するか、または代替的に、出力端子 $22_1 O_2$ に接続されるゲート端子と、を有するトランジスタ 30_1 を含む。レジスタ 32_1 およびインピーダンス 34_1 は各々が、一般的には一緒に接続されて、入力端子 $22_1 I_1$ に接続されるか、または代替的に、入力端子 $22_1 I_1$ を形成する結節を形成する端子を有する。レジスタ 32_1 の他方の端子はトランジスタ 30_1 のドレン端子に接続され、インピーダンス素子 34_1 の他方の端子はキャパシタ 36_1 の端子に接続されて、出力端子 $22_1 O_1$ として機能するか、または代替的に、出力端子 $22_1 O_1$ に接続される結節を形成する。キャパシタ 36_1 の他方の端子はトランジスタ 30_1 のゲート端子に接続され得るし、また、出力端子 $22_1 O_2$ に接続されるか、または代替的に、出力端子 $22_1 O_2$ として機能する結節を形成し得る。インピーダンス素子 34_2 は、トランジスタ 30_1 のソース端子に接続されて、入力端子 $22_c I_1$ に接続されるか、または代替的に、入力端子 $22_c I_1$ として機能する結節を形成する端子と、出力端子 $22_c O_1$ に接続されるか、または代替的に、出力端子 $22_c O_1$ として機能する端子と、を有する。インピーダンス素子 34_2 はフィルタ部分 22_1 および 22_2 に対して共通であることに留意されたい。
10

【0072】

フィルタ部分 22_2 は、レジスタ 32_2 を介して入力端子 $22_c I_1$ に接続されるドレン端子と、入力端子 $22_c I_2$ に接続されるソース端子と、出力端子 $22_2 O_2$ として機能するか、または代替的に、出力端子 $22_2 O_2$ に接続されるゲート端子と、を有するトランジスタ 30_2 を備える。レジスタ 32_2 およびインピーダンス素子 34_2 は各々が、一般的には一緒に接続されて、入力端子 $22_c I_1$ に接続される端子を有する。レジスタ 32_2 の他方の端子はトランジスタ 30_2 のドレン端子に接続され、レジスタ 34_2 の他方の端子はキャパシタ 36_2 の端子および出力端子 $22_c O_1$ に接続される。キャパシタ 36_2 の他方の端子は、トランジスタ 30_2 のゲート端子に接続され得る、また、出力端子 $22_2 O_2$ に接続されるか、または代替的に、出力端子 $22_2 O_2$ として機能する結節を形成する。類似の共有コンポーネントおよび接続部が、フィルタ部分 22_1 とフィルタ部分 22_2 との間に存在するように、フィルタ部分 22_2 とフィルタ部分 22_3 (図示せず)との間に存在することに留意されたい。明瞭さのために、フィルタ部分 22_2 の全てのコンポーネントが図示されているわけではない。
20

【0073】

フィルタ部分 22_n は、レジスタ 32_n を介して入力端子 $22_c I(n-1)$ に接続されるドレン端子と、入力端子 $22_n I_2$ に接続されるソース端子と、出力端子 $22_n O_2$ と、して機能するか、または代替的に、出力端子 $22_n O_2$ に接続されるゲート端子と、を有するトランジスタ 30_n を備える。入力端子 $22_c I(n-1)$ は、インピーダンス素子 34_n を介して出力端子 $22_c O(n=1)$ に接続される。レジスタ 32_n およびインピーダンス素子 34_n は各々が、一般的には一緒に入力端子 $22_c I(n-1)$ に接続される端子を有する。レジスタ 32_n の他方の端子はトランジスタ 30_n のドレン端子に接続され、インピーダンス素子 34_n の他方の端子はキャパシタ 36_n の端子に接続され、出力端子 $22_c O(n-1)$ として機能するか、または代替的に、出力端子 $22_c O(n-1)$ に接続され得る結節を形成し得る。出力端子 $22_c O(n-1)$ は入力ピン $12P_{(2n-1)}$ に接続される。キャパシタ 36_n の他方の端子はトランジスタ 30_n のゲート端子に接続され、出力端子 $22_n O_2$ に接続され得るか、または代替的に、出力端子 $22_n O_2$ として機能する結節を形成し得る。インピーダンス素子 $34_{(n+1)}$ は、トランジスタ 30_n のソース端子に接続されて、入力端子 $22_n I_2$ に接続され得るか、または代替的に、入力端子 $22_n I_2$ として機能する結節を形成する端子と、出力端子 $22_n O_3$ に接続され得るか、または代替的に、出力端子 $22_n O_3$ として機能する端子
30

と、を有する。

【0074】

引き続き図8を参照すると、スイッチング部分 16_1 、 16_2 、 \dots 、 16_n から成るインタフェースネットワーク 16 は、フィルタリング継続観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。インタフェース回路 16 の動作モードは、図7を参照して説明した。

【0075】

図9は、本発明の別の実施形態によれば、フィルタ部分 22_m を介して電力セル 24_m に接続されるインタフェースネットワーク 16 （図1および2を参照して説明した）のスイッチング部分 16_m の回路図である。図1のスイッチングネットワーク 16_1 、 16_2 、 \dots 、 16_n が、スイッチング部分 16_m から成り、かつ変数 m が、整数 1 、 2 、 \dots 、 n を表すために用いられることに留意されたい。例えば、スイッチングネットワーク 16_1 はスイッチング部分 16_m に対応するが、ここで、 m は、 1 に置き換えられ、スイッチングネットワーク 16_2 はスイッチング部分 16_m に対応するが、ここで、 m は、 2 に置き換えられ、スイッチングネットワーク 16_n はスイッチング部分 16_m に対応するが、ここで、 m は、 n に置き換えられる。図9のスイッチング部分 16_m は図7のスイッチング部分 16_m に類似しているが、キャパシタ 36_m の端子の内の1つが入力ピン $12P_{(2m-1)}$ に接続されていない点だけが異なる。このように、キャパシタ 36_m は、入力ピン $12P_{2m}$ に接続された端子を有するが、その他の端子は図10に示すように別の回路と共有されている。図3を参照して検討したように、スイッチング素子 26_m は、平衡化スイッチまたは平衡化スイッチング素子と呼ばれ、スイッチ 28_m は、サンプリングスイッチまたはサンプリングスイッチング素子と呼ばれ得る。

【0076】

図10は、図6を参照して説明したように制御モジュール 12 およびインタフェースネットワーク 16 を備え、図9を参照して説明したフィルタ回路 22 およびインタフェース回路 16 の回路実装物の実施形態をさらに含む電力セルモニタおよび回路モジュール 250 のブロック図である。制御モジュール 250 はバッテリ装置 24 に接続される。制御モジュール 250 は図6の制御モジュール 150 に類似しているが、フィルタ回路 22 がトランジスタ 30_1 、 \dots 、 30_n およびインピーダンス素子 32_1 、 \dots 、 32_n 等の平衡化素子をさらに含む点だけが異なる。より具体的には、フィルタ部分 22_1 は、レジスタ 32_1 を介して入力端子 22_1I1 に接続されるドレイン端子と、入力端子 22_cI1 に接続されるソース端子と、出力端子 22_1O2 として機能するか、または代替的に、出力端子 22_1O2 に接続されるゲート端子と、を有するトランジスタ 30_1 を含む。レジスタ 32_1 およびインピーダンス 34_1 は各々が、一般的には一緒に接続されて、入力端子 22_1I1 に接続されるか、または代替的に、入力端子 22_1I1 を形成する結節を形成する端子を有する。レジスタ 32_1 の他方の端子はトランジスタ 30_1 のドレイン端子に接続され、インピーダンス素子 34_1 の他方の端子は、出力端子 22_1O1 として機能するか、または代替的に、出力端子 22_1O1 に接続され得るが、この出力端子は入力ピン $12P_1$ に接続される。キャパシタ 36_1 の1つの端子は入力ピン $12P_A$ に接続される。キャパシタ 36_1 の他方の端子はトランジスタ 30_1 のゲート端子に接続され、また、出力端子 22_1O2 に接続されるか、または代替的に、出力端子 22_1O2 として機能する結節を形成する。キャパシタ 36_1 のこの端子および出力端子 22_1O2 は、入力ピン $12P_2$ に接続される。インピーダンス素子 34_2 は、トランジスタ 30_1 のソース端子に接続されて、入力端子 22_cI1 に接続され得るか、または代替的に、入力端子 22_cI1 として機能する結節を形成する端子と、出力端子 22_cO1 に接続され得るか、または代替的に、出力端子 22_cO1 として機能する端子と、を有する。インピーダンス素子 34_2 はフィルタ部分 22_1 および 22_2 に対して共通であることに留意されたい。

【0077】

フィルタ部分 22_2 は、レジスタ 32_2 を介して入力端子 22_1I1 に接続されるドレ

10

20

30

40

50

イン端子と、入力端子 $22_c I_2$ に接続されるソース端子と、出力端子 $22_2 O_2$ として機能するか、または代替的に、出力端子 $22_2 O_2$ に接続されるゲート端子と、を有するトランジスタ 30_2 を含む。レジスタ 32_2 およびインピーダンス 34_2 は各々が、一般的には一緒に接続されて、入力端子 $22_c I_1$ に接続される端子を有する。レジスタ 32_2 の他方の端子はトランジスタ 30_2 のドレイン端子に接続され、インピーダンス素子 34_2 の他方の端子は、出力端子 $22_c O_1$ として機能するか、または代替的に、出力端子 $22_c O_1$ に接続され得るが、この出力端子は入力ピン $12P_3$ に接続される。キャパシタ 36_2 の 1 つの端子は、トランジスタ 30_1 のゲート、キャパシタ 36_1 の端子および入力ピン $12P_2$ に接続される。キャパシタ 36_2 の他方の端子はトランジスタ 30_2 のゲート端子に接続され、また、出力端子 $22_2 O_2$ に接続され得るか、または代替的に、出力端子 $22_2 O_2$ として機能する結節を形成するが、この出力部は入力ピン $12P_4$ に接続される。類似の共有コンポーネントおよび接続部が、フィルタ部分 22_1 とフィルタ部分 22_2 との間に存在するように、フィルタ部分 22_2 とフィルタ部分 22_3 (図示せず) との間に存在することに留意されたい。明瞭さのために、フィルタ部分 22_2 の全てのコンポーネントが図示されているわけではない。10

【0078】

フィルタ部分 22_n は、レジスタ 32_n を介して入力端子 $22_c I(n-1)$ に接続されるドレイン端子と、入力端子 $22_n I_2$ に接続されるソース端子と、入力ピン $12P_2$ に接続される出力端子 $22_n O_2$ として機能するか、または代替的に、出力端子 $22_n O_2$ に接続され得るゲート端子と、を有するトランジスタ 30_n を備える。インピーダンス素子 34_n は、トランジスタのソース端子に接続されて、入力端子 $22_c I(n-1)$ に接続され得るか、または代替的に、入力端子 $22_c I(n-1)$ として機能する結節を形成する端子と、出力端子 $22_c O(n-1)$ に接続され得るか、または代替的に、入力端子 $22_c O(n-1)$ として機能する端子と、を有する。出力端子 $22_c O(n-1)$ は入力ピン $12P_{(2n-1)}$ に接続される。レジスタ 32_n およびインピーダンス素子 34_n は各々が、一般的には一緒に接続されて、入力端子 $22_c I(n-1)$ に接続される端子を有する。レジスタ 32_n の他方の端子はトランジスタ 30_n のドレイン端子に接続され、インピーダンス素子 34_n の他方の端子は、出力端子 $22_c O(n-1)$ として機能し得るか、または代替的に、出力端子 $22_c O(n-1)$ に接続され得る。キャパシタ 36_n の他方の端子は、トランジスタ 30_n のゲート端子に接続され、出力端子 $22_n O_2$ に接続され得るか、または代替的に、出力端子 $22_n O_2$ として機能する結節を形成する。インピーダンス素子 $34_{(n+1)}$ は、トランジスタ 30_n のソース端子に接続されて、入力端子 $22_n I_2$ に接続され得るか、または代替的に、入力端子 $22_n I_2$ として機能する結節を形成する端子と、入力ピン $12P_{(2n+1)}$ に接続される出力端子 $22_n O_3$ に接続され得るか、または代替的に、出力端子 $22_n O_3$ として機能する端子と、を有する。30

【0079】

別の実施形態によれば、セルの極性は、これらのセルが図に示す反対の極性となるように切り替えられる。あるいは、 n チャネルトランジスタを p チャネルトランジスタと置き換えることが可能である。40

【0080】

制御モジュール 250 の動作は、平衡化動作モードを例外として、制御モジュール 150 (図 6) の動作に類似している。デフォルトの動作モードがフィルタリングされた継続観察モードであり、これによって、スイッチング素子 $26A$ 、 28_1 、 \dots 、 28_n がクローズされ、スイッチング素子 26_1 、 \dots 、 26_n が開いていると仮定すると、電力セル 24_1 にまたがる電圧は、スイッチング素子 26_1 の制御電圧に印加し、スイッチング素子 28_1 をオープンするのに適切な制御電圧 $V28_1$ をスイッチング素子 26_1 の制御電圧に印加することによって平衡化することが可能である。したがって、トランジスタ 30_1 は導通状態になり、レジスタ 32_1 およびトランジスタ 30_1 を流れる平衡化電流によって、電力50

セル24₁は放電される。

【0081】

その他の電力セルにまたがる電圧は、同様の方法を用いることによって平衡化させることが可能であることに留意されたい。

【0082】

図11は、本発明の実施形態による、フィルタ回路322に接続される制御モジュール312を備える電力セルモニタおよび制御回路300のブロック図である。電力セルモニタおよび制御回路300は、電力貯蔵装置24に接続される。制御モジュール312は、制御モジュール312の入力部に接続されるか、または代替的に、制御モジュール312の入力部として機能する入力部と、アナログツーデジタルコンバータ(ADC)20に接続される出力を有するマルチプレクサ(MUX)18の入力部に接続される出力部と、を有するインターフェースネットワーク316を含む。電力貯蔵装置24は、それぞれ、制御回路300の対応するフィルタ部分322₁、322₂、…、322_nに接続される複数の電力セルまたはバッテリ24₁、24₂、…、24_nから成り得る。あるいは、電力貯蔵装置は、キャパシタ、燃料セル等から成り得る。インターフェースネットワーク316は、複数のスイッティングネットワーク316₁、316₂、…、316_nから成り得、ここで、スイッティングネットワーク316₁は、入力端子316₁I1、316₁I2、316₁I3、316₁I4、316₁I5、316₁I6および316₁I7と、出力端子316₁O1、316₁O2、316₁O3および316₁O4と、を有し、スイッティング素子316₂は、入力端子316₂I1、316₂I2、316₂I3、316₂I4、316₂I5、316₂I6および316₂I7と、出力端子316₂O1、316₂O2、316₂O3および316₂O4と、を有し、スイッティング素子316_nは、入力端子316_nI1、316_nI2、316_nI3、316_nI4、316_nI5、316_nI6および316_nI7と、出力端子316_nO1、316_nO2、316_nO3および316_nO4と、を有する。別の実施形態によれば、入力端子316₁I4は入力端子316₂I1に接続されて入力端子316_cI1を形成し、入力端子316_(n-1)I4は入力端子316_nI1に接続されて入力端子316_cI(n-1)を形成し、出力端子316₁O4は出力端子316₂O1に接続されて出力端子316_cO1を形成し、出力端子316_(n-1)O4は出力端子316_nO1に接続されて出力端子316_cO(n-1)を形成する。

【0083】

別の実施形態では、制御モジュール312は、入力ピンまたは入力リード線312P₁、312P₂、312P₃、312P₄、312P₅、312P₆、…、312P_(3n-2)、312P_(3n-1)、312P_{3n}および312P_(3n+1)を有する半導体パッケージ中のモノリシック集積された半導体デバイスであり、ここで、nは、整数を表す。例えば、入力端子316₁I1、316₁I2、316₁I3、316_cI1、316₂I2、316₂I3、…、316_cI(n-1)、316_nI2、316_nI3および316_nI4は、それぞれ、入力ピン312P₁、312P₂、312P₃、312P₄、312P₅、312P₆、…、312P_(3n-2)、312P_(3n-1)、312P_{3n}および312P_(3n+1)に接続される。入力端子316₁I1、316₁I2、316₁I3、316_cI1、316₂I2、316₂I3、…、316_cI(n-1)、316_nI2、316_nI3および316_nI4は、それぞれ、入力ピン312P₁、312P₂、312P₃、312P₄、312P₅、312P₆、…、312P_(3n-2)、312P_(3n-1)、312P_{3n}および312P_(3n+1)に直接に接続されていることが図示されているが、これは本発明の制限ではなく、例えば、入力端子316₁I1、316₁I2、316₁I3、316_cI1、316₂I2、316₂I3、…、316_cI(n-1)、316_nI2、316_nI3および316_nI4を他の回路素子を介して、それぞれ、入力ピン312P₁、312P₂、312P₃、312P₄、312P₅、312P₆、…、312P_(3n-2)、312P_(3n-1)、312P_{3n}および312P_(3n+1)に接続することが

可能である。

【0084】

別の実施形態によれば、制御モジュール312と、にフィルタ部分322またはフィルタ部分322の一部と、は、モノリシック集積されて、集積された半導体デバイスを形成する。このフィルタを部分的に集積した例を図22に示す。制御モジュール312と、フィルタ部分322またはフィルタ部分322の一部と、がモノリシック集積された実施形態では、入力ピン312P₁、312P₂、312P₃、312P₄、312P₅、312P₆、・・・、312P_(3n-2)、312P_(3n-1)、312P_{3n}および312P_(3n+1)は存在しない。

【0085】

10

スイッチングネットワーク316₁の入力端子316₁I5、316₁I6および316₁I7は、それぞれ、制御信号V26₁、V28₁およびV31₁を受信するように結合されており、スイッチングネットワーク316₂の入力端子316₂I5、316₂I6および316₂I7は、それぞれ、制御信号V26₂、V28₂およびV31₂を受信するように結合されており、スイッチングネットワーク316_nの入力端子316_nI5、316_nI6および316_nI7は、それぞれ、制御信号V26_n、V28_nおよびV31_nを受信するように結合される。

【0086】

スイッチングネットワーク316₁、・・・、316_nの出力端子316₁O1、316₁O2、316₁O3、316_cO1、316₂O2、316₂O3、316_cO(n-1)、316_nO2、316_nO3および316_nO4は、MUX18の対応する入力端子に接続される。

20

【0087】

フィルタ322は複数のフィルタ部分322₁、322₂、・・・、322_nから成り、ここで、各フィルタ部分は、電力貯蔵装置24の対応する電力セルに接続された入力端子と、インターフェースネットワーク316の対応する入力ピンに接続された出力端子と、を含む。フィルタ部分322₁は、入力端子322₁I1および322₁I2と、出力端子322₁O1、322₁O2、322₁O3および322₁O4と、を有し、フィルタ部分322₂は、入力端子322₂I1および322₂I2と、出力端子322₂O1、322₂O2、322₂O3および322₂O4と、を有し、フィルタ部分322_nは、入力端子322_nI1および322_nI2と出力端子322_nO1、322_nO2、322_nO3および322_nO4と、を有する。ある実施形態によれば、入力端子322₁I2は入力端子322₂I1に接続されて入力端子322_cI1を形成し、入力端子322_(n-1)I2は入力端子322_nI1に接続されて入力端子322_cI(n-1)を形成し得る。出力端子322_(n-1)O4は出力端子322₂O1に接続されて出力端子322_cO1を形成し、出力端子322₂O4は出力端子322_nO1に接続されて出力端子322_cO(n-1)を形成し得る。制御モジュール312がモノリシック集積された半導体デバイスであり、フィルタ322が個別の回路素子から形成される実施形態では、出力端子322₁O1は入力ピン312P₁に接続され、出力端子322₁O2は入力ピン312P₂に接続され、出力端子322₁O3は入力ピン312P₃に接続され、出力端子322_cO1は入力ピン312P₄に接続され、出力端子322₂O2は入力ピン312P₅に接続され；出力端子322₂O3は入力ピン312P₆に接続され、出力端子322_cO(n-1)は入力ピン312P_(3n-2)に接続され；出力端子322_nO2は入力ピン312P_(3n-1)に接続され；出力端子322_nO3は入力ピン312P_{3n}に接続され、出力端子322_nO4は入力ピン312P_(3n+1)に接続される。

30

【0088】

入力端子322₁I1は電力セル24₁の正極に接続され、入力端子322_cI1は、それぞれ、電力セル24₁および24₂の負極および正極に接続される。入力端子322_cI(n-1)は、電力セル24_nの正極に接続され、入力端子322_nI2は電力セル

40

50

24_n の負極に接続される。

【0089】

添字「n」は整数を表すことに留意されたい。さらに、スイッチングネットワーク316₁、316₂、・・・、316_n、フィルタ部分322₁、322₂、・・・、322_nおよび電力セル24₁、24₂、・・・、24_nの個数は、本発明の制限ではないことに留意されたい。

【0090】

図12は、本発明の別の実施形態に従う、フィルタ部分322_mを介して電力セル24_mに接続されるインタフェースネットワーク316（図11を参照して説明した）のスイッチング部分316_mの回路図である。図11のスイッチングネットワーク316₁、316₂、・・・、316_nが、スイッチング部分316_mから成り、変数mが、整数1、2、・・・、nを表すために用いられることに留意されたい。例えば、スイッチングネットワーク316₁はスイッチング部分316_mに対応するが、ここで、mは、1に置き換えられ、スイッチングネットワーク316₂はスイッチング部分316_mに対応するが、ここで、mは、2に置き換えられ、スイッチングネットワーク316_nはスイッチング部分316_mに対応するが、ここで、mは、nに置き換えられる。

【0091】

スイッチング部分316_mは、スイッチング素子326_m、328_mおよび331_mを備えるが、ここで、各スイッチング素子326_m、328_mおよび331_mは、制御端子および1対の導電端子を含む。より具体的には、スイッチング素子326_mは、制御端子326_m、₁、導電端子326_m、₂および導電端子326_m、₃を有する。導電端子326_m、₂は、端子316_mI1および316_mO1に接続され、または代替的に、端子316_mI1および316_mO1は入／出力端子を形成し得る。スイッチング素子328_mは、制御端子328_m、₁、導電端子328_m、₂および導電端子328_m、₃を有する。導電端子328_m、₂は、導電端子326_m、₃と、端子316_mI2および316_mO2と、に接続される。導電端子328_m、₃は、入力端子316_mI4および出力端子316_mO4に接続される。導電端子328_m、₃は、端子316_mI4および316_mO4に接続されるか、または代替的に、端子316_mI4および316_mO4が入／出力端子を形成し得る。導電端子331_m、₂は、入力端子316_mI3および出力端子316_mO3に接続される。端子326_m、₁、328_m、₁、および331_m、₁は、それぞれ、図11の端子316_nI5、316_nI6、および316_nI7に対応することに留意されたい。スイッチング素子331_mはサンプリングスイッチと呼ばれ、スイッチング素子328_mおよび326_mは平衡化スイッチまたは電流制御スイッチと呼ばれ得る。

【0092】

フィルタ部分322_mは、入力端子322_mI1に接続されるか、または代替的に、入力端子322_mI1として機能する端子と、出力端子322_mO1に接続されるか、または代替的に、出力端子322_mO1として機能する端子と、を有するインピーダンス素子334_mを備える。出力端子322_mO1は、エネルギー貯蔵素子336_mを介して出力端子322_mO2に接続され得る。入力端子322_mI2は、インピーダンス素子334_(m+1)を介して出力端子322_mO3に接続され得る。例えば、インピーダンス素子334_mおよび334_(m+1)はレジスタであり、エネルギー貯蔵素子336_mはキャパシタである。スイッチング部分316_mがモノリシック集積された半導体デバイスまたはモノリシック集積された半導体デバイスの一部であり、回路素子334_m、334_(m+1)および336_mが個別の回路素子である実施形態では、回路素子334_m、336_mおよび334_(m+1)は、入力ピン312P_(3m-2)、312P_{3m}および312P_(3m+1)を介してスイッチング部分316_mに接続される、すなわち、出力端子322_mO1は入力ピン312P_(3m-2)に接続され、出力端子322_mO2は入力ピン312P_{3m}に接続され、出力端子322_mO3は入力ピン312P_(3m+1)に接続される。入力ピン312P_(3m-1)は、別の回路素子には接続されないことがあ

10

20

30

40

50

る。別の実施形態では、フィルタが部分的にまたは完全にモノリシックに集積されており、それに従って出力ピンが変化する。インピーダンス素子はレジスタであることに限られないため、これらは記号Zで識別される、すなわち、他のタイプのインピーダンス素子であり得ることになる。

【0093】

電力セル24_mは、フィルタ部分22_mの入力端子322_mI1に接続された正極と、フィルタ部分322_mの入力端子322_mI2に接続された負極と、を有するバッテリセルを備える。

【0094】

出力端子322_mO1は入力ピン312P_(3m-2)を介して入力端子316_mI1に電気的に接続され、出力端子322_mO2は入力ピン312P_{3m}を介して入力端子316_mI3に電気的に接続され、出力端子322_mO3は入力ピン312P_(3m+1)を介して入力端子316_mI4に電気的に接続されることに留意されたい。10

【0095】

引き続き図12を参照すると、スイッチング部分316_mは、フィルタリング継続観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。フィルタリング継続観察動作モードでは、電力セル24_mにまたがる電圧は、これらのスイッチング素子の開放に好適な制御電圧V326_mおよびV328_mを、それぞれ、スイッチング素子326_mおよび328_mの制御端子に印加し、このスイッチング素子の閉鎖に好適な制御電圧V331_mをスイッチング素子331_mの制御端子に印加することによって監視される。したがって、電力セル24_mにまたがる電圧は、出力端子316_mO1と316_mO3間に出力される。MUX18(図11に示す)は、出力端子316_mO1と316_mO3間に電圧をADCコンバータ20に伝達するように構成される。したがって、電力セル24_mのフィルタリングされた電圧を表す電圧がADC20に伝達され、これによって電力セル24_mにまたがる電圧を観察または監視する。20

【0096】

サンプルアンドホールド動作モードでは、電力セル24_mにまたがる電圧は、これらのスイッチング素子の開放に好適な制御電圧V326_mおよびV328_mを、それぞれ、スイッチング素子326_mおよび328_mの制御端子に印加し、このスイッチング素子の閉鎖に好適な制御電圧V331_mをスイッチング素子331_mの制御端子に印加することによってサンプリングして記憶または保持することが可能である。キャパシタ336_mは、電力セル24_mにまたがる電圧に実質的に等しい電圧に充電される、すなわち、キャパシタ336_mは電力セル24_mの電圧をサンプリングする。30

【0097】

電力セル24_mの電圧をサンプリングした後、スイッチング素子331_mをオープンするのに適した制御電圧V331_mがスイッチング素子331_mの制御端子に印加されるが、スイッチング素子331_mを開放構成に維持するのに適切な制御電圧V326_mおよびV328_mは、スイッチング素子326_mおよび328_mの制御端子に維持される。したがって、キャパシタ336_mに現れるサンプリングされた電圧が保持されて、出力端子316_mO1と316_mO3間に現れる。MUX18は、出力端子316_mO1と316_mO3間に電圧をADC20に伝達するように構成される。したがって、電力セル24_mのサンプルアンドホールド電圧を表すサンプリングされた電圧が、ADC20に伝達される。40

【0098】

平衡化動作モードでは、電力セル24_mにまたがる電圧は、スイッチング素子326_mおよび328_mの閉鎖に好適な制御電圧V326_mおよびV328_mを、それぞれ、スイッチング素子326_mおよび328_mの制御端子に印加することによって平衡化することが可能である。したがって、インピーダンス素子334_m、スイッチング素子326_m、スイッチング素子328_mおよびインピーダンス素子334_(m+1)を通過する平衡化50

電流によって、電力セル 24_m が放電される。図3のスイッチング素子 26_m および 28_m と同様に、スイッチング素子 326_m は平衡化スイッチング素子または平衡化スイッチと呼ばれ、スイッチング素子 331_m はサンプリングスイッチング素子またはサンプリングスイッチと呼ばれ得る。

【0099】

スイッチング素子 328_m はオプション素子であり、スイッチング素子 328_m が存在しない実施形態によれば、出力端子 316_mO2 は出力端子 316_mO4 に短絡されることに留意されたい。

【0100】

図13は、図11を参照して説明したように制御モジュール312およびフィルタ回路322を備え、図12を参照して説明したフィルタ回路322およびインターフェース回路316の回路実装物の実施形態をさらに含む電力セルモニタおよび制御回路350のブロック図である。図11の実施形態と同様に、図13に示すインターフェースネットワーク316のスイッチングネットワーク 316_1 、 316_2 、 \dots 、 316_n は、スイッチング部分 316_m から成り、変数 m は、図12を参照して説明されるように、整数1、2、 \dots 、 n を表すために用いられる。例えば、スイッチングネットワーク 316_1 はスイッチング部分 316_m に対応し、ここで、 m は、1で置き換えられ、スイッチングネットワーク 316_2 はスイッチング部分 316_m に対応し、ここで、 m は、2で置き換えられ、スイッチングネットワーク 316_n はスイッチング部分 316_m に対応し、ここで、 m は、 n で置き換えられる。

10

20

【0101】

制御回路350はバッテリ装置24に接続される。上述したように、制御モジュール312は、制御モジュール312の入力部に結合されるか、または代替的に、制御モジュール312の入力部として機能する入力端子と、ADC20に接続される出力部を有するマルチプレクサ(MUX)18の入力部に結合される出力端子と、を有するインターフェースネットワーク316を含む。

【0102】

スイッチングネットワーク 316_1 は、スイッチング素子 326_1 、 328_1 および 331_1 を備えるが、ここで、各スイッチング素子 326_1 、 328_1 および 331_1 は、制御端子および1対の導電端子を含む。より具体的には、スイッチング素子 326_1 は、制御端子 $326_{1,1}$ 、導電端子 $326_{1,2}$ および導電端子 $326_{1,3}$ を有する。導電端子 $326_{1,1}$ 、 2 は端子 $316_{1,I1}$ および $316_{1,O1}$ に接続され得るか、または代替的に、端子 $316_{1,I1}$ および $316_{1,O1}$ は入／出力端子を形成し得る。スイッチング素子 328_1 は、制御端子 $328_{1,1}$ 、導電端子 $328_{1,2}$ および導電端子 $328_{1,3}$ を有する。導電端子 $328_{1,1}$ 、 2 は、導電端子 $326_{1,1}$ 、 3 と、端子 $316_{1,I2}$ および $316_{1,O2}$ と、に接続される。導電端子 $328_{1,3}$ は、入力端子 $316_{c,I1}$ および出力端子 $316_{c,O1}$ に接続され得るか、または代替的に、端子 $316_{c,I1}$ および $316_{c,O1}$ が入／出力端子を形成し得る。導電端子 $331_{1,1}$ 、 2 は、入力端子 $316_{1,I3}$ および出力端子 $316_{m,O3}$ に接続される。端子 $326_{1,1}$ 、 $328_{1,1}$ および $331_{1,1}$ は、それぞれ、図11の端子 $316_{1,I5}$ 、 $316_{1,I6}$ および $316_{1,I7}$ に対応することに留意されたい。

30

40

【0103】

スイッチングネットワーク 316_2 は、スイッチング素子 326_2 、 328_2 および 331_2 を備えるが、ここで、各スイッチング素子 326_2 、 328_2 、および 331_2 は、制御端子および1対の導電端子を含む。より具体的には、スイッチング素子 326_2 は、制御端子 $326_{2,1}$ 、導電端子 $326_{2,2}$ 、および導電端子 $326_{2,3}$ を有する。導電端子 $326_{2,1}$ 、 2 は端子 $316_{c,I1}$ および $316_{c,O1}$ に接続され得るか、または代替的に、端子 $316_{c,I1}$ および $316_{c,O1}$ は入／出力端子を形成し得る。スイッチング素子 328_2 は、制御端子 $328_{2,1}$ 、導電端子 $328_{2,2}$ および導電端子 3

50

28₂、3を有する。導電端子328₂、2は、導電端子326₂、3と、端子316₂I2および316₂O2と、に接続される。導電端子331₂、2は、入力端子316₂I3および出力端子316₂O3に接続される。導電端子328₂、3および331₂、3は、以下に説明するスイッチングネットワーク316_nに接続される。類似の共有コンポーネントおよび接続部が、スイッチングネットワーク316₁とスイッチングネットワーク316₂との間に存在するように、スイッチングネットワーク316₂とスイッチングネットワーク316₂に接続されたスイッチング部分との間に存在することに留意されたい。明瞭さのために、スイッチングネットワーク316₂の全てのコンポーネントが図示されているわけではない。

【0104】

10

スイッチング部分316_nは、スイッチング素子326_n、328_nおよび331_nを備えるが、ここで、各スイッチング素子326_n、328_n、および331_nは、制御端子および1対の導電端子を含む。より具体的には、スイッチング素子326_nは、制御端子326_n、1、導電端子326_n、2、および導電端子326_n、3を有する。導電端子326_n、2は、端子316_cI(n-1)および316_cO(n-1)に接続され、または代替的に、端子316_cI(n-1)および316_cO(n-1)は入/出力端子を形成し得る。スイッチング素子328_nは、制御端子328_n、1、導電端子328_n、2および導電端子328_n、3を有する。導電端子328_n、2は、導電端子326_n、3と、端子316_nI2および316_nO2とに接続される。導電端子328_n、3は、入力端子316_nI4および出力端子316_nO4に接続される。導電端子328_n、3は、端子316_nI4および316_nO4に接続されるか、または代替的に、端子316_nI4および316_nO4が入/出力端子を形成し得る。導電端子331_n、2は、入力端子316_nI3および出力端子316_nO3に接続され、導電端子331_n、3は、入力端子316_nI4および出力端子316_nO4に接続される。

20

【0105】

フィルタ322は複数のフィルタ部分322₁、322₂、・・・、322_nから成り、ここで、各フィルタ部分は、電力貯蔵装置24の対応する電力セル24₁、24₂、・・・、24_nに接続される入力端子と、スイッチングネットワーク316₁、316₂、・・・、316_nの対応する入力端子に接続される出力端子と、を含む。フィルタ部分322₁は、入力端子322₁I1および322_cI1と、出力端子322₁O1、322₁O2および322_cO1と、を有し、フィルタ部分322₂は、入力端子322_cI1および322_cI2と、出力端子322_cO1、322_cO2および322_cO2と、を有し、フィルタ部分322_nは、入力端子322_cI(n-1)および322_cI2と、出力端子322_cO(n-1)、322_nO2および322_nO3と、を有する。

30

【0106】

入力端子322₁I1は、電力セル24₁の正極に接続され、入力端子322_cI1は、それぞれ、電力セル24₁および24₂の負極および正極に接続される。入力端子322_cI(n-1)は電力セル24_nの正極に接続され、入力端子322_nI2は電力セル24_nの負極に接続される。

40

【0107】

フィルタ部分322₁は、インピーダンス素子334₁および334₂と、エネルギー貯蔵素子336₁と、を備える。より具体的には、出力端子322₁O1は、インピーダンス素子334₁を介して入力端子322₁I1に、エネルギー貯蔵素子336₁を介して出力端子322₁O2に接続される。入力端子322_cI1は、インピーダンス素子334₂を介して出力端子322_cO1に接続される。インピーダンス素子334₂はフィルタ部分322₁および322₂に対して共通であることに留意されたい。例えば、インピーダンス素子334₁および334₂はレジスタであり、エネルギー貯蔵素子336₁はキャパシタである。

【0108】

フィルタ部分322₂は、インピーダンス素子334₂およびキャパシタ336₂を備

50

える。より具体的には、出力端子 3 2 2_c O 1 は、インピーダンス素子 3 3 4₂ を介して入力端子 3 2 2_c I 1 に、エネルギー貯蔵素子 3 3 6₂ を介して出力端子 3 2 2_c O 2 に接続される。例えば、インピーダンス素子 3 3 4₂ はレジスタであり、エネルギー貯蔵素子 3 3 6₂ はキャパシタである。類似の共有コンポーネントおよび接続部が、フィルタ部分 3 2 2₁ とフィルタ部分 3 2 2₂ との間に存在するように、フィルタ部分 3 2 2₂ と、フィルタ部分 3 2 2₂ に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、フィルタ部分 3 2 2₂ の全てのコンポーネントが図示されているわけではない。

【 0 1 0 9 】

フィルタ部分 3 2 2_n は、レジスタ 3 3 4_n および 3 3 4_(n+1) と、エネルギー貯蔵素子 3 3 6_n と、を備える。より具体的には、出力端子 3 2 2_c O_(n-1) は、インピーダンス素子 3 3 4_n を介して入力端子 3 2 2_c I_(n-1) に、エネルギー貯蔵素子 3 3 6_n を介して出力端子 3 2 2_n O 2 に接続される。入力端子 3 2 2_n I 2 は、インピーダンス素子 3 3 4_(n+1) を介して出力端子 3 2 2_n O 3 に接続される。例えば、インピーダンス素子 3 3 4_n および 3 3 4_(n+1) はレジスタであり、エネルギー貯蔵素子 3 3 6_n はキャパシタである。

【 0 1 1 0 】

引き続き図 1 3 を参照すると、インタフェースネットワーク 3 1 6 は、フィルタリング継続観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも 3 つの互いに異なる動作モードで動作する。インタフェース回路 3 1 6 の動作モードは、図 1 2 を参照して説明されている。

【 0 1 1 1 】

スイッチング素子 3 2 8₁、3 2 8₂、…、3 2 8_n はオプション素子であり、スイッチング素子 3 2 8₁、3 2 8₂、…、3 2 8_n が存在しない実施形態によれば、それぞれ、出力端子 3 1 6₁ O 2 が出力端子 3 1 6₁ O 4 に短絡され、出力端子 3 1 6₂ O 2 が出力端子 3 1 6₂ O 4 に短絡され、出力端子 3 1 6_n O 2 が出力端子 3 1 6_n O 4 に短絡されることに留意されたい。

【 0 1 1 2 】

図 1 4 は、本発明の別の実施形態による、フィルタ部分 3 2 2_m を介して電力セル 2 4_m に接続されるインタフェースネットワーク 3 1 6 (図 1 2 および 1 3 を参照して説明した) のスイッチング部分 3 1 6_m の回路図である。図 1 1 および 1 5 のスイッチングネットワーク 3 1 6₁、3 1 6₂、…、3 1 6_n が、スイッチング部分 3 1 6_m から成り、変数 m が、整数 1、2、…、n を表すために用いられるに留意されたい。例えば、スイッチングネットワーク 3 1 6₁ はスイッチング部分 3 1 6_m に対応し、ここで、m は、1 で置き換えられ、スイッチングネットワーク 3 1 6₂ はスイッチング部分 3 1 6_m に対応し、ここで、m は、2 で置き換えられ、スイッチングネットワーク 3 1 6_n はスイッチング部分 3 1 6_m に対応し、ここで、m は、n で置き換えられる。図 1 4 のスイッチング部分 3 1 6_m は図 1 2 のスイッチング部分 3 1 6_m に類似しているが、キャパシタ 3 3 6_m の端子のうちの 1 つが入力ピン 3 1 2 P_(3m-2) に接続されていない点だけが異なる。したがって、キャパシタ 3 3 6_m は、一方の端子は入力ピン 3 1 2 P_{3m} に接続されているが、他方の端子は入力ピン 3 1 2 P_(3m-2) には接続されない。図 1 2 を参照して検討したように、スイッチング素子 3 2 6_m は平衡化スイッチング素子と呼ばれ、スイッチング素子 3 3 1_m はサンプリングスイッチング素子と呼ばれ得る。

【 0 1 1 3 】

スイッチング素子 3 2 8_m はオプション素子であり、スイッチング素子 3 2 8_m が存在しない実施形態によれば、出力端子 3 1 6_m O 2 は出力端子 3 1 6_m O 4 に短絡される。

【 0 1 1 4 】

図 1 5 は、図 1 1 を参照して説明したように制御モジュール 3 1 2 およびフィルタ回路 3 2 2 を備え、図 1 4 を参照して説明したフィルタ回路 3 2 2 およびインタフェース回路 3 1 6 の回路実装物の実施形態をさらに含む電力セルモニタおよび制御モジュール 4 0 0

10

20

30

40

50

のブロック図である。図15の実施形態はまた、図15で入力ピン312P₂、312P₅および312P_(3n-1)がフローティング状態に置かれている点が図11の実施形態と異なることに留意されたい。制御モジュール400はバッテリ装置24に接続される。上述したように、制御モジュール312は、制御モジュール312の入力部に接続されるか、または代替的に、制御モジュール312の入力部として機能する入力端子と、ADC20に接続される出力部を有するMUX18の入力部に接続される出力端子と、を有するインターフェースネットワーク316を含む。インターフェース回路316は、スイッチングネットワーク316₁、316₂、…、316_nおよびスイッチング素子326Aから成る。スイッチングネットワーク316₁、316₂、…、316_nは、図13を参照して説明した。

10

【0115】

スイッチング素子326Aは、制御信号V326Aを受信するように結合された制御端子326A₁、導電端子326A₂および導電端子326A₃を有する。制御端子326A₁は入力端子316A₁として機能し得る。導電端子326A₂は、導電端子316A_{I1}および出力端子316A_{O1}に接続される。導電端子326A₃は、入力端子316₁I₁、出力端子316₁O₁および導電端子326₁、₂に接続される。

【0116】

出力端子316₁O₁、316₁O₂、316₁O₃、316_cO₁、316₂O₂、316₂O₃、…、316_cO_(n-1)、316_nO₂、316_nO₃、316_nO₄および316_AO₁は、MUX18の対応する入力端子に接続される。

20

【0117】

フィルタ322は複数のフィルタ部分322₁、322₂、…、322_nから成り、ここで、各フィルタ部分は、電力貯蔵装置24の対応する電力セル24₁、24₂、…、24_nに接続される入力端子と、スイッチングネットワーク316₁、316₂、…、316_nの対応する入力端子に接続された出力端子と、を含む。フィルタ部分322₁は、入力端子322₁I₁および322_cI₁と、出力端子322₁O₁、322₁O₂および322_cO₁と、を有し、フィルタ部分322₂は、入力端子322_cI₁および322_cI₂と、出力端子322_cO₁、322_cO₂および322_cO₂と、を有し、フィルタ部分322_nは、入力端子322_cI_(n-1)および322_nI₂と、出力端子322_cO_(n-1)、322_nO₂および322_nO₃と、を有する。

30

【0118】

入力端子322₁I₁は、電力セル24₁の正極に接続され、入力端子322_cI₁は、それぞれ、電力セル24₁および24₂の負極および正極に接続される。入力端子322_cI_(n-1)は電力セル24_nの正極に接続され、入力端子322_nI₂は、電力セル24_nの負極に接続される。

【0119】

フィルタ部分322₁は、インピーダンス素子334₁および334₂と、エネルギー貯蔵素子336₁と、を備えるが、ここで、エネルギー貯蔵素子336₁は、入力ピン312P_Aに接続された端子と、入力ピン312P₃に接続された端子と、を有する。出力端子322₁O₁は入力ピン312P₁に接続される。入力端子322_cI₁は、インピーダンス素子334₂を介して出力端子322_cO₁に接続され、出力端子322_cO₁は入力ピン312P₄に接続される。インピーダンス素子334₂はフィルタ部分322₁および322₂に対して共通であることに留意されたい。例えば、インピーダンス素子334₁および334₂はレジスタであり、エネルギー貯蔵素子336₁はキャパシタである。

40

【0120】

フィルタ部分322₂は、インピーダンス素子334₂およびエネルギー貯蔵素子336₂を備える。出力端子322_cO₁は、入力ピン312P₄に接続される。エネルギー貯蔵素子336₂の1つの端子は入力ピン312P₃に接続され、キャパシタ336₂の他方の端子は入力ピン312P₆に接続される。例えば、インピーダンス素子334₂は

50

レジスタであり、エネルギー貯蔵素子 336_2 はキャパシタである。類似の共有コンポーネントおよび接続部が、フィルタ部分 322_1 とフィルタ部分 322_2 との間に存在するよう、フィルタ部分 322_2 と、フィルタ部分 322_2 に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、フィルタ部分 322_2 の全てのコンポーネントが図示されているわけではない。

【0121】

フィルタ部分 322_n は、インピーダンス素子 334_n および $334_{(n+1)}$ と、エネルギー貯蔵素子 336_n と、を備える。出力端子 $322_{CO}(n-1)$ は、入力ピン $312P_{(3n-2)}$ に接続される。入力端子 $322_{CI}(n-1)$ は、インピーダンス素子 334_n を介して出力端子 $322_{CO}(n-1)$ に接続される。入力端子 322_{nI2} は、インピーダンス素子 $334_{(n+1)}$ を介して出力端子 322_nO3 に接続される。エネルギー貯蔵素子 336_n の1つの端子は入力ピン $312P_6$ に接続され、エネルギー貯蔵素子 336_n の他方の端子は入力ピン $312P_{3n}$ に接続される。例えば、インピーダンス素子 334_n および $334_{(n+1)}$ はレジスタであり、エネルギー貯蔵素子 336_n はキャパシタである。

【0122】

別の実施形態によれば、セルの極性は、これらのセルが図に示す反対の極性となるよう切り替えられる。

【0123】

引き続き図15を参照すると、スイッチングネットワーク $316_1, \dots, 316_n$ は、フィルタリング継続観察モード、サンプルアンドホールドモードおよび内部平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。既に検討したように、動作モードは、スイッチング素子 $326A, 326_1, \dots, 326_n, 328_1, \dots, 328_n$ および $331_1, \dots, 331_n$ の状態に従って、すなわち、これらのスイッチング素子がオープンされクローズされオープンまたはクローズされる組み合わせに従って選択し得る。

【0124】

フィルタリング継続観察動作モードでは、電力セル $24_1, \dots, 24_n$ にまたがる電圧を、スイッチング素子 $326_1, \dots, 326_n$ および $328_1, \dots, 328_n$ がオープンされるように構成し、スイッチング素子 $331_1, \dots, 331_n$ および $326A$ がクローズされるように構成することによって監視される。例えば、電力セル 24_1 にまたがる電圧は、MUX18の、出力端子 $316AO1$ および 316_1O3 の電圧をADC20に伝達する構成に応答して監視することが可能である。このように、電力セル 24_1 のフィルタリングされた電圧を表す電圧がADC20に伝達され、これによって、電力セル 24_1 にまたがる電圧が観察または監視される。同様に、電力セル 24_2 にまたがる電圧は、MUX18の、出力端子 316_1O3 および 316_2O3 の電圧をADC20に伝達する構成に応答して監視することが可能である。このように、電力セル 24_2 のフィルタリングされた電圧を表す電圧がADC20に伝達され、これによって、電力セル 24_2 にまたがる電圧が観察または監視される。電力セル 24_n にまたがる電圧は、MUX18の、出力端子 $316_{(n-1)}O3$ および 316_nO3 の電圧をADC20に伝達する構成に応答して監視することが可能である。このように、電力セル 24_n のフィルタリングされた電圧を表す電圧がADC20に伝達され、これによって、電力セル 24_n にまたがる電圧が観察または監視される。

【0125】

微分サンプルアンドホールド動作モードでは、電力セル $24_1, \dots, 24_n$ にまたがる電圧を、スイッチング素子 $326A, 326_1, \dots, 326_n, 328_1, \dots, 328_n$ および $331_1, \dots, 331_n$ の制御端子に、それぞれ、適当な制御電圧 $V326A, V326_1, \dots, V326_n, V328_1, \dots, V328_n$ および $V331_1, \dots, V331_n$ を印加することによってサンプリングならびに記憶もしくは保持することが可能である。サンプリングするために、スイッチング素子は、

10

20

30

40

50

フィルタリング継続観察モードを可能とするように構成される。このようなスイッチ構成に応答して、キャパシタ 336_1 、 \dots 、 336_n は、電力セル 24_1 、 \dots 、 24_n にまたがる電圧に実質的に等しい電圧まで充電される、すなわち、キャパシタ 336_1 、 \dots 、 336_n は、電力セル 24_1 、 \dots 、 24_n の電圧をサンプリングする。キャパシタ 336_1 、 \dots 、 336_n は、フィルタとして機能し、サンプリングされた信号をフィルタリングする。スイッチング素子 $326A$ および 331_1 、 \dots 、 331_n のオン抵抗(R_{dson})は、キャパシタ 336_1 、 \dots 、 336_n の両端子と直列になっており、これによって、同相雑音に付きものの問題が軽減される。

【0126】

電力セル 24_1 、 \dots 、 24_n の電圧をサンプリングした後、情報は、これらスイッチング素子の開放に好適な制御信号 $V326A$ および $V331_1$ 、 \dots 、 $V331_n$ を、それぞれ、スイッチング素子 $326A$ および 331_1 、 \dots 、 331_n の制御端子に印加することによってキャパシタ 336_1 、 \dots 、 336_n 上に保持される。スイッチング素子 326_1 、 \dots 、 326_n は、開放状態にとどまる、すなわち、フィルタリング継続観察モードのときと同じ状態を保つ。このスイッチング素子構成に応答して、キャパシタ 336_1 、 \dots 、 336_n は、電力セル 24_1 、 \dots 、 24_n のスタックから隔離され、これによって、電力セル 24_1 、 \dots 、 24_n 上に出力された電圧が保持される。

【0127】

電力セル 24_1 の電圧を表すサンプリングされた電圧は、 $MUX18$ の、出力端子 316_{AO1} および 316_1O3 の電圧を ADC コンバータ 20 に伝達する構成に応答して監視することが可能である。 $MUX18$ の、出力端子 316_1O3 および 316_2O3 の電圧を $ADC20$ に伝達する構成に応答して、電力セル 24_2 の電圧を表すサンプリングされた電圧が $ADC20$ に伝達される。 $MUX18$ の、出力端子 $316_{(n-1)}O3$ および 316_nO3 の電圧を $ADC20$ に伝達する構成に応答して、電力セル 24_n の電圧を表すサンプリングされた電圧が $ADC20$ に伝達される。

【0128】

内部平衡化動作モードでは、スイッチング素子 331_1 、 \dots 、 331_n および $362A$ はオープンされたりクローズされたりするが、一方、電力セル 24_1 、 \dots 、 24_n は、図6とスイッチング素子 26_1 、 \dots 、 26_n および 28_1 、 \dots 、 28_n を参照してした場合と同様にスイッチング素子 326_1 、 \dots 、 326_n および 328_1 、 \dots 、 328_n を用いて平衡化される。

【0129】

スイッチング素子 328_1 、 328_2 、 \dots 、 328_n はオプション素子であり、スイッチング素子 328_1 、 328_2 、 \dots 、 328_n が存在しない実施形態によれば、それぞれ、出力端子 316_1O2 が出力端子 316_1O4 に短絡され、出力端子 316_2O2 が出力端子 316_2O4 に短絡され、出力端子 316_nO2 が出力端子 316_nO4 に短絡されることに留意されたい。

【0130】

図16は、本発明の別の実施形態による、フィルタ部分 322 を介して電力セル 24 に接続されるインターフェースネットワーク 316 (図11を参照して説明した)のスイッチング部分 316_m の回路図である。図13、15および17のスイッチングネットワーク 316_1 、 316_2 、 \dots 、 316_n が、スイッチング部分 316_m から成り、変数 m が、整数 1 、 2 、 \dots 、 n を表すために用いられることに留意されたい。例えば、スイッチングネットワーク 316_1 はスイッチング部分 316_m に対応し、ここで、 m は、 1 で置き換えられ、スイッチングネットワーク 316_2 はスイッチング素子 316_m に対応し、ここで、 m は、 2 で置き換えられ、スイッチングネットワーク 316_n はスイッチング素子 316_m に対応し、ここで、 m は、 n で置き換えられる。

【0131】

スイッチング部分 316_m を図12を参照して説明した。例えば、スイッチング素子 3

10

20

30

40

50

26_m および 328_m は単純なトランジスタプリドライバを形成するが、いずれかの極性を持つ外部平衡化素子を駆動することが可能な他のなんらかのプリドライバ回路で置き換えることが可能である。

【0132】

図16のフィルタ部分 322_m は、図12を参照して説明したフィルタ部分に類似しているが、平衡化素子 330_m が平均化素子 330_m および 332_m を含む点だけが異なる。平均化素子 330_m は、NPNバイポーラトランジスタ、PNPバイポーラトランジスタ、NチャネルMOSFET、PチャネルMOSFET等で有り得る。例えば、平衡化素子 330_m および 332_m は、それぞれ、NチャネルMOSFETトランジスタおよびレジスタである。NチャネルMOSFET 330_m は、レジスタ 332_m を介して入力端子 $322_m I1$ に接続されるドレイン端子と、入力端子 $322_m I2$ に接続されるソース端子と、入力ピン $312P_{(3m-1)}$ に接続される出力端子 $322_m O2$ として機能するか、または代替的に、出力端子 $322_m O2$ に接続されるゲート端子と、を有する。出力端子 $322_m O1$ は、インピーダンス素子 334_m を介して入力端子 $322_m I1$ に接続される。エネルギー貯蔵素子 336_m は、入力ピン $312P_{(3m-2)}$ に接続された端子と、入力ピン $312P_{3m}$ に接続された端子と、を有する。例えば、インピーダンス素子 334_m および $334_{(m+1)}$ はレジスタであり、エネルギー貯蔵素子 336_m はキャパシタである。レジスタ 332_m および 334_m は各々が、一般的には一緒に接続されて、入力端子 $322_m I1$ に接続されるか、または代替的に、入力端子 $322_m I1$ を形成する結節を形成する端子を有する。レジスタ 332_m の他方の端子はトランジスタ 330_m のドレイン端子に接続され、レジスタ 334_m の他方の端子はキャパシタ 336_m の端子に接続されて、出力端子 $322_m O1$ として機能するか、または代替的に、出力端子 $322_m O1$ に接続される結節を形成する。上述したように、キャパシタ 336_m の他方の端子は出力ピン $312P_{3m}$ に接続される。レジスタ $334_{(m+1)}$ は、トランジスタ 330_m のソース端子に接続されて、入力端子 $322_m I2$ に接続されるか、または代替的に、入力端子 $322_m I2$ として機能し得る結節を形成する端子を有し、そして、入力端子として機能し得るか、または代替的に、入力端子 $322_m O4$ に接続される端子をも有する。

【0133】

電力セル 24_m は、フィルタ部分 322_m の入力端子 $322_m I1$ に接続された正極と、フィルタ部分 322_m の入力端子 $322_m I2$ に接続された負極と、を有するバッテリセルを備える。

【0134】

出力端子 $322_m O1$ は入力ピン $312P_{(3m-2)}$ に電気的に接続され、出力端子 $322_m O2$ は入力ピン $312P_{(3m-1)}$ に電気的に接続され、出力端子 $322_m O4$ は入力ピン $312P_{(3m+1)}$ に電気的に接続されることに留意されたい。

【0135】

引き続き図16を参照すると、スイッチング部分 316_m は、フィルタリング継続監視もしくは観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。フィルタリング継続観察動作モードでは、電力セル 24_m にまたがる電圧は、このスイッチング素子の開放に好適な制御電圧 V_{326_m} をスイッチング素子 326_m の制御端子に印加し、これらのスイッチング素子の閉鎖に好適な制御電圧 V_{328_m} および V_{331_m} を、それぞれ、スイッチング素子 328_m および 331_m の制御端子に印加することによって監視される。したがって、電源セル 24_m のフィルタリングされた電圧は、出力端子 $316_m O1$ と $316_m O3$ 間に現れる。MUX18(図11に図示する)は、出力端子 $316_m O1$ と $316_m O3$ 間の電圧をADC20に伝達するように構成される。したがって、電力セル 24_m の電圧を表す電圧がADC20に伝達され、これによって、電力セル 24_m にまたがる電圧が観察または監視される。

【0136】

10

20

30

40

50

サンプルアンドホールド動作モードでは、電力セル 24_m にまたがる電圧は、このスイッチング素子の開放に好適な制御電圧 V326_m をスイッチング素子 326_m の制御端子に印加し、これらのスイッチング素子の閉鎖に好適な制御電圧 V328_m および V331_m を、それぞれ、スイッチング素子 328_m および 331_m の制御端子に印加することによってサンプリングならびに記憶もしくは保持される。キャパシタ 336_m は、電力セル 24_m にまたがる電圧に実質的に等しい電圧にまで充電される、すなわち、キャパシタ 336_m は電力セル 24_m の電圧をサンプリングする。

【0137】

電力セル 24_m の電圧をサンプリングした後、スイッチング素子 331_m の開放に好適な制御電圧 V331_m がスイッチング素子 331_m の制御端子に印加される一方で、スイッチング素子 326_m および 328_m を、それぞれ、開放構成および閉鎖構成で維持するのに好適な制御電圧 V326_m および V328_m は、スイッチング素子 326_m および 328_m の制御端子に維持される。したがって、キャパシタ 336_m に現れるサンプリングされた電圧が保持されて、出力端子 316_m O1 と 316_m O3 間に現れる。MUX18 は、出力端子 316_m O1 と 316_m O3 間の電圧を ADC20 に伝達するように構成される。したがって、電力セル 24_m のサンプルアンドホールド電圧を表す電圧が、ADC20 に伝達される。

【0138】

平衡化動作モードでは、電力セル 24_m にまたがる電圧は、スイッチング素子 326_m の閉鎖およびスイッチング素子 328_m の開放に好適な制御電圧 V326_m および V328_m を、それぞれ、スイッチング素子 326_m および 328_m の制御端子に印加することによって平衡化することが可能である。したがって、インピーダンス素子 332_m およびトランジスタ 330_m を通過する平衡化電流によって、電力セル 24_m が放電される。図 12 を参照して検討したように、スイッチング素子 326_m は平衡化スイッチング素子またはスイッチング素子と呼ばれ、スイッチング素子 331_m はサンプリングスイッチング素子と呼ばれ得る。

【0139】

図 17 は、図 11 および 16 を参照して説明したように制御モジュール 312 およびフィルタ回路 322 を備え、図 16 を参照して説明したフィルタ回路 322 およびインタフェース回路 316 の回路実装物の実施形態をさらに含む電力セルモニタおよび制御回路 450 のブロック図である。制御モジュール 450 はバッテリ装置 24 に接続される。制御モジュール 450 は、制御モジュール 350 に類似しているが、制御モジュール 450 が平衡化構造体 330₁、330₂、…、330_n および平衡化構造体 332₁、332₂、…、332_n を含む点だけが異なる。より具体的に、また、図 13 を参照して説明した制御モジュール 350 の説明に続いて、トランジスタ 330₁ は、レジスタ 332₁ を介して入力端子 322₁ I1 に接続されるドレイン端子と、入力端子 322_c I1 に接続されるソース端子と、入力ピン 312P₂ に接続されるゲート端子と、を有する。出力端子 322₁ O1 は、インピーダンス素子 334₁ を介して入力端子 322₁ I1 に接続される。エネルギー貯蔵素子 336₁ は、入力ピン 312P₁ に接続される端子と、入力ピン 312P₃ に接続される端子と、を有する。例えば、インピーダンス素子 334₁ および 334₂ はレジスタであり、エネルギー貯蔵素子 336₁ はキャパシタである。レジスタ 332₁ および 334₁ は各々が、一般的には一緒に接続されて、入力端子 322₁ I1 に接続され得るか、または代替的に、入力端子 322₁ I1 を形成する結節を形成する端子を有する。レジスタ 332₁ の他方の端子はトランジスタ 330₁ のドレイン端子に接続され、レジスタ 334₁ の他方の端子はキャパシタ 336₁ の端子に接続されて、出力端子 322₁ O1 として機能するか、または代替的に、出力端子 322₁ O1 に接続され得る結節を形成する。レジスタ 334₂ は、トランジスタ 330₁ のソース端子に接続されて、入力端子 322_c I1 に接続され得るか、または代替的に、入力端子 322_c I1 として機能し得るか、または代替的に、出力端子 322_c O1 に接続され得る端子と、を有する。

10

20

30

40

50

【0140】

トランジスタ 330_2 は、レジスタ 332_2 を介して入力端子 322_cI_1 に接続されるドレイン端子と、入力端子 $322_cI(n-1)$ に接続されるソース端子と、入力ピン $312P_5$ に接続されるゲート端子と、を有する。出力端子 322_cO_1 は、インピーダンス素子 334_2 を介して入力端子 322_cI_1 に接続される。エネルギー貯蔵素子 336_2 は、入力ピン $312P_4$ に接続された端子と、入力ピン $312P_6$ に接続された端子と、を有する。例えば、インピーダンス素子 334_2 および 334_2 はレジスタであり、エネルギー貯蔵素子 336_2 はキャパシタである。レジスタ 332_2 および 334_2 は各々が、一般的には一緒に接続されて、入力端子 322_cI_1 に接続され得るか、または代替的に、入力端子 322_cI_1 を形成する結節を形成する端子を有する。レジスタ 332_2 の他方の端子はトランジスタ 330_2 のドレイン端子に接続され、レジスタ 334_2 の他方の端子はキャパシタ 336_2 の端子に接続されて、出力端子 322_cO_1 として機能するか、または代替的に、出力端子 322_cO_1 に接続され得る結節を形成する。類似の共有コンポーネントおよび接続部が、フィルタ部分 322_1 とフィルタ部分 322_2 との間に存在するように、フィルタ部分 322_2 と、フィルタ部分 322_2 に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、スイッチングネットワーク 322_2 の全てのコンポーネントが図示されているわけではない。10

【0141】

トランジスタ 330_n は、レジスタ 332_n を介して入力端子 $322_cI(n-1)$ に接続されるドレイン端子と、入力端子 322_nI_2 に接続されるソース端子と、入力ピン $312P_{(3n-1)}$ に接続されるゲート端子と、を有する。出力端子 322_nO_4 は、インピーダンス素子 $334_{(n+1)}$ を介して入力端子 322_nI_2 に接続される。エネルギー貯蔵素子 336_n は、入力ピン $312P_{(3n-2)}$ に接続される端子と、入力ピン $312P_{3n}$ に接続される端子と、を有する。例えば、インピーダンス素子 $334_{(n+1)}$ はレジスタであり、エネルギー貯蔵素子 336_n はキャパシタである。レジスタ 332_n および 334_n は各々が、一般的には一緒に接続されて、入力端子 $322_cI(n-1)$ に接続されるか、または代替的に、入力端子 $322_cI(n-1)$ を形成する結節を形成する端子を有する。レジスタ 332_n の他方の端子はトランジスタ 330_n のドレイン端子に接続され、レジスタ 334_n の他方の端子はキャパシタ 336_n の端子に接続されて、出力端子 $322_cO(n-1)$ として機能するか、または代替的に、出力端子 $322_cO(n-1)$ に接続される結節を形成する。レジスタ $334_{(n+1)}$ は、トランジスタ 330_n のソース端子に接続されて、入力端子 322_nI_2 に接続され得るか、または代替的に、入力端子 322_nI_2 として機能する結節を形成する端子と、入力ピン $312P_{(3n+1)}$ に接続され得る出力端子 322_nO_4 として機能するか、または代替的に、出力端子 322_nO_4 に接続され得る端子と、を有する。20

【0142】

引き続き図17を参照すると、スイッチング部分 316_1 、 \dots 、 316_n は、フィルタリング継続観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。図16を参照して検討したように、動作モードは、スイッチング素子 326_1 、 \dots 、 326_n 、 328_1 、 \dots 、 328_n および 331_1 、 \dots 、 331_n の状態に従って、すなわち、これらのスイッチング素子がオープンされクローズされオープンまたはクローズされる組み合わせに従って選択し得る。40

【0143】

図18は、本発明の別の実施形態による、フィルタ部分 322_m を介して電力セル 24_m に接続されるインタフェースネットワーク 316 （図11を参照して説明した）のスイッチング部分 316_m の回路図である。図11のスイッチングネットワーク 316_1 、 316_2 、 \dots 、 316_n が、スイッチング部分 316_m から成り、変数 m が、整数1、2、 \dots 、 n を表すために用いられることに留意されたい。例えば、スイッチング素子 316_1 はスイッチング素子 316_m に対応し、ここで、 m は、1で置き換えられ、スイ50

ツチング素子 316₂ はスイッチング素子 316_m に対応し、ここで、m は、2 で置き換えられ、スイッチング素子 316_n はスイッチング素子 316_m に対応し、ここで、m は、n で置き換えられる。図 18 のスイッチング部分 316_m は図 16 のスイッチング部分 316_m に類似しているが、キャパシタ 336_m の端子のうちの 1 つが入力ピン 312P₁ に接続されていない点だけが異なる。したがって、キャパシタ 336_m は、一方の端子は入力ピン 312P_{3m} に接続されているが、他方の端子は入力ピン 312P_(3m-1) には接続されない。図 12 を参照して検討したように、スイッチング素子 326_m は平衡化スイッチング素子と呼ばれ、スイッチング素子 331_m はサンプリングスイッチング素子と呼ばれ得る。

【0144】

10

図 19 は、図 11 および 17 を参照して説明したように制御モジュール 312 およびフィルタ回路 322 を備え、図 18 を参照して説明したフィルタ回路 322 およびインタフェース回路 316 の回路実装物の実施形態をさらに含む電力セルモニタおよび回路モジュール 500 のブロック図である。制御モジュール 500 はバッテリ装置 24 に接続される。制御モジュール 500 は制御モジュール 400 に類似しているが、制御モジュール 500 が平衡化構造体 330₁、330₂、…、330_n および平衡化構造体 332₁、332₂、…、332_n を含む点だけが異なる。より具体的に、また、図 15 を参照して説明した制御モジュール 400 の説明に続いて、トランジスタ 330₁ は、レジスタ 332₁ を介して入力端子 322₁I₁ に接続されるドレイン端子と、入力端子 322_cI₁ に接続されるソース端子と、入力ピン 312P₂ に接続されるゲート端子と、を有する。出力端子 322₁O₁ は、インピーダンス素子 334₁ を介して入力端子 322₁I₁ に接続される。エネルギー貯蔵素子 336₁ は、入力ピン 312P_A に接続される端子と、入力ピン 312P₃ に接続される端子と、を有する。例えば、インピーダンス素子 334₁ および 334₂ はレジスタであり、エネルギー貯蔵素子 336₁ はキャパシタである。レジスタ 332₁ および 334₁ は各々が、一般的には一緒に接続されて、入力端子 322₁I₁ に接続され得るか、または代替的に、入力端子 322₁I₁ を形成し得る結節を形成する端子を有する。レジスタ 332₁ の他方の端子はトランジスタ 330₁ のドレイン端子に接続され、レジスタ 334₁ の他方の端子は、出力端子 322₁O₁ を介して入力ピン 312P₁ に接続される。レジスタ 334₂ は、トランジスタ 330₁ のソース端子に接続されて、入力端子 322_cI₁ に接続され得るか、または代替的に、入力端子 322_cI₁ として機能し得る結節を形成する端子と、入力ピン 312P₄ に接続され得る出力端子 322_cO₁ として機能し得るか、または代替的に、出力端子 322_cO₁ に接続され得る端子と、を有する。

20

【0145】

30

トランジスタ 330₂ は、レジスタ 332₂ を介して入力端子 322_cI₁ に接続されるドレイン端子と、入力端子 322_cI_(n-1) に接続されるソース端子と、出力端子 322₂O₂ を介して入力ピン 312P₅ に接続されるゲート端子と、を有する。出力端子 322_cO₁ は、インピーダンス素子 334₂ を介して入力端子 322_cI₁ に接続される。エネルギー貯蔵素子 336₂ は、入力ピン 312P₃ に接続された端子と、入力ピン 312P₆ に接続された端子と、を有する。例えば、インピーダンス素子 334₂ はレジスタであり、エネルギー貯蔵素子 336₂ はキャパシタである。レジスタ 332₂ および 334₂ は各々が、一般的には一緒に接続されて、入力端子 322_cI₁ に接続され得るか、または代替的に、入力端子 322_cI₁ を形成し得る結節を形成する端子を有する。レジスタ 332₂ の他方の端子はトランジスタ 330₂ のドレイン端子に接続され、レジスタ 334₂ の他方の端子は、出力端子 322_cO₁ を介して入力ピン 312P₄ に接続される。類似の共有コンポーネントおよび接続部が、フィルタ部分 322₁ とフィルタ部分 322₂ との間に存在するように、フィルタ部分 322₂ と、フィルタ部分 322₂ に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、スイッチングネットワーク 322₂ の全てのコンポーネントが図示されているわけではない。

40

50

【0146】

トランジスタ 330_n は、レジスタ 332_n を介して入力端子 $322_c I (n-1)$ に接続されるドレイン端子と、入力端子 $322_n I 2$ に接続されるソース端子と、出力端子 $322_n O 2$ を介して入力ピン $312 P_{(3n-1)}$ に接続されるゲート端子と、を有する。出力端子 $322_n O 4$ は、インピーダンス素子 $334_{(n+1)}$ を介して入力端子 $322_n I 2$ に接続される。エネルギー貯蔵素子 336_n は、入力ピン $312 P_{3n}$ に接続された端子を有する。例えば、インピーダンス素子 $334_{(n+1)}$ はレジスタであり、エネルギー貯蔵素子 336_n はキャパシタである。レジスタ 332_n および 334_n は各々が、一般的には一緒に接続されて、入力端子 $322_c I (n-1)$ に接続され得るか、または代替的に、入力端子 $322_c I (n-1)$ を形成し得る結節を形成する端子を有する。レジスタ 332_n の他方の端子はトランジスタ 330_n のドレイン端子に接続され、レジスタ 334_n の他方の端子は、出力端子 $322_c O (n-1)$ を介して入力ピン $312 P_{(3n-2)}$ に接続される。レジスタ $334_{(n+1)}$ は、トランジスタ 330_n のソース端子に接続されて、入力端子 $322_n I 2$ に接続され得るか、または代替的に、入力端子 $322_n I 2$ として機能する結節を形成する端子と、入力ピン $312 P_{(3n+1)}$ に接続される出力端子 $322_n O 4$ として機能し得るか、または代替的に、入力端子 $322_n O 4$ に接続され得る端子と、を有する。10

【0147】

別の実施形態によれば、セルの極性は、これらのセルが図に示す反対の極性となるように切り替えられる。あるいは、 n チャネルトランジスタを p チャネルトランジスタと置き換えることが可能である。20

【0148】

引き続き図 19 を参照すると、スイッチングネットワーク $316_1, \dots, 316_n$ は、フィルタリング継続観察モード、微分サンプルアンドホールドモードおよび平衡化モードを含む少なくとも 3 つの互いに異なる動作モードで動作する。既に検討したように、動作モードは、スイッチング素子 $326 A, 326_1, \dots, 326_n, 328_1, \dots, 328_n$ および $331_1, \dots, 331_n$ の状態に従って、すなわち、これらのスイッチング素子がオープンされクローズされオープンまたはクローズされる組み合わせに従って選択し得る。30

【0149】

フィルタリング継続観察動作モードでは、電力セル $24_1, \dots, 24_n$ にまたがる電圧を、スイッチング素子 $326_1, \dots, 326_n$ がオープンされるように構成し、スイッチング素子 $328_1, \dots, 328_n, 331_1, \dots, 331_n$ および $326 A$ がクローズされるように構成することによって監視される。電力セル $24_1, \dots, 24_n$ にまたがる電圧は、図 15 を参照して説明したのと類似した技法を用いて MUX 18 を構成することによって、ADC 20 によって監視することが可能である。

【0150】

微分サンプルアンドホールド動作モードでは、電力セル $24_1, \dots, 24_n$ にまたがる電圧は、適当な制御電圧 $V326 A, V326_1, \dots, V326_n, V328_1, \dots, V328_n$ および $V331_1, \dots, V331_n$ を、それぞれ、スイッチング素子 $326 A, 326_1, \dots, 326_n, 328_1, \dots, 328_n$ および $331_1, \dots, 331_n$ の制御端子に印加することによってサンプリングならびに記憶もしくは保持することが可能である。サンプリングするために、スイッチング素子は、フィルタリング継続観察モードを可能とするように構成される。このようなスイッチング素子構成に応答して、キャパシタ $336_1, \dots, 336_n$ は、電力セル $24_1, \dots, 24_n$ にまたがる電圧に実質的に等しい電圧まで充電される、すなわち、キャパシタ $336_1, \dots, 336_n$ は、電力セル $24_1, \dots, 24_n$ の電圧をサンプリングする。キャパシタ $336_1, \dots, 336_n$ は、フィルタとして機能し、サンプリングされた信号をフィルタリングする。スイッチング素子 $326 A$ および $331_1, \dots, 331_n$ のオン抵抗 ($R_{ds on}$) は、キャパシタ $336_1, \dots, 336_n$ の両端子と直40

列になっており、これによって、同相雑音に付きものの問題が軽減される。

【0151】

電力セル $24_1, \dots, 24_n$ の電圧をサンプリングした後、情報は、これらスイッチング素子の開放に好適な制御信号 $V326A$ および $V331_1, \dots, V331_n$ を、それぞれ、スイッチング素子 326_A および $331_1, \dots, 331_n$ の制御端子に印加することによってキャパシタ $336_1, \dots, 336_n$ 上に保持される。スイッチング素子 $326_1, \dots, 326_n$ および $328_1, \dots, 328_n$ は状態を変化させない、すなわち、フィルタリング継続観察モードのときと同じ状態を保つ。このスイッチング素子構成に応答して、キャパシタ $336_1, \dots, 336_n$ は、電力セル $24_1, \dots, 24_n$ のスタックから隔離され、これによって、電力セル $24_1, \dots, 24_n$ 上に出力された電圧が保持される。
10

【0152】

電力セル $24_1, \dots, 24_n$ のサンプルアンドホールドされた電圧は、図15を参照して説明したのと同じような方法でMUX18を構成することによってADC20によって監視することが可能である。

【0153】

平衡化動作モードでは、スイッチング素子 $331_1, \dots, 331_n$ および $362A$ はオープンされたりクローズされたりするが、一方、電力セル $24_1, \dots, 24_n$ は、図16および17を参照して説明したのと類似の技法を用いて平衡化される。
20

【0154】

図20は、本発明の別の実施形態によれば、フィルタ部分 322 を介して電力セル 24 に接続されるインターフェースネットワーク 316 （図11を参照して説明した）のスイッチング部分 316_m の回路図である。図21のスイッチングネットワーク $316_1, 316_2, \dots, 316_n$ が、スイッチング部分 316_m から成り、変数 m が、整数 $1, 2, \dots, n$ を表すために用いられることに留意されたい。例えば、スイッチング素子 316_1 はスイッチング素子 316_m に対応するが、ここで、 m は、1に置き換えられ、スイッチング素子 316_2 はスイッチング素子 316_m に対応するが、ここで、 m は、2に置き換えられ、スイッチング素子 316_n はスイッチング素子 316_m に対応するが、ここで、 m は、 n に置き換えられる。
30

【0155】

スイッチング部分 316_m を図12を参照して説明した。スイッチング素子 326_m は、図12に示す実施形態のような平衡化レジスタ 332_m が存在しない実施形態で平衡化のために用いられるオプション回路素子である。

【0156】

フィルタ部分 322_m は、図14を参照して説明したフィルタ部分に類似しているが、平衡化素子 332_m を含む点だけが異なる。出力端子 $322_m O 1$ は、インピーダンス素子 334_m を介して入力端子 $322_m I 1$ に接続される。エネルギー貯蔵素子 336_m は、入力ピン $312P_{3m}$ に接続された端子を有する。例えば、平衡化素子 332_m および 334_m と $334_{(m+1)}$ はレジスタであり、エネルギー貯蔵素子 336_m はキャパシタである。レジスタ 332_m および 334_m は各々が、一般的には一緒に接続されて、入力端子 $322_m I 1$ に接続され得るか、または代替的に、入力端子 $322_m I 1$ を形成し得る結節を形成する端子を有する。レジスタ 332_m の他方の端子は、出力端子 $322_m O 2$ を介して入力ピン $312P_{(3m-1)}$ に接続される。キャパシタ 336_m の一方の端子は、入力ピン $312P_{3m}$ に接続される出力端子 $322_m O 3$ に接続され得るか、または代替的に、出力端子 $322_m O 3$ として機能し得る。キャパシタ 336_m の他方の端子は、図21に示すように他の回路に接続され得る。レジスタ $334_{(m+1)}$ は、入力端子 $322_m I 2$ に接続され得るか、または代替的に、入力端子 $222_m I 2$ として機能する端子と、出力端子 $322_m O 4$ として機能するか、または代替的に、出力端子 $322_m O 4$ に接続される端子と、を有する。
40

【0157】

電力セル 24_m は、フィルタ部分 322_m の入力端子 322_mI1 に接続された正極と、フィルタ部分 322_m の入力端子 322_mI2 に接続された負極と、を有するバッテリセルを備える。

【0158】

出力端子 322_mO1 は入力ピン 312P_(3m-2) に電気的に接続され、出力端子 322_mO2 は入力ピン 312P_(3m-1) に電気的に接続され、出力端子 322_mO3 は入力ピン 312P_{3m} に電気的に接続され、出力端子 322_mO4 は入力ピン 312P_(3m+1) に電気的に接続されることに留意されたい。

【0159】

図 21 は、図 11 を参照して説明したように制御モジュール 312 およびフィルタ回路 322 を備え、図 20 を参照して説明したフィルタ回路 322 およびインターフェース回路 316 の回路実装物の実施形態をさらに含む電力セルモニタおよび回路モジュール 550 のブロック図である。制御モジュール 550 はバッテリ装置 24 に接続される。制御モジュール 550 は制御モジュール 500 に類似しているが、制御モジュール 550 が平衡化構造体 332₁、332₂、…、332_n を含むが、平衡化構造体 330₁、330₂、…、330_n は含まない点だけが異なる。より具体的に、また、図 19 を参照して説明した制御モジュール 500 の説明に継いで、出力端子 322₁O1 は、インピーダンス素子 334₁ を介して入力端子 322₁I1 に接続される。エネルギー貯蔵素子 336₁ は、入力ピン 312P_A に接続される端子と、入力ピン 312P₃ に接続される端子と、を有する。例えば、平衡化素子 332₁ およびインピーダンス素子 334₁ 及び 334₂ はレジスタであり、エネルギー貯蔵素子 336₁ はキャパシタである。レジスタ 332₁ および 334₁ は各々が、一般的には一緒に接続されて、入力端子 322₁I1 に接続され得るか、または代替的に、入力端子 322₁I1 を形成し得る結節を形成する端子を有する。レジスタ 332₁ の他方の端子は、出力端子 322₁O2 に接続され得るか、または代替的に、出力端子 322₁O2 として機能し、レジスタ 334₁ の他方の端子はキャパシタ 336₁ の端子に接続されて、出力端子 322₁O1 として機能し得るか、または代替的に、出力端子 322₁O1 に接続され得る結節を形成し得る。出力端子 322₁O1 は入力ピン 312P₁ に接続され、出力端子 322₁O2 は入力ピン 312P₂ に接続される。レジスタ 334₂ は、入力端子 322_cI1 に接続されるか、または代替的に、入力端子 322_cI1 として機能する端子と、出力端子 322_cO1 として機能し得るか、または代替的に、出力端子 322_cO1 に接続され得る端子と、を有する。

【0160】

出力端子 322_cO1 は、インピーダンス素子 334₂ を介して入力端子 322_cI1 に接続される。エネルギー貯蔵素子 336₂ は、入力ピン 312P₃ に接続された端子と、入力ピン 312P₆ に接続された端子と、を有する。例えば、平衡化回路 332₂ およびインピーダンス素子 334₂ はレジスタであり、エネルギー貯蔵素子 336₂ はキャパシタである。レジスタ 332₂ および 334₂ は各々が、一般的には一緒に接続されて、入力端子 322_cI1 に接続され得るか、または代替的に、入力端子 322_cI1 を形成し得る結節を形成する端子を有する。レジスタ 332₂ の他方の端子は、出力端子 322₂O2 に接続され得るか、または代替的に、出力端子 322₂O2 として機能し、レジスタ 334₂ の他方の端子は、出力端子 322_cO1 として機能し得るか、または代替的に、出力端子 322_cO1 に接続され得る。出力端子 332₂O2 は入力ピン 312P₅ に接続される。類似の共有コンポーネントおよび接続部が、フィルタ部分 322₁ とフィルタ部分 322₂ との間に存在するように、フィルタ部分 322₂ と、フィルタ部分 322₂ に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、スイッチングネットワーク 322₂ の全てのコンポーネントが図示されているわけではない。

【0161】

出力端子 322_nO4 は、インピーダンス素子 334_(n+1) を介して入力端子 322_nI2 に接続される。エネルギー貯蔵素子 336_n は、入力ピン 312P_{3n} に接続さ

10

20

30

40

50

れた端子を有し、出力端子 $322_n O_3$ として機能し得る。例えば、平衡化回路 332_n およびインピーダンス素子 $334_{(n+1)}$ はレジスタであり、エネルギー貯蔵素子 336_n はキャパシタである。レジスタ 332_n および 334_n は各々が、一般的には一緒に接続されて、入力端子 $322_c I_{(n-1)}$ に接続され得るか、または代替的に、入力端子 $322_c I_{(n-1)}$ を形成し得る結節を形成する端子を有する。レジスタ 332_n の他方の端子は、入力ピン $312P_{(3n-1)}$ に接続され得る出力端子 $322_n O_2$ に接続され得るか、または代替的に、出力端子 $322_n O_2$ として機能し、レジスタ 334_n の他方の端子は入力ピン $312P_{(3n-2)}$ に接続され得る。レジスタ $334_{(n+1)}$ は、入力端子 $322_n I_2$ に接続されるか、または代替的に、入力端子 $322_n I_2$ として機能し得る端子と、入力ピン $312P_{(3n+1)}$ に接続され得る出力端子 $322_n O_4$ として機能し得るか、または代替的に、出力端子 $322_n O_4$ に接続され得る端子と、を有する。
10

【0162】

別の実施形態によれば、セルの極性は、これらのセルが図に示す反対の極性となるように切り替えられる。

【0163】

引き続き図21を参照すると、スイッチングネットワーク $316_1, \dots, 316_n$ は、フィルタリング継続観察モード、微分サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。既に検討したように、動作モードは、スイッチング素子 $326A, 326_1, \dots, 326_n, 328_1, \dots, 328_n$ および $331_1, \dots, 331_n$ の状態に従って、すなわち、これらのスイッチング素子がオープンされクローズされオープンまたはクローズされる組み合わせに従って選択し得る。
20

【0164】

フィルタリング継続観察動作モードでは、電力セル $24_1, \dots, 24_n$ にまたがる電圧を、スイッチング素子 $326_1, \dots, 326_n$ および $328_1, \dots, 328_n$ がオープンされるように構成し、スイッチング素子 $331_1, \dots, 331_n$ および $326A$ がクローズされるように構成することによって監視される。電力セル $24_1, \dots, 24_n$ にまたがる電圧は、MUX18を、図15を参照して構成と同様に構成することによってADC20によって監視することが可能である。
30

【0165】

微分サンプルアンドホールド動作モードでは、電力セル $24_1, \dots, 24_n$ にまたがる電圧は、図19を参照して説明したのと類似した技法およびスイッチング構成を用いてADC20によって監視することが可能である。

【0166】

平衡化動作モードでは、スイッチング素子 $331_1, \dots, 331_n$ および $362A$ がオープンまたはクローズされる。電力セル 24_1 を平衡化するために、スイッチング素子 326_1 はオープンされ、スイッチング素子 328_1 はクローズされる。したがって、インピーダンス素子 332_1 、スイッチング素子 328_1 およびインピーダンス素子 334_2 を通過する平衡化電流によって、電力セル 24_1 が放電される。その他の電力セルにまたがる電圧は、類似の技法を用いて平衡化され得ることに留意されたい。図12を参照して検討したように、スイッチング素子 328_m は平衡化スイッチング素子と呼ばれ、スイッチング素子 331_m はサンプリングスイッチング素子と呼ばれ得る。スイッチング素子 $326_1, \dots, 326_n$ は、省略し得るオプションの回路素子であることに留意されたい。
40

【0167】

図22は、本発明の別の実施形態によれば、フィルタ部分 322_m を介して電力セル 24_m に接続されるインタフェースネットワーク 316 (図14および15を参照して説明した)のスイッチング部分 $316A_m$ の回路図である。スイッチング部 $316A_m$ は図14を参照して説明したスイッチング部 316_m に類似しているが、電流制御素子 328_m 50

、入力ピン 312P_(3m-1)、端子 316_mI2 および端子 316_mO2 が存在せず、電流制御素子 326_m の導電端子 326_m、₃ がスイッチング素子 331_m の導電端子 331_m、₃ に接続され、スイッチング部分 316A_m が、スイッチング端子 331_m に接続されるフィルタリングインピーダンス素子 Z_f をさらに含む点だけが異なる。フィルタリングインピーダンス素子 Z_f は端子 331_m、₂ と端子 316_mI3 との間に接続されているところが図示されているが、これは本発明の制限ではない。例えば、フィルタリングインピーダンス素子 Z_f は、端子 331_m、₃ と端子 316_mI4 との間に接続され得る。

【0168】

したがって、図 22 は、フィルタインピーダンス素子をサンプルアンドホールド経路でフィルタ抵抗と部分的に集積したものを備える実施形態を示す。この実施形態によれば、平衡化経路の全体的なインピーダンスはフィルタ機能から分離されており、これは、平衡化電流が高いまたは上昇していたり、インピーダンス素子 334 および 334_(m+1) が低抵抗値を有するオーム抵抗である図 14、15、20 および 21 に示すような実施形態で図 22 のフィルタ部分 322_m を使用する際に有益である。インピーダンス素子 Z_f を含むことによって、インピーダンス素子 334_m および 334_(m+1) から実質的に独立したより小型のフィルタ記憶素子 336_m を使用することが可能となる。

【0169】

図 23 は、本発明の別の実施形態によれば、フィルタ部分 322 を介して電力セル 24 に接続されるインタフェースネットワーク 316 (図 11 を参照して説明した) のスイッチング部分 316_m の回路図である。図 23 の実施形態は、スイッチング素子 326_m および 328_m が、出力ピン 312P_(3m-1) に接続される出力部と出力端子 316_mO2 に接続される入力部と、を有するプリドライバ 327_m で置き換えられる図 16 のそれに類似している。プリドライバ 327_m は、駆動信号 V_{D R I V E 1} を受信するために結合された端子と、駆動信号 V_{D R I V E 2} を受信するために結合された端子と、を有する。スイッチング素子 326_m および 328_m に類似したスイッチング素子はプリドライバ 327_m に含まれることに留意されたい。

【0170】

図 24 は、本発明の別の実施形態によれば、フィルタ部分 322 を介して電力セル 24 に接続されるインタフェースネットワーク 316 (図 11 を参照して説明した) のスイッチング部分 316_m の回路図である。図 24 の実施形態は、スイッチング素子 326_m および 328_m が、出力ピン 312P_(3m-1) に接続される出力部と出力端子 316_mO2 に接続される入力部と、を有するプリドライバ 327_m で置き換えられる図 18 のそれに類似している。プリドライバ 327_m は、駆動信号 V_{D R I V E 1} を受信するために結合された端子と、駆動信号 V_{D R I V E 2} を受信するために結合された端子と、を有する。スイッチング素子 326_m および 328_m に類似したスイッチング素子は、プリドライバ 327_m に含まれることに留意されたい。

【0171】

以下に示す構成は、本発明の実施態様の例を示す。

【0172】

第 1 端子、第 2 端子、および第 3 端子を有するスイッチングネットワークと、
第 1 入力端子および第 2 入力端子と、第 1 出力端子、第 2 出力端子、および第 3 出力端子と、を有するフィルタ回路と、を備え、

前記第 1 出力端子が、前記スイッチングネットワークの前記第 1 端子に結合され、前記第 3 出力端子が、前記スイッチングネットワークの前記第 3 端子に結合される、モニタおよび制御回路 (米国特許出願 (13/753,832) の出願時の請求項 1 に対応、以下同様)。

【0173】

前記スイッチングネットワークが、

制御端子と、第 1 電流供給端子と、第 2 電流供給端子と、を有する第 1 スイッチング素

10

20

30

40

50

子であって、前記第1スイッチング素子の前記第2電流供給端子が、前記フィルタ回路の前記第2出力端子に結合される、第1スイッチング素子と、

前記第1スイッチング素子に結合され、制御端子と、第1電流供給端子と、第2電流供給端子と、を有する電流制御素子であって、平衡電流を導通させるか、または前記平衡電流を導通させることができる素子を制御するように構成される、電流制御素子と、

を備える、段落0172に記載されたモニタおよび制御回路（請求項2に対応）。

【0174】

前記フィルタ回路が、

第1端子および第2端子を有する第1エネルギー貯蔵素子であって、前記第2端子が、前記フィルタ回路の前記第2出力端子として機能する、第1エネルギー貯蔵素子と、

10

第1端子および第2端子を有する第1インピーダンス素子であって、前記第1端子が、前記フィルタ回路の前記第1入力端子として機能し、前記第2端子が、前記フィルタ回路の前記第1出力端子として機能する、第1インピーダンス素子と、

第1端子および第2端子を有する第2インピーダンス素子であって、前記第1端子が、前記フィルタ回路の前記第2入力端子として機能し、前記第2端子が前記フィルタ回路の前記第3出力端子として機能する、第1インピーダンス素子と、

を備える、段落0173に記載されたモニタおよび制御回路（請求項3に対応）。

【0175】

前記電流制御素子の前記第1電流供給端子が、前記第1スイッチングネットワークの前記第1端子に結合される、段落0174に記載されたモニタおよび制御回路（請求項4に対応）。

20

【0176】

前記第1スイッチング素子と直列に結合されるインピーダンスをさらに含む、段落0174に記載されたモニタおよび制御回路（請求項5に対応）。

【0177】

前記第1スイッチング素子の前記第2電流供給端子が、前記電流導通素子の前記第2電流供給端子に結合される、段落0174に記載されたモニタおよび制御回路（請求項6に対応）。

【0178】

前記第1スイッチング素子の前記第1電流供給端子が、前記電流導通素子の前記第1電流供給端子に結合される、段落0174に記載されたモニタおよび制御回路（請求項7に対応）。

30

【0179】

制御端子と、第1電流供給端子および第2電流供給端子と、を有する第2スイッチング素子であって、前記第2スイッチング素子の前記第1電流供給端子が、前記電流導通素子の前記第2電流供給端子に結合される第2スイッチング素子をさらに含む、段落0178に記載されたモニタおよび制御回路（請求項8に対応）。

【0180】

制御電極と、第1電流供給電極および第2電流供給電極と、を有する第1トランジスタであって、前記第1トランジスタの前記制御電極が、前記電流導通素子の前記第2電流供給端子に結合され、前記第1トランジスタの前記第2電流供給電極が、前記第1インピーダンス素子および第2インピーダンス素子のうちの1つの前記第1端子に結合される、第1トランジスタと、

40

第1端子および第2端子を有する第3インピーダンス素子であって、前記第3インピーダンス素子の前記1の端子が、前記第1インピーダンス素子および第2インピーダンス素子のうちの1つの前記第1端子に結合され、前記第3インピーダンス素子の前記第2端子が、前記第1トランジスタの前記第1電流供給電極に結合される、第3インピーダンス素子と、

をさらに含む、段落0174に記載されたモニタおよび制御回路（請求項9に対応）。

【0181】

50

前記フィルタ回路が、

第1端子および第2端子を有する第1インピーダンス素子であって、前記第1端子が、前記フィルタ回路の前記第1入力端子として機能する、第1インピーダンス素子と、

第1端子および第2端子を有する第2インピーダンス素子であって、前記第1端子が、前記フィルタ回路の前記第2入力端子として機能し、前記第2端子が、前記フィルタ回路の前記第3出力端子として機能する、第2インピーダンス素子と、

第1端子および第2端子を有する第1エネルギー貯蔵素子であって、前記第1エネルギー貯蔵素子の前記第1端子が、前記第1インピーダンス素子および第2インピーダンス素子のうちの1つの前記第2端子に結合され、前記第1エネルギー貯蔵素子の前記第2端子が、前記フィルタ回路の前記第2出力端子として機能する、第1エネルギー貯蔵素子と、10

を備える、段落0173に記載されたモニタおよび制御回路（請求項10に対応）。

【0182】

制御電極と、第1電流供給電極および第2電流供給電極と、を有する第1トランジスタであって、前記制御電極が、前記第1エネルギー貯蔵素子の前記第2端子に結合され、前記第2電流供給電極が、前記電流導通素子の前記第1電流供給端子に結合される、第1トランジスタと、

第1端子および第2端子を有する第3インピーダンス素子であって、前記第3インピーダンス素子の前記第1端子が、前記第1インピーダンス素子の前記第1端子に結合され、前記第3インピーダンス素子の前記第2端子が、前記第1トランジスタの前記第1電流供給電極に結合される、第3インピーダンス素子と、20

をさらに含む、段落0181に記載されたモニタおよび制御回路（請求項11に対応）

。

【0183】

第1端子、第2端子、および第3端子を有するスイッチングネットワークと、

前記スイッチングネットワークの前記第1端子に結合される第1インピーダンス素子と、

前記スイッチングネットワークの前記第2端子に結合されるエネルギー貯蔵素子と、前記スイッチングネットワークの前記第3端子に結合される第2インピーダンス素子と、

を備える回路（請求項12に対応）。

30

【0184】

前記スイッチングネットワークが、

制御端子と、第1端子および第2端子と、を有する、サンプリングスイッチであって、前記サンプリングスイッチの前記第2端子が、前記エネルギー貯蔵素子の前記第2端子に結合される、サンプリングスイッチと、

制御端子と、第1端子および第2端子と、を有する平衡化スイッチであって、前記平衡化スイッチの前記第2端子が、前記サンプリングスイッチの前記第2端子に結合され、前記平衡化スイッチの前記第1端子が、前記スイッチングネットワークの前記第3端子に結合される、平衡化スイッチと、

を備える、段落0183に記載された回路（請求項13に対応）。

40

【0185】

制御電極と、第1電流供給電極および第2電流供給電極と、を有する、トランジスタであって、前記制御電極が、前記スイッチングネットワークの前記第2端子に結合され、前記第1電流供給電極が、前記第2インピーダンス素子に結合され、前記第2電流供給電極が、前記第1インピーダンス素子に結合される、トランジスタと、

前記トランジスタの前記第1電流供給電極と前記第2インピーダンス素子との間に結合される第3インピーダンス素子と、

をさらに含む、段落0184に記載された回路（請求項14に対応）。

【0186】

前記スイッチングネットワークが、

50

制御端子と、第1端子および第2端子と、を有する、サンプリングスイッチであって、前記サンプリングスイッチの前記第2端子が、前記エネルギー貯蔵素子の前記第2端子に結合される、サンプリングスイッチと、

制御端子と、第1端子および第2端子と、を有する、第1平衡化スイッチであって、前記第1平衡化スイッチの前記第1端子が、前記サンプリングスイッチの前記第1端子に結合される、第1平衡化スイッチと、

を備える、段落0183に記載された回路（請求項15に対応）。

【0187】

前記スイッチングネットワークが、第4端子をさらに備える、段落0183に記載された回路（請求項16に対応）。 10

【0188】

前記スイッチングネットワークが、

制御端子と、第1端子および第2端子と、を有するサンプリングスイッチであって、前記サンプリングスイッチの前記第1端子が、前記第1インピーダンス素子に結合され、前記サンプリングスイッチの前記第2端子が、前記エネルギー貯蔵素子に結合される、サンプリングスイッチと、

制御端子と、第1端子および第2端子と、を有する、第1平衡化スイッチであって、前記第1平衡化スイッチの前記第1端子が、前記サンプリングスイッチの前記第1端子に結合され、前記第1平衡化スイッチの前記第2端子が、前記スイッチング回路の前記第4端子に結合される、第1平衡化スイッチと、 20

制御端子と、第1端子および第2端子と、を有する、第2平衡化スイッチであって、前記第2平衡化スイッチの前記第2端子が、前記スイッチング回路の前記第4端子に結合され、前記第2平衡化スイッチの前記第1端子が、前記第2インピーダンス素子に結合される、第2平衡化スイッチと、

を備える、段落0187に記載された回路（請求項17に対応）。

【0189】

制御電極と、第1電流供給電極および第2電流供給電極と、を有する、トランジスタであって、前記制御電極が、前記スイッチングネットワークの前記第4端子に結合され、前記第1電流供給電極が、前記第3インピーダンス素子に結合され、前記第2電流供給電極が、前記第1インピーダンス素子に結合される、トランジスタと、 30

前記トランジスタの前記第1電流供給電極と前記第2インピーダンス素子との間に結合される第3インピーダンス素子と、

をさらに含む、段落0188に記載された回路（請求項18に対応）。

【0190】

前記スイッチングネットワークが、

制御端子と、第1端子および第2端子と、を有するスイッチであって、前記スイッチの前記第1端子が、前記第1インピーダンスに結合され、前記スイッチの前記第2端子が、前記エネルギー貯蔵素子に結合される、スイッチと、

制御電極と、第1電流供給電極および第2電流供給電極と、を有する、トランジスタであって、前記制御電極が、前記スイッチングネットワークの前記第4端子に結合され、前記第2電流供給電極が、前記第1インピーダンス素子に結合される、トランジスタと、 40

前記トランジスタの前記第1電流供給電極と前記第2インピーダンス素子との間に結合される第3インピーダンス素子と、

入力および出力を有するプリドライバであって、前記出力が、前記スイッチングネットワークの前記第4端子に結合される、プリドライバと、

をさらに備える、段落0187に記載された回路（請求項19に対応）。

【0191】

前記エネルギー貯蔵素子が、第1端子および第2端子を有し、前記第2端子が、前記スイッチングネットワークの前記第2端子に結合され、前記第1端子が、前記第2インピーダンス素子に結合される、段落0190に記載された回路（請求項20に対応）。 50

【0192】

1つ以上の電力セルとインターフェースをとるための方法であって、
 フィルタリング第1動作モードでインターフェース回路を動作させて、前記1つ以上の電力セルの第1電力セルの電圧をフィルタリングおよび監視する段階と、
 第2動作モードで前記インターフェース回路を動作させて、前記第1電力セルの前記電圧をサンプリングする段階と、
 平衡第3動作モードで前記インターフェース回路を動作させて、前記第1電力セルの前記電圧を平衡化する段階と、
 を含む方法(請求項21に対応)。

【0193】

10

前記第1動作モードで前記インターフェース回路を動作させることが、第1スイッチの第1スイッチ構成への構成、第2スイッチの第2スイッチ構成に形成されると、前記第1電力セルの前記電圧をフィルタリングフィルタリングおよび監視することを含む、段落0192に記載された方法(請求項22に対応)。

【0194】

前記第2動作モードで前記インターフェース回路を動作させることが、前記第1スイッチおよび第2スイッチの前記第2スイッチ構成に形成されると、前記第1電力セルからサンプリングされた電圧を発生させて、前記サンプリングされた電圧を保持することを含む、段落0193に記載された方法(請求項23に対応)。

【0195】

20

前記第3動作モードで前記インターフェース回路を動作させることが、前記第2スイッチの前記第1スイッチ構成に形成されると、前記第1電力セルの前記電圧を平衡化することを含む、段落0194に記載された方法(請求項24に対応)。

【0196】

前記第1スイッチを前記第1スイッチ構成になるように構成することが、前記第1スイッチをクローズすることを含み、前記第2スイッチを前記第2スイッチ構成になるように構成することが、前記第2スイッチをオープンすることを含む、段落0195に記載された方法(請求項25に対応)。

【0197】

30

具体的な実施形態を本明細書に説明したが、本発明を開示された実施形態に制限すること、を意図するものではない。本発明の趣旨から逸脱することなく、修正および変更を実施することが可能であること、を、当業者は理解するであろう。本発明は、このような修正および変更の全てが添付された請求の範囲内に収まるものとしてその範囲に含めること、を意図するものである。例えば、セルの極性は、これらのセルが図に示す反対の極性となるように切り替えられ得る。あるいは、nチャネルトランジスタをpチャネルトランジスタと置き換えることが可能である。

【符号の説明】

【0198】

10 電力セルモニタおよび制御回路

40

12 制御モジュール

16 インタフェースネットワーク

16₁、16₂、…、16_n スイッチング素子

18 マルチプレクサ(MUX)

20 アナログデジタルコンバータ(ADC)

22₁、22₂、…、22_n フィルタ部分

24 電力貯蔵装置

【図1】

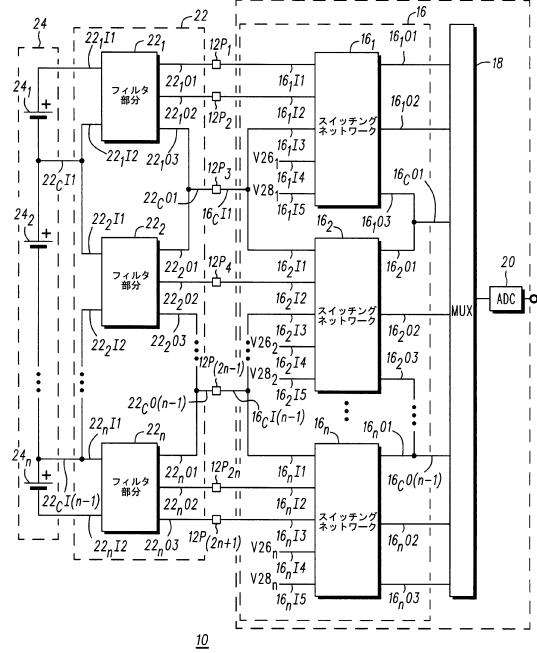


FIG. 1

【図2】

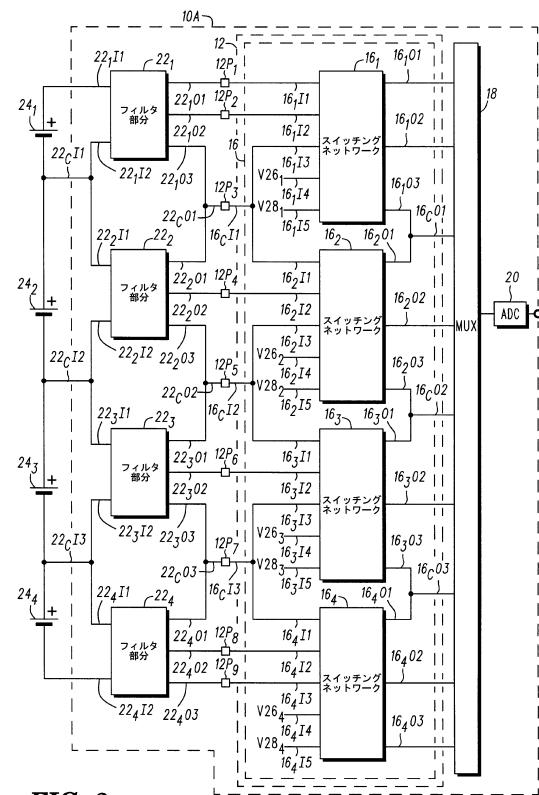


FIG. 2

【図3】

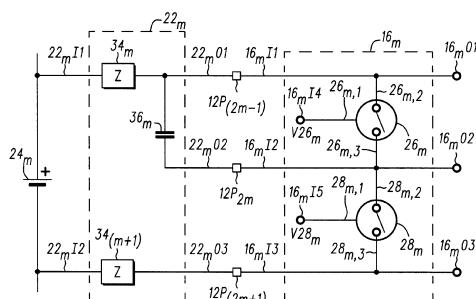
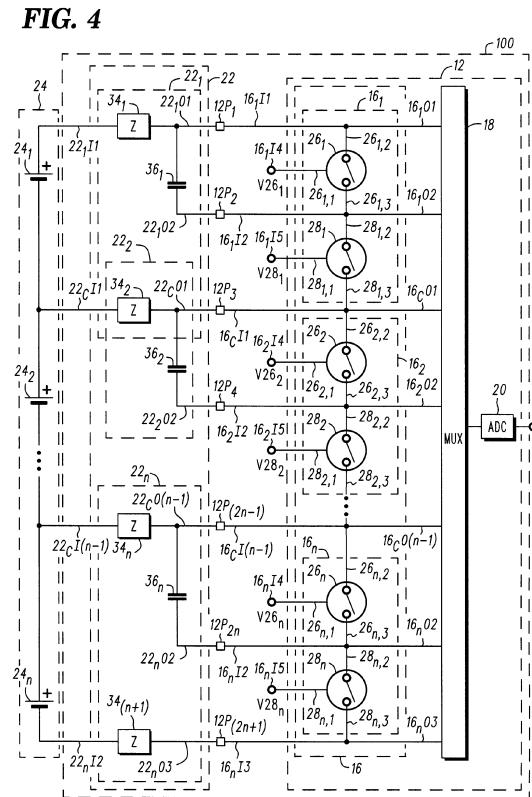


FIG. 3

【図4】



【図5】

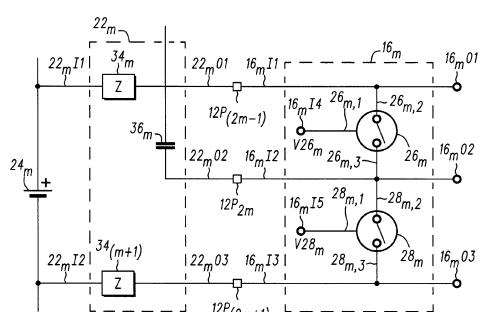
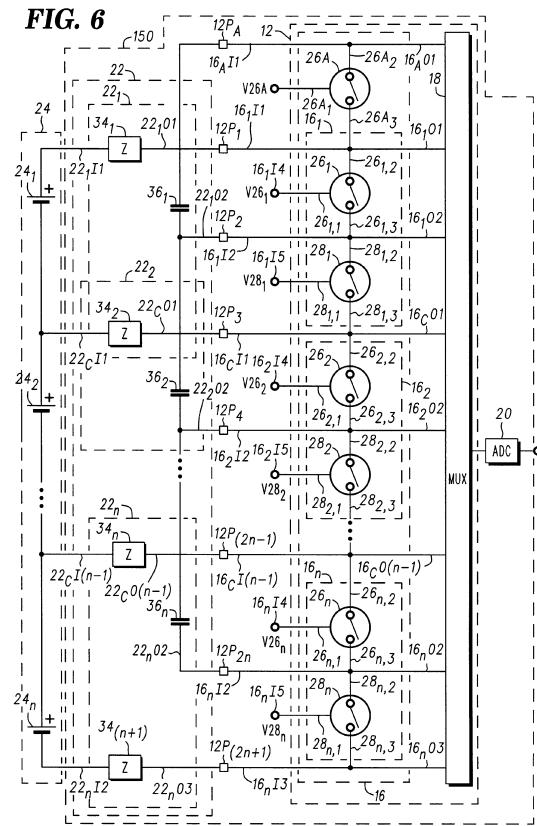


FIG. 5

【図6】



【図7】

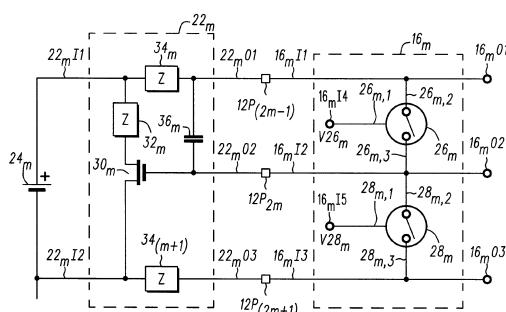
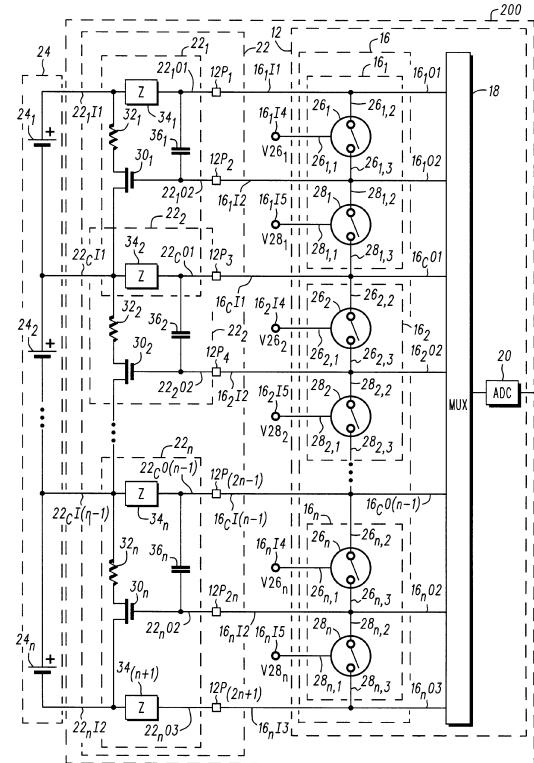


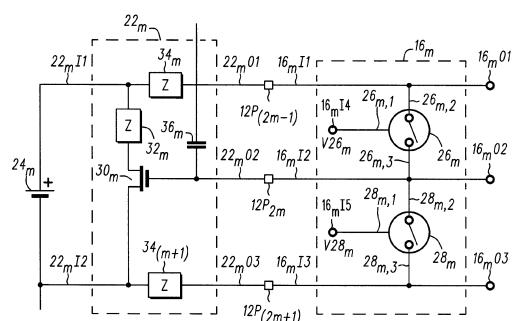
FIG. 7

【図8】

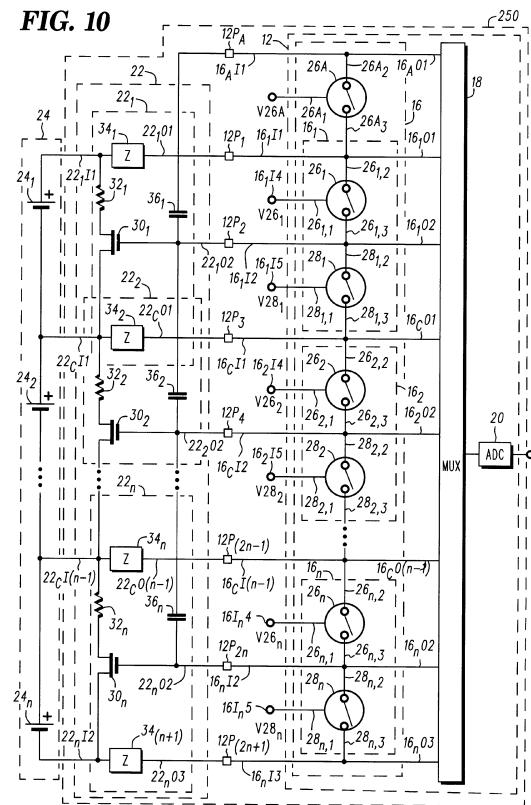
FIG. 8



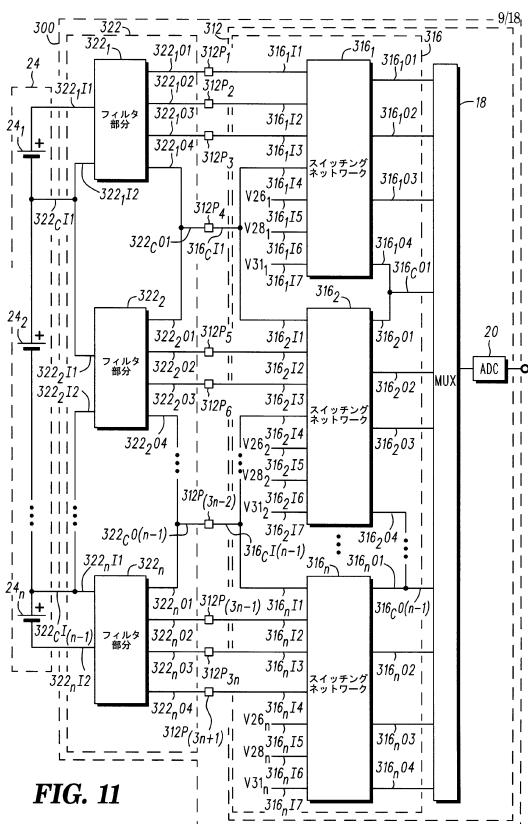
【図9】



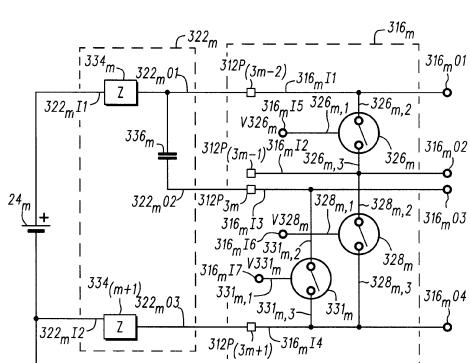
【図10】



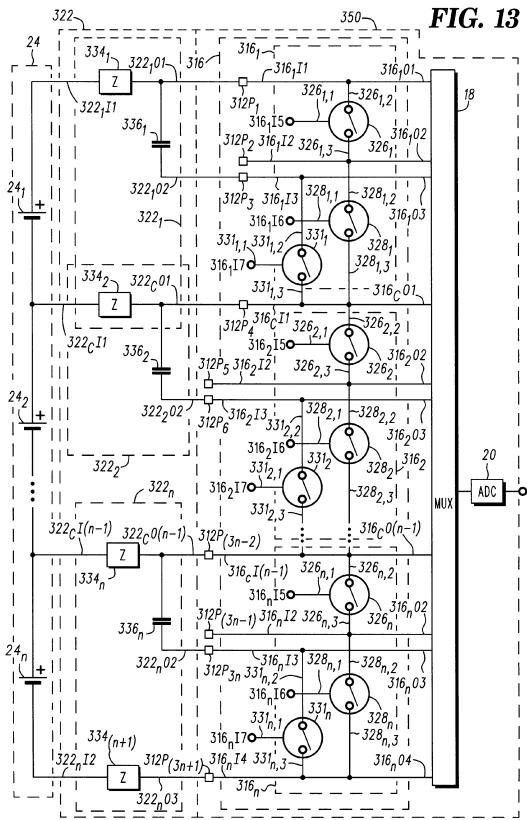
【図11】



【図12】



【図13】



【図14】

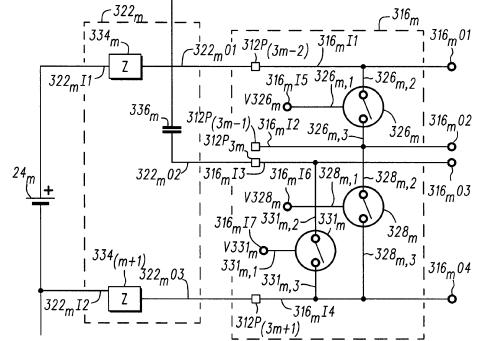
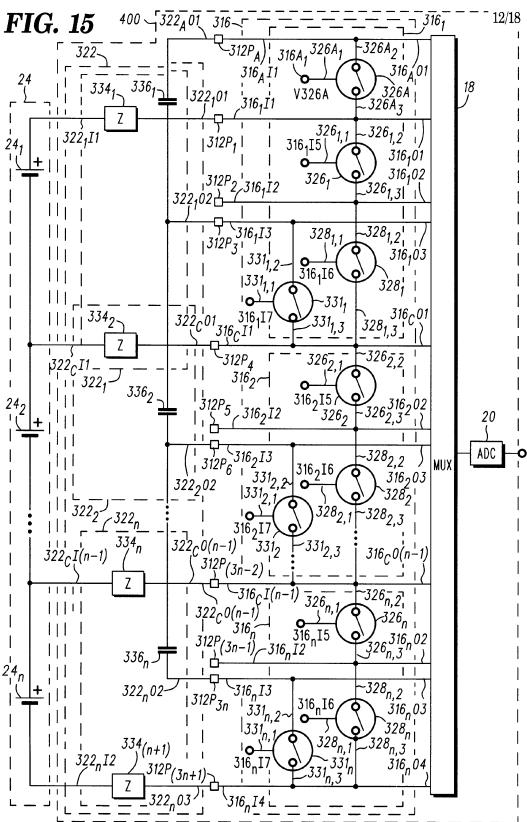


FIG. 14

【図15】



【 図 1 6 】

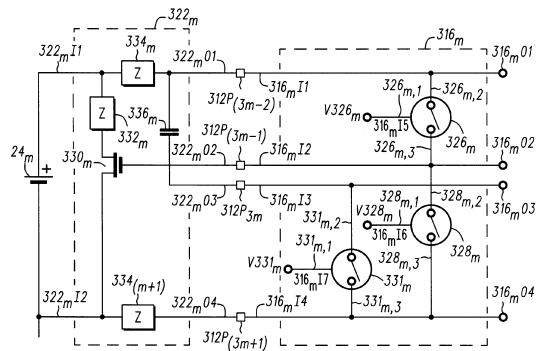
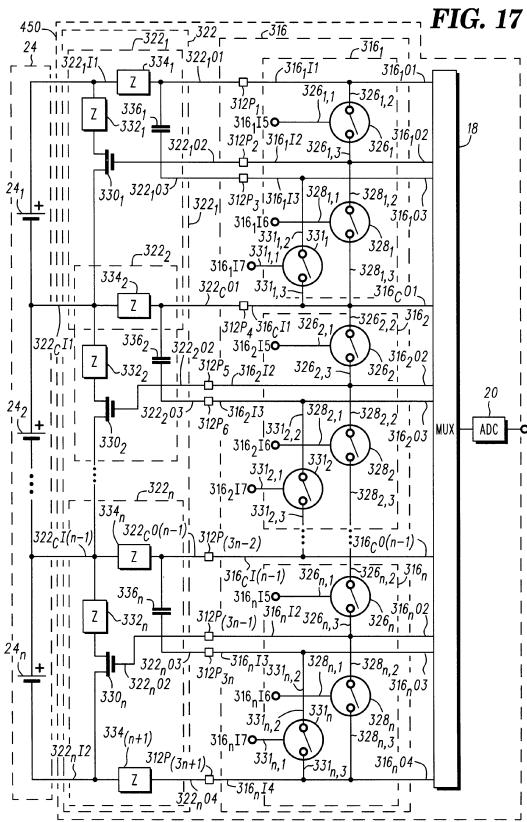
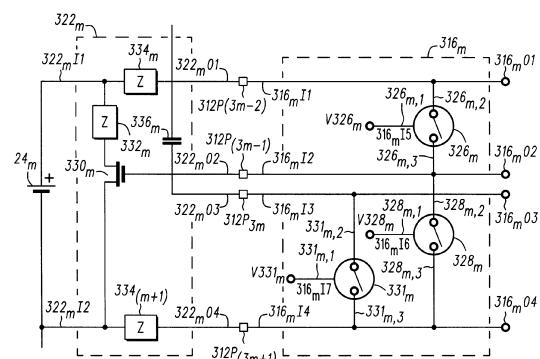


FIG. 16

【図17】

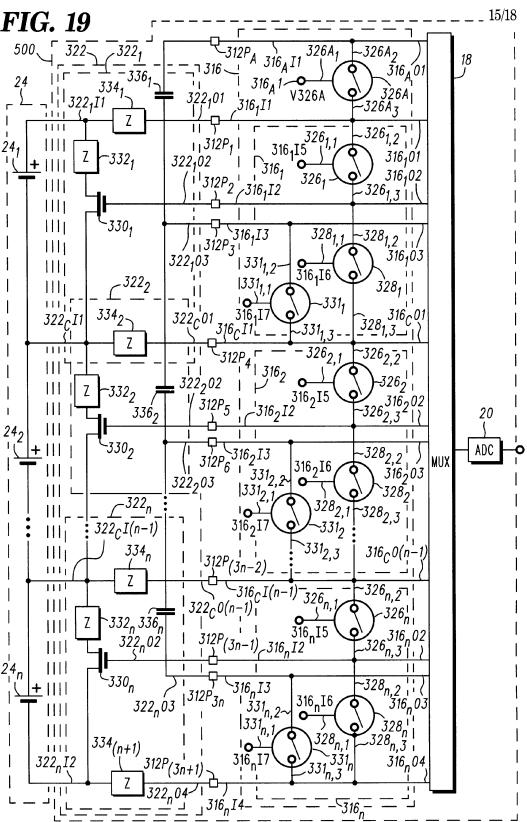


【 図 1 8 】



(3011)
FIG. 18

【図19】



【 図 2 0 】

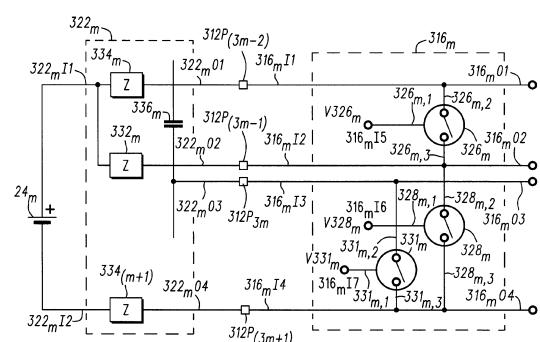
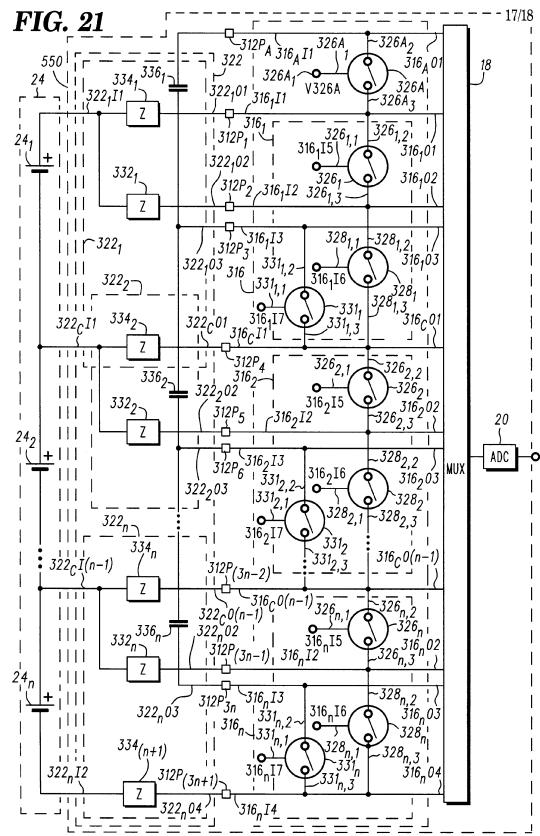


FIG. 20

【図 2 1】



【図 2 2】

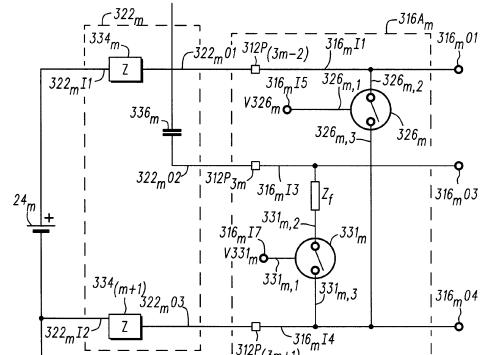


FIG. 22

【図 2 3】

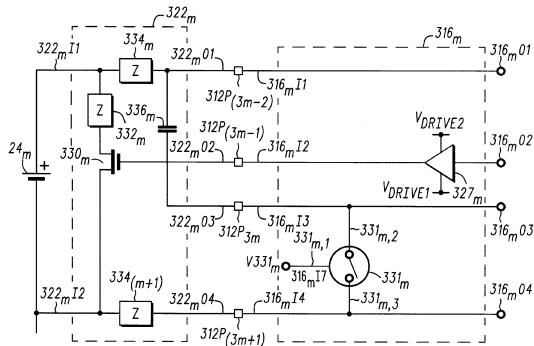


FIG. 23

【図 2 4】

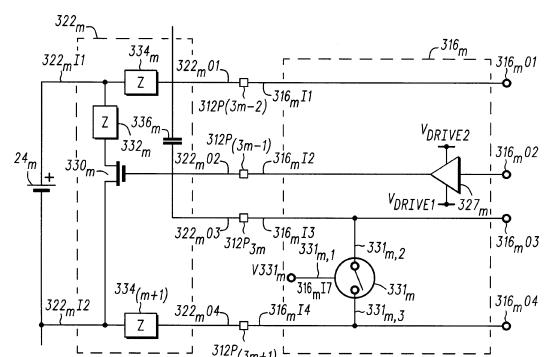


FIG. 24

フロントページの続き

(72)発明者 バート・デ・コック

ベルギー王国 3150 ウェスペラール(ハーヒト) パッデンブルストラート8

(72)発明者 バーナード・ゲンティン

ベルギー王国 1160 アウデルゲム(ブリュッセル) アベニュー・アンリ・ド・ブルケール

13

審査官 稲葉 崇

(56)参考文献 特開2012-135140(JP,A)

特開2009-183025(JP,A)

特開2012-118003(JP,A)

特開2006-210244(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02J 7/00 - 7/12

H02J 7/34 - 7/36

H01M 10/42 - 10/48