

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6372019号  
(P6372019)

(45) 発行日 平成30年8月15日 (2018. 8. 15)

(24) 登録日 平成30年7月27日 (2018. 7. 27)

|                                 |                 |
|---------------------------------|-----------------|
| (51) Int. Cl.                   | F I             |
| <b>H O 2 J 7/02 (2016. 01)</b>  | H O 2 J 7/02 H  |
| <b>H O 1 M 10/48 (2006. 01)</b> | H O 1 M 10/48 P |

請求項の数 5 (全 51 頁)

|              |                               |           |                     |
|--------------|-------------------------------|-----------|---------------------|
| (21) 出願番号    | 特願2014-10374 (P2014-10374)    | (73) 特許権者 | 300057230           |
| (22) 出願日     | 平成26年1月23日 (2014. 1. 23)      |           | セミコンダクター・コンポーネンツ・イン |
| (65) 公開番号    | 特開2014-150712 (P2014-150712A) |           | ダストリーズ・リミテッド・ライアビリテ |
| (43) 公開日     | 平成26年8月21日 (2014. 8. 21)      |           | ィ・カンパニー             |
| 審査請求日        | 平成29年1月13日 (2017. 1. 13)      |           | アメリカ合衆国 アリゾナ州 85008 |
| (31) 優先権主張番号 | 13/753, 832                   |           | フェニックス イースト・マクドウェル  |
| (32) 優先日     | 平成25年1月30日 (2013. 1. 30)      |           | ・ロード5005            |
| (33) 優先権主張国  | 米国 (US)                       | (74) 代理人  | 100110799           |
| 前置審査         |                               |           | 弁理士 丸山 温道           |
|              |                               | (74) 代理人  | 100091915           |
|              |                               |           | 弁理士 本城 雅則           |
|              |                               | (74) 代理人  | 100099106           |
|              |                               |           | 弁理士 本城 吉子           |

最終頁に続く

(54) 【発明の名称】 モニタおよび制御モジュールならびに方法

(57) 【特許請求の範囲】

【請求項 1】

モニタ及び制御回路において、

第1入力端子、第1共通入力端子、第1出力端子、第2出力端子、及び第1共通出力端子を有する第1フィルタ回路であって、前記第1フィルタ回路の前記第1入力端子は、第1バッテリーセルの正極に接続され、かつ第1共通入力端子は、前記第1バッテリーセルの負極に接続するとともに第2バッテリーセルの正極に接続するために構成され、さらに、

第1及び第2端子を有する第1インピーダンス素子であって、前記第1インピーダンス素子の前記第1端子は、前記第1フィルタ回路の前記第1入力端子として動作し、かつ前記第1インピーダンス素子の前記第2端子は、前記第1フィルタ回路の前記第1出力端子として動作する、第1インピーダンス素子、

第1及び第2端子を有する第1共通インピーダンス素子であって、前記第1共通インピーダンス素子の前記第1端子は、前記第1フィルタ回路の前記第1共通入力端子として動作し、かつ前記第1共通インピーダンス素子の前記第2端子は、前記第1フィルタ回路の前記第1共通出力端子として動作する、第1共通インピーダンス素子、及び、

第1端子及び第2端子を有する第1キャパシタであって、前記第1キャパシタの前記第1端子は、前記第1フィルタ回路の前記第2出力端子に結合される第1キャパシタ、を含む第1フィルタ回路と、

第1共通入力端子、第2共通入力端子、第1出力端子、第1共通出力端子、及び第2共通出力端子を有する第2フィルタ回路であって、前記第2共通入力端子は、前記第2パッ

10

20

テリセルの負極に接続するために構成され、さらに、

前記第 1 共通インピーダンス素子、

第 1 及び第 2 端子を有する第 2 共通インピーダンス素子であって、前記第 2 共通インピーダンス素子の前記第 1 端子は、前記第 2 フィルタ回路の前記第 2 共通入力端子として動作し、かつ前記第 2 共通インピーダンス素子の前記第 2 端子は、前記第 2 フィルタ回路の前記第 2 共通出力端子として動作する、第 2 共通インピーダンス素子、及び、

第 1 端子及び第 2 端子を有する第 2 キャパシタであって、前記第 2 キャパシタの第 1 端子は、前記第 2 フィルタ回路の前記第 1 出力端子に結合され、前記第 2 端子は前記第 1 共通インピーダンス素子の前記第 2 端子、または前記第 1 キャパシタの前記第 1 端子のいずれかに結合される、第 2 キャパシタ、

10

を含む第 2 フィルタ回路と、

第 1、第 2 及び第 3 入力端子、並びに、第 1 及び第 2 スイッチング入力端子を有するスイッチングネットワークにおいて、前記スイッチングネットワークの前記第 1 入力端子は、前記第 1 フィルタ回路の前記第 1 出力端子に結合され、前記スイッチングネットワークの前記第 2 入力端子は、前記第 1 フィルタ回路の前記第 1 共通出力端子に結合され、前記第 1 スイッチング入力端子は、前記第 1 フィルタ回路の前記第 2 出力端子に結合され、前記第 3 入力端子は、前記第 2 フィルタ回路の前記第 2 共通出力端子に結合され、前記第 2 スイッチング入力端子は、前記第 2 フィルタ回路の前記第 1 出力端子に結合され、

さらに、

制御端子、第 1 電流供給端子、及び第 2 電流供給端子を有する第 1 スイッチング素子であって、前記第 1 スイッチング素子の前記第 1 電流供給端子は、前記第 1 フィルタ回路の前記第 1 共通出力端子に結合され、前記第 1 スイッチング素子の前記第 2 電流供給端子は、前記第 1 フィルタ回路の前記第 2 出力端子に結合される、第 1 スイッチング素子、及び、

20

制御端子、第 1 電流供給端子、及び第 2 電流供給端子を有する第 2 スイッチング素子であって、前記第 2 スイッチング素子の前記第 1 電流供給端子は、前記第 2 フィルタ回路の前記第 2 共通出力端子に結合され、前記第 2 スイッチング素子の前記第 2 電流供給端子は、前記第 2 フィルタ回路の前記第 1 出力端子に結合される、第 2 スイッチング素子、

を含むスイッチングネットワークと、

から構成されることを特徴とするモニタ及び制御回路。

30

#### 【請求項 2】

第 1 バッテリセルの正極に接続するために構成される第 1 端子、前記第 1 バッテリセルの負極に接続するために構成され、かつ第 2 バッテリセルの正極に接続するために構成される第 2 端子、及び、前記第 2 バッテリセルの負極に接続するために構成される第 3 端子を有するモニタ及び制御回路において、

第 1 共通端子、第 2 共通端子、第 3 共通端子、第 1 スイッチングネットワーク入力端子、及び、第 2 スイッチングネットワーク入力端子を有するスイッチングネットワークであって、

制御端子、及び、第 1 及び第 2 電流供給端子を有する第 1 サンプリングスイッチであって、前記第 1 サンプリングスイッチの前記第 1 電流供給端子は、前記スイッチングネットワークの前記第 2 共通端子に結合され、前記第 1 サンプリングスイッチの前記第 2 電流供給端子は、前記スイッチングネットワークの前記第 1 スイッチングネットワーク入力端子に結合される、第 1 サンプリングスイッチ、及び

40

制御端子、及び、第 1 及び第 2 電流供給端子を有する第 2 サンプリングスイッチであって、前記第 2 サンプリングスイッチの前記第 1 電流供給端子は、前記スイッチングネットワークの前記第 3 共通端子に結合され、前記第 2 サンプリングスイッチの前記第 2 電流供給端子は、前記スイッチングネットワークの前記第 2 スイッチングネットワーク入力端子に結合される、第 2 サンプリングスイッチ、を含むスイッチングネットワークと、

第 1 端子及び第 2 端子を有する第 1 インピーダンス素子であって、前記第 1 インピーダンス素子の前記第 1 端子は、前記モニタ及び制御回路の前記第 1 端子に結合され、前記

50

第 1 インピーダンス素子の前記第 2 端子は、前記スイッチングネットワークの前記第 1 共通端子に結合される、第 1 インピーダンス素子と、

第 1 端子及び第 2 端子を有する第 1 エネルギー貯蔵素子であって、前記第 1 エネルギー貯蔵素子の前記第 1 端子は、前記スイッチングネットワークの前記第 1 スwitchングネットワーク入力端子に結合される、第 1 エネルギー貯蔵素子と、

第 1 端子及び第 2 端子を有する第 2 インピーダンス素子であって、前記第 2 インピーダンス素子の前記第 1 端子は、前記モニタ及び制御回路の前記第 2 端子に結合され、前記第 2 インピーダンス素子の前記第 2 端子は、前記スイッチングネットワークの前記第 2 共通端子に結合される、第 2 インピーダンス素子と、

第 1 端子及び第 2 端子を有する第 2 エネルギー貯蔵素子であって、前記第 2 エネルギー貯蔵素子の前記第 1 端子は、前記スイッチングネットワークの前記第 2 スwitchングネットワーク入力端子に結合され、前記第 2 エネルギー貯蔵素子の前記第 2 端子は、前記第 2 インピーダンス素子の前記第 2 端子、もしくは前記第 1 エネルギー貯蔵素子の前記第 1 端子のいずれかに結合される、第 2 エネルギー貯蔵素子と、

10

第 1 端子及び第 2 端子を有する第 3 インピーダンス素子であって、前記第 3 インピーダンス素子の前記第 1 端子は、前記モニタ及び制御回路の前記第 3 端子に結合される、第 3 インピーダンス素子と、

から構成されることを特徴とするモニタ及び制御回路。

#### 【請求項 3】

第 1 及び第 2 端子を有する第 4 インピーダンス素子であって、前記第 4 インピーダンス素子の前記第 1 端子は、前記第 1 サンプリングスイッチの前記第 2 電流供給端子に結合され、前記第 4 インピーダンス素子の前記第 2 端子は、前記スイッチングネットワークの前記第 1 スwitchングネットワーク入力端子に結合される、第 4 インピーダンス素子と、

20

第 1 及び第 2 端子を有する第 5 インピーダンス素子であって、前記第 5 インピーダンス素子の前記第 1 端子は、前記第 2 サンプリングスイッチの前記第 2 電流供給端子に結合され、前記第 5 インピーダンス素子の前記第 2 端子は、前記スイッチングネットワークの前記第 2 スwitchングネットワーク入力端子に結合される、第 5 インピーダンス素子と、

から構成されることを特徴とする請求項 2 記載のモニタ及び制御回路。

#### 【請求項 4】

回路において、

30

第 1 バッテリセルの正極に接続するために構成される第 1 端子、前記第 1 バッテリセルの負極に接続するために構成され、かつ第 2 バッテリセルの正極に接続するために構成される第 2 端子、及び、前記第 2 バッテリセルの負極に接続するために構成される第 3 端子を有するフィルタ回路であって、前記フィルタ回路は、さらに第 1 共通出力端子、第 2 共通出力端子、第 3 共通出力端子、第 1 フィルタ出力端子、及び第 2 フィルタ出力端子を含み、

第 1 端子及び第 2 端子を有する第 1 インピーダンス素子であって、前記第 1 インピーダンス素子の前記第 1 端子は、前記フィルタ回路の前記第 1 端子として動作し、前記第 2 端子は前記第 1 共通出力端子に結合される第 1 インピーダンス素子、

第 1 端子及び第 2 端子を有する第 2 インピーダンス素子であって、前記第 2 インピーダンス素子の前記第 1 端子は、前記フィルタ回路の前記第 2 端子として動作し、前記第 2 インピーダンス素子の第 2 端子は前記第 2 共通出力端子に結合される第 2 インピーダンス素子、

40

第 1 端子及び第 2 端子を有する第 3 インピーダンス素子であって、前記第 3 インピーダンス素子の前記第 1 端子は、前記フィルタ回路の前記第 3 端子として動作し、前記第 3 インピーダンス素子の第 2 端子は前記第 3 共通出力端子に結合される第 3 インピーダンス素子、

第 1 端子及び第 2 端子を有する第 1 エネルギー貯蔵素子であって、前記第 1 エネルギー貯蔵素子の前記第 1 端子は、前記第 1 フィルタ出力端子に結合され、前記第 2 端子は前記第 1 共通出力端子に結合される第 1 エネルギー貯蔵素子、及び

50

第 1 端子及び第 2 端子を有する第 2 エネルギー貯蔵素子であって、前記第 2 エネルギー貯蔵素子の前記第 1 端子は、前記第 2 フィルタ出力端子に結合され、前記第 2 端子は前記第 2 共通出力端子に結合される第 2 エネルギー貯蔵素子を含むフィルタ回路と、

前記フィルタ回路の前記第 1 共通出力端子に結合される第 1 共通入力端子、前記フィルタ回路の前記第 2 共通出力端子に結合される第 2 共通入力端子、前記フィルタ回路の前記第 3 共通出力端子に結合される第 3 共通入力端子、前記第 1 フィルタ出力端子に結合される第 1 スwitchングネットワーク入力端子、及び前記第 2 フィルタ出力端子に結合される第 2 スwitchングネットワーク入力端子を有するスswitchングネットワークであって、前記スswitchングネットワークは、さらに制御端子、及び、第 1 及び第 2 電流供給端子を有する第 1 スwitchを備え、前記第 1 スwitchの前記第 1 端子は、前記スswitchングネットワークの前記第 2 共通入力端子に結合され、前記第 1 スwitchの前記第 2 端子は、前記スswitchングネットワークの前記第 1 スwitchングネットワーク入力端子に結合される、スswitchングネットワークと、

から構成されることを特徴とする回路。

#### 【請求項 5】

第 1 端子及び第 2 端子を有する第 4 インピーダンス素子であって、前記第 4 インピーダンス素子の前記第 1 端子は、前記第 1 スwitchの前記第 2 端子に直接結合され、前記第 4 インピーダンス素子の前記第 2 端子は、前記スswitchングネットワークの前記第 1 スwitchングネットワーク入力端子に直接結合される、第 4 インピーダンス素子と、

制御端子、及び、第 1 及び第 2 端子を有する第 2 スwitchであって、前記第 2 スwitchの前記第 1 端子は、前記スswitchングネットワークの前記第 3 共通入力端子に結合され、前記第 2 スwitchの前記第 2 端子は、前記スswitchングネットワークの前記第 2 スwitchングネットワーク入力端子に結合される、第 2 スwitchと、

第 1 端子及び第 2 端子を有する第 5 インピーダンス素子であって、前記第 5 インピーダンス素子の前記第 1 端子は、前記第 2 スwitchの前記第 2 端子に直接結合され、前記第 5 インピーダンス素子の前記第 2 端子は、前記スswitchングネットワークの前記第 2 スwitchングネットワーク入力端子に直接結合される、第 5 インピーダンス素子と、

から構成されることを特徴とする請求項 4 記載の回路。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、一般に、電子工学に関し、より詳細には、半導体デバイスおよび構造を形成する方法に関する。

#### 【背景技術】

#### 【0002】

電力貯蔵装置は、自動車、航空宇宙産業、航空会社、船舶、コンピュータ、通信、重機、遠隔感知等を含む多くの適用において用いられている。電力貯蔵装置は、電気負荷を駆動するために特定の定格電圧を提供する電源装置やバッテリーとして機能し得る。電力貯蔵装置は、並列または直列に結合されるいくつかの個別のバッテリーセルから成り得る。バッテリーの寿命は、バッテリーが充電および放電される方法に非常に依存し、セルを過充電したり過放電したりすることによって短くなる。加えて、バッテリースタックの全てのセルを同一のキャパシティで保持することが望ましい。これは、全てのセルをほぼ同一の開回路電圧で保持することに相当する。バッテリーの使用および 1 つのセルの過放電が、そのセルとバッテリーの寿命に影響を与える。バッテリー製造業者は、バッテリーセルにわたる電圧を測定するためにより良好かつより正確な測定技術を見出すことを常に目指している。測定技術の改善とともに、バッテリー製造業者は、バッテリースタック内でセル電圧を平衡化させる方法を模索している。

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0003】

したがって、バッテリスタックの電圧およびバッテリスタック内のセルの電圧を監視して平衡化させるための回路および方法を有することが有益であろう。コスト効率の高い回路および方法がさらに有利であろう。

【課題を解決するための手段】

【0004】

同様の参照記号が同様の要素を指定する添付の図面と併用される以下の発明を実施するための形態を読むことで、本発明はより良く理解されるであろう。

【図面の簡単な説明】

【0005】

【図1】本発明のある実施形態に係る、バッテリ監視および平衡化システムの一部のブロック図である。 10

【図2】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部のブロック図である。

【図3】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図4】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図5】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図6】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。 20

【図7】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図8】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図9】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図10】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図11】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。 30

【図12】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図13】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図14】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図15】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図16】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。 40

【図17】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図18】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図19】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図20】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模式図である。

【図21】本発明の別の実施形態に係る、バッテリ監視および平衡化システムの一部の模 50

式図である。

【図 2 2】本発明の別の実施形態に係る、バッテリー監視および平衡化システムの一部の模式図である。

【図 2 3】本発明の別の実施形態に係る、バッテリー監視および平衡化システムの一部の模式図である。

【図 2 4】本発明の別の実施形態に係る、バッテリー監視および平衡化システムの一部の模式図である。

【 0 0 0 6 】

説明の簡潔化および明確化のために、図面中の要素は必ずしも原寸に比例しておらず、異なる図面中の同一の参照記号は、同じ要素を示す。加えて、周知のステップおよび要素の説明および詳細は、説明の簡潔化のために省略される。本明細書で用いられる、電流供給する電極とは、M O S トランジスタのソースまたはドレイン、バイポーラトランジスタのエミッタまたはコレクタ、ダイオードのカソードまたはアノード等のデバイス中に電流を供給するデバイス要素を意味し、制御電極とは、M O S トランジスタのゲートまたはバイポーラトランジスタのベース等のデバイス中の電流フローを制御するデバイス素子を意味する。本明細書では、デバイスはある n チャネルもしくは p チャネルデバイスまたはある n 型もしくは p 型ドープ領域と説明されているが、本発明の一実施形態によれば、相補的なデバイスも可能であることが当業者には理解されよう。「中」、「間」、「とき」という単語は、本明細書で用いられるとき、動作開始すると即座に起こる動作を意味する正確な用語ではなく、伝搬遅延等の最初の動作によって開始される反応と最初の動作との間に小さいがある程度の遅延が存在し得ることを意味することが当業者は理解されるであろう。「ほぼ」、「約」、または「実質的に」という単語の使用は、要素の値が、述べられた値または位置に非常に近いことが想定されるパラメータを有することを意味する。しかしながら、当技術分野で周知であるように、値または位置が述べられたように正確であることを阻止する小さな差異が常に存在する。最大約 1 0 % (半導体のドープ濃度の場合、最大 2 0 %) の差異が、記載される精度の理想的な目標からの妥当な差異とみなされることが、当技術分野で定着している。

【 0 0 0 7 】

論理ゼロレベル ( $V_L$ ) はまた、論理低レベルまたは論理低電圧レベルと呼ばれ、論理ゼロ電圧の電圧レベルは、電源電圧および論理ファミリのタイプの関数であることに留意されたい。例えば、相補型モス (C M O S) 論理ファミリでは、論理ゼロ電圧は、電源電圧レベルの約 3 0 % であり得る。5 V で動作するトランジスタ・トランジスタ・ロジック (T T L) システムでは、論理 0 電圧レベルは約 0 . 8 ボルトであり、一方、5 V で動作する C M O S システムでは、論理 0 電圧レベルは約 1 . 5 ボルトである。論理 1 電圧レベル ( $V_H$ ) はまた、論理高電圧レベル、論理高電圧または論理 1 電圧とも呼ばれ、論理 0 電圧レベルと同様に論理高電圧レベルもまた、電源および論理ファミリのタイプの関数であり得る。例えば、C M O S システムでは、論理 1 電圧は、電源電圧レベルの約 7 0 % である。5 ボルトで動作する T T L システムでは、論理 1 電圧は約 2 . 4 ボルトであり、一方、5 ボルトで動作する C M O S システムの場合、論理 1 電圧は約 3 . 5 ボルトであり得る。

【発明を実施するための形態】

【 0 0 0 8 】

概して、本発明は、とりわけ、例えば、1 つ以上の電力セルを備えるコンポーネント等のコンポーネントの電圧を平衡化させるためのモジュールおよび方法を提供する。本発明の一実施形態によれば、インタフェース回路は、第 1 のコンポーネントの電圧を監視する動作モードで動作され、第 1 のコンポーネントの電圧をサンプリングする別の動作モードで動作され、かつ第 1 のコンポーネントの電圧を平衡化させるさらに別の動作モードで動作される。

【 0 0 0 9 】

各種実施形態によれば、モジュールは、一体となって統合されたインタフェースまたは

10

20

30

40

50

スイッチングネットワーク、ならびに、例えば、トランジスタおよびレジスタ、または平衡化を達成するためにこのインタフェースまたはスイッチングネットワークと一体となって統合されるレジスタ等の素子を含む。

#### 【0010】

本発明の別の実施形態によれば、1つ以上の電力セルとインタフェースをとる方法であって、この方法が、第1スイッチング素子が第1スイッチング素子構成になるように構成され、第2スイッチング素子の第2スイッチング素子構成に形成されるとこれら1つ以上の電力セルの内の第1電力セルの電圧を監視することと、第1スイッチング素子が第2スイッチング素子構成になるように構成されており、第2スイッチング素子の第2スイッチング素子構成に形成されると第1電力セルからサンプリングされた電圧を発生させることと、第2スイッチング素子の第1スイッチング素子構成に形成されると第1電力セルの電圧を平衡化させることと、を含む。

10

#### 【0011】

別の実施形態によれば、第1、第2および第3端子を有する第1スイッチングネットワークと、第1スイッチングネットワークの第1と第2端子間に結合された第1エネルギー貯蔵素子と、第1スイッチングネットワークの第1端子に結合された第1インピーダンス素子と、第1スイッチングネットワークの第3端子に結合された第2インピーダンス素子と、を備えるモジュールが提供される。

#### 【0012】

図1は、フィルタ回路22に接続された制御モジュール12を備える電力セルモニタおよび制御回路10のブロック図である。電力セルモニタおよび制御回路10は、電力貯蔵装置24に接続されている。制御モジュール12は、制御モジュール12の入力部に接続されたまたは代替的に、制御モジュール12の入力部として機能する入力部と、アナログデジタルコンバータ(ADC)20に接続された出力部を有するマルチプレクサ(MUX)18の入力部に接続された出力部と、を有するインタフェースネットワーク16を含む。電源貯蔵装置24は、それぞれ、制御回路10の対応するフィルタ部分22<sub>1</sub>、22<sub>2</sub>、・・・、22<sub>n</sub>に接続される複数の電力セル24<sub>1</sub>、24<sub>2</sub>、・・・、24<sub>n</sub>から成り得る。あるいは、電力貯蔵装置は、キャパシタ、燃料セル、バッテリー等から成り得る。インタフェースネットワーク16は、複数のスイッチング素子16<sub>1</sub>、16<sub>2</sub>、・・・、16<sub>n</sub>から成り得るが、ここで、スイッチング素子16<sub>1</sub>は、入力端子16<sub>1</sub>I1、16<sub>1</sub>I2、16<sub>1</sub>I3、16<sub>1</sub>I4、16<sub>1</sub>I5と、出力端子16<sub>1</sub>O1、16<sub>1</sub>O2、16<sub>1</sub>O3とを有し、スイッチング素子16<sub>2</sub>は、入力端子16<sub>2</sub>I1、16<sub>2</sub>I2、16<sub>2</sub>I3、16<sub>2</sub>I4、16<sub>2</sub>I5と、出力端子16<sub>2</sub>O1、16<sub>2</sub>O2、16<sub>2</sub>O3とを有し、スイッチング素子16<sub>n</sub>は、入力端子16<sub>n</sub>I1、16<sub>n</sub>I2、16<sub>n</sub>I3、16<sub>n</sub>I4、16<sub>n</sub>I5と、出力端子16<sub>n</sub>O1、16<sub>n</sub>O2および16<sub>n</sub>O3を有する。ある実施形態によれば、入力端子16<sub>1</sub>I3は入力端子16<sub>2</sub>I1に接続されて入力端子16<sub>c</sub>I1を形成し、入力端子16<sub>(n-1)</sub>I3は入力端子16<sub>n</sub>I1に接続されて入力端子16<sub>c</sub>I(n-1)を形成し；出力端子16<sub>1</sub>O3は出力端子16<sub>2</sub>O1に接続されて出力端子16<sub>c</sub>O1を形成し、出力端子16<sub>(n-1)</sub>O3は出力端子16<sub>n</sub>O1に接続されて出力端子16<sub>c</sub>O(n-1)を形成する。添字「n」は整数を表すことに留意されたい。

20

30

40

#### 【0013】

別の実施形態では、制御モジュール12は、入力ピンまたは入力リード線12P<sub>1</sub>、12P<sub>2</sub>、12P<sub>3</sub>、12P<sub>4</sub>、・・・、12P<sub>(2n-1)</sub>、12P<sub>2n</sub>、12P<sub>(2n+1)</sub>を有する半導体パッケージ中のモノリシック集積された半導体デバイスであり、ここで、nは、整数を表す。例えば、入力端子16<sub>1</sub>I1、16<sub>1</sub>I2、16<sub>c</sub>I1、16<sub>2</sub>I2、・・・、16<sub>c</sub>I(n-1)、16<sub>n</sub>I2および16<sub>n</sub>I3は、それぞれ、入力ピン12P<sub>1</sub>、12P<sub>2</sub>、12P<sub>3</sub>、12P<sub>4</sub>、・・・、12P<sub>(2n-1)</sub>、12P<sub>2n</sub>および12P<sub>(2n+1)</sub>に接続される。入力端子16<sub>1</sub>I1、16<sub>1</sub>I2、16<sub>c</sub>I1、16<sub>2</sub>I2、・・・、16<sub>c</sub>I(n-1)、16<sub>n</sub>I2、および16<sub>n</sub>I3は、それぞれ、入力ピン12P<sub>1</sub>、12P<sub>2</sub>、12P<sub>3</sub>、12P<sub>4</sub>、・・・、12P<sub>(2n-1)</sub>

50

、 $12P_{2n}$ 、および $12P_{(2n+1)}$ に直接に接続されているように図示されているが、これは本発明を制限するものではなく、他の回路要素を介して相互に接続されてもよい。あるいは、入力端子 $16_1I1$ 、 $16_1I2$ 、 $16_cI1$ 、 $16_2I2$ 、 $\dots$ 、 $16_cI(n-1)$ 、 $16_nI2$ および $16_nI3$ は、それぞれ、入力ピン $12P_1$ 、 $12P_2$ 、 $12P_3$ 、 $12P_4$ 、 $\dots$ 、 $12P_{(2n-1)}$ 、 $12P_{2n}$ および $12P_{(2n+1)}$ として機能し得る。

#### 【0014】

別の実施形態によれば、制御モジュール12およびフィルタ部分22はモノリシックに集積されて、集積半導体デバイスを形成している。制御モジュール12およびフィルタ部分22がモノリシックに集積されている実施形態では、入力ピン $12P_1$ 、 $12P_2$ 、 $12P_3$ 、 $12P_4$ 、 $\dots$ 、 $12P_{(2n-1)}$ 、 $12P_{2n}$ および $12P_{(2n+1)}$ は存在せず、入力端子 $22_1I1$ 、 $22_cI1$ 、 $22_cI(n-1)$ および $22_nI2$ が、入力ピンとして機能するか、あるいは、入力ピンに接続されている。

#### 【0015】

スイッチング素子 $16_1$ の入力端子 $16_1I4$ および $16_1I5$ は、それぞれ制御信号 $V26_1$ および $V28_1$ を受信するように結合されており、スイッチング素子 $16_2$ の入力端子 $16_2I4$ および $16_2I5$ は、それぞれ、制御信号 $V26_2$ および $V28_2$ を受信するように結合されており、スイッチング素子 $16_n$ の入力端子 $16_nI4$ および $16_nI5$ は、それぞれ、制御信号 $V26_n$ および $V28_n$ を受信するように結合されている。

#### 【0016】

スイッチング素子 $16_1$ 、 $\dots$ 、 $16_n$ の出力端子 $16_1O1$ 、 $16_1O2$ 、 $16_cO1$ 、 $16_2O2$ 、 $\dots$ 、 $16_cO(n-1)$ 、 $16_nO2$ および $16_nO3$ は、MUX18の対応する入力端子に接続されている。

#### 【0017】

フィルタ22は複数のフィルタ部分 $22_1$ 、 $22_2$ 、 $\dots$ 、 $22_n$ から成り、ここで、各フィルタ部分は、電力貯蔵装置24の対応する電力セルに接続されている入力端子と、インタフェースネットワーク16の対応する入力ピンに接続されている出力端子とを含む。フィルタ部分 $22_1$ は、入力端子 $22_1I1$ および $22_1I2$ と、出力端子 $22_1O1$ 、 $22_1O2$ および $22_1O3$ とを有し、フィルタ部分 $22_2$ は、入力端子 $22_2I1$ および $22_2I2$ と、出力端子 $22_2O1$ 、 $22_2O2$ および $22_2O3$ とを有し、フィルタ部分 $22_n$ は、入力端子 $22_nI1$ および $22_nI2$ と、出力端子 $22_nO1$ 、 $22_nO2$ および $22_nO3$ とを有する。ある実施形態によれば、入力端子 $22_1I2$ は入力端子 $22_2I1$ に接続されて入力端子 $22_cI1$ を形成し、入力端子 $22_{(n-1)}I2$ は入力端子 $22_nI1$ に接続されて入力端子 $22_cI(n-1)$ を形成する。出力端子 $22_1O3$ は出力端子 $22_2O1$ に接続されて出力端子 $22_cO1$ を形成し、出力端子 $22_{(n-1)}O3$ は出力端子 $22_nO1$ に接続されて出力端子 $22_cO(n-1)$ を形成する。制御モジュール12がモノリシック集積された半導体デバイスで、フィルタ22が個別の回路素子から形成されている実施形態では、出力端子 $22_1O1$ 、 $22_1O2$ 、 $22_cO1$ 、 $22_2O2$ 、 $\dots$ 、 $22_cO(n-1)$ 、 $22_nO2$ および $22_nO3$ は、それぞれ、入力ピン $12P_1$ 、 $12P_2$ 、 $12P_3$ 、 $12P_4$ 、 $\dots$ 、 $12P_{(2n-1)}$ 、 $12P_{2n}$ および $12P_{(2n+1)}$ に接続される。

#### 【0018】

入力端子 $22_1I1$ は、電力セル $24_1$ の正極に接続され、入力端子 $22_cI1$ は、それぞれ、電力セル $24_1$ および $24_2$ の負極および正極に接続される。入力端子 $22_cI(n-1)$ は電力セル $24_n$ の正極に接続される。入力端子 $22_nI2$ は電力セル $24_n$ の負極に接続される。

#### 【0019】

スイッチング素子 $16_1$ 、 $16_2$ 、 $\dots$ 、 $16_n$ 、フィルタ部分 $22_1$ 、 $22_2$ 、 $\dots$ 、 $22_n$ および電力セル $24_1$ 、 $24_2$ 、 $\dots$ 、 $24_n$ の個数は、本発明の制限で

10

20

30

40

50



はないことに留意されたい。

#### 【 0 0 2 0 】

完全を期すために、図 2 は、それぞれ、4つのフィルタ部分 2 2<sub>1</sub>、2 2<sub>2</sub>、2 2<sub>3</sub>、および 2 2<sub>4</sub> に接続された 4つのスイッチング素子 1 6<sub>1</sub>、1 6<sub>2</sub>、1 6<sub>3</sub>、および 1 6<sub>4</sub> を備える電力セルモニタおよび制御回路 1 0 A を説明するために包含される。したがって、制御回路 1 0 A は、4つの電力貯蔵装置 2 4<sub>1</sub>、2 4<sub>2</sub>、2 4<sub>3</sub> および 2 4<sub>4</sub> に接続される。4つのスイッチング素子、4つのフィルタ部分および 4つの電力貯蔵装置が図 2 に図示されているが、これは本発明の制限ではない、すなわち、4つより多いまたは少ないスイッチング素子や、フィルタ部分や、電力貯蔵装置が存在し得る。より具体的には、

10  
スイッチング素子 1 6<sub>1</sub> は、入力端子 1 6<sub>1</sub> I 1、1 6<sub>1</sub> I 2、1 6<sub>1</sub> I 3、1 6<sub>1</sub> I 4 および 1 6<sub>1</sub> I 5 と、出力端子 1 6<sub>1</sub> O 1、1 6<sub>1</sub> O 2 および 1 6<sub>1</sub> O 3 と、を有し；スイッチング素子 1 6<sub>2</sub> は、入力端子 1 6<sub>2</sub> I 1、1 6<sub>2</sub> I 2、1 6<sub>2</sub> I 3、1 6<sub>2</sub> I 4 および 1 6<sub>2</sub> I 5 と出力端子 1 6<sub>2</sub> O 1、1 6<sub>2</sub> O 2 および 1 6<sub>2</sub> O 3 と、を有し、スイッチング素子 1 6<sub>3</sub> は、入力端子 1 6<sub>3</sub> I 1、1 6<sub>3</sub> I 2、1 6<sub>3</sub> I 3、1 6<sub>3</sub> I 4 および 1 6<sub>3</sub> I 5 と出力端子 1 6<sub>3</sub> O 1、1 6<sub>3</sub> O 2 および 1 6<sub>3</sub> O 3 と、を有し、スイッチング素子 1 6<sub>4</sub> は、入力端子 1 6<sub>4</sub> I 1、1 6<sub>4</sub> I 2、1 6<sub>4</sub> I 3、1 6<sub>4</sub> I 4 および 1 6<sub>4</sub> I 5 と出力端子 1 6<sub>4</sub> O 1、1 6<sub>4</sub> O 2 および 1 6<sub>4</sub> O 3 と、を有する。ある実施形態によれば、入力端子 1 6<sub>1</sub> I 3 は入力端子 1 6<sub>2</sub> I 1 に接続されて入力端子 1 6<sub>c</sub> I 1 を形成し、入力端子 1 6<sub>2</sub> I 3 は入力端子 1 6<sub>3</sub> I 1 に接続されて入力端子 1 6<sub>c</sub> I 2 を形成し、入力端子 1 6<sub>3</sub> I 3 は入力端子 1 6<sub>4</sub> I 1 に接続されて入力端子 1 6<sub>c</sub> I 3 を形成し、出力端子 1 6<sub>1</sub> O 3 は出力端子 1 6<sub>2</sub> O 1 に接続されて出力端子 1 6<sub>c</sub> O 1 を形成し、出力端子 1 6<sub>2</sub> O 3 は出力端子 1 6<sub>3</sub> O 1 に接続されて出力端子 1 6<sub>c</sub> O 2 を形成し、出力端子 1 6<sub>3</sub> O 3 は出力端子 1 6<sub>4</sub> O 1 に接続されて出力端子 1 6<sub>c</sub> O 3 を形成し得る。

20

#### 【 0 0 2 1 】

スイッチング素子 1 6<sub>1</sub> の入力端子 1 6<sub>1</sub> I 4 および 1 6<sub>1</sub> I 5 は、それぞれ、制御信号 V 2 6<sub>1</sub> および V 2 8<sub>1</sub> を受信するように結合されており、スイッチング素子 1 6<sub>2</sub> の入力端子 1 6<sub>2</sub> I 4 および 1 6<sub>2</sub> I 5 は、それぞれ、制御信号 V 2 6<sub>2</sub> および V 2 8<sub>2</sub> を受信するように結合されており、スイッチング素子 1 6<sub>3</sub> の入力端子 1 6<sub>3</sub> I 4 および 1 6<sub>3</sub> I 5 は、それぞれ、制御信号 V 2 6<sub>3</sub> および V 2 8<sub>3</sub> を受信するように結合されており、スイッチング素子 1 6<sub>4</sub> の入力端子 1 6<sub>4</sub> I 4 および 1 6<sub>4</sub> I 5 は、それぞれ、制御信号 V 2 6<sub>4</sub> および V 2 8<sub>4</sub> を受信するように結合されている。

30

#### 【 0 0 2 2 】

それぞれ、スイッチング素子 1 6<sub>1</sub>、1 6<sub>2</sub>、1 6<sub>3</sub> および 1 6<sub>4</sub> の出力端子 1 6<sub>1</sub> O 1、1 6<sub>1</sub> O 2、1 6<sub>c</sub> O 1、1 6<sub>2</sub> O 2、1 6<sub>c</sub> O 2、1 6<sub>3</sub> O 2、1 6<sub>c</sub> O 3、1 6<sub>4</sub> O 2、および 1 6<sub>4</sub> O 3 は、MUX 1 8 の対応する入力端子に接続される。

#### 【 0 0 2 3 】

フィルタ 2 2 は複数のフィルタ部分 2 2<sub>1</sub>、2 2<sub>2</sub>、2 2<sub>3</sub> および 2 2<sub>4</sub> から成り、ここで、各フィルタ部分は、電力貯蔵装置 2 4 の対応する電力セル 2 4<sub>1</sub>、2 4<sub>2</sub>、2 4<sub>3</sub> および 2 4<sub>4</sub> に接続された入力端子ならびに制御モジュール 1 2 のスイッチング素子の対応する入力ピンに接続された出力端子を含む。フィルタ部分 2 2<sub>1</sub> は、入力端子 2 2<sub>1</sub> I 1 および 2 2<sub>1</sub> I 2 と出力端子 2 2<sub>1</sub> O 1、2 2<sub>1</sub> O 2 および 2 2<sub>1</sub> O 3 と、を有し、フィルタ部分 2 2<sub>2</sub> は、入力端子 2 2<sub>2</sub> I 1 および 2 2<sub>2</sub> I 2 と出力端子 2 2<sub>2</sub> O 1、2 2<sub>2</sub> O 2 および 2 2<sub>2</sub> O 3 と、を有し、フィルタ部分 2 2<sub>3</sub> は、入力端子 2 2<sub>3</sub> I 1 および 2 2<sub>3</sub> I 2 と出力端子 2 2<sub>3</sub> O 1、2 2<sub>3</sub> O 2 および 2 2<sub>3</sub> O 3 と、を有し、フィルタ部分 2 2<sub>4</sub> は、入力端子 2 2<sub>4</sub> I 1 および 2 2<sub>4</sub> I 2 と出力端子 2 2<sub>4</sub> O 1、2 2<sub>4</sub> O 2 および 2 2<sub>4</sub> O 3 と、を有する。ある実施形態によれば、入力端子 2 2<sub>1</sub> I 2 は入力端子 2 2<sub>2</sub> I 1 に接続されて入力端子 2 2<sub>c</sub> I 1 を形成し、入力端子 2 2<sub>2</sub> I 2 は入力端子 2 2<sub>3</sub> I 1 に接続されて入力端子 2 2<sub>c</sub> I 2 を形成し、入力端子 2 2<sub>3</sub> I 2 は入力端子 2 2<sub>4</sub> I 1 に接続されて入力端子 2 2<sub>c</sub> I 3 を形成する。入力端子 2 2<sub>1</sub> I 1 は、電力セル 2 4

40

50

$1$  の正極に接続され、入力端子  $22_c I 1$  は、それぞれ、電力セル  $24_1$  および  $24_2$  の負極および正極に接続される。入力端子  $22_c I 2$  は、それぞれ、電力セル  $24_2$  および  $24_3$  の負極および正極に接続される。入力端子  $22_c I 3$  は、それぞれ、電力セル  $24_3$  および  $24_4$  の負極および正極に接続される。入力端子  $22_4 I 2$  は、電力セル  $24_4$  の負極に接続される。

#### 【0024】

出力端子  $22_1 O 3$  は出力端子  $22_2 O 1$  に接続されて出力端子  $22_c O 1$  を形成し、出力端子  $22_2 O 3$  は出力端子  $22_3 O 1$  に接続されて出力端子  $22_c O 2$  を形成し、出力端子  $22_3 O 3$  は出力端子  $22_4 O 1$  に接続されて出力端子  $22_c O 3$  を形成し得る。出力端子  $22_1 O 1$  は入力ピン  $12 P_1$  に接続され、出力端子  $22_1 O 2$  は入力ピン  $12 P_2$  に接続され、出力端子  $22_c O 1$  は入力ピン  $12 P_3$  に接続され、出力端子  $22_2 O 2$  は入力ピン  $12 P_4$  に接続され、出力端子  $22_c O 2$  は入力ピン  $12 P_5$  に接続され、出力端子  $22_3 O 2$  は入力ピン  $12 P_6$  に接続され、出力端子  $22_c O 3$  は入力ピン  $12 P_7$  に接続され、出力端子  $22_4 O 2$  は入力ピン  $12 P_8$  に接続され、出力端子  $22_4 O 3$  は入力ピン  $12 P_9$  に接続される。

#### 【0025】

図3は、本発明の別の実施形態によれば、フィルタ部分  $22_m$  を介して電力セル  $24_m$  に接続されるインタフェースネットワーク  $16$  (図1および2を参照して説明した) のスイッチング素子またはスイッチング部分  $16_m$  の回路図である。図1のスイッチング素子  $16_1$ 、 $16_2$ 、 $\dots$ 、 $16_n$  が、スイッチング素子  $16_m$  から成り、かつ変数  $m$  が、整数  $1$ 、 $2$ 、 $\dots$ 、 $n$  を表すために用いられることに留意されたい。例えば、スイッチング素子  $16_1$  はスイッチング素子  $16_m$  に対応するが、ここで、 $m$  は、 $1$  に置き換えられ、スイッチング素子  $16_2$  はスイッチング素子  $16_m$  に対応するが、ここで、 $m$  は、 $2$  に置き換えられ、スイッチング素子  $16_n$  はスイッチング素子  $16_m$  に対応するが、ここで、 $m$  は、 $n$  に置き換えられる。同様に、図2のスイッチング素子  $16_1$ 、 $16_2$ 、 $16_3$ 、 $16_4$  は、スイッチング素子  $16_m$  から成り、変数  $m$  は、整数  $1$ 、 $2$ 、 $3$  および  $4$  を表すために用いられている。例えば、スイッチング素子  $16_1$  はスイッチング素子  $16_m$  に対応するが、ここで、 $m$  は、 $1$  に置き換えられ、スイッチング素子  $16_2$  はスイッチング素子  $16_m$  に対応するが、ここで、 $m$  は、 $2$  に置き換えられ、スイッチング素子  $16_3$  はスイッチング素子  $16_m$  に対応するが、ここで、 $m$  は、 $3$  に置き換えられ、スイッチング素子  $16_4$  はスイッチング素子  $16_m$  に対応するが、ここで、 $m$  は、 $4$  に置き換えられる。

#### 【0026】

スイッチング素子  $16_m$  はスイッチ  $26_m$  および  $28_m$  を含み、各スイッチ  $26_m$  および  $28_m$  は制御端子および1対の導電端子を含む。スイッチ  $26_m$  は電流制御素子または平衡化スイッチと呼ばれ、スイッチ  $28_m$  はサンプリングスイッチと呼ばれ得る。より具体的には、スイッチ  $26_m$  は、制御端子  $26_m$ 、 $1$ 、導電端子  $26_m$ 、 $2$  および導電端子  $26_m$ 、 $3$  を有する。導電端子  $26_m$ 、 $2$  は、入力端子  $16_m I 1$  および出力端子  $16_m O 1$  に接続される。導電端子  $26_m$ 、 $2$  は、端子  $16_m I 1$  および  $16_m O 1$  に接続され得るか、または代替的に、端子  $16_m I 1$  および  $16_m O 1$  は入/出力端子を形成し得ることに留意されたい。スイッチ  $28_m$  は、制御端子  $28_m$ 、 $1$ 、導電端子  $28_m$ 、 $2$  および導電端子  $28_m$ 、 $3$  を有する。導電端子  $28_m$ 、 $2$  は、導電端子  $26_m$ 、 $3$  ならびに端子  $16_m I 2$  および  $16_m O 2$  に接続される。導電端子  $28_m$ 、 $3$  は、入力端子  $16_m I 3$  および出力端子  $16_m O 3$  に接続される。導電端子  $28_m$ 、 $3$  は、端子  $16_m I 3$  および  $16_m O 3$  に接続され得るか、または代替的に、端子  $16_m I 3$  および  $16_m O 3$  は入/出力端子を形成し得ることに留意されたい。さらに、端子  $26_m$ 、 $1$  は、図1の端子  $16_1 I 4$ 、 $16_2 I 4$ 、 $\dots$ 、 $16_n I 4$  に対応し、端子  $28_m$ 、 $1$  は、図1の端子  $16_1 I 5$ 、 $16_2 I 5$ 、 $\dots$ 、 $16_n I 5$  に対応することに留意されたい。

#### 【0027】

フィルタ部分  $22_m$  は、入力端子  $22_m I 1$  に接続された、または代替的に、入力端子

10

20

30

40

50

2 2<sub>m</sub> I 1として機能する端子と、出力端子2 2<sub>m</sub> O 1に接続された、または代替的に、端子2 2<sub>m</sub> O 1として機能する端子と、を有するインピーダンス素子3 4<sub>m</sub>を備える。出力端子2 2<sub>m</sub> O 1は、エネルギー貯蔵素子3 6<sub>m</sub>を介して出力端子2 2<sub>m</sub> O 2に接続され得る。入力端子2 2<sub>m</sub> I 2は、インピーダンス素子3 4<sub>(m+1)</sub>を介して出力端子2 2<sub>m</sub> O 3に接続され得る。例えば、インピーダンス素子3 4<sub>m</sub>および3 4<sub>(m+1)</sub>はレジスタであり、エネルギー貯蔵素子3 6<sub>m</sub>はキャパシタである。インピーダンス素子3 4<sub>m</sub>および3 4<sub>(m+1)</sub>はレジスタにはかぎられないため、これらは図3では記号Zで表されている。スイッチング部分1 6<sub>m</sub>がモノリシック集積された半導体デバイスもしくはモノリシック集積された半導体デバイスのある部分であり、回路素子3 4<sub>m</sub>、3 4<sub>(m+1)</sub>および3 6<sub>m</sub>が個別の回路素子である実施形態では、回路素子3 4<sub>m</sub>、3 4<sub>(m+1)</sub>および3 6<sub>m</sub>は入力ピン1 2 P<sub>(2m-1)</sub>、1 2 P<sub>2m</sub>および1 2 P<sub>(2m+1)</sub>を介してスイッチング部分1 6<sub>m</sub>に接続される、すなわち、出力端子2 2<sub>m</sub> O 1は入力ピン1 2 P<sub>(2m-1)</sub>に接続され、出力端子2 2<sub>m</sub> O 2は入力ピン1 2 P<sub>2m</sub>に接続され、出力端子2 2<sub>m</sub> O 3は入力ピン1 2 P<sub>(2m+1)</sub>に接続される。

#### 【0028】

電力セル2 4<sub>m</sub>は、フィルタ部分2 2<sub>m</sub>の入力端子2 2<sub>m</sub> I 1に接続された正極と、フィルタ部分2 2<sub>m</sub>の入力端子2 2<sub>m</sub> I 2に接続された負極と、を有するバッテリーセルを備える。

#### 【0029】

出力端子2 2<sub>m</sub> O 1は入力端子1 6<sub>m</sub> I 1に電氣的に接続され、出力端子2 2<sub>m</sub> O 2は入力端子1 6<sub>m</sub> I 2に電氣的に接続され、出力端子2 2<sub>m</sub> O 3は入力端子1 6<sub>m</sub> I 3に電氣的に接続されることに留意されたい。

#### 【0030】

引き続き図3を参照すると、スイッチング部分1 6<sub>m</sub>は、フィルタリング継続観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。継続観察動作モードでは、電力セル2 4<sub>m</sub>にまたがる電圧を、スイッチング素子2 6<sub>m</sub>および2 8<sub>m</sub>をオープンまたはクローズするように構成することによって監視する。例えば、電力セル2 4<sub>m</sub>にまたがる電圧は、スイッチング素子2 6<sub>m</sub>をオープンするのに適切な制御電圧V 2 6<sub>m</sub>をスイッチング素子2 6<sub>m</sub>の制御端子に印加し、スイッチング素子2 8<sub>m</sub>をクローズするのに適切な制御電圧V 2 8<sub>m</sub>をスイッチング素子2 8<sub>m</sub>の制御端子に印加し、これによって、出力端子1 6<sub>m</sub> O 2を出力端子1 6<sub>m</sub> O 3に短絡させることによって監視することが可能である。

#### 【0031】

スイッチング素子2 8<sub>m</sub>をクローズすると、出力端子1 6<sub>m</sub> O 2が出力端子1 6<sub>m</sub> O 3に短絡され、キャパシタ3 6<sub>m</sub>が電力セル2 4<sub>m</sub>の電圧に実質的に充電される、すなわち、キャパシタ3 6<sub>m</sub>は、電力セル2 4<sub>m</sub>の電圧に実質的に等しい電圧にまで充電される。キャパシタ3 6<sub>m</sub>の電圧は、出力端子1 6<sub>m</sub> O 1と1 6<sub>m</sub> O 2間に出力される。MUX 1 8 (図1および2に示す)は、出力端子1 6<sub>m</sub> O 1と1 6<sub>m</sub> O 2間の電圧をA/Dコンバータ20に伝達するように構成されている。したがって、電力セル2 4<sub>m</sub>のフィルタリングされた電圧を表す電圧は、A/D C 20に伝達され、これによって電力セル2 4<sub>m</sub>にまたがる電圧を観察または監視する。

#### 【0032】

サンプルアンドホールド動作モードでは、電力セル2 4<sub>m</sub>にまたがる電圧を、スイッチング素子2 6<sub>m</sub>をオープンするのに適切な制御電圧V 2 6<sub>m</sub>をスイッチング素子2 6<sub>m</sub>の制御端子に印加し、スイッチング素子2 8<sub>m</sub>をクローズするのに適切な制御電圧V 2 8<sub>m</sub>をスイッチング素子2 8<sub>m</sub>の制御端子に印加し、これによって、出力端子1 6<sub>m</sub> O 2を出力端子1 6<sub>m</sub> O 3に短絡させることによって、サンプリングならびに記憶もしくは保持することが可能である。キャパシタ3 6<sub>m</sub>は、電力セル2 4<sub>m</sub>にまたがる電圧に実質的に等しい電圧に充電される、すなわち、キャパシタ3 6<sub>m</sub>は電力セル2 4<sub>m</sub>の電圧をサンプリングする。

10

20

30

40

50

## 【 0 0 3 3 】

電力セル  $24_m$  の電圧をサンプリングした後、スイッチング素子  $26_m$  をオープンするのに適した制御電圧  $V_{26_m}$  がスイッチング素子  $26_m$  の制御端子に維持され、スイッチング素子  $28_m$  をオープンするのに適した制御電圧  $V_{28_m}$  がスイッチング素子  $28_m$  の制御端子に印加される。MUX 18 および ADC 20 (図 1 および 2 に示す) は、出力端子  $16_m O 1$  および  $16_m O 2$  が高インピーダンスネットワークに接続されるように構成される。キャパシタ  $36_m$  の両端に現れるサンプリングされた電圧は保持される。キャパシタ  $36_m$  にまたがる電圧は、出力端子  $16_m O 1$  を出力端子  $16_m O 2$  間に出力される。MUX 18 は、出力端子  $16_m O 1$  と出力端子  $16_m O 2$  との間の電圧を AD コンバータ 20 に伝達するように構成される。したがって、電力セル  $24_m$  の電圧を表すサンプリングされた電圧は ADC 20 に伝達される。

10

## 【 0 0 3 4 】

平衡化動作モードでは、電力セル  $24_m$  にまたがる電圧は、スイッチング素子  $26_m$  をクローズするのに適切な制御電圧  $V_{26_m}$  をスイッチング素子  $26_m$  の制御端子に印加し、スイッチング素子  $28_m$  をクローズするのに適切な制御電圧  $V_{28_m}$  をスイッチング素子  $28_m$  の制御端子に印加することによって平衡化させることが可能である。したがって、インピーダンス素子  $34_m$ 、スイッチング素子  $26_m$ 、スイッチング素子  $28_m$  およびインピーダンス素子  $34_{(m+1)}$  を通過する平衡化電流によって、電力セル  $24_m$  が放電される。スイッチング素子  $26_m$  は平衡化スイッチまたはスイッチと呼ばれ、スイッチング素子  $28_m$  はサンプリングスイッチまたはスイッチと呼ばれ得る。

20

## 【 0 0 3 5 】

図 4 は、図 1 を参照して説明したように制御モジュール 12 およびフィルタ回路 22 を備え、図 3 を参照して説明したフィルタ回路 22 およびインタフェース回路 16 の回路実装物の実施形態をさらに含む電力セルモニタおよび制御回路 100 のブロック図である。図 1 の実施形態と同様に、図 4 に示すインタフェースネットワーク 16 のスイッチングネットワーク  $16_1$ 、 $16_2$ 、 $\dots$ 、 $16_n$  はスイッチング素子  $16_m$  から成り、ここで、変数  $m$  は、図 3 を参照して説明されるように、整数  $1$ 、 $2$ 、 $\dots$ 、 $n$  を表すために用いられる。例えば、スイッチングネットワーク  $16_1$  はスイッチング部分  $16_m$  に対応し、ここで、 $m$  は、 $1$  で置き換えられ、スイッチングネットワーク  $16_2$  はスイッチング部分  $16_m$  に対応し、ここで、 $m$  は、 $2$  で置き換えられ、スイッチングネットワーク  $16_n$  はスイッチング部分  $16_m$  に対応し、ここで、 $m$  は、 $n$  で置き換えられる。

30

## 【 0 0 3 6 】

制御回路 100 はバッテリー装置 24 に接続される。上述したように、制御モジュール 12 は、制御モジュール 12 の入力部に結合されるか、または代替的に、制御モジュール 12 の入力部として機能する入力端子および、アナログツェデジタルコンバータ (ADC) 20 に接続される出力部を有するマルチプレクサ (MUX) 18 の入力部に結合される出力端子を有するインタフェースネットワーク 16 を含む。インタフェースネットワーク 16 は、図 1 および 3 を参照して説明した。

## 【 0 0 3 7 】

フィルタ 22 は複数のフィルタ部分  $22_1$ 、 $22_2$ 、 $\dots$ 、 $22_n$  から成り、ここで、各フィルタ部分は、電力貯蔵装置 24 の対応する電力セル  $24_1$ 、 $24_2$ 、 $\dots$ 、 $24_n$  に接続されている入力端子と、スイッチングネットワーク  $16_1$ 、 $16_2$ 、 $\dots$ 、 $16_n$  の対応する入力端端子に接続されている出力端子と、を含む。フィルタ部分  $22_1$  は、入力端子  $22_1 I 1$  および  $22_c I 1$  と、出力端子  $22_1 O 1$ 、 $22_1 O 2$  および  $22_c O 1$  と、を有し、フィルタ部分  $22_2$  は、入力端子  $22_c I 1$  および  $22_c I 2$  と、出力端子  $22_c O 1$ 、 $22_2 O 2$  および  $22_c O 2$  と、を有し、フィルタ部分  $22_n$  は、入力端子  $22_c I (n-1)$  および  $22_n I 2$  と、出力端子  $22_c O (n-1)$ 、 $22_n O 2$  および  $22_n O 3$  と、を有する。

40

## 【 0 0 3 8 】

入力端子  $22_1 I 1$  は、電力セル  $24_1$  の正の端子に接続され、入力端子  $22_c I 1$  は

50

、それぞれ、電力セル  $24_1$  および  $24_2$  の負の端子および正の端子に接続される。入力端子  $22_c I(n-1)$  は電力セル  $24_n$  の正の端子に接続され、入力端子  $22_n I2$  は電力セル  $24_n$  の負の端子に接続される。

#### 【0039】

フィルタ部分  $22_1$  は、インピーダンス素子  $34_1$  および  $34_2$  と、エネルギー貯蔵素子  $36_1$  と、を備える。より具体的には、出力端子  $22_1 O1$  は、インピーダンス素子  $34_1$  を介して入力端子  $22_1 I1$  に、エネルギー貯蔵素子  $36_1$  を介して出力端子  $22_1 O2$  に接続される。入力端子  $22_c I1$  は、インピーダンス素子  $34_2$  を介して出力端子  $22_c O1$  に接続される。インピーダンス素子  $34_2$  はフィルタ部分  $22_1$  および  $22_2$  に対して共通であることに留意されたい。例えば、インピーダンス素子  $34_1$  および  $34_2$  はレジスタであり、エネルギー貯蔵素子  $36_1$  はキャパシタである。

10

#### 【0040】

フィルタ部分  $22_2$  は、インピーダンス素子  $34_2$  およびエネルギー貯蔵素子  $36_2$  を備える。より具体的には、出力端子  $22_c O1$  は、インピーダンス素子  $34_2$  を介して入力端子  $22_c I1$  に、エネルギー貯蔵素子  $36_2$  を介して出力端子  $22_2 O2$  に接続される。例えば、エネルギー貯蔵素子  $36_2$  はキャパシタである。類似の共有コンポーネントおよび接続部が、フィルタ部分  $22_1$  とフィルタ部分  $22_2$  との間に存在するように、フィルタ部分  $22_2$  と、フィルタ部分  $22_2$  に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、フィルタ部分  $22_2$  の全てのコンポーネントが図示されているわけではない。

20

#### 【0041】

フィルタ部分  $22_n$  は、インピーダンス素子  $34_n$  および  $34_{(n+1)}$  と、エネルギー貯蔵素子  $36_n$  と、を備える。より具体的には、出力端子  $22_c O(n-1)$  は、インピーダンス素子  $34_n$  を介して入力端子  $22_c I(n-1)$  に、エネルギー貯蔵素子  $36_n$  を介して出力端子  $22_n O2$  に接続される。出力端子  $22_c O(n-1)$  はまた、入力ピン  $12P_{(2n-1)}$  に接続される。入力端子  $22_n I2$  は、インピーダンス素子  $34_{(n+1)}$  を介して出力端子  $22_n O3$  に接続される。例えば、インピーダンス素子  $34_n$  および  $34_{(n+1)}$  はレジスタであり、エネルギー貯蔵素子  $36_n$  はキャパシタである。インピーダンス素子  $34_n$  および  $34_{(n+1)}$  はレジスタであることに限られないため、図4では記号Zで示されている、すなわち、これらは他のタイプのインピーダンス素子であり得る。スイッチング部分  $16_1$ 、 $16_2$ 、 $\dots$ 、 $16_n$  から成る図4のインタフェースネットワーク16は、フィルタリング継続観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。インタフェース回路16の動作モードは、図3を参照して説明されている。

30

#### 【0042】

図5は、本発明の別の実施形態によれば、フィルタ部分  $22_m$  を介して電力セル  $24_m$  に接続されるインタフェースネットワーク16（図1および2を参照して説明した）のスイッチング部分  $16_m$  の回路図である。図1のスイッチングネットワーク  $16_1$ 、 $16_2$ 、 $\dots$ 、 $16_n$  が、スイッチング部分  $16_m$  から成り、かつ変数  $m$  が、整数1、2、 $\dots$ 、 $n$  を表すために用いられることに留意されたい。例えば、スイッチングネットワーク  $16_1$  はスイッチング部分  $16_m$  に対応するが、ここで、 $m$  は、1に置き換えられ、スイッチングネットワーク  $16_2$  はスイッチング部分  $16_m$  に対応するが、ここで、 $m$  は、2に置き換えられ、スイッチング素子  $16_n$  はスイッチング部分  $16_m$  に対応するが、ここで、 $m$  は、 $n$  に置き換えられる。図5のスイッチング部分  $16_m$  は図3のスイッチング部分  $16_m$  に類似しているが、キャパシタ  $36_m$  の端子のうちの1つが入力ピン  $12P_{(2m-1)}$  に接続されていない点だけが異なる。したがって、キャパシタ  $36_m$  は、一方の端子は入力ピン  $12P_{2m}$  に接続されているが、他方の端子は別の回路（図6に示す）と共有されている。図3を参照して述べたように、スイッチング素子  $26_m$  は平衡化スイッチまたはスイッチと呼ばれ、スイッチング素子  $28_m$  はサンプリングスイッチまたはスイッチと呼ばれ得る。

40

50

## 【 0 0 4 3 】

図 6 は、図 1 を参照して説明したように制御モジュール 1 2 およびフィルタ回路 2 2 を備え、図 5 を参照して説明したフィルタ回路 2 2 およびインタフェース回路 1 6 の実装物の実施形態をさらに含む電力セルモニタおよび制御モジュール 1 5 0 のブロック図である。制御モジュール 1 5 0 は、バッテリー装置 2 4 に接続される。上述したように、制御モジュール 1 2 は、制御モジュール 1 2 の入力部に接続されるか、または代替的に、制御モジュール 1 2 の入力部として機能する入力端子と、アナログツードジタルコンバータ ( A D C ) 2 0 に接続される出力を有するマルチプレクサ ( M U X ) 1 8 の対応する入力部に接続される出力端子と、を有するインタフェースネットワーク 1 6 を含む。インタフェース回路 1 6 は、スイッチング部分 1 6 <sub>1</sub>、1 6 <sub>2</sub>、 $\cdots$ 、1 6 <sub>n</sub> およびスイッチング端子 2 6 A から成る。スイッチング部分 1 6 <sub>1</sub>、1 6 <sub>2</sub>、 $\cdots$ 、1 6 <sub>n</sub> は、図 4 を参照して説明されている。

10

## 【 0 0 4 4 】

スイッチング素子 2 6 A は、制御信号 V 2 6 A を受信するように結合された制御端子 2 6 A <sub>1</sub>、導電端子 2 6 A <sub>2</sub> および導電端子 2 6 A <sub>3</sub> を有する。導電端子 2 6 A <sub>2</sub> は、導電端子 1 6 <sub>A</sub> I 1 および出力端子 1 6 <sub>A</sub> O 1 に接続される。導電端子 2 6 A <sub>3</sub> は、入力端子 1 6 <sub>1</sub> I 1、出力端子 1 6 <sub>1</sub> O 1 および導電端子 2 6 <sub>1</sub>、<sub>2</sub> に接続される。

## 【 0 0 4 5 】

出力端子 1 6 <sub>A</sub> O 1、1 6 <sub>1</sub> O 1、1 6 <sub>1</sub> O 2、1 6 <sub>C</sub> O 1、1 6 <sub>2</sub> O 2、 $\cdots$ 、1 6 <sub>C</sub> O ( n - 1 )、1 6 <sub>n</sub> O 2、1 6 <sub>n</sub> O 3 は、M U X 1 8 の対応する入力端子に接続される。

20

## 【 0 0 4 6 】

フィルタ 2 2 は複数のフィルタ部分 2 2 <sub>1</sub>、2 2 <sub>2</sub>、 $\cdots$ 、2 2 <sub>n</sub> から成り、ここで、各フィルタ部分は、電力貯蔵装置 2 4 の対応する電力セル 2 4 <sub>1</sub>、2 4 <sub>2</sub>、 $\cdots$ 、2 4 <sub>n</sub> に接続される入力端子と、スイッチングネットワーク 1 6 <sub>1</sub>、1 6 <sub>2</sub>、 $\cdots$ 、1 6 <sub>n</sub> の対応する入力端子に接続されている出力端子と、を含む。フィルタ部分 2 2 <sub>1</sub> は、入力端子 2 2 <sub>1</sub> I 1 および 2 2 <sub>C</sub> I 1 ならびに出力端子 2 2 <sub>1</sub> O 1、2 2 <sub>1</sub> O 2 および 2 2 <sub>C</sub> O 1 を有し、フィルタ部分 2 2 <sub>2</sub> は、入力端子 2 2 <sub>C</sub> I 1 および 2 2 <sub>C</sub> I 2 ならびに出力端子 2 2 <sub>C</sub> O 1、2 2 <sub>2</sub> O 2 および 2 2 <sub>C</sub> O 2 を有し、フィルタ部分 2 2 <sub>n</sub> は、入力端子 2 2 <sub>C</sub> I ( n - 1 ) および 2 2 <sub>n</sub> I 2 ならびに出力端子 2 2 <sub>C</sub> O ( n - 1 )、2 2 <sub>n</sub> O 2 および 2 2 <sub>n</sub> O 3 を有する。

30

## 【 0 0 4 7 】

入力端子 2 2 <sub>1</sub> I 1 は、電力セル 2 4 <sub>1</sub> の正極に接続され、入力端子 2 2 <sub>C</sub> I 1 は、それぞれ、電力セル 2 4 <sub>1</sub> および 2 4 <sub>2</sub> の負極および正極に接続される。入力端子 2 2 <sub>C</sub> I ( n - 1 ) は電力セル 2 4 <sub>n</sub> の正極に接続され、入力端子 2 2 <sub>n</sub> I 2 は電力セル 2 4 <sub>n</sub> の負極に接続される。

## 【 0 0 4 8 】

フィルタ部分 2 2 <sub>1</sub> は、インピーダンス素子 3 4 <sub>1</sub> および 3 4 <sub>2</sub> とエネルギー貯蔵素子 3 6 <sub>1</sub> と、を備えるが、エネルギー貯蔵素子 3 6 <sub>1</sub> は、入力ピン 1 2 P <sub>A</sub> に接続された端子および入力ピン 1 2 P <sub>2</sub> に接続された端子を有する。出力端子 2 2 <sub>1</sub> O 1 は入力ピン 1 2 P <sub>1</sub> に接続される。入力端子 2 2 <sub>C</sub> I 1 はインピーダンス素子 3 4 <sub>2</sub> を介して出力端子 2 2 <sub>C</sub> O 1 に接続される。インピーダンス素子 3 4 <sub>2</sub> はフィルタ部分 2 2 <sub>1</sub> および 2 2 <sub>2</sub> に共通であることに留意されたい。例えば、インピーダンス素子 3 4 <sub>1</sub> および 3 4 <sub>2</sub> はレジスタであり、エネルギー貯蔵素子 3 6 <sub>1</sub> はキャパシタである。

40

## 【 0 0 4 9 】

フィルタ部分 2 2 <sub>2</sub> は、インピーダンス素子 3 4 <sub>2</sub> およびエネルギー貯蔵素子 3 6 <sub>2</sub> を備える。出力端子 2 2 <sub>C</sub> O 1 は、入力ピン 1 2 P <sub>3</sub> に接続される。エネルギー貯蔵素子 3 6 <sub>2</sub> の一方の端子は入力ピン 1 2 P <sub>2</sub> に接続され、キャパシタ 3 6 <sub>2</sub> の他方の端子は入力ピン 1 2 P <sub>4</sub> に接続される。例えば、インピーダンス素子 3 4 <sub>2</sub> はレジスタであり、エネルギー貯蔵素子 3 6 <sub>2</sub> はキャパシタである。類似の共有コンポーネントおよび接続部が、

50

フィルタ部分  $22_1$  とフィルタ部分  $22_2$  との間に存在するように、フィルタ部分  $22_2$  と、フィルタ部分  $22_2$  に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、フィルタ部分  $22_2$  の全てのコンポーネントが図示されているわけではない。

#### 【0050】

フィルタ部分  $22_n$  は、インピーダンス素子  $34_n$  および  $34_{(n+1)}$  とエネルギー貯蔵素子  $36_n$  と、を備える。出力端子  $22_{CO}(n-1)$  は、入力ピン  $12P_{(2n-1)}$  に接続される。入力端子  $22_{CI}(n-1)$  はインピーダンス素子  $34_n$  を介して出力端子  $22_{CO}(n-1)$  に接続され、入力端子  $22_{OI}2$  はインピーダンス素子  $34_{(n+1)}$  を介して出力端子  $22_{O3}$  に接続される。出力端子  $22_{O3}$  は、入力ピン  $12P_{(2n+1)}$  に接続される。エネルギー貯蔵素子  $36_n$  は、入力ピン  $12P_{2n}$  に接続された端子を有し、また、隣接するフィルタ部分に接続された端子を有する。例えば、3つのフィルタ部分が存在する実施形態によれば、エネルギー貯蔵素子  $36_n$  のインデックス  $n$  は3である、すなわち、エネルギー貯蔵素子  $36_n$  は参照文字  $36_3$  で識別され、フィルタ部分  $22_2$  のエネルギー貯蔵素子  $36_2$  の端子に接続される端子を有する。例えば、インピーダンス素子  $34_n$  および  $34_{(n+1)}$  はレジスタであり、エネルギー貯蔵素子  $36_n$  はキャパシタである。インピーダンス素子  $34_1$ 、 $34_2$ 、 $\dots$ 、 $34_n$ 、 $34_{(n+1)}$  はレジスタであることに限られないため、これらは参照文字  $Z$  で識別される、すなわち、他のタイプのインピーダンス素子であり得ることになる。

#### 【0051】

別の実施形態によれば、セルの極性は、これらのセルが図1、2、4および6に示す反対の極性となるように切り替えられる。

#### 【0052】

引き続き図6を参照すると、スイッチング部分  $16_1$ 、 $\dots$ 、 $16_n$  を備えるインタフェースネットワーク  $16$  は、フィルタリング継続観察モード、微分サンプルアンドホールドモードおよび内部平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。フィルタリング継続観察動作モードでは、電力セル  $24_1$ 、 $\dots$ 、 $24_n$  にまたがる電圧を、スイッチング素子  $26_1$ 、 $\dots$ 、 $26_n$  をオープンするように構成し、スイッチング素子  $28_1$ 、 $\dots$ 、 $28_n$  と  $26A$  をクローズするように構成することによって監視する。例えば、電力セル  $24_1$  にまたがる電圧は、MUX 18の、出力端子  $16_{AO1}$  および  $16_{OI}2$  の電圧をADCコンバータ  $20$  に伝達する構成にตอบสนองして監視することが可能である。このように、電力セル  $24_1$  のフィルタリングされた電圧を表す電圧がADC  $20$  に伝達され、これによって電力セル  $24_1$  にまたがる電圧が観察または監視される。

#### 【0053】

同様に、電力セル  $24_2$  にまたがる電圧は、MUX 18の、出力端子  $16_{OI}2$  および  $16_{O2}$  の電圧をADCコンバータ  $20$  に伝達する構成にตอบสนองして監視することが可能である。このように、電力セル  $24_2$  にまたがる電圧を表す電圧がADC  $20$  に伝達され、これによって電力セル  $24_2$  にまたがる電圧が観察または監視される。

#### 【0054】

電力セル  $24_n$  にまたがる電圧は、MUX 18の、出力端子  $16_{(n-1)O2}$  および  $16_{O2}$  の電圧をADCコンバータ  $20$  に伝達する構成にตอบสนองして監視することが可能である。このように、電力セル  $24_n$  にまたがる電圧を表す電圧がADC  $20$  に伝達され、これによって電力セル  $24_n$  にまたがる電圧が観察または監視される。

#### 【0055】

微分サンプルアンドホールド動作モードでは、電力セル  $24_1$ 、 $\dots$ 、 $24_n$  にまたがる電圧を、それぞれ、スイッチング素子  $26A$ 、 $26_1$ 、 $\dots$ 、 $26_n$  および  $28_1$ 、 $\dots$ 、 $28_n$  の制御端子に対して適切な制御電圧  $V_{26A}$ 、 $V_{26_1}$ 、 $\dots$ 、 $V_{26_n}$ 、および  $V_{28_1}$ 、 $\dots$ 、 $V_{28_n}$  を印加することによってサンプリングならびに記憶もしくは保持することが可能である。サンプリングするために、スイッチング素子は

、フィルタリング継続観察モードを可能とするように構成される。このようなスイッチ構成にตอบสนองして、キャパシタ $36_1$ 、 $\dots$ 、 $36_n$ は、電力セル $24_1$ 、 $\dots$ 、 $24_n$ にまたがる電圧に実質的に等しい電圧まで充電される。キャパシタ $36_1$ 、 $\dots$ 、 $36_n$ は、フィルタとして機能し、サンプリングされた信号をフィルタリングする。スイッチング素子 $26_A$ および $28_1$ 、 $\dots$ 、 $28_n$ のオン抵抗( $R_{dson}$ )は、キャパシタ $36_1$ 、 $\dots$ 、 $36_n$ の両端子と直列になっており、これによって、同相雑音に付きものの問題が軽減される。

#### 【0056】

電力セル $24_1$ 、 $\dots$ 、 $24_n$ の電圧をサンプリングした後、情報は、これらのスイッチング素子の開放に好適な制御電圧 $V_{26_A}$ および $V_{28_1}$ 、 $\dots$ 、 $V_{28_n}$ を、それぞれ、スイッチング素子 $26_A$ および $28_1$ 、 $\dots$ 、 $28_n$ の制御端子に印加することによってキャパシタ $36_1$ 、 $\dots$ 、 $36_n$ 上に保持される。スイッチング素子 $26_1$ 、 $\dots$ 、 $26_n$ は、開放状態にとどまる、すなわち、フィルタリング継続観察モードのときと同じ状態を保つ。このスイッチング構成にตอบสนองして、キャパシタ $36_1$ 、 $\dots$ 、 $36_n$ は、電力セル $24_1$ 、 $\dots$ 、 $24_n$ のスタックから隔離され、これによって、それらの電圧が電力セル $24_1$ 、 $\dots$ 、 $24_n$ 上に出力される。

#### 【0057】

電力セル $24_1$ の電圧を表すサンプリングされた電圧は、MUX 18の、出力端子 $16_{A01}$ および $16_1O2$ の電圧をADC 20に伝達する構成にตอบสนองして監視することが可能である。

#### 【0058】

MUX 18の、出力端子 $16_1O2$ および $16_2O2$ の電圧をADコンバータ20に伝達する構成にตอบสนองして、電力セル $24_2$ の電圧を表すサンプリングされた電圧がADC 20に伝達される。

#### 【0059】

MUX 18の、出力端子 $16_{(n-1)}O2$ および $16_nO2$ の電圧をADコンバータ20に伝達する構成にตอบสนองして、電力セル $24_n$ の電圧を表すサンプリングされた電圧がADC 20に伝達される。

#### 【0060】

内部平衡化動作モードでは、電力セル $24_1$ にまたがる電圧は、スイッチング素子 $26_1$ および $28_1$ の閉鎖に好適な制御信号 $V_{26_1}$ および $V_{28_1}$ を、それぞれ、スイッチング素子 $26_1$ および $28_1$ の制御端子に印加することによって平衡化され得る。したがって、インピーダンス素子 $34_1$ 、スイッチング素子 $26_1$ 、スイッチング素子 $28_1$ およびインピーダンス素子 $34_2$ を通過する平衡化電流によって、電力セル $24_1$ が放電される。

#### 【0061】

その他の電力セルにまたがる電圧は、同様の方法を用いることによって平衡化させることが可能であることに留意されたい。

#### 【0062】

図7は、本発明の別の実施形態によれば、フィルタ部分 $22_m$ を介して電力セル $24_m$ に接続されるスイッチング部分 $16_m$ (図1および2を参照して説明した)の回路図である。図1のスイッチングネットワーク $16_1$ 、 $16_2$ 、 $\dots$ 、 $16_n$ が、スイッチング部分 $16_m$ から成り、かつ変数 $m$ が、整数1、2、 $\dots$ 、 $n$ を表すために用いられることに留意されたい。例えば、スイッチングネットワーク $16_1$ はスイッチング部分 $16_m$ に対応するが、ここで、 $m$ は、1に置き換えられ、スイッチングネットワーク $16_2$ はスイッチング部分 $16_m$ に対応するが、ここで、 $m$ は、2に置き換えられ、スイッチングネットワーク $16_n$ はスイッチング部分 $16_m$ に対応するが、ここで、 $m$ は、 $n$ に置き換えられる。同様に、図2のスイッチングネットワーク $16_1$ 、 $16_2$ 、 $16_3$ 、 $16_4$ は、スイッチング部分 $16_m$ から成り、変数 $m$ は、整数1、2、3および4を表すために用いられている。例えば、スイッチングネットワーク $16_1$ はスイッチング部分 $16_m$ に対応

10

20

30

40

50



するが、ここで、 $m$ は、1に置き換えられ、スイッチングネットワーク16<sub>2</sub>はスイッチング部分16<sub>m</sub>に対応するが、ここで、 $m$ は、2に置き換えられ、スイッチングネットワーク16<sub>3</sub>はスイッチング部分16<sub>m</sub>に対応するが、ここで、 $m$ は、3に置き換えられ、スイッチングネットワーク16<sub>4</sub>はスイッチング部分16<sub>m</sub>に対応するが、ここで、 $m$ は、4に置き換えられる。

#### 【0063】

スイッチング部分16<sub>m</sub>を、図3を参照して説明した。

#### 【0064】

フィルタ部分22<sub>m</sub>は、図3を参照して説明したフィルタ部分に類似しているが、平衡化素子30<sub>m</sub>および32<sub>m</sub>も含む点だけが異なる。例えば、平衡化素子30<sub>m</sub>および32<sub>m</sub>は、それぞれ、トランジスタおよびレジスタである。トランジスタ30<sub>m</sub>は、レジスタ32<sub>m</sub>を介して入力端子22<sub>m</sub>I1に接続されるドレイン端子と、入力端子22<sub>m</sub>I2に接続されるソース端子と、出力端子22<sub>m</sub>O2として機能するか、または代替的に、出力端子22<sub>m</sub>O2に接続されるゲート端子と、を有する。出力端子22<sub>m</sub>O1は、インピーダンス素子34<sub>m</sub>を介して入力端子22<sub>m</sub>I1に接続され、エネルギー貯蔵素子36<sub>m</sub>を介して出力端子22<sub>m</sub>O2に接続される。入力端子22<sub>m</sub>I2は、インピーダンス素子34<sub>(m+1)</sub>を介して出力端子22<sub>m</sub>O3に接続される。例えば、インピーダンス素子34<sub>m</sub>および34<sub>(m+1)</sub>はレジスタであり、エネルギー貯蔵素子36<sub>m</sub>はキャパシタである。レジスタ32<sub>m</sub>および34<sub>m</sub>は各々が、一般的には一緒に接続されて、入力端子22<sub>m</sub>I1に接続されるか、または代替的に、入力端子22<sub>m</sub>I1を形成する結節を形成する端子を有する。レジスタ32<sub>m</sub>の他方の端子はトランジスタ30<sub>m</sub>のドレイン端子に接続され、レジスタ34<sub>m</sub>の他方の端子はキャパシタ36<sub>m</sub>の端子に接続されて、出力端子22<sub>m</sub>O1として機能するか、または代替的に、出力端子22<sub>m</sub>O1に接続される結節を形成し得る。キャパシタ36<sub>m</sub>の他方の端子はトランジスタ30<sub>m</sub>のゲート端子に接続され、また、出力端子22<sub>m</sub>O2に接続されるか、または代替的に、出力端子22<sub>m</sub>O2として機能する結節を形成し得る。レジスタ34<sub>(m+1)</sub>は、トランジスタ30<sub>m</sub>のソース端子に接続されて、入力端子22<sub>m</sub>I2に接続されるか、または代替的に、入力端子22<sub>m</sub>I2として機能する結節を形成する端子と、出力端子22<sub>m</sub>O3として機能するか、または代替的に、出力端子22<sub>m</sub>O3に接続される端子と、を有する。インピーダンス素子32<sub>m</sub>、34<sub>m</sub>、および34<sub>(m-1)</sub>はレジスタであることに限られないため、図7では記号Zで示されている、すなわち、これらは他のタイプのインピーダンス素子であり得る。

#### 【0065】

電力セル24<sub>m</sub>は、フィルタ部分22<sub>m</sub>の入力端子22<sub>m</sub>I1に接続された正極と、フィルタ部分22<sub>m</sub>の入力端子22<sub>m</sub>I2に接続された負極と、を有するバッテリーセルを備える。

#### 【0066】

出力端子22<sub>m</sub>O1は入力ピン12P<sub>(2m-1)</sub>に電氣的に接続され、出力端子22<sub>m</sub>O2は入力ピン12P<sub>2m</sub>に電氣的に接続され、出力端子22<sub>m</sub>O3は入力ピン12P<sub>(2m+1)</sub>に電氣的に接続されることに留意されたい。

#### 【0067】

引き続き図7を参照すると、スイッチング部分16<sub>m</sub>は、フィルタリング継続監視または観察モードと、サンプルアンドホールドモードと、平衡化モードと、を含む少なくとも3つの互いに異なる動作モードで動作する。フィルタリング継続監視モードでは、スイッチング素子26<sub>m</sub>をオープンするのに適切な制御電圧V26<sub>m</sub>がスイッチング素子26<sub>m</sub>の制御端子に印加され、スイッチング素子28<sub>m</sub>をクローズするのに適切な制御電圧V28<sub>m</sub>がスイッチング素子28<sub>m</sub>の制御端子に印加される。スイッチング素子28<sub>m</sub>をクローズすることによって、平衡化トランジスタ30<sub>m</sub>のゲートツーソース電圧が実質的にゼロに設定され、これによって、平衡化トランジスタ30<sub>m</sub>がオフとなる。加えて、フィルタのレジスタ34<sub>m</sub>および34<sub>(m+1)</sub>を流れる電流は実質的にゼロであり、したがっ

10

20

30

40

50

て、キャパシタ  $36_m$  は、電力セル  $24_m$  にまたがる電圧に実質的に等しい電圧にまで充電される。MUX 18 (図 1 および 2 に図示する) は、出力端子  $16_m O 1$  および  $16_m O 2$  の電圧を A/D コンバータ 20 に伝達するように構成される。したがって、電力セル  $24_m$  の電圧を表す電圧が A/D C 20 に伝達され、これによって、電力セル  $24_m$  にまたがる電圧が観察または監視される。

#### 【0068】

サンプルアンドホールド動作モードでは、スイッチング素子  $26_m$  をオープンするのに適切な制御電圧  $V_{26_m}$  をスイッチング素子  $26_m$  の制御端子に印加し、スイッチング素子  $28_m$  をクローズするのに適切な制御電圧  $V_{28_m}$  をスイッチング素子  $28_m$  の制御端子に印加する。スイッチング素子  $28_m$  をクローズすることによって、平衡化トランジスタ  $30_m$  のゲートソース電圧が実質的にゼロに設定され、これによって、平衡化トランジスタ  $30_m$  がオフとなる。加えて、フィルタのレジスタ  $34_m$  および  $34_{(m+1)}$  を流れる電流は実質的にゼロであり、したがって、キャパシタ  $36_m$  は、電力セル  $24_m$  にまたがる電圧に実質的に等しい電圧にまで充電される、すなわち、キャパシタ  $36_m$  は電力セル  $24_m$  の電圧をサンプリングする。次に、スイッチング素子  $26_m$  をオープンするのに適切な制御電圧  $V_{26_m}$  がスイッチング素子  $26_m$  の制御端子に維持され、また、スイッチング素子  $28_m$  をオープンするのに適切な制御電圧  $V_{28_m}$  がスイッチング素子  $28_m$  の制御端子に印加される。MUX 18 および A/D C 20 (図 1 および 2 に図示する) は、出力端子  $16_m O 1$  および  $16_m O 2$  が高インピーダンスネットワークに接続されるように構成される。トランジスタ  $30_m$  のゲート端子は高インピーダンスの結節であるため、レジスタ  $34_m$  およびキャパシタ  $36_m$  を電流が流れることはない。したがって、キャパシタ  $36_m$  に現れるサンプリングされた電圧が保持される。キャパシタ  $36_m$  にまたがる電圧は、出力端子  $16_m O 1$  と  $16_m O 2$  との間に現れる。MUX 18 (図 1 および 2 に図示する) は、出力端子  $16_m O 1$  と出力端子  $16_m O 2$  間の電圧を A/D コンバータ 20 に伝達するように構成される。したがって、電力セル  $24_m$  の電圧を表すサンプリングされた電圧は A/D C 20 に伝達される。

#### 【0069】

平衡化動作モードでは、スイッチング素子  $26_m$  をクローズするのに適切な制御電圧  $V_{26_m}$  がスイッチング素子  $26_m$  の制御端子に印加され、スイッチング素子  $28_m$  をオープンするのに適切な制御電圧  $V_{28_m}$  がスイッチング素子  $28_m$  の制御端子に印加される。したがって、キャパシタ  $36_m$  はスイッチング素子  $26_m$  を通って放電され、トランジスタ  $30_m$  は導通状態になり、レジスタ  $32_m$  およびトランジスタ  $30_m$  を流れる平衡化電流によって電力セル  $24_m$  が放電される。図 3 を参照して検討したように、スイッチング素子  $26_m$  は平衡化スイッチまたはスイッチと呼び得るし、スイッチング素子  $28_m$  はサンプリングスイッチまたはスイッチと呼び得る。

#### 【0070】

図 8 は、図 1 を参照して説明したように制御モジュール 12 およびフィルタ回路 22 を備え、図 7 を参照して説明したようにフィルタ回路  $22_m$  およびイスイッチングネットワーク  $16_m$  の回路実装物の実施形態をさらに含む電力セルモニタおよび制御モジュール 200 のブロック図である。インタフェース回路 16 は、図 4 を参照して説明した。

#### 【0071】

フィルタ 22 は複数のフィルタ部分  $22_1$ 、 $22_2$ 、 $\dots$ 、 $22_n$  から成り、ここで、各フィルタ部分は、電力貯蔵装置 24 の対応する電力セル  $24_1$ 、 $24_2$ 、 $\dots$ 、 $24_n$  に接続された入力端子と、インタフェースネットワーク 16 の対応する入力ピン  $12P_1$ 、 $12P_2$ 、 $12P_3$ 、 $12P_4$ 、 $\dots$ 、 $12P_{(2n-1)}$ 、 $12P_{2n}$ 、 $12P_{(2n+1)}$  に接続される出力端子と、を含む。フィルタ部分  $22_1$  は、入力端子  $22_1 I 1$  および  $22_c I 1$  と、出力端子  $22_1 O 1$ 、 $22_1 O 2$  および  $22_c O 1$  と、を有し、フィルタ部分  $22_2$  は、入力端子  $22_c I 1$  および  $22_c I 2$  と、出力端子  $22_c O 1$ 、 $22_2 O 2$  および  $22_c O 2$  と、を有し、フィルタ部分  $22_n$  は、入力端子  $22_c I (n-1)$  および  $22_n I 2$  と、出力端子  $22_c O (n-1)$ 、 $22_n O 2$  および  $22_n$

03と、を有する。フィルタ部分 $22_1$ 、 $22_2$ 、 $\dots$ 、 $22_n$ は図4を参照して説明した。加えて、図8の各フィルタ部分 $22_1$ 、 $22_2$ 、 $\dots$ 、 $22_n$ は、平衡化トランジスタおよび平衡化レジスタを含む。より具体的には、フィルタ部分 $22_1$ は、レジスタ $32_1$ を介して入力端子 $22_1I1$ に接続されるドレイン端子と、入力端子 $22_1I1$ に接続されるソース端子と、出力端子 $22_1O2$ として機能するか、または代替的に、出力端子 $22_1O2$ に接続されるゲート端子と、を有するトランジスタ $30_1$ を含む。レジスタ $32_1$ およびインピーダンス $34_1$ は各々が、一般的には一緒に接続されて、入力端子 $22_1I1$ に接続されるか、または代替的に、入力端子 $22_1I1$ を形成する結節を形成する端子を有する。レジスタ $32_1$ の他方の端子はトランジスタ $30_1$ のドレイン端子に接続され、インピーダンス素子 $34_1$ の他方の端子はキャパシタ $36_1$ の端子に接続されて、出力端子 $22_1O1$ として機能するか、または代替的に、出力端子 $22_1O1$ に接続される結節を形成する。キャパシタ $36_1$ の他方の端子はトランジスタ $30_1$ のゲート端子に接続され得るし、また、出力端子 $22_1O2$ に接続されるか、または代替的に、出力端子 $22_1O2$ として機能する結節を形成し得る。インピーダンス素子 $34_2$ は、トランジスタ $30_1$ のソース端子に接続されて、入力端子 $22_2I1$ に接続されるか、または代替的に、入力端子 $22_2I1$ として機能する結節を形成する端子と、出力端子 $22_2O1$ に接続されるか、または代替的に、出力端子 $22_2O1$ として機能する端子と、を有する。インピーダンス素子 $34_2$ はフィルタ部分 $22_1$ および $22_2$ に対して共通であることに留意されたい。

10

#### 【0072】

20

フィルタ部分 $22_2$ は、レジスタ $32_2$ を介して入力端子 $22_2I1$ に接続されるドレイン端子と、入力端子 $22_2I2$ に接続されるソース端子と、出力端子 $22_2O2$ として機能するか、または代替的に、出力端子 $22_2O2$ に接続されるゲート端子と、を有するトランジスタ $30_2$ を備える。レジスタ $32_2$ およびインピーダンス素子 $34_2$ は各々が、一般的には一緒に接続されて、入力端子 $22_2I1$ に接続される端子を有する。レジスタ $32_2$ の他方の端子はトランジスタ $30_2$ のドレイン端子に接続され、レジスタ $34_2$ の他方の端子はキャパシタ $36_2$ の端子および出力端子 $22_2O1$ に接続される。キャパシタ $36_2$ の他方の端子は、トランジスタ $30_2$ のゲート端子に接続され得る、また、出力端子 $22_2O2$ に接続されるか、または代替的に、出力端子 $22_2O2$ として機能する結節を形成する。類似の共有コンポーネントおよび接続部が、フィルタ部分 $22_1$ とフィルタ部分 $22_2$ との間に存在するように、フィルタ部分 $22_2$ とフィルタ部分 $22_3$ （図示せず）との間に存在することに留意されたい。明瞭さのために、フィルタ部分 $22_2$ の全てのコンポーネントが図示されているわけではない。

30

#### 【0073】

フィルタ部分 $22_n$ は、レジスタ $32_n$ を介して入力端子 $22_nI(n-1)$ に接続されるドレイン端子と、入力端子 $22_nI2$ に接続されるソース端子と、出力端子 $22_nO2$ として機能するか、または代替的に、出力端子 $22_nO2$ に接続されるゲート端子と、を有するトランジスタ $30_n$ を備える。入力端子 $22_nI(n-1)$ は、インピーダンス素子 $34_n$ を介して出力端子 $22_nO(n-1)$ に接続される。レジスタ $32_n$ およびインピーダンス素子 $34_n$ は各々が、一般的には一緒に入力端子 $22_nI(n-1)$ に接続される端子を有する。レジスタ $32_n$ の他方の端子はトランジスタ $30_n$ のドレイン端子に接続され、インピーダンス素子 $34_n$ の他方の端子はキャパシタ $36_n$ の端子に接続され、出力端子 $22_nO(n-1)$ として機能するか、または代替的に、出力端子 $22_nO(n-1)$ に接続され得る結節を形成し得る。出力端子 $22_nO(n-1)$ は入力ピン $12P(2n-1)$ に接続される。キャパシタ $36_n$ の他方の端子はトランジスタ $30_n$ のゲート端子に接続され、出力端子 $22_nO2$ に接続され得るか、または代替的に、出力端子 $22_nO2$ として機能する結節を形成し得る。インピーダンス素子 $34_{(n+1)}$ は、トランジスタ $30_n$ のソース端子に接続されて、入力端子 $22_{n+1}I2$ に接続され得るか、または代替的に、入力端子 $22_{n+1}I2$ として機能する結節を形成する端子と、出力端子 $22_{n+1}O3$ に接続され得るか、または代替的に、出力端子 $22_{n+1}O3$ として機能する端子

40

50

と、を有する。

【 0 0 7 4 】

引き続き図 8 を参照すると、スイッチング部分  $16_1$ 、 $16_2$ 、 $\dots$ 、 $16_n$  から成るインタフェースネットワーク 16 は、フィルタリング継続観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも 3 つの互いに異なる動作モードで動作する。インタフェース回路 16 の動作モードは、図 7 を参照して説明した。

【 0 0 7 5 】

図 9 は、本発明の別の実施形態によれば、フィルタ部分  $22_m$  を介して電力セル  $24_m$  に接続されるインタフェースネットワーク 16 (図 1 および 2 を参照して説明した) のスイッチング部分  $16_m$  の回路図である。図 1 のスイッチングネットワーク  $16_1$ 、 $16_2$ 、 $\dots$ 、 $16_n$  が、スイッチング部分  $16_m$  から成り、かつ変数  $m$  が、整数 1、2、 $\dots$ 、 $n$  を表すために用いられることに留意されたい。例えば、スイッチングネットワーク  $16_1$  はスイッチング部分  $16_m$  に対応するが、ここで、 $m$  は、1 に置き換えられ、スイッチングネットワーク  $16_2$  はスイッチング部分  $16_m$  に対応するが、ここで、 $m$  は、2 に置き換えられ、スイッチングネットワーク  $16_n$  はスイッチング部分  $16_m$  に対応するが、ここで、 $m$  は、 $n$  に置き換えられる。図 9 のスイッチング部分  $16_m$  は図 7 のスイッチング部分  $16_m$  に類似しているが、キャパシタ  $36_m$  の端子の内の 1 つが入力ピン  $12P_{(2m-1)}$  に接続されていない点だけが異なる。このように、キャパシタ  $36_m$  は、入力ピン  $12P_{2m}$  に接続された端子を有するが、その他の端子は図 10 に示すように別の回路と共有されている。図 3 を参照して検討したように、スイッチング素子  $26_m$  は、平衡化スイッチまたは平衡化スイッチング素子と呼ばれ、スイッチ  $28_m$  は、サンプリングスイッチまたはサンプリングスイッチング素子と呼ばれ得る。

【 0 0 7 6 】

図 10 は、図 6 を参照して説明したように制御モジュール 12 およびインタフェースネットワーク 16 を備え、図 9 を参照して説明したフィルタ回路  $22$  およびインタフェース回路 16 の回路実装物の実施形態をさらに含む電力セルモニタおよび回路モジュール 250 のブロック図である。制御モジュール 250 はバッテリー装置 24 に接続される。制御モジュール 250 は図 6 の制御モジュール 150 に類似しているが、フィルタ回路  $22$  がトランジスタ  $30_1$ 、 $\dots$ 、 $30_n$  およびインピーダンス素子  $32_1$ 、 $\dots$ 、 $32_n$  等の平衡化素子をさらに含む点だけが異なる。より具体的には、フィルタ部分  $22_1$  は、レジスタ  $32_1$  を介して入力端子  $22_1I1$  に接続されるドレイン端子と、入力端子  $22_1I1$  に接続されるソース端子と、出力端子  $22_1O2$  として機能するか、または代替的に、出力端子  $22_1O2$  に接続されるゲート端子と、を有するトランジスタ  $30_1$  を含む。レジスタ  $32_1$  およびインピーダンス  $34_1$  は各々が、一般的には一緒に接続されて、入力端子  $22_1I1$  に接続されるか、または代替的に、入力端子  $22_1I1$  を形成する結節を形成する端子を有する。レジスタ  $32_1$  の他方の端子はトランジスタ  $30_1$  のドレイン端子に接続され、インピーダンス素子  $34_1$  の他方の端子は、出力端子  $22_1O1$  として機能するか、または代替的に、出力端子  $22_1O1$  に接続され得るが、この出力端子は入力ピン  $12P_1$  に接続される。キャパシタ  $36_1$  の 1 つの端子は入力ピン  $12P_A$  に接続される。キャパシタ  $36_1$  の他方の端子はトランジスタ  $30_1$  のゲート端子に接続され、また、出力端子  $22_1O2$  に接続されるか、または代替的に、出力端子  $22_1O2$  として機能する結節を形成する。キャパシタ  $36_1$  のこの端子および出力端子  $22_1O2$  は、入力ピン  $12P_2$  に接続される。インピーダンス素子  $34_2$  は、トランジスタ  $30_1$  のソース端子に接続されて、入力端子  $22_1I1$  に接続され得るか、または代替的に、入力端子  $22_1I1$  として機能する結節を形成する端子と、出力端子  $22_1O1$  に接続され得るか、または代替的に、出力端子  $22_1O1$  として機能する端子と、を有する。インピーダンス素子  $34_2$  はフィルタ部分  $22_1$  および  $22_2$  に対して共通であることに留意されたい。

【 0 0 7 7 】

フィルタ部分  $22_2$  は、レジスタ  $32_2$  を介して入力端子  $22_1I1$  に接続されるドレ

イン端子と、入力端子  $22_c I 2$  に接続されるソース端子と、出力端子  $22_o O 2$  として機能するか、または代替的に、出力端子  $22_o O 2$  に接続されるゲート端子と、を有するトランジスタ  $30_2$  を含む。レジスタ  $32_2$  およびインピーダンス  $34_2$  は各々が、一般的には一緒に接続されて、入力端子  $22_c I 1$  に接続される端子を有する。レジスタ  $32_2$  の他方の端子はトランジスタ  $30_2$  のドレイン端子に接続され、インピーダンス素子  $34_2$  の他方の端子は、出力端子  $22_c O 1$  として機能するか、または代替的に、出力端子  $22_c O 1$  に接続され得るが、この出力端子は入力ピン  $12 P_3$  に接続される。キャパシタ  $36_2$  の1つの端子は、トランジスタ  $30_1$  のゲート、キャパシタ  $36_1$  の端子および入力ピン  $12 P_2$  に接続される。キャパシタ  $36_2$  の他方の端子はトランジスタ  $30_2$  のゲート端子に接続され、また、出力端子  $22_o O 2$  に接続され得るか、または代替的に、出力端子  $22_o O 2$  として機能する結節を形成するが、この出力部は入力ピン  $12 P_4$  に接続される。類似の共有コンポーネントおよび接続部が、フィルタ部分  $22_1$  とフィルタ部分  $22_2$  との間に存在するように、フィルタ部分  $22_2$  とフィルタ部分  $22_3$  (図示せず)との間に存在することに留意されたい。明瞭さのために、フィルタ部分  $22_2$  の全てのコンポーネントが図示されているわけではない。

#### 【0078】

フィルタ部分  $22_n$  は、レジスタ  $32_n$  を介して入力端子  $22_c I (n-1)$  に接続されるドレイン端子と、入力端子  $22_n I 2$  に接続されるソース端子と、入力ピン  $12 P_2$   $_n$  に接続される出力端子  $22_n O 2$  として機能するか、または代替的に、出力端子  $22_n O 2$  に接続され得るゲート端子と、を有するトランジスタ  $30_n$  を備える。インピーダンス素子  $34_n$  は、トランジスタのソース端子に接続されて、入力端子  $22_c I (n-1)$  に接続され得るか、または代替的に、入力端子  $22_c I (n-1)$  として機能する結節を形成する端子と、出力端子  $22_c O (n-1)$  に接続され得るか、または代替的に、入力端子  $22_c O (n-1)$  として機能する端子と、を有する。出力端子  $22_c O (n-1)$  は入力ピン  $12 P_{(2n-1)}$  に接続される。レジスタ  $32_n$  およびインピーダンス素子  $34_n$  は各々が、一般的には一緒に接続されて、入力端子  $22_c I (n-1)$  に接続される端子を有する。レジスタ  $32_n$  の他方の端子はトランジスタ  $30_n$  のドレイン端子に接続され、インピーダンス素子  $34_n$  の他方の端子は、出力端子  $22_c O (n-1)$  として機能し得るか、または代替的に、出力端子  $22_c O (n-1)$  に接続され得る。キャパシタ  $36_n$  の他方の端子は、トランジスタ  $30_n$  のゲート端子に接続され、出力端子  $22_n O 2$  に接続され得るか、または代替的に、出力端子  $22_n O 2$  として機能する結節を形成する。インピーダンス素子  $34_{(n+1)}$  は、トランジスタ  $30_n$  のソース端子に接続されて、入力端子  $22_n I 2$  に接続され得るか、または代替的に、入力端子  $22_n I 2$  として機能する結節を形成する端子と、入力ピン  $12 P_{(2n+1)}$  に接続される出力端子  $22_n O 3$  に接続され得るか、または代替的に、出力端子  $22_n O 3$  として機能する端子と、を有する。

#### 【0079】

別の実施形態によれば、セルの極性は、これらのセルが図に示す反対の極性となるように切り替えられる。あるいは、 $n$  チャネルトランジスタを  $p$  チャネルトランジスタと置き換えることが可能である。

#### 【0080】

制御モジュール  $250$  の動作は、平衡化動作モードを例外として、制御モジュール  $150$  (図6)の動作に類似している。デフォルトの動作モードがフィルタリングされた継続観察モードであり、これによって、スイッチング素子  $26_A$ 、 $28_1$ 、 $\dots$ 、 $28_n$  がクローズされ、スイッチング素子  $26_1$ 、 $\dots$ 、 $26_n$  が開いていると仮定すると、電力セル  $24_1$  にまたがる電圧は、スイッチング素子  $26_1$  をクローズするのに適切な制御電圧  $V_{26_1}$  をスイッチング素子  $26_1$  の制御電圧に印加し、スイッチング素子  $28_1$  をオープンするのに適切な制御電圧  $V_{28_1}$  をスイッチング素子  $28_1$  の制御電圧に印加することによって平衡化することが可能である。したがって、トランジスタ  $30_1$  は導通状態になり、レジスタ  $32_1$  およびトランジスタ  $30_1$  を流れる平衡化電流によって、電力

10

20

30

40

50

セル  $24_1$  は放電される。

【0081】

その他の電力セルにまたがる電圧は、同様の方法を用いることによって平衡化させることが可能であることに留意されたい。

【0082】

図11は、本発明の実施形態による、フィルタ回路322に接続される制御モジュール312を備える電力セルモニタおよび制御回路300のブロック図である。電力セルモニタおよび制御回路300は、電力貯蔵装置24に接続される。制御モジュール312は、制御モジュール312の入力部に接続されるか、または代替的に、制御モジュール312の入力部として機能する入力部と、アナログツードジタルコンバータ(ADC)20に接続される出力を有するマルチプレクサ(MUX)18の入力部に接続される出力部と、を有するインタフェースネットワーク316を含む。電力貯蔵装置24は、それぞれ、制御回路300の対応するフィルタ部分322<sub>1</sub>、322<sub>2</sub>、・・・、322<sub>n</sub>に接続される複数の電力セルまたはバッテリー24<sub>1</sub>、24<sub>2</sub>、・・・、24<sub>n</sub>から成り得る。あるいは、電力貯蔵装置は、キャパシタ、燃料セル等から成り得る。インタフェースネットワーク316は、複数のスイッチングネットワーク316<sub>1</sub>、316<sub>2</sub>、・・・、316<sub>n</sub>から成り得、ここで、スイッチングネットワーク316<sub>1</sub>は、入力端子316<sub>1</sub>I1、316<sub>1</sub>I2、316<sub>1</sub>I3、316<sub>1</sub>I4、316<sub>1</sub>I5、316<sub>1</sub>I6および316<sub>1</sub>I7と、出力端子316<sub>1</sub>O1、316<sub>1</sub>O2、316<sub>1</sub>O3および316<sub>1</sub>O4と、を有し、スイッチング素子316<sub>2</sub>は、入力端子316<sub>2</sub>I1、316<sub>2</sub>I2、316<sub>2</sub>I3、316<sub>2</sub>I4、316<sub>2</sub>I5、316<sub>2</sub>I6および316<sub>2</sub>I7と、出力端子316<sub>2</sub>O1、316<sub>2</sub>O2、316<sub>2</sub>O3および316<sub>2</sub>O4と、を有し、スイッチング素子316<sub>n</sub>は、入力端子316<sub>n</sub>I1、316<sub>n</sub>I2、316<sub>n</sub>I3、316<sub>n</sub>I4、316<sub>n</sub>I5、316<sub>n</sub>I6および316<sub>n</sub>I7と、出力端子316<sub>n</sub>O1、316<sub>n</sub>O2、316<sub>n</sub>O3および316<sub>n</sub>O4と、を有する。別の実施形態によれば、入力端子316<sub>1</sub>I4は入力端子316<sub>2</sub>I1に接続されて入力端子316<sub>c</sub>I1を形成し、入力端子316<sub>(n-1)</sub>I4は入力端子316<sub>n</sub>I1に接続されて入力端子316<sub>c</sub>I(n-1)を形成し、出力端子316<sub>1</sub>O4は出力端子316<sub>2</sub>O1に接続されて出力端子316<sub>c</sub>O1を形成し、出力端子316<sub>(n-1)</sub>O4は出力端子316<sub>n</sub>O1に接続されて出力端子316<sub>c</sub>O(n-1)を形成する。

【0083】

別の実施形態では、制御モジュール312は、入力ピンまたは入力リード線312P<sub>1</sub>、312P<sub>2</sub>、312P<sub>3</sub>、312P<sub>4</sub>、312P<sub>5</sub>、312P<sub>6</sub>、・・・、312P<sub>(3n-2)</sub>、312P<sub>(3n-1)</sub>、312P<sub>3n</sub>および312P<sub>(3n+1)</sub>を有する半導体パッケージ中のモノリシック集積された半導体デバイスであり、ここで、nは、整数を表す。例えば、入力端子316<sub>1</sub>I1、316<sub>1</sub>I2、316<sub>1</sub>I3、316<sub>c</sub>I1、316<sub>2</sub>I2、316<sub>2</sub>I3、・・・、316<sub>c</sub>I(n-1)、316<sub>n</sub>I2、316<sub>n</sub>I3および316<sub>n</sub>I4は、それぞれ、入力ピン312P<sub>1</sub>、312P<sub>2</sub>、312P<sub>3</sub>、312P<sub>4</sub>、312P<sub>5</sub>、312P<sub>6</sub>、・・・、312P<sub>(3n-2)</sub>、312P<sub>(3n-1)</sub>、312P<sub>3n</sub>および312P<sub>(3n+1)</sub>に接続される。入力端子316<sub>1</sub>I1、316<sub>1</sub>I2、316<sub>1</sub>I3、316<sub>c</sub>I1、316<sub>2</sub>I2、316<sub>2</sub>I3、・・・、316<sub>c</sub>I(n-1)、316<sub>n</sub>I2、316<sub>n</sub>I3および316<sub>n</sub>I4は、それぞれ、入力ピン312P<sub>1</sub>、312P<sub>2</sub>、312P<sub>3</sub>、312P<sub>4</sub>、312P<sub>5</sub>、312P<sub>6</sub>、・・・、312P<sub>(3n-2)</sub>、312P<sub>(3n-1)</sub>、312P<sub>3n</sub>および312P<sub>(3n+1)</sub>に直接に接続されていることが図示されているが、これは本発明の制限ではなく、例えば、入力端子316<sub>1</sub>I1、316<sub>1</sub>I2、316<sub>1</sub>I3、316<sub>c</sub>I1、316<sub>2</sub>I2、316<sub>2</sub>I3、・・・、316<sub>c</sub>I(n-1)、316<sub>n</sub>I2、316<sub>n</sub>I3および316<sub>n</sub>I4を他の回路素子を介して、それぞれ、入力ピン312P<sub>1</sub>、312P<sub>2</sub>、312P<sub>3</sub>、312P<sub>4</sub>、312P<sub>5</sub>、312P<sub>6</sub>、・・・、312P<sub>(3n-2)</sub>、312P<sub>(3n-1)</sub>、312P<sub>3n</sub>および312P<sub>(3n+1)</sub>に接続することが

可能である。

【0084】

別の実施形態によれば、制御モジュール312と、にフィルタ部分322またはフィルタ部分322の一部と、は、モノリシック集積されて、集積された半導体デバイスを形成する。このフィルタを部分的に集積した例を図22に示す。制御モジュール312と、フィルタ部分322またはフィルタ部分322の一部と、がモノリシック集積された実施形態では、入力ピン312P<sub>1</sub>、312P<sub>2</sub>、312P<sub>3</sub>、312P<sub>4</sub>、312P<sub>5</sub>、312P<sub>6</sub>、・・・、312P<sub>(3n-2)</sub>、312P<sub>(3n-1)</sub>、312P<sub>3n</sub>および312P<sub>(3n+1)</sub>は存在しない。

【0085】

スイッチングネットワーク316<sub>1</sub>の入力端子316<sub>1</sub>I5、316<sub>1</sub>I6および316<sub>1</sub>I7は、それぞれ、制御信号V26<sub>1</sub>、V28<sub>1</sub>およびV31<sub>1</sub>を受信するように結合されており、スイッチングネットワーク316<sub>2</sub>の入力端子316<sub>2</sub>I5、316<sub>2</sub>I6および316<sub>2</sub>I7は、それぞれ、制御信号V26<sub>2</sub>、V28<sub>2</sub>およびV31<sub>2</sub>を受信するように結合されており、スイッチングネットワーク316<sub>n</sub>の入力端子316<sub>n</sub>I5、316<sub>n</sub>I6および316<sub>n</sub>I7は、それぞれ、制御信号V26<sub>n</sub>、V28<sub>n</sub>およびV31<sub>n</sub>を受信するように結合される。

【0086】

スイッチングネットワーク316<sub>1</sub>、・・・、316<sub>n</sub>の出力端子316<sub>1</sub>O1、316<sub>1</sub>O2、316<sub>1</sub>O3、316<sub>c</sub>O1、316<sub>2</sub>O2、316<sub>2</sub>O3、316<sub>c</sub>O(n-1)、316<sub>n</sub>O2、316<sub>n</sub>O3および316<sub>n</sub>O4は、MUX18の対応する入力端子に接続される。

【0087】

フィルタ322は複数のフィルタ部分322<sub>1</sub>、322<sub>2</sub>、・・・、322<sub>n</sub>から成り、ここで、各フィルタ部分は、電力貯蔵装置24の対応する電力セルに接続された入力端子と、インタフェースネットワーク316の対応する入力ピンに接続された出力端子と、を含む。フィルタ部分322<sub>1</sub>は、入力端子322<sub>1</sub>I1および322<sub>1</sub>I2と、出力端子322<sub>1</sub>O1、322<sub>1</sub>O2、322<sub>1</sub>O3および322<sub>1</sub>O4と、を有し、フィルタ部分322<sub>2</sub>は、入力端子322<sub>2</sub>I1および322<sub>2</sub>I2と、出力端子322<sub>2</sub>O1、322<sub>2</sub>O2、322<sub>2</sub>O3および322<sub>2</sub>O4と、を有し、フィルタ部分322<sub>n</sub>は、入力端子322<sub>n</sub>I1および322<sub>n</sub>I2と出力端子322<sub>n</sub>O1、322<sub>n</sub>O2、322<sub>n</sub>O3および322<sub>n</sub>O4と、を有する。ある実施形態によれば、入力端子322<sub>1</sub>I2は入力端子322<sub>2</sub>I1に接続されて入力端子322<sub>c</sub>I1を形成し、入力端子322<sub>(n-1)</sub>I2は入力端子322<sub>n</sub>I1に接続されて入力端子322<sub>c</sub>I(n-1)を形成し得る。出力端子322<sub>(n-1)</sub>O4は出力端子322<sub>2</sub>O1に接続されて出力端子322<sub>c</sub>O1を形成し、出力端子322<sub>2</sub>O4は出力端子322<sub>n</sub>O1に接続されて出力端子322<sub>c</sub>O(n-1)を形成し得る。制御モジュール312がモノリシック集積された半導体デバイスであり、フィルタ322が個別の回路素子から形成される実施形態では、出力端子322<sub>1</sub>O1は入力ピン312P<sub>1</sub>に接続され、出力端子322<sub>1</sub>O2は入力ピン312P<sub>2</sub>に接続され、出力端子322<sub>1</sub>O3は入力ピン312P<sub>3</sub>に接続され、出力端子322<sub>c</sub>O1は入力ピン312P<sub>4</sub>に接続され、出力端子322<sub>2</sub>O2は入力ピン312P<sub>5</sub>に接続され；出力端子322<sub>2</sub>O3は入力ピン312P<sub>6</sub>に接続され、出力端子322<sub>c</sub>O(n-1)は入力ピン312P<sub>(3n-2)</sub>に接続され；出力端子322<sub>n</sub>O2は入力ピン312P<sub>(3n-1)</sub>に接続され；出力端子322<sub>n</sub>O3は入力ピン312P<sub>3n</sub>に接続され、出力端子322<sub>n</sub>O4は入力ピン312P<sub>(3n+1)</sub>に接続される。

【0088】

入力端子322<sub>1</sub>I1は電力セル24<sub>1</sub>の正極に接続され、入力端子322<sub>c</sub>I1は、それぞれ、電力セル24<sub>1</sub>および24<sub>2</sub>の負極および正極に接続される。入力端子322<sub>c</sub>I(n-1)は、電力セル24<sub>n</sub>の正極に接続され、入力端子322<sub>n</sub>I2は電力セル

10

20

30

40

50

2 4<sub>n</sub>の負極に接続される。

【0089】

添字「n」は整数を表すことに留意されたい。さらに、スイッチングネットワーク3 1 6<sub>1</sub>、3 1 6<sub>2</sub>、・・・、3 1 6<sub>n</sub>、フィルタ部分3 2 2<sub>1</sub>、3 2 2<sub>2</sub>、・・・、3 2 2<sub>n</sub>および電力セル2 4<sub>1</sub>、2 4<sub>2</sub>、・・・、2 4<sub>n</sub>の個数は、本発明の制限ではないことに留意されたい。

【0090】

図12は、本発明の別の実施形態に従う、フィルタ部分3 2 2<sub>m</sub>を介して電力セル2 4<sub>m</sub>に接続されるインタフェースネットワーク3 1 6（図11を参照して説明した）のスイッチング部分3 1 6<sub>m</sub>の回路図である。図11のスイッチングネットワーク3 1 6<sub>1</sub>、3 1 6<sub>2</sub>、・・・、3 1 6<sub>n</sub>が、スイッチング部分3 1 6<sub>m</sub>から成り、変数mが、整数1、2、・・・、nを表すために用いられることに留意されたい。例えば、スイッチングネットワーク3 1 6<sub>1</sub>はスイッチング部分3 1 6<sub>m</sub>に対応するが、ここで、mは、1に置き換えられ、スイッチングネットワーク3 1 6<sub>2</sub>はスイッチング部分3 1 6<sub>m</sub>に対応するが、ここで、mは、2に置き換えられ、スイッチングネットワーク3 1 6<sub>n</sub>はスイッチング部分3 1 6<sub>m</sub>に対応するが、ここで、mは、nに置き換えられる。

【0091】

スイッチング部分3 1 6<sub>m</sub>は、スイッチング素子3 2 6<sub>m</sub>、3 2 8<sub>m</sub>および3 3 1<sub>m</sub>を備えるが、ここで、各スイッチング素子3 2 6<sub>m</sub>、3 2 8<sub>m</sub>および3 3 1<sub>m</sub>は、制御端子および1対の導電端子を含む。より具体的には、スイッチング素子3 2 6<sub>m</sub>は、制御端子3 2 6<sub>m</sub>、<sub>1</sub>、導電端子3 2 6<sub>m</sub>、<sub>2</sub>および導電端子3 2 6<sub>m</sub>、<sub>3</sub>を有する。導電端子3 2 6<sub>m</sub>、<sub>2</sub>は、端子3 1 6<sub>m</sub> I 1および3 1 6<sub>m</sub> O 1に接続され、または代替的に、端子3 1 6<sub>m</sub> I 1および3 1 6<sub>m</sub> O 1は入/出力端子を形成し得る。スイッチング素子3 2 8<sub>m</sub>は、制御端子3 2 8<sub>m</sub>、<sub>1</sub>、導電端子3 2 8<sub>m</sub>、<sub>2</sub>および導電端子3 2 8<sub>m</sub>、<sub>3</sub>を有する。導電端子3 2 8<sub>m</sub>、<sub>2</sub>は、導電端子3 2 6<sub>m</sub>、<sub>3</sub>と、端子3 1 6<sub>m</sub> I 2および3 1 6<sub>m</sub> O 2と、に接続される。導電端子3 2 8<sub>m</sub>、<sub>3</sub>は、入力端子3 1 6<sub>m</sub> I 4および出力端子3 1 6<sub>m</sub> O 4に接続される。導電端子3 2 8<sub>m</sub>、<sub>3</sub>は、端子3 1 6<sub>m</sub> I 4および3 1 6<sub>m</sub> O 4に接続されるか、または代替的に、端子3 1 6<sub>m</sub> I 4および3 1 6<sub>m</sub> O 4が入/出力端子を形成し得る。導電端子3 3 1<sub>m</sub>、<sub>2</sub>は、入力端子3 1 6<sub>m</sub> I 3および出力端子3 1 6<sub>m</sub> O 3に接続される。端子3 2 6<sub>m</sub>、<sub>1</sub>、3 2 8<sub>m</sub>、<sub>1</sub>、および3 3 1<sub>m</sub>、<sub>1</sub>は、それぞれ、図11の端子3 1 6<sub>n</sub> I 5、3 1 6<sub>n</sub> I 6、および3 1 6<sub>n</sub> I 7に対応することに留意されたい。スイッチング素子3 3 1<sub>m</sub>はサンプリングスイッチと呼ばれ、スイッチング素子3 2 8<sub>m</sub>および3 2 6<sub>m</sub>は平衡化スイッチまたは電流制御スイッチと呼ばれ得る。

【0092】

フィルタ部分3 2 2<sub>m</sub>は、入力端子3 2 2<sub>m</sub> I 1に接続されるか、または代替的に、入力端子3 2 2<sub>m</sub> I 1として機能する端子と、出力端子3 2 2<sub>m</sub> O 1に接続されるか、または代替的に、出力端子3 2 2<sub>m</sub> O 1として機能する端子と、を有するインピーダンス素子3 3 4<sub>m</sub>を備える。出力端子3 2 2<sub>m</sub> O 1は、エネルギー貯蔵素子3 3 6<sub>m</sub>を介して出力端子3 2 2<sub>m</sub> O 2に接続され得る。入力端子3 2 2<sub>m</sub> I 2は、インピーダンス素子3 3 4<sub>(m+1)</sub>を介して出力端子3 2 2<sub>m</sub> O 3に接続され得る。例えば、インピーダンス素子3 3 4<sub>m</sub>および3 3 4<sub>(m+1)</sub>はレジスタであり、エネルギー貯蔵素子3 3 6<sub>m</sub>はキャパシタである。スイッチング部分3 1 6<sub>m</sub>がモノリシック集積された半導体デバイスまたはモノリシック集積された半導体デバイスの一部であり、回路素子3 3 4<sub>m</sub>、3 3 4<sub>(m+1)</sub>および3 3 6<sub>m</sub>が個別の回路素子である実施形態では、回路素子3 3 4<sub>m</sub>、3 3 6<sub>m</sub>および3 3 4<sub>(m+1)</sub>は、入力ピン3 1 2 P<sub>(3m-2)</sub>、3 1 2 P<sub>3m</sub>および3 1 2 P<sub>(3m+1)</sub>を介してスイッチング部分3 1 6<sub>m</sub>に接続される、すなわち、出力端子3 2 2<sub>m</sub> O 1は入力ピン3 1 2 P<sub>(3m-2)</sub>に接続され、出力端子3 2 2<sub>m</sub> O 2は入力ピン3 1 2 P<sub>3m</sub>に接続され、出力端子3 2 2<sub>m</sub> O 3は入力ピン3 1 2 P<sub>(3m+1)</sub>に接続される。入力ピン3 1 2 P<sub>(3m-1)</sub>は、別の回路素子には接続されないことがあ

10

20

30

40

50



る。別の実施形態では、フィルタが部分的にまたは完全にモノリシックに集積されており、それによって出力ピンが変化する。インピーダンス素子はレジスタであることに限られないため、これらは記号Zで識別される、すなわち、他のタイプのインピーダンス素子であり得ることになる。

#### 【0093】

電力セル24<sub>m</sub>は、フィルタ部分22<sub>m</sub>の入力端子322<sub>m</sub>I1に接続された正極と、フィルタ部分322<sub>m</sub>の入力端子322<sub>m</sub>I2に接続された負極と、を有するバッテリーセルを備える。

#### 【0094】

出力端子322<sub>m</sub>O1は入力ピン312P<sub>(3m-2)</sub>を介して入力端子316<sub>m</sub>I1に電氣的に接続され、出力端子322<sub>m</sub>O2は入力ピン312P<sub>3m</sub>を介して入力端子316<sub>m</sub>I3に電氣的に接続され、出力端子322<sub>m</sub>O3は入力ピン312P<sub>(3m+1)</sub>を介して入力端子316<sub>m</sub>I4に電氣的に接続されることに留意されたい。

#### 【0095】

引き続き図12を参照すると、スイッチング部分316<sub>m</sub>は、フィルタリング継続観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。フィルタリング継続観察動作モードでは、電力セル24<sub>m</sub>にまたがる電圧は、これらのスイッチング素子の開放に好適な制御電圧V326<sub>m</sub>およびV328<sub>m</sub>を、それぞれ、スイッチング素子326<sub>m</sub>および328<sub>m</sub>の制御端子に印加し、このスイッチング素子の閉鎖に好適な制御電圧V331<sub>m</sub>をスイッチング素子331<sub>m</sub>の制御端子に印加することによって監視される。したがって、電力セル24<sub>m</sub>にまたがる電圧は、出力端子316<sub>m</sub>O1と316<sub>m</sub>O3間に出力される。MUX18(図11に示す)は、出力端子316<sub>m</sub>O1と316<sub>m</sub>O3間の電圧をADC20に伝達するように構成される。したがって、電力セル24<sub>m</sub>のフィルタリングされた電圧を表す電圧がADC20に伝達され、これによって電力セル24<sub>m</sub>にまたがる電圧を観察または監視する。

#### 【0096】

サンプルアンドホールド動作モードでは、電力セル24<sub>m</sub>にまたがる電圧は、これらのスイッチング素子の開放に好適な制御電圧V326<sub>m</sub>およびV328<sub>m</sub>を、それぞれ、スイッチング素子326<sub>m</sub>および328<sub>m</sub>の制御端子に印加し、このスイッチング素子の閉鎖に好適な制御電圧V331<sub>m</sub>をスイッチング素子331<sub>m</sub>の制御端子に印加することによってサンプリングして記憶または保持することが可能である。キャパシタ336<sub>m</sub>は、電力セル24<sub>m</sub>にまたがる電圧に実質的に等しい電圧に充電される、すなわち、キャパシタ336<sub>m</sub>は電力セル24<sub>m</sub>の電圧をサンプリングする。

#### 【0097】

電力セル24<sub>m</sub>の電圧をサンプリングした後、スイッチング素子331<sub>m</sub>をオープンするのに適した制御電圧V331<sub>m</sub>がスイッチング素子331<sub>m</sub>の制御端子に印加されるが、スイッチング素子331<sub>m</sub>を開放構成に維持するのに適切な制御電圧V326<sub>m</sub>およびV328<sub>m</sub>は、スイッチング素子326<sub>m</sub>および328<sub>m</sub>の制御端子に維持される。したがって、キャパシタ336<sub>m</sub>に現れるサンプリングされた電圧が保持されて、出力端子316<sub>m</sub>O1と316<sub>m</sub>O3間に現れる。MUX18は、出力端子316<sub>m</sub>O1と316<sub>m</sub>O3間の電圧をADC20に伝達するように構成される。したがって、電力セル24<sub>m</sub>のサンプルアンドホールド電圧を表すサンプリングされた電圧が、ADC20に伝達される。

#### 【0098】

平衡化動作モードでは、電力セル24<sub>m</sub>にまたがる電圧は、スイッチング素子326<sub>m</sub>および328<sub>m</sub>の閉鎖に好適な制御電圧V326<sub>m</sub>およびV328<sub>m</sub>を、それぞれ、スイッチング素子326<sub>m</sub>および328<sub>m</sub>の制御端子に印加することによって平衡化することが可能である。したがって、インピーダンス素子334<sub>m</sub>、スイッチング素子326<sub>m</sub>、スイッチング素子328<sub>m</sub>およびインピーダンス素子334<sub>(m+1)</sub>を通過する平衡化

10

20

30

40

50

電流によって、電力セル 2 4<sub>m</sub> が放電される。図 3 のスイッチング素子 2 6<sub>m</sub> および 2 8<sub>m</sub> と同様に、スイッチング素子 3 2 6<sub>m</sub> は平衡化スイッチング素子または平衡化スイッチと呼ばれ、スイッチング素子 3 3 1<sub>m</sub> はサンプリングスイッチング素子またはサンプリングスイッチと呼ばれ得る。

#### 【 0 0 9 9 】

スイッチング素子 3 2 8<sub>m</sub> はオプション素子であり、スイッチング素子 3 2 8<sub>m</sub> が存在しない実施形態によれば、出力端子 3 1 6<sub>m</sub> O 2 は出力端子 3 1 6<sub>m</sub> O 4 に短絡されることに留意されたい。

#### 【 0 1 0 0 】

図 1 3 は、図 1 1 を参照して説明したように制御モジュール 3 1 2 およびフィルタ回路 3 2 2 を備え、図 1 2 を参照して説明したフィルタ回路 3 2 2 およびインタフェース回路 3 1 6 の回路実装物の実施形態をさらに含む電力セルモニタおよび制御回路 3 5 0 のブロック図である。図 1 1 の実施形態と同様に、図 1 3 に示すインタフェースネットワーク 3 1 6 のスイッチングネットワーク 3 1 6<sub>1</sub>、3 1 6<sub>2</sub>、・・・、3 1 6<sub>n</sub> は、スイッチング部分 3 1 6<sub>m</sub> から成り、変数 m は、図 1 2 を参照して説明されるように、整数 1、2、・・・、n を表すために用いられる。例えば、スイッチングネットワーク 3 1 6<sub>1</sub> はスイッチング部分 3 1 6<sub>m</sub> に対応し、ここで、m は、1 で置き換えられ、スイッチングネットワーク 3 1 6<sub>2</sub> はスイッチング部分 3 1 6<sub>m</sub> に対応し、ここで、m は、2 で置き換えられ、スイッチングネットワーク 3 1 6<sub>n</sub> はスイッチング部分 3 1 6<sub>m</sub> に対応し、ここで、m は、n で置き換えられる。

#### 【 0 1 0 1 】

制御回路 3 5 0 はバッテリー装置 2 4 に接続される。上述したように、制御モジュール 3 1 2 は、制御モジュール 3 1 2 の入力部に結合されるか、または代替的に、制御モジュール 3 1 2 の入力部として機能する入力端子と、A D C 2 0 に接続される出力部を有するマルチプレクサ ( M U X ) 1 8 の入力部に結合される出力端子と、を有するインタフェースネットワーク 3 1 6 を含む。

#### 【 0 1 0 2 】

スイッチングネットワーク 3 1 6<sub>1</sub> は、スイッチング素子 3 2 6<sub>1</sub>、3 2 8<sub>1</sub> および 3 3 1<sub>1</sub> を備えるが、ここで、各スイッチング素子 3 2 6<sub>1</sub>、3 2 8<sub>1</sub> および 3 3 1<sub>1</sub> は、制御端子および 1 対の導電端子を含む。より具体的には、スイッチング素子 3 2 6<sub>1</sub> は、制御端子 3 2 6<sub>1</sub>、<sub>1</sub>、導電端子 3 2 6<sub>1</sub>、<sub>2</sub> および導電端子 3 2 6<sub>1</sub>、<sub>3</sub> を有する。導電端子 3 2 6<sub>1</sub>、<sub>2</sub> は端子 3 1 6<sub>1</sub> I 1 および 3 1 6<sub>1</sub> O 1 に接続され得るか、または代替的に、端子 3 1 6<sub>1</sub> I 1 および 3 1 6<sub>1</sub> O 1 は入 / 出力端子を形成し得る。スイッチング素子 3 2 8<sub>1</sub> は、制御端子 3 2 8<sub>1</sub>、<sub>1</sub>、導電端子 3 2 8<sub>1</sub>、<sub>2</sub> および導電端子 3 2 8<sub>1</sub>、<sub>3</sub> を有する。導電端子 3 2 8<sub>1</sub>、<sub>2</sub> は、導電端子 3 2 6<sub>1</sub>、<sub>3</sub> と、端子 3 1 6<sub>1</sub> I 2 および 3 1 6<sub>1</sub> O 2 と、に接続される。導電端子 3 2 8<sub>1</sub>、<sub>3</sub> は、入力端子 3 1 6<sub>c</sub> I 1 および出力端子 3 1 6<sub>c</sub> O 1 に接続される。導電端子 3 2 8<sub>1</sub>、<sub>3</sub> は、端子 3 1 6<sub>c</sub> I 1 および 3 1 6<sub>c</sub> O 1 に接続され得るか、または代替的に、端子 3 1 6<sub>c</sub> I 1 および 3 1 6<sub>c</sub> O 1 が入 / 出力端子を形成し得る。導電端子 3 3 1<sub>1</sub>、<sub>2</sub> は、入力端子 3 1 6<sub>1</sub> I 3 および出力端子 3 1 6<sub>m</sub> O 3 に接続される。端子 3 2 6<sub>1</sub>、<sub>1</sub>、3 2 8<sub>1</sub>、<sub>1</sub> および 3 3 1<sub>1</sub>、<sub>1</sub> は、それぞれ、図 1 1 の端子 3 1 6<sub>1</sub> I 5、3 1 6<sub>1</sub> I 6 および 3 1 6<sub>1</sub> I 7 に対応することに留意されたい。

#### 【 0 1 0 3 】

スイッチングネットワーク 3 1 6<sub>2</sub> は、スイッチング素子 3 2 6<sub>2</sub>、3 2 8<sub>2</sub> および 3 3 1<sub>2</sub> を備えるが、ここで、各スイッチング素子 3 2 6<sub>2</sub>、3 2 8<sub>2</sub>、および 3 3 1<sub>2</sub> は、制御端子および 1 対の導電端子を含む。より具体的には、スイッチング素子 3 2 6<sub>2</sub> は、制御端子 3 2 6<sub>2</sub>、<sub>1</sub>、導電端子 3 2 6<sub>2</sub>、<sub>2</sub>、および導電端子 3 2 6<sub>2</sub>、<sub>3</sub> を有する。導電端子 3 2 6<sub>2</sub>、<sub>2</sub> は端子 3 1 6<sub>c</sub> I 1 および 3 1 6<sub>c</sub> O 1 に接続され得るか、または代替的に、端子 3 1 6<sub>c</sub> I 1 および 3 1 6<sub>c</sub> O 1 は入 / 出力端子を形成し得る。スイッチング素子 3 2 8<sub>2</sub> は、制御端子 3 2 8<sub>2</sub>、<sub>1</sub>、導電端子 3 2 8<sub>2</sub>、<sub>2</sub> および導電端子 3

28<sub>2</sub>、<sub>3</sub>を有する。導電端子328<sub>2</sub>、<sub>2</sub>は、導電端子326<sub>2</sub>、<sub>3</sub>と、端子316<sub>2</sub>I2および316<sub>2</sub>O2と、に接続される。導電端子331<sub>2</sub>、<sub>2</sub>は、入力端子316<sub>2</sub>I3および出力端子316<sub>2</sub>O3に接続される。導電端子328<sub>2</sub>、<sub>3</sub>および331<sub>2</sub>、<sub>3</sub>は、以下に説明するスイッチングネットワーク316<sub>n</sub>に接続される。類似の共有コンポーネントおよび接続部が、スイッチングネットワーク316<sub>1</sub>とスイッチングネットワーク316<sub>2</sub>との間に存在するように、スイッチングネットワーク316<sub>2</sub>とスイッチングネットワーク316<sub>2</sub>に接続されたスイッチング部分との間に存在することに留意されたい。明瞭さのために、スイッチングネットワーク316<sub>2</sub>の全てのコンポーネントが図示されているわけではない。

#### 【0104】

スイッチング部分316<sub>n</sub>は、スイッチング素子326<sub>n</sub>、328<sub>n</sub>および331<sub>n</sub>を備えるが、ここで、各スイッチング素子326<sub>n</sub>、328<sub>n</sub>、および331<sub>n</sub>は、制御端子および1対の導電端子を含む。より具体的には、スイッチング素子326<sub>n</sub>は、制御端子326<sub>n</sub>、<sub>1</sub>、導電端子326<sub>n</sub>、<sub>2</sub>、および導電端子326<sub>n</sub>、<sub>3</sub>を有する。導電端子326<sub>n</sub>、<sub>2</sub>は、端子316<sub>c</sub>I(n-1)および316<sub>c</sub>O(n-1)に接続され、または代替的に、端子316<sub>c</sub>I(n-1)および316<sub>c</sub>O(n-1)は入/出力端子を形成し得る。スイッチング素子328<sub>n</sub>は、制御端子328<sub>n</sub>、<sub>1</sub>、導電端子328<sub>n</sub>、<sub>2</sub>および導電端子328<sub>n</sub>、<sub>3</sub>を有する。導電端子328<sub>n</sub>、<sub>2</sub>は、導電端子326<sub>n</sub>、<sub>3</sub>と、端子316<sub>n</sub>I2および316<sub>n</sub>O2とに接続される。導電端子328<sub>n</sub>、<sub>3</sub>は、入力端子316<sub>n</sub>I4および出力端子316<sub>n</sub>O4に接続される。導電端子328<sub>n</sub>、<sub>3</sub>は、端子316<sub>n</sub>I4および316<sub>n</sub>O4に接続されるか、または代替的に、端子316<sub>n</sub>I4および316<sub>n</sub>O4が入/出力端子を形成し得る。導電端子331<sub>n</sub>、<sub>2</sub>は、入力端子316<sub>n</sub>I3および出力端子316<sub>n</sub>O3に接続され、導電端子331<sub>n</sub>、<sub>3</sub>は、入力端子316<sub>n</sub>I4および出力端子316<sub>n</sub>O4に接続される。

#### 【0105】

フィルタ322は複数のフィルタ部分322<sub>1</sub>、322<sub>2</sub>、・・・、322<sub>n</sub>から成り、ここで、各フィルタ部分は、電力貯蔵装置24の対応する電力セル24<sub>1</sub>、24<sub>2</sub>、・・・、24<sub>n</sub>に接続される入力端子と、スイッチングネットワーク316<sub>1</sub>、316<sub>2</sub>、・・・、316<sub>n</sub>の対応する入力端子に接続される出力端子と、を含む。フィルタ部分322<sub>1</sub>は、入力端子322<sub>1</sub>I1および322<sub>c</sub>I1と、出力端子322<sub>1</sub>O1、322<sub>1</sub>O2および322<sub>c</sub>O1と、を有し、フィルタ部分322<sub>2</sub>は、入力端子322<sub>c</sub>I1および322<sub>c</sub>I2と、出力端子322<sub>c</sub>O1、322<sub>2</sub>O2および322<sub>c</sub>O2と、を有し、フィルタ部分322<sub>n</sub>は、入力端子322<sub>c</sub>I(n-1)および322<sub>n</sub>I2と、出力端子322<sub>c</sub>O(n-1)、322<sub>n</sub>O2および322<sub>n</sub>O3と、を有する。

#### 【0106】

入力端子322<sub>1</sub>I1は、電力セル24<sub>1</sub>の正極に接続され、入力端子322<sub>c</sub>I1は、それぞれ、電力セル24<sub>1</sub>および24<sub>2</sub>の負極および正極に接続される。入力端子322<sub>c</sub>I(n-1)は電力セル24<sub>n</sub>の正極に接続され、入力端子322<sub>n</sub>I2は電力セル24<sub>n</sub>の負極に接続される。

#### 【0107】

フィルタ部分322<sub>1</sub>は、インピーダンス素子334<sub>1</sub>および334<sub>2</sub>と、エネルギー貯蔵素子336<sub>1</sub>と、を備える。より具体的には、出力端子322<sub>1</sub>O1は、インピーダンス素子334<sub>1</sub>を介して入力端子322<sub>1</sub>I1に、エネルギー貯蔵素子336<sub>1</sub>を介して出力端子322<sub>1</sub>O2に接続される。入力端子322<sub>c</sub>I1は、インピーダンス素子334<sub>2</sub>を介して出力端子322<sub>c</sub>O1に接続される。インピーダンス素子334<sub>2</sub>はフィルタ部分322<sub>1</sub>および322<sub>2</sub>に対して共通であることに留意されたい。例えば、インピーダンス素子334<sub>1</sub>および334<sub>2</sub>はレジスタであり、エネルギー貯蔵素子336<sub>1</sub>はキャパシタである。

#### 【0108】

フィルタ部分322<sub>2</sub>は、インピーダンス素子334<sub>2</sub>およびキャパシタ336<sub>2</sub>を備

10

20

30

40

50

える。より具体的には、出力端子 $322_c O1$ は、インピーダンス素子 $334_2$ を介して入力端子 $322_c I1$ に、エネルギー貯蔵素子 $336_2$ を介して出力端子 $322_2 O2$ に接続される。例えば、インピーダンス素子 $334_2$ はレジスタであり、エネルギー貯蔵素子 $336_2$ はキャパシタである。類似の共有コンポーネントおよび接続部が、フィルタ部分 $322_1$ とフィルタ部分 $322_2$ との間に存在するように、フィルタ部分 $322_2$ と、フィルタ部分 $322_2$ に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、フィルタ部分 $322_2$ の全てのコンポーネントが図示されているわけではない。

#### 【0109】

フィルタ部分 $322_n$ は、レジスタ $334_n$ および $334_{(n+1)}$ と、エネルギー貯蔵素子 $336_n$ と、を備える。より具体的には、出力端子 $322_c O(n-1)$ は、インピーダンス素子 $334_n$ を介して入力端子 $322_c I(n-1)$ に、エネルギー貯蔵素子 $336_n$ を介して出力端子 $322_n O2$ に接続される。入力端子 $322_n I2$ は、インピーダンス素子 $334_{(n+1)}$ を介して出力端子 $322_n O3$ に接続される。例えば、インピーダンス素子 $334_n$ および $334_{(n+1)}$ はレジスタであり、エネルギー貯蔵素子 $336_n$ はキャパシタである。

#### 【0110】

引き続き図13を参照すると、インタフェースネットワーク316は、フィルタリング継続観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。インタフェース回路316の動作モードは、図12を参照して説明されている。

#### 【0111】

スイッチング素子 $328_1$ 、 $328_2$ 、 $\dots$ 、 $328_n$ はオプション素子であり、スイッチング素子 $328_1$ 、 $328_2$ 、 $\dots$ 、 $328_n$ が存在しない実施形態によれば、それぞれ、出力端子 $316_1 O2$ が出力端子 $316_1 O4$ に短絡され、出力端子 $316_2 O2$ が出力端子 $316_2 O4$ に短絡され、出力端子 $316_n O2$ が出力端子 $316_n O4$ に短絡されることに留意されたい。

#### 【0112】

図14は、本発明の別の実施形態による、フィルタ部分 $322_m$ を介して電力セル24<sub>m</sub>に接続されるインタフェースネットワーク316（図12および13を参照して説明した）のスイッチング部分316<sub>m</sub>の回路図である。図11および15のスイッチングネットワーク316<sub>1</sub>、316<sub>2</sub>、 $\dots$ 、316<sub>n</sub>が、スイッチング部分316<sub>m</sub>から成り、変数 $m$ が、整数1、2、 $\dots$ 、 $n$ を表すために用いられることに留意されたい。例えば、スイッチングネットワーク316<sub>1</sub>はスイッチング部分316<sub>m</sub>に対応し、ここで、 $m$ は、1で置き換えられ、スイッチングネットワーク316<sub>2</sub>はスイッチング部分316<sub>m</sub>に対応し、ここで、 $m$ は、2で置き換えられ、スイッチングネットワーク316<sub>n</sub>はスイッチング部分316<sub>m</sub>に対応し、ここで、 $m$ は、 $n$ で置き換えられる。図14のスイッチング部分316<sub>m</sub>は図12のスイッチング部分316<sub>m</sub>に類似しているが、キャパシタ $336_m$ の端子のうちの1つが入力ピン $312P_{(3m-2)}$ に接続されていない点だけが異なる。したがって、キャパシタ $336_m$ は、一方の端子は入力ピン $312P_{3m}$ に接続されているが、他方の端子は入力ピン $312P_{(3m-2)}$ には接続されない。図12を参照して検討したように、スイッチング素子 $326_m$ は平衡化スイッチング素子と呼ばれ、スイッチング素子 $331_m$ はサンプリングスイッチング素子と呼ばれ得る。

#### 【0113】

スイッチング素子 $328_m$ はオプション素子であり、スイッチング素子 $328_m$ が存在しない実施形態によれば、出力端子 $316_m O2$ は出力端子 $316_m O4$ に短絡される。

#### 【0114】

図15は、図11を参照して説明したように制御モジュール312およびフィルタ回路322を備え、図14を参照して説明したフィルタ回路322およびインタフェース回路316の回路実装物の実施形態をさらに含む電力セルモニタおよび制御モジュール400

10

20

30

40

50

のブロック図である。図 15 の実施形態はまた、図 15 で入力ピン  $312P_2$ 、 $312P_5$  および  $312P_{(3n-1)}$  がフローティング状態に置かれている点が図 11 の実施形態と異なることに留意されたい。制御モジュール 400 はバッテリー装置 24 に接続される。上述したように、制御モジュール 312 は、制御モジュール 312 の入力部に接続されるか、または代替的に、制御モジュール 312 の入力部として機能する入力端子と、ADC 20 に接続される出力部を有する MUX 18 の入力部に接続される出力端子と、を有するインタフェースネットワーク 316 を含む。インタフェース回路 316 は、スイッチングネットワーク  $316_1$ 、 $316_2$ 、 $\dots$ 、 $316_n$  およびスイッチング素子  $326A$  から成る。スイッチングネットワーク  $316_1$ 、 $316_2$ 、 $\dots$ 、 $316_n$  は、図 13 を参照して説明した。

10

#### 【0115】

スイッチング素子  $326A$  は、制御信号  $V326A$  を受信するように結合された制御端子  $326A_1$ 、導電端子  $326A_2$  および導電端子  $326A_3$  を有する。制御端子  $326A_1$  は入力端子  $316A_1$  として機能し得る。導電端子  $326A_2$  は、導電端子  $316A_1$  および出力端子  $316AO_1$  に接続される。導電端子  $326A_3$  は、入力端子  $316_1I_1$ 、出力端子  $316_1O_1$  および導電端子  $326_1$ 、 $2$  に接続される。

#### 【0116】

出力端子  $316_1O_1$ 、 $316_1O_2$ 、 $316_1O_3$ 、 $316CO_1$ 、 $316_2O_2$ 、 $316_2O_3$ 、 $\dots$ 、 $316CO(n-1)$ 、 $316_nO_2$ 、 $316_nO_3$ 、 $316_nO_4$  および  $316AO_1$  は、MUX 18 の対応する入力端子に接続される。

20

#### 【0117】

フィルタ 322 は複数のフィルタ部分  $322_1$ 、 $322_2$ 、 $\dots$ 、 $322_n$  から成り、ここで、各フィルタ部分は、電力貯蔵装置 24 の対応する電力セル  $24_1$ 、 $24_2$ 、 $\dots$ 、 $24_n$  に接続される入力端子と、スイッチングネットワーク  $316_1$ 、 $316_2$ 、 $\dots$ 、 $316_n$  の対応する入力端子に接続された出力端子と、を含む。フィルタ部分  $322_1$  は、入力端子  $322_1I_1$  および  $322CI_1$  と、出力端子  $322_1O_1$ 、 $322_1O_2$  および  $322CO_1$  と、を有し、フィルタ部分  $322_2$  は、入力端子  $322CI_1$  および  $322CI_2$  と、出力端子  $322CO_1$ 、 $322_2O_2$  および  $322CO_2$  と、を有し、フィルタ部分  $322_n$  は、入力端子  $322CI(n-1)$  および  $322_nI_2$  と、出力端子  $322CO(n-1)$ 、 $322_nO_2$  および  $322_nO_3$  と、を有する。

30

#### 【0118】

入力端子  $322_1I_1$  は、電力セル  $24_1$  の正極に接続され、入力端子  $322CI_1$  は、それぞれ、電力セル  $24_1$  および  $24_2$  の負極および正極に接続される。入力端子  $322CI(n-1)$  は電力セル  $24_n$  の正極に接続され、入力端子  $322_nI_2$  は、電力セル  $24_n$  の負極に接続される。

#### 【0119】

フィルタ部分  $322_1$  は、インピーダンス素子  $334_1$  および  $334_2$  と、エネルギー貯蔵素子  $336_1$  と、を備えるが、ここで、エネルギー貯蔵素子  $336_1$  は、入力ピン  $312P_A$  に接続された端子と、入力ピン  $312P_3$  に接続された端子と、を有する。出力端子  $322_1O_1$  は入力ピン  $312P_1$  に接続される。入力端子  $322CI_1$  は、インピーダンス素子  $334_2$  を介して出力端子  $322CO_1$  に接続され、出力端子  $322CO_1$  は入力ピン  $312P_4$  に接続される。インピーダンス素子  $334_2$  はフィルタ部分  $322_1$  および  $322_2$  に対して共通であることに留意されたい。例えば、インピーダンス素子  $334_1$  および  $334_2$  はレジスタであり、エネルギー貯蔵素子  $336_1$  はキャパシタである。

40

#### 【0120】

フィルタ部分  $322_2$  は、インピーダンス素子  $334_2$  およびエネルギー貯蔵素子  $336_2$  を備える。出力端子  $322CO_1$  は、入力ピン  $312P_4$  に接続される。エネルギー貯蔵素子  $336_2$  の 1 つの端子は入力ピン  $312P_3$  に接続され、キャパシタ  $336_2$  の他方の端子は入力ピン  $312P_6$  に接続される。例えば、インピーダンス素子  $334_2$  は

50

レジスタであり、エネルギー貯蔵素子  $336_2$  はキャパシタである。類似の共有コンポーネントおよび接続部が、フィルタ部分  $322_1$  とフィルタ部分  $322_2$  との間に存在するように、フィルタ部分  $322_2$  と、フィルタ部分  $322_2$  に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、フィルタ部分  $322_2$  の全てのコンポーネントが図示されているわけではない。

#### 【0121】

フィルタ部分  $322_n$  は、インピーダンス素子  $334_n$  および  $334_{(n+1)}$  と、エネルギー貯蔵素子  $336_n$  と、を備える。出力端子  $322_{CO}(n-1)$  は、入力ピン  $312P_{(3n-2)}$  に接続される。入力端子  $322_{CI}(n-1)$  は、インピーダンス素子  $334_n$  を介して出力端子  $322_{CO}(n-1)$  に接続される。入力端子  $322_{I2}$  は、インピーダンス素子  $334_{(n+1)}$  を介して出力端子  $322_{O3}$  に接続される。エネルギー貯蔵素子  $336_n$  の1つの端子は入力ピン  $312P_6$  に接続され、エネルギー貯蔵素子  $336_n$  の他方の端子は入力ピン  $312P_{3n}$  に接続される。例えば、インピーダンス素子  $334_n$  および  $334_{(n+1)}$  はレジスタであり、エネルギー貯蔵素子  $336_n$  はキャパシタである。

#### 【0122】

別の実施形態によれば、セルの極性は、これらのセルが図に示す反対の極性となるように切り替えられる。

#### 【0123】

引き続き図15を参照すると、スイッチングネットワーク  $316_1$ 、 $\dots$ 、 $316_n$  は、フィルタリング継続観察モード、サンプルアンドホールドモードおよび内部平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。既に検討したように、動作モードは、スイッチング素子  $326A$ 、 $326_1$ 、 $\dots$ 、 $326_n$ 、 $328_1$ 、 $\dots$ 、 $328_n$  および  $331_1$ 、 $\dots$ 、 $331_n$  の状態に従って、すなわち、これらのスイッチング素子がオープンされクローズされオープンまたはクローズされる組み合わせに従って選択し得る。

#### 【0124】

フィルタリング継続観察動作モードでは、電力セル  $24_1$ 、 $\dots$ 、 $24_n$  にまたがる電圧を、スイッチング素子  $326_1$ 、 $\dots$ 、 $326_n$  および  $328_1$ 、 $\dots$ 、 $328_n$  がオープンされるように構成し、スイッチング素子  $331_1$ 、 $\dots$ 、 $331_n$  および  $326A$  がクローズされるように構成することによって監視される。例えば、電力セル  $24_1$  にまたがる電圧は、MUX18の、出力端子  $316_{AO1}$  および  $316_{O3}$  の電圧をADC20に伝達する構成にตอบสนองして監視することが可能である。このように、電力セル  $24_1$  のフィルタリングされた電圧を表す電圧がADC20に伝達され、これによって、電力セル  $24_1$  にまたがる電圧が観察または監視される。同様に、電力セル  $24_2$  にまたがる電圧は、MUX18の、出力端子  $316_{O3}$  および  $316_{O3}$  の電圧をADC20に伝達する構成にตอบสนองして監視することが可能である。このように、電力セル  $24_2$  のフィルタリングされた電圧を表す電圧がADC20に伝達され、これによって、電力セル  $24_2$  にまたがる電圧が観察または監視される。電力セル  $24_n$  にまたがる電圧は、MUX18の、出力端子  $316_{(n-1)O3}$  および  $316_{nO3}$  の電圧をADC20に伝達する構成にตอบสนองして監視することが可能である。このように、電力セル  $24_n$  のフィルタリングされた電圧を表す電圧がADC20に伝達され、これによって、電力セル  $24_n$  にまたがる電圧が観察または監視される。

#### 【0125】

微分サンプルアンドホールド動作モードでは、電力セル  $24_1$ 、 $\dots$ 、 $24_n$  にまたがる電圧を、スイッチング素子  $326A$ 、 $326_1$ 、 $\dots$ 、 $326_n$ 、 $328_1$ 、 $\dots$ 、 $328_n$ 、および  $331_1$ 、 $\dots$ 、 $331_n$  の制御端子に、それぞれ、適当な制御電圧  $V326A$ 、 $V326_1$ 、 $\dots$ 、 $V326_n$ 、 $V328_1$ 、 $\dots$ 、 $V328_n$ 、および  $V331_1$ 、 $\dots$ 、 $V331_n$  を印加することによってサンプリングならびに記憶もしくは保持することが可能である。サンプリングするために、スイッチング素子は、

フィルタリング継続観察モードを可能とするように構成される。このようなスイッチ構成に  
 応答して、キャパシタ $336_1$ 、 $\dots$ 、 $336_n$ は、電力セル $24_1$ 、 $\dots$ 、 $24_n$ にまたがる電圧に実質的に等しい電圧まで充電される、すなわち、キャパシタ $336_1$ 、 $\dots$ 、 $336_n$ は、電力セル $24_1$ 、 $\dots$ 、 $24_n$ の電圧をサンプリングする。キャパシタ $336_1$ 、 $\dots$ 、 $336_n$ は、フィルタとして機能し、サンプリングされた信号をフィルタリングする。スイッチング素子 $326A$ および $331_1$ 、 $\dots$ 、 $331_n$ のオン抵抗( $R_{ds\ on}$ )は、キャパシタ $336_1$ 、 $\dots$ 、 $336_n$ の両端子と直列になっており、これによって、同相雑音に付きものの問題が軽減される。

#### 【0126】

電力セル $24_1$ 、 $\dots$ 、 $24_n$ の電圧をサンプリングした後、情報は、これらスイッチング素子の開放に好適な制御信号 $V326A$ および $V331_1$ 、 $\dots$ 、 $V331_n$ を、それぞれ、スイッチング素子 $326A$ および $331_1$ 、 $\dots$ 、 $331_n$ の制御端子に印加することによってキャパシタ $336_1$ 、 $\dots$ 、 $336_n$ 上に保持される。スイッチング素子 $326_1$ 、 $\dots$ 、 $326_n$ は、開放状態にとどまる、すなわち、フィルタリング継続観察モードのときと同じ状態を保つ。このスイッチング素子構成に  
 応答して、キャパシタ $336_1$ 、 $\dots$ 、 $336_n$ は、電力セル $24_1$ 、 $\dots$ 、 $24_n$ のスタックから隔離され、これによって、電力セル $24_1$ 、 $\dots$ 、 $24_n$ 上に出力された電圧が保持される。

#### 【0127】

電力セル $24_1$ の電圧を表すサンプリングされた電圧は、MUX18の、出力端子 $316_{AO1}$ および $316_{AO3}$ の電圧をADC20に伝達する構成に  
 応答して監視することが可能である。MUX18の、出力端子 $316_{AO3}$ および $316_{AO3}$ の電圧をADC20に伝達する構成に  
 応答して、電力セル $24_2$ の電圧を表すサンプリングされた電圧がADC20に伝達される。MUX18の、出力端子 $316_{(n-1)O3}$ および $316_{nO3}$ の電圧をADC20に伝達する構成に  
 応答して、電力セル $24_n$ の電圧を表すサンプリングされた電圧がADC20に伝達される。

#### 【0128】

内部平衡化動作モードでは、スイッチング素子 $331_1$ 、 $\dots$ 、 $331_n$ および $362A$ はオープンされたりクローズされたりするが、一方、電力セル $24_1$ 、 $\dots$ 、 $24_n$ は、図6とスイッチング素子 $26_1$ 、 $\dots$ 、 $26_n$ および $28_1$ 、 $\dots$ 、 $28_n$ を参照してした場合と同様にスイッチング素子 $326_1$ 、 $\dots$ 、 $326_n$ および $328_1$ 、 $\dots$ 、 $328_n$ を用いて平衡化される。

#### 【0129】

スイッチング素子 $328_1$ 、 $328_2$ 、 $\dots$ 、 $328_n$ はオプション素子であり、スイッチング素子 $328_1$ 、 $328_2$ 、 $\dots$ 、 $328_n$ が存在しない実施形態によれば、それぞれ、出力端子 $316_{AO2}$ が出力端子 $316_{AO4}$ に短絡され、出力端子 $316_{AO2}$ が出力端子 $316_{AO4}$ に短絡され、出力端子 $316_{nO2}$ が出力端子 $316_{nO4}$ に短絡されることに留意されたい。

#### 【0130】

図16は、本発明の別の実施形態による、フィルタ部分322を介して電力セル24に接続されるインタフェースネットワーク316(図11を参照して説明した)のスイッチング部分316<sub>m</sub>の回路図である。図13、15および17のスイッチングネットワーク316<sub>1</sub>、316<sub>2</sub>、 $\dots$ 、316<sub>n</sub>が、スイッチング部分316<sub>m</sub>から成り、変数mが、整数1、2、 $\dots$ 、nを表すために用いられることに留意されたい。例えば、スイッチングネットワーク316<sub>1</sub>はスイッチング部分316<sub>m</sub>に対応し、ここで、mは、1で置き換えられ、スイッチングネットワーク316<sub>2</sub>はスイッチング素子316<sub>m</sub>に対応し、ここで、mは、2で置き換えられ、スイッチングネットワーク316<sub>n</sub>はスイッチング素子316<sub>m</sub>に対応し、ここで、mは、nで置き換えられる。

#### 【0131】

スイッチング部分316<sub>m</sub>を図12を参照して説明した。例えば、スイッチング素子3

26<sub>m</sub>および328<sub>m</sub>は単純なトランジスタプリドライバを形成するが、いずれかの極性を持つ外部平衡化素子を駆動することが可能な他のなんらかのプリドライバ回路で置き換えることが可能である。

#### 【0132】

図16のフィルタ部分322<sub>m</sub>は、図12を参照して説明したフィルタ部分に類似しているが、平衡化素子330<sub>m</sub>が平均化素子330<sub>m</sub>および332<sub>m</sub>を含む点だけが異なる。平均化素子330<sub>m</sub>は、NPNバイポーラトランジスタ、PNPバイポーラトランジスタ、NチャネルMOSFET、PチャネルMOSFET等で有り得る。例えば、平衡化素子330<sub>m</sub>および332<sub>m</sub>は、それぞれ、NチャネルMOSFETトランジスタおよびレジスタである。NチャネルMOSFET330<sub>m</sub>は、レジスタ332<sub>m</sub>を介して入力端子322<sub>m</sub>I1に接続されるドレイン端子と、入力端子322<sub>m</sub>I2に接続されるソース端子と、入力ピン312P(3<sub>m</sub>-1)に接続される出力端子322<sub>m</sub>O2として機能するか、または代替的に、出力端子322<sub>m</sub>O2に接続されるゲート端子と、を有する。出力端子322<sub>m</sub>O1は、インピーダンス素子334<sub>m</sub>を介して入力端子322<sub>m</sub>I1に接続される。エネルギー貯蔵素子336<sub>m</sub>は、入力ピン312P(3<sub>m</sub>-2)に接続された端子と、入力ピン312P3<sub>m</sub>に接続された端子と、を有する。例えば、インピーダンス素子334<sub>m</sub>および334(3<sub>m</sub>+1)はレジスタであり、エネルギー貯蔵素子336<sub>m</sub>はキャパシタである。レジスタ332<sub>m</sub>および334<sub>m</sub>は各々が、一般的には一緒に接続されて、入力端子322<sub>m</sub>I1に接続されるか、または代替的に、入力端子322<sub>m</sub>I1を形成する結節を形成する端子を有する。レジスタ332<sub>m</sub>の他方の端子はトランジスタ330<sub>m</sub>のドレイン端子に接続され、レジスタ334<sub>m</sub>の他方の端子はキャパシタ336<sub>m</sub>の端子に接続されて、出力端子322<sub>m</sub>O1として機能するか、または代替的に、出力端子322<sub>m</sub>O1に接続される結節を形成する。上述したように、キャパシタ336<sub>m</sub>の他方の端子は出力ピン312P3<sub>m</sub>に接続される。レジスタ334(3<sub>m</sub>+1)は、トランジスタ330<sub>m</sub>のソース端子に接続されて、入力端子322<sub>m</sub>I2に接続されるか、または代替的に、入力端子322<sub>m</sub>I2として機能し得る結節を形成する端子を有し、そして、入力端子として機能し得るか、または代替的に、入力端子322<sub>m</sub>O4に接続される端子をも有する。

#### 【0133】

電力セル24<sub>m</sub>は、フィルタ部分322<sub>m</sub>の入力端子322<sub>m</sub>I1に接続された正極と、フィルタ部分322<sub>m</sub>の入力端子322<sub>m</sub>I2に接続された負極と、を有するバッテリーセルを備える。

#### 【0134】

出力端子322<sub>m</sub>O1は入力ピン312P(3<sub>m</sub>-2)に電氣的に接続され、出力端子322<sub>m</sub>O2は入力ピン312P(3<sub>m</sub>-1)に電氣的に接続され、出力端子322<sub>m</sub>O4は入力ピン312P(3<sub>m</sub>+1)に電氣的に接続されることに留意されたい。

#### 【0135】

引き続き図16を参照すると、スイッチング部分316<sub>m</sub>は、フィルタリング継続監視もしくは観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。フィルタリング継続観察動作モードでは、電力セル24<sub>m</sub>にまたがる電圧は、このスイッチング素子の開放に好適な制御電圧V326<sub>m</sub>をスイッチング素子326<sub>m</sub>の制御端子に印加し、これらのスイッチング素子の閉鎖に好適な制御電圧V328<sub>m</sub>およびV331<sub>m</sub>を、それぞれ、スイッチング素子328<sub>m</sub>および331<sub>m</sub>の制御端子に印加することによって監視される。したがって、電源セル24<sub>m</sub>のフィルタリングされた電圧は、出力端子316<sub>m</sub>O1と316<sub>m</sub>O3間に現れる。MUX18(図11に図示する)は、出力端子316<sub>m</sub>O1と316<sub>m</sub>O3間の電圧をADC20に伝達するように構成される。したがって、電力セル24<sub>m</sub>の電圧を表す電圧がADC20に伝達され、これによって、電力セル24<sub>m</sub>にまたがる電圧が観察または監視される。

#### 【0136】



サンプルアンドホールド動作モードでは、電力セル 2 4<sub>m</sub> にまたがる電圧は、このスイッチング素子の開放に好適な制御電圧 V 3 2 6<sub>m</sub> をスイッチング素子 3 2 6<sub>m</sub> の制御端子に印加し、これらのスイッチング素子の閉鎖に好適な制御電圧 V 3 2 8<sub>m</sub> および V 3 3 1<sub>m</sub> を、それぞれ、スイッチング素子 3 2 8<sub>m</sub> および 3 3 1<sub>m</sub> の制御端子に印加することによってサンプリングならびに記憶もしくは保持される。キャパシタ 3 3 6<sub>m</sub> は、電力セル 2 4<sub>m</sub> にまたがる電圧に実質的に等しい電圧にまで充電される、すなわち、キャパシタ 3 3 6<sub>m</sub> は電力セル 2 4<sub>m</sub> の電圧をサンプリングする。

【 0 1 3 7 】

電力セル 2 4<sub>m</sub> の電圧をサンプリングした後、スイッチング素子 3 3 1<sub>m</sub> の開放に好適な制御電圧 V 3 3 1<sub>m</sub> がスイッチング素子 3 3 1<sub>m</sub> の制御端子に印加される一方で、スイッチング素子 3 2 6<sub>m</sub> および 3 2 8<sub>m</sub> を、それぞれ、開放構成および閉鎖構成で維持するのに好適な制御電圧 V 3 2 6<sub>m</sub> および V 3 2 8<sub>m</sub> は、スイッチング素子 3 2 6<sub>m</sub> および 3 2 8<sub>m</sub> の制御端子に維持される。したがって、キャパシタ 3 3 6<sub>m</sub> に現れるサンプリングされた電圧が保持されて、出力端子 3 1 6<sub>m</sub> O 1 と 3 1 6<sub>m</sub> O 3 間に現れる。M U X 1 8 は、出力端子 3 1 6<sub>m</sub> O 1 と 3 1 6<sub>m</sub> O 3 間の電圧を A D C 2 0 に伝達するように構成される。したがって、電力セル 2 4<sub>m</sub> のサンプルアンドホールド電圧を表す電圧が、A D C 2 0 に伝達される。

【 0 1 3 8 】

平衡化動作モードでは、電力セル 2 4<sub>m</sub> にまたがる電圧は、スイッチング素子 3 2 6<sub>m</sub> の閉鎖およびスイッチング素子 3 2 8<sub>m</sub> の開放に好適な制御電圧 V 3 2 6<sub>m</sub> および V 3 2 8<sub>m</sub> を、それぞれ、スイッチング素子 3 2 6<sub>m</sub> および 3 2 8<sub>m</sub> の制御端子に印加することによって平衡化することが可能である。したがって、インピーダンス素子 3 3 2<sub>m</sub> およびトランジスタ 3 3 0<sub>m</sub> を通過する平衡化電流によって、電力セル 2 4<sub>m</sub> が放電される。図 1 2 を参照して検討したように、スイッチング素子 3 2 6<sub>m</sub> は平衡化スイッチング素子またはスイッチング素子と呼ばれ、スイッチング素子 3 3 1<sub>m</sub> はサンプリングスイッチング素子と呼ばれ得る。

【 0 1 3 9 】

図 1 7 は、図 1 1 および 1 6 を参照して説明したように制御モジュール 3 1 2 およびフィルタ回路 3 2 2 を備え、図 1 6 を参照して説明したフィルタ回路 3 2 2 およびインタフェース回路 3 1 6 の回路実装物の実施形態をさらに含む電力セルモニタおよび制御回路 4 5 0 のブロック図である。制御モジュール 4 5 0 はバッテリー装置 2 4 に接続される。制御モジュール 4 5 0 は、制御モジュール 3 5 0 に類似しているが、制御モジュール 4 5 0 が平衡化構造体 3 3 0<sub>1</sub>、3 3 0<sub>2</sub>、・・・、3 3 0<sub>n</sub> および平衡化構造体 3 3 2<sub>1</sub>、3 3 2<sub>2</sub>、・・・、3 3 2<sub>n</sub> を含む点だけが異なる。より具体的に、また、図 1 3 を参照して説明した制御モジュール 3 5 0 の説明に続いて、トランジスタ 3 3 0<sub>1</sub> は、レジスタ 3 3 2<sub>1</sub> を介して入力端子 3 2 2<sub>1</sub> I 1 に接続されるドレイン端子と、入力端子 3 2 2<sub>c</sub> I 1 に接続されるソース端子と、入力ピン 3 1 2 P<sub>2</sub> に接続されるゲート端子と、を有する。出力端子 3 2 2<sub>1</sub> O 1 は、インピーダンス素子 3 3 4<sub>1</sub> を介して入力端子 3 2 2<sub>1</sub> I 1 に接続される。エネルギー貯蔵素子 3 3 6<sub>1</sub> は、入力ピン 3 1 2 P<sub>1</sub> に接続される端子と、入力ピン 3 1 2 P<sub>3</sub> に接続される端子と、を有する。例えば、インピーダンス素子 3 3 4<sub>1</sub> および 3 3 4<sub>2</sub> はレジスタであり、エネルギー貯蔵素子 3 3 6<sub>1</sub> はキャパシタである。レジスタ 3 3 2<sub>1</sub> および 3 3 4<sub>1</sub> は各々が、一般的には一緒に接続されて、入力端子 3 2 2<sub>1</sub> I 1 に接続され得るか、または代替的に、入力端子 3 2 2<sub>1</sub> I 1 を形成する結節を形成する端子を有する。レジスタ 3 3 2<sub>1</sub> の他方の端子はトランジスタ 3 3 0<sub>1</sub> のドレイン端子に接続され、レジスタ 3 3 4<sub>1</sub> の他方の端子はキャパシタ 3 3 6<sub>1</sub> の端子に接続されて、出力端子 3 2 2<sub>1</sub> O 1 として機能するか、または代替的に、出力端子 3 2 2<sub>1</sub> O 1 に接続され得る結節を形成する。レジスタ 3 3 4<sub>2</sub> は、トランジスタ 3 3 0<sub>1</sub> のソース端子に接続されて、入力端子 3 2 2<sub>c</sub> I 1 に接続され得るか、または代替的に、入力端子 3 2 2<sub>c</sub> I 1 として機能し得る結節を形成する端子と、出力端子 3 2 2<sub>c</sub> O 1 として機能し得るか、または代替的に、出力端子 3 2 2<sub>c</sub> O 1 に接続され得る端子と、を有する。

10

20

30

40

50

## 【0140】

トランジスタ $330_2$ は、レジスタ $332_2$ を介して入力端子 $322_{CI1}$ に接続されるドレイン端子と、入力端子 $322_{CI(n-1)}$ に接続されるソース端子と、入力ピン $312P_5$ に接続されるゲート端子と、を有する。出力端子 $322_{CO1}$ は、インピーダンス素子 $334_2$ を介して入力端子 $322_{CI1}$ に接続される。エネルギー貯蔵素子 $336_2$ は、入力ピン $312P_4$ に接続された端子と、入力ピン $312P_6$ に接続された端子と、を有する。例えば、インピーダンス素子 $334_2$ および $334_2$ はレジスタであり、エネルギー貯蔵素子 $336_2$ はキャパシタである。レジスタ $332_2$ および $334_2$ は各々が、一般的には一緒に接続されて、入力端子 $322_{CI1}$ に接続され得るか、または代替的に、入力端子 $322_{CI1}$ を形成する結節を形成する端子を有する。レジスタ $332_2$ の他方の端子はトランジスタ $330_2$ のドレイン端子に接続され、レジスタ $334_2$ の他方の端子はキャパシタ $336_2$ の端子に接続されて、出力端子 $322_{CO1}$ として機能するか、または代替的に、出力端子 $322_{CO1}$ に接続され得る結節を形成する。類似の共有コンポーネントおよび接続部が、フィルタ部分 $322_1$ とフィルタ部分 $322_2$ との間に存在するように、フィルタ部分 $322_2$ と、フィルタ部分 $322_2$ に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、スイッチングネットワーク $322_2$ の全てのコンポーネントが図示されているわけではない。

10

## 【0141】

トランジスタ $330_n$ は、レジスタ $332_n$ を介して入力端子 $322_{CI(n-1)}$ に接続されるドレイン端子と、入力端子 $322_{CI2}$ に接続されるソース端子と、入力ピン $312P_{(3n-1)}$ に接続されるゲート端子と、を有する。出力端子 $322_{CO4}$ は、インピーダンス素子 $334_{(n+1)}$ を介して入力端子 $322_{CI2}$ に接続される。エネルギー貯蔵素子 $336_n$ は、入力ピン $312P_{(3n-2)}$ に接続される端子と、入力ピン $312P_{3n}$ に接続される端子と、を有する。例えば、インピーダンス素子 $334_{(n+1)}$ はレジスタであり、エネルギー貯蔵素子 $336_n$ はキャパシタである。レジスタ $332_n$ および $334_n$ は各々が、一般的には一緒に接続されて、入力端子 $322_{CI(n-1)}$ に接続されるか、または代替的に、入力端子 $322_{CI(n-1)}$ を形成する結節を形成する端子を有する。レジスタ $332_n$ の他方の端子はトランジスタ $330_n$ のドレイン端子に接続され、レジスタ $334_n$ の他方の端子はキャパシタ $336_n$ の端子に接続されて、出力端子 $322_{CO(n-1)}$ として機能するか、または代替的に、出力端子 $322_{CO(n-1)}$ に接続される結節を形成する。レジスタ $334_{(n+1)}$ は、トランジスタ $330_n$ のソース端子に接続されて、入力端子 $322_{CI2}$ に接続され得るか、または代替的に、入力端子 $322_{CI2}$ として機能する結節を形成する端子と、入力ピン $312P_{(3n+1)}$ に接続され得る出力端子 $322_{CO4}$ として機能するか、または代替的に、出力端子 $322_{CO4}$ に接続され得る端子と、を有する。

20

30

## 【0142】

引き続き図17を参照すると、スイッチング部分 $316_1$ 、 $\dots$ 、 $316_n$ は、フィルタリング継続観察モード、サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。図16を参照して検討したように、動作モードは、スイッチング素子 $326_1$ 、 $\dots$ 、 $326_n$ 、 $328_1$ 、 $\dots$ 、 $328_n$ および $331_1$ 、 $\dots$ 、 $331_n$ の状態に従って、すなわち、これらのスイッチング素子がオープンされクローズされオープンまたはクローズされる組み合わせに従って選択し得る。

40

## 【0143】

図18は、本発明の別の実施形態による、フィルタ部分 $322_m$ を介して電力セル $24_m$ に接続されるインタフェースネットワーク $316$ (図11を参照して説明した)のスイッチング部分 $316_m$ の回路図である。図11のスイッチングネットワーク $316_1$ 、 $316_2$ 、 $\dots$ 、 $316_n$ が、スイッチング部分 $316_m$ から成り、変数 $m$ が、整数1、2、 $\dots$ 、 $n$ を表すために用いられることに留意されたい。例えば、スイッチング素子 $316_1$ はスイッチング素子 $316_m$ に対応し、ここで、 $m$ は、1で置き換えられ、スイ

50

ツチング素子 $316_2$ はスイッチング素子 $316_m$ に対応し、ここで、 $m$ は、 $2$ で置き換えられ、スイッチング素子 $316_n$ はスイッチング素子 $316_m$ に対応し、ここで、 $m$ は、 $n$ で置き換えられる。図18のスイッチング部分 $316_m$ は図16のスイッチング部分 $316_m$ に類似しているが、キャパシタ $336_m$ の端子のうちの1つが入力ピン $312P_1$ に接続されていない点だけが異なる。したがって、キャパシタ $336_m$ は、一方の端子は入力ピン $312P_{3m}$ に接続されているが、他方の端子は入力ピン $312P_{(3m-1)}$ には接続されない。図12を参照して検討したように、スイッチング素子 $326_m$ は平衡化スイッチング素子と呼ばれ、スイッチング素子 $331_m$ はサンプリングスイッチング素子と呼ばれ得る。

#### 【0144】

図19は、図11および17を参照して説明したように制御モジュール312およびフィルタ回路322を備え、図18を参照して説明したフィルタ回路322およびインタフェース回路316の回路実装物の実施形態をさらに含む電力セルモニタおよび回路モジュール500のブロック図である。制御モジュール500はバッテリー装置24に接続される。制御モジュール500は制御モジュール400に類似しているが、制御モジュール500が平衡化構造体 $330_1$ 、 $330_2$ 、 $\dots$ 、 $330_n$ および平衡化構造体 $332_1$ 、 $332_2$ 、 $\dots$ 、 $332_n$ を含む点だけが異なる。より具体的に、また、図15を参照して説明した制御モジュール400の説明に続いて、トランジスタ $330_1$ は、レジスタ $332_1$ を介して入力端子 $322_I1$ に接続されるドレイン端子と、入力端子 $322_C I1$ に接続されるソース端子と、入力ピン $312P_2$ に接続されるゲート端子と、を有する。出力端子 $322_O1$ は、インピーダンス素子 $334_1$ を介して入力端子 $322_I1$ に接続される。エネルギー貯蔵素子 $336_1$ は、入力ピン $312P_A$ に接続される端子と、入力ピン $312P_3$ に接続される端子と、を有する。例えば、インピーダンス素子 $334_1$ および $334_2$ はレジスタであり、エネルギー貯蔵素子 $336_1$ はキャパシタである。レジスタ $332_1$ および $334_1$ は各々が、一般的には一緒に接続されて、入力端子 $322_I1$ に接続され得るか、または代替的に、入力端子 $322_I1$ を形成し得る結節を形成する端子を有する。レジスタ $332_1$ の他方の端子はトランジスタ $330_1$ のドレイン端子に接続され、レジスタ $334_1$ の他方の端子は、出力端子 $322_O1$ を介して入力ピン $312P_1$ に接続される。レジスタ $334_2$ は、トランジスタ $330_1$ のソース端子に接続されて、入力端子 $322_C I1$ に接続され得るか、または代替的に、入力端子 $322_C I1$ として機能し得る結節を形成する端子と、入力ピン $312P_4$ に接続され得る出力端子 $322_O1$ として機能し得るか、または代替的に、出力端子 $322_O1$ に接続され得る端子と、を有する。

#### 【0145】

トランジスタ $330_2$ は、レジスタ $332_2$ を介して入力端子 $322_C I1$ に接続されるドレイン端子と、入力端子 $322_C I(n-1)$ に接続されるソース端子と、出力端子 $322_O2$ を介して入力ピン $312P_5$ に接続されるゲート端子と、を有する。出力端子 $322_O1$ は、インピーダンス素子 $334_2$ を介して入力端子 $322_C I1$ に接続される。エネルギー貯蔵素子 $336_2$ は、入力ピン $312P_3$ に接続された端子と、入力ピン $312P_6$ に接続された端子と、を有する。例えば、インピーダンス素子 $334_2$ はレジスタであり、エネルギー貯蔵素子 $336_2$ はキャパシタである。レジスタ $332_2$ および $334_2$ は各々が、一般的には一緒に接続されて、入力端子 $322_C I1$ に接続され得るか、または代替的に、入力端子 $322_C I1$ を形成し得る結節を形成する端子を有する。レジスタ $332_2$ の他方の端子はトランジスタ $330_2$ のドレイン端子に接続され、レジスタ $334_2$ の他方の端子は、出力端子 $322_O1$ を介して入力ピン $312P_4$ に接続される。類似の共有コンポーネントおよび接続部が、フィルタ部分 $322_1$ とフィルタ部分 $322_2$ との間に存在するように、フィルタ部分 $322_2$ と、フィルタ部分 $322_2$ に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、スイッチングネットワーク $322_2$ の全てのコンポーネントが図示されているわけではない。

10

20

30

40

50

## 【0146】

トランジスタ $330_n$ は、レジスタ $332_n$ を介して入力端子 $322_{cI}(n-1)$ に接続されるドレイン端子と、入力端子 $322_nI2$ に接続されるソース端子と、出力端子 $322_nO2$ を介して入力ピン $312P_{(3n-1)}$ に接続されるゲート端子と、を有する。出力端子 $322_nO4$ は、インピーダンス素子 $334_{(n+1)}$ を介して入力端子 $322_nI2$ に接続される。エネルギー貯蔵素子 $336_n$ は、入力ピン $312P_{3n}$ に接続された端子を有する。例えば、インピーダンス素子 $334_{(n+1)}$ はレジスタであり、エネルギー貯蔵素子 $336_n$ はキャパシタである。レジスタ $332_n$ および $334_n$ は各々が、一般的には一緒に接続されて、入力端子 $322_{cI}(n-1)$ に接続され得るか、または代替的に、入力端子 $322_{cI}(n-1)$ を形成し得る結節を形成する端子を有する。レジスタ $332_n$ の他方の端子はトランジスタ $330_n$ のドレイン端子に接続され、レジスタ $334_n$ の他方の端子は、出力端子 $322_{cO}(n-1)$ を介して入力ピン $312P_{(3n-2)}$ に接続される。レジスタ $334_{(n+1)}$ は、トランジスタ $330_n$ のソース端子に接続されて、入力端子 $322_nI2$ に接続され得るか、または代替的に、入力端子 $322_nI2$ として機能する結節を形成する端子と、入力ピン $312P_{(3n+1)}$ に接続される出力端子 $322_nO4$ として機能し得るか、または代替的に、入力端子 $322_nO4$ に接続され得る端子と、を有する。

10

## 【0147】

別の実施形態によれば、セルの極性は、これらのセルが図に示す反対の極性となるように切り替えられる。あるいは、 $n$ チャネルトランジスタを $p$ チャネルトランジスタと置き換えることが可能である。

20

## 【0148】

引き続き図19を参照すると、スイッチングネットワーク $316_1$ 、 $\dots$ 、 $316_n$ は、フィルタリング継続観察モード、微分サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。既に検討したように、動作モードは、スイッチング素子 $326A$ 、 $326_1$ 、 $\dots$ 、 $326_n$ 、 $328_1$ 、 $\dots$ 、 $328_n$ および $331_1$ 、 $\dots$ 、 $331_n$ の状態に従って、すなわち、これらのスイッチング素子がオープンされクローズされオープンまたはクローズされる組み合わせに従って選択し得る。

## 【0149】

30

フィルタリング継続観察動作モードでは、電力セル $24_1$ 、 $\dots$ 、 $24_n$ にまたがる電圧を、スイッチング素子 $326_1$ 、 $\dots$ 、 $326_n$ がオープンされるように構成し、スイッチング素子 $328_1$ 、 $\dots$ 、 $328_n$ 、 $331_1$ 、 $\dots$ 、 $331_n$ および $326A$ がクローズされるように構成することによって監視される。電力セル $24_1$ 、 $\dots$ 、 $24_n$ にまたがる電圧は、図15を参照して説明したのと類似した技法を用いてMUX18を構成することによって、ADC20によって監視することが可能である。

## 【0150】

微分サンプルアンドホールド動作モードでは、電力セル $24_1$ 、 $\dots$ 、 $24_n$ にまたがる電圧は、適当な制御電圧 $V326A$ 、 $V326_1$ 、 $\dots$ 、 $V326_n$ 、 $V328_1$ 、 $\dots$ 、 $V328_n$ および $V331_1$ 、 $\dots$ 、 $V331_n$ を、それぞれ、スイッチング素子 $326A$ 、 $326_1$ 、 $\dots$ 、 $326_n$ 、 $328_1$ 、 $\dots$ 、 $328_n$ および $331_1$ 、 $\dots$ 、 $331_n$ の制御端子に印加することによってサンプリングならびに記憶もしくは保持することが可能である。サンプリングするために、スイッチング素子は、フィルタリング継続観察モードを可能とするように構成される。このようなスイッチング素子構成にตอบสนองして、キャパシタ $336_1$ 、 $\dots$ 、 $336_n$ は、電力セル $24_1$ 、 $\dots$ 、 $24_n$ にまたがる電圧に実質的に等しい電圧まで充電される、すなわち、キャパシタ $336_1$ 、 $\dots$ 、 $336_n$ は、電力セル $24_1$ 、 $\dots$ 、 $24_n$ の電圧をサンプリングする。キャパシタ $336_1$ 、 $\dots$ 、 $336_n$ は、フィルタとして機能し、サンプリングされた信号をフィルタリングする。スイッチング素子 $326A$ および $331_1$ 、 $\dots$ 、 $331_n$ のオン抵抗( $R_{ds\ on}$ )は、キャパシタ $336_1$ 、 $\dots$ 、 $336_n$ の両端子と直

40

50

列になっており、これによって、同相雑音に付きものの問題が軽減される。

#### 【0151】

電力セル $24_1$ 、 $\dots$ 、 $24_n$ の電圧をサンプリングした後、情報は、これらスイッチング素子の開放に好適な制御信号 $V326A$ および $V331_1$ 、 $\dots$ 、 $V331_n$ を、それぞれ、スイッチング素子 $326_A$ および $331_1$ 、 $\dots$ 、 $331_n$ の制御端子に印加することによってキャパシタ $336_1$ 、 $\dots$ 、 $336_n$ 上に保持される。スイッチング素子 $326_1$ 、 $\dots$ 、 $326_n$ および $328_1$ 、 $\dots$ 、 $328_n$ は状態を変化させない、すなわち、フィルタリング継続観察モードのときと同じ状態を保つ。このスイッチング素子構成にตอบสนองして、キャパシタ $336_1$ 、 $\dots$ 、 $336_n$ は、電力セル $24_1$ 、 $\dots$ 、 $24_n$ のスタックから隔離され、これによって、電力セル $24_1$ 、 $\dots$ 、 $24_n$ 上に出力された電圧が保持される。

10

#### 【0152】

電力セル $24_1$ 、 $\dots$ 、 $24_n$ のサンプルアンドホールドされた電圧は、図15を参照して説明したのと同じような方法でMUX18を構成することによってADC20によって監視することが可能である。

#### 【0153】

平衡化動作モードでは、スイッチング素子 $331_1$ 、 $\dots$ 、 $331_n$ および $362A$ はオープンされたりクローズされたりするが、一方、電力セル $24_1$ 、 $\dots$ 、 $24_n$ は、図16および17を参照して説明したのと類似の技法を用いて平衡化される。

#### 【0154】

20

図20は、本発明の別の実施形態によれば、フィルタ部分322を介して電力セル24に接続されるインタフェースネットワーク316(図11を参照して説明した)のスイッチング部分316<sub>m</sub>の回路図である。図21のスイッチングネットワーク316<sub>1</sub>、316<sub>2</sub>、 $\dots$ 、316<sub>n</sub>が、スイッチング部分316<sub>m</sub>から成り、変数 $m$ が、整数1、2、 $\dots$ 、 $n$ を表すために用いられることに留意されたい。例えば、スイッチング素子316<sub>1</sub>はスイッチング素子316<sub>m</sub>に対応するが、ここで、 $m$ は、1に置き換えられ、スイッチング素子316<sub>2</sub>はスイッチング素子316<sub>m</sub>に対応するが、ここで、 $m$ は、2に置き換えられ、スイッチング素子316<sub>n</sub>はスイッチング素子316<sub>m</sub>に対応するが、ここで、 $m$ は、 $n$ に置き換えられる。

#### 【0155】

30

スイッチング部分316<sub>m</sub>を図12を参照して説明した。スイッチング素子326<sub>m</sub>は、図12に示す実施形態のような平衡化レジスタ332<sub>m</sub>が存在しない実施形態で平衡化のために用いられるオプション回路素子である。

#### 【0156】

フィルタ部分322<sub>m</sub>は、図14を参照して説明したフィルタ部分に類似しているが、平衡化素子332<sub>m</sub>を含む点だけが異なる。出力端子322<sub>m</sub>O1は、インピーダンス素子334<sub>m</sub>を介して入力端子322<sub>m</sub>I1に接続される。エネルギー貯蔵素子336<sub>m</sub>は、入力ピン312P<sub>3m</sub>に接続された端子を有する。例えば、平衡化素子332<sub>m</sub>および334<sub>m</sub>と334<sub>(m+1)</sub>はレジスタであり、エネルギー貯蔵素子336<sub>m</sub>はキャパシタである。レジスタ332<sub>m</sub>および334<sub>m</sub>は各々が、一般的には一緒に接続されて、入力端子322<sub>m</sub>I1に接続され得るか、または代替的に、入力端子322<sub>m</sub>I1を形成し得る結節を形成する端子を有する。レジスタ332<sub>m</sub>の他方の端子は、出力端子322<sub>m</sub>O2を介して入力ピン312P<sub>(3m-1)</sub>に接続される。キャパシタ336<sub>m</sub>の一方の端子は、入力ピン312P<sub>3m</sub>に接続される出力端子322<sub>m</sub>O3に接続され得るか、または代替的に、出力端子322<sub>m</sub>O3として機能し得る。キャパシタ336<sub>m</sub>の他方の端子は、図21に示すように他の回路に接続され得る。レジスタ334<sub>(m+1)</sub>は、入力端子322<sub>m</sub>I2に接続され得るか、または代替的に、入力端子222<sub>m</sub>I2として機能する端子と、出力端子322<sub>m</sub>O4として機能するか、または代替的に、出力端子322<sub>m</sub>O4に接続される端子と、を有する。

40

#### 【0157】

50

電力セル  $2\ 4\ m$  は、フィルタ部分  $3\ 2\ 2\ m$  の入力端子  $3\ 2\ 2\ m\ I\ 1$  に接続された正極と、フィルタ部分  $3\ 2\ 2\ m$  の入力端子  $3\ 2\ 2\ m\ I\ 2$  に接続された負極と、を有するバッテリーセルを備える。

【0158】

出力端子  $3\ 2\ 2\ m\ O\ 1$  は入力ピン  $3\ 1\ 2\ P\ (3\ m - 2)$  に電氣的に接続され、出力端子  $3\ 2\ 2\ m\ O\ 2$  は入力ピン  $3\ 1\ 2\ P\ (3\ m - 1)$  に電氣的に接続され、出力端子  $3\ 2\ 2\ m\ O\ 3$  は入力ピン  $3\ 1\ 2\ P\ 3\ m$  に電氣的に接続され、出力端子  $3\ 2\ 2\ m\ O\ 4$  は入力ピン  $3\ 1\ 2\ P\ (3\ m + 1)$  に電氣的に接続されることに留意されたい。

【0159】

図21は、図11を参照して説明したように制御モジュール312およびフィルタ回路322を備え、図20を参照して説明したフィルタ回路322およびインタフェース回路316の回路実装物の実施形態をさらに含む電力セルモニタおよび回路モジュール550のブロック図である。制御モジュール550はバッテリー装置24に接続される。制御モジュール550は制御モジュール500に類似しているが、制御モジュール550が平衡化構造体332<sub>1</sub>、332<sub>2</sub>、・・・、332<sub>n</sub>を含むが、平衡化構造体330<sub>1</sub>、330<sub>2</sub>、・・・、330<sub>n</sub>は含まない点だけが異なる。より具体的に、また、図19を参照して説明した制御モジュール500の説明に続いて、出力端子322<sub>1</sub>O1は、インピーダンス素子334<sub>1</sub>を介して入力端子322<sub>1</sub>I1に接続される。エネルギー貯蔵素子336<sub>1</sub>は、入力ピン312P<sub>A</sub>に接続される端子と、入力ピン312P<sub>3</sub>に接続される端子と、を有する。例えば、平衡化素子332<sub>1</sub>およびインピーダンス素子334<sub>1</sub>及び334<sub>2</sub>はレジスタであり、エネルギー貯蔵素子336<sub>1</sub>はキャパシタである。レジスタ332<sub>1</sub>および334<sub>1</sub>は各々が、一般的には一緒に接続されて、入力端子322<sub>1</sub>I1に接続され得るか、または代替的に、入力端子322<sub>1</sub>I1を形成し得る結節を形成する端子を有する。レジスタ332<sub>1</sub>の他方の端子は、出力端子322<sub>1</sub>O2に接続され得るか、または代替的に、出力端子322<sub>1</sub>O2として機能し、レジスタ334<sub>1</sub>の他方の端子はキャパシタ336<sub>1</sub>の端子に接続されて、出力端子322<sub>1</sub>O1として機能し得るか、または代替的に、出力端子322<sub>1</sub>O1に接続され得る結節を形成し得る。出力端子322<sub>1</sub>O1は入力ピン312P<sub>1</sub>に接続され、出力端子322<sub>1</sub>O2は入力ピン312P<sub>2</sub>に接続される。レジスタ334<sub>2</sub>は、入力端子322<sub>C</sub>I1に接続されるか、または代替的に、入力端子322<sub>C</sub>I1として機能する端子と、出力端子322<sub>C</sub>O1として機能し得るか、または代替的に、出力端子322<sub>C</sub>O1に接続され得る端子と、を有する。

【0160】

出力端子322<sub>C</sub>O1は、インピーダンス素子334<sub>2</sub>を介して入力端子322<sub>C</sub>I1に接続される。エネルギー貯蔵素子336<sub>2</sub>は、入力ピン312P<sub>3</sub>に接続された端子と、入力ピン312P<sub>6</sub>に接続された端子と、を有する。例えば、平衡化回路332<sub>2</sub>およびインピーダンス素子334<sub>2</sub>はレジスタであり、エネルギー貯蔵素子336<sub>2</sub>はキャパシタである。レジスタ332<sub>2</sub>および334<sub>2</sub>は各々が、一般的には一緒に接続されて、入力端子322<sub>C</sub>I1に接続され得るか、または代替的に、入力端子322<sub>C</sub>I1を形成し得る結節を形成する端子を有する。レジスタ332<sub>2</sub>の他方の端子は、出力端子322<sub>2</sub>O2に接続されるか、または代替的に、出力端子322<sub>2</sub>O2として機能し、レジスタ334<sub>2</sub>の他方の端子は、出力端子322<sub>C</sub>O1として機能し得るか、または代替的に、出力端子322<sub>C</sub>O1に接続され得る。出力端子332<sub>2</sub>O2は入力ピン312P<sub>5</sub>に接続される。類似の共有コンポーネントおよび接続部が、フィルタ部分322<sub>1</sub>とフィルタ部分322<sub>2</sub>との間に存在するように、フィルタ部分322<sub>2</sub>と、フィルタ部分322<sub>2</sub>に接続された別のフィルタ部分との間に存在することに留意されたい。明瞭さのために、スイッチングネットワーク322<sub>2</sub>の全てのコンポーネントが図示されているわけではない。

【0161】

出力端子322<sub>n</sub>O4は、インピーダンス素子334<sub>(n+1)</sub>を介して入力端子322<sub>n</sub>I2に接続される。エネルギー貯蔵素子336<sub>n</sub>は、入力ピン312P<sub>3n</sub>に接続さ

10

20

30

40

50

れた端子を有し、出力端子  $3\ 2\ 2\ n\ O\ 3$  として機能し得る。例えば、平衡化回路  $3\ 3\ 2\ n$  およびインピーダンス素子  $3\ 3\ 4\ (n+1)$  はレジスタであり、エネルギー貯蔵素子  $3\ 3\ 6\ n$  はキャパシタである。レジスタ  $3\ 3\ 2\ n$  および  $3\ 3\ 4\ n$  は各々が、一般的には一緒に接続されて、入力端子  $3\ 2\ 2\ c\ I\ (n-1)$  に接続され得るか、または代替的に、入力端子  $3\ 2\ 2\ c\ I\ (n-1)$  を形成し得る結節を形成する端子を有する。レジスタ  $3\ 3\ 2\ n$  の他方の端子は、入力ピン  $3\ 1\ 2\ P\ (3\ n-1)$  に接続され得る出力端子  $3\ 2\ 2\ n\ O\ 2$  に接続され得るか、または代替的に、出力端子  $3\ 2\ 2\ n\ O\ 2$  として機能し、レジスタ  $3\ 3\ 4\ n$  の他方の端子は入力ピン  $3\ 1\ 2\ P\ (3\ n-2)$  に接続され得る。レジスタ  $3\ 3\ 4\ (n+1)$  は、入力端子  $3\ 2\ 2\ n\ I\ 2$  に接続されるか、または代替的に、入力端子  $3\ 2\ 2\ n\ I\ 2$  として機能し得る端子と、入力ピン  $3\ 1\ 2\ P\ (3\ n+1)$  に接続され得る出力端子  $3\ 2\ 2\ n\ O\ 4$  として機能し得るか、または代替的に、出力端子  $3\ 2\ 2\ n\ O\ 4$  に接続され得る端子と、を有する。

10

#### 【0162】

別の実施形態によれば、セルの極性は、これらのセルが図に示す反対の極性となるように切り替えられる。

#### 【0163】

引き続き図21を参照すると、スイッチングネットワーク  $3\ 1\ 6\ 1$ 、 $\dots$ 、 $3\ 1\ 6\ n$  は、フィルタリング継続観察モード、微分サンプルアンドホールドモードおよび平衡化モードを含む少なくとも3つの互いに異なる動作モードで動作する。既に検討したように、動作モードは、スイッチング素子  $3\ 2\ 6\ A$ 、 $3\ 2\ 6\ 1$ 、 $\dots$ 、 $3\ 2\ 6\ n$ 、 $3\ 2\ 8\ 1$ 、 $\dots$ 、 $3\ 2\ 8\ n$  および  $3\ 3\ 1\ 1$ 、 $\dots$ 、 $3\ 3\ 1\ n$  の状態に従って、すなわち、これらのスイッチング素子がオープンされクローズされオープンまたはクローズされる組み合わせに従って選択し得る。

20

#### 【0164】

フィルタリング継続観察動作モードでは、電力セル  $2\ 4\ 1$ 、 $\dots$ 、 $2\ 4\ n$  にまたがる電圧を、スイッチング素子  $3\ 2\ 6\ 1$ 、 $\dots$ 、 $3\ 2\ 6\ n$  および  $3\ 2\ 8\ 1$ 、 $\dots$ 、 $3\ 2\ 8\ n$  がオープンされるように構成し、スイッチング素子  $3\ 3\ 1\ 1$ 、 $\dots$ 、 $3\ 3\ 1\ n$  および  $3\ 2\ 6\ A$  がクローズされるように構成することによって監視される。電力セル  $2\ 4\ 1$ 、 $\dots$ 、 $2\ 4\ n$  にまたがる電圧は、MUX18を、図15を参照してした構成と同様に構成することによってADC20によって監視することが可能である。

30

#### 【0165】

微分サンプルアンドホールド動作モードでは、電力セル  $2\ 4\ 1$ 、 $\dots$ 、 $2\ 4\ n$  にまたがる電圧は、図19を参照して説明したのと類似した技法およびスイッチング構成を用いてADC20によって監視することが可能である。

#### 【0166】

平衡化動作モードでは、スイッチング素子  $3\ 3\ 1\ 1$ 、 $\dots$ 、 $3\ 3\ 1\ n$  および  $3\ 6\ 2\ A$  がオープンまたはクローズされる。電力セル  $2\ 4\ 1$  を平衡化するために、スイッチング素子  $3\ 2\ 6\ 1$  はオープンされ、スイッチング素子  $3\ 2\ 8\ 1$  はクローズされる。したがって、インピーダンス素子  $3\ 3\ 2\ 1$ 、スイッチング素子  $3\ 2\ 8\ 1$  およびインピーダンス素子  $3\ 3\ 4\ 2$  を通過する平衡化電流によって、電力セル  $2\ 4\ 1$  が放電される。その他の電力セルにまたがる電圧は、類似の技法を用いて平衡化され得ることに留意されたい。図12を参照して検討したように、スイッチング素子  $3\ 2\ 8\ m$  は平衡化スイッチング素子と呼ばれ、スイッチング素子  $3\ 3\ 1\ m$  はサンプリングスイッチング素子と呼ばれ得る。スイッチング素子  $3\ 2\ 6\ 1$ 、 $\dots$ 、 $3\ 2\ 6\ n$  は、省略し得るオプションの回路素子であることに留意されたい。

40

#### 【0167】

図22は、本発明の別の実施形態によれば、フィルタ部分  $3\ 2\ 2\ m$  を介して電力セル  $2\ 4\ m$  に接続されるインタフェースネットワーク  $3\ 1\ 6$  (図14および15を参照して説明した)のスイッチング部分  $3\ 1\ 6\ A_m$  の回路図である。スイッチング部  $3\ 1\ 6\ A_m$  は図14を参照して説明したスイッチング部  $3\ 1\ 6\ m$  に類似しているが、電流制御素子  $3\ 2\ 8\ m$

50

、入力ピン 3 1 2 P ( 3 m - 1 )、端子 3 1 6 m I 2 および端子 3 1 6 m O 2 が存在せず、電流制御素子 3 2 6 m の導電端子 3 2 6 m、<sub>3</sub> がスイッチング素子 3 3 1 m の導電端子 3 3 1 m、<sub>3</sub> に接続され、スイッチング部分 3 1 6 A m が、スイッチング端子 3 3 1 m に接続されるフィルタリングインピーダンス素子 Z<sub>f</sub> をさらに含む点だけが異なる。フィルタリングインピーダンス素子 Z<sub>f</sub> は端子 3 3 1 m、<sub>2</sub> と端子 3 1 6 m I 3 との間に接続されているところが図示されているが、これは本発明の制限ではない。例えば、フィルタリングインピーダンス素子 Z<sub>f</sub> は、端子 3 3 1 m、<sub>3</sub> と端子 3 1 6 m I 4 との間に接続され得る。

#### 【 0 1 6 8 】

したがって、図 2 2 は、フィルタインピーダンス素子をサンプルアンドホールド経路でフィルタ抵抗と部分的に集積したものを備える実施形態を示す。この実施形態によれば、平衡化経路の全体的なインピーダンスはフィルタ機能から分離されており、これは、平衡化電流が高いまたは上昇していたり、インピーダンス素子 3 3 4 および 3 3 4 ( m + 1 ) が低抵抗値を有するオーム抵抗である図 1 4、1 5、2 0 および 2 1 に示すような実施形態で図 2 2 のフィルタ部分 3 2 2 m を使用する際に有益である。インピーダンス素子 Z<sub>f</sub> を含むことによって、インピーダンス素子 3 3 4 m および 3 3 4 ( m + 1 ) から実質的に独立したより小型のフィルタ記憶素子 3 3 6 m を使用することが可能となる。

#### 【 0 1 6 9 】

図 2 3 は、本発明の別の実施形態によれば、フィルタ部分 3 2 2 を介して電力セル 2 4 に接続されるインタフェースネットワーク 3 1 6 ( 図 1 1 を参照して説明した ) のスイッチング部分 3 1 6 m の回路図である。図 2 3 の実施形態は、スイッチング素子 3 2 6 m および 3 2 8 m が、出力ピン 3 1 2 P ( 3 m - 1 ) に接続される出力部と出力端子 3 1 6 m O 2 に接続される入力部と、を有するブリドライバ 3 2 7 m で置き換えられる図 1 6 のそれに類似している。ブリドライバ 3 2 7 m は、駆動信号 V<sub>DRIVE1</sub> を受信するために結合された端子と、駆動信号 V<sub>DRIVE2</sub> を受信するために結合された端子と、を有する。スイッチング素子 3 2 6 m および 3 2 8 m に類似したスイッチング素子はブリドライバ 3 2 7 m に含まれることに留意されたい。

#### 【 0 1 7 0 】

図 2 4 は、本発明の別の実施形態によれば、フィルタ部分 3 2 2 を介して電力セル 2 4 に接続されるインタフェースネットワーク 3 1 6 ( 図 1 1 を参照して説明した ) のスイッチング部分 3 1 6 m の回路図である。図 2 4 の実施形態は、スイッチング素子 3 2 6 m および 3 2 8 m が、出力ピン 3 1 2 P ( 3 m - 1 ) に接続される出力部と出力端子 3 1 6 m O 2 に接続される入力部と、を有するブリドライバ 3 2 7 m で置き換えられる図 1 8 のそれに類似している。ブリドライバ 3 2 7 m は、駆動信号 V<sub>DRIVE1</sub> を受信するために結合された端子と、駆動信号 V<sub>DRIVE2</sub> を受信するために結合された端子と、を有する。スイッチング素子 3 2 6 m および 3 2 8 m に類似したスイッチング素子は、ブリドライバ 3 2 7 m に含まれることに留意されたい。

#### 【 0 1 7 1 】

以下に示す構成は、本発明の実施態様の例を示す。

#### 【 0 1 7 2 】

第 1 端子、第 2 端子、および第 3 端子を有するスイッチングネットワークと、

第 1 入力端子および第 2 入力端子と、第 1 出力端子、第 2 出力端子、および第 3 出力端子と、を有するフィルタ回路と、を備え、

前記第 1 出力端子が、前記スイッチングネットワークの前記第 1 端子に結合され、前記第 3 出力端子が、前記スイッチングネットワークの前記第 3 端子に結合される、モニタおよび制御回路 ( 米国特許出願 ( 1 3 / 7 5 3 , 8 3 2 ) の出願時の請求項 1 に対応、以下同様 ) 。

#### 【 0 1 7 3 】

前記スイッチングネットワークが、

制御端子と、第 1 電流供給端子と、第 2 電流供給端子と、を有する第 1 スwitchング素

10

20

30

40

50



子であって、前記第 1 スイッチング素子の前記第 2 電流供給端子が、前記フィルタ回路の前記第 2 出力端子に結合される、第 1 スイッチング素子と、

前記第 1 スイッチング素子に結合され、制御端子と、第 1 電流供給端子と、第 2 電流供給端子と、を有する電流制御素子であって、平衡電流を導通させるか、または前記平衡電流を導通させることができる素子を制御するように構成される、電流制御素子と、

を備える、段落 0 1 7 2 に記載されたモニタおよび制御回路（請求項 2 に対応）。

【 0 1 7 4 】

前記フィルタ回路が、

第 1 端子および第 2 端子を有する第 1 エネルギー貯蔵素子であって、前記第 2 端子が、前記フィルタ回路の前記第 2 出力端子として機能する、第 1 エネルギー貯蔵素子と、

第 1 端子および第 2 端子を有する第 1 インピーダンス素子であって、前記第 1 端子が、前記フィルタ回路の前記第 1 入力端子として機能し、前記第 2 端子が、前記フィルタ回路の前記第 1 出力端子として機能する、第 1 インピーダンス素子と、

第 1 端子および第 2 端子を有する第 2 インピーダンス素子であって、前記第 1 端子が、前記フィルタ回路の前記第 2 入力端子として機能し、前記第 2 端子が前記フィルタ回路の前記第 3 出力端子として機能する、第 2 インピーダンス素子と、

を備える、段落 0 1 7 3 に記載されたモニタおよび制御回路（請求項 3 に対応）。

【 0 1 7 5 】

前記電流制御素子の前記第 1 電流供給端子が、前記第 1 スイッチングネットワークの前記第 1 端子に結合される、段落 0 1 7 4 に記載されたモニタおよび制御回路（請求項 4 に対応）。

【 0 1 7 6 】

前記第 1 スイッチング素子と直列に結合されるインピーダンスをさらに含む、段落 0 1 7 4 に記載されたモニタおよび制御回路（請求項 5 に対応）。

【 0 1 7 7 】

前記第 1 スイッチング素子の前記第 2 電流供給端子が、前記電流導通素子の前記第 2 電流供給端子に結合される、段落 0 1 7 4 に記載されたモニタおよび制御回路（請求項 6 に対応）。

【 0 1 7 8 】

前記第 1 スイッチング素子の前記第 1 電流供給端子が、前記電流導通素子の前記第 1 電流供給端子に結合される、段落 0 1 7 4 に記載されたモニタおよび制御回路（請求項 7 に対応）。

【 0 1 7 9 】

制御端子と、第 1 電流供給端子および第 2 電流供給端子と、を有する第 2 スイッチング素子であって、前記第 2 スイッチング素子の前記第 1 電流供給端子が、前記電流導通素子の前記第 2 電流供給端子に結合される第 2 スイッチング素子をさらに含む、段落 0 1 7 8 に記載されたモニタおよび制御回路（請求項 8 に対応）。

【 0 1 8 0 】

制御電極と、第 1 電流供給電極および第 2 電流供給電極と、を有する第 1 トランジスタであって、前記第 1 トランジスタの前記制御電極が、前記電流導通素子の前記第 2 電流供給端子に結合され、前記第 1 トランジスタの前記第 2 電流供給電極が、前記第 1 インピーダンス素子および第 2 インピーダンス素子のうちの 1 つの前記第 1 端子に結合される、第 1 トランジスタと、

第 1 端子および第 2 端子を有する第 3 インピーダンス素子であって、前記第 3 インピーダンス素子の前記 1 の端子が、前記第 1 インピーダンス素子および第 2 インピーダンス素子のうちの 1 つの前記第 1 端子に結合され、前記第 3 インピーダンス素子の前記第 2 端子が、前記第 1 トランジスタの前記第 1 電流供給電極に結合される、第 3 インピーダンス素子と、

をさらに含む、段落 0 1 7 4 に記載されたモニタおよび制御回路（請求項 9 に対応）。

【 0 1 8 1 】

前記フィルタ回路が、

第 1 端子および第 2 端子を有する第 1 インピーダンス素子であって、前記第 1 端子が、前記フィルタ回路の前記第 1 入力端子として機能する、第 1 インピーダンス素子と、

第 1 端子および第 2 端子を有する第 2 インピーダンス素子であって、前記第 1 端子が、前記フィルタ回路の前記第 2 入力端子として機能し、前記第 2 端子が、前記フィルタ回路の前記第 3 出力端子として機能する、第 2 インピーダンス素子と、

第 1 端子および第 2 端子を有する第 1 エネルギー貯蔵素子であって、前記第 1 エネルギー貯蔵素子の前記第 1 端子が、前記第 1 インピーダンス素子および第 2 インピーダンス素子のうちの 1 つの前記第 2 端子に結合され、前記第 1 エネルギー貯蔵素子の前記第 2 端子が、前記フィルタ回路の前記第 2 出力端子として機能する、第 1 エネルギー貯蔵素子と、  
を備える、段落 0 1 7 3 に記載されたモニタおよび制御回路（請求項 1 0 に対応）。

10

【 0 1 8 2 】

制御電極と、第 1 電流供給電極および第 2 電流供給電極と、を有する第 1 トランジスタであって、前記制御電極が、前記第 1 エネルギー貯蔵素子の前記第 2 端子に結合され、前記第 2 電流供給電極が、前記電流導通素子の前記第 1 電流供給端子に結合される、第 1 トランジスタと、

第 1 端子および第 2 端子を有する第 3 インピーダンス素子であって、前記第 3 インピーダンス素子の前記第 1 端子が、前記第 1 インピーダンス素子の前記第 1 端子に結合され、前記第 3 インピーダンス素子の前記第 2 端子が、前記第 1 トランジスタの前記第 1 電流供給電極に結合される、第 3 インピーダンス素子と、

20

をさらに含む、段落 0 1 8 1 に記載されたモニタおよび制御回路（請求項 1 1 に対応）。

【 0 1 8 3 】

第 1 端子、第 2 端子、および第 3 端子を有するスイッチングネットワークと、

前記スイッチングネットワークの前記第 1 端子に結合される第 1 インピーダンス素子と、

前記スイッチングネットワークの前記第 2 端子に結合されるエネルギー貯蔵素子と、

前記スイッチングネットワークの前記第 3 端子に結合される第 2 インピーダンス素子と、

を備える回路（請求項 1 2 に対応）。

30

【 0 1 8 4 】

前記スイッチングネットワークが、

制御端子と、第 1 端子および第 2 端子と、を有する、サンプリングスイッチであって、前記サンプリングスイッチの前記第 2 端子が、前記エネルギー貯蔵素子の前記第 2 端子に結合される、サンプリングスイッチと、

制御端子と、第 1 端子および第 2 端子と、を有する平衡化スイッチであって、前記平衡化スイッチの前記第 2 端子が、前記サンプリングスイッチの前記第 2 端子に結合され、前記平衡化スイッチの前記第 1 端子が、前記スイッチングネットワークの前記第 3 端子に結合される、平衡化スイッチと、

を備える、段落 0 1 8 3 に記載された回路（請求項 1 3 に対応）。

40

【 0 1 8 5 】

制御電極と、第 1 電流供給電極および第 2 電流供給電極と、を有する、トランジスタであって、前記制御電極が、前記スイッチングネットワークの前記第 2 端子に結合され、前記第 1 電流供給電極が、前記第 2 インピーダンス素子に結合され、前記第 2 電流供給電極が、前記第 1 インピーダンス素子に結合される、トランジスタと、

前記トランジスタの前記第 1 電流供給電極と前記第 2 インピーダンス素子との間に結合される第 3 インピーダンス素子と、

をさらに含む、段落 0 1 8 4 に記載された回路（請求項 1 4 に対応）。

【 0 1 8 6 】

前記スイッチングネットワークが、

50

制御端子と、第 1 端子および第 2 端子と、を有する、サンプリングスイッチであって、前記サンプリングスイッチの前記第 2 端子が、前記エネルギー貯蔵素子の前記第 2 端子に結合される、サンプリングスイッチと、

制御端子と、第 1 端子および第 2 端子と、を有する、第 1 平衡化スイッチであって、前記第 1 平衡化スイッチの前記第 1 端子が、前記サンプリングスイッチの前記第 1 端子に結合される、第 1 平衡化スイッチと、

を備える、段落 0 1 8 3 に記載された回路（請求項 1 5 に対応）。

【 0 1 8 7 】

前記スイッチングネットワークが、第 4 端子をさらに備える、段落 0 1 8 3 に記載された回路（請求項 1 6 に対応）。

【 0 1 8 8 】

前記スイッチングネットワークが、

制御端子と、第 1 端子および第 2 端子と、を有するサンプリングスイッチであって、前記サンプリングスイッチの前記第 1 端子が、前記第 1 インピーダンス素子に結合され、前記サンプリングスイッチの前記第 2 端子が、前記エネルギー貯蔵素子に結合される、サンプリングスイッチと、

制御端子と、第 1 端子および第 2 端子と、を有する、第 1 平衡化スイッチであって、前記第 1 平衡化スイッチの前記第 1 端子が、前記サンプリングスイッチの前記第 1 端子に結合され、前記第 1 平衡化スイッチの前記第 2 端子が、前記スイッチング回路の前記第 4 端子に結合される、第 1 平衡化スイッチと、

制御端子と、第 1 端子および第 2 端子と、を有する、第 2 平衡化スイッチであって、前記第 2 平衡化スイッチの前記第 2 端子が、前記スイッチング回路の前記第 4 端子に結合され、前記第 2 平衡化スイッチの前記第 1 端子が、前記第 2 インピーダンス素子に結合される、第 2 平衡化スイッチと、

を備える、段落 0 1 8 7 に記載された回路（請求項 1 7 に対応）。

【 0 1 8 9 】

制御電極と、第 1 電流供給電極および第 2 電流供給電極と、を有する、トランジスタであって、前記制御電極が、前記スイッチングネットワークの前記第 4 端子に結合され、前記第 1 電流供給電極が、前記第 3 インピーダンス素子に結合され、前記第 2 電流供給電極が、前記第 1 インピーダンス素子に結合される、トランジスタと、

前記トランジスタの前記第 1 電流供給電極と前記第 2 インピーダンス素子との間に結合される第 3 インピーダンス素子と、

をさらに含む、段落 0 1 8 8 に記載された回路（請求項 1 8 に対応）。

【 0 1 9 0 】

前記スイッチングネットワークが、

制御端子と、第 1 端子および第 2 端子と、を有するスイッチであって、前記スイッチの前記第 1 端子が、前記第 1 インピーダンスに結合され、前記スイッチの前記第 2 端子が、前記エネルギー貯蔵素子に結合される、スイッチと、

制御電極と、第 1 電流供給電極および第 2 電流供給電極と、を有する、トランジスタであって、前記制御電極が、前記スイッチングネットワークの前記第 4 端子に結合され、前記第 2 電流供給電極が、前記第 1 インピーダンス素子に結合される、トランジスタと、

前記トランジスタの前記第 1 電流供給電極と前記第 2 インピーダンス素子との間に結合される第 3 インピーダンス素子と、

入力および出力を有するブリドライバであって、前記出力が、前記スイッチングネットワークの前記第 4 端子に結合される、ブリドライバと、

をさらに備える、段落 0 1 8 7 に記載された回路（請求項 1 9 に対応）。

【 0 1 9 1 】

前記エネルギー貯蔵素子が、第 1 端子および第 2 端子を有し、前記第 2 端子が、前記スイッチングネットワークの前記第 2 端子に結合され、前記第 1 端子が、前記第 2 インピーダンス素子に結合される、段落 0 1 9 0 に記載された回路（請求項 2 0 に対応）。

10

20

30

40

50

## 【 0 1 9 2 】

1つ以上の電力セルとインタフェースをとるための方法であって、  
 フィルタリング第1動作モードでインタフェース回路を動作させて、前記1つ以上の電力セルの第1電力セルの電圧をフィルタリングおよび監視する段階と、  
 第2動作モードで前記インタフェース回路を動作させて、前記第1電力セルの前記電圧をサンプリングする段階と、  
 平衡第3動作モードで前記インタフェース回路を動作させて、前記第1電力セルの前記電圧を平衡化させる段階と、  
 を含む方法（請求項21に対応）。

## 【 0 1 9 3 】

前記第1動作モードで前記インタフェース回路を動作させることが、第1スイッチの第1スイッチ構成への構成、第2スイッチの第2スイッチ構成に形成されると、前記第1電力セルの前記電圧をフィルタリングフィルタリングおよび監視することを含む、段落0192に記載された方法（請求項22に対応）。

## 【 0 1 9 4 】

前記第2動作モードで前記インタフェース回路を動作させることが、前記第1スイッチおよび第2スイッチの前記第2スイッチ構成に形成されると、前記第1電力セルからサンプリングされた電圧を発生させて、前記サンプリングされた電圧を保持することを含む、段落0193に記載された方法（請求項23に対応）。

## 【 0 1 9 5 】

前記第3動作モードで前記インタフェース回路を動作させることが、前記第2スイッチの前記第1スイッチ構成に形成されると、前記第1電力セルの前記電圧を平衡化させることを含む、段落0194に記載された方法（請求項24に対応）。

## 【 0 1 9 6 】

前記第1スイッチを前記第1スイッチ構成になるように構成することが、前記第1スイッチをクローズすることを含み、前記第2スイッチを前記第2スイッチ構成になるように構成することが、前記第2スイッチをオープンすることを含む、段落0195に記載された方法（請求項25に対応）。

## 【 0 1 9 7 】

具体的な実施形態を本明細書に説明したが、本発明を開示された実施形態に制限すること、を意図するものではない。本発明の趣旨から逸脱することなく、修正および変更を実施することが可能であること、を、当業者は理解するであろう。本発明は、このような修正および変更の全てが添付された請求の範囲内に収まるものとしてその範囲に含めること、を意図するものである。例えば、セルの極性は、これらのセルが図に示す反対の極性となるように切り替えられ得る。あるいは、nチャネルトランジスタをpチャネルトランジスタと置き換えることが可能である。

## 【 符号の説明 】

## 【 0 1 9 8 】

- 10 電力セルモニタおよび制御回路
- 12 制御モジュール
- 16 インタフェースネットワーク
- 16<sub>1</sub>、16<sub>2</sub>、・・・、16<sub>n</sub> スイッチング素子
- 18 マルチプレクサ（MUX）
- 20 アナログデジタルコンバータ（ADC）
- 22<sub>1</sub>、22<sub>2</sub>、・・・、22<sub>n</sub> フィルタ部分
- 24 電力貯蔵装置

10

20

30

40

【図 1】

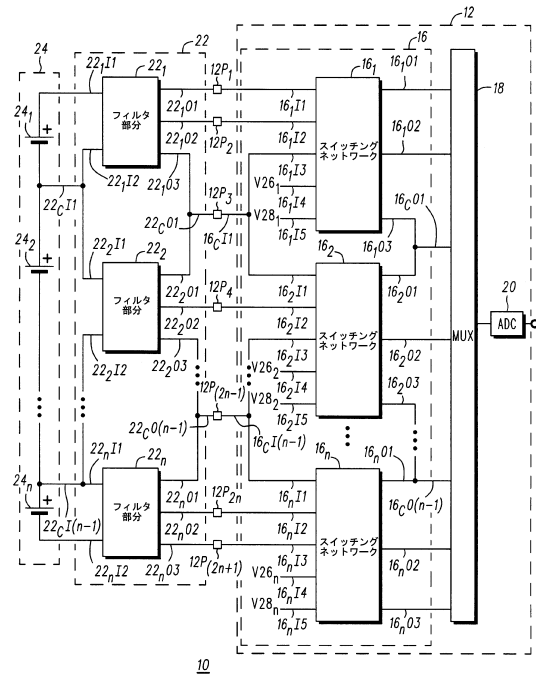


FIG. 1

【図 2】

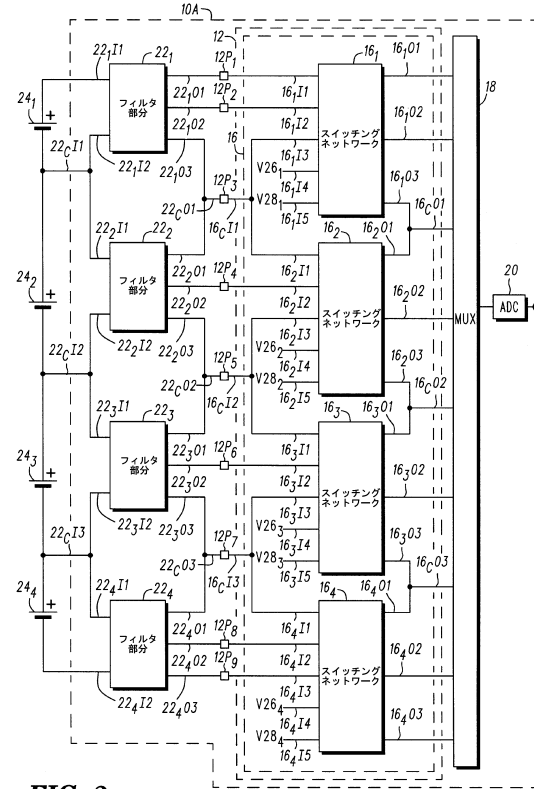


FIG. 2

【図 3】

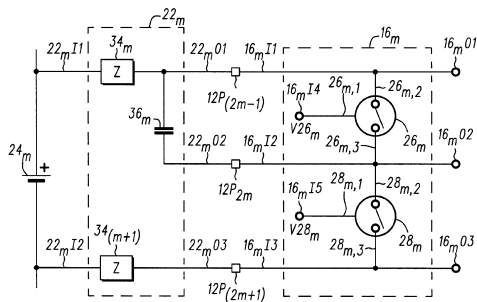
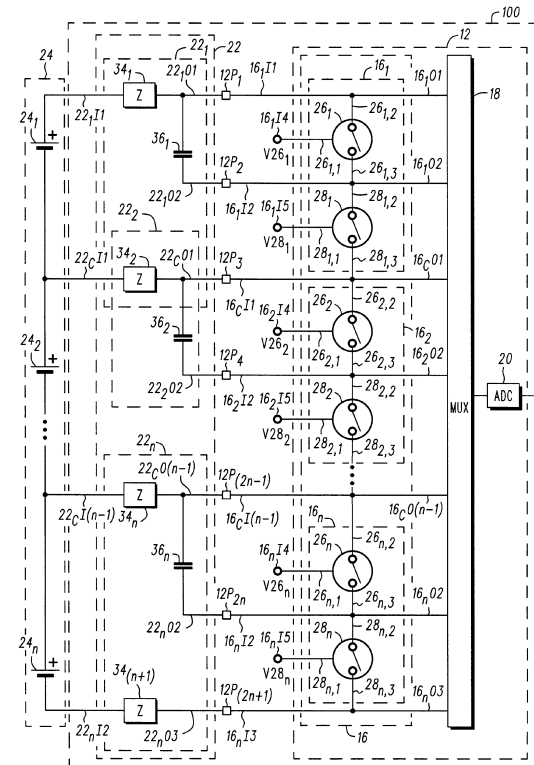


FIG. 3

【図 4】

FIG. 4



【図 5】

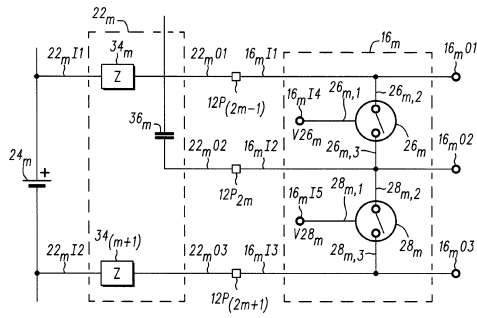


FIG. 5

【図 6】

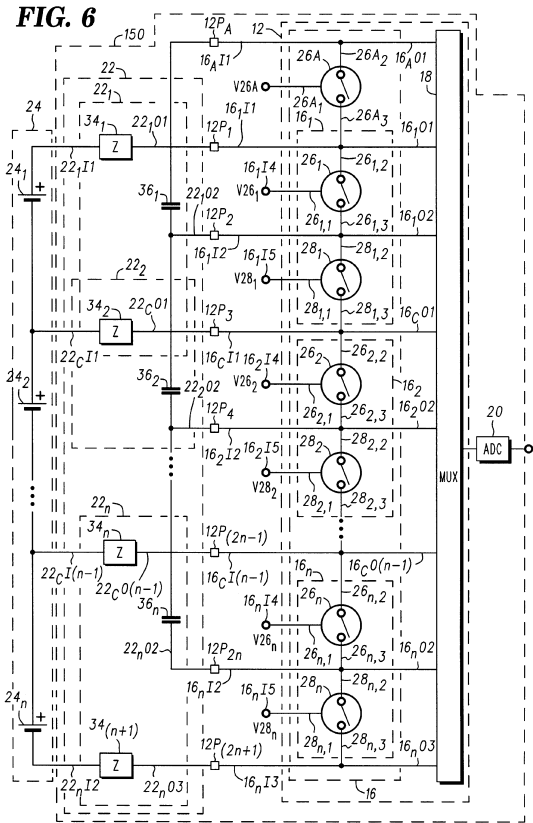


FIG. 6

【図 7】

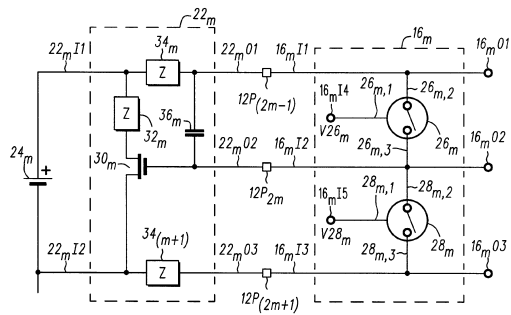


FIG. 7

【図 8】

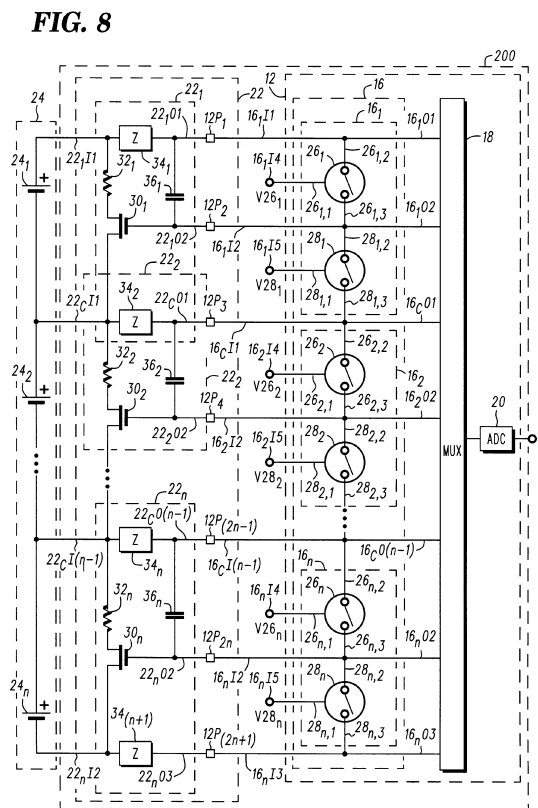


FIG. 8

【図 9】

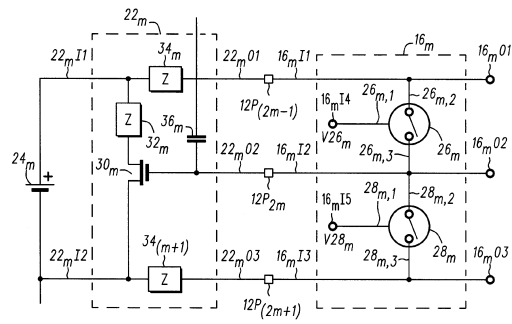


FIG. 9

【図 10】

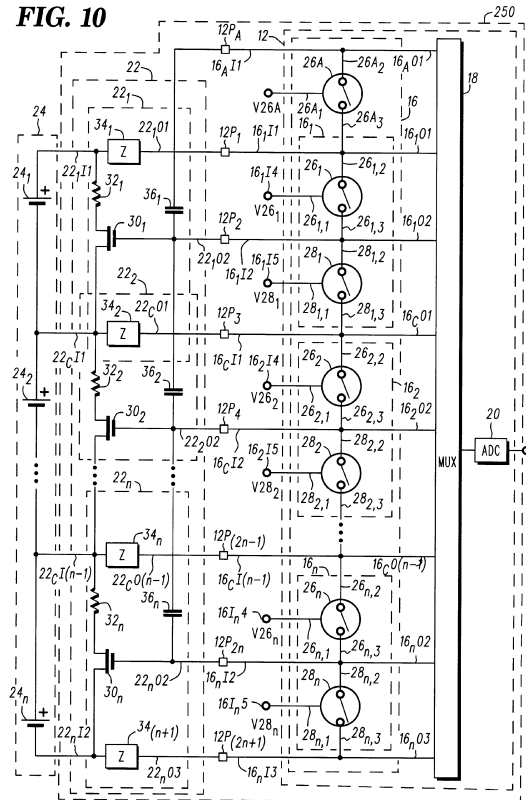


FIG. 10

【図 11】

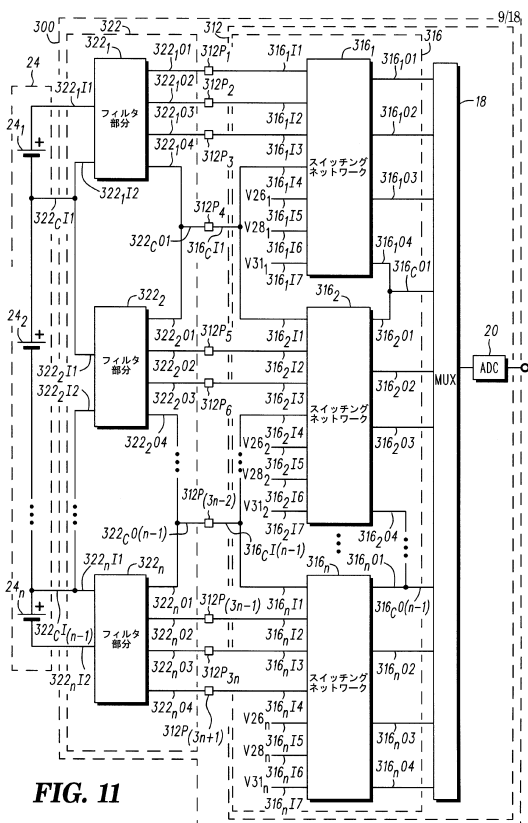


FIG. 11

【図 12】

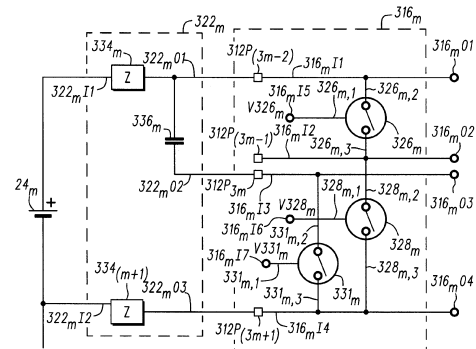
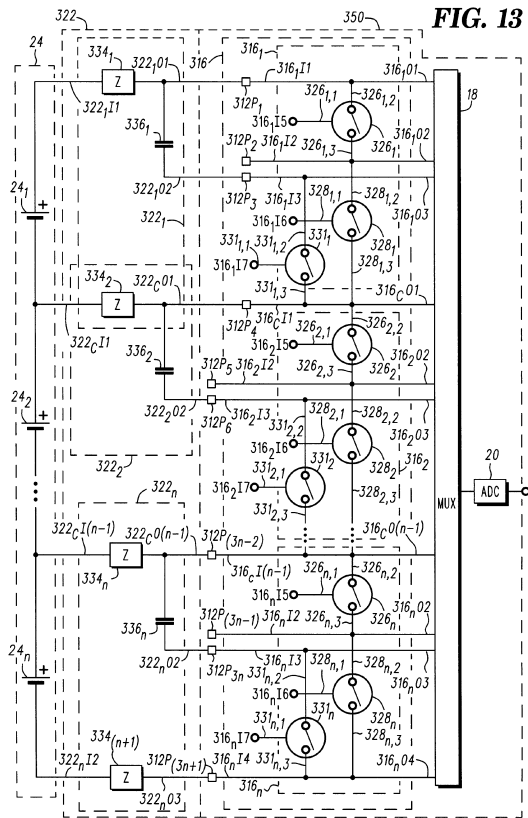
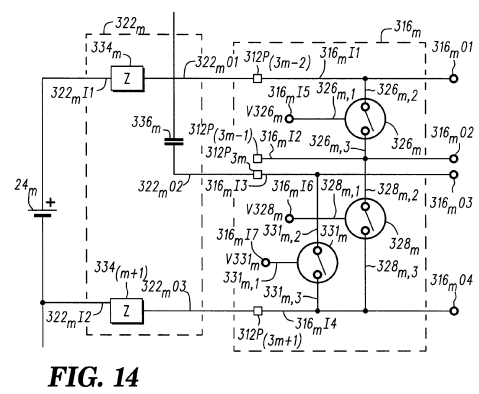


FIG. 12

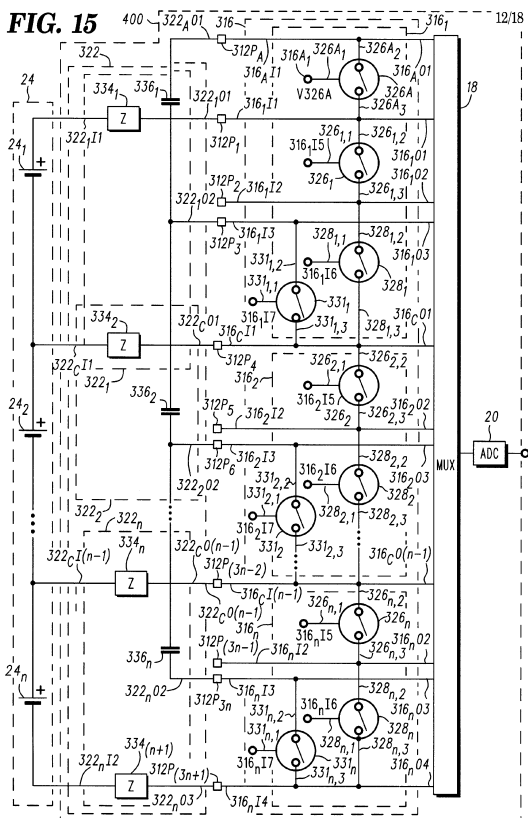
【図 13】



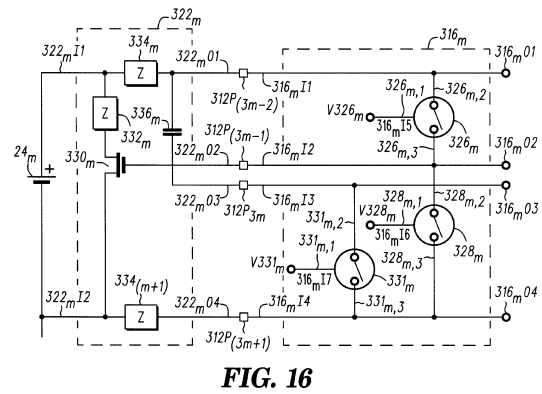
【図 14】



【図 15】

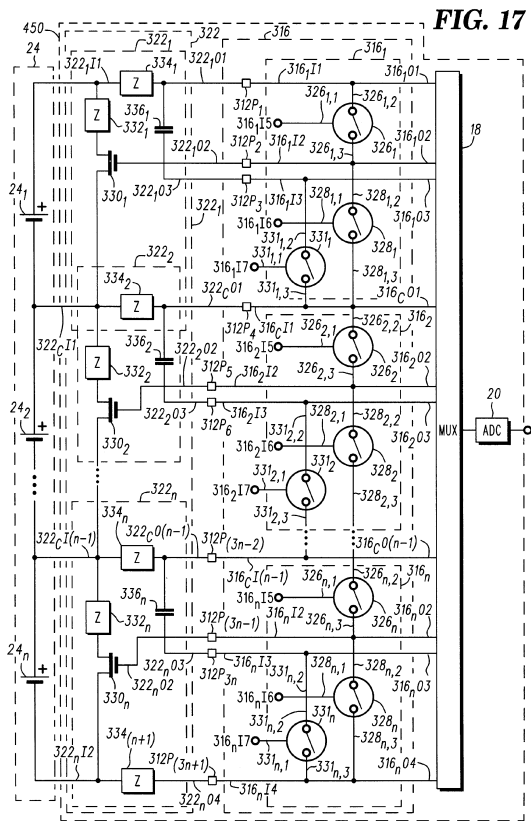


【図 16】

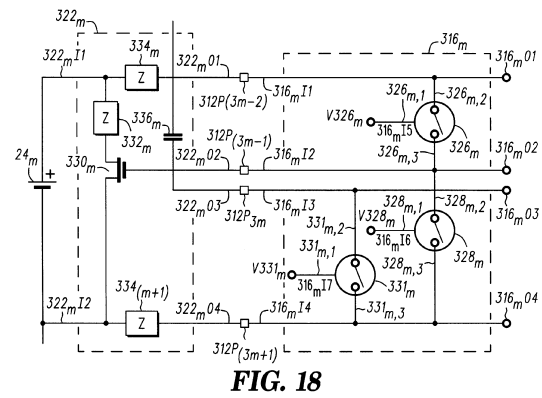




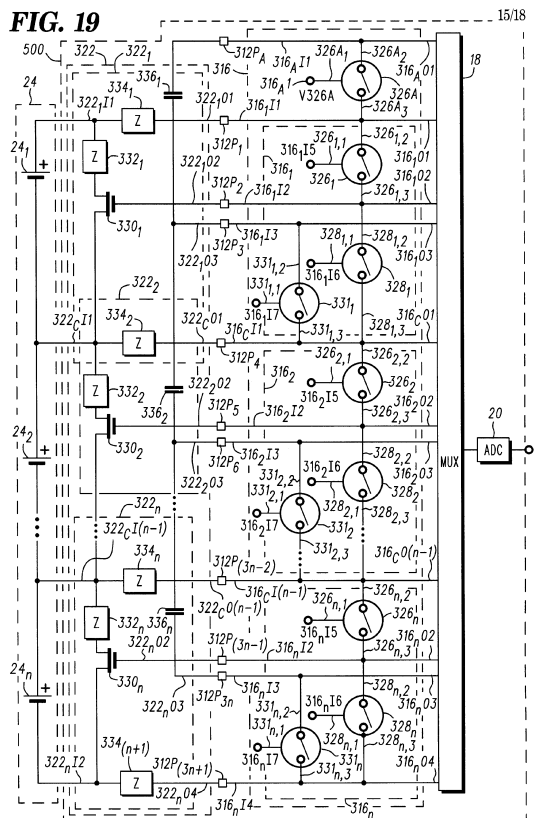
【図 17】



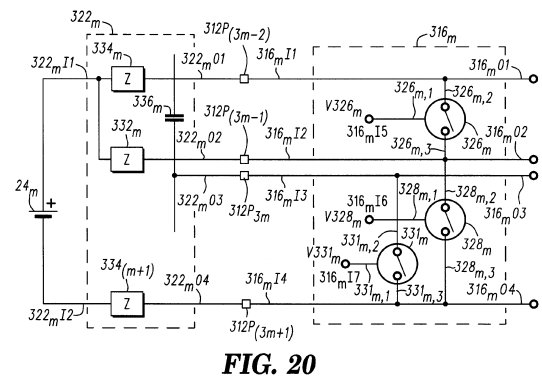
【図 18】



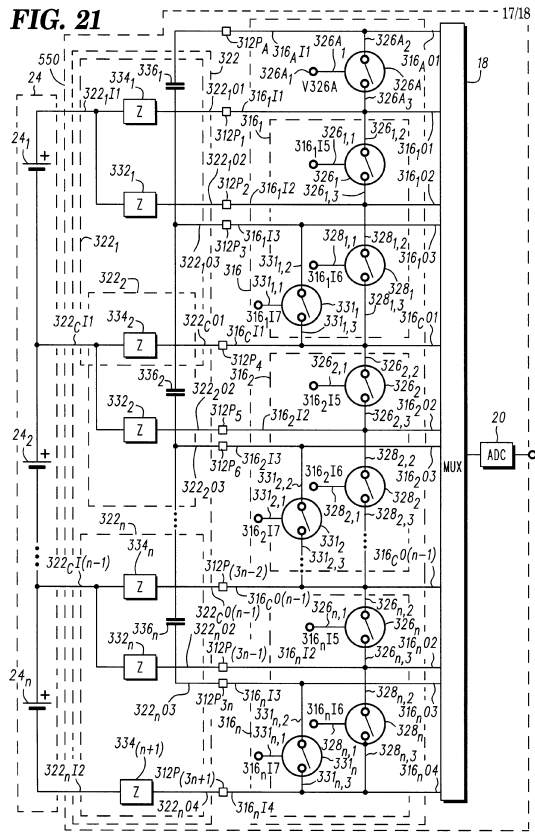
【図 19】



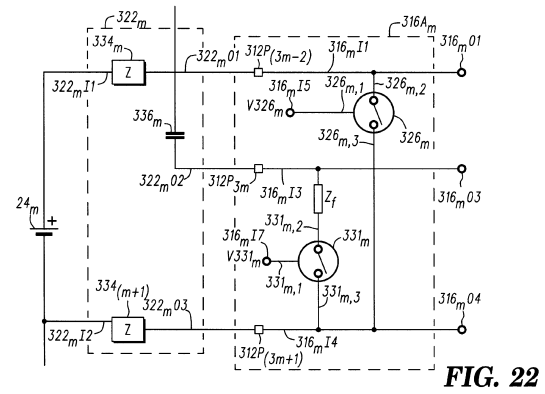
【図 20】



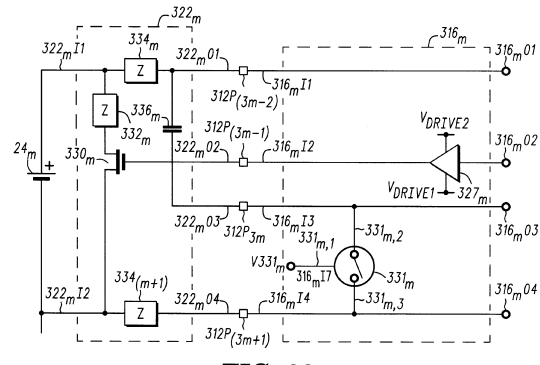
【図 2 1】



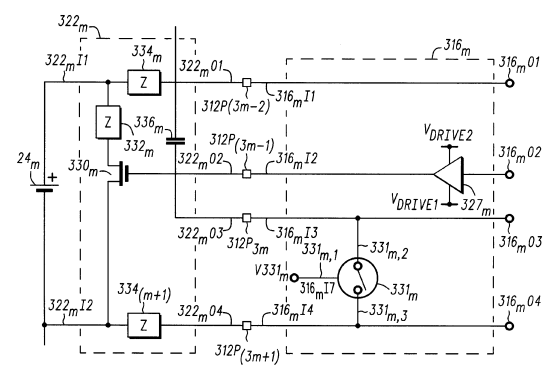
【図 2 2】



【図 2 3】



【図 2 4】



---

フロントページの続き

(72)発明者 バート・デ・コック

ベルギー王国 3 1 5 0 ウェスペラール(ハーヒト) パッデンプールストラート8

(72)発明者 バーナード・ゲンティン

ベルギー王国 1 1 6 0 アウデルゲム(ブリュッセル) アベニュー・アンリ・ド・ブルケール  
1 3

審査官 稲葉 崇

(56)参考文献 特開2012-135140(JP,A)

特開2009-183025(JP,A)

特開2012-118003(JP,A)

特開2006-210244(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02J 7/00 - 7/12

H02J 7/34 - 7/36

H01M 10/42 - 10/48