

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G06F 13/00

(45) 공고일자 2001년08월07일
(11) 등록번호 10-0291051
(24) 등록일자 2001년03월07일

(21) 출원번호	10-1997-0709312	(65) 공개번호	특 1999-0022843
(22) 출원일자	1997년 12월 11일	(43) 공개일자	1999년 03월 25일
번역문제출일자	1997년 12월 11일		
(86) 국제출원번호	PCT/US1996/10460	(87) 국제공개번호	WO 1997/00481
(86) 국제출원일자	1996년 06월 17일	(87) 국제공개일자	1997년 01월 03일
(81) 지정국	국내특허 : 아일랜드 알바니아 오스트레일리아 바베이도스 불가리아 브라질 캐나다 중국 체코 에스토니아 그루지야 헝가리 이스라엘 아이슬란드 일본 북한 AP AR IPO특허 : 케냐 레소토 말라위 수단 스와질랜드 케냐 EA 유라시아특허 : 아르메니아 아제르바이잔 벨라루스 키르기즈 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 오스트리아 스위스 독일 덴마크 스페인 핀란드 영국		

(30) 우선권주장 08/490778 1995년06월15일 미국(US)

(73) 특허권자 인텔 코오퍼레이션 피터 엔. 데트킨
미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200
(72) 발명자 영 브루스
미국 오리건 97223 타이가드 사우스웨스트 클리어뷰우 플레이스 13534
(74) 대리인 박종혁, 장두현, 장용식

심사관 : 오흘수

(54) 원격PCI슬롯확장을제공하는방법및장치

영세서

기술분야

<1> 본 발명은 컴퓨터 시스템내의 버스에 관한 것으로서, 특히 시스템내에서 PCI 슬롯 수를 확장하기 위해 PCI를 케이블 버스처럼 사용하는 것에 관한 것이다.

배경기술

<2> 주변 소자 상호접속(PCI)버스는 시스템 가격이 최소화되도록 설계된 고효율 저대기시간을 특징으로 한 I/O 버스이다. PCI는 컴퓨터 산업에서 가장 바르고 광범위한 사용되고 있다. PCI 버스 표준은 높은 대역폭과 유연성을 제공하고, 이것은 새로운 프로세서 기술과 증가된 프로세서 속도와는 무관한 것이다. 현재, 컴퓨터 시스템 구조는 PCI 버스에 사용될 수 있는 그래픽 가속기와 SCSI 디스크 드라이브 제어기와 같은 속도에 민감한 주변장치를 우선하여 설계하고 있다.

<3> PCI 규격은 잘 정의되어 있다. 특히, 1993년 4월 30일자 PCI Local Bus Specification, rev. 2.0를 참조하라. 규격은 PCI가 33MHz 까지의 어느 주파수에서도 동작 가능하다고 개시되어 있다. 이러한 높은 수준의 가능한 저리효율로 인하여 PCI는 대용량 서버들에게는 이상적인 선택품목이 되고 있다. 불행하게도, 그러한 속도에서, PCI 버스는 오직 하나의 버스 세그먼트와 함께 3 내지 4개의 슬롯을 지원할 수 있다. 이러한 슬롯의 수는 대용량 서버 시장에서는 실제로 사용할 수 없는 매우 낮은 것이다. 종래의 몇몇 시스템들은 메인보드에 PCI 버스들을 직렬배열함으로서 이러한 문제들을 다루어왔다. 불행하게도 그러한 직렬배열은 기본 시스템의 가격을 높이고 대용량 서버에서 필요로 하는 슬롯 확장성을 제공하는데 실패하고 말았다. 게다가, 이러한 하나의 샤프(chassis)로 이루어진 시스템들은 사용자들의 요구변화에 맞추어 확장할 수 없다.

<4> 다중 모듈식 샤프 사이의 버스연결 가능성은 PCI와 관련하여 일부 특이한 문제를 가지고 있다. 특히, 이용 가능한 PCI 대 PCI 브리지를 사용하면, 클럭 시스템을 폭넓게 동기화할 필요가 있다. PCI는 표준 호스트 클럭 신호를 요구하지 않기 때문에, 위상 잠금 루프는 브리지의 양 측면을 동기화하는데 사용될 수 없다. 다중 샤프 시스템의 물리적인 크기는 단일 클럭 영역의 이러한 동기화에 더 문제가 된다. 이를 문제로 인하여 샤프 슬롯 확장을 제공하는 회로에 대해 일반적인 설계가 필요하다.

<5> 추가로, PCI 버스 규격은 지원된 모든 슬롯에 대해 4개의 능동적인 저 레벨 감지 인터럽트를 요구하고 그 인터럽트 사용을 공유 가능한 하드웨어로서 규정한다. 그것은, 다중 PCI 디바이스는 동일한 인터럽트 라인을 구동할 수 있거나, 다중 PCI 인터럽트 라인은 상이한 디바이스에 의해 구동될 수 있다는 것을 의미하지만, 시스템 인터럽트 제어기에서 발생된 단일 인터럽트가 공유 인터럽트 드라이버에 의해 공급되는 것을 초래할 수 있다. 그러므로 인터럽트가 공유되어야 하는 슬롯의 수가 증가함에 따라, 또한

인터럽트의 소스를 해결하는데 필요한 경비와 자원은 공유하는 슬롯의 수가 증가함에 따라 증가한다.

- <6> 그러므로, 호스트 시스템의 비용을 불필요하게 증가시키지 않고 PCI 슬롯 확장을 할 수 있는 장치를 제공하는 것이 바람직하다. 이러한 장치는 각각의 특정 시스템을 기성화하지 않고 이전, 이후 제품과도 호환성이 있어야 한다. 확장된 슬롯의 효율은 허용할 수 있는 고레벨로 유지되어야 하고, 그 시스템은 증가하는 프로세서 전력의 수요를 응하도록 쉽게 확장 가능하여야 한다. 또한 이러한 확장된 시스템에 의해 발생되는 인터럽트를 단순화하는 방법을 개발하는 것이 바람직하다.

도면의 간단한 설명

- <7> 도 1은 본 발명의 호스트 모듈과 확장 모듈의 블록도,
 <8> 도 1a는 본 발명의 케이블 버스에서의 신호와 필요한 핀의 테이블,
 <9> 도 2는 본 발명의 모듈 인터페이스의 블록도,
 <10> 도 3은 본 발명의 확장 모듈에 대한 클럭 발생 회로의 다이어그램,
 <11> 도 4는 본 발명에 적합한 케이블의 규격 테이블,
 <12> 도 4a는 본 발명에 대한 두 개의 가능한 작동점의 타이밍을 도시한 테이블,
 <13> 도 5는 본 발명의 일 실시예에 사용된 PCI 인터럽트의 하나의 직렬구조의 타이밍도.

발명의 상세한 설명

- <14> 본 발명은 호스트 시스템에서 이용 가능한 PCI 슬롯의 수를 확장하는 장치 및 방법을 제공한다. 비동기 PCI 대 PCI 브리지를 사용함으로써, 호스트 시간영역과 확장 시간영역은 분리된다. 확장 모듈에서 제어되고 발생된 클럭 신호에 응답하는 케이블 PCI 버스는 독립된 호스트 샤프트와 확장 샤프트 사이에 그 신호를 운반하는데 사용된다. 확장 시스템은 호스트 시스템의 기능 또는 호스트 클럭에 의존하지 않기 때문에, 이것은 현 시스템과 통합하는데 적합하고, 기본 호스트 시스템의 가격을 증가시키지 않을 것이다. 그러므로, 본 발명은 수요가 변함에 따라 예비적 확장 가능성을 제공한다.
- <15> 일 실시예에서, 본 발명은 슬롯 확장과 함께 인터럽트 확장을 제공한다. 이것은 확장 카드상의 호스트 APIC 버스에 접속시키는 수단과 확장 PCI 슬롯에 의해 발생되는 PCI 인터럽트를 확장 메인기판상의 APIC에 인코딩하는 수단을 제공함으로써 이루어진다. 이런 확장은 확장된 슬롯에 의해 공유되는 인터럽트를 제공함으로써 비용을 감소시킬 것이다.

실시예

- <16> 본 발명은 호스트 시스템에서 이용 가능한 PCI 슬롯의 수의 확장을 제공하기 위해 케이블 PCI 버스를 이용하는 장치 및 방법을 제공된다. 본 발명의 전체적인 이해를 돋기 위해 상세히 설명된다. 그러나, 이 명세서를 읽으면 본 발명은 이를 상세설명 없이도 실현될 수 있다는 것을 당업자는 이해할 수 있을 것이다. 게다가, 공지된 부품 디바이스, 처리단계 등은 본 발명의 불명확성을 피하기 위해 설명되지 않는다.
- <17> 도 1은 본 발명을 구체화하는 시스템의 블록도이다. 호스트 시스템은 호스트 샤프트(1)에 있고 호스트 메인기판(3)을 포함한다. 호스트 메인기판은 시스템 버스(7)에 의해 메모리(6)에 접속되어 있는 CPU(5)를 가진다. 브리지(8)는 시스템 버스(7)과 호스트 PCI 버스(9) 사이를 브리지하기 위해 메인기판 상에 제공된다. 33MHz에서, PCI 규격은 단지 단일 버스 부분을 따라 3~4개의 슬롯(10)을 허용한다. 호스트 PCI 버스(9)상의 슬롯(10)의 적어도 하나에 확장 카드(11)를 설치함으로써, 전체적으로 시스템의 슬롯수를 확장하는 것이 가능하다.
- <18> 그 확장 카드(11)는 도 2를 참조하여 더 상세히 설명된 1차 확장 브리지(PEB)(12)와 케이블 접속기(15)를 가지고 있고, 하나의 예시적인 실시예에서는 100개의 핀 케이블 접속기를 사용한다. 또한 그 확장 카드는 카드(11)를 호스트 메인기판(3)상에 도시되지 않은 APIC 버스에 접속되게 하는 APIC 접속기(14)를 선택적으로 제공한다. 이것은 충분한 신호 도체가 적절한 접지와 모든 PCI 요구신호의 별별 전송을 조절 가능하게 한다. 도 1A는 관련된 PCI 신호의 표이다. 케이블(16)은 케이블 스큐와 케이블(16) 전파 속도의 저하를 극복하여 선택된다. 최대 전파 속도로 최소 스큐를 가진 케이블(16)을 선택하는 것이 바람직하다. 케이블(16)은 PEB(12)의 확장면과 이하 더 충분히 설명되는 제2 확장 브리지(SEB)(19) 사이에서 포인트 대 포인트 PCI 버스으로서 작용한다. 케이블(16)은 그 케이블에서의 특성 임피던스와 대략적으로 같은 임피던스를 가진 어느 한쪽의 끝에서 잘 종단된다. 하나의 예시적인 실시예에서, 88±5옴의 특성 임피던스를 가진 6가닥의 HIPPI 케이블이 사용된다. HIPPI 케이블은 ANSI 표준에 적합하고 50개의 트위스트 페어를 포함함으로서, 적절한 수의 신호라인을 제공한다. 더 작은 케이블과 더 낮은 핀 카운트 접속기를 사용하는 것이 가능하지만 사용 가능한 기능을 다소 제한할 수 있다.

- <19> 확장 샤프트(2)는 케이블(16)이 접속기(17)를 경유하여 접속하는 확장 메인기판(4)을 포함하고 있다. PCI 버스는 그 접속기에서 SEB(19)까지 연결된다. 확장 시스템에서의 클럭은 호스트 클럭(도시 생략)과 관계 없는 비동기 클럭 발생기(18)에 의해 제공된다. 제2 PCI 버스(SPB)(20)상에서 이용 가능한 슬롯(21)의 수는 발생된 클럭 신호의 속도에 의해 결정된다. 25MHz에서, 8~12 슬롯이 이용 가능한 반면, 33MHz에서는 단지 3~4 슬롯이 이용 가능하다.

- <20> 본 발명의 범위내에서 다중 확장 모듈은 단일 호스트(이용 가능한 PCI 슬롯당 하나의 카드)에 결합될 수 있다. 또한 본 발명의 범위내에서 하나의 확장 모듈을 다른 확장 모듈과 종속 접속할 수 있다.

- <21> 도 2는 PEB(12), 케이블(16) 그리고 SEB(19) 사이의 관계를 더 명백하게 설명한다. 도 2는 3개의 클럭 영역으로 나뉘어진다. 호스트 클럭 영역(30), 확장 클럭 영역(32), 그리고 APIC 선택 클럭 영역(31).

본 발명은 호스트 모듈과 확장 모듈 사이에 비동기 브리지(33)를 사용한다. PCI 대 PCI 브리지는 제1 버스 인터페이스와 제2 버스 인터페이스로 구성되어 있다. 비동기 브리지의 경우에, 제1 인터페이스는 호스트 클럭에 응답하는 반면 제2 인터페이스는 확장 클럭에 응답하여, 호스트 클럭영역(30)과 확장 클럭영역(32) 사이에 비동기 경계부(13)를 만든다. 가장 기본적인 레벨에서, 이것은 각각의 관련된 신호에 대하여 한 쌍의 D 플립 플롭으로 구현될 수 있다. 클럭 속도가 변하는 데이터 유효성을 보장하는 실제 문제로서, 두 개의 인터페이스 사이에 일부 기억장소를 제공하는 것이 바람직하다. 4×16 바이트의 들어오는 대기열과 나가는 대기열이 적절하다는 것이 알려져 있다. 상세한 것은, 1994. 4. 15. 개정판 1.0, PCI 대 PCI 브리지 규격을 참조.

<22> 일 실시예에서, 호스트 PCI 버스는 확장 카드상의 PEB(12)내에 포함되어 있는 비동기 PCI 대 PCI 브리지에 접속된다. 브리지(33)의 호스트측은 호스트 클럭영역(30)에서 작동하는 반면 확장측은 확장 클럭영역(32)과 동기된다. 또한 PEB(12)는 확장 시스템으로부터 오는 4개의 PCI 지원 인터럽트를 데이터 분배하는 디멀티플렉서(38)를 포함한다. 옵션 APIC 버스 인터페이스(36)는 PEB(12)내에 또한 제공될 수 있고, 그것에 의해 확장 시스템에서 이용가능하도록 인터럽트를 확장시킨다. 이러한 인터페이스는 부분적으로 APIC 클럭 영역(31)에서 그리고 부분적으로 확장 클럭영역(32)에서 비동기적으로 작동하여야 한다. 특히, 이런 선택사항은 PCI 규격을 따른다. PCI 대 PCI 브리지를 통합한 I/O 프로세서에 대한 구조에 관하여, 출원계류중인 명세서(출원번호 08/490,654)에 설명된 것과 같은 지능적인 I/O 유니트는 이를 기능들을 지원한다. 따라서, 본 발명에서 조명한 일 실시예는 PEB(12)와 같은 지능적인 I/O 유니트를 사용한다.

<23> 비동기 브리지(33)의 확장단은 케이블 PCI 버스(16)를 통해서 확장 메인기판(41)상의 SEB(19)에 연결된다. 케이블(16)은 PCI 버스 신호(44), 확장 영역 클럭신호(40), SINT#(39)를 포함한다. SINT#(39)는 표준 PCI 라인이 아니다. 오히려 연속적인 표준 PCI 인터럽트를 운반하는 라인이다. 이것을 연속화하는 한가지 방법은, PCI 클럭에 4개의 표준 PCI 인터럽트 신호를 계속해서 동기화하고 도 5에 도시된 바와 같이 하나의 시작 비트(로우), INTA#, INTB#, INTC#, INTD#, 헤더 패리티, 및 하나의 정지비트(하이)의 프로토콜을 사용하여 변화가 일어날 때마다 SINT#상의 인터페이스 양단에 정보를 보내는 것이다. 하나의 인터럽트가 I/O APIC에 마스크되지 않으면, 그 INT# 라인은 SINT# 신호상에 연속화되지 않을 것이다(즉, 비활성으로 간주될 것이다). 이러한 경우에, I/O APIC은 호스트에서 인터럽트를 분배하게 될 것이다. SINT# 프로토콜은 리셋동안 계속해서(모든 인터럽트가 비활성 상태로) 구동될 것이다. 인터럽트 연속기는 비활성 16 클럭후에 새로운 메세지를 또한 보낼 것이다.

<24> SINT#는 INTA#, INTB#, INTC#, INTD#의 현재값을 디코딩하기 위해 PEB에 의해 사용된다. 인터럽트 디멀티플렉서 블록이 SINT#가 로우인 것을 알 때마다, 다음 4개의 클럭에 대한 데이터를 캡춰할 것이고, 패리티(시작후 다섯 번째 클럭)가 좋다면, 4개의 인터럽트 출력에 대한 현재값을 갱신하기 위해 그 데이터를 사용할 것이다. 오류(bad) 패리티가 검출된다면, 그 데이터는 무시될 것이다. 이 인터럽트 연속 프로세스는 25MHz에서 360ns인 확장 서브시스템(전송용 7과 동기용 2)의 각각의 레벨에 대한 9클럭의 가장 나쁜 디레이의 원인이 된다. 이것은 인터럽트를 연속화하는 거의 유일한 방법이다. 다른 연속화 설계는 당업자에 의해 개발될 것이고 그러한 설계는 본 발명과 함께 사용이 가능하다.

<25> 케이블(16)의 확장 끝단에서, SEB(19)는 동기적이거나 비동기적일 수 있는 PCI 대 PCI 브리지(34)를 포함한다. 또한 SEB(19)는 옵션적으로 확장 시스템에 의한 사용이 가능한 인터럽트의 수를 확대하는 I/O APIC(35)를 포함하고, 결합된 호스트 시스템과 확장 시스템내의 모든 PCI 슬롯이 단지 4개의 PCI 제공 인터럽트를 단지 공유한다면 필요한 팔링을 제거하거나 감소시킨다. 최종적으로, 인터럽트 조정 디바이스(37)는 디멀티플렉서(38)로의 케이블(16) 양단의 PCI 지원 인터럽트를 조정하도록 제공되거나, APIC 버스 인터페이스(36)로 케이블(16)을 따라 인터럽트를 역으로 버스공급하는 I/O APIC(35)으로 슬롯 인터럽트를 조정하도록 제공된다. 다시, 계류중인 출원번호 제08/490,654호에 설명된 바와 같이 지능적인 I/O 유니트는 SEB(19)를 실행하는데 사용될 수 있다고 생각된다. 또한, 확장 메인기판(4)상에 클럭 발생 디바이스(18)와 제2 PCI 버스(45)이 있다.

<26> 도 2에서, 8개의 슬롯(21)이 PCI 버스(45)상에 도시되어 있다. PCI는 슬롯의 최대수를 한정하지 않고, 오히려 전기 특성을 엄격히 한정한다. 특히, PCI는 클럭스큐+마스터에서 나오는 클럭+타켓에서의 셋업+고정시간≤클럭주기라는 것을 정의한다. 아래에 설명된 클럭 발생 구조에서, 고정하기 위해 할당된 시간은 케이블(16)의 진행 시간을 줄이는데 사용되고 그것에 의해 호스트 모듈과 확장 모듈 사이의 처리의 대기시간을 줄인다. 각각의 슬롯(21)의 삽입은 그 시스템의 용량을 증가시켜, 상태, 즉 고정시간 사이의 전송속도에 나쁘게 작용하기 때문에, 더 느린 클럭은 고정할 수 있는 시간이 증가하고 따라서 시스템이 조종할 수 있는 부하(슬롯)의 수를 증가시킨다. 25MHz에서 운영된다면, 8-12 슬롯이 제공될 수 있다고 기대된다.

<27> 도 3은 본 발명의 클럭 발생을 도시하고 있고, 발진기(50)는 33MHz 까지의 소망 주파수의 클럭 신호를 발생시킨다. 이것은 발진기는 클럭 신호를 발생시키는데 사용될 필요가 없다고 생각될 것이고, 소망 주파수의 신호를 발생시키는 종래의 방법이 사용될 것이다. 예시적인 실시예에서, 발진기(50)는 25MHz 클럭신호를 발생시킨다.

<28> 본 출원은 단일 소스로부터 발생되는 여러 종류의 클럭을 요구한다. 도 3은 케이블(16)과 10개의 다른 라인(58)으로 가는 클럭 신호를 도시하고 있다. 이것은 적절한 슬롯(21)과 SEB(19)에 적당하다. 이것은 확장 샤프 인터페이스(58)와 케이블(15)의 호스트 인터페이스 끝단에 사용된 클럭이 클럭 스큐 타이밍 규격내로 맞추는데 필요하다. 이 끝단에서, 낮은 스큐 클럭 드라이버(51)는 상이한 라인을 따라 스큐를 최소화하기 위해 각각의 라인을 따라 사용되고, 디레이 요소(52)는 로컬라인과 원격 인터페이스(15) 사이에 삽입된다. 호스트(원격) 인터페이스(15)에서의 케이블(16)내의 전파 디레이를 디레이 요소(52)와 매칭시킴으로써, 클럭의 소망 동기화를 각각의 인터페이스(15, 58)에서 이루는 것이 가능하다. 적절한 디레이 라인(52) 값을 선택하기 위해서, 두 개의 옵션이 존재하고, 하나는 전파 디레이가 떨어지는 자체 클럭 신호의 주기에 의해 케이블에 신호를 디레이할 수 있거나 케이블내의 전파 디레이에 의해 로컬라인을 디레이할 수 있다. 도 3은 로컬라인을 따라 삽입된 디레이 요소(52)를 설명하고 있다. 수동 디레이 라인이나 적합한 고속 버퍼중 하나가 소망 디레이를 이루는데 사용될 수 있다고 생각된다. SEB(19)와 확

장메인기판(4)상의 슬롯(21) 사이의 최대 클럭 스心跳는 2ns이다. 도 4는 PCI 규격을 만족할 수 있는 가능한 선택사항을 도시하고 있다. 특히, 각각의 클럭 신호라인은 가능한한 근접하게 매칭되어야 한다. 그러므로 버퍼 드라이버(51)의 같은 수가 각각의 라인을 따라 사용된다. 임피던스(56)는 확장 메인기판(4)상의 클럭 트레이스의 특성 임피던스와 매칭되어야 한다. 더욱이, 버퍼(51)에서 최종점까지의 인쇄회로기판 트레이스의 길이는 가능한한 근접하게 매칭되어야 하고, 케이블 접속을 구동하는 버퍼로부터 트레이스를 포함한다. 이것은 전의 트레이스가 본질적으로 가장 긴 길이를 가지는 것을 매칭시키기 위해 모든 트레이스의 길이를 증가시킴으로써 행해질 수 있다. 가장 결정적인 길이 매칭은 케이블(16)을 통해서 PEB(12)를 구동하는 클럭과 SEB(19)로 가는 클럭 사이이다. 디레이(52) 라인 값을 적절히 선택하는 것은 이런 매칭을 향상시킬 것이다.

<29> 전기 접속구조는 직렬단자를 사용하는 케이블에 접속시키는 브리지 칩(즉, PEB, SEB)을 사용한다. 이 단자는 외부에 있다. 직렬 단자 값은 케이블의 임피던스에서 드라이버의 임피던스를 뺀 값과 같다. 케이블의 소스단은 케이블의 최종단에서 만나는 1의 반사계수로 인해 전체 전압파형에 두 배인 1/2 전압 입사파형으로 구동된다. 케이블을 구동할 때, 직렬 단자는 하나의 반사계수와 만나는 반파입사파형을 형성한다. 6 피트 케이블을 사용하는 일 실시예에서, 이러한 케이블의 특성 임피던스는 88±5 옴이다. 따라서, 적절한 단자 임피던스가 선택된 드라이버의 임피던스를 참조하여 선택될 수 있다.

<30> 클럭 발생기(18)를 확장 카드(11)상에 위치시키는 것이 또한 가능하다. 상기와 같은 규칙이 이러한 배치에 적용되는 반면에, 필요한 조정 신호를 유지하는 것은 조정되는 원격 신호의 수가 증가함에 따라 더 문제화된다. 그럼에도 불구하고, 이러한 배치는 본 발명의 사상과 범위내에 있다.

<31> 전술한 명세서에서, 본 발명은 특정 실시예에 관하여 설명되었다. 그러나, 첨부된 청구범위에서 설명되는 바와 같이 본 발명의 범위와 넓은 사상에서 벗어남이 없이 그것에 여러 수정과 변경이 이루어진다는 것은 분명할 것이다. 따라서 명세서와 도면은 제한적이기 보다는 오히려 예시적이다. 그러므로, 본 발명의 범위는 첨부된 청구범위에 의해 단지 제한될 것이다.

(57) 청구의 범위

청구항 1

호스트 메인기판에 결합시키기 위한 확장측과 호스트측을 가진 비동기 PCI 대 PCI 브리지상에 배치되어 있는 확장 카드;

복수의 PCI 슬롯을 가지고 있는 확장 메인기판;

확장 카드를 확장 메인기판에 결합시키는 케이블 PCI 버스;

클럭 신호를 비동기 PCI 대 PCI 브리지의 확장측과 확장메인기판에 제공하는 클럭 발생기;를 포함하고 있는 것을 특징으로 하는 PCI 슬롯 확장 장치.

청구항 2

제 1 항에 있어서, 클럭 발생기는 확장 메인 기판상에 배치되어 있는 것을 특징으로 하는 PCI 슬롯 확장 장치.

청구항 3

제 2 항에 있어서, 클럭 발생기는 25MHz 신호를 발생시키는 것을 특징으로 하는 PCI 슬롯 확장 장치.

청구항 4

제 2 항에 있어서, 확장 메인기판은 제2 확장 브리지를 더 포함하고 있으며; 케이블 신호를 복수의 슬롯을 가지고 있는 확장 PCI 버스에 결합시키는 것을 특징으로 하는 PCI 슬롯 확장 장치.

청구항 5

제 4 항에 있어서, 제2 확장 브리지는 인터럽트 조정 회로와 I/O APIC를 더 포함하고 있으며; 확장 카드는 APIC 인터페이스를 더 포함하고 있는 것을 특징으로 하는 PCI 슬롯 확장 장치.

청구항 6

제 1 항에 있어서, 비동기 브리지는 지능형 I/O 유니트인 것을 특징으로 하는 PCI 슬롯 확장 장치.

청구항 7

제 4 항에 있어서, 제2 확장 브리지는 지능형 I/O 유니트인 것을 특징으로 하는 PCI 슬롯 확장 장치.

청구항 8

PCI 슬롯수를 확장하는 모듈식 컴퓨터 시스템에 있어서,
 CPU가 배치된 호스트 메인기판을 가지고 있는 호스트 모듈;
 호스트 메인기판상에 배치되어 호스트 클럭에 응답하고 복수의 호스트 PCI 슬롯을 가지고 있는 PCI 버스;
 복수의 호스트 PCI 슬롯중 하나에 결합하는 확장 카드;
 확장 클럭 신호에 응답하는 복수의 확장 PCI 슬롯을 가진 확장 PCI 버스를 가지고 있는 확장 메인기판을 구비한 확장 모듈; 및
 호스트 모듈과 확장 모듈을 접속시키는 케이블 PCI 버스;를 포함하고 있는 것을 특징으로 하는 모듈식 컴퓨터 시스템.

청구항 9

제 8 항에 있어서,
 케이블 버스와 호스트 PCI 버스 사이에 인터페이스를 제공하는 제1 확장 브리지;
 케이블 버스와 확장 PCI 버스 사이에 인터페이스를 제공하는 제2 확장 브리지;
 확장 클럭 신호의 발생을 위해 확장 모듈내에 배치된 클럭 발생기;를 더 포함하고 있는 것을 특징으로 하는 모듈식 컴퓨터 시스템.

청구항 10

제 9 항에 있어서, 제1 확장 브리지는 비동기 PCI 대 PCI 브리지와 디멀티플렉서를 포함하고 있으며; 제2 확장 브리지는 PCI 대 PCI 브리지와 인터럽트 조정 유니트를 포함하고 있는 것을 특징으로 하는 모듈식 컴퓨터 시스템.

청구항 11

제 9 항에 있어서, 확장 클럭 신호는 25MHz인 것을 특징으로 하는 모듈식 컴퓨터 시스템.

청구항 12

제 9 항에 있어서, 케이블 버스는 각단에 100개의 핀 접속기를 가진 100개의 도체 케이블을 포함하고 있는 것을 특징으로 하는 모듈식 컴퓨터 시스템.

청구항 13

제 9 항에 있어서, 제1 확장 브리지는 지능형 I/O 유니트인 것을 특징으로 하는 모듈식 컴퓨터 시스템.

청구항 14

제 10 항에 있어서, 제1 확장 브리지는, APIC 인터페이스 유니트; 및 I/O APIC 유니트를 더 포함하는 제2 확장 브리지를 더 포함하고 있는 것을 특징으로 하는 모듈식 컴퓨터 시스템.

청구항 15

컴퓨터 시스템내의 PCI 슬롯의 모듈식 확장을 제공하는 방법에 있어서,
 호스트 모듈의 PCI 슬롯에 확장 카드를 설치하는 단계;
 확장 카드를 케이블에 의해 확장 모듈로 접속시키는 단계;

호스트 클럭신호와 별개로 확장 클럭신호를 발생시키는 단계;
 확장 카드에서 호스트 클럭신호와 확장 클럭신호를 분리하는 단계; 및
 케이블을 따라서 모듈 사이의 PCI 전송을 케이블화하는 단계;를 포함하고 있는 것을 특징으로 하는 방법.

청구항 16

제 15 항에 있어서, 분리하는 단계는 비동기 PCI 대 PCI 브리지에 의해 실행되는 것을 특징으로 하는 방법.

청구항 17

제 15 항에 있어서, 발생시키는 단계가 복수의 로컬 및 원격 인터페이스에 확장 클럭 신호의 도달을 조정하는 단계를 더 포함하고 것을 특징으로 하는 방법.

청구항 18

제 15 항에 있어서, 케이블은 종단되어 포인트 대 포인트 PCI 버스로서 작동하는 것을 특징으로 하는 방법.

청구항 19

제 17 항에 있어서,
 APIC 버스 인터페이스를 확장 카드상에 제공하는 단계;
 확장 모듈내에 I/O APIC 유니트를 배치하는 단계;
 확장 모듈에서 발생된 인터럽트를 호스트 APIC 버스에 통과시키는 단계;를 더 포함하고 있는 것을 특징으로 하는 방법.

청구항 20

제 15 항에 있어서, 지능형 I/O 유니트는 분리 단계를 실행하는 것을 특징으로 하는 방법.

청구항 21

호스트 시스템 PCI 슬롯에 설치하기 위해 호스트 시간영역과 확장 시간영역을 분리하는 수단;
 소정 거리 이상 PCI 신호를 전송하는 수단;
 확장 시간 영역에 대한 클럭 신호를 발생시키는 수단;
 복수의 PCI 슬롯을 가지고 있고 확장 시간 영역의 클럭에 응답하는 확장 PCI 버스;를 포함하고 있으며,
 상기 전송수단은 확장 버스로부터 분리수단으로 더 많은 PCI 신호를 전송하고, 상기 분리수단은 상기 시간 영역 사이에 상기 신호를 통과시키는 것을 특징으로 하는 PCI 슬롯 확장 장치.

요약

PCI 슬롯 확장(21)을 제공하는 방법 및 장치. 호스트 PCI 슬롯(10)에 삽입용 비동기 PCI 대 PCI 브리지(34)는 케이블된 PCI 버스(16)를 경유하여 확장모듈(4)에 결합되어 있다. 그 브리지는 두 개의 별개 시간영역을 편성한다. 확장 클럭 신호(18)가 발생되고 이것의 타이밍은 확장 클럭 영역을 통하여 안정된 도달을 위해 조화된다. 확장된 다수의 PCI 슬롯은 호스트 시스템에서 그것에 의해 활용할 수 있다.

대표도

도2

도면

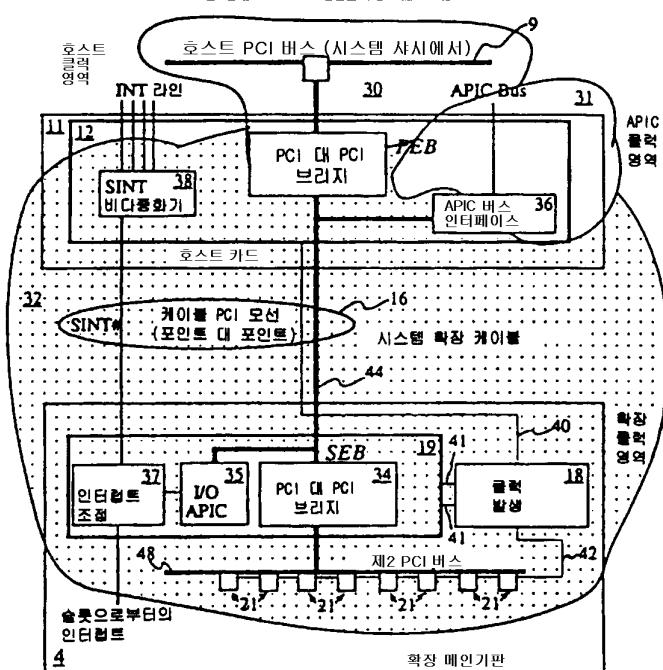
도면1

도면1a

신호	핀	설명
AD[0:31]	32	표준 PCI 다중된 어드레스/데이터 라인
C/BE[0:3]#	4	표준 PCI 다중된 영점/바이트 가능 라인
FRAME#	1	표준 PCI FRAME# 라인
IRDY#	1	표준 PCI IRDY# 라인
TRDY#	1	표준 PCI TRDY# 라인
DEVSEL#	1	표준 PCI DEVSEL# 라인
STOP#	1	표준 PCI STOP# 라인
LOCK#	1	표준 PCI LOCK# 라인
PERR#	1	표준 PCI PERR# 라인
SERR#	1	표준 PCI SERR# 라인
RESET#	1	표준 PCI RESET# 라인
PAR	1	표준 PCI RAR 라인
REQ#	1	SEC 사용을 위해 SEB가 PEB에 요청.
GNT#	1	PEB가 SEC의 SEB 사용 부여.
SINT#	1	직렬화된 인터럽트 라인 (표준 PCI 아님)
CLK	1	SEC에서 인터페이스와 함께 사용하기 위해 PEB에서 SEB 발생 클럭.
합계	50	

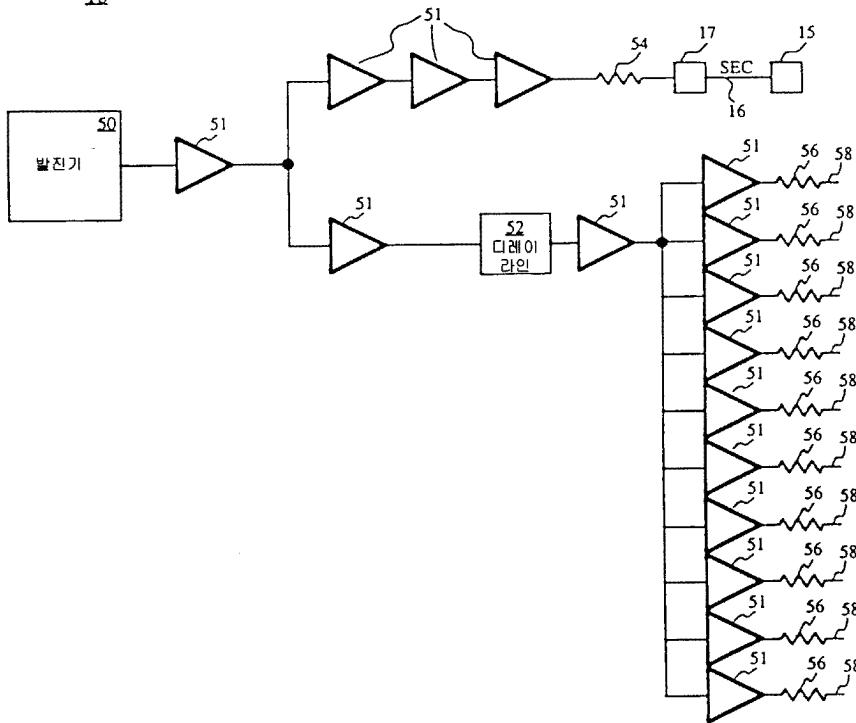
도면2

PCI 확장 ASIC EAS



도면3

18



도면4

옵션	클럭 주기	총 버퍼		디레이 라인		케이블	
		스큐	디레이	스큐	길이	스큐	
1	30ns	840ps	10ns	250ps	10ns	910ps	
2	40ns	10840ps	10ns	250ps	10ns	910ps	
3	40ns	1500ps	19ns	250ps	19ns	1250ps	
4	50ns	20840ps	10ns	250ps	10ns	910ps	
5	50ns	11500ps	19ns	250ps	19ns	1250ps	
6	60ns	21500ps	19ns	250ps	19ns	2150ps	

클럭 스큐

도면4a

	33 MHz	25 MHz
클럭 스큐 (PCI)	2 ns	6 ns
호스트(PCD)에서 나간 클럭	11 ns	11 ns
6 피트 4/-2 in에 케이블 디레이	9.5 ns	9.5 ns
케이블 스큐	0.5 ns	0.5 ns
타겟(PCD)에 셋업	7 ns	7 ns
미진	0 ns	6 ns
총주기	30 ns	40 ns

도면5