



[12] 发明专利申请公开说明书

[21] 申请号 01809630.1

[43] 公开日 2003 年 8 月 13 日

[11] 公开号 CN 1436331A

[22] 申请日 2001.5.15 [21] 申请号 01809630.1

[30] 优先权

[32] 2000.5.17 [33] US [31] 09/572,641

[86] 国际申请 PCT/US01/15592 2001.5.15

[87] 国际公布 WO01/88714 英 2001.11.22

[85] 进入国家阶段日期 2002.11.18

[71] 申请人 克里斯·卡拉巴茨奥斯

地址 美国马萨诸塞州

[72] 发明人 克里斯·卡拉巴茨奥斯

[74] 专利代理机构 中原信达知识产权代理有限公司

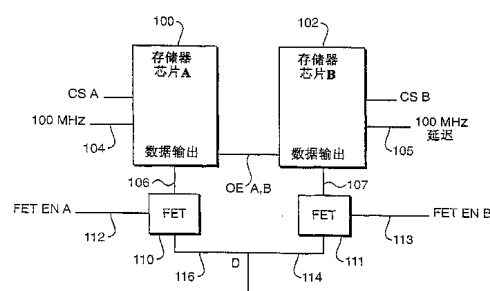
代理人 关兆辉 张天舒

权利要求书 11 页 说明书 17 页 附图 11 页

[54] 发明名称 多存储库 DIMM 中实现的每个周期内的多重访问

[57] 摘要

本发明公开了一种计算机存储器系统，它能够提供双数据速率(DDR)存储器输出同时只需具有现有技术的 DDR 存储器芯片频率限制的一半频率的存储器芯片。该系统包括一个含有数据线 106 的第一存储器库 101 以及一个含有数据线 107 的第二存储器库 102。一个基本系统时钟利用锁相环 140 或其它相移器件而产生一个延迟的时钟信号。第一存储器库的数据线与时钟信号 104 同步地和数据总线 116 相连，第二存储器库的数据线则与时钟信号 105 同步地和数据总线 114 相连。作为结果，数据总线不会同时与两个存储器库的数据线相连接，而是交替地与第一数据存储器库和第二数据存储器库连接。



1. 一种具有数据总线的计算机存储器系统，包括：

(a) 含有数据线的第一列存储器库；

5

(b) 含有数据线的第二列存储器库；

(c) 含有多个周期的时钟信号，其中每个周期都含有一个起点并且具有一个周期 p ；

(d) 第一开关装置，用于在各个所述周期开始时将所述第一存储器库的数据线与数据总线连接起来，并且随后持续 $p/2$ 时间；以及

10

(e) 第二开关装置，用于在各个所述周期开始后的 $p/2$ 处将所述第二存储器库的数据线与数据总线连接起来，并且随后持续 $p/2$ 时间。

2. 根据权利要求 1 所述的计算机存储器系统，其中还包括一个相对于所述时钟信号具有 180° 度相差的延迟时钟信号，并且所述第二开关装置与所述延迟时钟信号同步工作。

15

3. 根据权利要求 2 所述的系统，其中还包括一个主板，并且用于产生所述延迟时钟信号的装置、第一存储器库、第二存储器库、第一开关装置以及第二开关装置都位于该主板之上。

20

4. 根据权利要求 2 所述的系统，其中还包括一个或多个 DIMM 板，并且用于产生所述延迟时钟信号的装置、第一存储器库、第二存储器库、第一开关装置以及第二开关装置都位于该 DIMM 板之上。

25

5. 根据权利要求 3 或 4 所述的系统，其中所述第一开关装置还包括第一 FET 开关，并且所述第二开关装置还包括第二 FET 开关。

6. 根据权利要求 5 所述的系统，其中：

所述第一 FET 开关还包括一个控制输入端、与数据总线连接的第一端、以及与所述第一存储器库的数据线连接的第二端；所述第二 FET

30

开关包括一个控制输入端、与数据总线连接的第一端、以及与所述第二存储器库的数据线连接的第二端。

5 7. 根据权利要求 3 或 4 所述的系统，其中所述第一开关装置包括一个在第一存储器库上工作的第一数据使能信号，所述第二开关装置包括一个在第二存储器库上工作的第二数据使能信号。

8. 根据权利要求 7 所述的系统，其中还包括一个相移电路，该电路含有一个输入端和一个输出端，其输入端与时钟信号相连，其输出端与
10 所述延迟时钟信号相连，该电路从以下一组电路中选出：

线长延迟电路；

非对称输出驱动延迟电路；

级联 PLL 延迟电路；

非对称输出 PLL 延迟电路；

15 外部 PLL 延迟电路；

无源元件延迟电路；以及

可编程延迟线。

9. 一种具有数据总线的计算机存储器系统，包括：

20 (a) 含有数据线的第二 DDR 存储器库；

(b) 含有数据线的第二 DDR 存储器库；

(c) 含有多个周期的时钟信号，其中每个周期都含有一个起点并且具有一个周期 p ；

25 (d) 第一开关装置，用于在各个所述周期开始时将所述第一存储器库的数据线与数据总线连接起来，并且持续 $p/4$ 时间，然后在所述各个周期开始后的 $p/2$ 时刻再次启动，并且随后持续 $p/4$ 的时间；以及

(e) 第二开关装置，用于在各个所述周期开始后的 $p/4$ 时刻开始将所述第二存储器库的数据线与数据总线连接起来，并且随后持续 $p/4$ 时间，然后在所述各个周期开始后的 $3p/4$ 时刻再次启动，并且随后持续
30 $p/4$ 的时间。

10. 根据权利要求 9 所述的计算机存储器系统，其中还包括一个相对于所述时钟信号具有 90 度相差的延迟时钟信号，并且所述第二开关装置与所述延迟时钟信号同步工作。

5

11. 根据权利要求 10 所述的系统，其中还包括一个主板，并且用于产生所述延迟时钟信号的装置、第一存储器库、第二存储器库、第一开关装置以及第二开关装置都位于该主板之上。

10

12. 根据权利要求 10 所述的系统，其中还包括一个或多个 DIMM 板，并且用于产生所述延迟时钟信号的装置、第一存储器库、第二存储器库、第一开关装置以及第二开关装置都位于该 DIMM 板之上。

15

13. 根据权利要求 11 或 12 所述的系统，其中
所述第一开关装置还包括第一 FET 开关；并且
所述第二开关装置还包括第二 FET 开关。

20

14. 根据权利要求 13 所述的系统，其中：
所述第一 FET 开关还包括一个控制输入端、与数据总线连接的第一端、以及与所述第一存储器库的数据线连接的第二端；所述第二 FET 开关包括一个控制输入端、与数据总线连接的第一端、以及与所述第二存储器库的数据线连接的第二端。

25

15. 根据权利要求 11 或 12 所述的系统，其中所述第一开关装置包括一个在第一存储器库上工作的第一数据使能信号；并且
所述第二开关装置包括一个在第二存储器库上工作的第二数据使能信号。

30

16. 根据权利要求 15 所述的系统，其中还包括一个相移电路，该电路含有一个输入端和一个输出端，其输入端与时钟信号相连，其输

出端与所述延迟时钟信号相连，该电路从以下一组电路中选出：

线长延迟电路；

非对称输出驱动延迟电路；

级联 PLL 延迟电路；

5 非对称输出 PLL 延迟电路；

外部 PLL 延迟电路；

无源元件延迟电路；以及

可编程延迟线。

10 17. 一种具有数据总线的计算机存储器系统，包括：

(a) 含有数据线的第一列存储器库；

(b) 含有数据线的第二列存储器库；

(c) 含有多个周期的时钟信号，其中每个周期都含有一个起点并且具有一个周期 p ；

15 (d) 第一开关装置，用于在各个所述周期开始时将所述第一存储器库的数据线与数据总线连接起来，并且持续 δt 时间，然后在所述各个周期开始后的 p 时刻再次启动，并且随后持续 δt 时间；以及

(e) 第二开关装置，用于在各个所述周期开始后的 $p/2$ 时刻开始将所述第二存储器库的数据线与数据总线连接起来，并且随后持续 δt
20 时间，然后在所述各个周期开始后的 $3p/4$ 时刻再次启动，并且随后持续 δt 时间。

18. 根据权利要求 17 所述的计算机存储器系统，其中还包括一个第一控制信号，用于使所述第一存储器库或者在各个周期开始时或者
25 在各个周期开始后的 $p/2$ 时开始输出数据；以及一个第二控制信号，用于使所述第二存储器库或者在各个周期开始时或者在各个周期开始后的 $p/2$ 时开始输出数据。

19. 根据权利要求 18 所述的系统，其中还包括一个主板，并且所述
30 所述第一存储器库、第二存储器库、第一开关装置以及第二开关装置都

位于该主板之上。

20. 根据权利要求 18 所述的系统，其中还包括一个或多个 DIMM 板，并且所述第一存储器库、第二存储器库、第一开关装置以及第二开关装置都位于该 DIMM 板之上。

21. 根据权利要求 19 或 20 所述的系统，其中
所述第一开关装置还包括一个工作于所述第一存储器库之上的第一数据使能信号，并且
所述第二开关装置还包括一个工作于所述第二存储器库之上的第二数据使能信号。

22. 一种具有数据总线的计算机存储器系统，包括：
(a) 含有数据线的第一 DDR 存储器库；
(b) 含有数据线的第二 DDR 存储器库；
(c) 含有多个周期的时钟信号，其中每个周期都含有一个起点并且具有一个周期 p ；
(d) 第一开关装置，用于在所述第一存储器库内产生信号 s_1 ，该信号包括：间隔 i_1 ，始于各个周期的起始处，并且随后持续 δt_1 时间；以及间隔 i_2 ，始于各个周期起始后的 $p/2$ 处，并且随后持续 δt_1 时间；
(e) 第二开关装置，用于在所述第二存储器库内产生信号 s_2 ，该信号包括：间隔 i_3 ，始于各个周期开始后的 $p/4$ 处，并且随后持续 δt_1 时间；以及间隔 i_4 ，始于各个周期起始后的 $3p/4$ 处，并且随后持续 δt_1 时间；
(f) 根据信号 s_1 工作的第三开关装置，用于对间隔 i_1 内的信号与间隔 i_2 内的信号进行交换，并且将信号 s_1 连接至所述第一存储器库的数据线；
(g) 根据信号 s_2 工作的第四开关装置，用于对间隔 i_3 内的信号与间隔 i_4 内的信号进行交换，并且将信号 s_1 连接至所述第二存储器库的数据线；

(h) 组合装置，用于连接所述第一存储器库的数据线与所述第二存储器库的数据线。

23. 根据权利要求 22 所述的系统，其中所述第一开关装置除了各个周期的间隔 i_1 和 i_2 期间以外都产生一个高阻抗输出，并且所述第二开关装置除了各个周期的间隔 i_3 和 i_4 期间以外都产生一个高阻抗输出

24. 根据权利要求 23 所述的系统，其中所述第一开关装置包括第一 FET 开关，并且所述第二开关装置包括第二 FET 开关，各个 FET 开关都含有一个输入端和一个输出端，第一存储器库的数据线与第一 FET 开关的输入端相连，第二存储器库的数据线与第二 FET 开关的输入端相连，并且各 FET 开关的输出端都与数据总线相连接。

25. 根据权利要求 24 所述的系统，其中还包括一个主板，并且所述第一存储器库、第二存储器库、第一、第二、第三和第四开关装置以及组合装置都位于该主板之上。

26. 根据权利要求 24 所述的系统，其中还包括一个或多个 DIMM 板，并且所述第一存储器库、第二存储器库、第一、第二、第三和第四开关装置以及组合装置都位于该主板之上。

27. 根据权利要求 25 或 26 所述的系统，其中所述第一存储器库包括多个第一存储器库子系统，所述第二存储器库包括多个第二存储器库子系统，该系统还包括多个硅晶衬底，各个所述衬底都分别含有一个第一存储器库子系统和一个第二存储器库子系统。

28. 一种具有数据总线的计算机存储器系统，包括：
(a) 含有数据线的第二 DIMM 存储器库；
(b) 含有数据线的第二 DIMM 存储器库；
(c) 含有多个周期的时钟信号，其中每个周期都含有一个起点并

且具有一个周期 p ;

(d) 第一开关装置, 用于在各个所述周期开始时将所述第一 DIMM 的数据线与数据总线连接起来, 并且随后持续 $p/2$ 时间; 以及

5 (e) 第二开关装置, 用于在各个所述周期开始后的 $p/2$ 时刻将所述第二 DIMM 的数据线与数据总线连接起来, 并且随后持续 $p/2$ 时间。

29. 根据权利要求 28 所述的计算机存储器系统, 其中还包括一个相对于所述时钟信号具有 180° 度相差的延迟时钟信号, 并且所述第二开关装置与所述延迟时钟信号同步工作。

10

30. 根据权利要求 29 所述的系统, 其中还包括一个主板, 并且用于产生所述延迟时钟信号的装置、用于所述第一 DIMM 的连接器、用于所述第二 DIMM 的连接器、所述第一开关装置以及第二开关装置都位于该主板之上。

15

31. 根据权利要求 30 所述的系统, 其中所述第一开关装置还包括第一 FET 开关, 并且所述第二开关装置还包括第二 FET 开关。

32. 根据权利要求 31 所述的系统, 其中:

20

所述第一 FET 开关还包括一个控制输入端、与数据总线连接的第一端、以及与所述第一 DIMM 的数据线连接的第二端; 并且

所述第二 FET 开关包括一个控制输入端、与数据总线连接的第一端、以及与所述第二 DIMM 的数据线连接的第二端。

25

33. 根据权利要求 30 所述的系统, 其中所述第一开关装置还包括一个在第一 DIMM 上工作的第一数据输出使能信号, 所述第二开关装置包括一个在第二 DIMM 上工作的第二数据输出使能信号。

30

34. 根据权利要求 33 所述的系统, 其中还包括一个相移电路, 该电路含有一个输入端和一个输出端, 其输入端与时钟信号相连, 其输

出端与所述延迟时钟信号相连，该电路从以下一组电路中选出：

线长延迟电路；

非对称输出驱动延迟电路；

级联 PLL 延迟电路；

5 非对称输出 PLL 延迟电路；

外部 PLL 延迟电路；

无源元件延迟电路；以及

可编程延迟线。

10 35. 一种具有数据总线的计算机存储器系统，包括：

(a) 含有数据线的第二 DDR DIMM；

(b) 含有数据线的第二 DDR DIMM；

(c) 含有多个周期的时钟信号，其中每个周期都含有一个起点并且具有一个周期 p ；

15 (d) 第一开关装置，用于在各个所述周期开始时将所述第一 DIMM 的数据线与数据总线连接起来，并且随后持续 $p/4$ 时间，然后在所述各个周期开始后的 $p/2$ 处再次启动，并且随后持续 $p/4$ 的时间；以及

20 (e) 第二开关装置，用于在各个所述周期开始后的 $p/4$ 时刻将所述第二 DIMM 的数据线与数据总线连接起来，并且随后持续 $p/4$ 时间，然后在所述各个周期开始后的 $3p/4$ 时刻再次启动，并且随后持续 $p/4$ 的时间。

25 36. 根据权利要求 35 所述的计算机存储器系统，其中还包括一个相对于所述时钟信号具有 90 度相差的延迟时钟信号，并且所述第二开关装置与所述延迟时钟信号同步工作。

30 37. 根据权利要求 36 所述的系统，其中还包括一个主板，并且用于产生所述延迟时钟信号的装置、用于安装所述第一 DIMM 的连接器、用于安装所述第二 DIMM 的连接器、第一开关装置以及第二开关装置

都位于该主板之上。

38. 根据权利要求 37 所述的系统，其中
所述第一开关装置还包括第一 FET 开关；并且
5 所述第二开关装置还包括第二 FET 开关。

39. 根据权利要求 38 所述的系统，其中：
所述第一 FET 开关还包括一个控制输入端、与数据总线连接的第一
一端、以及与所述第一 DIMM 的数据线连接的第二端；并且
10 所述第二 FET 开关包括一个控制输入端、与数据总线连接的第一
端、以及与所述第二 DIMM 的数据线连接的第二端。

40. 根据权利要求 37 所述的系统，其中所述第一开关装置包括一个
在第一 DIMM 上工作的第一数据使能信号；并且
15 所述第二开关装置包括一个在第二 DIMM 上工作的第二数据使能
信号。

41. 根据权利要求 40 所述的系统，其中还包括一个相移电路，该
电路含有一个输入端和一个输出端，其输入端与时钟信号相连，其输
20 出端与所述时钟信号相连，该电路从以下一组电路中选出：
线长延迟电路；
非对称输出驱动延迟电路；
级联 PLL 延迟电路；
非对称输出 PLL 延迟电路；
25 外部 PLL 延迟电路；
无源元件延迟电路；以及
可编程延迟线。

42. 一种具有数据总线的计算机存储器系统，包括：
30 (a) 含有数据线的的第一 DIMM；

(b) 含有数据线的第二 DIMM;

(c) 含有多个周期的时钟信号, 其中每个周期都含有一个起点并且具有一个周期 p ;

5 (d) 第一开关装置, 用于在各个所述周期开始时将所述第一 DIMM 的数据线与数据总线连接起来, 并且随后持续 δt 时间, 然后在所述各个周期开始后的 p 时刻再次启动, 并且随后持续 δt 时间; 以及

10 (e) 第二开关装置, 用于在各个所述周期开始后的 $p/2$ 处将所述第二 DIMM 的数据线与数据总线连接起来, 并且随后持续 δt 时间, 然后在所述各个周期开始后的 $3p/4$ 时刻再次启动, 并且随后持续 δt 时间。

43. 根据权利要求 42 所述的计算机存储器系统, 其中还包括一个第一控制信号, 用于使所述第一 DIMM 或者在各个周期开始时或者在各个周期开始后的 $p/2$ 时开始输出数据; 以及一个第二控制信号, 用于使所述第二 DIMM 或者在各个周期开始时或者在各个周期开始后的 $p/2$ 时开始输出数据。

20 44. 根据权利要求 43 所述的系统, 其中还包括一个主板, 并且用于安装所述第一 DIMM 的连接器、用于安装所述第二 DIMM 的连接器、第一开关装置以及第二开关装置都位于该主板之上。

45. 根据权利要求 44 所述的系统, 其中

25 所述第一开关装置还包括一个工作于所述第一 DIMM 之上的第一数据使能信号, 并且

所述第二开关装置还包括一个工作于所述第二 DIMM 之上的第二数据使能信号。

46. 一种具有数据总线的计算机存储器系统, 包括:

30 (a) 含有数据线的第二 DDR DIMM;

(b) 含有数据线的第二 DDR DIMM;

(c) 含有多个周期的时钟信号，其中每个周期都含有一个起点并且具有一个周期 p ；

(d) 第一开关装置，用于在所述第一 DIMM 内产生信号 s_1 ，该信号包括：间隔 i_1 ，始于各个周期的起始处，并且随后持续 δt_1 时间；
5 以及间隔 i_2 ，始于各个周期起始后的 $p/2$ 处，并且随后持续 δt_1 时间；

(e) 第二开关装置，用于在所述第二 DIMM 内产生信号 s_2 ，该信号包括：间隔 i_3 ，始于各个周期开始后的 $p/4$ 处，并且随后持续 δt_1 时间；以及间隔 i_4 ，始于各个周期起始后的 $3p/4$ 处，并且随后持续 δt_1 时间；

10 (f) 根据信号 s_1 工作的第三开关装置，用于对间隔 i_1 内的信号与间隔 i_2 内的信号进行交换，并且将信号 s_1 连接至所述第一 DIMM 的数据线；

(g) 根据信号 s_2 工作的第四开关装置，用于对间隔 i_3 内的信号与间隔 i_4 内的信号进行交换，并且将信号 s_1 连接至所述第二 DIMM 的数据线；
15

(h) 组合装置，用于连接所述第一 DIMM 的数据线与所述第二 DIMM 的数据线。

47. 根据权利要求 46 所述的系统，其中所述第一开关装置除了各个周期的间隔 i_1 和 i_2 期间以外都产生一个高阻抗输出，并且所述第二开关装置除了各个周期的间隔 i_3 和 i_4 期间以外都产生一个高阻抗输出
20

48. 根据权利要求 47 所述的系统，其中所述第一开关装置包括第一 FET 开关并且所述第二开关装置包括第二 FET 开关，各个 FET 开关都含有一个输入端和一个输出端，第一 DIMM 的数据线与第一 FET 开关的输入端相连，第二 DIMM 的数据线与第二 FET 开关的输入端相连，并且各 FET 开关的输出端都与数据总线相连接。
25

49. 根据权利要求 48 所述的系统，其中还包括一个主板，并且所述第一 DIMM、第二 DIMM、第一、第二、第三和第四开关装置以及组合装置都位于该主板之上。
30

多存储库 DIMM 中实现的每个周期内的多重访问

5 本申请要求获得申请日为 99 年 6 月 22 日、申请号为 60/141,219 以及申请日为 99 年 5 月 17 日、申请号为 60/134,511 的在先临时申请的优先权。

发明领域

10 本发明涉及在计算机存储器中提高数据访问速度而不增加存储器的基本时钟频率。

与现有技术有关的说明

术语

15 本说明书中使用了以下术语：

DIMM=双直列存储器模块

SDRAM=同步动态随机存储器

DDR=双数据速率，数据比特宽度等于时钟频率的二分之一。在基本时钟的一个周期内使用两比特数据，见图 1B。

20 DBR=双总线速率

SDR=单总线速率

DBF=数据比特频率。每条引线每秒的比特数，称为 xx 比特/秒/引线

DR=数据速率。数据比特宽度等于一个基本时钟周期，见图 1A。

25

定义：双总线速率（DBR）

为了达到说明的目的，在本文中使用了术语 DBR™（双总线速率）。双总线速率的意思是：进出总线系统的数据速率为与总线连接

的各单独芯片在其运行时钟频率上传送数据时的数据速率的两倍。

30

现有技术

5 目前，对提高存储器子系统中的吞吐量的期望要求存储器件高速运行。也就是说，按照确定的基本频率运行的单数据速率型 SDR 存储器芯片将产生一个基本频率周期的数据速率 DR。100MHz 的 DR 意味着各个数据比特的宽度等于 100MHz 频率的一个周期，也就是 10 纳秒。从 DRAM 芯片输出的数据比特脉宽为基本时钟的一个周期。因此，如图 1A 所示，当基本时钟为 100MHz 时，在 1 和 0 之间变化的任何数据比特的实际频率[MPW1]为 50MHz。

10 与当前使用的存储器芯片封装结构有关的是，为了满足一个所需的数据总线（DATA BUS）宽度，多组诸如 SDRAM 的存储器芯片被在一个印刷电路板上组装在一起。（最小的总线宽度是从一组中只有一个 SDRAM 芯片传送出的实际比特数）。这些板被以多种形式构成，如 SIMM、DIMM、SODIMM、RIMM 等。但是，为了简单起见，以下
15 将用术语 DIMM 来代表其中任何一种或者所有这些不同的类型。

现有的 168 线 DIMM 模块（该设计应用于具有任何其它引线数的任何 DIMM，或者任何具有其它名称的其它封装）使用了（由 JEDEC¹ 协会定义）72 数据比特总线、控制线、地址线、电源以及时钟。由 JEDEC
20 标准定义的现行模块至多可容纳两库或两行 SDRAM 芯片。根据系统架构的不同，也可以采用其它的存储库结构。对存储库的选择是由一个选片（CS）线或者由选片线与其它控制线的组合来控制的。DIMM 模块或是一个寄存器结构，或是一个非寄存器结构。在寄存器结构中，在所有地址和控制线提供给待被选择进行操作的器件之前被首先锁存入一个寄存器。而在非寄存器 [MPW2] 结构中，地址和控制线被直接
25 从 DIMM 的输入连接器连接到其它器件。上述任何一种结构都可含有一个用于时钟同步的锁相环（PLL），或者也可利用系统提供给 DIMM 的时钟。如图 1A 所示，在存储器芯片的基本工作频率为 100MHz 时钟的频率时，所述模块只能产生 100MHz 的最大 DR。如果将时钟频率提高至 133MHz，并且使 DIMM 上的 SDRAM 器件在 133MHz 下工作，
30

则最大 DR 可增加至 133MHz。为了达到 200MHz 的 DR，SDRAM 芯片必须在 200MHz 的基本频率下工作。要使 SDRAM 芯片能在较高频率下工作，就需要开发资金、时间并且还需要提高硅晶速度以及其处理工艺。密度和速度是相互影响的。当密度增加时，速度只会下降，
5 因为需要多级互联以实现电路，所以会给电路路径引入更多的延迟。另外，在硅晶中实现高速和高密度已经越来越难，在某些情况下甚至是不可能的。

在对采用 100MHz 时钟频率工作的 SDRAM 器件的 DIMM[MPW3] 的现有设计中，利用普通印刷电路板（PCB）的物理特性和线宽[MPW3] 可以容易地实现设计。因此，利用现有技术很容易设计出一个具有 100MHz 基本时钟频率的 DIMM 存储器模块。而当人们试图制造出以 200MHz 时钟频率工作的器件时，就会出现问

15 现在参考图 2，从其中可以看出，两个相同的存储器芯片 100、102 在其时钟输入端 A 和时钟输入端 B 上受到了同一个 100MHz 时钟的控制。芯片 A 的单比特输出端与芯片 B 的相应输出端 107 相连。在任何给定的时间内只有一个芯片被允许工作，而其它芯片则被输出端 106 和 107 上的内部芯片电路的高阻抗隔离起来。芯片 A 的选片（CS）输入端 120 允许芯片 A 访问数据，相应的输入端 121 则可同样用于芯片
20 B。这种架构是利用现有技术制造 DIMM 模块的基础。

上述两个芯片都以同样的时钟工作。引线 D 102、107 上的数据比特来自芯片 A 或者芯片 B。现在参考图 2B，芯片 A 的输入引线 104 和芯片 B 的输入引线 105 上出现的时钟具有 100MHz 的频率。一个典型的时钟周期从具有正向信号的 t1 开始并且在 10 纳秒后的 t2 结束。
25 如图 2C 所示，典型的数据信号与数据信号同步，因此数据“1”的状态从 t1 开始并在 t2 结束，而后面的数据“0”则从 t2 开始并在 t3 结束。应该注意的是，可由该系统处理的最高带宽数据信号是一个在 1 和 0
30 之间交替变化的信号。仍然参考图 2C，从其中可以看出，虽然以每秒

比特数计量的数据速率与时钟频率一致，但这种数据信号的频率为时钟频率的二分之一。

5 作为结果，采用现有技术的系统中向存储器总线传送的最高数据传送速率 DR 与存储器芯片 A 或 B 的设计数据传送速率是相等的。

JEDEC 小组已开发出了一种架构，在这种架构中，一比特数据的有效宽度等于基本时钟频率的二分之一。这个方案被称为 DDR（双数据速率）技术。利用这种 SDRAM 器件设计出的 DIMM 被称为是 DDR
10 DIMM。虽然这种 DDR 存储器已经存在，但它们需要存储器芯片在两倍的时钟频率下工作。这种高速存储器芯片的制造成本高并且难以制造。

现在参考图 1A 至 1C，其中示出了本文中所述的各种信号的速率。
15 首先参考图 1A 和图 1B，前者示出了一个 100MHz 时钟的波形，后者则示出了现有技术的 DIMM 中的一个典型数据总线信号（为了便于说明，图中只示出了一个比特）。各个数据比特与时钟信号的正向沿 t1 同步开始。这个波形是典型的采用现有技术的 SDR 结构。

20 作为对比，现有技术中的 DDR 数据总线以 SDR 速率的两倍进行工作。现在参考图 1C，DDR 数据信号的各个数据比特或者从时钟信号的正向沿 t1 开始，或者从时钟信号的反向沿 t1 开始。

目前，所采用的器件包含 100MHz 基本时钟频率和 DDR 型
25 100MHz 数据比特频率。为了达到说明的目的，这类器件被称为 SDRAM DDR 器件（100，100）。本发明将揭示出一种能够利用 SDRAM 芯片（100，100）产生 400MHz DR 和 200MHz 数据比特频率的系统。该系统被称为双数据速率/双总线速率（DDR/DBR）系统。

30 利用本发明所述的技术，可以在采用 100MHz 时钟频率的数据总

线上产生 400MHz 的 DR 或 200MHz 的 DBF。作为对比，在采用现有技术的情况下，利用现有 SDRAM 器件所能够实现的最快速度也只是 SDRAM 器件自身的速度。但是，通过采用本发明所述的技术，就可使现有的 SDRAM（无论是 SDR 还是 DDR）能够在数据总线上产生双倍的器件 DR。见图 1C 至 1F。

发明内容

本发明的一般目的是提供一种使用 SDR 存储器芯片的 DDR 存储器架构。本发明的另一个目的是组合 DDR 存储器芯片以产生四倍速的输出。

根据本发明的一个方面，一种具有数据总线的计算机存储器系统包括：含有数据线的第一列存储器库；含有数据线的第二列存储器库；以及含有多个周期的时钟信号，其中每个周期都含有一个起点并且具有一个周期 p ；另外，所述系统还包括一个第一开关装置，用于在各个所述周期开始时将所述第一存储器库的数据线与数据总线连接起来，并且持续 $p/2$ 时间；以及一个第二开关装置，用于在各个所述周期开始后的 $p/2$ 时刻将所述第二存储器库的数据线与数据总线连接起来，并且持续后面的 $p/2$ 时间；

20

根据本发明的第二个方面，所述计算机存储器系统还包括一个相对于时钟信号具有 180 度相差的延迟时钟信号，并且所述第二开关装置与所述延迟时钟信号同步工作。

25 根据本发明的第三个方面，该系统包括一个主板，用于产生所述延迟时钟信号的装置、第一存储器库、第二存储器库、第一开关装置以及第二开关装置都位于该主板之上。

30 根据本发明的第四个方面，该系统包括一个或多个 DIMM 板，并且用于产生所述延迟时钟信号的装置、第一存储器库、第二存储器库、

第一开关装置以及第二开关装置都位于该板之上。

根据本发明第五个方面，所述第一开关装置包括第一 FET 开关，所述第二开关装置包括第二 FET 开关。

5

根据本发明第六个方面，所述第一 FET 开关包括一个控制输入端、与数据总线连接的第一端、以及与所述第一存储器库的数据线连接的第二端。另外，所述第二 FET 开关包括一个控制输入端、与数据总线连接的第一端、以及与所述第二存储器库的数据线连接的第二端。

10

根据本发明第七个方面，所述第一开关装置包括在第一存储器芯片上工作的第一数据使能信号，所述第二开关装置包括在第二存储器芯片上工作的第二数据使能信号。

15

根据本发明第八个方面，该系统还包括一个电路，该电路含有一个输入端和一个输出端，其输入端与时钟信号相连，其输出端与所述延迟时钟信号相连，该电路从由线长延迟电路、非对称输出驱动延迟电路、级联 PLL 延迟电路、非对称输出 PLL 延迟电路、外部 PLL 延迟电路、无源元件延迟电路以及可编程延迟线组成的一组电路中选择出来。

20

25

根据本发明第九个方面，一种含有数据总线的计算机存储器系统包括：含有数据线的所述第一存储器库、含有数据线的第二存储器库、以及含有多个周期的时钟信号，其中每个周期都含有一个起点并且具有一个周期 p 。另外，所述系统还包括第一开关装置，用于在各个所述周期开始时将所述第一存储器库的数据线与数据总线连接起来，并且持续 $p/4$ 时间，然后在各个所述周期开始之后的 $p/2$ 时刻再次启动，并且持续 $p/4$ 时间。另外，所述系统还包括第二开关装置，用于在各个所述周期开始后的 $p/4$ 时刻将所述第二存储器库的数据线与数据总线连接起来，并且持续 $p/4$ 时间，然后在各个所述周期开始之后的 $3p/4$ 时刻

30

再次启动，并且持续 $p/4$ 时间。

附图说明

通过以下的文字说明并结合用于描述优选实施例的附图，本发明的上述及其它特征将获得更好的理解。其中

图 1A 描绘出了一个系统时钟波形；

图 1B 描绘出了一个典型的 SDR 数据流；

图 1C 描绘出了一个典型的 DDR 数据流；

图 1D 描绘出了一个与系统时钟呈 90 度相移的延迟时钟；

图 1E 描绘出了从本发明所述的存储器库中输出的典型的四倍数据速率数据流；

图 1F 描绘出了从本发明所述的另一存储器库中输出的典型的四倍数据速率数据流；

图 2A 描绘出了根据本发明所述的最简单的实施例；

图 2B 描绘出了一个在 SDR 存储器系统中使用的典型系统时钟；

图 2C 描绘出了现有技术中输出至数据总线的 SDR；

图 3A 描绘出了本发明的优选实施例的电路图；

图 3B 描绘出了本发明优选实施例的 DDR 数据流；

图 3C 描绘出了在本发明优选实施例中使用的系统时钟；

图 3D 描绘出了根据本发明优选实施例所述的存储器库 A 的输出；

图 3E 描绘出了在本发明优选实施例中使用的延迟时钟；

图 3F 描绘出了根据本发明优选实施例所述的存储器库 B 的输出；

图 4A 描绘出了本发明的可替换实施例的电路图；

图 4B 描绘出了在本发明的可替换实施例中使用的系统时钟；

图 4C 描绘出了在本发明的可替换实施例中使用的延迟时钟；

图 4D 描绘出了从本发明的可替换实施例所述的存储器库 A 中输出的数据流；

图 4E 描绘出了从本发明的可替换实施例所述的存储器库 B 中输出的数据流；

图 5A 中描绘了一个在修改 DBR 的实施例中作为参考的系统时

钟；

图 5B 中描绘了一个 DBR 输出；

图 5C 中描绘了在修改 DBR 的实施例 DBR 存储器库 A 的输出；

图 5D 中描绘了在修改 DBR 的实施例 DBR 存储器库 B 的输出；

5 图 5E 中描绘了在修改 DBR 的实施例中所产生的数据总线数据流；

图 6 描绘出了一个锁相环（PLL）；

图 7 描绘出了一个非对称 PLL。

图 8 中描绘了一个采用现有的 DIMM 作为存储器库的实施例。

10 具体实施方式

在理解典型计算机存储器可具有 64 或 72 比特的前提下，以下的讨论中对存储器的单比特操作进行了说明。单比特的操作可被推广至构成单个存储器读取或写入的 64 或 72 比特。在实际情况中，单个存储器芯片具有 8 比特或更多，并且需要有 8 或 9 个存储器芯片来形成
15 一个单存储器字。但是，为了使以下的说明简单明了，所以在下面的说明中只采用具有单比特输出的单个芯片。

参考图 3A，存储器芯片 A 100 和 B 102 被允许操作并且被允许按照它们各自的时钟，时钟 A 104 和时钟 B 106（它们都工作于 100MHz 的频率），进行工作。本例中，时钟 B 相对于另一时钟被移动或延迟了二分之一一个周期，如图 3C 所示。在各个数据比特的输出端上串联插入了一个 FET 开关。FET 开关 A 110 对应于存储器芯片 A，FET 开关 B 111 对应于存储器芯片 B。存储器芯片 A 的输出端 108 与 FET 开关 A 110 的输入端相连。FET 开关 A 受到使能信号 A 112 的控制。类似地，
20 存储器芯片 B 的输出由 FET 开关 B 113 进行切换。FET 开关 A 116 的输出端与 FET 开关 B 114 的输出端相连。在本优选实施例中，两个输出都与 DIMM 的一个连接器相连，该连接器可以是宽数据总线的一部分。

30 当 FET 开关被允许操作时，通过该开关的数据路径将对信号带来

非常微小的延迟。而当开关被禁止时，数据路径将呈高阻抗以使信号不能通过。在以下的例子中，数据总线上的数据流被显示在图 3B 中。图 3C 所示的时钟具有一个周期 p ，它等于 t_3-t_1 。现在参考图 3D，其中显示了 FET 开关 A 的输出信号，从该图中可以看出，当 FET 开关 A 110 在 t_1 上被激活并被允许保持激活状态半个周期直到 t_2 为止然后被关闭直到 t_3 为止时，存储器芯片 A 的输出端只在半个周期内被连接至数据总线 114，116。接下来参考图 3F，其中显示了 FET 开关 B 的输出信号，在从 t_2 开始的下半个周期，当 FET 开关 B 被激活并被允许保持激活状态半个周期直到 t_3 然后被关闭半个周期时，存储器芯片 B 的输出端只在另外半个周期内被连接至数据总线 114，116。随着上述过程的持续进行，数据总线将在存储器芯片 A 和 B 之间被交替连接，从而在每个时钟周期 p 中产生两个数据比特。这个结果符合 DDR 标准，即，总线上的数据速率为 SDR 系统标准下数据速率的两倍。

虽然现有技术中的器件也能够产生 DDR 输出，而本发明揭示了一种可利用单数据速率存储器芯片实现的 DDR 操作的方法。各个存储器芯片持续以 SDR 速度工作，并在每个时钟周期内产生一个数据比特。但是，通过将存储器芯片数据输出的宽度减少至半个时钟周期，就可以利用另外半个周期输出来自第二存储器芯片的数据。通过将采样时间减少为相应存储器芯片的实际数据时间的一半，FET 开关就可产生使存储器芯片自身的带宽加倍的效果。

第二优选实施例

如果存储器芯片 A 和 B 被设计成按照 DDR 速度工作，每个芯片都以与基本时钟频率相等的速率产生输出数据，则通过利用一个时钟给芯片 B 增加 $1/4$ 周期，并且给用于使数据在数据总线上保持有效的 FET 开关也增加 $1/4$ 个时钟周期，就可以实现在一个时钟周期内有四个数据比特传送至数据总线。本实施例中，FET 开关的输出信号由图 1E 和图 1F 示出。

通过继续参考图 3A 来说明本发明中所用组件的互联,就可使本实施例得到更好的理解。现在参考图 1A, 系统时钟具有一个等于 t_2-t_1 的周期 p , 图 1D 中示出了加载给芯片 B 的 90 度相移时钟。图 1E 描绘了存储器芯片 A 输出至数据总线 114, 116 的数据。存储器芯片 A 的输出 106 与数据总线连接半个周期 $t_{12}-t_1$, 同时, 存储器芯片 B 的输出 107 在 t_{12} 时刻开始与数据总线相连, 并且与存储器芯片 A 的输出一样持续半个周期有效。

如图 1E 所示, 在下面对 “四速” 信号的说明中, 间隔 t_2-t_1 将被称为 p (波形的周期), 并且直接跟随在 t_1 之后的间隔在图中被标为 “1”, 用于表示信号的 TRUE (真值) 状态, 它被称为 δt 。间隔 $t_{12}-t_1$ 将被称为 $p/2$ 。当参考图 1F 时也使用了这些标记。应该注意, 图 1F 所示的波形与图 1E 所示的波形相类似, 只是延迟了 $p/4$ 的间隔。

各个数据比特有效宽度只适用于所需的接收数据的器件的建立和保持时间。随着硅技术速度的提高, 用于使数据比特有效的建立和保持时间也相应减小。因此, 只利用部分数据比特的有效宽度不会影响操作的可靠性, 而只会大大提高速度。

上述例子涉及了两个存储器器件。这些器件可被安装在一个模块或者一个主板上。存储器芯片以外的其它器件也可采用本发明的技术, 以达到增加数据总线带宽而不增加器件的实际工作频率的目的。如果在一个 DIMM 板上使用了多个存储器器件, 并且采用了图 3 所示的 FET 开关连接以用于各个数据比特, 则整个总线宽度将以一个宽的带宽数据速率被执行。

在 DIMM 上使用的整体结构也可被应用到一个主板上以取代 DIMM 板。诸如 RAS (行地址选择)、CAS (列地址选择)、WE (写使能) 以及 CS (片选) 的控制线的组合通常 [MPW5] 被用于诸如存储器芯片的器件的操作。通常, 这些控制线上的信号是利用 100MHz 时

钟的上升沿进入器件中进行时钟控制的。根据本发明的第一个优选实施例所述，各个器件输出端上的数据是与控制该器件的时钟的上升沿有关的。[MPW6]

5 如果来自一个 SDRAM 器件的数据比特被允许在 10 纳秒宽度的一半时间内在数据总线上保持有效，如图 1C 所示，并且所述时间的另一半被用于来自另一个 SDRAM 器件的有效数据，则可以产生 200MHz 的数据速率 DR。此举可在以 100MHz 时钟速率和 100MHz 数据速率工作的普通 SDRAM 器件上实现。

10

作为一个额外的可替换方法，可以利用一个 FET 来复用两个存储器模块的输出以取代采用两个 FET 开关的做法。在这种结构中，FET 开关具有两个输入端，每个输入端都与一个单独的存储器芯片输出相连，该 FET 的输出端与数据总线连接。

15

不含有 FET 开关的可替换实施例

在本发明的另一个可替换实施例中，存储器芯片输出的切换是由存储器芯片自身完成的，而没有使用 FET 开关。

20 本实施例中，两个 SDRAM 存储器芯片自身都具有与 DIMM 板连接器 130 相连的数据输出引线，如图 4A 所示。这种连接既可以在主板上也可以在 DIMM 上。

25 如图 4（C）所示，芯片 B 102 拥有自己的时钟，它相对于图 4B 所示的基本时钟移动了二分之一一个周期。

30 在本实施例中，当被相应的输出使能信号 124、126 允许操作时，各个 SDRAM 存储器芯片都在其输出引线 106、107 上使数据比特保持有效，而当不被激活时，它们将转换至高阻抗状态。这类器件被称为是三态器件，其输出可以是逻辑 0、逻辑 1 以及高阻抗状态。

现在参考图 4D，从其中可以看出，与存储器芯片 A 101 相对应的数据比特是在各个周期（ t_1 和 t_3 之间）的前半个周期内有效的。另一方面，存储器芯片 B 102 是在各个周期的后半半个周期内有效的，即， t_2 与 t_3 之间。

另外，根据一个附加的控制信号，各个存储器芯片既可在时钟周期前半周期也可在其后半周期内被控制为有效。

在存储器芯片是 DDR 芯片的情况下，两个存储器芯片的输出在宽度上可被减少至四分之一周期，并且可被聚在一起以在图 1E 和 1F 所示的前半个或后半周期内变为有效。这种数据频率的增加可在各个 SDRAM 芯片的内部实现。SDRAM 的输出与数据总线的连接或者由 SDRAM 内部电路控制，或者由一个外部输出使能（OE）控制线控制。如图 4A 所示，当两个 DDR 器件如图 4A 所示被连接在一起时，芯片将在一个基本时钟周期内产生四个数据比特，如图 5E 所示。基本时钟自身如图 5A 所示，它所具有的一个周期等于 t_3-t_1 。

上述 SDRAM 芯片内部结构可以是这样的，即，它可以在内部产生四个数据比特而不是利用外部控制和连接。图 5B 所示的波形示出了未改进的从一个 DDR 芯片输出的两个数据比特，其中，第一数据比特位于 t_1 和 t_2 之间，第二数据比特位于 t_2 和 t_3 之间。图 5C 所示的波形示出了改进后在四分之一基本时钟周期的宽度内的两个数据比特，其中，第一数据比特出现于 t_1 和 t_{12} 之间，第二数据比特出现于 t_{12} 和 t_2 之间。这些数据比特只在所述周期的前半段中有效。图 5D 所示波形示出了两个改进的 DDR 数据比特在基本时钟周期的后半段（ t_2 ： t_3 ）有效。因此，当芯片被按照如图 4A 所示连接起来时，并且存储器芯片 A 101 和存储器芯片 B 102 为 DDR 芯片时，它们产生的最终结果将是在一个基本时钟周期内产生 4 个数据比特，如图 4E 所示。此举对输入数据流和输出数据流都是可行的。

各个 SDRAM 存储器芯片内都有一个控制器，它含有一个数据接收器。当数据被传送入该计数器中时，它一定是与基本系统时钟同步的，如图 5A 所示。为了实现对进入控制器的接收器的数据计时，可以采用多种办法。如果具有图 5E 所示波形的数据流被 SDRAM 产生，则 SDRAM 内部可以产生具有相同波形的时钟。这个时钟可被各个 SDRAM 的所述控制器用来将数据锁存入它们各自的寄存器以进行处理。

在分组技术中上述内容还有更好的速度优势。通常，在含有两个上述存储器库的系统中，第一存储器库是由构成第一库的存储器芯片阵列组成的，而第二存储器库则是由构成第二库的存储器芯片阵列组成的。但是，根据本发明所述，以下方法是有益处的，即，在一个衬底内包含两个这种存储器芯片的电路，使其中一个电路用在第一库中，并使另一个电路用在第二库中，同时在两个芯片的输出之间进行切换以形成一个数据总线输出。这种结构比现有技术具有更好的速度优势，因为第一和第二存储器库芯片之间的数据路径的距离被大大缩小。

不含有相位延迟时钟的实施例

在本发明的另一个优选实施例中，存储器库 A 和 B 都是 DDR 存储器。相同的时钟信号被用于使存储器库 A 和存储器库 B 同步。

在各个周期的起始处，存储器库 A 产生一个第一内部输出，它在基本时钟周期的 $p/4$ 宽度内保持有效，并且在所述周期开始后的 $p/2$ 时刻产生第二内部输出，它持续 $p/4$ 的宽度。存储器库 B 在所述周期开始后的 $p/4$ 时刻开始，产生第三内部输出，它在基本时钟周期的 $p/4$ 宽度上保持有效，存储器库 B 还在所述周期开始后的 $3p/4$ 时刻再产生一个第四内部输出，它也持续 $p/4$ 的宽度。

在将这些内部输出输出至数据总线之前，第一和第二内部输出被

互换，并且第三和第四内部输出也被互换。结果，数据总线上的数据将在时钟周期的前半周期内含有来自存储器芯片 A 的数据比特，并且在时钟周期的后半周期内含有来自存储器芯片 B 的数据比特。

5 对时钟延迟产生的说明

有多种方法可用于在按照本发明所述内容使用的 SDRAM 器件或其它器件的内部产生辅助时钟。

10 像上面指出的那样，根据特定实施例，供给存储器模块的主时钟被相移或延迟了半个周期、180 度，或者四分之一周期、90 度。

15 为了进行高速运行，一种产生延迟时钟信号的方法是在具有相同相位的多个输出中使用一个时钟驱动器或者锁相环（PLL），用以在最小容性负载的情况下驱动多个 SDRAM 芯片。图 6 中示出了一个简单的 PLL 140。

20 该 PLL 具有一个输入端 140 和一个输出端 148，在 PLL 的输出与负载（未示出）之间有一个固定的时间延迟 $dt1$ 。一反馈信号 146 具有相同的时间延迟 $dt1$ 。结果，输出将被锁相至负载上得到的信号。

20

非对称驱动器被定义为具有一个输入端，两个或多个输出端，其每个输出端相对于输入端都具有不同的相角或延迟。

25 PLL 的一个变种是非对称 PLL，如图 7 所示。该非对称 PLL 含有输入端 152 以及两个单独的输出端 156 和 158。与具有相同相位的多个输出端的其它各种 PLL 不同的是，非对称 PLL 的输出端 156 和 158 之间具有相位延迟，它们可被用于驱动本发明所需的多个时钟。

30 由于 PLL 的输出与其输入时钟具有相位同步能力，所以任何 PLL 输出都可被用作产生延迟的时钟或移相的时钟。为了产生一个延迟时

钟以用于驱动其输出被用来驱动第二库的 SDRAM 器件的第二 PLL，可以采用两种方法来产生一移相或延迟时钟信号。

5 PLL 的相移或延迟可通过多种方式产生。PLL 可以含有一个 PLL 内部延迟，从而使其输出自动相对于输入产生延迟。或者，也可以在两个 PLL 电路之间串联插入一个延迟线或电路，从而产生一个级联的 PLL 延迟电路。

10 一种建议的方法是利用 DIMM 所产生的时钟来驱动 SDRAM 的第一库。如果要在 DIMM 上实现时钟延迟，可以引入一个印刷线路长度以精确给出所需的延迟，进而产生一个被移相的时钟。然后，这个移相的时钟被用于驱动第二 PLL。第二 PLL 的输出是经过延迟的时钟，它用来驱动两库 SDRAM 中的第二库。所需的线路长度可通过模拟、理论计算以及试凑法来确定。

15 如果经延迟的时钟是在一主板上产生，则 DIMM 也可使用位于该主板上的延迟时钟来驱动位于 DIMM 之上的 PLL。PLL 的输出将驱动库中的 SDRAM 芯片。

20 产生第二相位延迟时钟的其它方法包括使用延迟线芯片，它也可用于实现延迟时钟所需的预定相移。另外，也可以采用无源和有源电路的组合来实现所需的相移，其中包括目前可以商用的可编程延迟线。由于这些器件和技术在本领域中是公知的，故此不再赘述。

25 使用现有 DIMM 的系统

上述技术可被用于利用现有 DIMM 来提高存储器的速度。可以参考图 8 来了解这种系统。图 8 中所示的全部组件都安装于主板之上，并且 DIMM 模块被插入到 DIMM 连接器 166、168、182 以及 184 内。

30 在最后一个实施例中，DIMM 模块自身成为存储器库。DIMM 被

插入到 DIMM 连接器 166 和 168 中，从而分别形成等价的第一和第二存储器库。连接器 116 中来自或去向第一 DIMM 的数据 172 被 FET 开关 160 接通或切断至数据总线。类似地，数据 170 被同一 FET 开关 60 切换至安装在 DIMM 连接器 168 中的第二 DIMM。锁相环相移倍增器产生时钟信号 174 和 176，它们互相正交，用于首先允许操作第一 DIMM，然后再允许操作第二 DIMM。

使能信号 180 由 PLL 电路 164 产生，它产生的信号类似于图 3A 所示的 FET EN A 112 和 FET EN B 113，在本实施例中，这些信号交替地允许操作第一 DIMM 和第二 DIMM。

图 8 中还示出了第二套 DIMM 连接器 182、184，通过将另外两个 DIMM 插入到上述连接器中就形成了第三和第四存储器库。这两个额外的 DIMM 与上述第一和第二 DIMM 的工作方式完全相同，并且它们具有自己的 FET 开关 178 以及正交时钟信号 190 和 192，等等。

当 DDR DIMM 被采用时，产生一个四速存储器系统，每个 DDR DIMM 都起到上述实施例中的 DDR 数据存储库的作用。

本实施例的优点在于它使用了现有形式的 DIMM，这样只需通过制造一种主板就可以享受到本发明所提供的速度和访问时间上的优势。

在数位分组技术上的其它应用

下面的目录列出了本文所述技术在其它方面的应用。这个目录不是十分完整，也不能排除本发明所述技术在其它方面的应用。

1. 计算机存储器子系统。
2. 在一模块或主板上的单个计算机存储器芯片的结构。
3. 在一模块或主板上的闪存芯片的结构。
4. 在一模块或主板上的 EEPROM 存储器芯片，在一模块或主板

上的单个逻辑芯片。

5. 从相同或不同的源进行数据传输的数据总线的结构。
6. 用于数据和控制线以实现高速交换的微处理器总线的结构。
7. CPU 总线复用以在不提高时钟速度的情况下增加带宽。
- 5 8. DSP 总线复用以在不提高基本时钟频率的情况下增加带宽。
9. 在硅晶水平上的单个存储器芯片用于产生高的数据速率而不提高基本时钟速度。

10 本领域的普通技术人员应该明白，各种在本发明范围之内作出的改进和修改都不会脱离由附带权利要求所定义的本发明的精神。

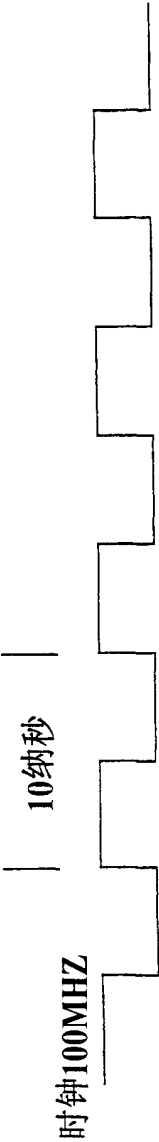


图1A

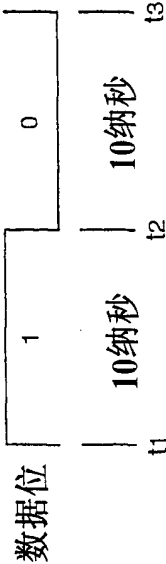


图1B

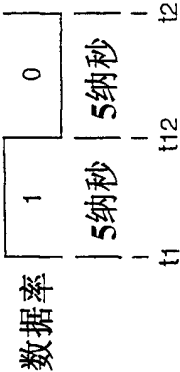


图1C

图1D

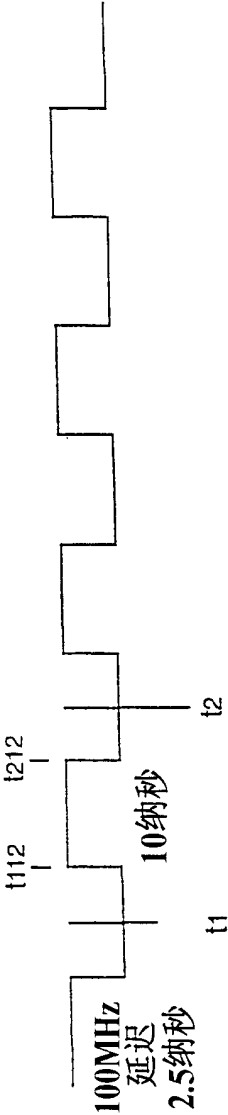


图1E

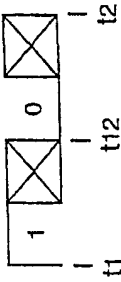
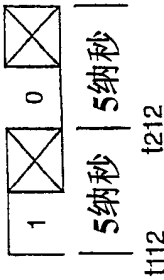


图1F



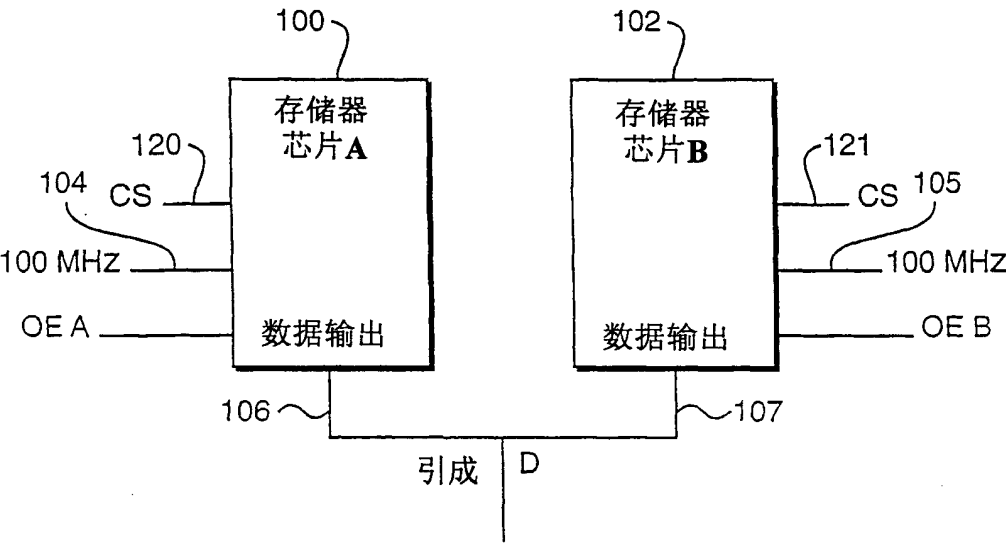


图2A
现有技术

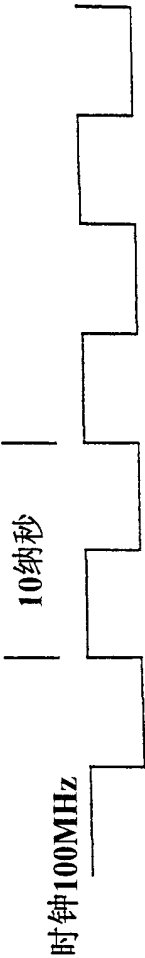


图2B

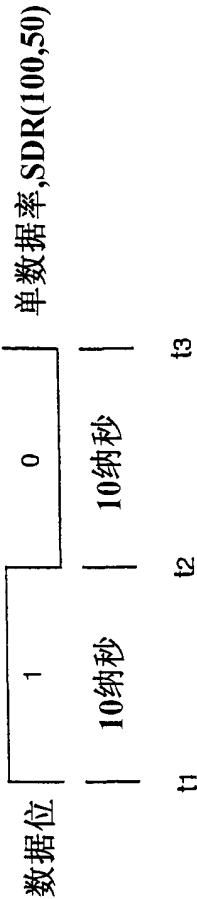


图2C

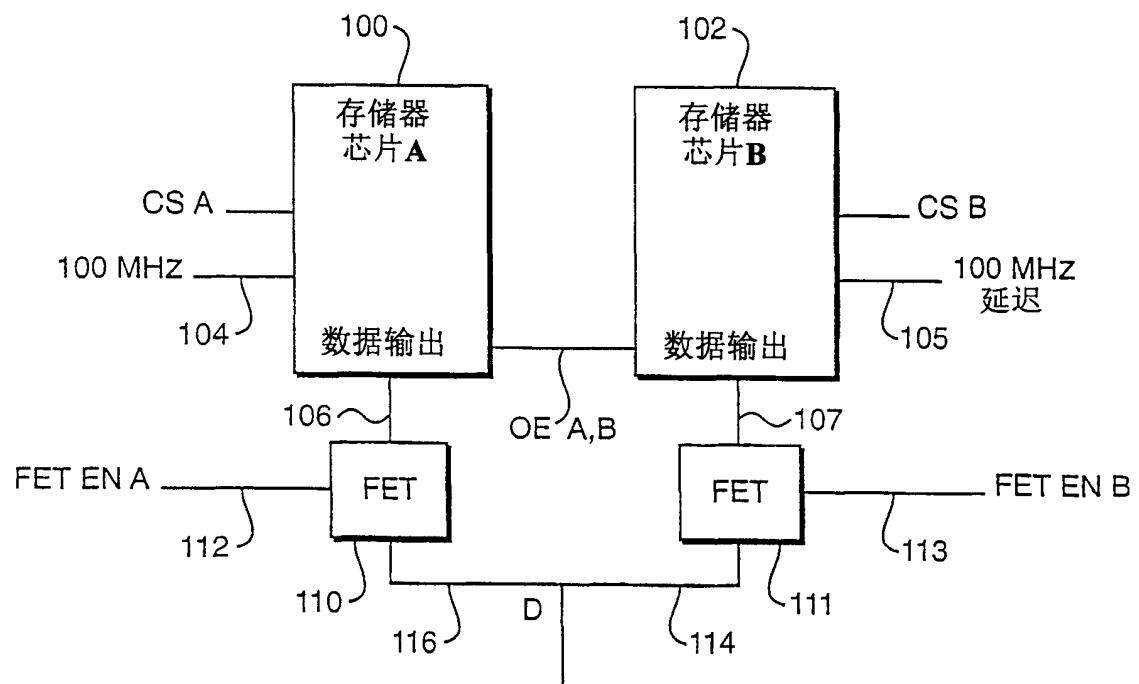


图3A

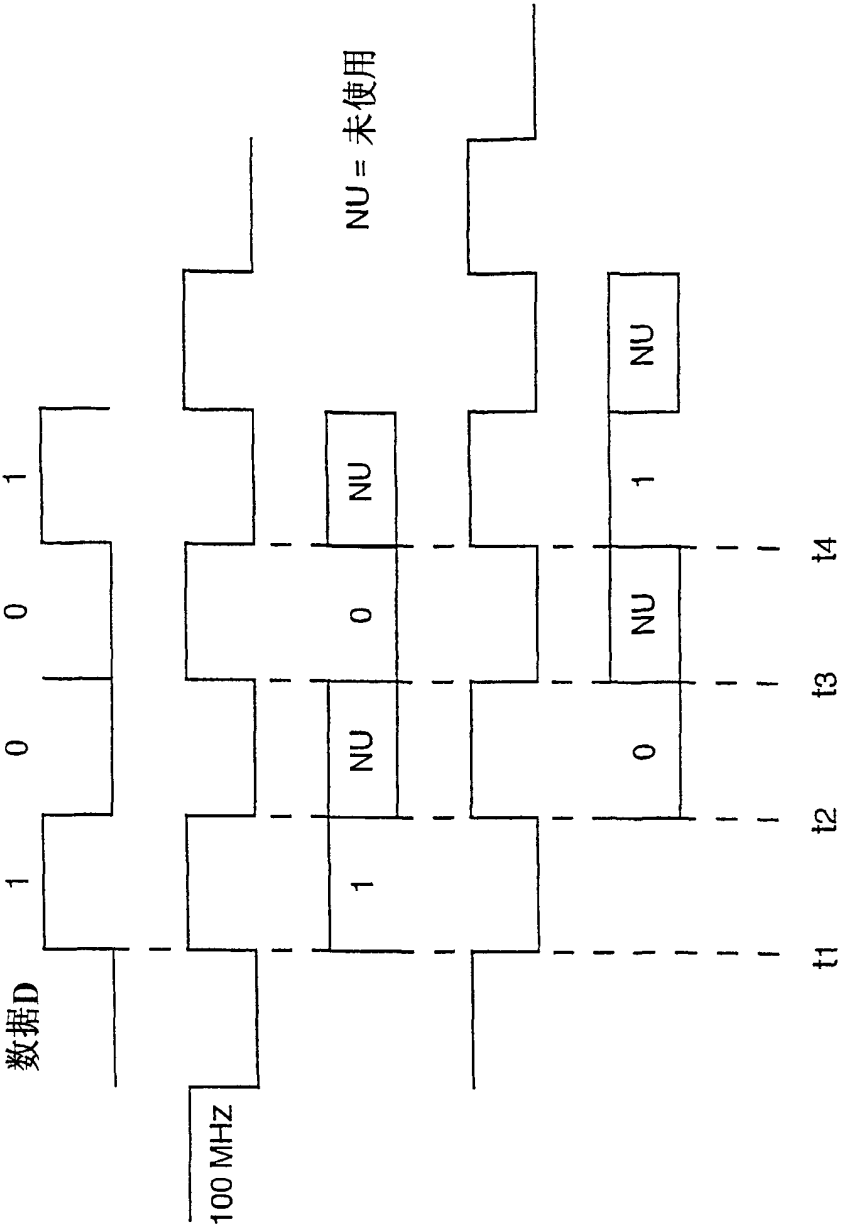


图3B

图3C

图3D

图3E

图3F

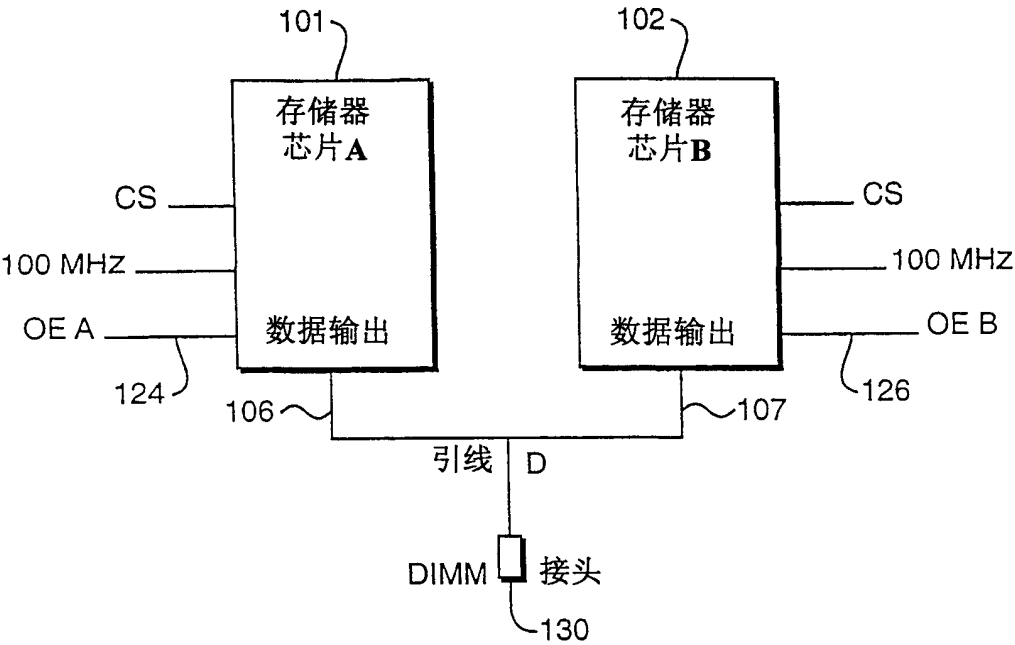
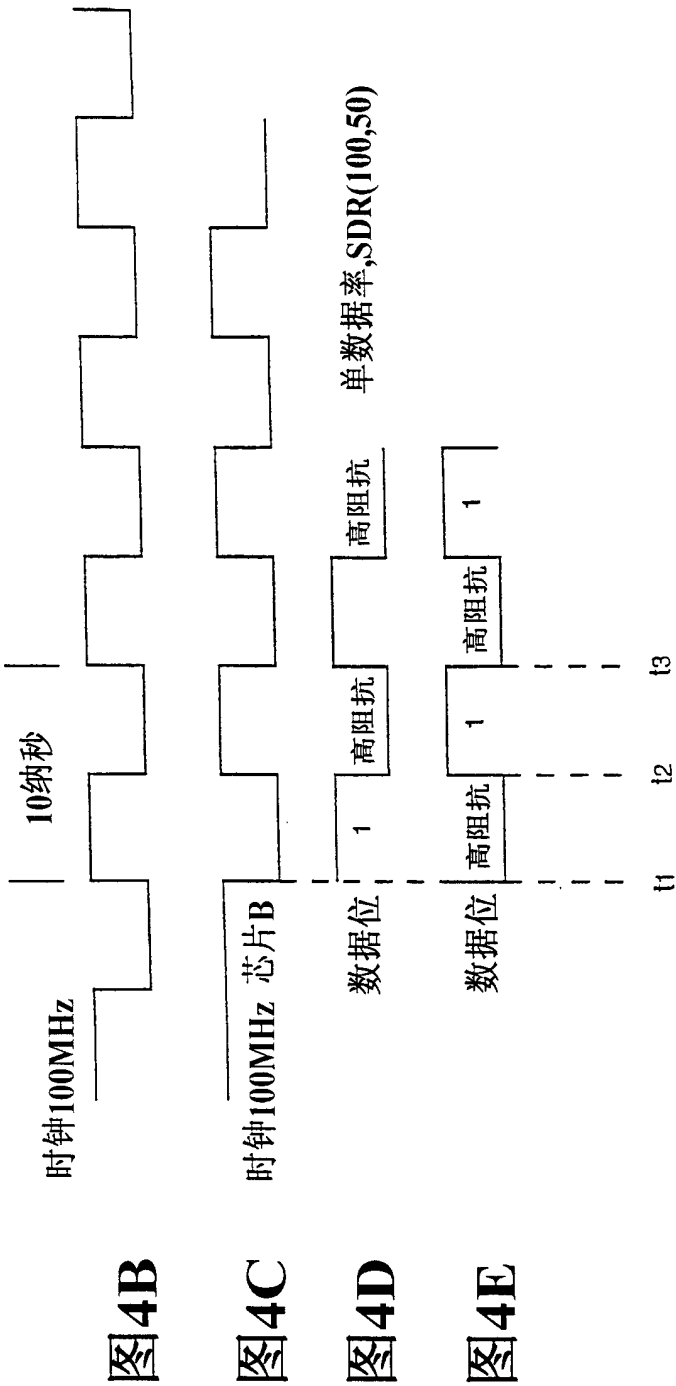
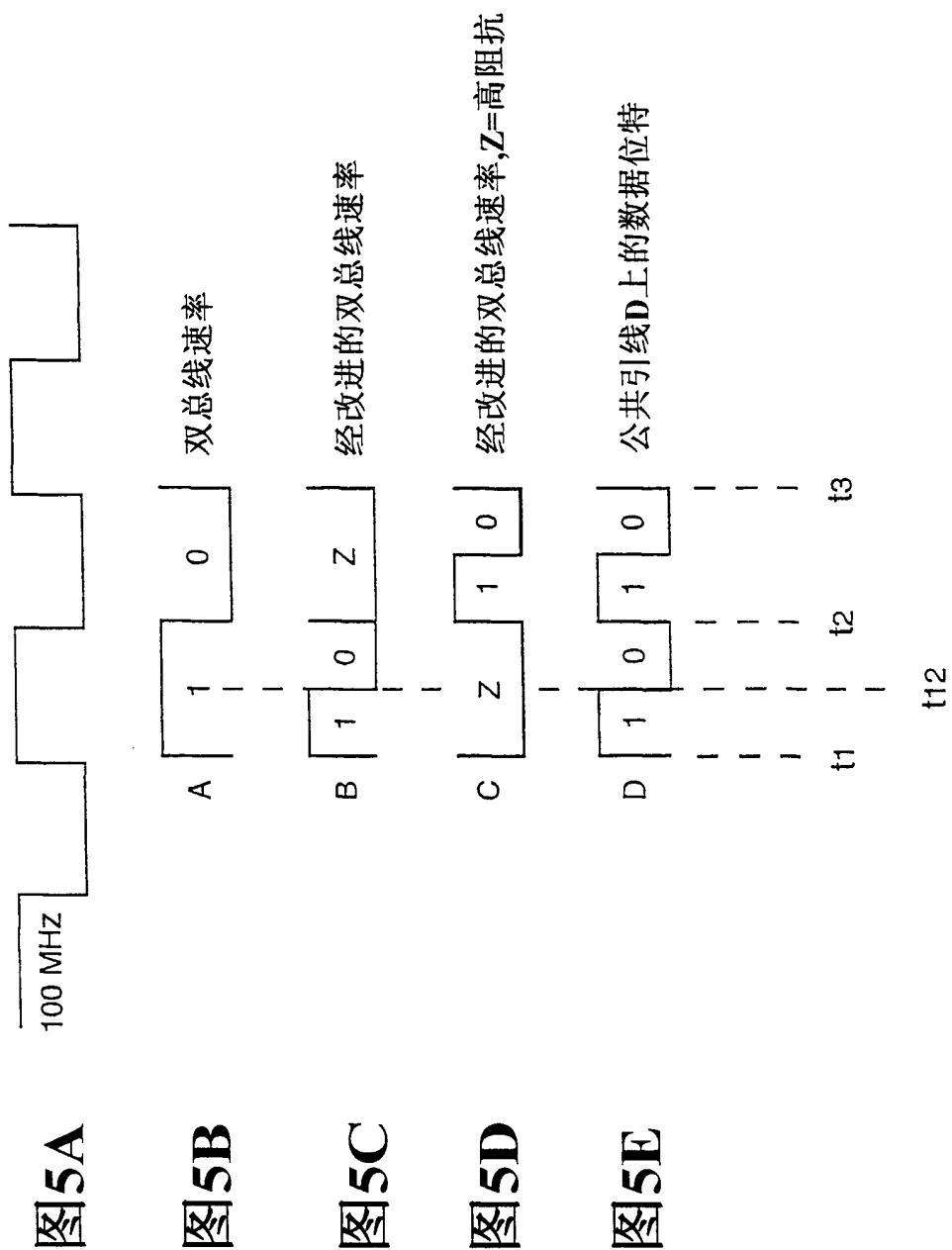


图4A





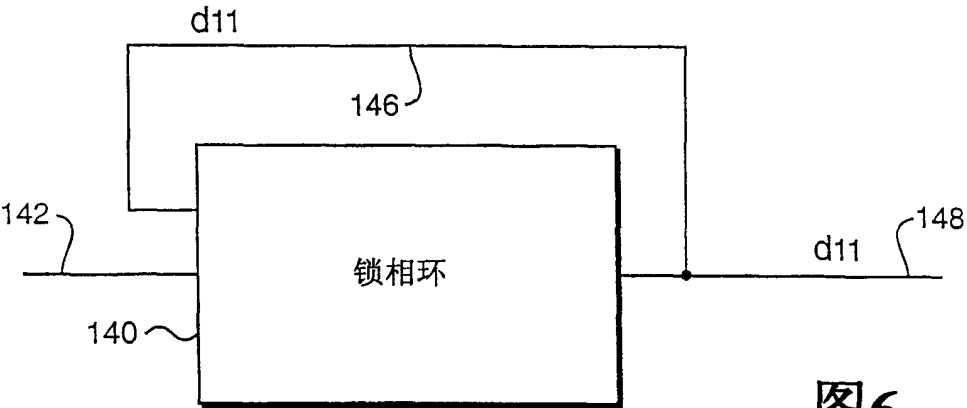


图6

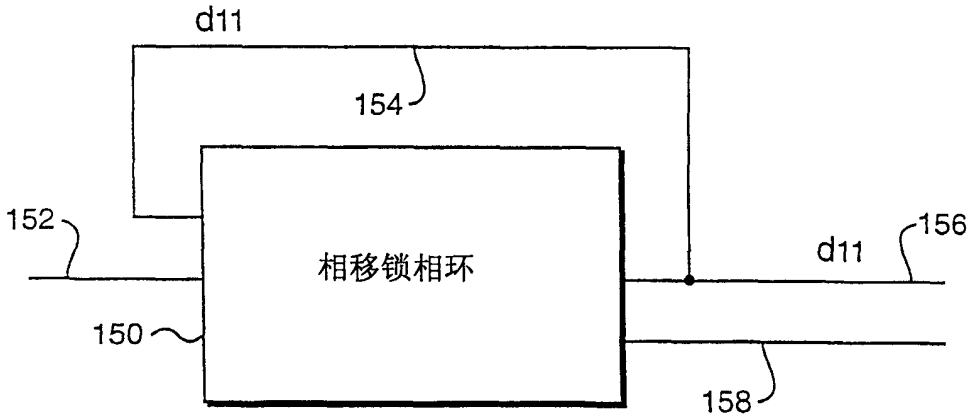


图7

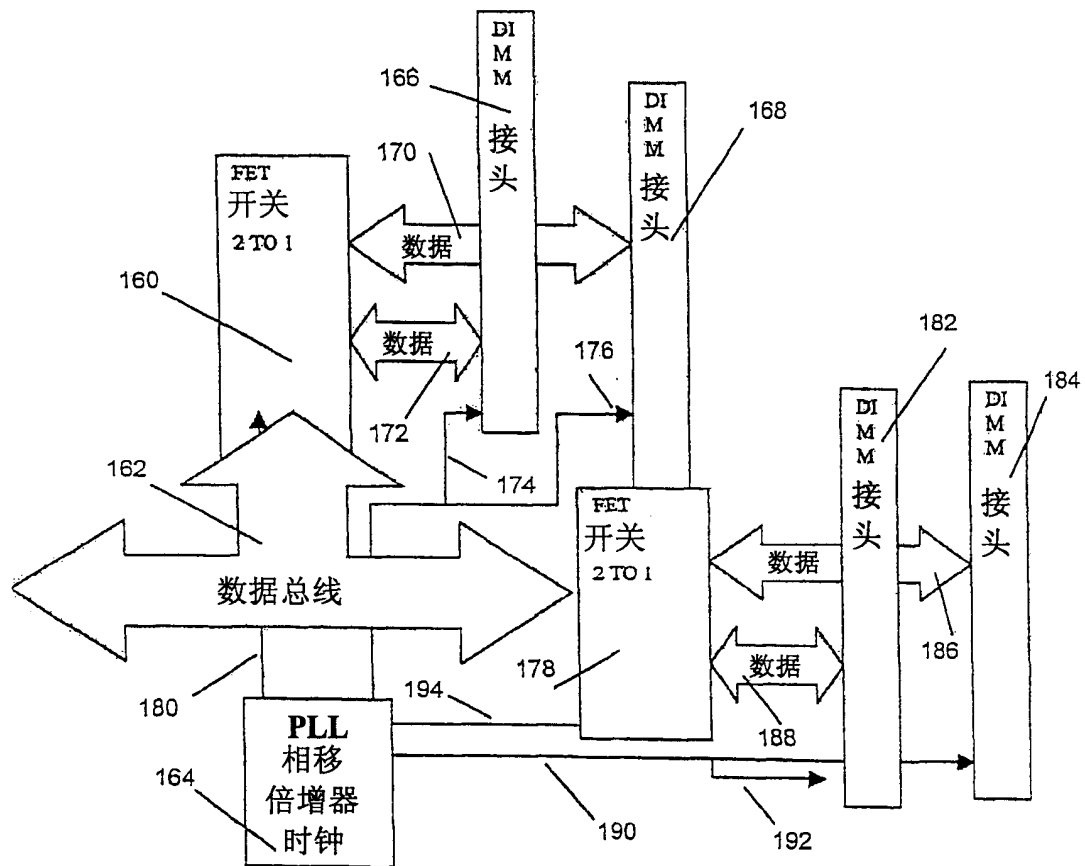


图8