

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-96609

(P2014-96609A)

(43) 公開日 平成26年5月22日(2014.5.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 25/04 (2014.01)	HO 1 L 25/04 Z	4M109
HO 1 L 25/18 (2006.01)	HO 1 L 25/08 C	5E346
HO 1 L 25/065 (2006.01)	HO 1 L 23/12 5O1B	
HO 1 L 25/07 (2006.01)	HO 1 L 23/12 N	
HO 1 L 23/12 (2006.01)	HO 1 L 23/28 E	

審査請求 有 請求項の数 10 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2014-26162 (P2014-26162)  
 (22) 出願日 平成26年2月14日 (2014.2.14)  
 (62) 分割の表示 特願2012-182958 (P2012-182958) の分割  
 原出願日 平成18年10月2日 (2006.10.2)

(71) 出願人 302062931  
 ルネサスエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100110928  
 弁理士 速水 進治  
 (74) 代理人 100127236  
 弁理士 天城 聡  
 (72) 発明者 栗田 洋一郎  
 神奈川県川崎市中原区下沼部1753番地  
 NECエレクトロニクス株式会社内  
 (72) 発明者 川野 連也  
 神奈川県川崎市中原区下沼部1753番地  
 NECエレクトロニクス株式会社内

最終頁に続く

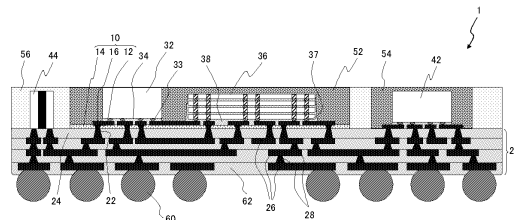
(54) 【発明の名称】 電子装置

(57) 【要約】

【課題】従来の電子装置およびその製造方法においては、半田ボール側の配線層に用いる樹脂が限定され、それにより電子装置の低コスト化が妨げられている。

【解決手段】電子装置1は、配線層10（第1の配線層）、および配線層20（第2の配線層）を備えている。配線層10の下面上には、配線層20が形成されている。配線層20は、平面視での面積が配線層10よりも大きく、配線層10より外側まで延在している。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

複数の配線群が設置された第 1 表面、前記第 1 表面は反対側であって、かつ複数の導体配線が設置された第 1 裏面、第 1 辺および前記第 1 辺とは反対側の第 2 辺を含む第 1 絶縁層と、

前記複数の導体配線と前記第 1 絶縁層の前記第 1 裏面の一部を覆い、第 1 辺、前記第 1 辺とは反対側の第 2 辺、前記第 1 絶縁層の前記第 1 裏面と対向する第 2 表面、前記第 2 表面とは反対側の第 2 裏面を含む第 2 絶縁層と、

前記第 1 絶縁層の前記第 1 表面から前記第 1 裏面を貫通し、端部が前記複数の配線群の少なくとも一つと電気的および機械的に接続され、他端部が前記複数の導体配線と電気的および機械的に接続された複数の導電プラグ群と、

前記第 1 表面上に設置され、第 1 主面上に CPU 回路および複数の第 1 電極を有する第 1 チップと、

前記第 1 表面上に設置され、第 2 主面上に、第 1 辺、その反対側の第 2 辺およびメモリ回路を有し、積層され、複数の貫通する電極を介して接続された複数の第 2 チップと、

前記第 2 絶縁層の前記第 2 裏面上に設置された複数の外部端子と、

前記第 1 チップ、前記複数の第 2 チップと前記第 1 表面を樹脂により封止した封止体と、を含み、

前記複数の貫通する電極は、前記複数の第 2 チップの中央部に配置された複数の第 1 の貫通する電極と、前記中央部より外側の前記第 2 チップの第 1 辺側に配置された複数の第 2 の貫通する電極と、前記中央部より外側の前記第 2 チップの第 2 辺側に配置された複数の第 3 の貫通する電極と、を含み、

前記複数の配線群は、第 1 配線群を含み、

前記第 1 配線群は、断面視において前記複数の第 2 チップの直下に配置され、前記複数の第 2 チップの中央から前記複数の第 2 チップの第 1 辺へ延在する第 1 配線と前記複数の第 2 チップ中央から前記複数の第 2 チップの第 2 辺へ延在する第 2 配線を含み、前記第 1 配線の端部は前記複数の第 1 の貫通する電極の一つと接続され、前記第 2 配線の端部は前記複数の第 1 の貫通する電極の他の一つと接続され、前記第 1 配線の端部と前記第 2 配線の端部は対向して配置され、

前記複数の導電プラグ群は、第 1 導電プラグ群を含み、

前記第 1 導電プラグ群は、断面視において前記第 2 チップの直下に配置され、前記複数の第 2 チップの中央部から前記複数の第 2 チップの第 1 辺の間に配置された第 1 プラグと前記複数の第 2 チップの中央部から前記複数の第 2 チップの第 2 辺の間に配置された第 2 プラグを含み、前記第 1 プラグの端部は前記第 1 配線の他端部と接続され、前記第 2 プラグの端部は前記第 2 配線の他端部と接続され、

前記第 1 プラグの他端部は前記複数の導体配線の一つと接続され、

前記第 2 プラグの他端部は前記複数の導体配線の他の一つと接続され、

前記複数の配線群は、前記第 1 絶縁層の外周辺の内部に形成されており、

前記複数の導体配線は前記第 1 絶縁層の内部から前記第 1 絶縁層の外周辺の外部へ延在して形成されていることを特徴とする電子装置。

## 【請求項 2】

前記複数の配線群は、更に第 2 配線群を含み、

前記第 2 配線群は、断面視において前記複数の第 2 チップの直下に配置され、前記複数の第 2 チップの第 1 辺側の周辺部から前記複数の第 2 チップの中央部へ延在する第 3 配線と前記複数の第 2 チップの第 1 辺側の周辺部から前記複数の第 2 チップの第 1 辺の外部へ延在する第 4 配線を含み、前記第 3 配線の端部は前記複数の第 2 の貫通する電極の一つと接続され、前記第 4 配線の端部は前記複数の第 2 の貫通する電極の他の一つと接続され、前記第 3 配線の端部と前記第 4 配線の端部は対向して配置されていることを特徴とする請求項 1 記載の電子装置。

## 【請求項 3】

10

20

30

40

50

前記複数の導電プラグ群は、第2導電プラグ群を含み、

前記第2導電プラグ群は、断面視において前記第2チップの直下に配置され、前記複数の第2チップの中央部から前記複数の第2チップの第1辺の間に配置された第3プラグを含み、前記第3プラグの端部は前記第3配線の他端部と接続され、前記第4配線の他端部は前記第1チップの前記複数の第1電極の一つと接続されていることを特徴とする請求項2記載の電子装置。

【請求項4】

前記複数の配線群は、更に第3配線群を含み、

前記第3配線群は、断面視において前記複数の第2チップの直下に配置され、前記複数の第2チップの第2辺側の周辺部から前記複数の第2チップの中央部へ延在する第5配線と、断面視において前記複数の第2チップの直下から前記複数の第2チップの外部に渡って配置され、前記複数の第2チップの第2辺側の周辺部から前記複数の第2チップの第2辺の外部へ延在する第6配線を含み、前記第5配線の端部は前記複数の第3の貫通する電極の一つと接続され、前記第6配線の端部は前記複数の第3の貫通する電極の他の一つと接続され、前記第5配線の端部と前記第6配線の端部は対向して配置されていることを特徴とする請求項1乃至請求項3の何れかに記載の電子装置。

10

【請求項5】

前記複数の導電プラグ群は、更に第3導電プラグ群を含み、

前記第3導電プラグ群は、断面視において前記第2チップの直下に配置され、前記複数の第2チップの中央部から前記複数の第2チップの第2辺の間に配置された第4プラグと、前記複数の第2チップの第2辺の外部に設置された第5プラグと、を含み、

20

前記第4プラグの端部は前記第5配線の他端部と接続され、前記第5プラグの端部は前記第6配線の他端部と接続されていることを特徴とする請求項4記載の電子装置。

【請求項6】

前記第2絶縁層の前記第2表面は、前記第1絶縁層と重なる第1領域と前記第1絶縁層とは重ならない第2領域を有し、

前記第2領域上に第3チップが搭載され、

前記封止体は、更に前記第3チップと前記第2領域の一部を前記樹脂により封止することを特徴とする請求項1乃至請求項5の何れかに記載の電子装置。

30

【請求項7】

前記第3チップは、第3主面、前記第3主面上に設置された複数の第2電極を有し、前記第2電極の一つは前記複数の導体配線を介して前記第1チップの複数の第1電極の一つと接続され、前記第2電極の他の一つは前記複数の導体配線を介して前記複数の外部電極の一つと接続されていることを特徴とする請求項6記載の電子装置。

【請求項8】

前記第2絶縁層の前記第2表面は、前記第1絶縁層と重なる第1領域と前記第1絶縁層とは重ならない第2領域を有し、

前記第2領域上に受動部品が搭載され、

前記封止体は、更に前記受動部品と前記第2領域の一部を前記樹脂により封止することを特徴とする請求項1乃至請求項5の何れかに記載の電子装置。

40

【請求項9】

前記受動部品は、第4主面、前記第4主面上に設置された複数の第3電極を有し、前記第3電極の一つは前記複数の導体配線を介して前記第1チップの複数の第1電極の一つと接続され、前記第3電極の他の一つは前記複数の導体配線を介して前記複数の外部電極の一つと接続されていることを特徴とする請求項6記載の電子装置。

【請求項10】

前記第1絶縁層および前記第2絶縁層は絶縁樹脂であることを特徴とする請求項1乃至請求項9の何れかに記載の電子装置。

【発明の詳細な説明】

【技術分野】

50

## 【0001】

本発明は、電子装置およびその製造方法に関する。

## 【背景技術】

## 【0002】

従来の電子装置の製造方法としては、例えば特許文献1に記載されたものがある。同文献に記載の製造方法においては、支持基板上に複数の配線層を順に積層することにより多層配線層を形成した後、支持基板を除去している。そして、支持基板が除去されたことにより露出した多層配線層の一方の面上に、外部電極端子として半田ボールを形成している。また、上記多層配線層のもう一方の面上には、電子部品をフリップチップ実装している。それにより、多層配線層上に電子部品が載置された電子装置を得ている。

10

## 【0003】

なお、本発明に関連する先行技術文献としては、特許文献1の他に、特許文献2～5が挙げられる。

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献1】特開2003-309215号公報

【特許文献2】特開昭57-7147号公報

【特許文献3】特開平9-321408号公報

【特許文献4】特開平11-126978号公報

【特許文献5】特開2001-53413号公報

20

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

ところで、上記電子装置において、配線層と電子部品との微細な接続のためには、多層配線層を構成する配線層のうち電子部品側の配線層には、微細加工に適した樹脂を用いることが求められる。一方で、上記半田ボール側の配線層には、微細加工に適した樹脂を用いることが要求されない場合も多い。その場合、電子装置の低コスト化を図るべく、半田ボール側の配線層には、比較的安価な樹脂を用いることが好ましい。

## 【0006】

30

しかしながら、特許文献1の製造方法においては、上述のとおり、支持基板上に複数の配線層を順に積層することにより多層配線層を形成している。したがって、半田ボール側の配線層は、電子部品側の配線層よりも前に形成されることとなる。そのため、半田ボール側の配線層を構成する樹脂として、電子部品側の配線層を構成する樹脂よりも熱分解温度が低い樹脂を用いることができないという制約がある。かかる制約のために半田ボール側の配線層に用いる樹脂が限定され、それにより電子装置の低コスト化が妨げられている。

## 【課題を解決するための手段】

## 【0007】

40

本発明による電子装置の製造方法は、支持基板上に第1の配線層を形成する第1配線層形成工程と、上記支持基板を除去する支持基板除去工程と、上記支持基板除去工程よりも後に、上記第1の配線層の上記支持基板が設けられていた面上に、上記第1の配線層より外側まで延在する第2の配線層を形成する第2配線層形成工程と、を含むことを特徴とする。

## 【0008】

この製造方法においては、電子部品が載置される第1の配線層を支持基板上に形成する一方で、第2の配線層を支持基板の除去後に形成している。これにより、第2の配線層を構成する樹脂として、第1の配線層を構成する樹脂よりも熱分解温度が低い樹脂を用いることができないという制約から免れることができる。したがって、第1の配線層には微細加工に適した樹脂を用い、一方で第2の配線層には比較的安価な樹脂を用いることが可能

50

となる。

【0009】

また、本発明による電子装置は、第1の配線層と、上記第1の配線層上に設けられ、上記第1の配線層より外側まで延在する第2の配線層と、を備えることを特徴とする。

【0010】

この電子装置においては、第2の配線層を構成する樹脂として、第1の配線層を構成する樹脂よりも熱分解温度が低い樹脂を用いることができる。したがって、第1の配線層には微細加工に適した樹脂を用い、一方で第2の配線層には比較的安価な樹脂を用いることが可能となる。

【発明の効果】

【0011】

本発明によれば、低コストながらも、配線層と電子部品との微細な接続を得られる電子装置およびその製造方法が実現される。

【図面の簡単な説明】

【0012】

【図1】本発明による電子装置の第1実施形態を示す断面図である。

【図2】第1の配線層と第2の配線層との界面付近の構造の一例を説明するための断面図である。

【図3】(a)~(e)は、本発明による電子装置の製造方法の第1実施形態の概要を示す工程図である。

【図4】(a)および(b)は、本発明による電子装置の製造方法の第1実施形態を示す工程図である。

【図5】(a)および(b)は、本発明による電子装置の製造方法の第1実施形態を示す工程図である。

【図6】(a)および(b)は、本発明による電子装置の製造方法の第1実施形態を示す工程図である。

【図7】本発明による電子装置の製造方法の第1実施形態を示す工程図である。

【図8】本発明による電子装置の第2実施形態を示す断面図である。

【図9】(a)および(b)は、本発明による電子装置の製造方法の第2実施形態を示す工程図である。

【図10】(a)~(c)は、本発明による電子装置の製造方法の第2実施形態を示す工程図である。

【図11】(a)および(b)は、本発明による電子装置の製造方法の第2実施形態を示す工程図である。

【図12】(a)および(b)は、本発明による電子装置の製造方法の第2実施形態を示す工程図である。

【図13】本発明による電子装置の第3実施形態を示す断面図である。

【図14】(a)および(b)は、本発明による電子装置の製造方法の第3実施形態を示す工程図である。

【図15】実施形態の変形例を説明するための平面図である。

【図16】(a)~(c)は、実施形態の変形例を説明するための平面図である。

【発明を実施するための形態】

【0013】

以下、図面を参照しつつ、本発明による電子装置およびその製造方法の好適な実施形態について詳細に説明する。なお、図面の説明においては、同一要素には同一符号を付し、重複する説明を省略する。

(第1実施形態)

【0014】

図1は、本発明による電子装置の第1実施形態を示す断面図である。電子装置1は、配線層10(第1の配線層)、および配線層20(第2の配線層)を備えている。

10

20

30

40

50

## 【0015】

配線層10は、ビアプラグ12（第1の導電プラグ）、絶縁樹脂14および導体配線16を有している。ビアプラグ12は、絶縁樹脂14中に形成されている。図からわかるように、ビアプラグ12は、配線層20に近づくにつれて径が小さくなるテーパ状をしている。したがって、ビアプラグ12の配線層20側の端面の面積は、その反対側の端面すなわち後述するICチップ32, 36側の端面の面積よりも小さい。

## 【0016】

ビアプラグ12の導体は、例えば、Cu、Ni、AuまたはAgである。絶縁樹脂14は、例えば、ポリイミド樹脂、PBO（ポリベンゾオキサゾール）樹脂、BCB（ベンゾシクロブテン）樹脂、カルド樹脂（カルド型ポリマー）またはエポキシ樹脂である。ポリイミド樹脂は、感光性ポリイミド樹脂であってもよいし、非感光性ポリイミド樹脂であってもよい。絶縁樹脂14上には、ビアプラグ12に接続された導体配線16が形成されている。

10

## 【0017】

配線層10の上面（第1面）上には、ICチップ32, 36（電子部品）が載置されている。これらのICチップ32, 36は、それぞれ bumps 33, 37を介して導体配線16にフリップチップ接続されている。ICチップ32と配線層10との間の間隙には、アンダーフィル樹脂34が充填されている。同様に、ICチップ36と配線層10との間の間隙には、アンダーフィル樹脂38が充填されている。ICチップ36は複数設けられており、それらは互いに積層されている。ICチップ32およびICチップ36は、例えば、それぞれCPUおよび積層メモリである。積層メモリとは、ICチップ（メモリ）を三次元的に積層し、チップ（メモリ）間を電氣的に接続したものである。

20

## 【0018】

また、ICチップ32, 36は、配線層10上に形成された封止樹脂52によって覆われている。より詳細には、ICチップ32の側面、ならびにICチップ36の側面および上面が封止樹脂52によって覆われている。

## 【0019】

配線層10の下面（第2面）上には、配線層20が形成されている。配線層20は、平面視での面積が配線層10よりも大きく、配線層10より外側まで延在している。すなわち、配線層20は、配線層10からはみ出している。

30

## 【0020】

配線層20は、ビアプラグ22（第2の導電プラグ）および絶縁樹脂24を有している。ビアプラグ22は、絶縁樹脂24中に形成されている。このビアプラグ22は、上述のビアプラグ12と接続されている。図からわかるように、ビアプラグ22は、配線層10に近づくにつれて径が小さくなるテーパ状をしている。したがって、ビアプラグ22の配線層10側の端面の面積は、その反対側の端面すなわち後述する半田ボール60側の端面の面積よりも小さい。ビアプラグ22の導体は、ビアプラグ12と同様、例えばCu、Ni、AuまたはAgである。また、絶縁樹脂24は、例えば、エポキシ樹脂等である。上述の配線層10および配線層20からなる配線体は、電子装置1においてインターポーザとして機能する。

40

## 【0021】

配線層10を構成する絶縁樹脂14の熱分解温度は、配線層20を構成する絶縁樹脂24の熱分解温度よりも高い。絶縁樹脂14としてPBOを用いた場合、その熱分解温度は例えば540である。また、絶縁樹脂24としてエポキシ樹脂を用いた場合、その熱分解温度は例えば310である。ここで、熱分解温度とは、10 / 分の昇温速度で熱天秤を用いて測定したときに、樹脂の重量が5重量%減となるときの温度である。なお、絶縁樹脂14, 24として同種類の樹脂（例えばエポキシ樹脂）を用いる場合も、前者の方が後者よりも熱分解温度が高くなるようにする。

## 【0022】

配線層20のうち配線層10よりも外側の部分上には、第2の電子部品として、ICチ

50

チップ42および受動部品44が載置されている。受動部品44は、例えば、デカップリングキャパシタ等のキャパシタである。ICチップ42は、封止樹脂54によって覆われている。受動部品44は、配線層20の上記外側の部分上に設けられた樹脂56によって覆われている。樹脂56は、封止樹脂54と同じ樹脂であってもよいし、異なる樹脂であってもよい。

#### 【0023】

また、配線層20は、多層配線構造をしており、複数の層に設けられた導体配線26と、相異なる層の導体配線26どうしを接続するビアプラグ28とを有している。最下層の導体配線26には、半田ボール60が接続されている。半田ボール60は、一部がソルダレジスト62中に埋没している。この半田ボール60は、電子装置1の外部接続端子として機能する。

10

#### 【0024】

図2を参照しつつ、配線層10と配線層20との界面付近の構造の一例を説明する。本例においては、ビアプラグ22を覆うように密着金属膜72が形成されている。密着金属膜72は、ビアプラグ22上でビアプラグ12に接している。さらに、導体配線16のビアプラグ12に接する面上にも、密着金属膜74が形成されている。

#### 【0025】

密着金属膜72, 74は、Tiを含む膜(例えば、Ti、TiNまたはTiW等)、またはCr膜であることが好ましい。

#### 【0026】

20

図3~図7を参照しつつ、本発明による電子装置の製造方法の第1実施形態として、電子装置1の製造方法を説明する。詳細な説明に先立って、図3(a)~図3(e)を用いて、本製造方法の概要を説明する。まず、図3(a)に示すように、支持基板90上に配線層10を形成する(第1配線層形成工程)。支持基板90としては、シリコン基板、セラミック基板、ガラス基板または金属基板等を用いることができる。

#### 【0027】

次に、図3(b)に示すように、配線層10上にICチップ32, 36を載置する(電子部品載置工程)。さらに、図3(c)に示すように、ICチップ32, 36を覆うように、配線層10上に封止樹脂52を形成する(封止樹脂形成工程)。続いて、図3(d)に示すように、支持基板90を除去する(支持基板除去工程)。その後、図3(e)に示すように、配線層10の下面上に、配線層20を形成する(第2配線層形成工程)。最後に、図示を省略するが、半田ボール60を形成することにより、図1に示す電子装置1を得る。

30

#### 【0028】

続いて、図4~図7を用いて、本製造方法を詳細に説明する。まず、支持基板90上に絶縁樹脂14を形成し、その中にビアプラグ12を形成する。その後、絶縁樹脂14上に導体配線16を形成する(図4(a))。次に、導体配線16上にICチップ32, 36をフリップチップ実装する(図4(b))。続いて、ICチップ32, 36を覆うように、配線層10上に封止樹脂52を形成する。封止樹脂52の形成は、例えば、モールド成型、印刷法またはポッティング法により行うことができる(図5(a))。その後、支持基板90を除去することにより、配線層10の下面を露出させる(図5(b))。

40

#### 【0029】

次に、配線層10の下面上に、当該配線層10より外側まで延在するように絶縁樹脂24を形成する。このとき、絶縁樹脂24として、例えば絶縁フィルムを用いることができる。続いて、絶縁樹脂24の配線層10よりも外側の部分上に、ICチップ42および受動部品44を実装する。その後、ICチップ42を覆うように封止樹脂54を形成する(図6(a))。次に、絶縁樹脂24の上記外側の部分上の隙間を埋めるように、樹脂56を形成する。これにより、受動部品44が樹脂56で覆われる(図6(b))。

#### 【0030】

次に、ビアプラグ12に接続されるように、絶縁樹脂24中にビアプラグ22を形成す

50

る。その後、絶縁樹脂 24 上に、ビルドアップ配線層を形成する。例えば、エポキシ樹脂等の絶縁樹脂層中に、セミアディティブ法による導体配線 26、およびレーザ加工によるビアプラグ 28 を交互に形成すればよい。これにより、配線層 20 が形成される(図 7)。その後、ソルダーレジスト 62 および半田ボール 60 を形成することにより、図 1 の電子装置 1 が得られる。なお、配線層 20 の形成は、予め形成した多層配線層を配線層 20 として配線層 10 の下面に接着することにより行ってもよい。

#### 【0031】

以上の説明から明らかなように、配線層 10、20 のビルドアップ方向は、それぞれ各図中の上向きおよび下向きである。これに伴い、上述したとおり、ビアプラグ 12 の IC チップ 32、36 側の端面は配線層 20 側の端面よりも面積が大きく、ビアプラグ 22 の半田ボール 60 側の端面は配線層 10 側の端面よりも面積が大きくなっている。

10

#### 【0032】

本実施形態の効果の説明する。上記製造方法においては、IC チップ 32、36 が載置される配線層 10 を支持基板 90 上に形成する一方で、配線層 20 を支持基板 90 の除去後に形成している。これにより、絶縁樹脂 24 として、絶縁樹脂 14 よりも熱分解温度が低い樹脂を用いることができないという制約から免れることができる。したがって、絶縁樹脂 14 としては微細加工に適した樹脂を用い、一方で絶縁樹脂 24 としては比較的安価な樹脂を用いることが可能となる。これにより、低コストながらも、配線層 10 と IC チップ 32、36 との微細な接続を得られる電子装置 1 の製造方法が実現されている。

#### 【0033】

さらに、配線層 20 が配線層 10 より外側まで延在している。これにより、配線層 10 の面積を小さく抑えつつ、半田ボール 60 が設けられる面(すなわち配線層 20 の下面)の面積を十分に大きくできる。このため、コストの増大を招くことなく、電子装置 1 を他の電子装置やマザーボード等に容易に実装することができる。これに対して、配線層 10 および配線層 20 の面積が互いに等しい場合に、実装容易性を高めるべく配線層 20 の面積を大きくしようとするれば、それに伴って配線層 10 の面積も大きくせざるを得ない。すると、配線層 10 には微細加工に適した比較的高価な樹脂が用いられるため、電子装置 1 の製造コストが増大してしまう。一方、低コスト化を図るべく配線層 10 の面積を小さくすれば、配線層 20 の面積も小さくなり、実装容易性が損なわれてしまう。本実施形態によれば、かかるディレンマを解消し、低コストおよび実装容易性を両立させることができる。

20

30

#### 【0034】

剛性の高い支持基板 90 上にて導体配線 16 の配線パターンを形成しているので、微細な導体配線 16 を得ることができる。また、支持基板 90 上で配線層 10 と IC チップ 32、36 とを接合しているので、配線層 10 と IC チップ 32、36 とを微細ピッチでパンプ接続することができる。このことは、配線層数の減少、および IC チップ 32、36 のサイズの縮小につながる。

#### 【0035】

さらに、支持基板 90 を除去した後に配線層 20 を形成しているので、配線層 20 を構成する絶縁樹脂 24 を絶縁樹脂 14 に比べて厚く形成することができる。これにより、絶縁樹脂 24 の応力緩和機能が高まり、電子装置 1 の信頼性向上につながる。

40

#### 【0036】

第 2 配線層形成工程においては、第 1 配線層形成工程において形成される配線層 10 を構成する絶縁樹脂 14 よりも熱分解温度が低い樹脂が、配線層 20 を構成する絶縁樹脂 24 として用いられている。これにより、配線層 20 を配線層 10 上に好適に形成することができる。

#### 【0037】

電子装置 1 においては、配線層 20 を構成する絶縁樹脂 24 として、配線層 10 を構成する絶縁樹脂 14 よりも熱分解温度が低い樹脂を用いることができる。したがって、絶縁樹脂 14 としては微細加工に適した樹脂を用い、一方で絶縁樹脂 24 としては比較的安価

50

な樹脂を用いることが可能となる。これにより、低コストながらも、配線層 10 と IC チップ 32, 36 との微細な接続を得られる電子装置 1 が実現されている。

【0038】

さらに、電子装置 1 においては、配線層 10 と配線層 20 とが直接に接しており、これらの層の間にコア層が設けられていない。コア層に形成されるビアプラグは、一般に、通常の配線層に形成されるビアプラグに比べると微細化するのが困難であるため、電子装置全体の微細化を妨げてしまうという問題がある。この点、電子装置 1 においては、コア層が設けられていないため、かかる問題は生じない。

【0039】

IC チップ 32, 36 を覆うように封止樹脂 52 が設けられている。これにより、支持基板 90 が除去された後も配線体の形状を保持することができる。このため、半田ボール 60 について高いコプラナリティが得られる。特に本実施形態においては、配線層 20 の配線層 10 よりも外側の部分上にも、樹脂 56 が形成されている。これにより、かかる効果が一層高められている。

【0040】

支持基板 90 としてシリコン基板を用いた場合、絶縁基板を用いる場合に比して、熱膨張の影響を小さく抑えることができる。これにより、配線層 10 と IC チップ 32, 36 との接続を一層微細化することができる。

【0041】

絶縁樹脂 14 としてポリイミド樹脂、PBO 樹脂、BCB 樹脂またはカルド樹脂を用いた場合、微細加工に適した絶縁樹脂 14 が実現される。また、絶縁樹脂 24 としてエポキシ樹脂を用いた場合、低コストで絶縁樹脂 24 を得ることができる。

【0042】

ビアプラグ 22 を覆うように密着金属膜 72 が設けられている（図 2 参照）。これにより、ビアプラグ 22 と絶縁樹脂 24 との間で強固な結合が得られる。また、導体配線 16 のビアプラグ 12 に接する面上に密着金属膜 74 が設けられている（図 2 参照）。これにより、導体配線 16 と絶縁樹脂 14 との間で強固な結合が得られる。これらは、電子装置 1 の信頼性の向上に寄与する。密着金属膜 72, 74 が Ti を含んでいるか、Cr からなる場合、樹脂に対する特に高い密着性を得ることができる。

【0043】

配線層 20 のうち配線層 10 よりも外側の部分上に、IC チップ 42 および受動部品 44 が載置されている。これにより、電子装置 1 の一層の高機能化・高性能化を図ることができる。

（第 2 実施形態）

【0044】

図 8 は、本発明による電子装置の第 2 実施形態を示す断面図である。電子装置 2 は、配線層 10（第 1 の配線層）、および配線層 80（第 2 の配線層）を備えている。配線層 10 の構成は、図 1 で説明したものと同様である。

【0045】

配線層 80 は、配線層 10 の下面上に形成され、配線層 10 より外側まで延在している。この配線層 80 は、ソルダーレジスト 84 と、その中に形成された導体配線 86 とを有している。ソルダーレジスト 84 としては、絶縁樹脂 14 よりも熱分解温度が低い樹脂が用いられる。この配線層 80 中には、ビアプラグ 82（第 2 の導電プラグ）が形成されている。このビアプラグ 82 は、半田ボール 60 の一部分、具体的には半田ボール 60 のうちソルダーレジスト 84 中に埋没している部分に相当する。図からわかるように、ビアプラグ 82 は、配線層 10 に近づくにつれて径が小さくなるテーパ状をしている。したがって、ビアプラグ 82 の配線層 10 側の端面の面積は、その反対側の端面の面積よりも小さい。

【0046】

さらに、配線層 10 の下面に IC チップ 92 がフリップチップ実装されている。つまり

10

20

30

40

50

、当該下面に bumps 93 を介して IC チップ 92 が接続され、配線層 10 と IC チップ 92 との間隙にアンダーフィル樹脂 94 が充填されている。

【0047】

配線層 80 のうち配線層 10 よりも外側の部分上には、樹脂 56 が形成されている。本実施形態において樹脂 56 は、封止樹脂 52 の側面および上面の双方を覆っている。

【0048】

図 9 ~ 図 12 を参照しつつ、本発明による電子装置の製造方法の第 2 実施形態として、電子装置 2 の製造方法を説明する。まず、支持基板 90 上に絶縁樹脂 14、ビアプラグ 12 および導体配線 16 を形成する (図 9 (a))。続いて、導体配線 16 上に IC チップ 32, 36 をフリップチップ実装する (図 9 (b))。

10

【0049】

次に、IC チップ 32, 36 を覆うように、配線層 10 上に封止樹脂 52 を形成する (図 10 (a))。その後、支持基板 90 を除去することにより、配線層 10 の下面を露出させる (図 10 (b))。続いて、配線層 10 の下面上に、当該配線層 10 より外側まで延在するように支持シート 91 を形成する (図 10 (c))。

【0050】

次に、封止樹脂 52 を覆うようにして、支持シート 91 の配線層 10 よりも外側の部分上に樹脂 56 を形成する (図 11 (a))。その後、支持シート 91 を剥離する (図 11 (b))。次に、配線層 10 の下面上に導体配線 86 を形成した後、それを覆うようにソルダーレジスト 84 を形成する。さらに、ソルダーレジスト 84 をパターニングし、半田ボール 60 が形成される部分および IC チップ 92 が実装される部分を開口する (図 12 (a))。これにより、配線層 80 が形成される。続いて、配線層 10 の下面に IC チップ 92 をフリップチップ実装する (図 12 (b))。その後、半田ボール 60 を形成することにより、図 8 の電子装置 2 が得られる。

20

【0051】

本実施形態は、上述した第 1 実施形態が奏する効果に加えて、以下の効果を奏することができる。配線層 80 を構成する樹脂としてソルダーレジスト 84 が用いられているため、電子装置 2 の一層の低コスト化を図ることができる。さらに、配線層 10 の上面だけでなく下面にも電子部品 (IC チップ 92) が実装されている。これにより、電子装置 2 の一層の高機能化・高性能化を図ることができる。

30

(第 3 実施形態)

【0052】

図 13 は、本発明による電子装置の第 3 実施形態を示す断面図である。電子装置 3 は、配線層 10、および配線層 80 を備えている。電子装置 3 は、配線層 80 が多層配線構造を有している点で、図 8 の電子装置 2 と相違する。本実施形態において配線層 80 は、配線層 10 の下面上に設けられた絶縁樹脂 84a と、その上に設けられたソルダーレジスト 84b とを含んでいる。

【0053】

本実施形態の配線層 80 中には、複数の層に設けられた導体配線 86 と、導体配線 86 に接続されたビアプラグ 83 (第 2 の導電プラグ) とが形成されている。図からわかるように、ビアプラグ 83 は、配線層 10 に近づくにつれて径が小さくなるテーパ状をしている。したがって、ビアプラグ 83 の配線層 10 側の端面の面積は、その反対側の端面の面積よりも小さい。また、電子装置 2 においては bumps 93 が直接にビアプラグ 12 に接続されていたのに対し、この電子装置 3 においては、 bumps 93 が導体配線 86 (およびビアプラグ 83) を介してビアプラグ 12 に接続されている。電子装置 3 のその他の構成は、電子装置 2 と同様である。

40

【0054】

図 14 (a) および図 14 (b) を参照しつつ、本発明による電子装置の製造方法の第 3 実施形態として、電子装置 3 の製造方法を説明する。まず、図 9 ~ 図 11 で説明したのと同様にして、図 11 (b) に示す構造体を準備する。

50

## 【 0 0 5 5 】

次に、ビアプラグ 1 2 に接続されるように、配線層 1 0 の下面上に 1 層目の導体配線 8 6 を形成する。その後、それを覆うように絶縁樹脂 8 4 a を形成する。さらに、絶縁樹脂 8 4 a 中に、導体配線 8 6 に接続されるようにビアプラグ 8 3 を形成する。続いて、ビアプラグ 8 3 に接続されるように、絶縁樹脂 8 4 a 上に 2 層目の導体配線 8 6 を形成する。その後、それを覆うようにソルダーレジスト 8 4 b を形成する。

## 【 0 0 5 6 】

次に、ソルダーレジスト 8 4 b をパターンニングし、半田ボール 6 0 が形成される部分および IC チップ 9 2 が実装される部分を開口する ( 図 1 4 ( a ) )。これにより、配線層 8 0 が形成される。続いて、絶縁樹脂 8 4 a 上に IC チップ 9 2 をフリップチップ実装する ( 図 1 4 ( b ) )。その後、半田ボール 6 0 を形成することにより、図 1 3 の電子装置 3 が得られる。本実施形態においても、第 2 実施形態と同様の効果が奏される。

10

## 【 0 0 5 7 】

本発明による電子装置およびその製造方法は、上記実施形態に限定されるものではなく、様々な変形が可能である。例えば、上記実施形態においては配線層 1 0 の上面または下面に載置される電子部品として IC チップを例示したが、当該電子部品はコンデンサ等の受動部品であってもよい。また、電子装置に電子部品を設けることは必須ではない。

## 【 0 0 5 8 】

上記実施形態においては電子装置に半田ボールが設けられた例を示したが、半田ボールを設けることは必須ではない。半田ボールが設けられていない場合、導体配線のランド部分が外部電極端子に相当する。図 1 の電子装置 1 を例にとると、導体配線 2 6 のうち半田ボール 6 0 が接続されている部分がランド部分である。

20

## 【 0 0 5 9 】

また、第 2 の配線層は、第 1 の配線層の周囲の全体からはみ出してもよいし、一部のみからはみ出してもよい。前者の例を図 1 5 に、後者の例を図 1 6 ( a ) ~ 図 1 6 ( c ) に示す。これらの平面図においては、第 1 および第 2 の配線層の外周をそれぞれ線 L 1 , L 2 で示し、両配線層が重なった部分に斜線を付している。図 1 5 では第 1 の配線層の 4 辺の全てから第 2 の配線層がはみ出している。一方、図 1 6 ( a )、図 1 6 ( b ) および図 1 6 ( c ) では、それぞれ第 1 の配線層の 3 辺、2 辺および 1 辺から第 2 の配線層がはみ出している。

30

## 【 符号の説明 】

## 【 0 0 6 0 】

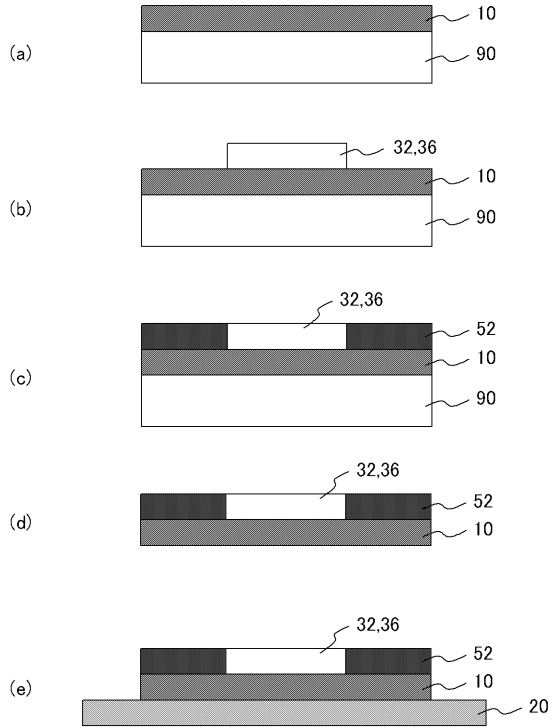
- 1 電子装置
- 2 電子装置
- 1 0 配線層
- 1 2 ビアプラグ
- 1 4 絶縁樹脂
- 1 6 導体配線
- 2 0 配線層
- 2 2 ビアプラグ
- 2 4 絶縁樹脂
- 2 6 導体配線
- 2 8 ビアプラグ
- 3 2 IC チップ
- 3 3 パンプ
- 3 4 アンダーフィル樹脂
- 3 6 IC チップ
- 3 7 パンプ
- 3 8 アンダーフィル樹脂
- 4 2 IC チップ

40

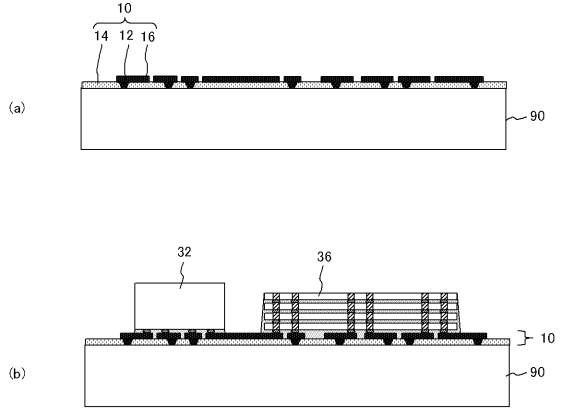
50



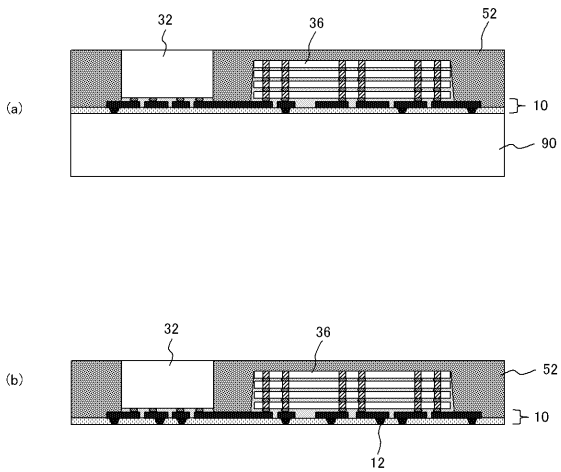
【 図 3 】



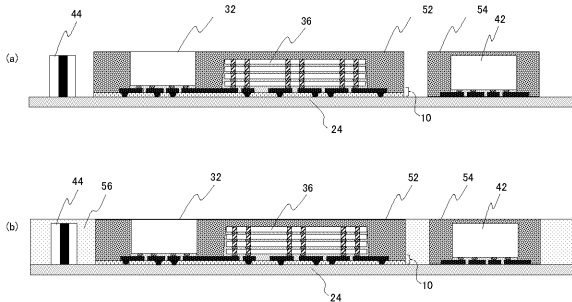
【 図 4 】



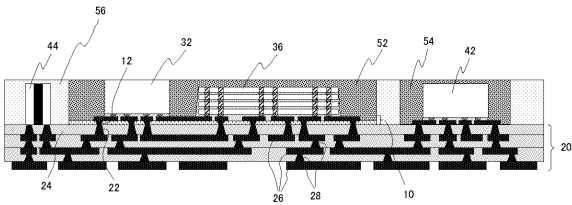
【 図 5 】



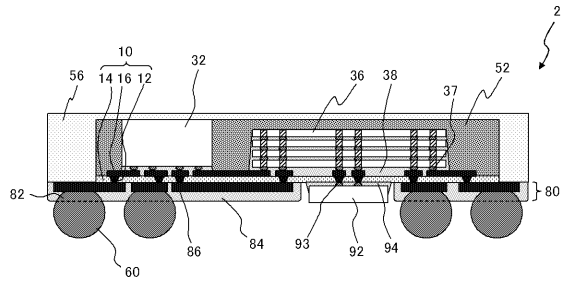
【 図 6 】



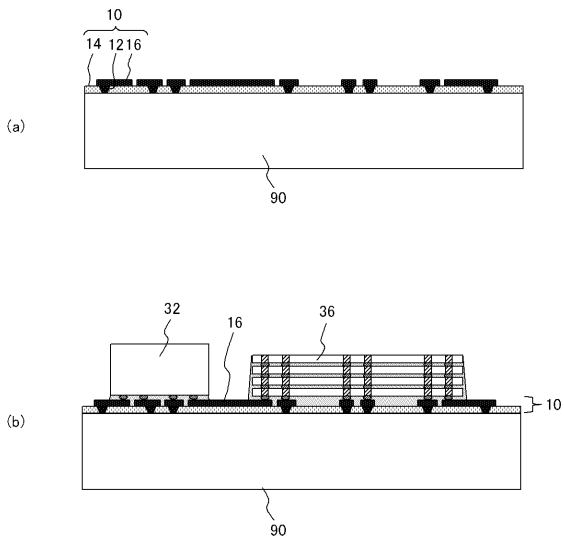
【 図 7 】



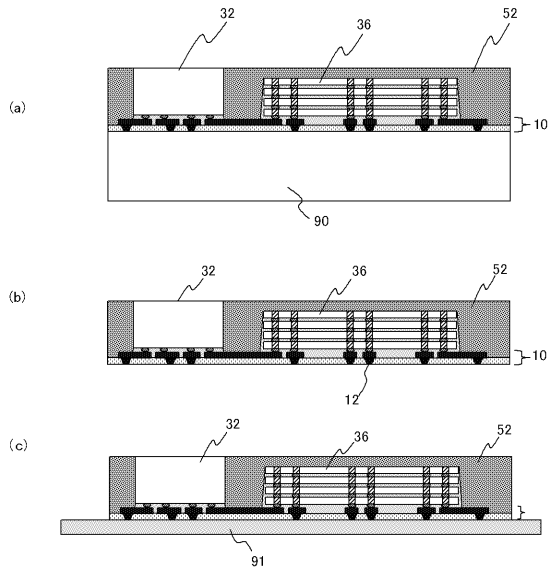
【 図 8 】



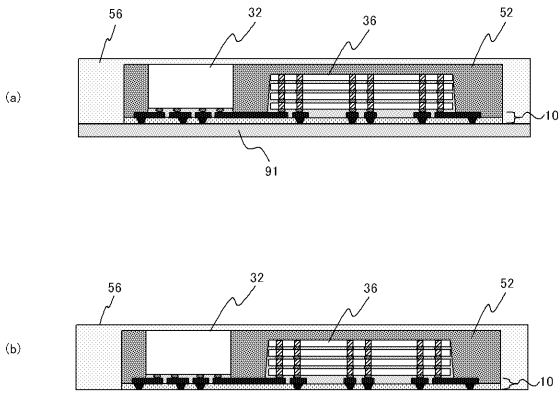
【 図 9 】



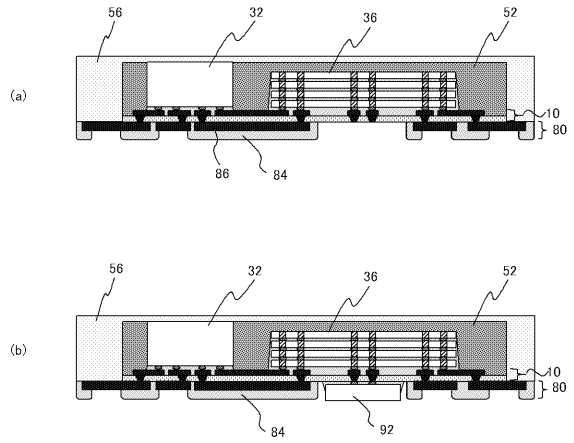
【 図 10 】



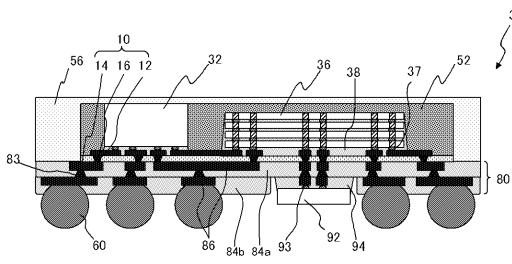
【図 1 1】



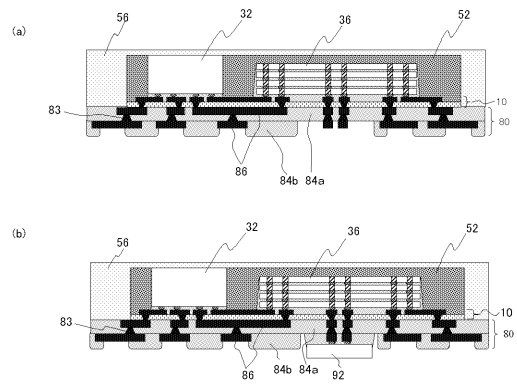
【図 1 2】



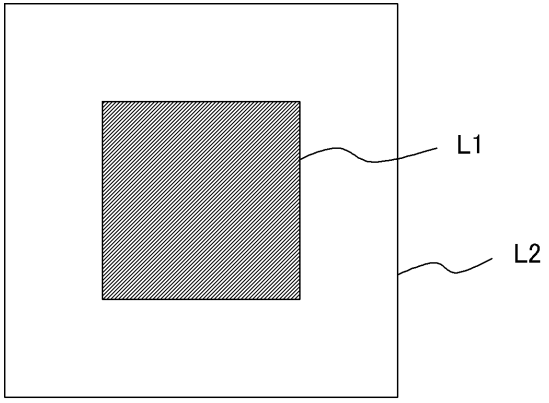
【図 1 3】



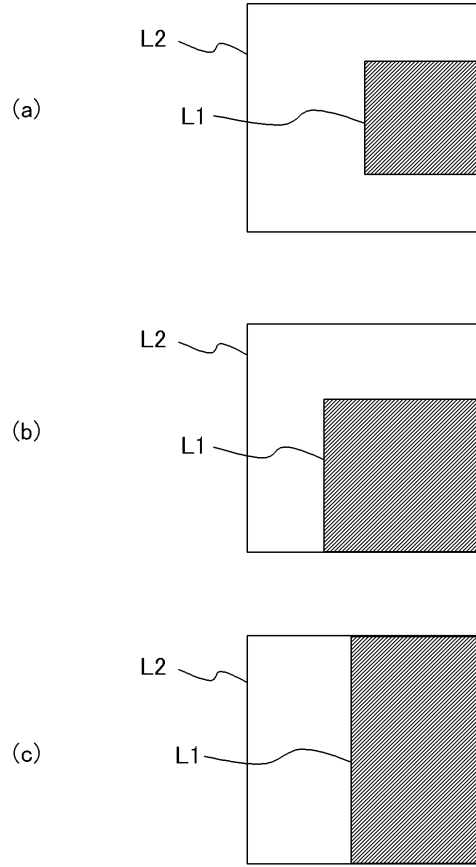
【図 1 4】



【 図 1 5 】



【 図 1 6 】



## フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<i>H 0 1 L</i>	<i>23/28</i>	<i>(2006.01)</i>	H 0 5 K 3/46	Q
<i>H 0 5 K</i>	<i>3/46</i>	<i>(2006.01)</i>	H 0 5 K 3/46	N
			H 0 5 K 3/46	B

(72)発明者 副島 康志

神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E Cエレクトロニクス株式会社内

Fターム(参考) 4M109 AA01 BA03 CA04 CA12 CA22 DB14  
5E346 AA12 AA38 AA43 CC08 CC09 CC10 CC32 CC37 CC38 CC39  
DD02 DD23 DD24 DD32 DD33 EE31 FF05 FF07 FF09 FF10  
FF13 FF14 FF28 GG15 GG17 GG28 HH32 HH40