

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 18 年 1 月 5 日 (2006.1.5)

【公表番号】特表 2005-501313 (P2005-501313A)

【公表日】平成 17 年 1 月 13 日 (2005.1.13)

【年通号数】公開・登録公報 2005-002

【出願番号】特願 2002-589946 (P2002-589946)

【国際特許分類】

G 0 6 F 21/02 (2006.01)

G 0 6 F 9/30 (2006.01)

G 0 6 F 11/22 (2006.01)

【F I】

G 0 6 F 12/14 5 1 0 C

G 0 6 F 9/30 3 8 0 Z

G 0 6 F 11/22 3 1 0 D

【手続補正書】

【提出日】平成 17 年 6 月 6 日 (2005.6.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

1 以上のハードウェアデバッグテスト (HDT) イネーブルビットを格納するように構成された第 1 のレジスタ (415) と、

複数の HDT 入力信号を受信すべく接続された第 1 の制御ロジック (410) であって、第 1 のレジスタにアクセスすべく接続された第 1 の制御ロジックと、

第 1 のレジスタに接続され、プロセッサのリセットに応答して 1 以上のデフォルト値を第 1 のレジスタに格納するように構成された第 2 の制御ロジック (420) と、を有し、

前記プロセッサ (305) がシステム管理モードに入っておりかつ前記 HDT イネーブルステータスビットが HDT モードがデセーブルであることを示す場合、HDT 制御ロジック (410) への所定の入力によって HDT モードがイネーブルにされる、プロセッサ。

【請求項 2】

第 1 の制御ロジックがさらに、HDT モードに入る要求を受信するように構成され、第 1 の制御ロジックがさらに、HDT モードに入る要求に応答して、第 1 のレジスタに格納された 1 以上の HDT イネーブルビットの選択されたエントリを読み出すように構成され、第 1 の制御ロジックがさらに、1 以上の HDT イネーブルビットの選択されたエントリに基づいて、HDT モードに入る要求を受け入れるまたは拒否するように構成されている、請求項 1 に記載のプロセッサ。

【請求項 3】

1 以上の HDT イネーブルビットの 1 以上のデフォルト値を格納するように構成された 1 以上の不揮発性メモリセルをさらに含み、第 2 の制御ロジックがさらに、プロセッサのリセットに応答して、1 以上の HDT イネーブルビットの 1 以上のデフォルト値を 1 以上の不揮発性メモリセルから読み出し、かつ、1 以上の HDT イネーブルビットの 1 以上のデフォルト値を第 1 のレジスタに書き込むべく接続されている、請求項 1 に記載のプロセッサ。

【請求項 4】

第 2 の制御ロジックがさらに、プロセッサのリセットに応答して、1 以上の HDT イネー

ブルビットの 1 以上のデフォルト値を示す信号を受信し、かつ、1 以上の HDT イネーブルビットの 1 以上のデフォルト値を第 1 のレジスタに書き込みすべく接続されている、請求項 1 に記載のプロセッサ。

【請求項 5】

1 以上のマイクロコードローダーイネーブルビットを格納するように構成された第 3 のレジスタと、

複数のマイクロコード入力を受信すべく接続された第 3 の制御ロジックであって、第 3 のレジスタにアクセスすべく接続されている第 3 の制御ロジックと、

第 3 のレジスタに接続され、プロセッサのリセットに 응답して 1 以上のデフォルト値を第 3 のレジスタに格納するように構成された第 4 の制御ロジックと、をさらに含む、請求項 1 に記載のプロセッサ。

【請求項 6】

第 3 の制御ロジックがさらに、マイクロコード修正要求を受信するように構成され、第 3 の制御ロジックがさらに、マイクロコード修正要求に 응답して、第 3 のレジスタに格納された 1 以上のマイクロコードローダーイネーブルビットの選択されたエントリを読み出すように構成され、第 3 の制御ロジックがさらに、1 以上のマイクロコードローダーイネーブルビットの選択されたエントリに基づいて、マイクロコード修正要求を受け入れるまたは拒否するように構成されている、請求項 5 に記載のプロセッサ。

【請求項 7】

第 1 の制御ロジックに接続された第 2 のレジスタをさらに含み、第 2 のレジスタが 1 以上の HDT イネーブルロックビットを格納するように構成されている、請求項 1 に記載のプロセッサ。

【請求項 8】

第 1 の制御ロジックがさらに、HDT モードのステータスの修正要求を受信するように構成され、第 1 の制御ロジックがさらに、HDT モードのステータスの修正要求に 응답して、第 2 のレジスタに格納された 1 以上の HDT イネーブルロックビットの選択されたエントリを読み出すように構成され、第 1 の制御ロジックがさらに、1 以上の HDT イネーブルロックビットの選択されたエントリに基づいて、HDT モード修正要求を受け入れるまたは拒否するように構成されている、請求項 7 に記載のプロセッサ。

【請求項 9】

複数のマイクロコード入力を受信すべく接続された第 1 の制御ロジックと、

第 1 の制御ロジックに接続され、1 以上のマイクロコードローダーイネーブルビットを格納するように構成された第 1 のレジスタと、

第 1 のレジスタに接続され、プロセッサのリセットに 응답して 1 以上のデフォルト値を第 1 のレジスタに格納するように構成された第 2 の制御ロジックと、を有し、

前記プロセッサ (3 0 5) がシステム管理モードに入っておりかつ前記マイクロコードイネーブルステータスビットが前記マイクロコードモードがデセーブルであることを示す場合、マイクロコード制御ロジック (4 5 5) への所定の入力によって HDT モードがイネーブルにされる、プロセッサ。

【請求項 10】

第 1 の制御ロジックがさらに、マイクロコード修正要求を受信するように構成され、第 1 の制御ロジックがさらに、マイクロコード修正要求に 응답して、第 1 のレジスタに格納された 1 以上のマイクロコードローダーイネーブルビットの選択されたエントリを読み出すように構成され、第 1 の制御ロジックがさらに、1 以上のマイクロコードローダーイネーブルビットの選択されたエントリに基づいて、マイクロコード修正要求を受け入れるまたは拒否するように構成されている、請求項 9 に記載のプロセッサ。

【請求項 11】

1 以上のマイクロコードローダーイネーブルビットの 1 以上のデフォルト値を格納するように構成された 1 以上の不揮発性メモリセルをさらに含み、第 2 の制御ロジックがさらに、プロセッサのリセットに 응답して、1 以上のマイクロコードローダーイネーブルビッ

トの 1 以上のデフォルト値を 1 以上の不揮発性メモリセルから読み出し、かつ、1 以上のマイクロコードローダーイネーブルビットの 1 以上のデフォルト値をマイクロコードローダーのレジスタに書き込むべく接続されている、請求項 9 に記載のプロセッサ。

【請求項 12】

第 2 の制御ロジックがさらに、プロセッサのリセットに応答して、1 以上のマイクロコードローダーイネーブルビットの 1 以上のデフォルト値を示す信号を受信し、かつ、1 以上のマイクロコードローダーイネーブルビットの 1 以上のデフォルト値を第 1 のレジスタに書き込みすべく接続されている、請求項 9 に記載のプロセッサ。

【請求項 13】

第 1 の制御ロジックに接続された第 2 のレジスタをさらに含み、第 2 のレジスタが 1 以上のマイクロコードローダーイネーブルロックビットを格納するように構成されている、請求項 9 に記載のプロセッサ。

【請求項 14】

第 1 の制御ロジックがさらに、マイクロコードローダーのロックステータス修正要求を受信するように構成され、第 1 の制御ロジックがさらに、マイクロコードローダーのロックステータス修正要求に応答して、第 2 のレジスタに格納された 1 以上のマイクロコードローダーイネーブルロックビットの選択されたエントリを読み出すように構成され、第 1 の制御ロジックがさらに、1 以上のマイクロコードローダーイネーブルロックビットの選択されたエントリに基づいて、マイクロコードローダーのロックステータス修正要求を受け入れるまたは拒否するように構成されている、請求項 13 に記載のプロセッサ。

【請求項 15】

HDTモードのイネーブルステータスを判断するための方法であって、HDTモードの開始要求を受信し、

HDTモードのイネーブルステータスを判断し、

HDTモードのイネーブルステータスがイネーブルに設定されている場合にHDTモードを開始することを含み、

前記プロセッサ(305)がシステム管理モードに入っておりかつ前記HDTイネーブルステータスビットがHDTモードがデセーブルであることを示す場合、HDT制御ロジック(410)に、HDTモードをイネーブルとする所定の入力を与える、方法。

【請求項 16】

HDTモードのイネーブルステータスを判断することが、1 以上のHDTイネーブルビットに対応する 1 以上のエントリをレジスタから読み出すことを含む、請求項 15 に記載の方法。

【請求項 17】

マイクロコード修正要求を受信し、

マイクロコードローダーのイネーブルステータスを判断し、

マイクロコードローダーのイネーブルステータスがイネーブルに設定されている場合にマイクロコードを修正することを含み、

前記プロセッサ(305)がシステム管理モードに入っておりかつ前記マイクロコードイネーブルステータスビットがマイクロコードがデセーブルであることを示す場合、マイクロコード制御ロジック(455)に、マイクロコードモードをイネーブルとする所定の入力を与えることを含む、マイクロコードを修正するための方法。

【請求項 18】

マイクロコードローダーのイネーブルステータスを判断することが、1 以上のマイクロコードローダーイネーブルビットに対応する 1 以上のエントリをレジスタから読み出すことを含む、請求項 17 に記載の方法。

【請求項 19】

HDTモードのステータスの変更要求を受信し、

HDTモードのイネーブルロックステータスを判断し、

HDTモードのイネーブルロックステータスがアンロックに設定されている場合にHDTモー

ドのステータスを修正することを含む、HDTモードのステータスの変更方法。

【請求項 20】

HDTモードのイネーブルロックステータスを判断することが、1以上のHDTイネーブルロックビットに対応する1以上のエントリをレジスタから読み出すことを含む、請求項19に記載の方法。

【請求項 21】

HDTモードのステータスを修正することが、1以上のHDTイネーブルビットに対応する1以上のエントリをレジスタに書き込むことを含む、請求項19に記載の方法。

【請求項 22】

マイクロコードローダーのイネーブルステータスの変更要求を受信し、
マイクロコードローダーのイネーブルロックステータスを判断し、
マイクロコードローダーのイネーブルロックステータスがアンロックに設定されている場合にマイクロコードローダーのイネーブルステータスを修正することを含む、マイクロコードローダーのイネーブルステータスの変更方法。

【請求項 23】

マイクロコードローダーのイネーブルロックステータスを判断することが、1以上のマイクロコードローダーイネーブルロックビットに対応する1以上のエントリをレジスタから読み出すことを含む、請求項22に記載の方法。

【請求項 24】

マイクロコードローダーのイネーブルステータスを修正することが、1以上のマイクロコードローダーイネーブルビットに対応する1以上のエントリをレジスタに書き込むことを含む、請求項22に記載の方法。

【請求項 25】

1以上の不揮発性メモリセルから1以上のデフォルト値を読み出すことと、プルアップレジスタまたはプルダウンレジスタによって1以上のデフォルト値をストラップされた値として受信することと、からなる群から選択される、1以上のデフォルト値を取得することと、

プロセッサのリセットに応答して、1以上のデフォルト値を1以上のさまざまなエントリとして1以上のレジスタに書き込むことと、を含み、1以上のさまざまなエントリは、

1以上のHDTイネーブルビットと、

1以上のHDTイネーブルロックビットと、

マイクロコードローダーの1以上のイネーブルビットと、

マイクロコードローダーの1以上のイネーブルロックビットと、からなる群から選択される、プロセッサを動作させる方法。