

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4036096号  
(P4036096)

(45) 発行日 平成20年1月23日(2008.1.23)

(24) 登録日 平成19年11月9日(2007.11.9)

(51) Int. Cl.	F I
<b>HO3K 19/096 (2006.01)</b>	HO3K 19/096 B
<b>HO1L 21/822 (2006.01)</b>	HO1L 27/04 A
<b>HO1L 27/04 (2006.01)</b>	HO1L 21/82 M
<b>HO1L 21/82 (2006.01)</b>	
<b>HO1L 27/118 (2006.01)</b>	

請求項の数 40 (全 16 頁)

(21) 出願番号	特願2002-570406 (P2002-570406)	(73) 特許権者	595168543
(86) (22) 出願日	平成14年2月7日(2002.2.7)		マイクロン テクノロジー, インク,
(65) 公表番号	特表2005-505150 (P2005-505150A)		アメリカ合衆国, アイダホ州 83716
(43) 公表日	平成17年2月17日(2005.2.17)		-9632, ボイズ, サウス フェデ
(86) 国際出願番号	PCT/US2002/003512		ラル ウェイ 8000
(87) 国際公開番号	W02002/071611	(74) 復代理人	110000659
(87) 国際公開日	平成14年9月12日(2002.9.12)		特許業務法人広江アソシエイツ特許事務所
審査請求日	平成16年4月9日(2004.4.9)	(74) 代理人	100083932
(31) 優先権主張番号	09/788,109		弁理士 廣江 武典
(32) 優先日	平成13年2月15日(2001.2.15)	(72) 発明者	フォーブス, レオナルド
(33) 優先権主張国	米国 (US)		アメリカ合衆国 97330 オレゴン州
前置審査			, コーヴァリス, ピー. オー. ボックス
			1716, エヌ. ダブリュー. ハイランド
			テラス 965

最終頁に続く

(54) 【発明の名称】 モノトニック動型-静型疑似NMOS論理回路およびロジックゲートアレイ形成方法

(57) 【特許請求の範囲】

【請求項1】

モノトニック動型 - 静型疑似NMOS論理回路であって、  
 クロック入力部、および低クロック信号が前記クロック入力部に提供された時に予備高充電されるように構成された出力部を有する動型論理回路と、  
 クロックバー入力部と、高い値のクロック補完信号が前記クロックバー入力部に提供されたときに予備低充電されるように構成された出力部とを有する静的論理回路と、  
 を含んでおり、

該静的論理回路は前記動型論理回路の前記出力部に結合したロジック入力部とを有することを特徴とするモノトニック動型 - 静型疑似NMOS論理回路。

10

【請求項2】

動型論理回路はクロック入力部を提供する制御電極を有するp型トランジスタを含み、電圧源と前記動型論理回路の出力部との間に延長するチャンネルを有することを特徴とする請求項1記載のモノトニック動型 - 静型疑似NMOS論理回路。

【請求項3】

動型論理回路はロジック機能を提供するように構成され、低電圧と予備高充電されるように構成された出力部との間で結合した論理回路をさらに含むことを特徴とする請求項2記載のモノトニック動型 - 静型疑似NMOS論理回路。

【請求項4】

ロジック機能を提供するように構成された論理回路は、複数のn型トランジスタを含む

20

ことを特徴とする請求項 3 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 5】

n 型トランジスタは、本モノトニック動型 - 静型疑似 N M O S 論理回路の入力部を提供するそれぞれのゲートを有することを特徴とする請求項 4 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 6】

ロジック機能を提供するように構成された論理回路は、本質的には n 型トランジスタで構成される複数のトランジスタを含むことを特徴とする請求項 3 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 7】

n 型トランジスタは論理回路の入力部を提供するそれぞれのゲートを有することを特徴とする請求項 6 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 8】

少なくとも 1 つのトランジスタは縦型超薄ボディトランジスタであることを特徴とする請求項 4 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 9】

モノトニック動型 - 静型疑似 N M O S 論理回路であって、  
 クロック入力部、および低クロック信号が前記クロック入力部に提供された時に予備高充電されるように構成された出力部を有する動型論理回路と、  
 クロックバー入力部と、高い値のクロック補完信号が前記クロックバー入力部に提供された時に予備低充電されるように構成された出力部と、前記動型論理回路の出力部に結合したロジック入力部と、前記クロック入力部を提供する制御電極を有する p 型トランジスタと、電圧源と静型論理回路との間に延長するチャンネルとを有する静型論理回路と、を含むことを特徴とするモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 10】

静型論理回路は、ロジック機能を提供するように構成され、低電圧と予備低充電されるように構成された出力部との間で結合した論理回路をさらに含むことを特徴とする請求項 9 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 11】

静型論理回路のロジック機能を提供するように構成された論理回路は、複数の n 型トランジスタを含むことを特徴とする請求項 10 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 12】

n 型トランジスタは本モノトニック動型 - 静型疑似 N M O S 論理回路の入力部を提供するそれぞれのゲートを有することを特徴とする請求項 11 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 13】

静型論理回路のロジック機能を提供するように構成された論理回路は、本質的には n 型トランジスタで構成される複数のトランジスタを含むことを特徴とする請求項 10 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 14】

動型論理回路はクロック入力部を提供する制御電極を有する p 型トランジスタを含み、電圧源と前記動型論理回路の出力部との間に延長するチャンネルを有することを特徴とする請求項 9 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 15】

少なくとも一つのトランジスタは縦型超薄ボディトランジスタであることを特徴とする請求項 12 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 16】

モノトニック動型 - 静型疑似 N M O S 論理回路であって、  
 クロック入力部、および低クロック信号が前記クロック入力部に提供された時に予備高

10

20

30

40

50

充電されるように構成された出力部を含む動型論理回路と、

クロックバー入力部と、高い値のクロック補完信号が前記クロックバー入力部に提供された時に予備低充電されるように構成された出力部と、前記動型論理回路の前記出力部と結合したロジック入力と、前記クロック入力部を提供する制御電極を持つp型トランジスタと、電圧源と静型論理回路との間に延長するチャンネルとを含んだ静的論理回路と、を含んでおり、

該静的論理回路は、ロジック機能を提供するように構成され、低電圧と前記予備低充電されるように構成された出力部との間で結合される論理回路を有しており、該論理回路は、本質的にはn型トランジスタで構成され、その内の一つは前記クロックバー入力部を提供し、その他は論理回路の入力部を提供するそれぞれゲートを有した複数のトランジスタを含むことを特徴とするモノトニック動型 - 静型疑似NMOS論理回路。

10

【請求項17】

モノトニック動型 - 静型疑似NMOS論理回路であって、

クロックバー入力部および該クロックバー入力部に高クロック信号が提供された時に予備低充電されるように構成された出力部を含む静型論理回路と、

クロック入力部と、該クロック入力部に低クロック信号が提供された時に予備高充電されるように構成された出力部と、前記静型論理回路の前記出力部に結合したロジック入力部とを含む動型論理回路であって、前記クロック入力部を提供する制御電極、電圧源に結合した電源電極および前記動型論理回路の前記出力部と結合した電源電極を含んだp型トランジスタとを含む動型論理回路と、

20

を含むことを特徴とするモノトニック動型 - 静型疑似NMOS論理回路。

【請求項18】

動型論理回路は、ロジック機能を提供するように構成され、低電圧と予備高充電されるように構成された出力部との間で結合し、前記動型論理回路のロジック入力部を提供する論理回路をさらに含むことを特徴とする請求項17記載のモノトニック動型 - 静型疑似NMOS論理回路。

【請求項19】

ロジック機能を提供するように構成された論理回路は、複数のn型トランジスタを含むことを特徴とする請求項18記載のモノトニック動型 - 静型疑似NMOS論理回路。

【請求項20】

n型トランジスタは本モノトニック動型 - 静型疑似NMOS論理回路の入力部を提供するそれぞれのゲートを有することを特徴とする請求項19記載のモノトニック動型 - 静型疑似NMOS論理回路。

30

【請求項21】

ロジック機能を提供するように構成された論理回路は、本質的にはn型トランジスタで構成される複数のトランジスタを有することを特徴とする請求項18記載のモノトニック動型 - 静型疑似NMOS論理回路。

【請求項22】

n型トランジスタは論理回路に入力部を提供するそれぞれのゲートを有することを特徴とする請求項21記載のモノトニック動型 - 静型疑似NMOS論理回路。

40

【請求項23】

モノトニック動型 - 静型疑似NMOS論理回路であって、

クロックバー入力部と、該クロックバー入力部に低クロック信号が提供された時に予備低充電されるように構成された出力部を含む静型論理回路と、

クロック入力部と、該クロック入力部に低クロック信号が提供された時に予備高充電されるように構成された出力部と、前記静型論理回路の前記出力部に結合したロジック入力部とを含む動型論理回路と、

を含むことを特徴とするモノトニック動型 - 静型疑似NMOS論理回路。

【請求項24】

静型論理回路は、ロジック機能を提供するように構成され、低電圧と予備低充電される

50

ように構成された出力部との間で結合した論理回路をさらに含むことを特徴とする請求項 23 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 25】

論理回路は接地と予備低充電されるように構成された出力部との間で結合されることを特徴とする請求項 24 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 26】

静型論理回路のロジック機能を提供するように構成される論理回路は複数の n 型トランジスタを含むことを特徴とする請求項 24 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 27】

n 型トランジスタは本モノトニック動型 - 静型疑似 N M O S 論理回路の入力部を提供するそれぞれのゲートを有することを特徴とする請求項 26 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 28】

静型論理回路のロジック機能を提供するように構成された論理回路は、本質的には n 型トランジスタで構成される複数のトランジスタを含むことを特徴とする請求項 24 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 29】

動型論理回路はクロック入力部を提供する制御電極を有する p 型トランジスタを含み、電圧源と前記動型論理回路の出力部との間に延長するチャンネルを有することを特徴とする請求項 24 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 30】

少なくとも一つのトランジスタは縦型超薄ボディトランジスタであることを特徴とする請求項 29 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 31】

モノトニック動型 - 静型疑似 N M O S 論理回路であって、  
クロックバー入力部と、該クロックバー入力部に高い値のクロック補完信号が提供された時に予備低充電されるように構成された出力部と、ロジック機能を提供するように構成され、低電圧と予備低充電されるように構成された出力部との間で結合した論理回路とを含み、該論理回路は基本的には n 型トランジスタで構成されるそれぞれのゲートを持つ複数のトランジスタを含んでおり、該トランジスタはその内のひとつは前記クロックバー入力部を提供し、残りは論理回路に入力部を提供する静型論理回路と、

クロック入力部と、該クロック入力部に低クロック信号が提供された時に予備高充電されるように構成された出力部と、前記静型論理回路の前記出力部に結合したロジック入力部とを含む動型論理回路と、  
を含むことを特徴とするモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 32】

動型論理回路はクロック入力部を提供する制御電極を有した p 型トランジスタを含み、電圧源と前記動型論理回路の出力部との間に延長するチャンネルを有することを特徴とする請求項 31 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 33】

動型論理回路はロジック機能を提供するように構成され、低電圧と予備高充電されるように構成された出力部との間で結合した論理回路を含むことを特徴とする請求項 32 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 34】

動型論理回路の論理回路は複数の n 型トランジスタを含むことを特徴とする請求項 33 記載のモノトニック動型 - 静型疑似 N M O S 論理回路。

【請求項 35】

動型論理回路の論理回路の n 型トランジスタは本モノトニック動型 - 静型疑似 N M O S 論理回路の入力部を提供するそれぞれのゲートを有することを特徴とする請求項 34 記載

10

20

30

40

50

のモノトニック動型 - 静型疑似N M O S 論理回路。

【請求項 3 6】

動型論理回路の論理回路は本質的にはn型トランジスタで構成される複数のトランジスタを含むことを特徴とする請求項 3 3 記載のモノトニック動型 - 静型疑似N M O S 論理回路。

【請求項 3 7】

n型トランジスタは論理回路に入力部を提供するそれぞれのゲートを有することを特徴とする請求項 3 6 記載のモノトニック動型 - 静型疑似N M O S 論理回路。

【請求項 3 8】

少なくとも一つのトランジスタは縦型超薄ボディトランジスタであることを特徴とする請求項 3 6 記載のモノトニック動型 - 静型疑似N M O S 論理回路。

【請求項 3 9】

方法であって、  
クロック入力部を有する動型論理回路の出力部をクロックバー入力部および1出力部を有する静型論理回路のロジック入力部に結合させるステップと、  
前記クロック入力部に低クロック信号が提供された時に、前記動型論理回路の前記出力部を予備高充電するステップと、  
前記クロックバー入力部に高い値のクロック補完信号が提供された時に、前記静型論理回路の前記出力部を予備低充電するステップと、  
を含むことを特徴とする方法。

【請求項 4 0】

方法であって、  
クロックバー入力部および1出力部を有する静型論理回路の前記出力部をクロック入力部を有する動型論理回路のロジック入力部に結合させるステップと、  
前記クロック入力部に低クロック信号が提供された時に、前記動型論理回路の前記出力部を予備高充電するステップと、  
前記クロックバー入力部に低クロック信号が提供された時に、前記静型論理回路の前記出力部を予備低充電するステップと、  
を含むことを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はC M O S ゲートアレイに関する。本発明はまた縦型超薄ボディトランジスタに関する。本発明はさらにモノトニック動型 - 静型疑似N M O S ( N 型金属酸化膜半導体 ) 論理回路に関する。

【背景技術】

【0002】

C M O S 技術は低電力消費、高密度集積、低製造コストの利点によってデジタル集積回路に使用されている。C M O S 技術はアナログ集積回路にも使用されている。

【0003】

通信装置、産業用制御装置、自動車電子技術等のマイクロ電子構成要素を使用した技術は、より特定化された集積回路を必要としている。進展する半導体の開発では、特定用途向け集積回路( A S I C )を提供する最新で安価な方法としてゲートアレイおよび標準電池が使用されている。A S I C は単体チップの上にシステム全体あるいはその大部分を搭載でき、デジタル機能のみではなくアナログ機能も実行できる集積回路である。

【0004】

ゲートアレイはA S I C 設計に使用される。C M O S ゲートアレイは新規な回路機能を提供するために金属型接触マスクのみを追加的に必要とする製造前の(例えば同一)セルのマトリクスであると言える。ゆえに、ゲートアレイ技術は低コストで効果的に顧客の要求に素早く応える。ゲートアレイは静型C M O S や2極エミッタ結合ロジックを含む様々

10

20

30

40

50

な回路技術や処理技術を使用して利用できる。

【発明の開示】

【発明が解決しようとする課題および課題を解決するための手段】

【0005】

本発明はモノトニック動型 - 静型疑似NMOS論理回路を提供する。モノトニック動型 - 静型疑似NMOS論理回路は、クロック入力部およびクロック入力部に低クロック信号が提供された際に予備高充電されるように構成された出力部を有する動型論理回路を含む。モノトニック動型 - 静型疑似NMOS論理回路は、クロックバー入力部およびクロックバー入力部に高い値のクロック補完信号が提供された際に予備低充電されるように構成された出力部を有する静型論理回路をさらに含む。

10

【0006】

本発明の1特徴では、静型論理回路は動型論理回路の出力部に結合したロジック入力部を有する。本発明の別特徴では、動型論理回路は静型論理回路の出力部に結合されたロジック入力部を有する。

【0007】

本発明の1特徴では、動型論理回路はクロック入力部を提供する制御電極を有したp型トランジスタ、および電圧源と動型論理回路の出力部との間に延長するチャンネルを含む。動型論理回路は、ロジック機能を提供するように構成され、低電圧と予備高充電されるように構成された出力部との間で結合された論理回路をさらに含む。

【0008】

20

本発明の別特徴では、静型論理回路はクロック入力部を提供する制御電極を有するp型トランジスタ、および電圧源と静型論理回路の出力部との間に延長するチャンネルを含む。静型論理回路は、低電圧と予備低充電されるように構成された出力部との間で結合し、ロジック機能を提供するように構成された論理回路をさらに含む。

【0009】

本発明の別特徴は複数の互いに結合した縦型超薄トランジスタを含むロジックゲートアレイを提供する。

【発明を実施するための最良の形態】

【0010】

以下では本発明の好適実施例を添付図面を利用して説明する。

30

【0011】

図1は従来技術の静型CMOS論理回路10を示している。静型CMOS論理回路の持つ1問題点は、それぞれの入力部12、14は2つのゲート、NMOSトランジスタのゲートおよびPMOS(P型金属酸化膜半導体)トランジスタのゲートを駆動しなければならないことである。入力部12はゲート16、18を駆動し、入力部14はゲート20、22を駆動する。ゆえに、相互接続させるためには大きな静型CMOS回路領域および多数の金属配線レベルが要される。

【0012】

静型CMOS論理回路の別問題点は、PMOSトランジスタではそのサイズが類似の場合に正孔移動度は電子移動度の約3倍低いことである。ゆえに、スイッチング過渡電流は著しく非対称である。単純インバータの容量性負荷の充電過渡電流は、放電過渡電流よりも長時間を要する。それを補う目的で、幅あるいはサイズの大きなPMOSを製造して対称スイッチングを提供することが多い。しかしながら、これによって標遊容量性負荷が増加するため、回路に使用する領域が増大し、領域使用は非効果的となる。

40

【0013】

図2および図3は、モノトニック静型CMOS論理回路(ロジックゲート)24、40を示している。回路24は、回路24が遅い上昇遅延の犠牲を伴う速い降下遅延を有するようなサイズの装置を含む低スキュー論理回路である。回路40は速いプルアップを提供するように構成された高スキュー論理回路である。

【0014】

50

回路24は入力部26、28を有する。入力部26はゲート30、32を駆動し、入力部28はゲート34、36を駆動する。回路40は入力部42、44を有する。入力部42はゲート46、48を駆動し、入力部44はゲート50、52を駆動する。クロック入力部CLKは回路24のゲート40に提供され、補完クロック信号CLK BARは回路40のゲート56に提供される。CLKが低い場合、論理回路24の出力部はロジック1まで予備充電され、論理回路40の出力部はロジック0まで予備充電される。CLKの評価段階中では、論理回路24の出力部は1から0に切り換えられるか、あるいは予備充電値のままである。同様に、論理回路40の出力部は0から1に切り換えられるか、あるいは予備充電値のままである。モノトニック静型論理回路の経路は、交互に並んだ低スキューおよび高スキュー論理回路でなければならない。低スキュー論理回路は高スキュー論理回路を駆動し、その逆も同様である。

10

**【0015】**

モノトニック静型CMOS論理回路は技術的に知られており、たとえば「モノトニック静型CMOSおよび双型VT技術」(T. Thorp, G. Yee, C. Sechen, Int. Sym. Low Power Electronics and Design, San Diego, 8月16~17日, 1999年, 151~155頁)に詳述されている。回路24では、クロックCLKを使用して出力ノード38をVDDに予備充電することでPMOSを介した多大な充電時間を避けている。クロックCLKが低い時、PMOSTランジスタ40は接触しており、出力ロード静電容量はVDDに予備充電される。同様に、補完論理回路40(図3)では、補完クロック電圧CLK BARが高い時に、出力54は低電圧あるいは接地に予備充電される。

20

**【0016】**

論理回路の出力部は高プレセット(予備充電)(プルダウン回路24の場合)あるいは低プレセット(プルアップ回路40の場合)されるため、論理回路は評価中にその出力値のままか、あるいは他方に切り換わる。これはモノトニック動作(Monotonic Behavior)と呼ばれる。たとえば、プルダウン論理回路で可能な出力移行は0から0、1から1および0から1のみである。これは、出力が次の移行、0から0、1から1、0から1、1から0の何れも実行できる通常の静型CMOS回路とは対照的である。論理回路24、40は、第一タイプの回路、第二タイプの回路、第一タイプの回路等で継続接続される。

30

**【0017】**

より具体的には、論理回路は低スキューNANDである。CLKが低い時に、論理回路24は予備高充電される。回路24の評価はCLKが高い時に起こる。出力部38は1から0に切り替わるか、そのままである。論理回路40は高スキューNANDである。CLKが低くCLK BARが高い時に、回路40は予備低充電される。回路40の評価はCLKが高い(CLK BARが低い)時に起こる。出力54は0から1に切り替わるか、そのままである。

**【0018】**

回路は、入力部の適切なロジックの最適化および回路の配列により回路を介する信号の遅延および電力消費を最小化するように配置できる。これは入力データの何れかが高くなる以前、および回路に対するこれらの入力のモノトニックロジック評価以前に回路のノードが予備充電されるために、可能である。装置のサイズは充電ノードをすばやく放電し、放電ノードにすばやく充電するように最適化できる。従来の静型CMOSロジックと比較して1.5倍速の改良があり、領域は1.5倍減された。

40

**【0019】**

合成およびロジック最適化に関して、「モノトニック静型CMOSおよび双型VT技術」(T. Thorp, G. Yee, C. Sechen, Int. Sym. Low Power Electronics and Design, San Diego, 8月16~17日, 1999年, 151~155頁)が詳述されている。この論文は、モノトニックロジックは無変換式であり、中間インバージョンを含まない回路にマップされなければ

50

ならないことを指摘している。回路にユーネイト (unate) 表示を発生させて論理回路中で中間インバータを取り除くことができる。ユーネイト表示発生には正および負信号フェーズに対する別々のロジックコンが必要となるためにロジック複製が必要であろう。ユーネイト表示発生後、例えば同時2色化技術マッピングアルゴリズムを使用して回路をモノトニック静型CMOSゲートにマップさせ、ユーネイト回路の無変換機能を低スキューおよび高スキューロジックゲートの交互パターンに融合させる。「複合静型ゲートを使用したドミノロジック合成」(T. Thorp, G. Yee, C. Sechen, IEEE/ACM Int. Conf. On Computer-Aided Design, 242~247頁、1998年参照)。

【0020】

YeeとSechenは、以下の2色化マッピングアルゴリズムは、それぞれの低スキューゲートがユーザ規定限度より長いプルダウン経路を持たず、それぞれの高スキューゲートがユーザ規定限度より長いプルアップ経路を有さないことが望まれる場合には有効であると記述している。

【0021】

処理開始

複数出力ノードではない現行ノードの全ての先行ノードに対する出力部からの回路Nのポストオーダートラバーサル (postorder traversal) を実行する間に、

- 先行ノードとは現行ノードの先行ノードであって、
- a) 関係を断絶するための第一入力部からの最大距離と、
- b) 最小数の直列トランジスタと、

を含むものであり、

- 結合先行ノードおよび現行ノードがノード限度を満たす場合には、
- 先行物を現行ノードに結合し、
- ノードの色をアップデートし、
- 色の対立を解消させる、

ことを含む。

処理終了

図4は疑似NMOS静型論理回路58を示す。図4の回路58は、ロジック機能を提供する回路59を含む。回路59が2入力型NANDを提供するのに使用される一方で、異なるロジック機能が提供可能である。疑似NMOS静型論理回路では、PMOS装置は増大消耗NMOS静型論理回路の消耗モード負荷装置と似た負荷装置の役割を果たす。配線の複雑性は著しく減少するが、静型DC電力消費に問題がある。静型DC電力消費は、ドミノCMOSあるいはNORA (no race) 動型ロジックのごときクロック順動型ロジック系、あるいは動型ロジックと静型ロジックとの組み合わせを使用して防ぐことができる。その他の回路技術はジッパーCMOSおよび連続クロックあるいはクロック遅延式論理回路を含む。

【0022】

図5はジッパーCMOS論理回路60を示す。回路60は、ロジック機能を提供する論理回路62、64、66を含む。回路60は入力部68、70、72、74、76、78および出力部80、82、84を有する。ジッパーCMOS論理回路では、予備充電相はクロックCLKが低い(補完CLK BARが高い)時に実行される。評価はクロックCLKが低い時に起こる。信号とロジック決定は機械的ジッパー閉鎖のように論理回路62、64、66が提供するチェーンを介して広がるため、ジッパーCMOSと呼ばれる。

【0023】

ジッパーCMOS、疑似NMOSおよびドミノ論理回路は、例えば以下の米国特許に記述されており、本明細書では全体的に参照に組み込まれる。米国特許第6、108、805号(Rajsuman)、第6、107、835号(Blomgren他)、第5、973、514号(Kuo他)、第5、942、917(Chappell他)、第5、8

10

20

30

40

50



28、234号(Sprague他)、第5、867、036号(Rajusman)、第5、798、938号(Heikes他)、第5、796、282号(Sprague他)、第5、550、487号(Lyon他)、第5、525、916号(Gu他)、第4、797、580号(Sunter他)、第4、569、032号(Lee他)。

【0024】

図6および図7は、本発明の1特徴によるモニタリング静型CMOS論理回路(あるいはロジックゲート、セル、ブロック、ステージ)100、102を示す。回路100は論理回路103を持つ。示されている回路103は、入力部104、106、108を有する。論理回路103の代わりに複数の可能なロジック機能の何れかを実行するように構成された回路でもよい。回路100はまたクロック信号CLKソースに結合したクロック入力部110、および出力部112も有する。回路100は出力部112が予備高充電される動型回路である。回路100は出力部112で予備高充電される。

10

【0025】

回路102は論理回路113を有する。示されている論理回路113は、入力部114、116、118を有する。論理回路113の代わりに複数の可能なロジック機能の何れかを実行するように構成された回路でもよい。図6および図7が示す回路103、113は3入力型NOR論理回路であるが、提供する入力部あるいはインバータの数は回路103、113に使用するトランジスタの数を変更することによって変更できる。回路102はまた図6のクロック信号CLKソースに結合したクロック入力部120、図6のクロック信号CLK補完物(CLK BAR)に結合した入力部122、および出力部124

20

【0026】

図8および図9は、回路100、102をそれぞれに示した概略ブロック図である。

【0027】

回路100、102のごとき回路は交互順に結合されるよう構成される。例えば、1予備高充電回路(例:回路100)、1予備低充電(例:回路102)、1予備高充電、1予備低充電である(図10などを参照)。回路100、102はクロックCLKが低い(補完CLK BARが高い)時に、予備充電される。予備充電後、入力部104、106、108、114、116、118、122の内のいくつかあるいは全ては相変更でき、論理回路100、102が入力部のモニタリング評価を実行する。

30

【0028】

論理回路の出力部112、124は、プルダウン回路(例:100)では予備高充電され、プルアップ回路(例:102)では予備低充電される。ゆえに論理回路100、102は評価中にその出力値(0または1)を保持するか、他方の値に切り替わる。これはモニタリング動作である。評価処理中の第一ステージは動型であり第二ステージは静型であるため、回路100、102を含む回路系はモニタリング動型-静型疑似NMOSと呼ぶのが最も妥当である。

【0029】

モニタリング静型CMOSロジックの場合、たとえば「モニタリング静型CMOSおよび双型VT技術」(T.Thorpe、G.Lee、C.Sechen、Int.Sym.Low Power Electronics and Design、San Diego、8月16~17日、1999年 151~155頁・上記参照)に記述された公知の合成技術を使用して、回路を介した信号遅延および電力消費を最小化するために回路100、102の入力部および配列を調整できる。これは入力データが高くなる以前およびこれらの入力部の回路へのモニタリングロジック評価以前に回路ノードが予備充電されることによって可能になる。1実施例では、装置のサイズは充電ノードを速やかに放電し、放電ノードを速やかに充電するように最適化される。

40

【0030】

回路100、102を含むモニタリング動型-静型疑似NMOSでは、評価段階中の第二ステージは静型であり、評価にNMOS装置を使用している。これはたとえば第二ステ

50

ージでPMOS装置を使用するジッパーCMOSとは対照的である。モノトニック動型 - 静型疑似NMOSでNMOS装置を使用することによってスイッチング速度は上昇するが、DC電力消費はいくらか増加する。回路100、102を含むモノトニック静型疑似NMOSはドミノ静型CMOSロジック構造に比べて使用する装置、領域および配線はかなり減少する。

#### 【0031】

たとえば5ボルトおよび接地のようなフルレール(full rail)CMOS電圧で高電圧および低電圧を提供できるが、当業者にとって明白なように別実施例では異なる電圧が使用される。たとえば、4ボルトと1ボルトで高電圧と低電圧をそれぞれ提供できる。ある閾値より上ならば高電圧、ある閾値より下ならば低電圧だと考えられる。低電圧、または高電圧と低電圧の両方に負の電圧を使用することもできる。いかなる電圧でも、特定用途に十分な信頼性を提供しながら高電圧と低電圧が互いに区別される限り、高電圧および低電圧を提供するために使用できる。

10

#### 製造技術実施例

チャンネル全長を減少させるため、たとえばチャンネル全長が0.1ミクロン、100nmあるいは1000Å未満になるサブミクロン領域までMOSFET(モス電界効果トランジスタ)技術を縮小させ続けることは、従来のトランジスタ構造に大きな問題を引き起こす。接合部深度はチャンネル全長よりも相当に小さくならなければならない。すなわち、1000オングストロームのチャンネル全長では、接合部深度は数百オングストロームである。このような浅い接合部は従来の埋め込み技術や拡散技術では形成が困難である。ドレーン型バリア降下、閾値電圧ロールオフ、サブ閾値伝導のごとき短チャンネル効果を抑制するために非常に高レベルのチャンネルドーピングが必要となる。サブ閾値伝導はキャパシタノード上の充電保存保持時間を減少させるため、動型回路技術では特に問題である。これらの極端に高いドーピングレベルの結果、漏損が増加し、キャリア移動度が低減する。ゆえに、チャンネルを短くすることによるパフォーマンスの改善は、キャリア移動度の減少によって有用でなくなる。

20

#### 【0032】

そこで、超薄ボディのトランジスタ、またはその他のトランジスタ容量が縮小するのに従って表面空間充電領域が縮小するトランジスタが必要となる。チャンネルの上方あるいは下方にソース/ドレーン接触領域を引き上げるか埋め込むことにより、従来技術による接触部の形成が可能になる。

30

#### 【0033】

図11と図12の実施例では、最初にシリコン半導体基板202が提供される。基板202は3つの異なるタイプの基板の何れでも良い。

(i) 軽くドーブ処理したp型

(ii) 絶縁体基板(例:SIMOX)上の従来シリコン

(iii) 米国特許第5、691、230号(Forbes)で記述されているような技術に

よって形成された絶縁体上のシリコン島状部。

#### 【0034】

SIMOX(Separation by Implanted Oxygen)は大量の酸素イオンをシリコン基板中の十分に深いレベルに埋め込むことを含む。それに続くアニール処理によって、基板中に埋め込まれた酸化層が形成される。アニール処理後、通常はエピタキシャルシリコン層を追加して、装置をその上に形成するための十分に厚いシリコン層を形成する。

40

#### 【0035】

絶縁体上のシリコン島状部の基板は、たとえば、方向性を持たせてシリコン基板をエッチング処理し、突出したシリコン列の間に複数の溝を形成することによって形成し、溝側面の一部に沿ってシリコン列にシリコン窒化物キャップを形成し、等方に溝をエッチング処理することでシリコン列を部分的に切り取り、基板を酸化して、シリコン列を完全に切

50

り取ることで形成できる。

【0036】

図11から図15の実施例では、基板202はp型素材製である。

【0037】

超薄ボディトランジスタ200は、シリコン半導体基板202を酸化し、続いて基板202に酸化物柱体204を彫刻することで製造される。酸化ウエハは、従来は酸化物上にドーパポリシリコンの層を有していた。酸化物とシリコン窒化物の層は柱体を形成し、後にはCMP（化学機械研磨）エッチング停止層として作用するエッチマスクとして提供される。図11と図12の実施例では、層206はn+素材で形成され、層208はp+素材で形成される。層206、208は、たとえばイオン埋め込みあるいはエピタキシャル成長によって基板上に形成できる。層210は酸化物である。上部層212はn+素材で形成され、上部層214はp+素材で形成される。これらの製造ステップは、米国特許第6、072、209号（Noble他）および第6、150、687（Noble他）で詳述されている。

10

【0038】

図13から図15のように、超薄ボディのトランジスタはそれぞれの酸化柱体204の側面に沿って形成される。図13ではポリシリコン216がシリコン柱体204上に配置されて方向性を有してエッチング処理され、軽ドーパp型素材を柱体の側壁に残す。

【0039】

この段階で特定構造が必要な場合には、別マスクングステップを採用して（図14参照）いくつかの側壁218、220からポリシリコン216を等方に浮き彫りにし、ポリシリコンを各柱体の側壁222、224の一側面のみの上に残すことが可能である。

20

【0040】

次に、（図15参照）ウエハを約550度～約700度で加熱する。ポリシリコンは再結晶化し、横方向エピタキシャル固体相再成長が矢印226、228で示すように縦方向へ発生する。底部の結晶シリコンはこの結晶成長を誘導し、超薄結晶膜がそれぞれの柱体204上で発生する。それらはMOSFETトランジスタのチャンネルとして使用できる。膜が柱体204の片面222上にしかない場合は、結晶化は柱体204上部のn+ポリシリコン接触部素材212の中まで縦方向へ進行する。柱体の両面が覆われると、結晶化は結晶化の境界線を柱体204上部の中心付近に残す。

30

【0041】

これらの技術は部分的に「60nm 平面化超薄ボディ固体相エピタキシMOSFET」（P. Xuan他、IEEE Device Research Conf.、Denver、CO、2000年6月、67～68頁）および「新規な10nm以下のトランジスタ」（P. Kalavade他、IEEE Device Research Conf.、Denver、CO、2000年6月、71～77頁）に記述された（別利用法に関する）技術と類似している。

【0042】

トランジスタのドレーンおよびソース領域は、それぞれの柱体204側壁に沿った結晶体中にある。ゲート絶縁体はこの薄膜上で形成あるいは配置され、横方向あるいは縦方向ゲート構造のどちらかは柱体204に隣接した溝部で形成される。縦方向柱体トランジスタに使用される横方向ゲート構造はたとえば米国特許第6、150、687号（Noble他）および2000年6月16日に出願の特許願第09/596、266号（Noble、Forbes、Ahn）などで記述されている。

40

【0043】

ゆえに、別実施例で使用される別ゲート構造は、

(i) 米国特許第6、150、687号（Noble他）に記述された蒸着ポリシリコンの横方向ゲート構造；

(ii) 米国特許第6、150、687号の変形で2000年6月16日に出願の米国特許願第09/596、266号に記述された横方向移動ゲート構造；

50

(iii) 米国特許第6、072、209号(Noble他)で記述された縦方向ゲート構造

、  
である。

【0044】

図16および図17は縦方向装置を使用したロジックゲートの実施例を示している。図16および図17のロジックゲート実施例は、図6の回路100に類似した動型3入力部NORゲートである(キャパシタは図示せず)。しかしながら、いかなるロジックゲートも縦方向装置を使用して提供できることは明白である。

【0045】

図16の構成は図6の入力部104(またはA)、106(またはB)、108(またはC)、110(またはCLK)をそれぞれ提供する接触部230、232、234、236を含む。接触部238、240は結合されて、出力部112を提供する。接触部242、244もまた含まれる。

【0046】

図17の構成は、酸化物領域204、210、246と、厚型酸化物領域248、250と、n+領域206、212と、ポリ領域252と、シリコン領域254と、ゲート酸化物領域258とを含む。

【0047】

本願の実施例と従来の特許および出願物との間の違いは、柱体204の縦壁の一側面に沿って形成される厚型酸化物である。別相違点はPMOSおよびNMOS縦方向装置を共に使用していることである。3種の別タイプの基板を開示した。これはゲートアレイの形成のために3種の異なる基板に利用可能である。

【0048】

ロジックゲートの密度の必要条件が高くなるにつれて、構造およびトランジスタのサイズは小さくならなければならない。従来の平面トランジスタ構造はサブミクロンサイズまで縮小することが困難である。本出願人はロジックゲートアレイに関する超薄ボディトランジスタを提供した。縦型超薄トランジスタをロジックゲートアレイ中に使用することでより高い密度およびさらなる高パフォーマンスを提供する小型化容量の利点が提供されている。

【図面の簡単な説明】

【0049】

【図1】図1は従来の静型CMOS論理回路を示している。

【図2】図2はモノトニックCMOS論理回路の低スキューNANDを示す回路図である。

【図3】図3はモノトニックCMOS論理回路の高スキューNANDを示す回路図である。

【図4】図4は疑似NMOS静型論理回路の回路図である。

【図5】図5はジッパーCMOS論理回路の回路図である。

【図6】図6はモノトニック動型-静型疑似NMOS論理回路の動型部分を示す回路図である。

【図7】図7はモノトニック動型-静型疑似NMOS論理回路の静型部分を示す回路図である。

【図8】図8は図6の回路のブロック図である。

【図9】図9は図7の回路のブロック図である。

【図10】図10は図6および図7で示したタイプの複数の回路が結合した状態を示す回路図である。

【図11】図11は図6および図7の回路に使用するトランジスタの製造方法のステップを示す半導体ウエハーの斜視図である。

【図12】図12は図11のウエハーの正面図である。

10

20

30

40

50

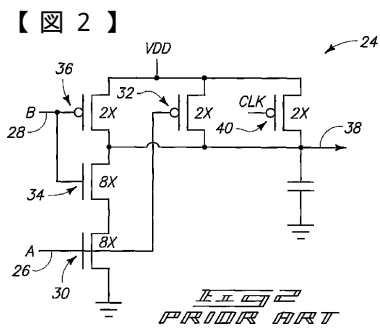
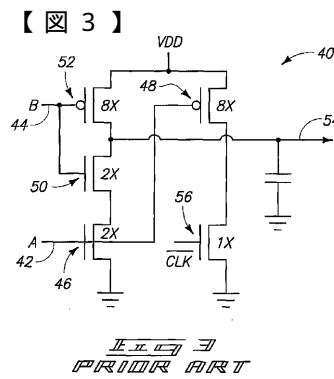
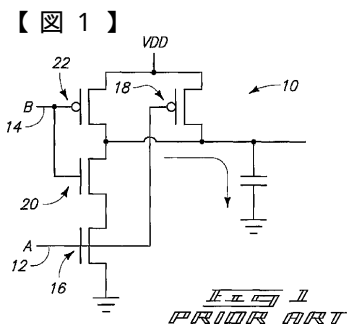
【図13】図13は後処理製造ステップを経た図12のウエハーの正面図である。

【図14】図14は後処理製造ステップを経た図13のウエハーの正面図である。

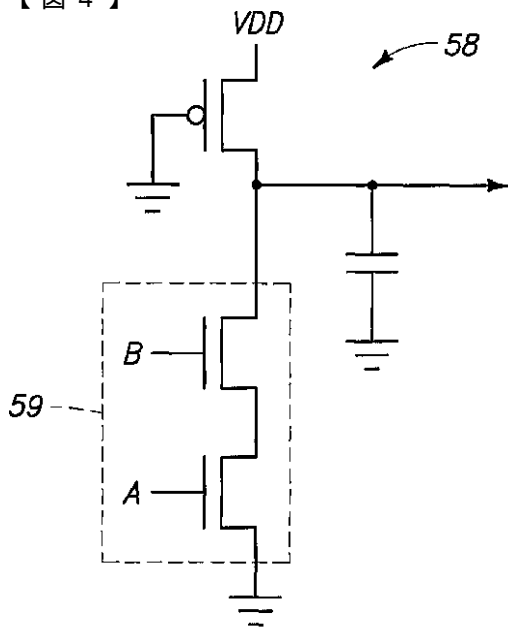
【図15】図15は後処理製造ステップを経た図14のウエハーの正面図である。

【図16】図16は図15のごときステップに続くステップを経たウエハーの平面図である。

【図17】図17は図16のウエハーの正面図である。

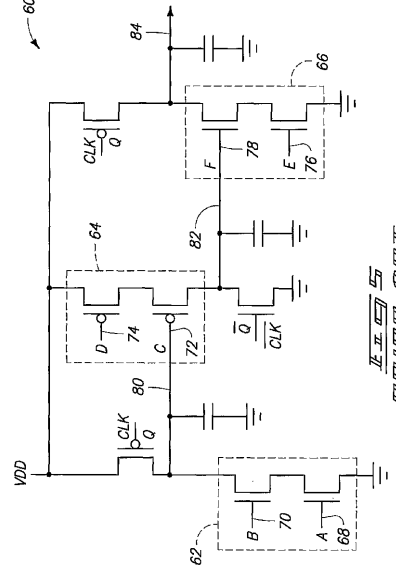


【 図 4 】



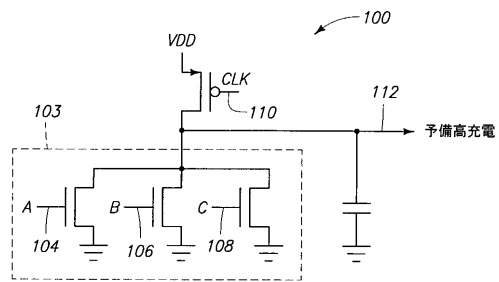
**PRIMOR ART**

【 図 5 】

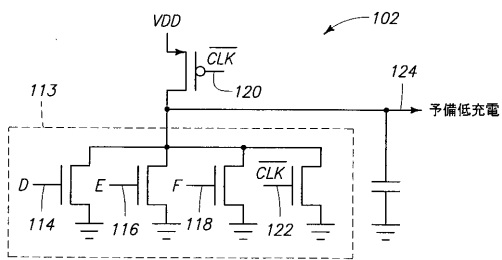


**PRIMOR ART**

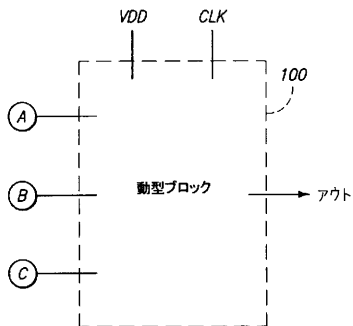
【 図 6 】



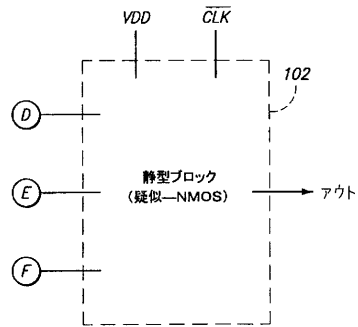
【 図 7 】



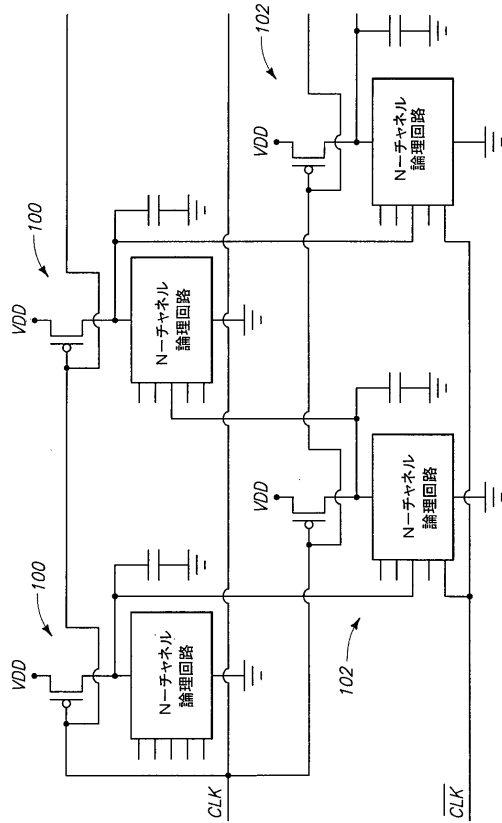
【 図 8 】



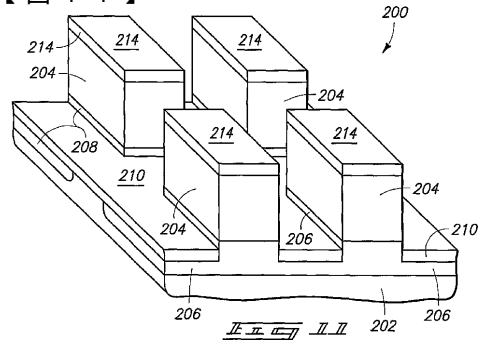
【 図 9 】



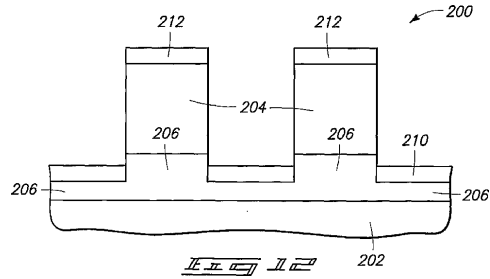
【図10】



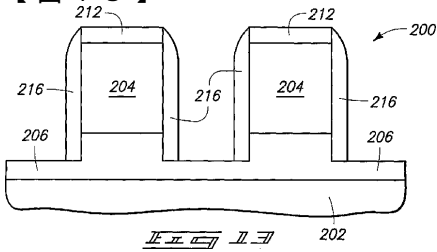
【図11】



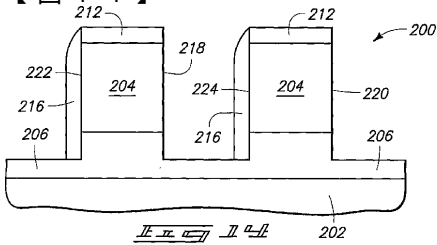
【図12】



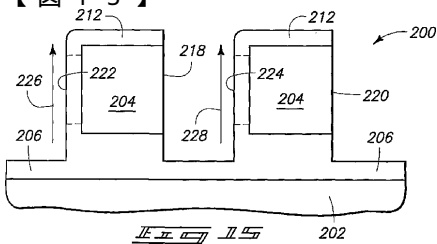
【図13】



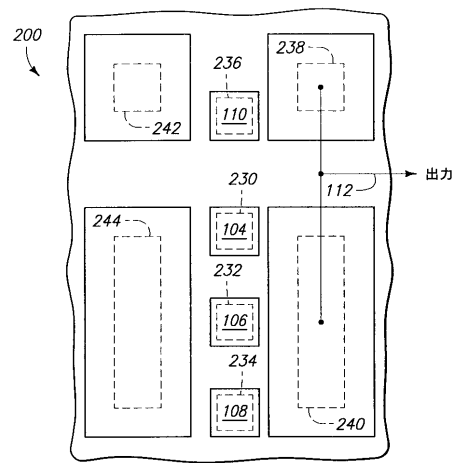
【図14】



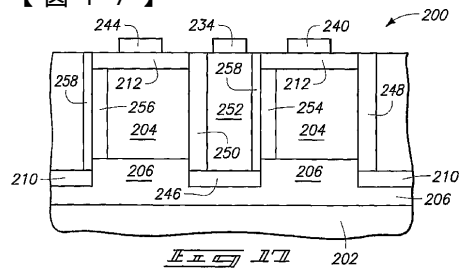
【図15】



【図16】



【図17】



---

フロントページの続き

審査官 宮島 郁美

- (56)参考文献 特開平01-120124(JP,A)  
特開昭58-111436(JP,A)  
特開昭55-066134(JP,A)  
特開平03-253079(JP,A)  
特開平05-218415(JP,A)  
特開平08-116068(JP,A)  
特開平10-074917(JP,A)  
特開平10-056373(JP,A)  
特開平09-261034(JP,A)  
特開平08-162945(JP,A)  
特開平07-183799(JP,A)  
特開平07-066716(JP,A)  
特開平01-161921(JP,A)  
特開昭63-042222(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00,19/01-19/082,19/092-19/096

H01L21/82,27/04