

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5847061号  
(P5847061)

(45) 発行日 平成28年1月20日 (2016. 1. 20)

(24) 登録日 平成27年12月4日 (2015.12.4)

(51) Int. Cl.	F I				
HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 2 7 C		
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 1 8 B		
HO 1 L 51/05 (2006.01)	HO 1 L	29/78	6 1 7 U		
HO 1 L 51/30 (2006.01)	HO 1 L	29/78	6 1 7 V		
GO 2 F 1/1368 (2006.01)	HO 1 L	29/78	6 1 7 T		
請求項の数 15 (全 20 頁) 最終頁に続く					

(21) 出願番号	特願2012-258222 (P2012-258222)	(73) 特許権者	501426046
(22) 出願日	平成24年11月27日 (2012.11.27)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2013-187536 (P2013-187536A)		ミテッド
(43) 公開日	平成25年9月19日 (2013.9.19)		大韓民国 ソウル、ヨンドゥンポグ、ヨ
審査請求日	平成24年11月27日 (2012.11.27)		ウィーテロ 128
(31) 優先権主張番号	10-2012-0022562	(74) 代理人	100094112
(32) 優先日	平成24年3月5日 (2012.3.5)		弁理士 岡部 譲
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100106183
			弁理士 吉澤 弘司
		(74) 代理人	100128657
			弁理士 三山 勝巳
		(74) 代理人	100160967
			弁理士 ▲濱▼口 岳久
最終頁に続く			

(54) 【発明の名称】 アレイ基板及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に導電性物質を形成し、前記導電性物質をエッチングすることにより、前記基板上の画素領域内にソース電極及びドレイン電極を形成する段階と；

前記ソース電極及びドレイン電極を有する前記基板上に、有機半導体層及び下記の構造式 1 を持つゲート絶縁膜を形成する段階と；

前記ゲート絶縁膜上に感光性有機物質層を形成する段階と；

前記有機半導体層と前記ゲート絶縁膜をエッチングすることにより、前記ソース電極及びドレイン電極の相互に対面する両端に接触し、アイランド形状を有する前記有機半導体層を形成する段階であって、前記ゲート絶縁膜は前記アイランド形状を有する、段階と；

前記ゲート絶縁膜上の前記表示領域の全面に第 1 保護層を形成する段階と；

前記第 1 保護層上の前記各画素領域内に前記ゲート絶縁膜に対してゲート電極を形成する段階と；

前記ゲート電極上の前記表示領域の全面に、前記各ドレイン電極を露出するドレインコンタクトホールを有する第 2 保護層を形成する段階と；

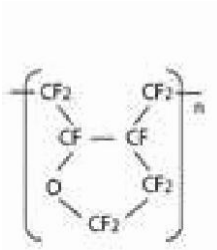
前記第 2 保護層上の前記各画素領域に前記ドレインコンタクトホールを介して前記ドレイン電極に接触する画素電極を形成する段階と、

を有する、

アレイ基板の製造方法。

構造式 1

## 【化 1】



## 【請求項 2】

前記有機半導体層とゲート絶縁膜を形成する段階は、

10

前記ゲート絶縁膜上に感光性有機物質層を形成する段階の後に、前記感光性有機物質層を露光及び現像を行うことで、前記画素領域に、有機絶縁パターンを形成する段階と；

前記有機絶縁パターンをエッチングマスクとして使用し、前記有機絶縁パターンの外側に露出された前記ゲート絶縁物質層と前記有機半導体物質層を第 1 乾式エッチングで除去することにより、アイランド形状を有し、互いに重なる前記有機半導体層と前記ゲート絶縁膜を前記画素領域内に形成する段階と；

前記有機絶縁パターンを除去する段階を有する請求項 1 に記載のアレイ基板の製造方法。

## 【請求項 3】

前記第 1 乾式エッチングは、互いに重なる前記有機半導体層及び前記ゲート絶縁膜に関して異方性を持つことを特徴とする請求項 2 に記載のアレイ基板の製造方法。

20

## 【請求項 4】

前記有機絶縁パターンを、前記第 1 乾式エッチングを更に行って除去し、または前記第 1 乾式エッチングと異なる反応ガス雰囲気での第 2 乾式エッチングを行って除去することを特徴とする請求項 2 に記載のアレイ基板の製造方法。

## 【請求項 5】

前記ゲート絶縁物質層を形成した後、前記有機絶縁物質層を形成する前に前記ゲート絶縁物質層に対して水素プラズマ工程を行うことで、前記ゲート絶縁物質層を表面改質して前記有機絶縁物質層との接着力を向上させる段階を有する請求項 2 に記載のアレイ基板の製造方法。

30

## 【請求項 6】

前記第 1 保護層は、前記ゲート電極及び前記ゲート絶縁膜間の前記第 1 保護層の厚さを最少にするために、前記ゲート絶縁膜を構成する物質と同じものから形成することを特徴とする請求項 2 に記載のアレイ基板の製造方法。

## 【請求項 7】

前記有機半導体層はペンタセン (pentacene)、またはポリチオフェン (polythiophene) からなり、

第 1 保護層は下記の構造式 1 を持つ OGI 物質、PI、PVP、PVA、PMMA、BCB、ポリプロピレンのうちの少なくとも 1 つの物質

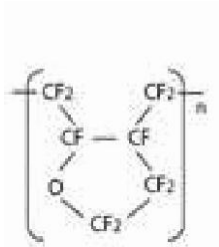
からなり、

40

前記第 2 保護層はフォトアクリルからなることを特徴とする請求項 1 に記載のアレイ基板の製造方法。

構造式 1

## 【化 2】



## 【請求項 8】

前記ソース電極及びドレイン電極を形成する段階は、前記ソース電極に繋がったデータ配線を形成する段階を有し、 10

前記ゲート電極を形成する段階は、前記ゲート電極に繋がり、前記データ配線と交差し、前記画素領域を定義するゲート配線を形成する段階を有する請求項 1 に記載のアレイ基板の製造方法。

## 【請求項 9】

前記ゲート配線を形成する段階は、前記ゲート配線と並んで離隔する共通配線を形成する段階を有し、

前記第 2 保護層を形成する段階は、前記ドレインコンタクトホールと共に前記共通配線を露出する共通コンタクトホールを備える段階を有し、

前記画素電極を形成する段階は前記画素電極を、各画素領域で所定の間隔で離隔する多数のバー形状を持つように形成すると同時に、各画素領域内に、前記共通コンタクトホールを介して前記共通配線に接触し、前記多数のバー形状を持つ画素電極と交互に配置される多数の共通電極を形成する段階を有する請求項 8 に記載のアレイ基板の製造方法。 20

## 【請求項 10】

前記画素電極の上部に第 3 保護層を形成する段階と；

前記第 3 保護層の上部に、前記表示領域の全面に対して板状であり、各画素領域に対してバー形状の多数の開口を持つ共通電極を形成する段階を有する請求項 8 に記載のアレイ基板の製造方法。

## 【請求項 11】

多数の画素領域を有する表示領域が定義された基板上的の前記各画素領域内に相互離隔するソース電極及びドレイン電極と； 30

下記の構造式 1 を持ち、前記ソース電極及びドレイン電極の相互対面する両端に接触し、かつ、これらの両電極間の離隔領域にアイランド状で形成される有機半導体層、及びそれと同じ平面形状を持って完全に重なる、順次積層されたゲート絶縁膜と；

前記ゲート絶縁膜上の前記表示領域の全面に形成された第 1 保護層と；

前記第 1 保護層上の前記各画素領域内に、前記ゲート絶縁膜に対して形成されたゲート電極と；

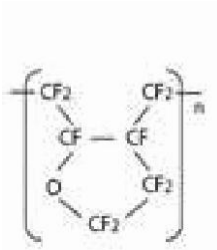
前記各ドレイン電極を露出するドレインコンタクトホールを有し、前記ゲート電極上の前記表示領域の全面に形成された第 2 保護層と；

前記ドレインコンタクトホールを介して前記ドレイン電極に接触し、前記第 2 保護層上の前記各画素領域に形成された画素電極を備える、 40

アレイ基板。

構造式 1

## 【化 3】



## 【請求項 1 2】

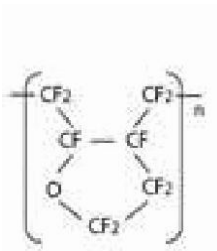
前記有機半導体層はペンタセン (pentacene)、またはポリチオフェン (polythiophene) からなり、 10

第 1 保護層は下記の構造式 1 を持つ OGI 物質、PI、PVP、PVA、PMMA、BCB、ポリプロピレンのうちの少なくとも 1 つの物質からなり、

前記第 2 保護層はフォトアクリルからなることを特徴とする請求項 1 1 に記載のアレイ基板。

構造式 1

## 【化 4】



20

## 【請求項 1 3】

前記基板には前記ソース電極に繋がり、一方向に延長するデータ配線が設けられ、

前記第 1 保護層上には前記ゲート電極に繋がり、前記データ配線と交差して前記画素領域を定義するゲート配線が設けられる請求項 1 1 に記載のアレイ基板。

## 【請求項 1 4】

前記第 1 保護層上には前記ゲート配線と並んで離隔する共通配線が設けられ、 30

前記画素電極は各画素領域で多数のバー形状を持ち、

前記第 2 保護層には前記ドレインコンタクトホールと共に前記共通配線を露出する共通コンタクトホールが備えられ、

前記第 2 保護層上に形成された前記画素電極は各画素領域で所定の間隔で離隔する多数のバー形状を持ち、

前記第 2 保護層上には各画素領域内に前記コンタクトホールを介して前記共通配線に接触し、前記バー形状の多数の画素電極と交互するバー形状の多数の共通電極が備えられたことを特徴とする請求項 1 1 に記載のアレイ基板。

## 【請求項 1 5】

前記画素電極上部の前記表示領域の全面に形成された第 3 保護層と； 40

前記第 3 保護層の上部に、前記表示領域の全面に対して板状であり、各画素領域に対してバー形状の多数の開口を持って形成された共通電極を備える請求項 1 1 に記載のアレイ基板。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、液晶表示装置に関するものであって、より詳しく説明すると有機半導体物質からなる有機半導体層を有する有機薄膜トランジスタをスイッチング素子とする液晶表示装置用アレイ基板及びその製造方法に関するものである。

## 【背景技術】

50

## 【 0 0 0 2 】

近来、本格的な情報化時代に入るにつれて、大量の情報を処理及び表示するディスプレイ分野が急速に発展しており、最近は特に薄型化、軽量化、低消費電力化といった優れた性能を持つ平面型表示装置として液晶表示装置、または有機電界発光素子が開発され、従来のブラウン管（C R T）の代替品になっている。

## 【 0 0 0 3 】

液晶表示装置の中では、画素（p i x e l）毎に電圧のオン・オフを切り替えることのできるスイッチング素子の薄膜トランジスタが備えられたアレイ基板を有するアクティブマトリクス型液晶表示装置が、解像度及び動画を具現化する能力から最も注目を集めている。

10

## 【 0 0 0 4 】

また、有機電界発光素子は高輝度や低動作電圧といった特性を持ち、自ら光を発する自発光型のため、明暗対比（c o n t r a s t r a t i o）が大きく、超薄型ディスプレイの具現が可能であり、応答時間が数マイクロ秒（ $\mu s$ ）程度で動画の具現化がしやすい。また、視野角が制限されることなく、低温で安定的で、直流5ないし15Vの低い電圧で駆動するため、駆動回路の製作及び設計が容易である。そのため、近年、平面型表示装置として注目されている。

## 【 0 0 0 5 】

かかる液晶表示装置と有機電界発光素子において、画素領域のそれぞれをオン・オフ制御するため、スイッチング素子の薄膜トランジスタを備えるアレイ基板が必ず備えられている。

20

## 【 0 0 0 6 】

図1は、平面型表示装置の一つの液晶表示装置の分解斜視図である。

## 【 0 0 0 7 】

図1に示すように、液晶表示装置は液晶層30を介在してアレイ基板10とカラーフィルター基板20が対面して貼り合わせられている。下部のアレイ基板10は、第1透明基板12及びその上面に縦横に交差配置されて多数の画素領域Pを定義する多数のゲート配線14とデータ配線16を有する。これら二つの配線14、16の交差点には薄膜トランジスタTrが備えられ、各画素領域Pに設けられた画素電極18と一対一対応で接続されている。

30

## 【 0 0 0 8 】

また、上部のカラーフィルター基板20には第2透明基板22及びその背面に前記ゲート配線14とデータ配線16、そして薄膜トランジスタTrなどの非表示領域を覆うように各画素領域Pを囲む格子型のブラックマトリクス25が設けられている。それら格子内部に各画素領域Pに対応するように順次繰り返して配置された赤色、緑色、青色のカラーフィルターパターン26a、26b、26cを有するカラーフィルター層26が設けられており、前記ブラックマトリクス25とカラーフィルター層26の全面にわたって透明な共通電極28が設けられている。

## 【 0 0 0 9 】

そして図面には明確に示していないが、前記アレイ基板10及びカラーフィルター基板20は、介在された液晶層30の液漏れ防止のため、その縁に沿ってシールパターンが形成されている。各基板10、20と液晶層30の境部分には液晶の分子配列方向に信頼性を持たせる下部及び上部配向膜（不図示）が形成されている。前記基板10、20の外側面にはそれぞれ相互垂直な偏光軸を有する偏光板（不図示）が取り付けられている。

40

## 【 0 0 1 0 】

更に前記アレイ基板の外側面にはバックライトユニットが備えられて光を供給している。前記ゲート配線14に薄膜トランジスタTrのオン・オフ信号が順次にスキャン印加され、選択された画素領域Pの画素電極18にデータ配線16の画像信号が伝送されると、画素電極18と共通電極28の間の垂直電界によってその間の液晶分子が駆動され、これによる光の透過率変化で様々な画像を表示することができる。

50

## 【 0 0 1 1 】

一方、かかる構成を有する液晶表示装置において、前記アレイ基板 1 0 とカラーフィルター基板 2 0 の母体となる第 1 及び第 2 透明基板 1 2、2 2 として一般的にガラス基板が使われている。近年、ノートパソコンや P D A のような小型の携帯用端末が広く普及するに従って、これらに適用できるようにガラス基板に比べ軽量、かつ柔軟性を持って破損する恐れのないプラスチック基板を用いた液晶表示装置が必要となっている。

## 【 0 0 1 2 】

しかし、スイッチング素子の薄膜トランジスタが形成されるアレイ基板の製造は、2 0 0 以上の高温環境下で行われる工程が多いため、ガラス基板に比べて耐熱性及び耐化学性に劣るプラスチック基板で前記アレイ基板を製造することは難しい。

10

## 【 0 0 1 3 】

また、2 0 0 以下の低温工程で配線及び薄膜トランジスタを備える画素を形成する場合、電極と配線を構成する金属物質と保護層などは低温で蒸着形成されても薄膜トランジスタの特性に特に影響を与えることはない。キャリアの移動通路であるチャンネルを内部に備える半導体層の場合、一般的に使用される半導体物質の非晶質シリコンを用いてこれを 2 0 0 以下の低温工程で蒸着形成すると内部構造が緻密ではないため、移動度などの重要な特性が著しく低下し、薄膜トランジスタの信頼性が低下する。

## 【 0 0 1 4 】

したがって、一般的に、上部基板を構成するカラーフィルター基板をプラスチック基板で製造し、下部基板のアレイ基板は通常、ガラス基板を用いて液晶表示装置を製造しているのが現状である。

20

## 【 0 0 1 5 】

そして、これと同様な理由でもう一つの平面型表示装置である有機電界発光素子においてもスイッチング素子及び駆動素子となる薄膜トランジスタが備えられるアレイ基板の場合、通常、ガラス基板を用いている。

## 【 0 0 1 6 】

したがって、そのような問題を解決するため、非晶質シリコンなどの従来の非晶質シリコンの半導体物質の代わりに、2 0 0 以下の低温雰囲気下で形成されても信頼性の高い優れた半導体特性の有機半導体層を有する薄膜トランジスタを備えるアレイ基板が提案されている。

30

## 【 0 0 1 7 】

かかる有機半導体層を有する薄膜トランジスタを備えたアレイ基板の製造工程は、プラスチック基板を用いた製造のみに限られることなく、ガラス基板を用いて製作することができることは言うまでもない。

## 【 0 0 1 8 】

次に、2 0 0 以下の低温工程で形成される有機半導体物質を用いたアレイ基板の構造について簡単に説明する。

## 【 0 0 1 9 】

図 2 は、従来の有機半導体を有する薄膜トランジスタを備えたアレイ基板の一つの画素領域を示す断面図である。

40

## 【 0 0 2 0 】

図 2 に示すように、従来の有機半導体層 1 2 0 を有する薄膜トランジスタ O T r を備えたアレイ基板は、絶縁基板 1 0 1 上の各画素領域 P 内に相互離隔してソース電極及びドレイン電極 1 1 0、1 1 5 が形成されており、ソース及びドレイン電極 1 1 0、1 1 5 の離隔領域に対応して有機半導体層 1 2 0 がアイランド状に形成されている。このとき、絶縁基板 1 0 1 の上部にはソース電極 1 1 0 に繋がって一方向に延長するデータ配線（不図示）が形成されている。

## 【 0 0 2 1 】

また、各有機半導体層 1 2 0 の上部には、これと同じ平面形状でゲート絶縁パターン 1 2 5 及び第 1 ゲート電極 1 3 0 が形成されている。

50

## 【0022】

そして、第1ゲート電極130を覆い、有機絶縁物質からなる第1保護層140が形成されている。第1保護層140の上に、第1ゲート電極130を露出するゲートコンタクトホール143とドレイン電極115を露出する第1ホール145とを介して、それぞれ第1ゲート電極130及びドレイン電極115に接触する第2ゲート電極150及び補助パターン152が形成されている。

## 【0023】

第1保護層140の上部には第2ゲート電極150に繋がるゲート配線154が設けられている。

## 【0024】

更に、第2ゲート電極150とゲート配線154を覆い、補助パターン152を露出する第2ホール163を有する第2保護層160が備えられている。第2保護層160の上に、補助パターン152を露出する第2ホール163を介して、ドレイン電極115に繋がり補助パターン152に接触する画素電極170が各画素領域Pに備えられている。

10

## 【0025】

一方、かかる構成を持つ従来の有機半導体層120を有する薄膜トランジスタOTrを備えたアレイ基板において、有機半導体層120と共にその上部に有機半導体層120と同じ平面形状を持つゲート絶縁パターン125と第1ゲート電極130を形成する理由は、有機半導体層120を構成する有機半導体物質は、パターニングのために主に使われるフォトリソの現像液や金属物質をエッチングするためのエッチング液に非常に弱い。特に、ソース電極110及びドレイン電極115の間の離隔領域に対応してチャンネルが形成される部分が現像液やエッチング液にさらされると、素子特性が深刻に低下するという可能性があり、それを防止するためである。

20

## 【0026】

即ち、所定形状の有機半導体層120を形成する場合、有機半導体物質は感光性を持っていないため、これをパターニングするためには感光性物質を用いて露光、現像及びエッチング工程を進めなければならないが、一般的にパターニング工程に主に使われるフォトリソの現像液に有機半導体物質がさらされると、有機半導体物質の内部構造が損傷するため半導体特性が低下する問題や、有機半導体物質の劣化速度を加速するため素子を駆動できる時間が非常に短くなる問題が発生し得る。これらの問題を防止するため、有機半導体層120とゲート絶縁パターン125及び第1ゲート電極130を同じマスク工程で同時にパターニングして形成している。

30

## 【0027】

したがって、かかる従来の有機半導体層120を有する薄膜トランジスタOTrを備えたアレイ基板は、ゲート電極を二つに分割して第1及び第2ゲート電極130、150が互いに別の層にそれぞれ形成される構造を有するため、材料費の上昇と追加工程による工程数や工程時間の増加によって、生産性が低下している問題がある。

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0028】

本発明の目的は、有機半導体層の損傷なくパターニングし、ゲート電極を一体化して一つの層に単一ゲート電極を形成することで材料費を節減し、更に製造工程の単純化及び製造時間を低減して時間当たりの生産性を向上できる有機半導体層を有する薄膜トランジスタを備えたアレイ基板の製造方法を提供することである。

40

## 【課題を解決するための手段】

## 【0029】

このような目的を達成するための本発明の一実施例に係るアレイ基板の製造方法は、多数の画素領域を有する表示領域が定義された基板上的前記各画素領域内に相互離隔するソース電極及びドレイン電極を形成する段階と；前記ソース電極及びドレイン電極の相互対面する両端に接触し、かつ、これらの両電極間の離隔領域にアイランド状で形成される有

50

機半導体層と、それと同じ平面形状を持って完全に重なる、順次積層されたゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上の前記表示領域の全面に第1保護層を形成する段階と；前記第1保護層上の前記各画素領域内に前記ゲート絶縁膜に対応してゲート電極を形成する段階と；前記ゲート電極上の前記表示領域の全面に、前記各ドレイン電極を露出するドレインコンタクトホールを有する第2保護層を形成する段階と；前記第2保護層上の前記各画素領域内に前記ドレインコンタクトホールを介して前記ドレイン電極に接触する画素電極を形成する段階とを有する。

【0030】

前記有機半導体層とゲート絶縁膜を形成する段階は、前記ソース電極及びドレイン電極上の全面に有機半導体物質層とゲート絶縁物質層と感光性を持つ有機絶縁物質層を順次形成する段階と；前記感光性を持つ有機絶縁物質層に対して露光及び現像を行うことで、各画素領域内にアイランド状の有機絶縁パターンを形成する段階と；前記有機絶縁パターンの外側に露出された前記ゲート絶縁物質層とその下部に位置する有機半導体物質層を第1乾式エッチングで除去することにより、アイランド状で、同じ平面積を持って完全に重なる前記有機半導体層とゲート絶縁膜を各画素領域内に形成する段階と；前記有機絶縁パターンを除去する段階とを有する。

10

【0031】

また、前記第1乾式エッチングは異方性を持つことを特徴とする。

【0032】

そして、前記有機絶縁パターンを、前記第1乾式エッチングを更に行って除去したり、または前記第1乾式エッチングと異なる反応ガス雰囲気での第2乾式エッチングを行って除去することを特徴とする。

20

【0033】

また、前記ゲート絶縁物質層を形成した後、前記有機絶縁物質層を形成する前に前記ゲート絶縁物質層に対して水素プラズマ工程を行うことで、前記ゲート絶縁物質層を表面改質して前記有機絶縁物質層との接着力を向上させる段階を有する。

【0034】

そして、前記第1保護層は前記ゲート絶縁膜を構成する物質と同じものから形成することを特徴とする。

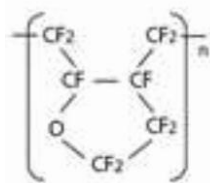
【0035】

また、前記有機半導体層はペンタセン (pentacene)、またはポリチオフェン (polythiophene) からなり、前記ゲート絶縁膜と第1保護層は下記の構造式1を持つ物質からなり、前記第2保護層はフオトアクリルからなることを特徴とする。

30

構造式1

【化1】



40

【0036】

また、前記ソース電極及びドレイン電極を形成する段階は、前記ソース電極に繋がったデータ配線を形成する段階を有し、前記ゲート電極を形成する段階は、前記ゲート電極に繋がり、前記データ配線と交差して前記画素領域を定義するゲート配線を形成する段階を有する。

【0037】

このとき、前記ゲート配線を形成する段階は、前記ゲート配線と並んで離隔する共通配線を形成する段階を有し、前記第2保護層を形成する段階は、前記ドレインコンタクトホ

50



ールと共に前記共通配線を露出する共通コンタクトホールを備える段階を有し、前記画素電極を形成する段階は前記画素電極を、各画素領域で所定の間隔で離隔する多数のバー形状を持つように形成すると同時に、各画素領域内に、前記共通コンタクトホールを介して前記共通配線に接触し、前記多数のバー形状を持つ画素電極と交互に配置される多数の共通電極を形成する段階を有する。

【0038】

そして、前記画素電極の上部に第3保護層を形成する段階と；前記第3保護層の上部に、前記表示領域の全面に対して板状であり、各画素領域に対してバー形状の多数の開口を持つ共通電極を形成する段階を有する。

【0039】

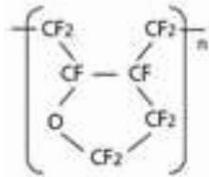
本発明の実施例に係るアレイ基板は、多数の画素領域を有する表示領域が定義された基板上の前記各画素領域内に相互離隔するソース電極及びドレイン電極と；前記ソース電極及びドレイン電極の相互対面する両端に接触し、かつ、これらの両電極間の離隔領域にアイランド状で形成される有機半導体層、及びそれと同じ平面形状を持って完全に重なる、順次積層されたゲート絶縁膜と；前記ゲート絶縁膜と同じ物質からなり、前記ゲート絶縁膜上の前記表示領域の全面に形成された第1保護層と；前記第1保護層上の前記各画素領域内に、前記ゲート絶縁膜に対して形成されたゲート電極と；前記各ドレイン電極を露出するドレインコンタクトホールを有し、前記ゲート電極上の前記表示領域の全面に形成された第2保護層と；前記ドレインコンタクトホールを介して前記ドレイン電極に接触し、前記第2保護層上の前記各画素領域に形成された画素電極を備える。

【0040】

前記有機半導体層はペンタセン (pentacene)、またはポリチオフェン (polythiophene) からなり、前記ゲート絶縁膜と第1保護層は下記の構造式1を持つ物質からなり、前記第2保護層はフオトアクリルからなることを特徴とする。

構造式1

【化2】



【0041】

また、前記基板には前記ソース電極に繋がり、一方向に延長するデータ配線が設けられ、前記第1保護層上には前記ゲート電極に繋がり、前記データ配線と交差して前記画素領域を定義するゲート配線が設けられる。

【0042】

そして、前記第1保護層上には前記ゲート配線と並んで離隔する共通配線が設けられ、前記画素電極は各画素領域で多数のバー形状を持ち、前記第2保護層には前記ドレインコンタクトホールと共に前記共通配線を露出する共通コンタクトホールが備えられ、前記第2保護層上に形成された前記画素電極は各画素領域で所定の間隔で離隔する多数のバー形状を持ち、前記第2保護層上には各画素領域内に前記コンタクトホールを介して前記共通配線に接触し、前記バー形状の多数の画素電極と交互するバー形状の多数の共通電極が備えられたことを特徴とする。

【0043】

そして、前記画素電極上部の前記表示領域の全面に形成された第3保護層と；前記第3保護層の上部に、前記表示領域の全面に対して板状であり、各画素領域に対してバー形状の多数の開口を持って形成された共通電極を備える。

【発明の効果】

## 【 0 0 4 4 】

本発明では有機半導体物質からなる有機半導体層を備えながら、これに対応して一体化した一つのゲート電極のみを備えることで、ゲート電極が互いに別の層に二つに分割して備えられる従来のアレイ基板に比べ、ゲート電極の材料費が節減できる効果があり、更にゲート配線と直接繋がらない第1ゲート電極を形成するための段階を省略することで工程を単純化する効果がある。

## 【 図面の簡単な説明 】

## 【 0 0 4 5 】

【 図 1 】 一般的な液晶表示装置の分解斜視図である。

【 図 2 】 従来の有機半導体層を有する薄膜トランジスタを備えたアレイ基板の一つの画素領域を示す断面図である。 10

【 図 3 】 本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、画像を表示する表示領域内の一つの画素領域を示す断面図である。

【 図 4 】 本発明の実施例の一変形例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、画像を表示する表示領域内の一つの画素領域を示す断面図である。

【 図 5 】 本発明の実施例の他の変形例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、画像を表示する表示領域内の一つの画素領域を示す断面図である。

【 図 6 A 】 本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、薄膜トランジスタを含む一つの画素領域 P の製造工程各段階を示す断面図である。 20

【 図 6 B 】 本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、薄膜トランジスタを含む一つの画素領域 P の製造工程各段階を示す断面図である。

【 図 6 C 】 本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、薄膜トランジスタを含む一つの画素領域 P の製造工程各段階を示す断面図である。

【 図 6 D 】 本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、薄膜トランジスタを含む一つの画素領域 P の製造工程各段階を示す断面図である。 30

【 図 6 E 】 本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、薄膜トランジスタを含む一つの画素領域 P の製造工程各段階を示す断面図である。

【 図 6 F 】 本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、薄膜トランジスタを含む一つの画素領域 P の製造工程各段階を示す断面図である。

【 図 6 G 】 本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、薄膜トランジスタを含む一つの画素領域 P の製造工程各段階を示す断面図である。 40

【 図 6 H 】 本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、薄膜トランジスタを含む一つの画素領域 P の製造工程各段階を示す断面図である。

【 図 6 I 】 本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、薄膜トランジスタを含む一つの画素領域 P の製造工程各段階を示す断面図である。

【 図 6 J 】 本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、薄膜トランジスタを含む一つの画素領域 P の製造工程各段階を示す断面図である。

【 図 6 K 】 本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ 50

基板において、薄膜トランジスタを含む一つの画素領域 P の製造工程各段階を示す断面図である。

【図 6 L】本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、薄膜トランジスタを含む一つの画素領域 P の製造工程各段階を示す断面図である。

【図 6 M】本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、薄膜トランジスタを含む一つの画素領域 P の製造工程各段階を示す断面図である。

【図 7】本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、ゲート電圧 ( $V_{gs}$ ) の印加によるドレイン電流 ( $I_{ds}$ ) 特性を示すグラフである。

10

【発明を実施するための形態】

【0046】

以下、図面を参照しながら本発明に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板の構造及びその製造方法に関して、より詳しく説明する。

【0047】

図 3 は、本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、画像を表示する表示領域内の一つの画素領域を示す断面図である。説明の都合上、各画素領域 P 内に有機半導体層 220 を有する薄膜トランジスタ OTr が形成された領域をスイッチング領域 TrA と称する。

20

【0048】

図 3 に示すように、透明な絶縁基板 201 は、例えばフレキシブルな特性を持つプラスチック基板、またはガラス基板であって、その上に一方方向に延長してデータ配線（不図示）が形成されている。各スイッチング領域 TrA には、相互離隔してソース電極 210 及びドレイン電極 215 が形成されている。ソース電極 210 は、データ配線（不図示）から分岐した形状でデータ配線と繋がっている。

【0049】

次に、各スイッチング領域 TrA において、相互離隔したソース電極 210 及びドレイン電極 215 の相互に対面する端面にそれぞれ接触し、かつ、これら電極 210、215 の間の離隔領域に対応して有機半導体物質、例えばペンタセン (pentacene)、またはポリチオフェン (polythiophene) からなる有機半導体層 220 がアイランド状に形成されている。

30

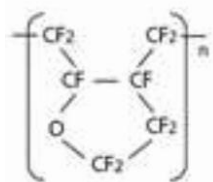
【0050】

また、各スイッチング領域 TrA には有機半導体層 220 の上に有機半導体層 220 と同じ平面積で、完全に重なる形状で有機絶縁物質、例えば下記のような構造式の物質（以下、OGI という）からなるゲート絶縁膜 225 が形成されている。ここで、ゲート絶縁膜 225 及び第 1 保護層 240 は、OGI にかぎらず、PI、PVP、PVA、PMMA、BCB、ポリプロピレン等の物質で形成されていてもよい。

構造式 1 : OGI 物質

【化 3】

40



【0051】

このとき、本発明の実施例に係る有機半導体層 220 を有する薄膜トランジスタ OTr を備えたアレイ基板では、従来のようなゲート絶縁膜上に形成される第 1 ゲート絶縁膜が

50

省略される。

【0052】

かかる構成を持っているにもかかわらず、有機半導体層220のチャンネル部分は、パターンニング液、またはエッチング液によって全く損傷を受けず、優れた半導体特性を有する。このような有機半導体層220の損傷のないパターンニング工程に関しては後で製造方法を用いて詳しく説明する。

【0053】

そして、ゲート絶縁膜225の上に表示領域の全面に対して第1保護層240が備えられており、第1保護層240の上にデータ配線(不図示)と交差して多数の画素領域Pを定義するゲート配線254が設けられており、各スイッチング領域TrAにはゲート配線254に繋がるゲート電極250が形成されている。

10

【0054】

このとき、スイッチング領域TrAに順次積層されたソース及びドレイン電極210、215と、有機半導体層220と、ゲート絶縁膜225と、第1保護層240と、ゲート電極250はスイッチング素子である薄膜トランジスタOTrを構成する。

【0055】

かかる構成を持つ本発明の実施例に係るアレイ基板は、有機半導体層220を備え、ゲート電極が互いに別の層に二つに分割して形成される従来のアレイ基板(図2)とは異なり、一つの層、即ち第1保護層240の上部のみに対してゲート電極250が備えられる。そのため、従来に比べゲート電極250を形成する一つの工程を省略することができ、ゲート電極250を形成するための材料費を節減することができるものである。

20

【0056】

次に、ゲート電極250及びゲート配線254の上に表示領域の全面に対して第2保護層260が形成されている。第2保護層260と共にその下部に備えられた第1保護層240には、各画素領域P内にドレイン電極215の一部上面を露出するドレインコンタクトホール263が備えられている。

【0057】

かかるドレインコンタクトホール263が形成された第2保護層260の上部には、透明な導電性物質からなる画素電極270が各画素領域P内に板状で形成されることで本発明の実施例に係るアレイ基板が構成される。

30

【0058】

一方、前述した構成を持つ本発明の実施例に係る有機半導体層220を有する薄膜トランジスタOTrを備えたアレイ基板は、TNモードの液晶表示装置用アレイ基板となる。また、その変形例として横電界モードの液晶表示装置用アレイ基板となる場合は、図4に示すように画素電極270は各画素領域P内で多数のバーの形状であり、このようなバー形状の画素電極270と交互にバー形状の共通電極273が更に形成される。この場合、多数のバー形状の共通電極273は共通配線(不図示)に繋がり、前記共通配線(不図示)はゲート配線(254)が形成された第1保護層240の上にゲート配線254と並んで所定の間隔で離隔形成される。

【0059】

40

そして、他の変形例として前記アレイ基板が、フリンジフィールドスイッチングモードの液晶表示装置用アレイ基板となる場合、図5に示すように画素電極270の上に第3保護層275が更に形成され、第3保護層275の上に表示領域の全面に対して板状の透明な共通電極280が更に形成される。このとき、板状の透明な共通電極280は、各画素領域Pに対してバー形状の多数の第1開口op1を有し、選択的にスイッチング領域TrAに対しても第2開口op2を有することができる。

【0060】

次に、前述した構成を持つ本発明の実施例に係る有機半導体層220を有する薄膜トランジスタOTrを備えたアレイ基板の製造方法に関して説明する。変形例に係るアレイ基板に関しては、実施例との違いのみを説明する。

50

## 【0061】

図6Aないし6Mは本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において、薄膜トランジスタを含む一つの画素領域Pに関する製造工程各段階を示す断面図である。説明の都合上、各画素領域内に薄膜トランジスタOTrが形成される領域をスイッチング領域TrAと定義する。

## 【0062】

まずは図6Aに示すように、透明な絶縁基板201の上部に低抵抗金属物質、例えば金(Au)、銀(Ag)、アルミニウム(Al)、アルミニウム合金(AlNd)、銅(Cu)、モリブデン(Mo)、モリチタン(MoTi)のうち、一つまたは二つ以上の物質を蒸着することで、単層、または多層構造の第1金属層(不図示)を形成する。

10

## 【0063】

その後、第1金属層(不図示)の上部にフォトレジストを塗布し、露光マスクを用いて露光し、露光されたフォトレジストを現像してフォトレジストパターン(不図示)を形成する。続いて、フォトレジストパターンをマスクとして使用して、フォトレジストパターン(不図示)の外部に露出された第1金属層(不図示)をエッチング及び該フォトレジストパターン(不図示)のストリップなどといった一連の段階を含むマスク工程を行い、第1金属層(不図示)をパターニングすることによって、一方向に延長する多数のデータ配線(不図示)を形成すると同時に、各画素領域P内のスイッチング領域TrAに該データ配線(不図示)に繋がったソース電極210とソース電極210から所定の間隔で離隔し、ソース電極210と相互に対面するドレイン電極215を形成する。

20

## 【0064】

図面においては第1金属層(不図示)を単層構造に形成して単層構造のソース及びドレイン電極210、215とデータ配線(不図示)が形成されたことを一例として示しているが、ソース及びドレイン電極210、215とデータ配線(不図示)は二層、または多層構造になるように形成することもできる。

## 【0065】

次に、図6Bに示すように、相互離隔するソース及びドレイン電極210、215とデータ配線(不図示)の上に液状の有機半導体物質、例えばペンタセン(pentacene)、またはポリチオフェン(polythiophene)を、インクジェット装置、ノズルコーティング装置、パーコーティング装置、スリットコーティング装置、スピコーティング装置、またはプリンティング装置などを用いて全面にコーティングした後に該液状の有機半導体物質を乾燥させたり、固体または粉末状の有機半導体物質を真空雰囲気下で熱蒸着させたりすることで、基板201の全面に有機半導体物質層218を形成する。

30

## 【0066】

その後、有機半導体物質層218の上に有機絶縁物質、例えばOGI物質を前述したインクジェット装置、ノズルコーティング装置、パーコーティング装置、スリットコーティング装置、スピコーティング装置、またはプリンティング装置などを用いて全面にコーティングすることで、ゲート絶縁物質層222を形成する。

## 【0067】

次に、図6Cに示すように、ゲート絶縁物質層222の表面に対し、水素プラズマ処理を行うことで表面を改質する。このようにOGI物質からなるゲート絶縁物質層222に対し、水素プラズマ処理を行って表面を改質する理由は、以後の段階で形成される感光性を持つ有機物質層(図6Dの290)との接触特性を向上させ、優れた接着力を持つようにするためである。

40

## 【0068】

このとき、表面改質のための水素プラズマ処理工程を必ず行う必要はなく、場合によっては省略してもよい。

## 【0069】

次に、図6Dに示すように、表面改質されたゲート絶縁物質層222の上に感光性を持

50

つ有機物質であって、KOH水溶液を現像液とする物質、例えばフोटアクリルを塗布することで感光性有機物質層290を形成する。

【0070】

その後、感光性有機物質層290の上に光透過領域TAと光遮断領域BAを有する露光マスク295を位置合わせし、露光マスク295を介して感光性有機物質層290に対して露光を行う。

【0071】

図6Dにおいては、有機物質層290として、露光された部分が現像で除去されるポジティブ感光性を持つフोटアクリルを用いたものを一例として示しているが、現像後に露光部分が残るネガティブ感光性を持つ感光性有機物質を用いることもできる。この場合には、露光マスク295に代わって透過領域TAと遮断領域BAの位置が変わった露光マスクを用いて露光を行うと、同じ結果を得ることができる。

10

【0072】

次に、図6Eに示すように、露光を行った感光性有機物質層(図6Dの290)をKOH水溶液を含む現像液にさらし、露光部分が現像液と反応して除去されるようにすることで、各スイッチング領域TrAに有機パターン291を形成する。

【0073】

KOH水溶液を含む現像液は感光性有機物質層(図6Dの290)だけと反応し、その下部に位置するOGI物質からなるゲート絶縁物質層222とは反応しないため、現像液がゲート絶縁物質層222を透過して有機半導体物質層218と反応するなどの現象は発生しない。

20

【0074】

次に、図6Fないし6Hに示すように、有機パターン291の外側に露出されたゲート絶縁物質層(図6Eの222)と、その下部に位置する有機半導体物質層(図6Eの218)を、有機パターン291をマスクとして利用する乾式エッチングで順次除去する。それにより、各スイッチング領域TrAにおいて、ソース及びドレイン電極210、215に接触し、かつ、ソース及びドレイン電極210、215間の離隔領域に対応してアイランド状を呈している有機半導体層220と、その上部に有機半導体層220と同じ平面積を持って完全に重なる形状のゲート絶縁膜225を形成する。

【0075】

前記乾式エッチングは、例えばリアクティブイオンエッチング、またはイオンアクセラレーターエッチングのように異方性に優れたものであることが望ましい。このような異方性を持つ乾式エッチングは基板201面に対し、垂直方向に優れたエッチング力を持ち、基板201面の水平方向には殆どエッチングが行われない。

30

【0076】

そのため、エッチング防止の役割を持つ有機パターン291の下部に形成されるゲート絶縁膜225と有機半導体層220には、アンダーカットが形成されておらず、有機パターン291と同じ平面積を持って完全に重なる形状を有することができる。

【0077】

ゲート絶縁物質層(図6Eの222)と有機半導体物質層(図6Eの218)のパターニングのための乾式エッチングを行う際、感光性を持つ有機物質からなる有機パターン291も前記乾式エッチングによって厚さが減少することになる。そのため、有機パターン291の厚さは減少する。

40

【0078】

次に、各スイッチング領域TrAに、アイランド状の有機半導体層220とゲート絶縁膜225が形成された基板201に対して更に乾式エッチングを行うことによってゲート絶縁膜225の上部に残存している有機パターン291を完全に除去し、ゲート絶縁膜225を露出する。このとき、乾式エッチングを更に行うことで、ゲート絶縁膜225の前記水素プラズマ処理によって改質された表面部分を完全に除去することが望ましい。

【0079】

50

一方、前記乾式エッチングは反応ガスを変えて行うこともできる。即ち、有機パターン 291 の外部に露出されたゲート絶縁物質層 (図 6 E の 222) とその下部に位置する有機半導体物質層 (図 6 E の 218) を除去する場合、ゲート絶縁物質層 (図 6 E の 222) 及び有機半導体物質層 (図 6 E の 218) に更に反応し、有機パターン 291 に比べゲート絶縁物質層 222 に対するエッチング速度が速い第 1 反応ガス雰囲気中で 1 次乾式エッチングを行い、その後、有機パターン 291 を除去してゲート絶縁膜 225 を露出する段階では、ゲート絶縁膜 225 に対するエッチング速度に比べ、有機パターン 291 に更に反応して相対的に速いエッチング速度でエッチングされる第 2 反応ガス雰囲気中で 2 次乾式エッチングを行うこともできる。

【0080】

次に、図 6 I に示すように、露出されたアイランド状のゲート絶縁膜 225 の上に有機絶縁物質、より正確にはゲート絶縁膜 225 を構成するものと同一物質、即ち OGI 物質をコーティングすることで表示領域の全面に平らな表面を持つ第 1 保護層 240 を形成する。このとき、第 1 保護層 240 は平らな表面を持ちながら、ゲート絶縁膜 225 の上部において最少の厚さを有するようにすることが望ましい。

【0081】

その理由は、本発明の実施例、または変形例に係るアレイ基板の製造特性上、ゲート電極 (図 6 J の 250) は第 1 保護層 240 上に形成され、第 1 保護層 250 の厚さが増加するにしたがって有機半導体層 220 との離隔距離が増加するため、その増加距離を最小化するためである。

【0082】

次に、図 6 J に示すように、第 1 保護層 240 の上に低抵抗金属物質、例えば金 (Au)、銀 (Ag)、アルミニウム (Al)、アルミニウム合金 (AlNd)、銅 (Cu)、モリブデン (Mo)、モリチタン (MoTi) のうち、一つまたは二つ以上の物質を連続蒸着することで、単層、または多層構造の第 2 金属層 (不図示) を形成する。

【0083】

その後、前記第 2 金属層 (不図示) に対してマスク工程を行い、パターンニングすることによって前記データ配線 (不図示) と交差して多数の画素領域 P を定義するゲート配線 254 を形成すると同時に、各スイッチング領域 TrA においては、ゲート配線 254 から分岐した形状で、アイランド状のゲート絶縁膜 225 に対してゲート電極 250 を形成する。

【0084】

このとき、スイッチング領域 TrA に順次積層されたソース及びドレイン電極 210、215 と、有機半導体層 220 と、ゲート絶縁膜 225 と、第 1 保護層及びゲート電極 250 はスイッチング素子である薄膜トランジスタ OTT を構成する。

【0085】

本実施例においてはゲート配線 254 とゲート電極 250 が単層構造に形成されたことを一例として示しているが、第 2 金属層 (不図示) を二層以上の多層構造に形成した場合、ゲート配線 254 及びゲート電極 250 は多層構造をなすことができる。

【0086】

一方、本発明の一変形例である横電界型の液晶表示装置用アレイ基板 (図 4) の場合、ゲート配線 254 及びゲート電極 250 を形成する段階で、第 1 保護層 240 の上にゲート配線 254 と所定の間隔で離隔する共通配線 (不図示) を更に形成する。

【0087】

次に、図 6 K に示すように、ゲート配線 254 及びゲート電極 250 の上に、例えばフォトアクリルのような感光性を持つ有機絶縁物質を塗布することで、平らな表面を持つ第 2 保護層 260 を形成する。この場合、感光性を持つ有機絶縁物質は露光部分が現像後に残るネガティブタイプであることが望ましい。

【0088】

次に、図 6 L に示すように、感光性を持つフォトアクリルからなる第 2 保護層 260 に

10

20

30

40

50

対し、透過領域と遮断領域を有する露光マスクを用いて露光した後に現像工程を行うこと  
によって、ドレイン電極 215 の一端上面に対応する部分に第 1 保護層 240 を露出する  
ホール（不図示）を形成し、続いて乾式エッチングを行って前記ホール（不図示）の内部  
に露出された第 1 保護層 240 をエッチングすることで、ドレイン電極 215 を露出する  
ドレインコンタクトホール 263 を形成する。

【0089】

このとき、表示領域にゲート配線 254 と共通配線（不図示）が形成される本発明の一  
変形例である横電界型の液晶表示装置用アレイ基板（図 4）の場合、ドレインコンタクト  
ホール 263 の他、各画素領域 P の内部に前記共通配線（不図示）を露出する共通コンタ  
クトホール（不図示）を更に形成することもできる。

10

【0090】

次に、図 6 M に示すようにドレインコンタクトホール 263 が備えられた第 2 保護層 2  
60 の上に透明な導電性物質、例えば酸化インジウムスズ（ITO）、または酸化インジ  
ウム亜鉛（IZO）を蒸着して透明な導電性物質層（不図示）を形成する。

【0091】

その後、前記透明な導電性物質層（不図示）を、マスク工程を通じてパターンニングす  
ることによってドレインコンタクトホール 263 を介してドレイン電極 215 に接触する板状の画  
素電極 270 を各画素領域 P に形成する。

【0092】

一方、他の変形例として横電界型の液晶表示装置用アレイ基板を製造する場合、図 4 を  
参照すると、画素電極 270 を形成する段階で、画素電極 270 を各画素領域 P 内でその  
一端が繋がった多数のバー形状になるように形成すると同時に、前記共通コンタクトホ  
ール（不図示）を介して前記共通配線（不図示）に接触し、バー形状の多数の画素電極 27  
0 と交互に配置されるバー形状の多数の共通電極 273 を形成する。この場合、画素電極  
270 と共通電極 273 を必ず透明な導電性物質にする必要はなく、不透明な金属物質、  
例えばモリブデン（Mo）、モリチタン（MoTi）、アルミニウム（Al）、アルミニ  
ウム合金（AlNd）、銅（Cu）のうち、一つまたは二つ以上の物質から構成すること  
もできる。また、バー形状の前記画素電極 270 及び共通電極 273 は、単層構造でも良  
いし、多層構造でも良い。

20

【0093】

また、他の変形例としてフリンジフィールドスイッチングモードの液晶表示装置用アレ  
イ基板を製造する場合は、図 5 を参照すると、板状の画素電極 270 が形成された状態  
でその上部に有機絶縁物質を塗布して第 3 保護層 275 を形成し、それをパターンニングして  
各画素領域 P 内の前記画素電極 270 に対してバー形状の多数の第 1 開口 op1 を所定の  
間隔で離隔形成する。

30

【0094】

このとき、共通電極 280 はスイッチング領域 TrA に対応する第 2 開口 op2 を更に  
備えるように形成することもできる。このように第 2 開口 op2 を形成する理由は、前記  
共通電極 280 が薄膜トランジスタ OTr と重なることで発生する寄生容量による薄膜ト  
ランジスタ OTr の特性低下を抑えるためである。

40

【0095】

かかる変形例に係るフリンジフィールドスイッチングモードの液晶表示装置用アレイ基  
板の場合、画素電極 270 と共通電極 280 は透明な導電性物質からなることが望ましい  
。

【0096】

本発明の実施例及び変形例に係るアレイ基板は、有機半導体物質からなる有機半導体層  
220 を備えながら、これに対応する一つのゲート電極 250 を備える。そのため、互い  
に別の層に二つに分割してゲート電極が備えられる従来のアレイ基板（図 2）に比べ、ゲ  
ート電極 250 の形成のための材料費を節減することができ、ゲート配線 254 に直接繋  
がらない第 1 ゲート電極を形成するための段階を省略することによって工程を単純化する

50



効果がある。

【0097】

図7は、本発明の実施例に係る有機半導体層を有する薄膜トランジスタを備えたアレイ基板において電流 電圧の特性を示すグラフであって、ソース及びドレイン電極間の電圧差  $V_{ds}$  を  $-1V$  (701)、 $-10V$  (702)、 $-20V$  (703)、 $-30V$  (704) に印加した場合のゲート電圧に対するドレイン電流変化  $I_{ds}$  (左側軸、上側4つの曲線に関する。)及びゲート絶縁膜を通じた漏れ電流  $I_{gs}$  (右側軸、下側4つの曲線に関する。)を示す。

【0098】

図7に示すように本発明の実施例に係るアレイ基板は、薄膜トランジスタのオン状態、即ちゲート電圧  $V_{gs}$  が  $-40V$  ないし  $0V$  のとき、ソース及びドレイン電極間の電圧差  $V_{ds}$  が  $-10V$ 、 $-20V$ 、 $-30V$  となるようにした場合、ドレイン電流  $I_{ds}$  は凡そ  $10^{-4}A$  であり、ドレイン電流  $I_{ds}$  のオン・オフ比、即ち  $I_{on}/I_{off}$  は凡そ  $10^4$  である。また、ドレイン電流  $I_{ds}$  はゲート電圧  $V_{gs}$  の大きさが変化するとき、特定区間に対してリニア的に減少する形で、特に特定大きさのゲート電圧  $V_{gs}$  に対して不規則なムラが無く、安定的に段々減少する形で形成されていることがわかる。

10

【0099】

また、ソース及びドレイン電極間に電圧を印加していない状態で、ゲート電圧  $V_{gs}$  を変化させ、ゲート絶縁膜を通じて流れる漏れ電流を測定した場合、漏れ電流  $I_{gs}$  は  $10^{-11}A$  ないし  $10^{-14}A$  程度の値を持つので、漏れ電流特性も良好な状態であることがわかる。

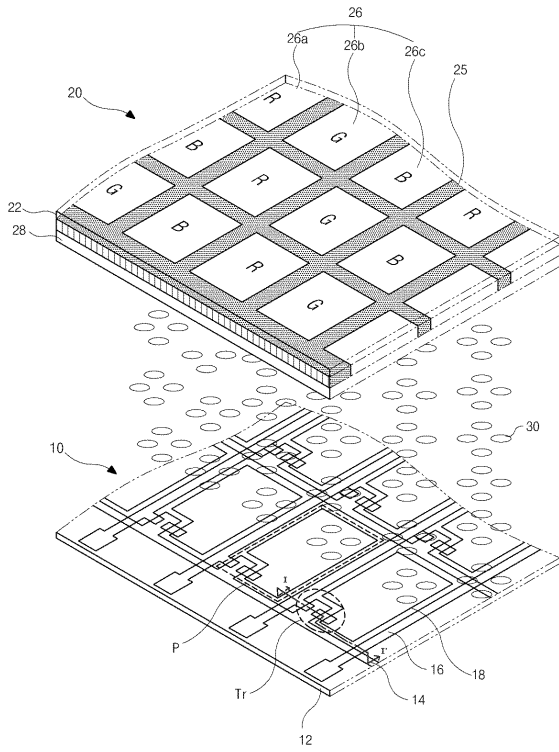
20

【符号の説明】

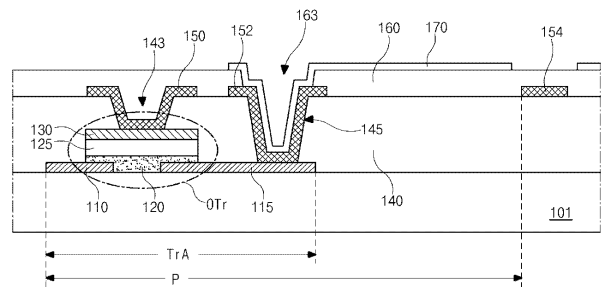
【0100】

201：基板、210：ソース電極、215：ドレイン電極、220：有機半導体層、225：ゲート絶縁膜、240：第1保護層、250：ゲート電極、254：ゲート配線、260：第2保護層、263：ドレインコンタクトホール、270：画素電極、P：画素領域、Tr：薄膜トランジスタ、TrA：スイッチング領域

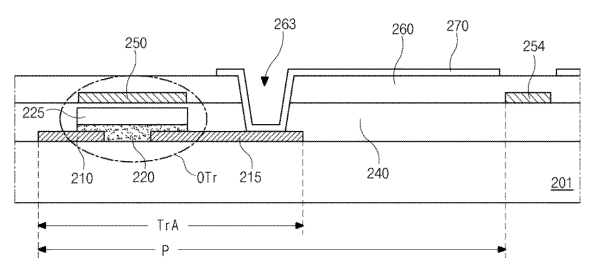
【図1】



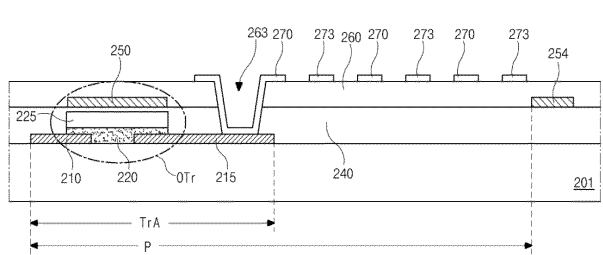
【図2】



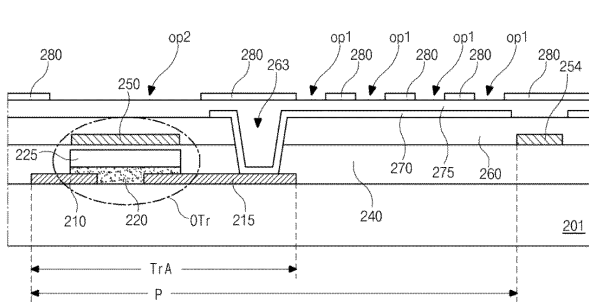
【図3】



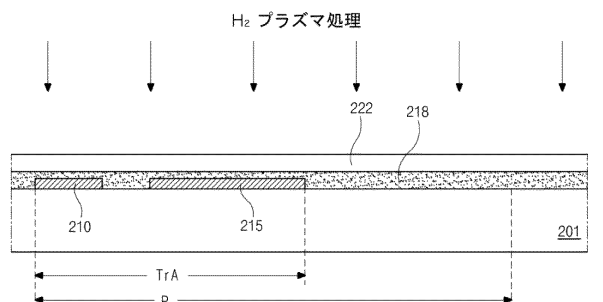
【図4】



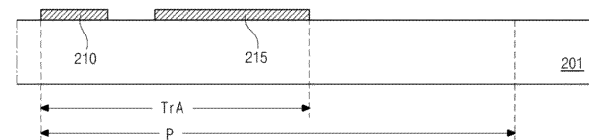
【図5】



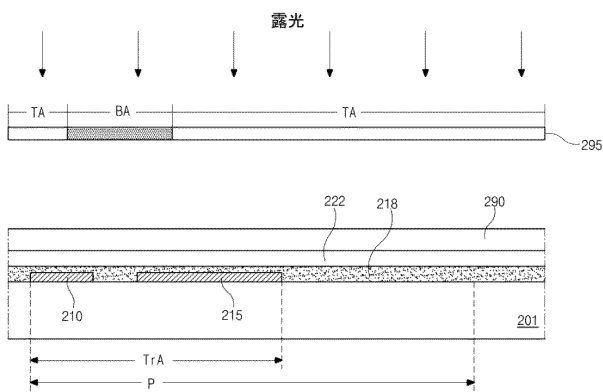
【図6 C】



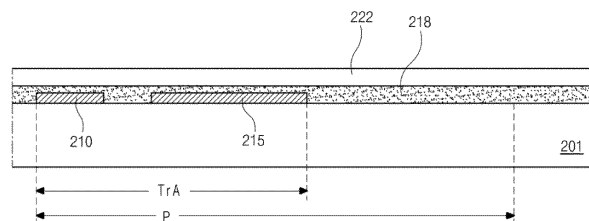
【図6 A】



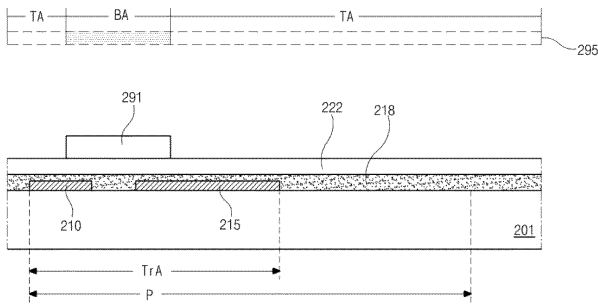
【図6 D】



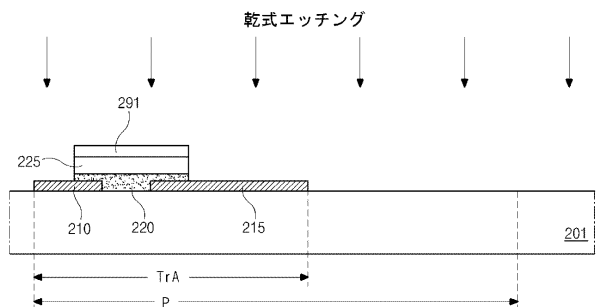
【図6 B】



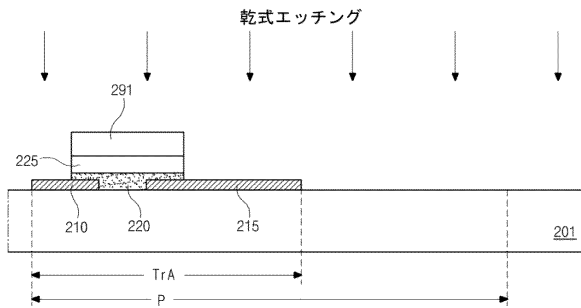
【図 6 E】



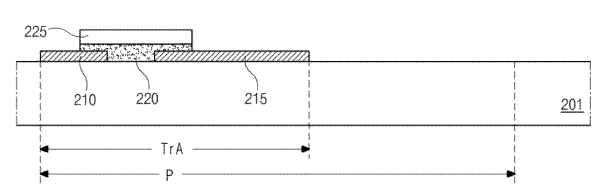
【図 6 G】



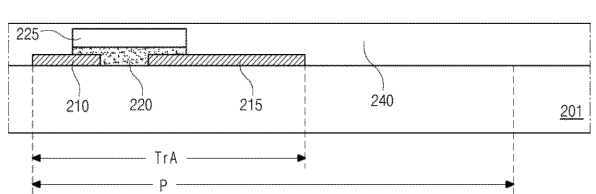
【図 6 F】



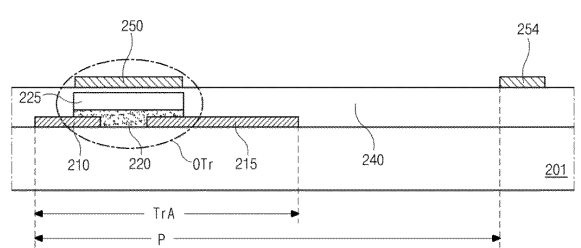
【図 6 H】



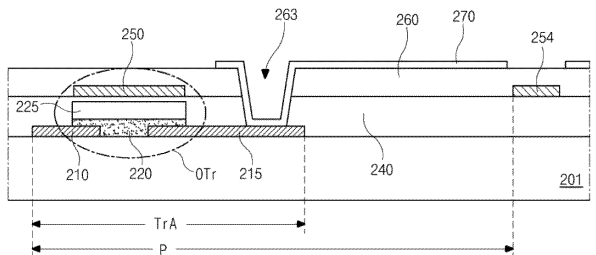
【図 6 I】



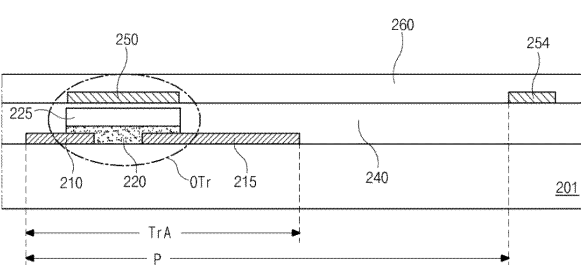
【図 6 J】



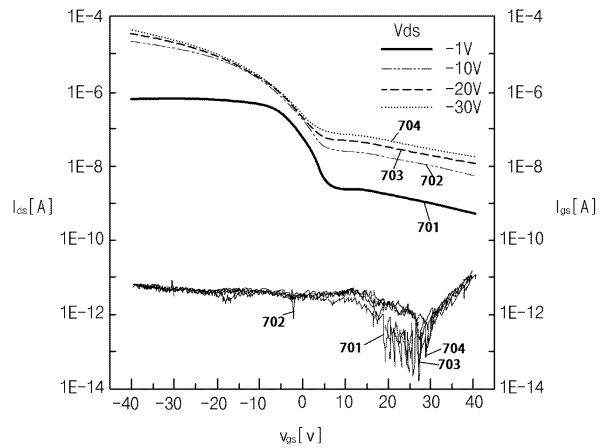
【図 6 M】



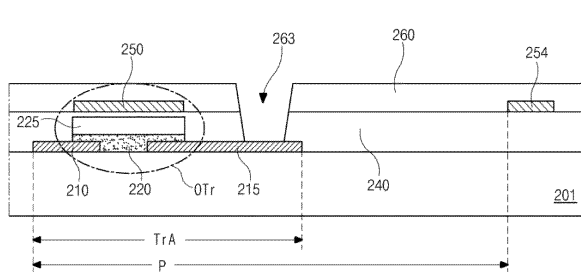
【図 6 K】



【図 7】



【図 6 L】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/28 1 0 0 A  
H 0 1 L 29/28 2 8 0  
G 0 2 F 1/1368

(72)発明者 イ ジュンウン  
大韓民国 110-054 ソウル ジョンノグ サジクドン グワンファムン プンリム スペ  
ースボン アパート 105-704

審査官 棚田 一也

(56)参考文献 特開平10-221705(JP,A)  
特開2007-150240(JP,A)  
特開2006-344926(JP,A)  
特開2006-117958(JP,A)  
特開2010-283332(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 1 / 3 3 6  
G 0 2 F 1 / 1 3 6 8  
H 0 1 L 2 9 / 7 8 6  
H 0 1 L 5 1 / 0 5  
H 0 1 L 5 1 / 3 0