

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 26 年 9 月 4 日 (2014.9.4)

【公表番号】特表 2013-531397 (P2013-531397A)  
 【公表日】平成 25 年 8 月 1 日 (2013.8.1)  
 【年通号数】公開・登録公報 2013-041  
 【出願番号】特願 2013-520777 (P2013-520777)  
 【国際特許分類】

H 0 1 L 23/12 (2006.01)

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 23/12 5 0 1 W

H 0 1 L 25/08 Z

【手続補正書】  
 【提出日】平成 26 年 7 月 17 日 (2014.7.17)  
 【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

マイクロ電子パッケージであって、  
 第 1 の面と、該第 1 の面から離れた第 2 の面とを有する基板と、  
 前記第 1 の面の上に重なるマイクロ電子素子と、  
 前記第 1 又は第 2 の面の少なくとも一方で突出し、前記基板から離れた上面と該上面から延びる端面とを有する、実質的に剛性の導電性ポストと、  
 前記導電性ポストが上方に突出する面の反対側の前記基板の面で露出し、前記マイクロ電子素子と電氣的に相互接続する導電性素子と、  
 前記マイクロ電子素子の少なくとも一部、及び前記導電性ポストが上方に突出する前記基板の面の上に重なるカプセル材料であって、該カプセル材料は、それぞれが前記導電性ポストのうちの少なくとも 1 つの導電性ポストの上面を露出しかつ前記端面を部分的に露出する複数の開口部有し、少なくとも幾つかの前記導電性ポストが電氣的に互いに絶縁され、かつ異なる電位を同時に伝達するように構成される、カプセル材料と、  
 を備えるマイクロ電子パッケージ。

【請求項 2】

前記導電性ポストが前記第 1 の面又は第 2 の面のうちの少なくとも一方の上方に第 1 の高さまで突出し、前記カプセル材料が、前記導電性ポストに接触し、かつ前記導電性ポストが上方に突出する前記基板の同じ面の上方の第 2 の高さに主面を有し、前記第 2 の高さは前記第 1 の高さよりも高く、前記カプセル材料内の開口部は前記主面の開口部である、請求項 1 に記載のマイクロ電子パッケージ。

【請求項 3】

前記導電性ポストが前記第 1 の面の上方に突出し、前記導電性素子が前記第 2 の面において露出される、請求項 2 に記載のマイクロ電子パッケージ。

【請求項 4】

前記第 1 の面が第 1 の領域と該第 1 の領域から延びる第 2 の領域とを有し、前記マイク

口電子素子が前記第 1 の領域の上に重なり、前記導電性ポストが前記第 2 の領域と整列される、請求項 3 に記載のマイクロ電子パッケージ。

【請求項 5】

前記導電性ポストが前記第 2 の面の上方に突出し、かつ前記導電性素子が前記第 1 の面において露出する、請求項 2 に記載のマイクロ電子パッケージ。

【請求項 6】

前記カプセル材料の主面が実質的に平坦な面であり、前記カプセル材料が、前記第 1 の面の上方の第 3 の高さで前記マイクロ電子素子の上に重なる第 2 の面をさらに有し、前記第 3 の高さは前記第 2 の高さとは異なる、請求項 4 に記載のマイクロ電子パッケージ。

【請求項 7】

前記第 3 の高さが前記第 2 の高さよりも高い、請求項 6 に記載のマイクロ電子パッケージ。

【請求項 8】

前記カプセル材料の主面が、前記第 1 の面から少なくとも実質的に均一な第 2 の高さで該第 1 の面の前記第 1 の領域及び前記第 2 の領域の上に重なる、かつ前記マイクロ電子素子の上に重なる実質的に平坦な面である、請求項 4 に記載のマイクロ電子パッケージ。

【請求項 9】

少なくとも 1 つの前記導電性ポストが、前記マイクロ電子素子から離れた先端領域と、該先端領域の下方に前記基板に近接して配置される第 2 の領域とを含み、前記第 2 の領域及び前記先端領域は、それぞれ凹形円周面を有し、前記少なくとも 1 つの導電性ポストは、本質的に金属から成り、かつ前記先端領域内の垂直位置の第 1 の関数でありまた前記第 2 の領域内の垂直位置の第 2 の関数である横方向の寸法を有する、請求項 2 に記載のマイクロ電子パッケージ。

【請求項 10】

前記導電性素子が、少なくとも 1 つの導電性ポスト又は導電結合材料の塊を含み、前記カプセル材料の一部が前記第 2 の面の上方に重なり、さらに、複数の第 2 の開口部を有し、該複数の第 2 の開口部のそれぞれは、少なくとも 1 つの前記導電性素子を部分的に露出し、少なくとも幾つかの前記導電性素子は、互いに電氣的に絶縁され、かつ異なる電位を同時に伝達するように構成される、請求項 3 に記載のマイクロ電子パッケージ。

【請求項 11】

少なくとも 2 つの前記導電性ポストの表面が、単一の前記開口部の中で少なくとも部分的に露出される、請求項 2 に記載のマイクロ電子パッケージ。

【請求項 12】

マイクロ電子パッケージであって、

第 1 の面と、該第 1 の面から離れた第 2 の面とを有する基板と、

前記第 1 の面の上方に重なるマイクロ電子素子と、

前記第 1 又は第 2 の面の少なくとも一方に突出し、前記基板から離れた上面と該上面から延びる端面とを有する実質的に剛性の導電性ポストと、

前記導電性ポストと結合した導電性の塊と、

前記導電性ポストが上方に突出する面の反対側の前記基板の面で露出し、前記マイクロ電子素子と電氣的に相互接続する導電性素子と、

前記マイクロ電子素子の少なくとも一部、及び前記導電性ポストが上方に突出する前記基板の面の上方に重なるカプセル材料であって、該カプセル材料は、それぞれが前記導電性ポストに結合した少なくとも 1 つの前記導電性の塊を部分的に露出する複数の開口部を有し、少なくとも幾つかの前記導電性の塊が電氣的に互いに絶縁され、かつ異なる電位を同時に伝達するように構成される、カプセル材料と、

を備え、

前記導電性の塊は、前記第 1 の面又は第 2 の面のうちの少なくとも一方の上方に第 1 の高さまで突出し、前記カプセル材料は、前記導電性の塊に接触し、かつ前記導電性の塊が上方に突出する前記基板の同じ面の上方の第 2 の高さに主面を有し、前記第 2 の高さは前

記第 1 の高さよりも高く、前記カプセル材料内の開口部は前記主面内の開口部であり、  
少なくとも 2 つの前記導電性の塊の表面は、単一の前記開口部の中で少なくとも部分的に露出される、マイクロ電子パッケージ。

【請求項 1 3】

マイクロ電子パッケージであって、  
第 1 の面と、該第 1 の面から離れた第 2 の面とを有する基板と、  
前記第 1 の面の上に重なるマイクロ電子素子と、  
前記第 1 又は第 2 の面の少なくとも一方で突出し、前記基板から離れた上面と該上面から延びる端面とを有する、実質的に剛性の導電性ポストと、  
前記導電性ポストが上方に突出する面の反対側の前記基板の面で露出し、前記マイクロ電子素子と電氣的に相互接続する導電性素子と、  
前記マイクロ電子素子の少なくとも一部、及び前記導電性ポストが上方に突出する前記基板の面の上に重なるカプセル材料であって、該カプセル材料は、それぞれが前記導電性ポストのうちの少なくとも 1 つの導電性ポストの前記上面を部分的に露出する複数の開口部を有し、少なくとも幾つかの前記導電性ポストが電氣的に互いに絶縁され、かつ異なる電位を同時に伝達するように構成される、カプセル材料と、  
を備え、

前記導電性ポストは、前記第 1 の面又は第 2 の面のうちの少なくとも一方の上方に第 1 の高さまで突出し、前記カプセル材料は、前記導電性ポストに接触し、かつ前記導電性ポストが上方に突出する前記基板の同じ面の上方の第 2 の高さに主面を有し、前記第 2 の高さは前記第 1 の高さよりも高く、前記カプセル材料内の開口部は前記主面内の開口部であり、

少なくとも 1 つの導電性ポストは、前記マイクロ電子素子から離れた先端領域と、該先端領域の下方に前記基板に近接して配置される第 2 の領域とを含み、前記第 2 の領域及び前記先端領域は、それぞれ凹形円周面を有し、前記少なくとも 1 つの導電性ポストは、本質的に金属から成り、かつ前記先端領域内の垂直位置の第 1 の関数でありまた前記第 2 の領域内の垂直位置の第 2 の関数である横方向の寸法を有する、マイクロ電子パッケージ。

【請求項 1 4】

マイクロ電子パッケージであって、  
第 1 の面と、該第 1 の面から離れた第 2 の面とを有する基板と、  
前記第 1 の面の上に重なるマイクロ電子素子と、  
前記第 1 又は第 2 の面の少なくとも一方で突出し、前記基板から離れた上面と該上面から延びる端面とを有する実質的に剛性の導電性ポストと、  
前記導電性ポストと結合した導電性の塊と、  
前記導電性ポストが上方に突出する面の反対側の前記基板の面で露出し、前記マイクロ電子素子と電氣的に相互接続する導電性素子と、  
前記マイクロ電子素子の少なくとも一部、及び前記導電性ポストが上方に突出する前記基板の面の上に重なるカプセル材料であって、該カプセル材料は、それぞれが前記導電性ポストに結合した少なくとも 1 つの前記導電性の塊を部分的に露出する複数の開口部を有し、少なくとも幾つかの前記導電性の塊が電氣的に互いに絶縁され、かつ異なる電位を同時に伝達するように構成される、カプセル材料と、  
を備え、

前記導電性の塊は、前記第 1 の面又は第 2 の面のうちの少なくとも一方の上方に第 1 の高さまで突出し、前記カプセル材料は、前記導電性の塊に接触し、かつ前記導電性の塊が上方に突出する前記基板の同じ面の上方の第 2 の高さに主面を有し、前記第 2 の高さは前記第 1 の高さよりも高く、前記カプセル材料内の開口部は前記主面内の開口部であり、

少なくとも 1 つの導電性ポストは、前記マイクロ電子素子から離れた先端領域と、該先端領域の下方に前記基板に近接して配置される第 2 の領域とを含み、前記第 2 の領域及び前記先端領域は、それぞれ凹形円周面を有し、前記少なくとも 1 つの導電性ポストは、本質的に金属から成り、かつ前記先端領域内の垂直位置の第 1 の関数でありまた前記第 2 の

領域内の垂直位置の第 2 の関数である横方向の寸法を有する、マイクロ電子パッケージ。

【請求項 15】

マイクロ電子パッケージであって、

第 1 の面と、該第 1 の面から離れた第 2 の面とを有する基板と、

前記第 1 の面の上に重なるマイクロ電子素子と、

前記第 1 又は第 2 の面の少なくとも一方で突出し、前記基板から離れた上面と該上面から延びる端面とを有する、実質的に剛性の導電性ポストと、

前記導電性ポストが上方に突出する面の反対側の前記基板の面で露出し、前記マイクロ電子素子と電氣的に相互接続する導電性素子と、

前記マイクロ電子素子の少なくとも一部、及び前記導電性ポストが上方に突出する前記基板の面の上に重なるカプセル材料であって、該カプセル材料は、それぞれが前記導電性ポストのうちの少なくとも 1 つの導電性ポストの前記上面を部分的に露出する複数の開口部を有し、少なくとも幾つかの前記導電性ポストが電氣的に互いに絶縁され、かつ異なる電位を同時に伝達するように構成される、カプセル材料と、

を備え、

前記導電性ポストは、前記第 1 の面又は第 2 の面のうちの少なくとも一方の上方に第 1 の高さまで突出し、前記カプセル材料は、前記導電性ポストに接触し、かつ前記導電性ポストが上方に突出する前記基板の同じ面の上方の第 2 の高さに主面を有し、前記第 2 の高さは前記第 1 の高さよりも高く、前記カプセル材料内の開口部は前記主面内の開口部であり、

少なくとも 2 つの前記導電性ポストの表面は、単一の前記開口部の中で少なくとも部分的に露出される、マイクロ電子パッケージ。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正の内容】

【0074】

本願の発明を特定の実施形態を参照して説明してきたが、これらの実施形態は本発明の原理及び用途を単に例証するものであることは理解されよう。このため、これらの例証となる実施形態に対して多数の変形例を作ることができ、また添付の特許請求の範囲によって規定される本発明の精神及び範囲から逸脱することなく、別の装置を発明することができることは理解されよう。

なお、出願当初の特許請求の範囲は以下の通りである。

(請求項 1)

マイクロ電子パッケージであって、

第 1 の面と、該第 1 の面から離れた第 2 の面とを有する基板と、

前記第 1 の面の上に重なるマイクロ電子素子と、

前記第 1 又は第 2 の面の少なくとも一方で突出し、前記基板から離れた上面と該上面から延びる端面とを有する、実質的に剛性の導電性ポストと、

前記導電性ポストが上方に突出する面の反対側の前記基板の面で露出し、前記マイクロ電子素子と電氣的に相互接続する導電性素子と、

前記マイクロ電子素子の少なくとも一部、及び前記導電性ポストが上方に突出する前記基板の面の上に重なるカプセル材料であって、該カプセル材料は、それぞれが前記導電性ポストのうちの少なくとも 1 つのポストの上面を露出しかつ前記端面を部分的に露出する複数の開口部有し、少なくとも幾つかの前記導電性ポストが電氣的に互いに絶縁され、かつ異なる電位を同時に伝達するように構成される、カプセル材料と、

を備えるマイクロ電子パッケージ。

(請求項 2)

マイクロ電子パッケージであって、

第 1 の面と、該第 1 の面から離れた第 2 の面とを有する基板と、

前記第 1 の面の上に重なるマイクロ電子素子と、

前記第 1 又は第 2 の面の少なくとも一方で突出し、前記基板から離れた上面と該上面から延びる端面とを有する、実質的に剛性の導電性ポストと、

前記導電性ポストが上方に突出する面の反対側の前記基板の面で露出し、前記マイクロ電子素子と電氣的に相互接続する導電性素子と、

前記マイクロ電子素子の少なくとも一部、及び前記導電性ポストが上方に突出する前記基板の面の上に重なるカプセル材料であって、該カプセル材料は、それぞれが前記導電性ポストのうちの少なくとも 1 つのポストの前記上面を部分的に露出する複数の開口部を有し、少なくとも幾つかの前記導電性ポストが電氣的に互いに絶縁され、かつ異なる電位を同時に伝達するように構成される、カプセル材料と、

を備えるマイクロ電子パッケージ。

(請求項 3)

マイクロ電子パッケージであって、

第 1 の面と、該第 1 の面から離れた第 2 の面とを有する基板と、

前記第 1 の面の上に重なるマイクロ電子素子と、

前記第 1 又は第 2 の面の少なくとも一方で突出し、前記基板から離れた上面と該上面から延びる端面とを有する実質的に剛性の導電性ポストと、

前記導電性ポストと結合した導電性の塊と、

前記導電性ポストが上方に突出する面の反対側の前記基板の面で露出し、前記マイクロ電子素子と電氣的に相互接続する導電性素子と、

前記マイクロ電子素子の少なくとも一部、及び前記導電性ポストが上方に突出する前記基板の面の上に重なるカプセル材料であって、該カプセル材料は、それぞれが前記導電性ポストに結合した少なくとも 1 つの前記導電性の塊を部分的に露出する複数の開口部を有し、少なくとも幾つかの前記導電性の塊が電氣的に互いに絶縁され、かつ異なる電位を同時に伝達するように構成される、カプセル材料と、

を含むマイクロ電子パッケージ。

(請求項 4)

前記導電性ポストが前記第 1 の面又は第 2 の面のうちの少なくとも一方の上方に第 1 の高さまで突出し、前記カプセル材料が、前記導電性ポストに接触し、かつ前記導電性ポストが上方に突出する前記基板の同じ面の上方の第 2 の高さに主面を有し、前記第 2 の高さは前記第 1 の高さよりも高く、前記カプセル材料内の開口部は前記主面の開口部である、請求項 1 に記載のマイクロ電子パッケージ。

(請求項 5)

前記導電性ポストが前記第 1 の面又は第 2 の面のうちの少なくとも一方の上方に第 1 の高さまで突出し、前記カプセル材料が、前記導電性ポストに接触し、かつ前記導電性ポストが上方に突出する前記基板の同じ面の上方の第 2 の高さに主面を有し、前記第 2 の高さは前記第 1 の高さよりも高く、前記カプセル材料内の開口部は前記主面内の開口部である、請求項 2 に記載のマイクロ電子パッケージ。

(請求項 6)

前記導電性の塊が前記第 1 の面又は第 2 の面のうちの少なくとも一方の上方に第 1 の高さまで突出し、前記カプセル材料が、前記導電性の塊に接触し、かつ前記導電性の塊が上方に突出する前記基板の同じ面の上方の第 2 の高さに主面を有し、前記第 2 の高さは前記第 1 の高さよりも高く、前記カプセル材料内の開口部は前記主面内の開口部である、請求項 3 に記載のマイクロ電子パッケージ。

(請求項 7)

前記導電性ポストが前記第 1 の面の上方に突出し、前記導電性素子が前記第 2 の面において露出される、請求項 4、5、又は 6 に記載のマイクロ電子パッケージ。

(請求項 8)

前記第 1 の面が第 1 の領域と該第 1 の領域から延びる第 2 の領域とを有し、前記マイクロ電子素子が前記第 1 の領域の上に重なり、前記ポストが前記第 2 の領域と整列される、請求項 7 に記載のマイクロ電子パッケージ。

(請求項 9)

前記導電性ポストが前記第 2 の面の上方に突出し、かつ前記導電性素子が前記第 1 の面において露出する、請求項 4、5、又は 6 に記載のマイクロ電子パッケージ。

(請求項 10)

前記カプセル材料の主面が実質的に平坦な面であり、前記カプセル材料が、前記第 1 の面の上方の第 3 の高さで前記マイクロ電子素子の上に重なる第 2 の面をさらに有し、前記第 3 の高さは前記第 2 の高さとは異なる、請求項 8 に記載のマイクロ電子パッケージ。

(請求項 11)

前記第 3 の高さが前記第 2 の高さよりも高い、請求項 10 に記載のマイクロ電子パッケージ。

(請求項 12)

前記カプセル材料の主面が、前記第 1 の面から少なくとも実質的に均一な第 2 の高さで該第 1 の面の前記第 1 の領域及び前記第 2 の領域の上に重なる、かつ前記マイクロ電子素子の上に重なる実質的に平坦な面である、請求項 8 に記載のマイクロ電子パッケージ。

(請求項 13)

少なくとも 1 つの前記導電性ポストが、前記マイクロ電子素子から離れた先端領域と、該先端領域の下方に前記基板に近接して配置される第 2 の領域とを含み、前記第 2 の領域及び前記先端領域は、それぞれ凹形円周面を有し、前記少なくとも 1 つのポストは、本質的に金属から成り、かつ前記先端領域内の垂直位置の第 1 の関数でありまた前記第 2 の領域内の垂直位置の第 2 の関数である横方向の寸法を有する、請求項 4、5、又は 6 に記載のマイクロ電子パッケージ。

(請求項 14)

前記導電性素子が、少なくとも 1 つの導電性ポスト又は導電結合材料の塊を含み、前記カプセル材料の一部が前記第 2 の面の上方に重なり、さらに、複数の第 2 の開口部を有し、該複数の第 2 の開口部のそれぞれは、少なくとも 1 つの前記導電性素子を部分的に露出し、少なくとも幾つかの前記導電性素子は、互いに電氣的に絶縁され、かつ異なる電位を同時に伝達するように構成される、請求項 7 に記載のマイクロ電子パッケージ。

(請求項 15)

少なくとも 2 つの前記導電性ポストの表面が、単一の前記開口部の中で少なくとも部分的に露出される、請求項 4 又は 5 に記載のマイクロ電子パッケージ。

(請求項 16)

少なくとも 2 つの前記導電性の塊の表面が、単一の前記開口部の中で少なくとも部分的に露出される、請求項 6 に記載のマイクロ電子パッケージ。

(請求項 17)

マイクロ電子パッケージを製造する方法であって、

基板、該基板に搭載されるマイクロ電子素子、及び前記基板から離れた上面を有する実質的に剛性の導電性ポストを含むマイクロ電子アセンブリを提供するステップであって、第 1 及び第 2 の前記導電性ポストは、該第 1 の導電性ポスト上の第 1 の信号電位を伝達するために、また該第 2 の導電性ポスト上の、前記第 1 の信号電位とは異なる第 2 の電位を同時に伝達するために、前記基板の導電性機構によって前記マイクロ電子素子に電氣的に接続される、ステップと、

カプセル材料層を、前記マイクロ電子素子の少なくとも一部の上に重なるように、かつ前記導電性ポストの上面を覆うように形成するステップと、

開口部を前記カプセル材料層の中に形成するステップであって、各開口部は、少なくとも 1 つの前記導電性ポストと位置合わせされ、かつ少なくとも 1 つの前記導電性ポストとの電氣的接続がなされるのを可能にする、ステップと、を含む方法。

(請求項 18)

前記カプセル材料層が前記導電性ポストに接触し、各開口部が少なくとも1つの前記導電性ポストを少なくとも部分的に露出する、請求項17に記載の方法。

(請求項 19)

少なくとも1つの個別の開口部が、2つ以上の前記導電性ポストを少なくとも部分的に露出する、請求項18に記載の方法。

(請求項 20)

前記マイクロ電子アセンブリが、前記導電性ポストのうちの対応するポストと結合する導電性の塊をさらに含み、前記カプセル材料層内に形成される各開口部は、少なくとも1つの前記導電性の塊を少なくとも部分的に露出する、請求項17に記載の方法。

(請求項 21)

少なくとも1つの個別の開口部が、2つ以上の前記導電性の塊を少なくとも部分的に露出する、請求項20に記載の方法。

(請求項 22)

前記カプセル材料層が実質的に平坦な面を有するように形成され、前記開口部が該実質的に平坦な面の中に形成される、請求項17に記載の方法。

(請求項 23)

前記導電性ポストが、前記上面から延びる端面を有し、前記少なくとも1つの導電性ポストの端面が、前記少なくとも1つの開口部の中で少なくとも部分的に露出される、請求項17に記載の方法。

(請求項 24)

少なくとも第1及び第2のマイクロ電子パッケージが作製され、前記第2のマイクロ電子パッケージを前記第1のマイクロ電子パッケージの上に積み重ねるステップをさらに含み、前記第1及び第2のマイクロ電子パッケージは、該第1及び第2のマイクロ電子パッケージのうちの少なくとも一方のパッケージの導電性ポストを用いて電氣的に相互接続される、請求項17に記載の方法。

(請求項 25)

前記カプセル材料層を形成するステップが、前記基板の面の上方に前記カプセル材料層の第1及び第2の実質的に平坦な面を形成するステップを含み、該第1の面は、前記マイクロ電子素子と位置合わせされた前記基板の少なくとも一部の上に重なり、該第2の面は、前記マイクロ電子素子の端部を超えた前記基板の別の部分の上に重なり、前記第1及び第2の面は、前記基板の面から異なる高さを有する、請求項17に記載の方法。

(請求項 26)

マイクロ電子パッケージを製造する方法であって、

基板、該基板に重なるマイクロ電子素子、及び前記基板から離れた上面を有する実質的に剛性の導電性ポストを含むマイクロ電子アセンブリを提供するステップであって、第1及び第2の前記導電性ポストは、該第1の導電性ポスト上の第1の信号電位を伝達するために、また該第2の導電性ポスト上の、前記第1の信号電位とは異なる第2の電位を同時に伝達するために、前記基板を介して前記マイクロ電子素子に電氣的に接続される、ステップと、

カプセル材料層を、前記マイクロ電子素子の少なくとも一部に重なるように、かつ前記導電性ポストの上面を覆うように形成するステップと、

少なくとも1つの前記導電性ポストと位置合わせされる凹部を前記カプセル材料層の中に形成するステップであって、該凹部は、少なくとも1つの前記導電性ポストと電氣的接続がなされるのを可能にする、ステップと、  
を含む方法。