



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0078455
(43) 공개일자 2023년06월02일

(51) 국제특허분류(Int. Cl.)
H02M 3/07 (2006.01) H02M 1/00 (2007.01)
(52) CPC특허분류
H02M 3/07 (2013.01)
H02M 1/0064 (2021.05)
(21) 출원번호 10-2022-0020801
(22) 출원일자 2022년02월17일
심사청구일자 없음
(30) 우선권주장
1020210165646 2021년11월26일 대한민국(KR)

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
유성민
경기도 수원시 영통구 삼성로 129(매탄동, 삼성전자)
김민수
서울특별시 성북구 안암로 145 고려대학교 신공학관 427호
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

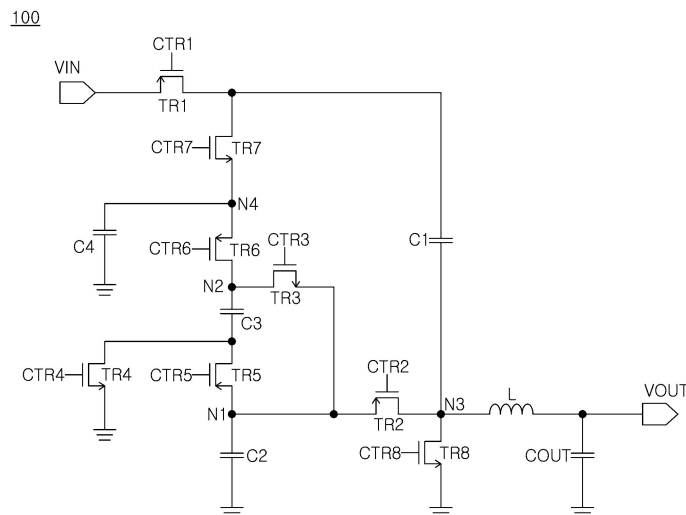
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 DC-DC 컨버터 및 이를 포함하는 전원 장치

(57) 요약

본 발명의 일 실시예에 따른 DC-DC 컨버터는, 제1 커패시터와 입력 노드 사이에 연결되는 제1 트랜지스터, 상기 제1 커패시터와 제2 커패시터 사이에 연결되는 제2 트랜지스터, 상기 제2 커패시터와 상기 제2 트랜지스터 사이의 제1 노드와 제3 커패시터 사이에 연결되는 제3 트랜지스터, 및 상기 제3 커패시터와 접지 노드 사이에 연결되는 제4 트랜지스터를 포함하는 제1 스위칭 회로, 상기 제2 커패시터와 상기 제3 커패시터 사이에 연결되는 제5 트랜지스터, 상기 제1 커패시터와 상기 제3 커패시터 사이에 연결되는 제6 트랜지스터와 제7 트랜지스터, 및 상기 제1 커패시터와 상기 접지 노드 사이에 연결되는 제8 트랜지스터를 포함하는 제2 스위칭 회로, 상기 제6 트랜지스터와 상기 제7 트랜지스터 사이의 노드에 연결되는 제4 커패시터, 및 상기 제1 커패시터와 상기 제2 트랜지스터 및 상기 제8 트랜지스터가 서로 연결되는 제3 노드에 연결되는 LC 필터를 포함한다.

대표도



(72) 발명자

이형민

서울특별시 성북구 안암로 145 고려대학교 신공학
관 516호

공태황

경기도 수원시

양준혁

경기도 수원시 영통구 삼성로 129(매탄동, 삼성전
자)

정우중

서울특별시 성북구 안암로 145 고려대학교 신공학
관 427호

명세서

청구범위

청구항 1

제1 커패시터와 입력 노드 사이에 연결되는 제1 트랜지스터, 상기 제1 커패시터와 제2 커패시터 사이에 연결되는 제2 트랜지스터, 상기 제2 커패시터와 상기 제2 트랜지스터 사이의 제1 노드와 제3 커패시터 사이에 연결되는 제3 트랜지스터, 및 상기 제3 커패시터와 접지 노드 사이에 연결되는 제4 트랜지스터를 포함하는 제1 스위칭 회로;

상기 제2 커패시터와 상기 제3 커패시터 사이에 연결되는 제5 트랜지스터, 상기 제1 커패시터와 상기 제3 커패시터 사이에 연결되는 제6 트랜지스터와 제7 트랜지스터, 및 상기 제1 커패시터와 상기 접지 노드 사이에 연결되는 제8 트랜지스터를 포함하는 제2 스위칭 회로;

상기 제6 트랜지스터와 상기 제7 트랜지스터 사이의 노드에 연결되는 제4 커패시터; 및

상기 제1 커패시터와 상기 제2 트랜지스터 및 상기 제8 트랜지스터가 서로 연결되는 제3 노드에 연결되는 LC 필터;를 포함하는 DC-DC 컨버터.

청구항 2

제1항에 있어서,

상기 제1, 제2, 제5, 및 제6 트랜지스터들 각각은 PMOS 트랜지스터이고, 상기 제3, 제4, 제7, 및 제8 트랜지스터들 각각은 NMOS 트랜지스터인, DC-DC 컨버터.

청구항 3

제1항에 있어서,

상기 제1 내지 제8 트랜지스터들 및 상기 제4 커패시터는 하나의 집적회로 칩 내에 포함되며,

상기 제1 내지 제3 커패시터들, 및 상기 LC 필터는 상기 집적회로 칩 외부의 소자들인, DC-DC 컨버터.

청구항 4

제1항에 있어서,

상기 LC 필터는, 상기 제3 노드에 연결되는 인덕터, 및 상기 인덕터에 연결되는 출력 커패시터를 포함하는, DC-DC 컨버터.

청구항 5

제1항에 있어서,

상기 제1 커패시터 양단의 전압은, 상기 제2 커패시터 및 상기 제3 커패시터 각각의 양단의 전압보다 큰, DC-DC 컨버터.

청구항 6

제1 시간 동안, 입력 노드와 출력 노드 사이에서 제1 커패시터를 충전하는 제1 전류 경로를 제공하는 제1 트랜

지스터;

상기 제1 시간 동안, 접지 노드와 상기 출력 노드 사이에서 제2 커패시터를 방전하는 제2 전류 경로를 제공하는 제2 트랜지스터;

상기 제1 시간 동안, 상기 접지 노드와 상기 출력 노드 사이에서 제3 커패시터를 방전하는 제3 전류 경로를 제공하는 제3 트랜지스터와 제4 트랜지스터;

상기 제1 시간과 다른 제2 시간 동안, 상기 제1 내지 제3 커패시터들을 서로 연결하는 제5 내지 제8 트랜지스터들; 및

상기 출력 노드에 연결되는 인덕터, 및 상기 인덕터에 연결되는 출력 커패시터를 갖는 LC 필터; 를 포함하며, 상기 제2 트랜지스터는, 상기 제2 전류 경로와 상기 제3 전류 경로를 제공하는, DC-DC 컨버터.

청구항 7

제6항에 있어서,

상기 제1 시간과 상기 제2 시간 합은, 상기 제1 내지 제8 트랜지스터들을 제어하는 제어 신호들 각각의 한 주기에 대응하며,

상기 출력 노드의 전압은, 상기 제1 시간과 상기 제2 시간의 비율에 따라 결정되는, DC-DC 컨버터.

청구항 8

제7항에 있어서,

상기 제어 신호들 각각에서 상기 한 주기는, 상기 제1 시간 및 상기 제2 시간 중 적어도 하나와 중첩되는 제1 경과 시간과 제2 경과 시간을 포함하며,

상기 제1 경과 시간 동안, 상기 제1 내지 제8 트랜지스터들 중에서 상기 제4 트랜지스터가 턴-온되고 상기 제1 내지 제3 및 제5 내지 제8 트랜지스터들은 턴-오프되며,

상기 제2 경과 시간 동안, 상기 제1 내지 제8 트랜지스터들 중에서 상기 제8 트랜지스터가 턴-온되고 상기 제1 내지 제7 트랜지스터들은 턴-오프되는, DC-DC 컨버터.

청구항 9

제7항에 있어서,

상기 제어 신호들 각각에서 제1 주기의 상기 제2 시간, 및 상기 제1 주기 직후의 제2 주기의 상기 제1 시간 사이에 제3 경과 시간과 제4 경과 시간이 포함되고,

상기 제3 경과 시간 동안, 상기 제1 내지 제8 트랜지스터들 중에서 상기 제8 트랜지스터가 턴-온되고 상기 제1 내지 제7 트랜지스터들은 턴-오프되며,

상기 제4 경과 시간 동안, 상기 제1 내지 제8 트랜지스터들 중에서 상기 제4 트랜지스터가 턴-온되고 상기 제1 내지 제3 및 제5 내지 제8 트랜지스터들은 턴-오프되는, DC-DC 컨버터.

청구항 10

복수의 트랜지스터들과 복수의 커패시터들을 갖는 스위치드 커패시터 회로, 및 인덕터와 출력 커패시터를 갖는 LC 필터를 포함하며, 입력 전압의 레벨을 강압하여 출력 전압을 생성하는 DC-DC 컨버터;

상기 출력 전압을 소정의 기준 전압과 비교하여 PWM(Pulse Width Modulation) 신호를 출력하는 컨트롤 로직; 및

상기 PWM 신호에 기초하여 상기 복수의 트랜지스터들을 제어하는 제어 신호들을 출력하는 드라이버; 를 포함하며,

상기 컨트롤 로직과 상기 드라이버는, 상기 입력 전압보다 작고 상기 출력 전압보다 큰 전원 전압을 상기 DC-DC 컨버터로부터 공급받아 동작하는, 전원 장치.

발명의 설명

기술 분야

[0001] 본 발명은 DC-DC 컨버터 및 이를 포함하는 전원 장치에 관한 것이다.

배경 기술

[0003] 전자 기기는 배터리 또는 외부 전원 등에서 공급되는 전원 전압에 의해 동작한다. 일반적으로 배터리 등에서 출력하는 DC 전압은, DC-DC 컨버터에 의해 전자 기기 내부의 다른 장치들의 동작에 적합한 DC 전압으로 변환될 수 있다. DC-DC 컨버터는 다양한 회로들로 구현될 수 있으며, 입력 전압과 출력 전압의 비율에 관계없이 높은 전력 변환 효율을 갖고, 출력 전압의 리플 성분을 줄임과 동시에 간단한 구조를 갖는 DC-DC 컨버터에 대한 연구가 활발히 진행되는 추세이다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 기술적 사상이 이루고자 하는 과제 중 하나는, 출력 전압의 리플을 줄이고, 스위치 소자로 제공되는 트랜지스터들의 전도 손실을 줄여 전력 변환 효율을 개선할 수 있으며, 추가적인 피드백 회로 없이 간단한 구조로 구현할 수 있는 DC-DC 컨버터 및 이를 포함하는 전원 장치를 제공하고자 하는 데에 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 DC-DC 컨버터는, 제1 커패시터와 입력 노드 사이에 연결되는 제1 트랜지스터, 상기 제1 커패시터와 제2 커패시터 사이에 연결되는 제2 트랜지스터, 상기 제2 커패시터와 상기 제2 트랜지스터 사이의 제1 노드와 제3 커패시터 사이에 연결되는 제3 트랜지스터, 및 상기 제3 커패시터와 접지 노드 사이에 연결되는 제4 트랜지스터를 포함하는 제1 스위칭 회로, 상기 제2 커패시터와 상기 제3 커패시터 사이에 연결되는 제5 트랜지스터, 상기 제1 커패시터와 상기 제3 커패시터 사이에 연결되는 제6 트랜지스터와 제7 트랜지스터, 및 상기 제1 커패시터와 상기 접지 노드 사이에 연결되는 제8 트랜지스터를 포함하는 제2 스위칭 회로, 상기 제6 트랜지스터와 상기 제7 트랜지스터 사이의 노드에 연결되는 제4 커패시터, 및 상기 제1 커패시터와 상기 제2 트랜지스터 및 상기 제8 트랜지스터가 서로 연결되는 제3 노드에 연결되는 LC 필터를 포함한다.

[0009] 본 발명의 일 실시예에 따른 DC-DC 컨버터는, 제1 시간 동안, 입력 노드와 출력 노드 사이에서 제1 커패시터를 충전하는 제1 전류 경로를 제공하는 제1 트랜지스터, 상기 제1 시간 동안, 접지 노드와 상기 출력 노드 사이에서 제2 커패시터를 방전하는 제2 전류 경로를 제공하는 제2 트랜지스터, 상기 제1 시간 동안, 상기 접지 노드와 상기 출력 노드 사이에서 제3 커패시터를 방전하는 제3 전류 경로를 제공하는 제3 트랜지스터와 제4 트랜지스터, 상기 제1 시간과 다른 제2 시간 동안, 상기 제1 내지 제3 커패시터들을 서로 연결하는 제5 내지 제8 트랜지스터들, 및 상기 출력 노드에 연결되는 인덕터, 및 상기 인덕터에 연결되는 출력 커패시터를 갖는 LC 필터를 포함하며, 상기 제2 트랜지스터는, 상기 제2 전류 경로와 상기 제3 전류 경로를 제공한다.

[0011] 본 발명의 일 실시예에 따른 전원 장치는, 복수의 트랜지스터들과 복수의 커패시터들을 갖는 스위칭 회로, 및 인덕터와 출력 커패시터를 갖는 LC 필터를 포함하며, 입력 전압의 레벨을 강압하여 출력 전압을 생성하는 DC-DC 컨버터, 상기 출력 전압을 소정의 기준 전압과 비교하여 PWM(Pulse Width Modulation) 신호를 출력하는 컨트롤 로직, 및 상기 PWM 신호에 기초하여 상기 복수의 트랜지스터들을 제어하는 제어 신호들을 출력하는 드라이버를 포함하며, 상기 컨트롤 로직과 상기 드라이버는, 상기 입력 전압보다 작고 상기 출력 전압보다 큰 전원 전압을 상기 DC-DC 컨버터로부터 공급받아 동작한다.

발명의 효과

[0013] 본 발명의 일 실시예에 따르면, 스위치들로 동작하는 복수의 트랜지스터들과 복수의 커패시터들, 및 LC 필터를 DC-DC 컨버터가 포함할 수 있다. DC-DC 컨버터는 LC 필터에 포함되는 인덕터에 복수의 전류 경로들로 분산시켜 전류를 공급할 수 있으며, 따라서 입력 전압과 출력 전압의 비율에 따른 DC-DC 컨버터의 동작 효율 변화를 줄일 수 있다. 또한, 복수의 전류 경로들 각각에 포함되는 트랜지스터들의 개수를 줄여 전도 손실(conduction loss)을 줄이고, 트랜지스터들 각각에 인가되는 전압을 감소시켜 저전압 트랜지스터들로 DC-DC 컨버터를 구현할 수 있다. 추가로, 별도의 피드백 회로 없이, 커패시터들의 전압 변화를 최소화할 수 있다.

[0014] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시 형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 일 실시예에 따른 DC-DC 컨버터를 간단하게 나타낸 블록도이다.
 도 2는 본 발명의 일 실시예에 따른 DC-DC 컨버터를 간단하게 나타낸 회로도이다.
 도 3 내지 도 6은, 본 발명의 일 실시예에 따른 DC-DC 컨버터의 동작을 설명하기 위해 제공되는 도면들이다.
 도 7a 내지 도 7c는 본 발명의 일 실시예에 따른 DC-DC 컨버터의 동작을 설명하기 위한 그래프들이다.
 도 8 및 도 9는 본 발명의 일 실시예에 따른 DC-DC 컨버터의 동작을 설명하기 위해 제공되는 도면들이다.
 도 10 내지 도 16은, 본 발명의 일 실시예에 따른 DC-DC 컨버터의 동작을 설명하기 위해 제공되는 도면들이다.
 도 17은 본 발명의 일 실시예에 따른 전원 장치를 간단하게 나타낸 블록도이다.
 도 18은 본 발명의 일 실시예에 따른 전원 장치를 간단하게 나타낸 도면이다.
 도 19a 내지 도 19c는 본 발명의 일 실시예에 따른 전원 장치의 동작을 설명하기 위한 그래프들이다.
 도 20 내지 도 22는 본 발명의 일 실시예에 따른 전원 장치의 동작을 설명하기 위한 그래프들이다.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 다음과 같이 설명한다.

[0019] 도 1은 본 발명의 일 실시예에 따른 DC-DC 컨버터를 간단하게 나타낸 블록도이다.

[0020] 도 1을 참조하면, 본 발명의 일 실시예에 따른 DC-DC 컨버터(10)는, 제1 스위칭 회로(11)와 제2 스위칭 회로(12), 커패시터 회로(13) 및 LC 필터(14) 등을 포함할 수 있다. DC-DC 컨버터(10)는 입력 전압(VIN)을 강압하여 출력 전압(VOUT)을 출력할 수 있으며, 입력 전압(VIN)과 DC-DC 컨버터(10)의 전압 변환 비율에 의해 출력 전압(VOUT)의 크기가 결정될 수 있다.

[0021] 제1 스위칭 회로(11)와 제2 스위칭 회로(12) 각각은 복수의 스위치들을 포함하며, 복수의 스위치들 각각은 트랜지스터로 구현될 수 있다. 일례로, 제1 스위칭 회로(11)와 제2 스위칭 회로(12)에 포함되는 복수의 트랜지스터들 중 일부는 NMOS 트랜지스터들이고, 나머지 일부는 PMOS 트랜지스터들일 수 있다.

[0022] 커패시터 회로(13)는 복수의 커패시터들을 포함할 수 있다. 일례로, 복수의 커패시터들은 제1 스위칭 회로(11)

와 제2 스위칭 회로(12)에 포함되는 복수의 트랜지스터들과 연결되어 스위치드 커패시터 회로를 제공할 수 있다. 복수의 커패시터들 중 적어도 하나는 제1 스위칭 회로(11) 및 제2 스위칭 회로(12)와 함께 하나의 집적회로 칩에 포함될 수 있으며, 복수의 커패시터들 중 나머지 일부는 집적회로 칩 외부에 배치되어 집적회로 칩에 연결될 수 있다.

[0023] LC 필터(14)는 인덕터 및 출력 커패시터를 포함하며, 제1 스위칭 회로(11), 제2 스위칭 회로(12) 및 커패시터 회로(13)가 제공하는 스위치드 커패시터 회로의 출력단에 연결될 수 있다. 인덕터의 일단은 스위치드 커패시터 회로의 출력단에 직접 연결되며, 인덕터의 타단은 출력 커패시터를 통해 접지 노드에 연결될 수 있다. 따라서, 집적회로 칩의 핀 개수 추가를 최소화하며 스위치드 커패시터 회로에 LC 필터(14)를 연결할 수 있다.

[0024] 본 발명의 일 실시예에서는, 제1 스위칭 회로(11), 제2 스위칭 회로(12) 및 커패시터 회로(13)가 제공하는 스위치드 커패시터 회로가 복수의 전류 경로를 통해 LC 필터(14)의 인덕터에 전류를 공급할 수 있다. 일례로, DC-DC 컨버터(10)는 소정의 주기에 따라 동작할 수 있으며, DC-DC 컨버터(10)의 한 주기는 제1 시간 및 제2 시간을 포함할 수 있다.

[0025] 제1 시간 동안, 스위치드 커패시터 회로는 인덕터에 전류를 공급하여 인덕터에 에너지를 저장할 수 있다. 반면, 제2 시간 동안에는 인덕터에 저장된 에너지가 방전될 수 있다. 제1 시간 동안 복수의 전류 경로들을 통해 인덕터에 전류를 공급함으로써, 전류 경로들 각각에 포함되는 트랜지스터의 개수를 최소화하여 전도 손실을 줄일 수 있다. 또한, 하나의 트랜지스터가 감당해야 하는 전류의 레벨을 줄일 수 있으므로, 작은 크기의 트랜지스터들로 DC-DC 컨버터(10)를 구현할 수 있다.

[0027] 도 2는 본 발명의 일 실시예에 따른 DC-DC 컨버터를 간단하게 나타낸 회로도이다.

[0028] 도 2를 참조하면, 본 발명의 일 실시예에 따른 DC-DC 컨버터(100)는 복수의 트랜지스터들(TR1-TR8)과 복수의 커패시터들(C1-C4)이 제공하는 스위치드 커패시터 회로 및 LC 필터 등을 포함할 수 있다. LC 필터는 인덕터(L)와 출력 커패시터(COUT)를 포함할 수 있다. 복수의 트랜지스터들(TR1-TR8) 중 일부는 NMOS 트랜지스터들일 수 있으며, 나머지 일부는 PMOS 트랜지스터들일 수 있다.

[0029] 복수의 트랜지스터들(TR1-TR8) 중에서, 제1 내지 제4 트랜지스터들(TR1-TR4)은 제1 스위칭 회로를 제공하며, 제5 내지 제8 트랜지스터들(TR5-TR8)은 제2 스위칭 회로를 제공할 수 있다. DC-DC 컨버터(100)는 소정의 주기에 따라 동작할 수 있으며, DC-DC 컨버터(100)의 한 주기는 제1 시간과 제2 시간을 포함할 수 있다. 일례로, 제1 시간 동안 제1 내지 제4 트랜지스터들(TR1-TR4)은 턴-온되고 제5 내지 제8 트랜지스터들(TR5-TR8)은 턴-오프될 수 있다. 반면 제2 시간 동안에는 제1 내지 제4 트랜지스터들(TR1-TR4)이 턴-오프되고 제5 내지 제8 트랜지스터들(TR5-TR8)은 턴-온될 수 있다. 복수의 트랜지스터들(TR1-TR8)의 온/오프는 제어 신호들(CTR1-CTR8)에 의해 결정될 수 있다.

[0030] 복수의 트랜지스터들(TR1-TR8)은 복수의 커패시터들(C1-C4)과 연결될 수 있다. 일례로, 제1 트랜지스터(TR1)는 입력 전압(VIN)이 입력되는 입력 노드와 제1 커패시터(C1) 사이에 연결될 수 있으며, 제2 트랜지스터(TR2)는 제1 커패시터(C1)와 제2 커패시터(C2) 사이에 연결될 수 있다. 한편, 제3 트랜지스터(TR3)는 제2 커패시터(C2)와 제2 트랜지스터(TR2)가 서로 연결되는 제1 노드(N1)와 제3 커패시터(C3) 사이에 연결될 수 있다. 도 2를 참조하면, 제3 트랜지스터(TR3)는 제1 노드(N1) 및 제3 커패시터(C3)가 연결되는 제2 노드(N2) 사이에 연결될 수 있다. 제4 트랜지스터(TR4)는 제3 커패시터(C3)와 접지 노드 사이에 연결될 수 있다.

[0031] 제5 트랜지스터(TR5)는 제2 커패시터(C2)와 제3 커패시터(C3) 사이에 연결될 수 있다. 제6 트랜지스터(TR6)와 제7 트랜지스터(TR7)는 제1 커패시터(C1)와 제3 커패시터(C3) 사이에 연결되며, 일례로 제6 트랜지스터(TR6)와 제7 트랜지스터(TR7) 사이의 노드에 제4 커패시터(C4)가 연결될 수 있다. 제8 트랜지스터(TR8)는 제1 커패시터(C1)와 접지 노드 사이에 연결될 수 있다. 도 2를 참조하면, 제8 트랜지스터(TR8)는 제1 커패시터(C1)와 제2 트랜지스터(TR2) 및 인덕터(L)가 서로 연결되는 제3 노드(N3)와 접지 노드 사이에 연결될 수 있다.

[0032] 제1 내지 제3 커패시터들(C1-C3)은 복수의 트랜지스터들(TR1-TR8)이 포함되는 집적회로 칩 외부에 배치되는 외부 커패시터들일 수 있다. 반면, 제4 커패시터(C4)는 복수의 트랜지스터들(TR1-TR8)과 함께 집적회로 내부에 구현될 수 있다. 제1 내지 제3 커패시터들(C1-C3) 각각의 용량은 제4 커패시터(C4)의 용량보다 클 수 있다. 일례로, 제4 커패시터(C4)의 용량은 수십 내지 수백 pF일 수 있다. 한편, 출력 커패시터(COUT)의 용량 역시 제4 커패시터(C4)의 용량보다 클 수 있다.

- [0033] DC-DC 컨버터(100)가 동작하는 동안, 제1 노드(N1)의 전압은 입력 전압의 1/3일 수 있으며, 제2 노드(N2)의 전압은 입력 전압의 2/3일 수 있다. 따라서, 제2 커패시터(C2)의 전압과 제3 커패시터(C3)의 전압은 각각 입력 전압의 1/3 레벨로 유지될 수 있으며, 제1 커패시터(C1)의 전압은 입력 전압의 2/3의 레벨로 유지될 수 있다.
- [0034] 앞서 설명한 바와 같이 DC-DC 컨버터(100)의 한 주기는 제1 시간과 제2 시간으로 구분할 수 있으며, 제1 시간 동안 제1 내지 제4 트랜지스터들(TR1-TR4)이 턴-온되고, 제2 시간 동안에는 제5 내지 제8 트랜지스터들(TR5-TR8)이 턴-온될 수 있다. 제1 시간 동안에는 복수의 전류 경로들을 통해 인덕터(L)에 전류가 공급되어 인덕터(L)에 에너지가 충전되며, 제2 시간 동안에는 인덕터(L)의 에너지가 방전될 수 있다. 또한, 도 2에 도시한 일 실시예에 따른 DC-DC 컨버터(100)에서는 별도의 피드백 회로 없이 제1 내지 제3 커패시터들(C1-C3) 각각의 전압이 일정하게 유지될 수 있다. 이하, 도 3 내지 도 6을 참조하여 더욱 상세히 설명하기로 한다.
- [0036] 도 3 내지 도 6은, 본 발명의 일 실시예에 따른 DC-DC 컨버터의 동작을 설명하기 위해 제공되는 도면들이다.
- [0037] 도 3은 DC-DC 컨버터(100)의 한 주기의 제1 시간 동안의 동작을 설명하기 위한 도면이며, 도 4는 제1 시간 동안 DC-DC 컨버터(100)의 등가 회로를 나타낸 도면일 수 있다. 도 5는 DC-DC 컨버터(100)의 한 주기의 제2 시간 동안의 동작을 설명하기 위한 도면이며, 도 6은 제2 시간 동안 DC-DC 컨버터(100)의 등가 회로를 나타낸 도면일 수 있다.
- [0038] 먼저 도 3을 참조하면, 앞서 설명한 바와 같이 제1 시간 동안 DC-DC 컨버터(100)에서 제1 내지 제4 트랜지스터들(TR1-TR4)이 턴-온되고 제5 내지 제8 트랜지스터들(TR5-TR8)은 턴-오프될 수 있다. 따라서, 도 3에 도시한 바와 같이, 복수의 전류 경로들을 통해 제1 내지 제3 전류들(I1-I3)이 인덕터(L)에 공급될 수 있다.
- [0039] 일례로, 제1 전류(I1)는 제1 트랜지스터(TR1)와 제1 커패시터(C1)를 포함하는 제1 전류 경로에 의해 인덕터(L)에 공급될 수 있다. 제2 전류(I2)는 제2 커패시터(C2)와 제2 트랜지스터(TR2)를 포함하는 제2 전류 경로를 통해 흐를 수 있으며, 제3 전류(I3)는 제3 커패시터(C3)와 제2 내지 제4 트랜지스터들(TR2-TR4)을 포함하는 제3 전류 경로를 통해 흐를 수 있다. 제1 시간 동안, 제1 커패시터(C1)는 충전될 수 있으며, 제2 커패시터(C2)와 제3 커패시터(C3)는 방전될 수 있다.
- [0040] 도 3을 참조하여 설명한 바와 같이, 제1 전류 경로와 제2 전류 경로 각각은 트랜지스터를 하나씩 포함하며, 제3 전류 경로는 3개의 트랜지스터들을 포함할 수 있다. 본 발명의 일 실시예에 따른 DC-DC 컨버터(100)에서는 전류 경로들 각각에 포함되는 트랜지스터의 개수를 최적화할 수 있으며, 따라서 트랜지스터에 흐르는 전류의 제공에 비례하는 전도 손실을 낮출 수 있다. 복수의 전류 경로들을 통해 전류를 분산시켜 각 전류 경로에 흐르는 전류를 낮추고, 동시에 각 전류 경로에 포함되는 트랜지스터의 개수를 최적화함으로써, DC-DC 컨버터(100)의 전도 손실을 최소화할 수 있다. 일례로, 도 3에 도시한 바와 같이, 제1 내지 제3 커패시터들(C1-C3)을 이용하여 복수의 트랜지스터들(TR1-TR8) 중 적어도 일부를 우회하는 전류 경로를 통해 전류들(I1-I3)을 인덕터(L)에 공급할 수 있으며, 따라서 각 전류 경로에 포함되는 트랜지스터의 개수를 줄일 수 있다.
- [0041] 또한 인덕터(L)에 에너지를 충전하는 데에 필요한 전류들(I1-I3)이 3개의 전류 경로들을 통해 분산되어 인덕터(L)에 공급되므로, 각 전류 경로에 포함되는 트랜지스터들의 부담을 줄일 수 있으며, 작은 크기의 트랜지스터들로 DC-DC 컨버터(100)를 구현할 수 있다.
- [0042] 제1 시간 동안 DC-DC 컨버터(100)의 등가 회로를 나타낸 도 4를 참조하면, 제2 커패시터(C2)와 제3 커패시터(C3)가 서로 병렬로 연결되고, 제1 커패시터(C1)는 제2 커패시터(C2) 및 제3 커패시터(C3)와 직렬로 연결될 수 있다. 한편, LC 필터는 제1 커패시터(C1)와 제3 커패시터(C3) 사이의 노드에 연결될 수 있다. 따라서, 제1 시간 동안 제1 내지 제3 커패시터들(C1-C3) 각각의 전압은 다음의 수학적 식 1과 같을 수 있다.
- [0043] [수학적 식 1]
- [0044]
$$V_{IN} = V_{C1} + V_{C2} = V_{C1} + V_{C3}$$
- [0046] 다음으로 도 5를 참조하면, 앞서 설명한 바와 같이 제2 시간 동안에는 DC-DC 컨버터(100)에서 제1 내지 제4 트랜지스터들(TR1-TR4)이 턴-오프되고 제5 내지 제8 트랜지스터들(TR5-TR8)이 턴-온될 수 있다. 따라서, 제2 시간에서는 제1 내지 제3 커패시터들(C1-C3)이 서로 연결되고, 제1 커패시터(C1)가 방전되는 반면 제2 및 제3 커패시터들(C2, C3)이 충전될 수 있다.

- [0047] 제2 시간 동안 DC-DC 컨버터(100)의 등가 회로를 나타낸 도 6을 참조하면, 제1 내지 제3 커패시터들(C1-C3)이 서로 직렬로 연결되며, 인덕터(L)는 접지 노드에 연결될 수 있다. 따라서, 제2 시간 동안 제1 내지 제3 커패시터들(C1-C3) 각각의 전압은 다음의 수학적 식 2와 같을 수 있다.
- [0048] [수학적 식 2]
- [0049] $VC1 = VC2 + VC3$
- [0051] 수학적 식 1과 수학적 식 2를 함께 참조하면, 제2 커패시터(C2)와 제3 커패시터(C3) 각각의 전압은 입력 전압의 1/3에 대응하는 레벨을 가질 수 있으며, 제1 커패시터(C1)의 전압은 입력 전압의 2/3에 대응하는 레벨을 가질 수 있다. 따라서, LC 필터를 통해 출력되는 출력 전압(VOUT)은 입력 전압의 1/3과 접지 전압 사이에서 결정될 수 있다. 일례로, DC-DC 컨버터(100)의 한 주기 내에서 제1 시간과 제2 시간 각각의 길이에 따라 출력 전압(VOUT)의 레벨이 달라질 수 있다.
- [0052] 일 실시예에서, 제1 시간이 길어지고 제2 시간이 짧아질수록, 출력 전압(VOUT)이 입력 전압의 1/3에 가까운 레벨을 가질 수 있다. 반면, 제1 시간이 짧아지고 제2 시간이 길어질수록, 출력 전압(VOUT)은 접지 전압에 가까운 레벨을 가질 수 있다.
- [0053] 제1 시간과 달리 제2 시간에서는 제1 커패시터(C1)가 방전되고 제2 및 제3 커패시터들(C2, C3)이 충전되므로, 제1 내지 제3 커패시터들(C1-C3) 각각의 전압이 별도의 피드백 회로 없이도 일정하게 유지될 수 있다. 이하, 도 7a 내지 도 7c를 함께 참조하여 설명하기로 한다.
- [0055] 도 7a 내지 도 7c는 본 발명의 일 실시예에 따른 DC-DC 컨버터의 동작을 설명하기 위한 그래프들이다.
- [0056] 도 7a는 DC-DC 컨버터(100)에 입력되는 제어 신호들(CTR1-CTR8) 중 하나를 나타낸 그래프일 수 있다. 도 7b는 제3 노드(N3)의 전압을 대략적으로 나타낸 그래프일 수 있으며, 도 7c는 제1 내지 제3 커패시터들(C1-C3) 각각의 전압을 대략적으로 나타낸 그래프일 수 있다.
- [0057] DC-DC 컨버터(100)에 포함되는 복수의 트랜지스터들(TR1-TR8)의 온/오프는, 컨트롤 회로가 출력하는 제어 신호들(CTR1-CTR8)에 의해 결정될 수 있다. 일례로, 컨트롤 회로는 복수의 트랜지스터들(TR1-TR8)에 제1 내지 제8 제어 신호들(CTR1-CTR8) 각각을 매칭시켜 출력할 수 있다. 도 7a는 복수의 트랜지스터들(TR1-TR8) 중에서 제3 트랜지스터(TR3)에 공급되는 제3 제어 신호(CTR3)를 간단하게 나타낸 그래프일 수 있다. 일례로, 제1 트랜지스터(TR1)에 공급되는 제1 제어 신호(CTR1)는 제3 제어 신호(CTR3)와 같을 수 있다.
- [0058] 도 7a 내지 도 7c를 참조하면, DC-DC 컨버터(100)는 소정의 주기(TD)에 따라 동작할 수 있다. 하나의 주기(TD)는 제1 시간(T1)과 제2 시간(T2)을 포함하며, 제1 시간(T1)은 인덕터(L)에 에너지가 충전되는 시간이고, 제2 시간(T2)은 인덕터(L)에 충전된 에너지가 방전되는 시간일 수 있다.
- [0059] 도 7b는 제3 노드(N3)의 전압을 나타낸 그래프이며, 제3 노드(N3)는 도 3 내지 도 6을 참조하여 설명한 바와 같이 제1 커패시터(C1), 인덕터(L), 제2 트랜지스터(TR2), 및 제8 트랜지스터(TR8)가 서로 연결되는 노드일 수 있다. 제1 시간(T1) 동안 제2 트랜지스터(TR2)가 턴-온되며, 제3 노드(N3)의 전압은 제2 커패시터(C2)의 전압과 같을 수 있다.
- [0060] 따라서, 앞서 수학적 식 1을 참조하여 설명한 바와 같이, 제1 시간(T1) 동안 제3 노드(N3)의 전압은 입력 전압(VIN)의 1/3에 대응하는 레벨로 결정될 수 있다. 반면, 제2 시간(T2) 동안에는 제2 트랜지스터(TR2)가 턴-오프되고 제8 트랜지스터(TR8)가 턴-온될 수 있다. 따라서, 제2 시간(T2) 동안 제3 노드(N3)는 접지 노드에 연결되고, 제3 노드(N3)의 전압은 접지 전압으로 결정될 수 있다.
- [0061] 도 7c는 제1 내지 제3 커패시터들(C1-C3) 각각의 전압을 나타낸 그래프일 수 있다. 앞서 수학적 식 1과 수학적 식 2를 참조하여 설명한 바와 같이, 제1 커패시터(C1)의 전압(VC1)은 입력 전압(VIN)의 2/3에 대응하는 레벨을 가질 수 있다. 반면, 제2 커패시터(C2)의 전압(VC2)과 제3 커패시터(C3)의 전압(VC3) 각각은 입력 전압(VIN)의 1/3에 대응하는 레벨을 가질 수 있다.
- [0062] 한편, 제1 시간(T1) 동안 제1 커패시터(C1)가 충전되고 제2 커패시터(C2)와 제3 커패시터(C3)는 방전될 수 있다. 따라서, 도 7c에 도시한 바와 같이 제1 시간(T1) 동안 제1 커패시터(C1)의 전압(VC1)이 미세하게 증가하

며, 제2 커패시터(C2)의 전압(VC2)과 제3 커패시터(C3)의 전압(VC3)은 미세하게 감소할 수 있다.

[0063] 제2 시간(T2) 동안에는 앞서 도 6을 참조하여 설명한 바와 같이 제1 내지 제3 커패시터들(C1-C3)이 서로 직렬로 연결될 수 있다. 제2 시간(T2) 동안 제1 커패시터(C1)가 방전되고 제2 커패시터(C2)와 제3 커패시터(C3)는 충전되며, 따라서 도 7c에 도시한 바와 같이 제1 커패시터(C1)의 전압(VC1)이 미세하게 감소하며, 제2 커패시터(C2)의 전압(VC2)과 제3 커패시터(C3)의 전압(VC3)은 미세하게 증가할 수 있다.

[0064] 도 7c를 참조하여 설명한 바와 같이, 본 발명의 일 실시예에서는 제1 내지 제3 커패시터들(C1-C3) 각각의 전압이, 별도의 피드백 회로 없이도 일정하게 유지될 수 있다. 따라서 DC-DC 컨버터(100)의 구조를 간소화하고 DC-DC 컨버터(100)를 구현하는 데에 필요한 소자들의 개수를 줄일 수 있다.

[0065] 한편, 복수의 트랜지스터들(TR1-TR8)에 입력되는 제어 신호들(CTR1-CTR8) 각각은, 구형파 신호일 수 있다. 다만, 실제 제어 신호들(CTR1-CTR8)은 소정의 슬루율을 가질 수 밖에 없으며, 결과적으로 제어 신호들(CTR1-CTR8) 중 적어도 일부가 완전한 구형파의 파형을 가지지 못할 수 있다. 따라서, 한 주기 내에서 제1 시간(T1)과 제2 시간(T2) 사이에서 제1 내지 제4 트랜지스터들(TR1-TR4) 중 적어도 하나가 완전히 턴-오프되기 전에 제5 내지 제8 트랜지스터들(TR5-TR8) 중 적어도 하나가 턴-온될 수 있다. 또는, 제1 주기의 제2 시간(T2)과, 제1 주기 직후인 제2 주기의 제1 시간(T1) 사이에서 제5 내지 제8 트랜지스터들(TR5-TR8) 중 적어도 하나가 완전히 턴-오프되기 전에 제1 내지 제4 트랜지스터들(TR1-TR4) 중 적어도 하나가 턴-온될 수 있다.

[0066] 제1 시간(T1)과 제2 시간(T2) 사이에서 제1 내지 제4 트랜지스터들(TR1-TR4) 중 적어도 하나와 제5 내지 제8 트랜지스터들(TR5-TR8) 중 적어도 하나가 동시에 턴-온 상태를 갖는 경우, 입력 노드와 접지 노드를 직접 연결하는 전류 경로가 생성될 수 있다. 또는, DC-DC 컨버터(100)가 동작하는 동안 서로 직접 연결되면 안 되는 노드들이 서로 연결됨으로써 제1 내지 제3 커패시터들(C1-C3) 중 적어도 하나에서 의도치 않은 전하 손실이 발생할 수도 있다.

[0068] 도 8 및 도 9는 본 발명의 일 실시예에 따른 DC-DC 컨버터의 동작을 설명하기 위해 제공되는 도면들이다.

[0069] 먼저 도 8은, 본 발명의 일 실시예에 따른 DC-DC 컨버터에 입력되는 제어 신호들 중 일부를 간단하게 나타낸 그래프일 수 있다. 한편 도 9는, 본 발명의 일 실시예에 따른 DC-DC 컨버터(200)를 간단하게 나타낸 회로도일 수 있다. 도 9에 도시한 DC-DC 컨버터(200)는, 앞서 도 2를 참조하여 설명한 바와 유사한 구조를 가질 수 있으며, 따라서 DC-DC 컨버터(200)의 구조에 대한 자세한 설명은 생략하기로 한다.

[0070] 도 8을 참조하면, DC-DC 컨버터(200)의 복수의 트랜지스터들(TR1-TR8)에 입력되는 제어 신호들(CTR1-CTR8) 각각은 소정의 슬루율을 갖는 구형파 신호일 수 있다. 일례로, 제3 제어 신호(CTR3)는 50% 이상의 듀티 비를 갖는 구형파 신호이며, 제8 제어 신호(CTR8)는 50% 이하의 듀티 비를 갖는 구형파 신호일 수 있다. 제3 제어 신호(CTR3)가 입력되는 제3 트랜지스터(TR3)와, 제8 제어 신호(CTR8)가 입력되는 제8 트랜지스터(TR8)는 모두 NMOS 트랜지스터일 수 있다.

[0071] 이상적으로, 제3 트랜지스터(TR3)가 턴-온되는 제1 시간(T1) 동안 제8 트랜지스터(TR8)는 턴-오프될 수 있으며, 제8 트랜지스터(TR8)가 턴-온되는 제2 시간(T2) 동안 제3 트랜지스터(TR3)는 턴-오프될 수 있다. 다만, 도 8에 도시한 바와 같이 제3 제어 신호(CTR3)와 제8 제어 신호(CTR8)가 모두 소정의 슬루율을 가지므로, 제1 시간(T1)과 제2 시간(T2) 사이에서 제3 트랜지스터(TR3)와 제8 트랜지스터(TR8)가 동시에 턴-온될 수도 있다. 일례로, 제1 중간 시점(TI1) 및/또는 제2 중간 시점(TI2)에서 제3 트랜지스터(TR3)와 제8 트랜지스터(TR8)가 동시에 턴-온될 수 있다. 유사한 현상이, 다른 트랜지스터들에서도 나타날 수 있다.

[0072] DC-DC 컨버터(200)에서, 제1 내지 제4 트랜지스터들(TR1-TR4)은 제1 시간(T1) 동안 턴-온되고, 제5 내지 제8 트랜지스터들(TR5-TR8)은 제2 시간(T2) 동안 턴-온될 수 있다. 다만, 제1 시간(T1)에서 제2 시간(T2)으로 진행되는 동안 제1 내지 제4 트랜지스터들(TR1-TR4)이 모두 턴-오프되기 전에 제5 내지 제8 트랜지스터들(TR5-TR8) 중 적어도 하나가 턴-온될 수 있다. 또는, 제2 시간(T2)에서 제1 시간(T1)으로 진행되는 동안, 제5 내지 제8 트랜지스터들(TR5-TR8)이 모두 턴-오프되기 전에 제1 내지 제4 트랜지스터들(TR1-TR4) 중 적어도 하나가 턴-온될 수 있다.

[0073] 이 경우, 입력 노드와 접지 노드가 직접 연결되는 전류 경로가 생성될 수 있다. 일례로, 제1 시간(T1)과 제2 시간(T2) 사이에서 제1 내지 제3 트랜지스터들(TR1-TR3) 및 제6 내지 제8 트랜지스터들(TR6-TR8)이 동시에 턴-온되는 경우, 도 9에 도시한 바와 같이 입력 노드와 접지 노드가 직접 연결되는 전류 경로가 생성될 수 있다.

- [0074] 본 발명에서는 상기와 같은 문제가 발생하지 않도록, 복수의 트랜지스터들(TR1-TR8) 각각의 온/오프 타이밍을 조절할 수 있다. 이하, 도 10 내지 도 16을 참조하여 복수의 트랜지스터들(TR1-TR8)의 온/오프 제어 동작을 설명하기로 한다.
- [0076] 도 10 내지 도 16은, 본 발명의 일 실시예에 따른 DC-DC 컨버터의 동작을 설명하기 위해 제공되는 도면들이다.
- [0077] 도 10 내지 도 16을 참조하여 설명하는 실시예에서, DC-DC 컨버터(300)는 소정의 주기에 따라 동작하며, 한 주기는 제1 시간 및 제2 시간을 포함할 수 있다. 제1 시간은 인덕터(L)에 에너지가 충전되는 시간일 수 있으며, 제2 시간은 인덕터(L)에 충전된 에너지가 방전되는 시간일 수 있다.
- [0078] 도 10은 제1 시간 동안 DC-DC 컨버터(300)에 포함되는 복수의 트랜지스터들(TR1-TR8)의 온/오프 상태를 나타낸 도면일 수 있다. 도 10을 참조하면, 제1 시간 동안 제1 내지 제4 트랜지스터들(TR1-TR4)이 턴-온되고, 제5 내지 제8 트랜지스터들(TR5-TR8)은 턴-오프될 수 있다. 제1 시간 동안 제1 커패시터(C1)는 충전되고 제2 커패시터(C2)와 제3 커패시터(C3)는 방전되며, 3개의 전류 경로들을 통해 흐르는 전류들(I1-I3)로 인덕터(L)에 에너지가 충전될 수 있다.
- [0079] 도 10 내지 도 16에 도시한 실시예에서, 복수의 트랜지스터들(TR1-TR8)의 온/오프 타이밍을 정확하게 제어하기 위해, 제1 시간과 제2 시간 사이에 경과 시간들이 정의될 수 있다. 일례로, 한 주기 내에서 제1 시간이 종료되고 제2 시간이 시작되는 구간에, 제1 경과 시간 및 제2 경과 시간이 정의될 수 있다. 제1 경과 시간과 제2 경과 시간 각각은, 제1 시간과 제2 시간 중 적어도 하나와 중첩되는 시간일 수 있다. 유사하게, 서로 인접한 제1 주기와 제2 주기를 가정하면, 제1 주기의 제2 시간이 종료되고 제2 주기의 제1 주기가 시작되는 구간에, 제3 경과 시간과 제4 경과 시간이 정의될 수 있다. 제3 경과 시간은 제1 주기의 제2 시간에 중첩되며, 제4 경과 시간은 제2 주기의 제1 시간에 중첩될 수 있다.
- [0080] 일례로, 도 11은 제1 경과 시간 동안 DC-DC 컨버터(300)의 동작을 설명하기 위한 도면이며, 도 12는 제2 경과 시간 동안 DC-DC 컨버터(300)의 동작을 설명하기 위한 도면일 수 있다. 한편, 도 14는 제3 경과 시간 동안 DC-DC 컨버터(300)의 동작을 설명하기 위한 도면이며, 도 15는 제4 경과 시간 동안 DC-DC 컨버터(300)의 동작을 설명하기 위한 도면일 수 있다.
- [0081] 먼저 도 11을 참조하면, 제1 경과 시간 동안 먼저 제1 트랜지스터(TR1)와 제2 트랜지스터(TR2), 제3 트랜지스터(TR3)가 턴-오프 상태에 진입할 수 있다. 제1 경과 시간 동안, 제4 트랜지스터(TR4)는 아직 턴-온 상태를 유지할 수 있다. 제1 내지 제3 트랜지스터들(TR1-TR3)이 턴-오프됨에 따라, 인덕터(L)에 전류를 공급하는 전류 경로들이 모두 차단될 수 있다. 다음으로 도 12를 참조하면, 제2 경과 시간 동안 제4 트랜지스터(TR4)가 턴-오프될 수 있다.
- [0082] 도 13은 제1 경과 시간 및 제2 경과 시간이 모두 도과한 후의 제2 시간 동안 DC-DC 컨버터(300)에 포함되는 복수의 트랜지스터들(TR1-TR8)의 온/오프 상태를 나타낸 도면일 수 있다. 도 13을 참조하면, 제2 시간 동안 제1 내지 제4 트랜지스터들(TR1-TR4)이 턴-오프되고, 제5 내지 제8 트랜지스터들(TR5-TR8)은 턴-온될 수 있다. 제2 시간 동안 제1 내지 제3 커패시터들(C1-C3)은 서로 직렬로 연결되며, 제1 시간 동안 인덕터(L)에 충전된 에너지는 제2 시간 동안 방전될 수 있다.
- [0083] 앞서 도 5 및 도 6을 참조하여 설명한 바와 같이, 제2 시간 동안 제2 커패시터(C2)와 제3 커패시터(C3) 각각의 전압은 입력 전압의 1/3에 대응하는 레벨로 유지될 수 있다. 한편 제1 커패시터(C1)의 전압은 입력 전압의 2/3에 대응하는 레벨로 유지될 수 있다. 따라서, 제1 노드(N1)의 전압은 $V_{IN}/3$ 일 수 있으며, 제2 노드(N2)의 전압은 $2*V_{IN}/3$ 일 수 있다. 제6 트랜지스터(TR6)와 제7 트랜지스터(TR7) 및 제4 커패시터(C4)가 서로 연결되는 노드의 전압은 제2 노드(N2)의 전압과 같을 수 있다.
- [0084] 한 주기 내에서 제2 시간까지 도과하면, 다음 한 주기에서 다시 제1 시간이 시작될 수 있다. 앞서 설명한 바와 같이, 연속적인 제1 주기와 제2 주기에서, 제1 주기의 제2 시간이 종료되고 제2 주기의 제1 시간이 시작되는 구간에, 제3 경과 시간 및 제4 경과 시간이 정의될 수 있다. 제3 경과 시간은 제1 주기에 포함되는 시간일 수 있으며, 제4 경과 시간은 제2 주기에 포함되는 시간일 수 있다.
- [0085] 도 14를 참조하면, 제3 경과 시간 동안 먼저 제5 내지 제7 트랜지스터들(TR5-TR7)이 턴-오프될 수 있다. 따라서 제3 커패시터(C3)와 제2 커패시터(C2)가 서로 분리되고, 제1 노드(N1)의 전압이 $V_{IN}/3$ 으로 유지될 수 있다. 제6 트랜지스터(TR6)와 제7 트랜지스터(TR7) 및 제4 커패시터(C4)가 서로 연결되는 노드, 및 제2 노드(N2)의 전압은

2*VIN/3으로 유지될 수 있다.

- [0086] 다음으로 도 15를 참조하면, 제4 경과 시간 동안 제8 트랜지스터(TR8)가 턴-오프되고, 제4 트랜지스터(TR4)는 턴-온될 수 있다. 제4 경과 시간 직후 제1 내지 제3 트랜지스터들(TR1-TR3)이 턴-온되며, 도 16에 도시한 바와 같이 3개의 전류 경로들이 생성되어 인덕터(L)에 에너지가 충전될 수 있다. 일례로, 제3 경과 시간 동안 DC-DC 컨버터(300)의 동작은 제2 경과 시간 동안 DC-DC 컨버터(300)의 동작과 같을 수 있으며, 제4 경과 시간 동안 DC-DC 컨버터(300)의 동작은 제1 경과 시간 동안 DC-DC 컨버터(300)의 동작과 같을 수 있다.
- [0087] 도 10 내지 도 16을 참조하여 설명한 바와 같이, 제1 시간에서 제2 시간으로 진행되는 구간 및 제2 시간에서 제1 시간으로 진행되는 구간 각각에 소정의 경과 시간들을 두어 트랜지스터들(TR1-TR8)의 온/오프 타이밍을 조절함으로써, 입력 노드가 접지 노드와 직접 연결되는 것을 방지할 수 있다. 또한, 제2 커패시터(C2)와 제3 커패시터(C3) 사이의 전하 공유에 따른 손실을 최소화함으로써, 제2 커패시터(C2)와 제3 커패시터(C3) 각각의 전압을 원하는 레벨, 예를 들어 VIN/3으로 유지하고, 제4 커패시터(C4)의 전압을 2*VIN/3으로 유지할 수 있다.
- [0088] 일 실시예에서, DC-DC 컨버터(300)의 한 번의 주기는 1 μ s로 가정하면, 제1 시간과 제2 시간 각각은 출력 전압(VOUT)의 레벨에 따라 달라질 수 있다. 한편, 입력 노드와 출력 노드가 직접 연결되는 것을 방지하고, 플라이잉 커패시터인 제2 커패시터(C2)와 제3 커패시터(C3)의 직접 연결에 따른 전하 공유 손실을 줄이기 위한 제1 내지 제4 경과 시간들 각각은, 각각 수 ns 정도로 설정될 수 있다. 일례로, 제1 내지 제4 경과 시간들의 합은, DC-DC 컨버터(300)의 한 주기의 5% 이하의 시간으로 설정될 수 있다. 또한, 제1 내지 제4 경과 시간들은 서로 같은 시간으로 설정될 수 있다.
- [0089] 복수의 트랜지스터들(TR1-TR8)을 제어하는 제어 신호들(CTR1-CTR8)은, DC-DC 컨버터(300)와 별도로 제공되는 컨트롤 회로에 의해 생성될 수 있다. 컨트롤 회로 역시 능동 소자를 포함하며, 따라서 컨트롤 회로의 동작에는 소정의 전원 전압이 필요할 수 있다. 본 발명의 일 실시예에서는, DC-DC 컨버터(300)의 동작 중에 일정한 레벨로 출력되는 전압을 컨트롤 회로의 전원 전압으로 공급할 수 있다. 일례로, 제6 트랜지스터(TR6)와 제7 트랜지스터(TR7) 및 제4 커패시터(C4)가 서로 연결되는 제4 노드(N4)의 전압이, 컨트롤 회로에 전원 전압으로서 공급될 수 있다. 제4 노드(N4)의 전압은, 앞서 설명한 바와 같이 DC-DC 컨버터(300)의 동작 중에 2*VIN/3의 레벨로 유지될 수 있다. 따라서, 별도의 전원 공급 없이, DC-DC 컨버터(300)에 입력되는 입력 전압(VIN)만으로 컨트롤 회로의 동작에 필요한 전원 전압을 확보할 수 있다.
- [0090] 일례로, 제4 노드(N4)는, 입력 전압(VIN)에 의해 전류를 공급받을 수 있으며, 제1 노드(N1)로 전류를 공급할 수도 있다. 입력 전압(VIN)에 의해 공급되는 전류와 제1 노드(N1)로 빠져나가는 전류는 그 크기가 작고 서로 상쇄될 수 있으며, 따라서 제4 노드(N4)의 전압이 2*VIN/3의 레벨로 유지되는 데에 큰 영향을 주지 않을 수 있다.
- [0091] 한편, 제7 트랜지스터(TR7)가 턴-오프될 때, 제4 노드(N4)의 전압이 제7 트랜지스터(TR7)의 기생 커패시턴스로부터 영향을 받을 수 있다. 또한, 제6 트랜지스터(TR6)가 턴-오프될 때에도, 제4 노드(N4)의 전압이 제6 트랜지스터(TR6)의 기생 커패시턴스로부터 영향을 받을 수 있다. 다만, 제6 트랜지스터(TR6)와 제7 트랜지스터(TR7)가 완전히 턴-오프되기 전까지는, 제4 노드(N4)가 제4 커패시터(C4)보다 큰 용량을 갖는 제2 커패시터(C2) 및 제3 커패시터(C3)와 연결된 상태이므로, 제6 트랜지스터(TR6)와 제7 트랜지스터(TR7)의 기생 커패시턴스 역시 제4 노드(N4)의 전압에 큰 영향을 주지 않을 수 있다.
- [0092] 반면, 제1 트랜지스터(TR1) 및 제3 트랜지스터(TR3)의 기생 커패시턴스는 제4 노드(N4)의 전압에 유의미한 영향을 미칠 수 있다. 제1 트랜지스터(TR1)와 제3 트랜지스터(TR3) 각각의 기생 커패시턴스는, 제1 트랜지스터(TR1)와 제3 트랜지스터(TR3)가 턴-온될 때 제4 노드(N4)의 전압에 영향을 줄 수 있다. 제1 트랜지스터(TR1)와 제3 트랜지스터(TR3)가 턴-온될 때, 제4 노드(N4)와 연결된 다른 트랜지스터들, 예를 들어 제6 트랜지스터(TR6)와 제7 트랜지스터(TR7)는 턴-오프된 상태이므로, 제4 노드(N4)의 전압이 기생 커패시턴스에 의해 증가 또는 감소할 수 있다.
- [0093] 본 발명의 일 실시예에서는, 제4 노드(N4)의 전압을 안정적으로 유지할 수 있도록, 제1 트랜지스터(TR1)와 제3 트랜지스터(TR3)를 같거나 비슷한 크기로 형성할 수 있다. 이 경우, 제1 트랜지스터(TR1)의 기생 커패시턴스로부터 제4 노드(N4)로 공급되는 전류와, 제4 노드(N4)에서 제3 트랜지스터(TR3)의 기생 커패시턴스로 빠져나가는 전류가 비슷한 크기를 가질 수 있으며, 결과적으로 제1 트랜지스터(TR1)와 제3 트랜지스터(TR3)의 영향을 상쇄시켜 제4 노드(N4)의 전압을 안정적으로 유지할 수 있다.

- [0095] 도 17은 본 발명의 일 실시예에 따른 전원 장치를 간단하게 나타낸 블록도이다.
- [0096] 도 17을 참조하면, 본 발명의 일 실시예에 따른 전원 장치(400)는 DC-DC 컨버터(410), 컨트롤 로직(420), 드라이버(430) 등을 포함할 수 있다. DC-DC 컨버터(410)는 입력 전압(VIN)을 강압하여 출력 전압(VOUT)을 내보낼 수 있으며, 앞서 도 1 내지 도 16을 참조하여 설명한 실시예들 중 적어도 하나에 따라 구현될 수 있다. 일례로, DC-DC 컨버터(410)는 복수의 트랜지스터들과 복수의 커패시터들을 포함하는 스위치드 커패시터 회로, 및 스위치드 커패시터 회로에 연결되는 LC 필터 등을 포함할 수 있다.
- [0097] 컨트롤 로직(420)과 드라이버(430)는 하나의 컨트롤 회로에 포함될 수 있다. 컨트롤 로직(420)은 DC-DC 컨버터(410)의 출력 전압(VOUT)을 입력받아 드라이버(430)로 PWM(Pulse Width Modulation) 신호를 출력할 수 있다. 드라이버(430)는 컨트롤 로직(420)으로부터 수신한 PWM 신호를 이용하여, DC-DC 컨버터(410)에 포함되는 복수의 트랜지스터들을 제어하는 제어 신호들(CTR)의 듀티 비를 조절할 수 있다. 일례로, 컨트롤 로직(420)이 출력하는 PWM 신호와, 드라이버(430)가 출력하는 제어 신호들(CTR) 각각의 듀티 비에 따라, 출력 전압(VOUT)이 결정되며, 입력 전압(VIN)과 출력 전압(VOUT)의 비율이 달라질 수 있다.
- [0098] 컨트롤 로직(420)과 드라이버(430)에 포함되는 능동 소자들의 동작에는 소정의 전원 전압이 필요할 수 있다. 본 발명의 일 실시예에서는, DC-DC 컨버터(410)가 입력 전압(VIN)을 입력받아 동작하는 동안 생성되는 전압들 중 적어도 하나를, 컨트롤 로직(420)과 드라이버(430)가 전원 전압으로 이용할 수 있다.
- [0099] 이하, 도 18을 참조하여 본 발명의 일 실시예에 따른 전원 장치의 동작을 더욱 상세히 설명하기로 한다.
- [0101] 도 18은 본 발명의 일 실시예에 따른 전원 장치를 간단하게 나타낸 도면이다.
- [0102] 도 18을 참조하면, 본 발명의 일 실시예에 따른 전원 장치(500)는 DC-DC 컨버터(510), 컨트롤 로직(520) 및 드라이버(530) 등을 포함할 수 있다. DC-DC 컨버터(510)는 입력 전압(VIN)을 강압시켜 출력 전압(VOUT)을 내보내는 회로일 수 있으며, 출력 전압(VOUT)은 전압 분배 회로(505)를 통해 컨트롤 로직(520)에 입력될 수 있다. 전압 분배 회로(505)는 복수의 저항들과 적어도 하나의 커패시터를 포함하며, 출력 전압(VOUT)에 의해 결정되는 센싱 전압(VSENS)을 컨트롤 로직(520)으로 출력할 수 있다.
- [0103] 컨트롤 로직(520)은 에러 증폭기(521), 비교기(522), 래치(523) 및 타이밍 컨트롤러(524) 등을 포함할 수 있다. 에러 증폭기(521)는 센싱 전압(VSENS)과 기준 전압(VREF)의 차이 전압을 증폭시켜 에러 전압(VEA)을 출력할 수 있다. 일례로, 출력 전압(VOUT)이 증가하여 센싱 전압(VSENS)과 기준 전압(VREF)의 차이가 커지면, 에러 전압(VEA)의 크기 역시 증가할 수 있다.
- [0104] 비교기(522)는 에러 전압(VEA)과 램프 전압(RMP)을 입력받아 구형파 신호를 출력할 수 있다. 일례로, 도 18을 참조하면, 에러 전압(VEA)이 비교기(522)의 반전 단자에 입력되고, 램프 전압(RMP)은 비교기(522)의 비반전 단자에 입력될 수 있다. 도 18에 도시한 일 실시예에서는, 에러 전압(VEA)의 크기가 증가함에 따라 비교기(522)가 출력하는 구형파 신호의 듀티 비가 감소할 수 있다.
- [0105] 래치(523)와 타이밍 컨트롤러(524)는 비교기(522)의 출력을 이용하여 PWM 신호를 생성할 수 있다. 일례로 타이밍 컨트롤러(524)는, 비교기(522)의 출력에 기초하여 출력 전압(VOUT)의 변동을 최소화할 수 있는 듀티 비의 PWM 신호를 출력함과 동시에, 도 10 내지 도 16을 참조하여 설명한 바와 유사하게, DC-DC 컨버터(510)에 포함되는 트랜지스터들의 온/오프 타이밍을 제어할 수 있다. 일례로, 타이밍 컨트롤러(524)는, DC-DC 컨버터(510)에서 입력 전압(VIN)을 수신하는 입력 노드가 접지 노드와 직접 연결되지 않도록, DC-DC 컨버터(510)에 포함되는 트랜지스터들 각각의 온/오프 타이밍을 제어할 수 있다.
- [0106] 드라이버(530)는 DC-DC 컨버터(510)에 포함되는 트랜지스터들을 제어하기 위한 제어 신호들을 출력할 수 있다. 일례로 드라이버(530)는 레벨 시프터(531) 및 게이트 드라이버(532) 등을 포함할 수 있으며, 게이트 드라이버(532)는 서로 다른 전압 레벨에서 스윙하는 제1 내지 제3 제어 신호들(VS1-VS3)을 출력할 수 있다.
- [0107] 컨트롤 로직(520)과 드라이버(530)는, DC-DC 컨버터(510)의 동작 중에 생성되는 전압을 전원 전압으로 입력받아 동작할 수 있다. 일례로 컨트롤 로직(520)은 DC-DC 컨버터(510)의 동작 중에 생성되는 VIN/3 레벨의 전압을 전원 전압으로 이용할 수 있다. 따라서, 타이밍 컨트롤러(524)가 출력하는 PWM 신호의 최대 레벨 역시 VIN/3 레벨을 초과할 수 없다.
- [0108] 다만, 앞서 도 1 내지 도 16을 참조하여 설명한 실시예들에서와 같이, DC-DC 컨버터(510)에 포함되는 복수의 트

랜지스터들 중 적어도 일부에는 VIN/3 레벨보다 큰 레벨의 전압이 인가될 수 있다. 예를 들어 도 2에 도시한 일 실시예에서 제1 트랜지스터(TR1)는 입력 전압(VIN)을 그대로 입력받으며, 따라서 제1 트랜지스터(TR1)에 VIN/3 레벨의 전압을 입력하는 것으로는 제1 트랜지스터(TR1)를 정상적으로 온/오프하지 못할 수 있다.

[0109] 이러한 문제를 해결하기 위해, 본 발명의 일 실시예에서는 레벨 시프터(531)를 이용하여 타이밍 컨트롤러(524)가 출력하는 PWM 신호의 레벨을 증가시키고, 트랜지스터들을 온/오프시키는 데에 적합한 제어 전압 신호들(VS1-VS3)을 생성할 수 있다. 따라서, 드라이버(532)는 전원 전압(VIN) 레벨, $2*VIN/3$ 레벨, VIN/3 레벨, 및 접지 전압 레벨을 이용하여 동작할 수 있다.

[0110] DC-DC 컨버터(510)가 앞서 도 1 내지 도 16을 참조하여 설명한 실시예들 중 하나에 따라 구현되는 경우, 출력 전압(VOUT)은 VIN/3 이하의 크기를 가질 수 있다. 일 실시예에서, 제1 제어 전압 신호(VS1)는 접지 전압의 레벨과 VIN/3 레벨 사이에서 스윙하는 신호일 수 있으며, 제2 제어 전압 신호(VS2)는 VIN/3 레벨과 $2*VIN/3$ 레벨 사이에서 스윙하는 신호일 수 있다. 제3 제어 전압 신호(VS3)는 $2*VIN/3$ 레벨과 입력 전압(VIN)의 레벨 사이에서 스윙하는 신호일 수 있다.

[0111] 제1 내지 제3 제어 전압 신호들(VS1-VS3)은 DC-DC 컨버터(510)에 포함되는 트랜지스터들 각각의 양단에 인가되는 전압의 레벨에 따라 선택적으로 트랜지스터들에 입력될 수 있다. 예시적으로 도 2에 도시한 회로도를 함께 참조하면, 제7 트랜지스터(TR7)에는 가장 높은 레벨에서 스윙하는 제3 제어 전압 신호(VS3)가 입력될 수 있으며, 제3 트랜지스터(TR3)에는 중간 레벨에서 스윙하는 제2 제어 전압 신호(VS2)가 입력될 수 있다. 한편, 제4 트랜지스터(TR4)에는 가장 낮은 레벨에서 스윙하는 제1 제어 전압 신호(VS1)가 입력될 수 있다.

[0113] 도 19a 내지 도 19c는 본 발명의 일 실시예에 따른 전원 장치의 동작을 설명하기 위한 그래프들이다.

[0114] 도 19a는 제1 제어 전압 신호(VS1)를 나타낸 그래프로서, 제1 제어 전압 신호(VS1)는 접지 전압 레벨과 VIN/3 레벨 사이에서 스윙하는 PWM 신호일 수 있다. 도 2에 도시한 일 실시예에 따른 DC-DC 컨버터(100)의 회로도를 함께 참조하면, 제1 제어 전압 신호(VS1)는 제4 트랜지스터(TR4) 및 제5 트랜지스터(TR5)에 제어 신호로서 입력될 수 있다. 제2 트랜지스터(TR2)와 제8 트랜지스터(TR8) 각각에는 제1 제어 전압 신호(VS1)의 상보 신호가 제어 신호로서 입력될 수 있다.

[0115] 도 19b는 제2 제어 전압 신호(VS2)를 나타낸 그래프이며, 제2 제어 전압 신호(VS2)는 VIN/3 레벨과 $2*VIN/3$ 레벨 사이에서 스윙하는 PWM 신호일 수 있다. 마찬가지로 도 2에 도시한 DC-DC 컨버터(100)의 회로도를 함께 참조하면, 제2 제어 전압 신호(VS2)는 제3 트랜지스터(TR3)와 제6 트랜지스터(TR6)에 제어 신호로서 입력될 수 있다.

[0116] 도 19c는 제3 제어 전압 신호(VS3)를 나타낸 그래프이며, 제3 제어 전압 신호(VS3)는 $2*VIN/3$ 레벨과 입력 전압(VIN)의 레벨 사이에서 스윙하는 PWM 신호일 수 있다. 도 2에 도시한 DC-DC 컨버터(100)의 회로도를 함께 참조하면, 제3 제어 전압 신호(VS3)는 제1 트랜지스터(TR1)와 제7 트랜지스터(TR7)에 제어 신호로서 입력될 수 있다.

[0118] 도 20 내지 도 22는 본 발명의 일 실시예에 따른 전원 장치의 동작을 설명하기 위한 그래프들이다.

[0119] 이하, 도 18에 도시한 전원 장치(500)의 도면을 함께 참조하여, 그 동작을 설명하기로 한다. 먼저 도 20은, DC-DC 컨버터(510)의 출력 전압(VOUT)이 목표 전압과 유사한 레벨에서 안정적인 상태를 유지하는 실시예를 나타낸 그래프일 수 있다. 도 20을 참조하면, 출력 전압(VOUT)이 목표 전압과 유사한 레벨에서 안정적인 상태를 유지하는 경우, 컨트롤 로직(520)에 포함되는 에러 증폭기(521)는 제1 에러 전압(VEA1)을 출력할 수 있다.

[0120] 비교기(522)는, 제1 에러 전압(VEA1)을 램프 전압(RMP)과 비교하여 제1 PWM 신호(PWM1)를 출력할 수 있다. 비교기(522)의 비반전 단자로 램프 전압(RMP)이 입력되고, 반전 단자로 제1 에러 전압(VEA1)이 입력되는 경우, 제1 PWM 신호(PWM1)는 제1 에러 전압(VEA1)이 램프 전압(RMP)보다 작은 시간 동안 하이 레벨을 가질 수 있다. 제1 PWM 신호(PWM1)의 주기(TD)는 램프 전압(RMP)의 주기와 같을 수 있으며, 제1 시간(T1)은 제1 에러 전압(VEA1)이 램프 전압(RMP)보다 작은 시간에 대응하고, 제2 시간(T2)은 제1 에러 전압(VEA1)이 램프 전압(RMP)보다 큰 시간에 대응할 수 있다.

- [0122] 다음으로 도 21은, DC-DC 컨버터(510)의 출력 전압(VOUT)이 목표 전압보다 작은 레벨로 감소하는 실시예를 나타낸 그래프일 수 있다. 도 21을 참조하면, 출력 전압(VOUT)이 목표 전압보다 작은 레벨로 감소함에 따라, 에러 증폭기(521)가 제1 에러 전압(VEA1)보다 작은 제2 에러 전압(VEA2)을 출력할 수 있다.
- [0123] 비교기(522)는, 제2 에러 전압(VEA2)을 램프 전압(RMP)과 비교하여 제2 PWM 신호(PWM2)를 출력할 수 있다. 도 20과 마찬가지로, 비교기(522)의 비반전 단자에 램프 전압(RMP)이 입력되고, 반전 단자로 제1 에러 전압(VEA1)이 입력될 수 있다. 따라서 제2 PWM 신호(PWM2)는 제2 에러 전압(VEA2)이 램프 전압(RMP)보다 작은 제1 시간(T1) 동안 하이 레벨을 갖고, 제2 에러 전압(VEA2)이 램프 전압(RMP)보다 큰 제2 시간(T2) 동안 로우 레벨을 가질 수 있다.
- [0124] 도 20과 비교하면, 도 21에 도시한 일 실시예에서는 제2 에러 전압(VEA2)이 제1 에러 전압(VEA1)보다 작은 레벨을 갖기 때문에, 제2 PWM 신호(PWM2)의 한 주기(TD) 내에서 제1 시간(T1)이 증가하고 제2 시간(T2)은 감소할 수 있다. 결과적으로 DC-DC 컨버터(510)에서 스위치드 커패시터 회로의 출력단에 연결된 인덕터에 에너지를 충전하는 시간인 제1 시간(T1)이 상대적으로 늘어남에 따라, 출력 전압(VOUT)이 다시 증가할 수 있다.
- [0126] 다음으로 도 22는, DC-DC 컨버터(510)의 출력 전압(VOUT)이 목표 전압보다 큰 레벨로 증가하는 실시예를 나타낸 그래프일 수 있다. 도 22를 참조하면, 출력 전압(VOUT)이 목표 전압보다 크게 증가함에 따라, 에러 증폭기(521)는 제1 에러 전압(VEA1)보다 큰 제3 에러 전압(VEA3)을 출력할 수 있다.
- [0127] 비교기(522)는, 반전 단자로 입력되는 제3 에러 전압(VEA3)을 비반전 단자로 입력되는 램프 전압(RMP)과 비교하여 제3 PWM 신호(PWM3)를 출력할 수 있다. 제3 PWM 신호(PWM3)는 제3 에러 전압(VEA3)이 램프 전압(RMP)보다 작은 제1 시간(T1) 동안 하이 레벨을 갖고, 제3 에러 전압(VEA3)이 램프 전압(RMP)보다 큰 제2 시간(T2) 동안 로우 레벨을 가질 수 있다.
- [0128] 도 20의 그래프와 비교하면, 도 22에 도시한 일 실시예에서는 제3 에러 전압(VEA3)이 제1 에러 전압(VEA1)보다 큰 레벨을 갖기 때문에, 제3 PWM 신호(PWM3)의 한 주기(TD) 내에서 제1 시간(T1)이 감소하고 제2 시간(T2)은 증가할 수 있다. 결과적으로 DC-DC 컨버터(510)에서 스위치드 커패시터 회로의 출력단에 연결된 인덕터에 에너지를 충전하는 시간인 제1 시간(T1)이 상대적으로 짧아짐에 따라, 출력 전압(VOUT)이 감소할 수 있다.
- [0129] 도 20 내지 도 22를 참조하여 설명한 바와 같이, 컨트롤 로직(520)과 드라이버(530)는 DC-DC 컨버터(510)의 출력 전압(VOUT)의 증가/감소에 따라, PWM 신호의 듀티 비를 적응적으로 조절함으로써, DC-DC 컨버터(510)를 안정적으로 구동시킬 수 있다.
- [0131] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

- [0133] 10, 100, 200, 300, 410, 510: DC-DC 컨버터
 400, 500: 전원 장치
 420, 520: 컨트롤 로직
 430, 530: 드라이버
 VIN: 입력 전압
 VOUT: 출력 전압
 C1: 제1 커패시터
 C2: 제2 커패시터

C3: 제3 커패시터

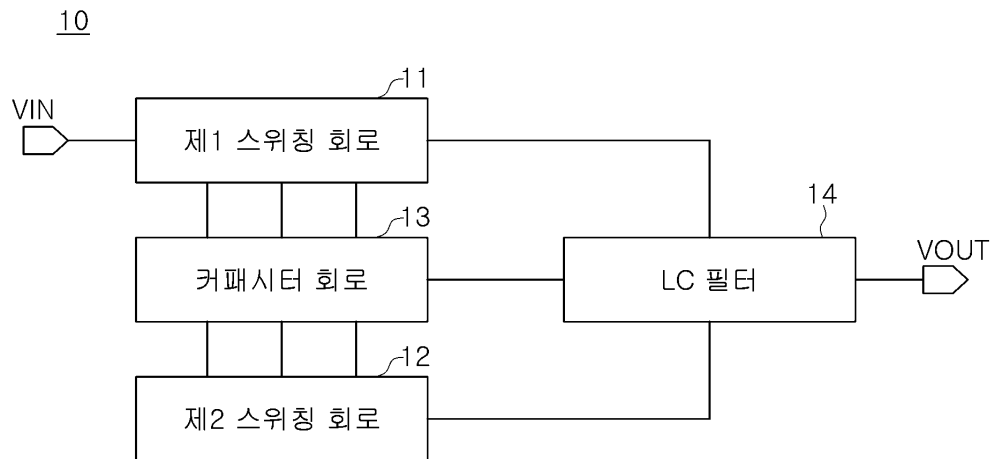
C4: 제4 커패시터

L: 인덕터

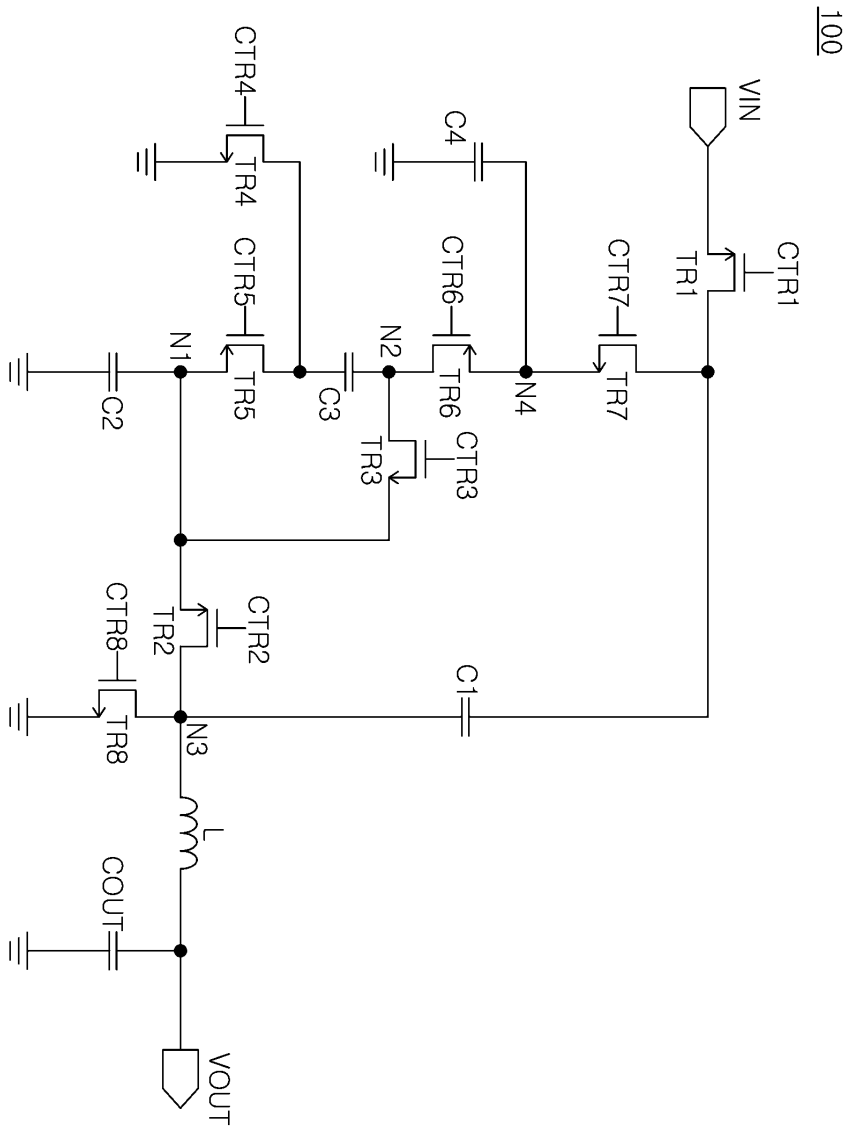
COUT: 출력 커패시터

도면

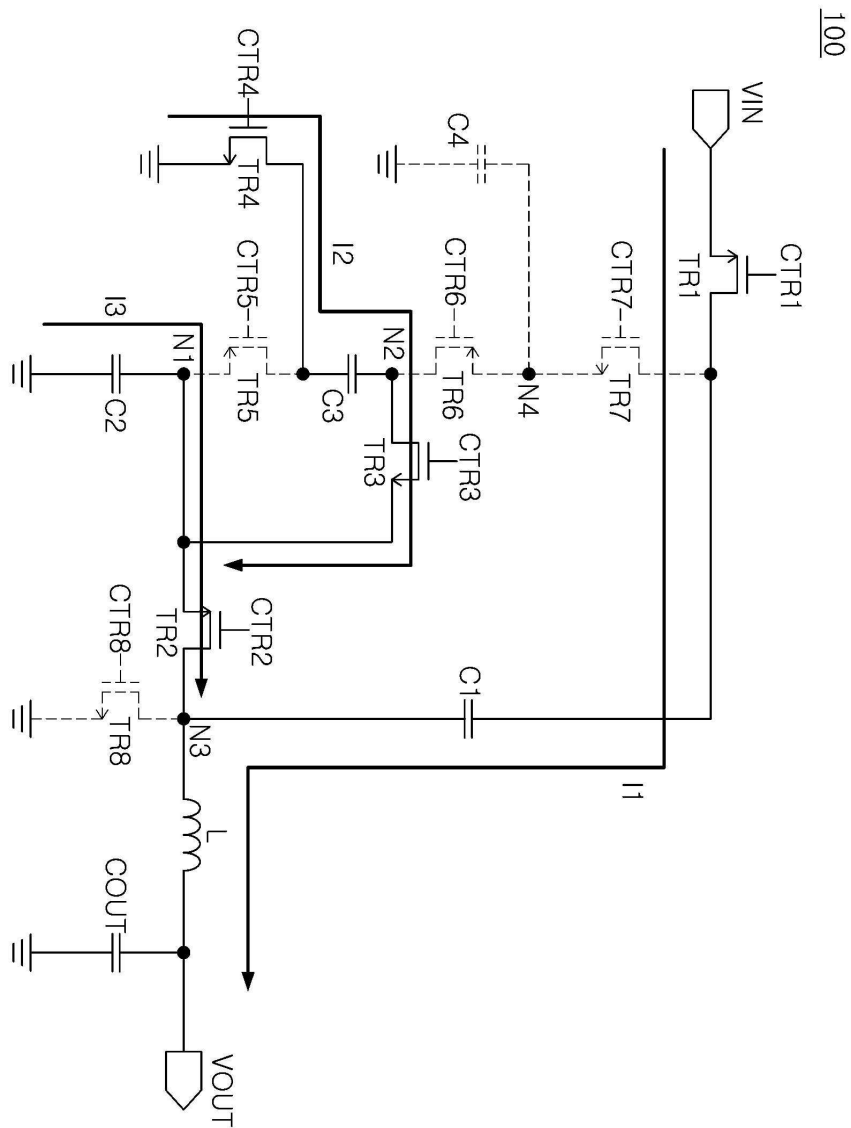
도면1



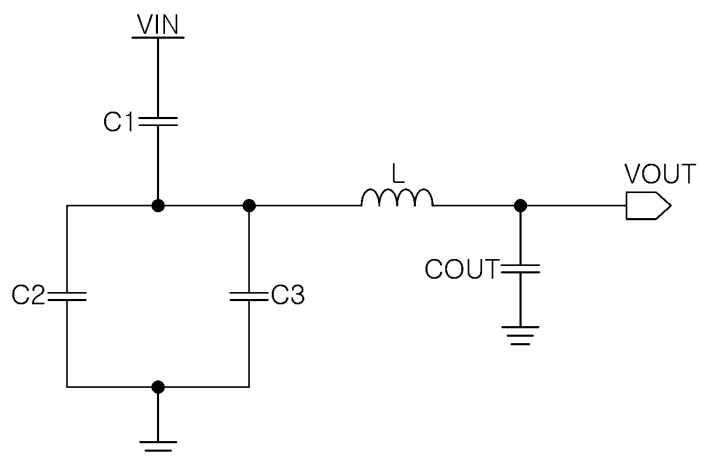
도면2



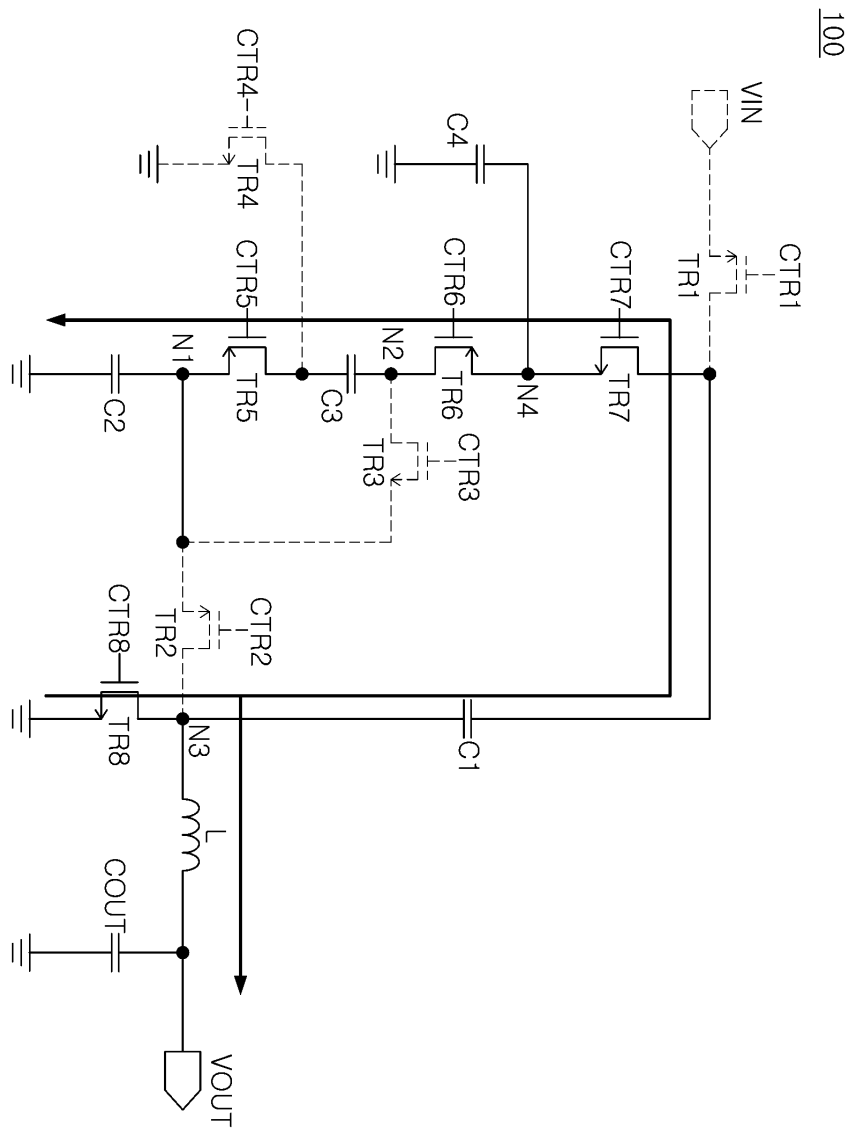
도면3



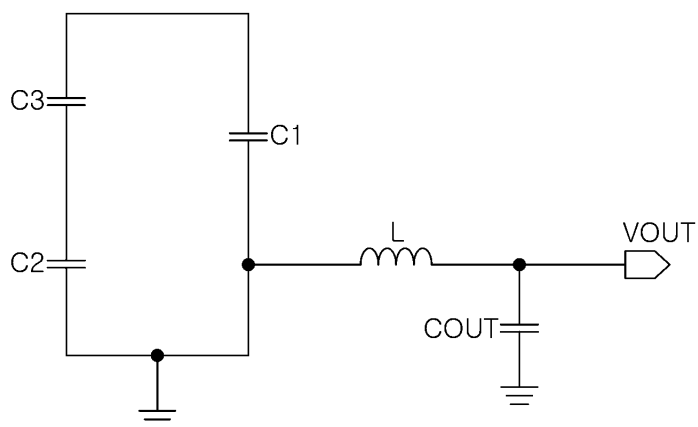
도면4



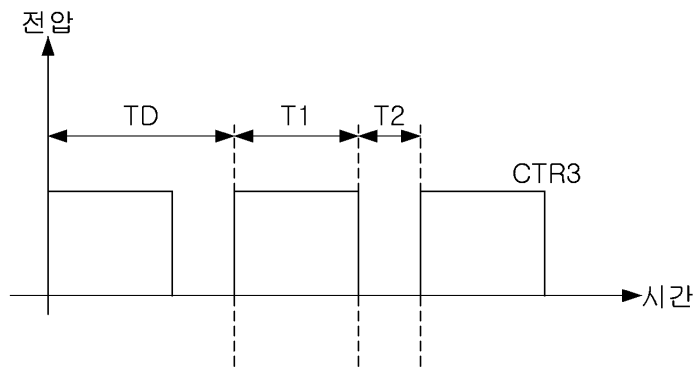
도면5



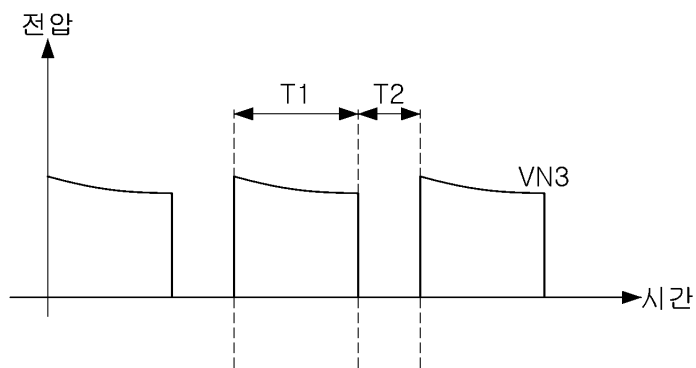
도면6



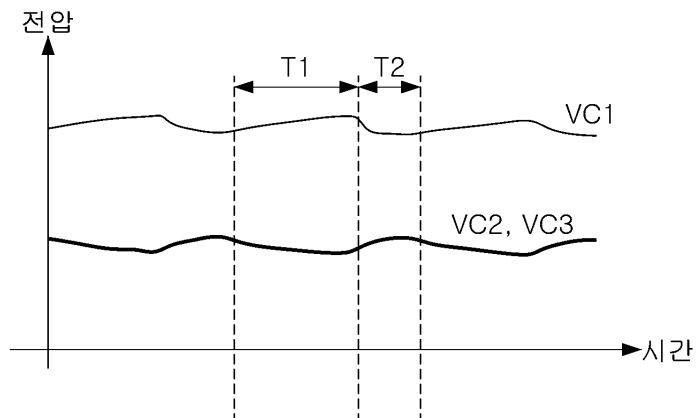
도면7a



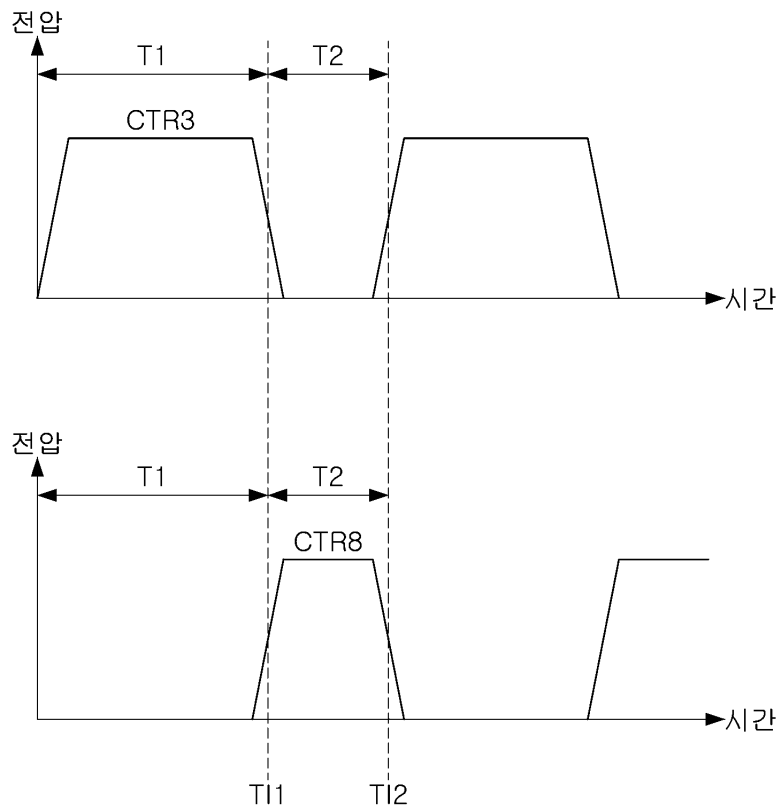
도면7b



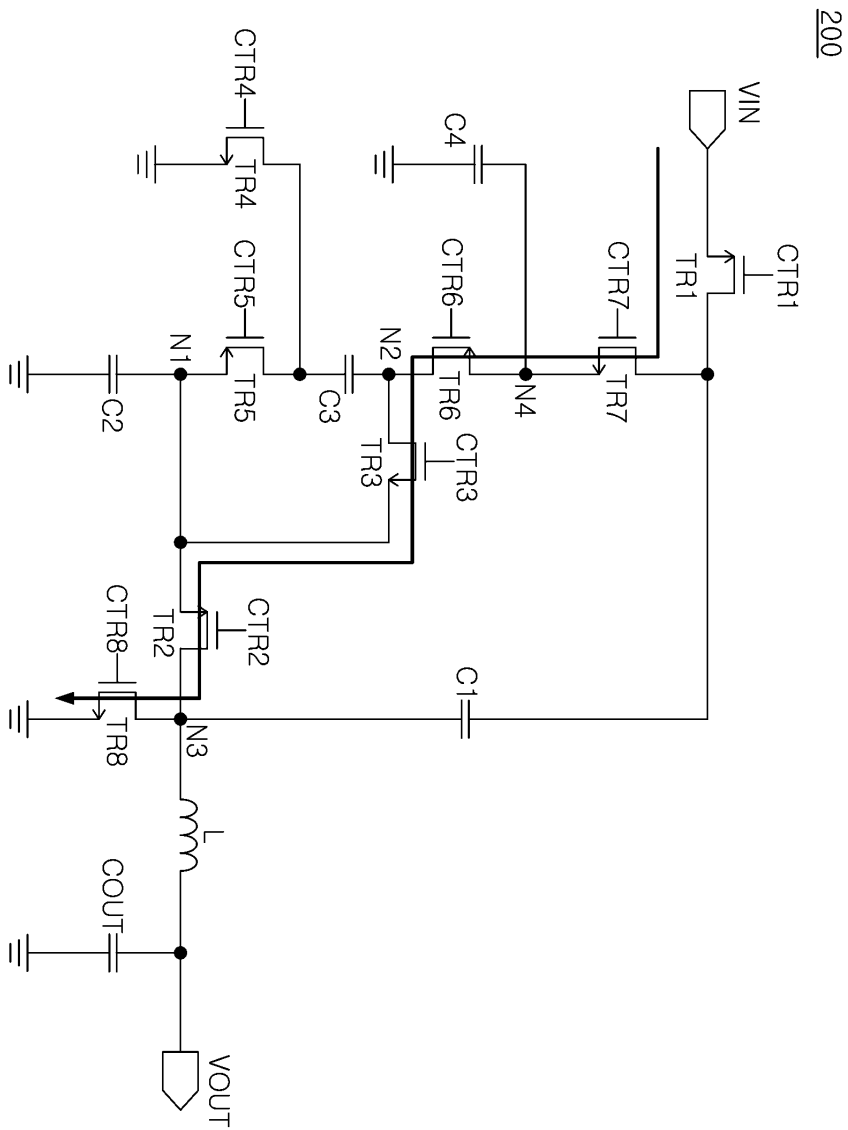
도면7c



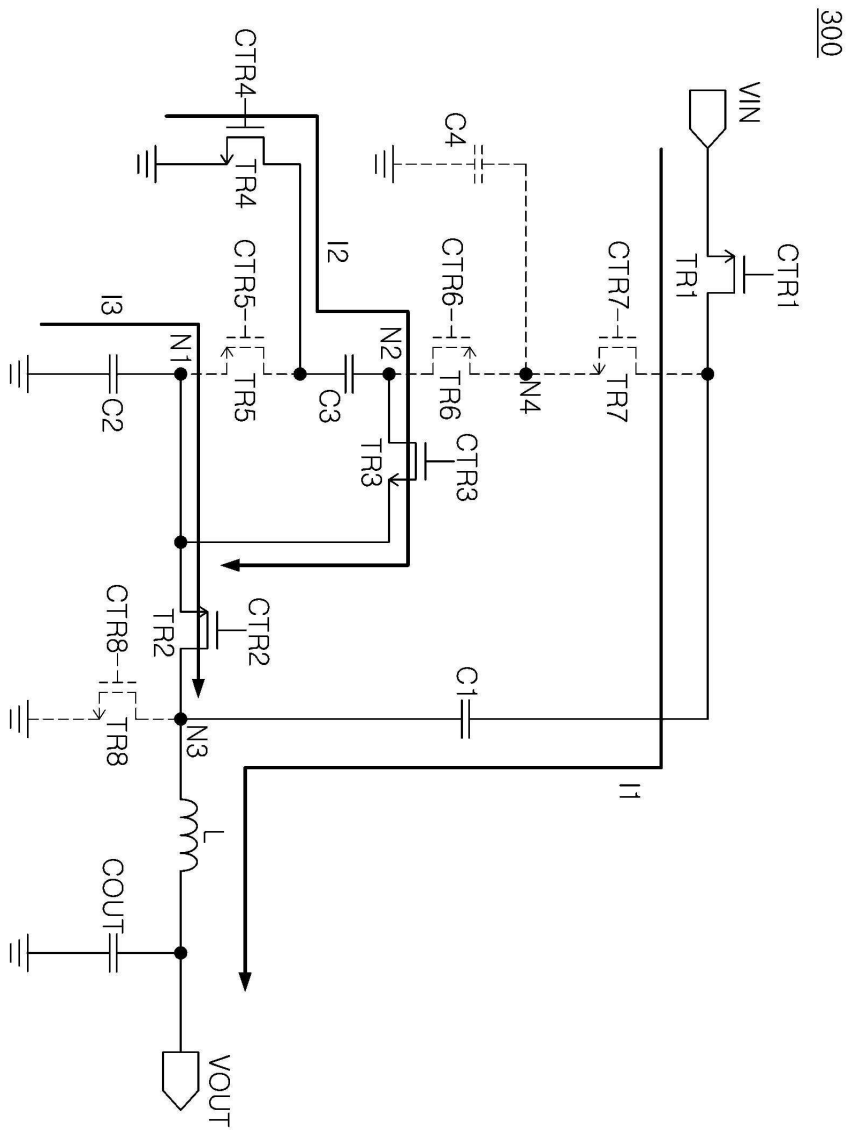
도면8



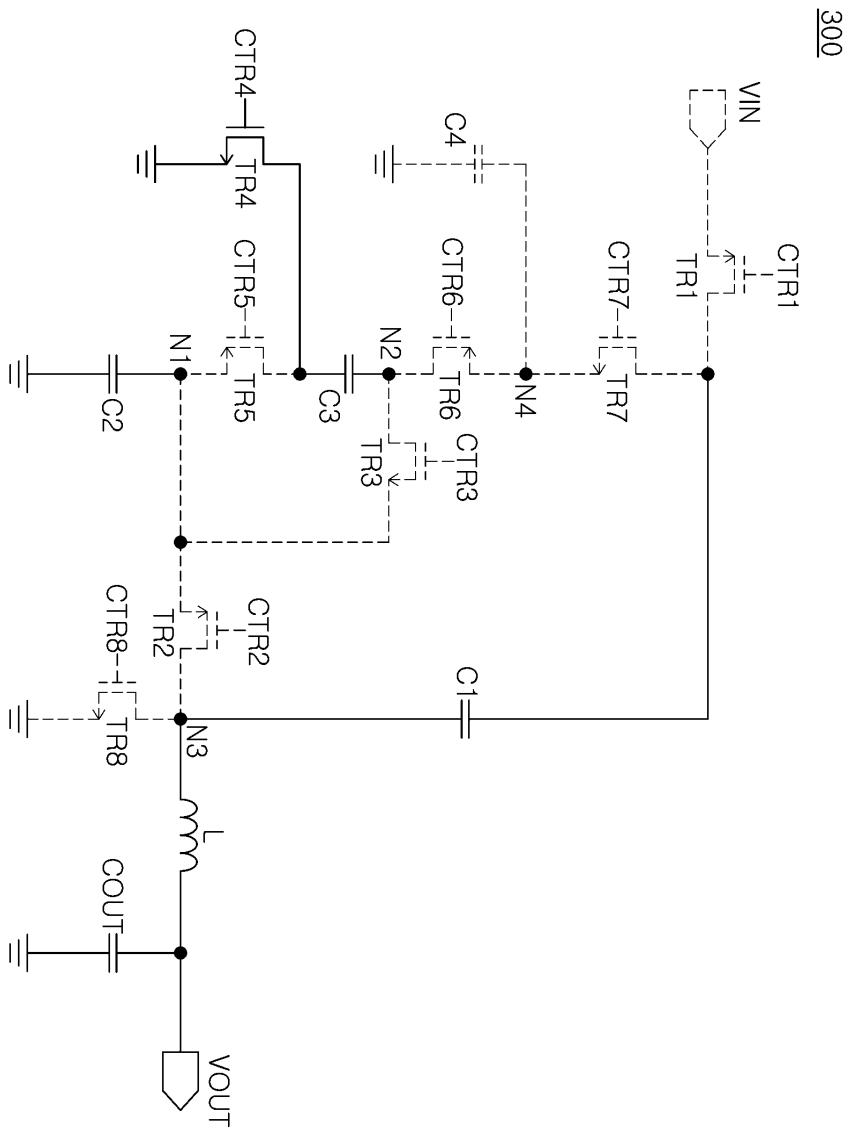
도면9



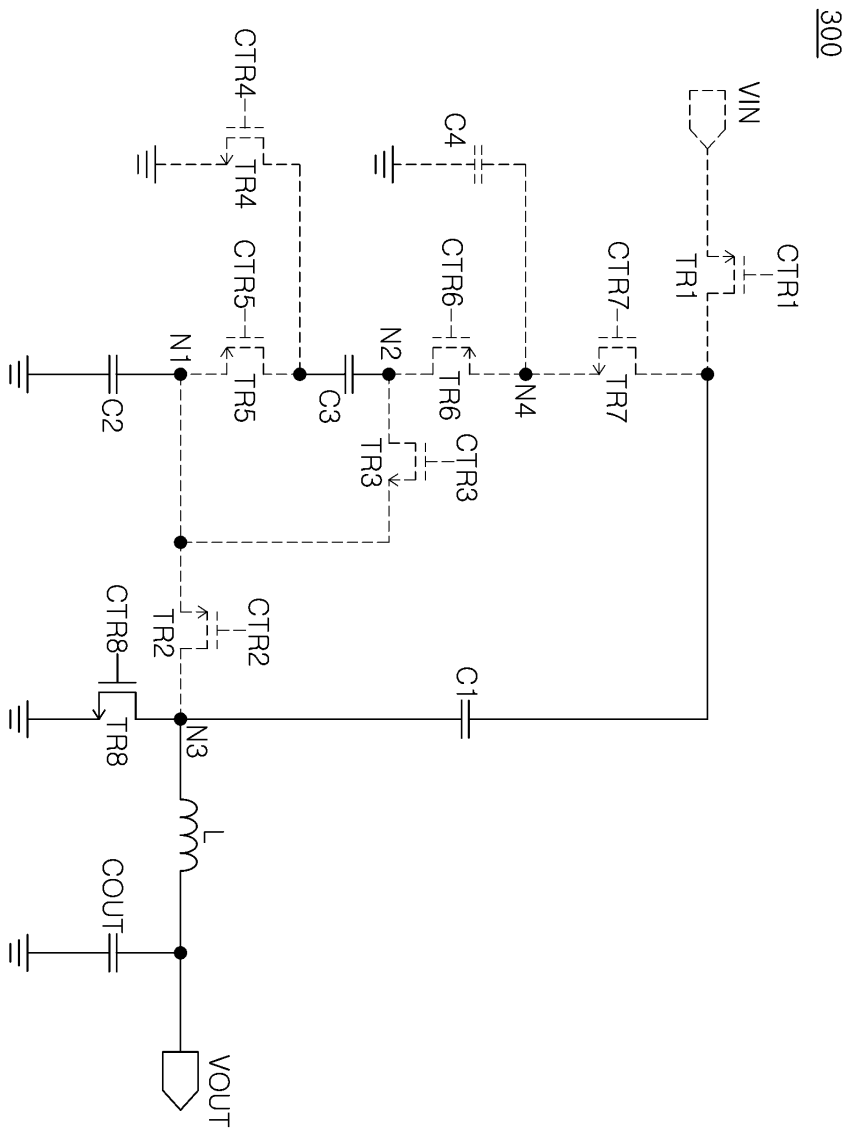
도면 10



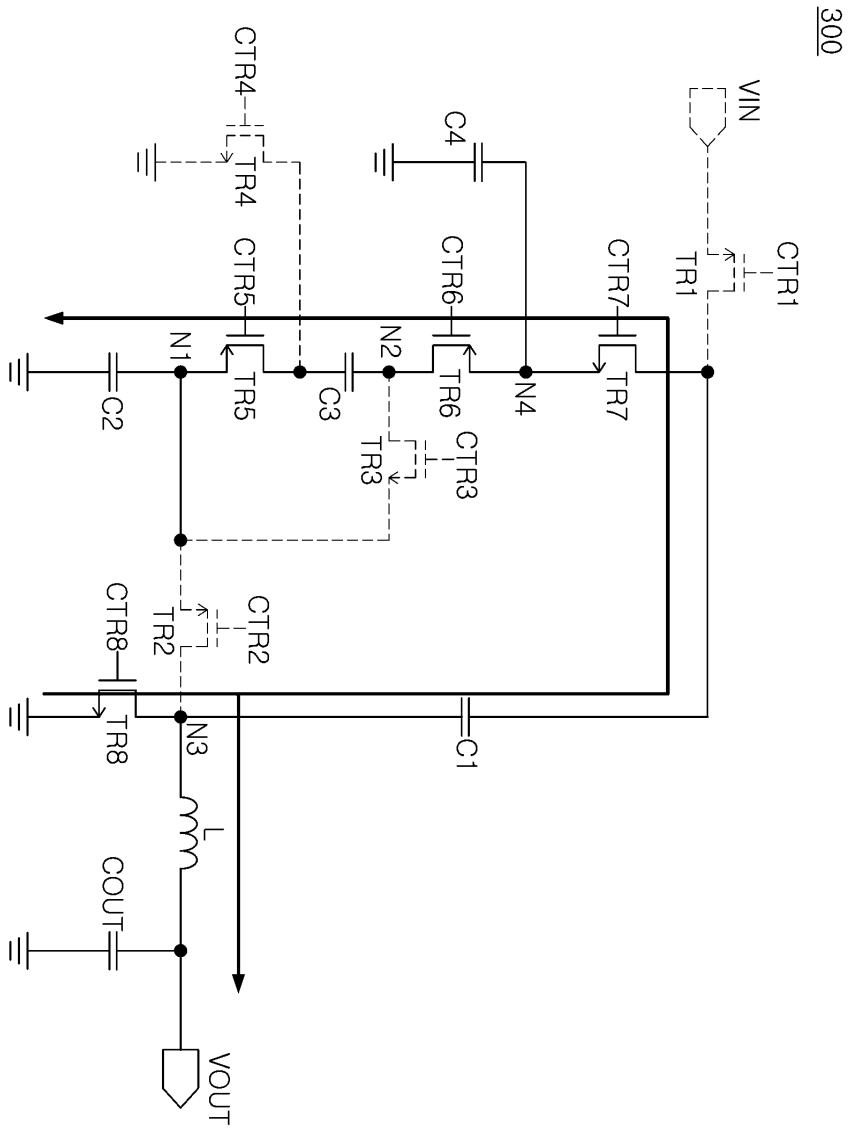
도면11



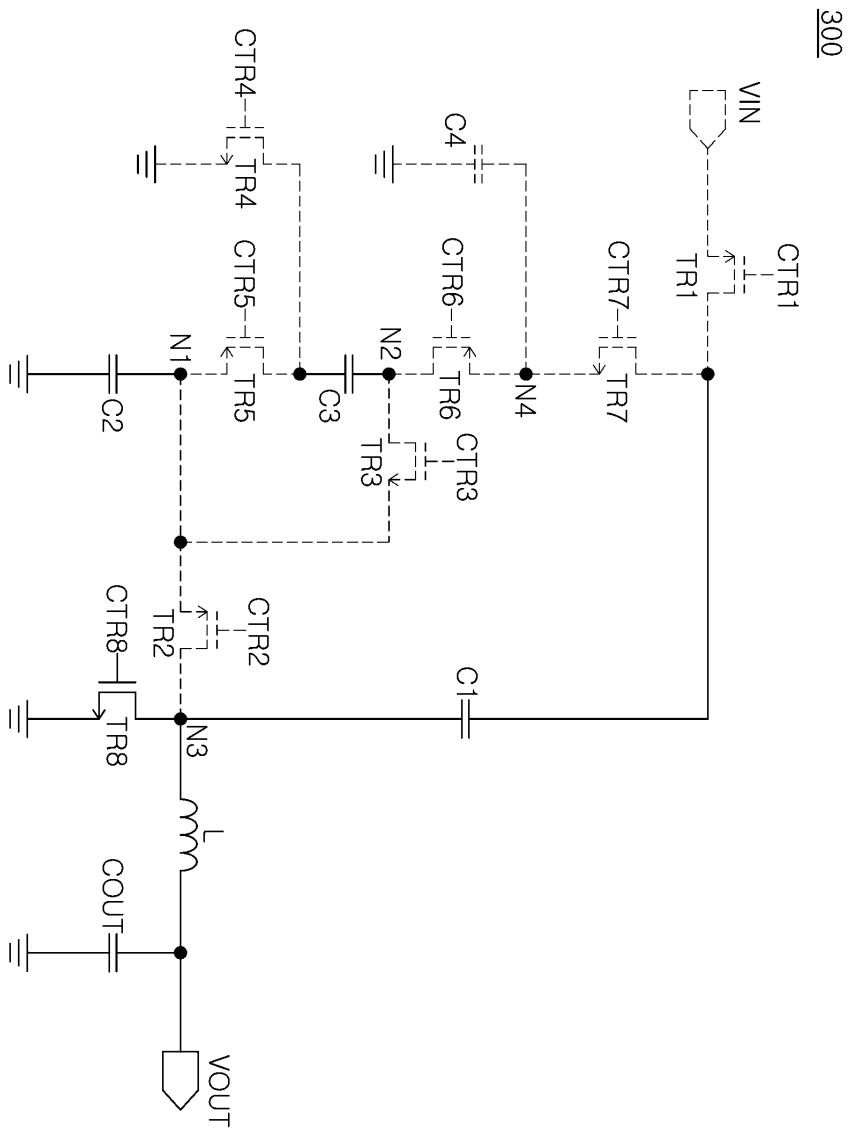
도면 12



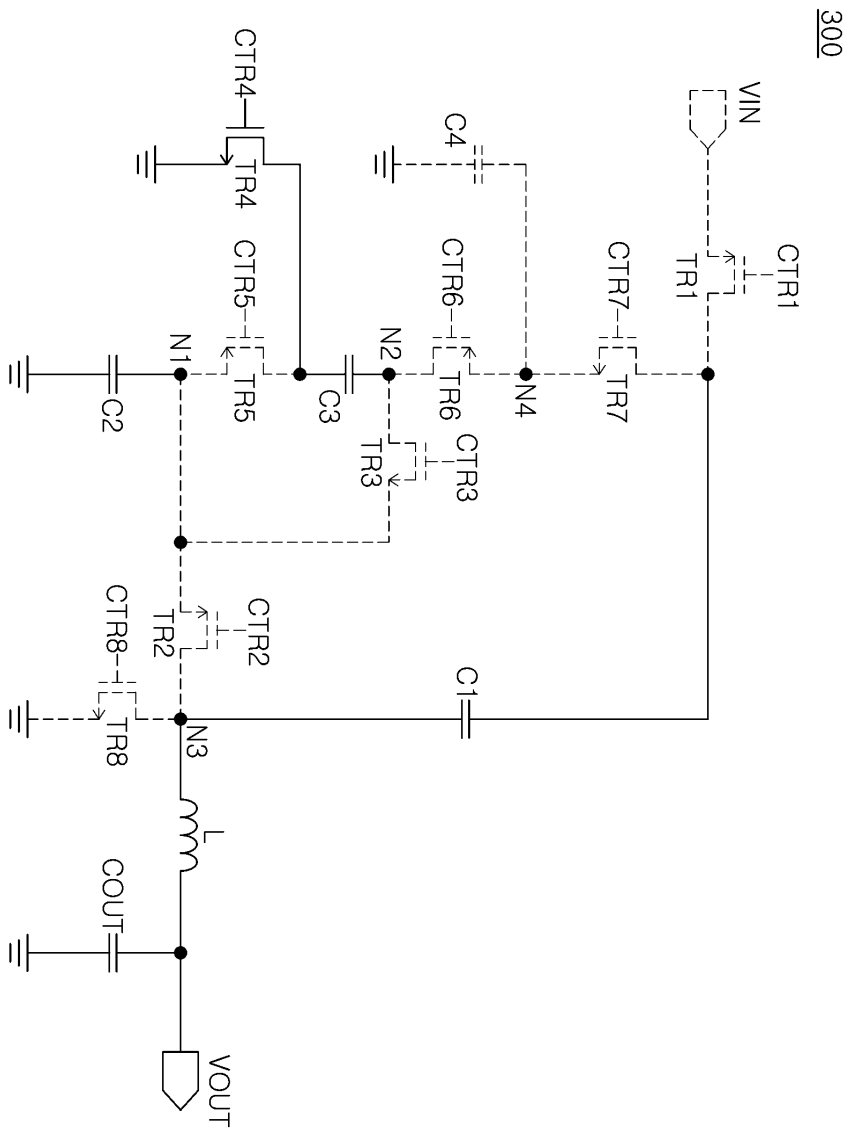
도면13



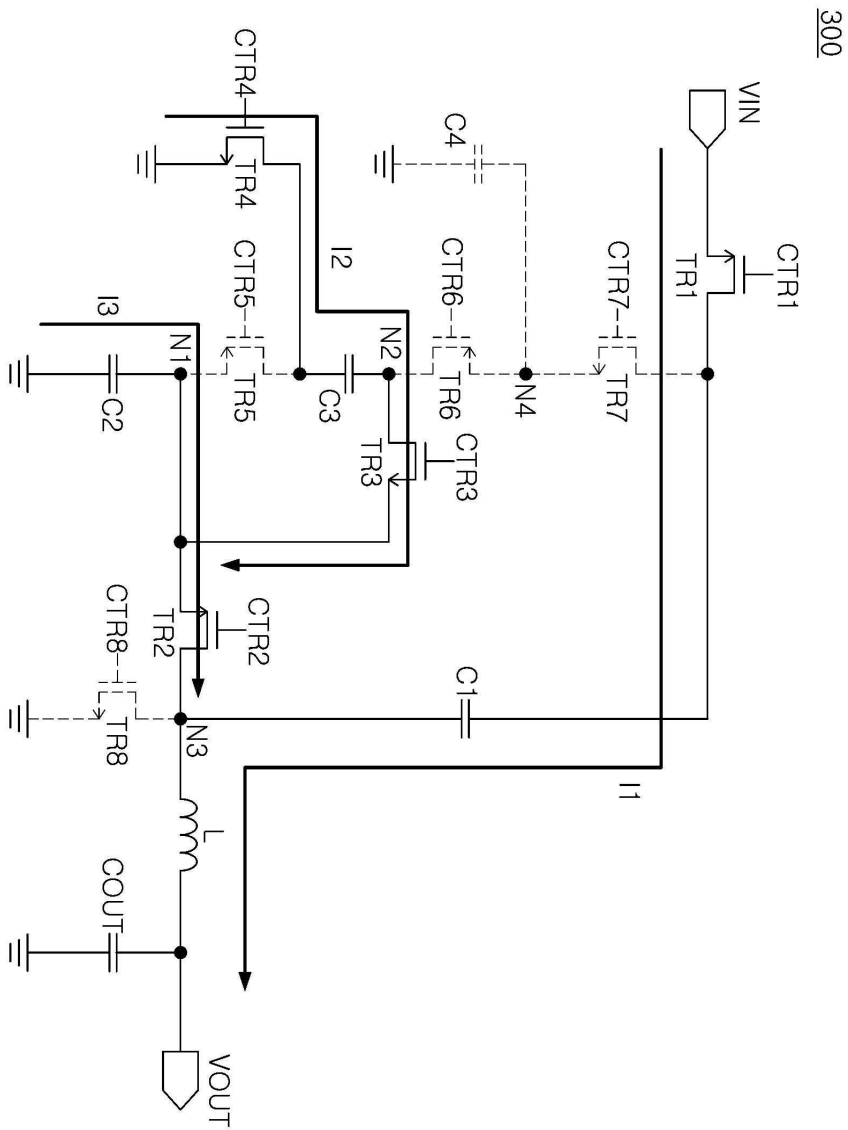
도면14



도면15

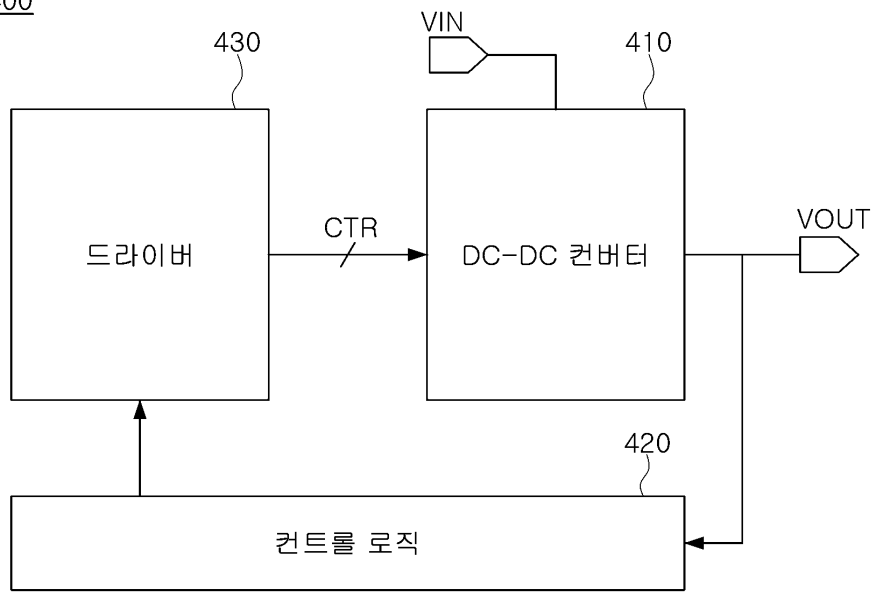


도면 16

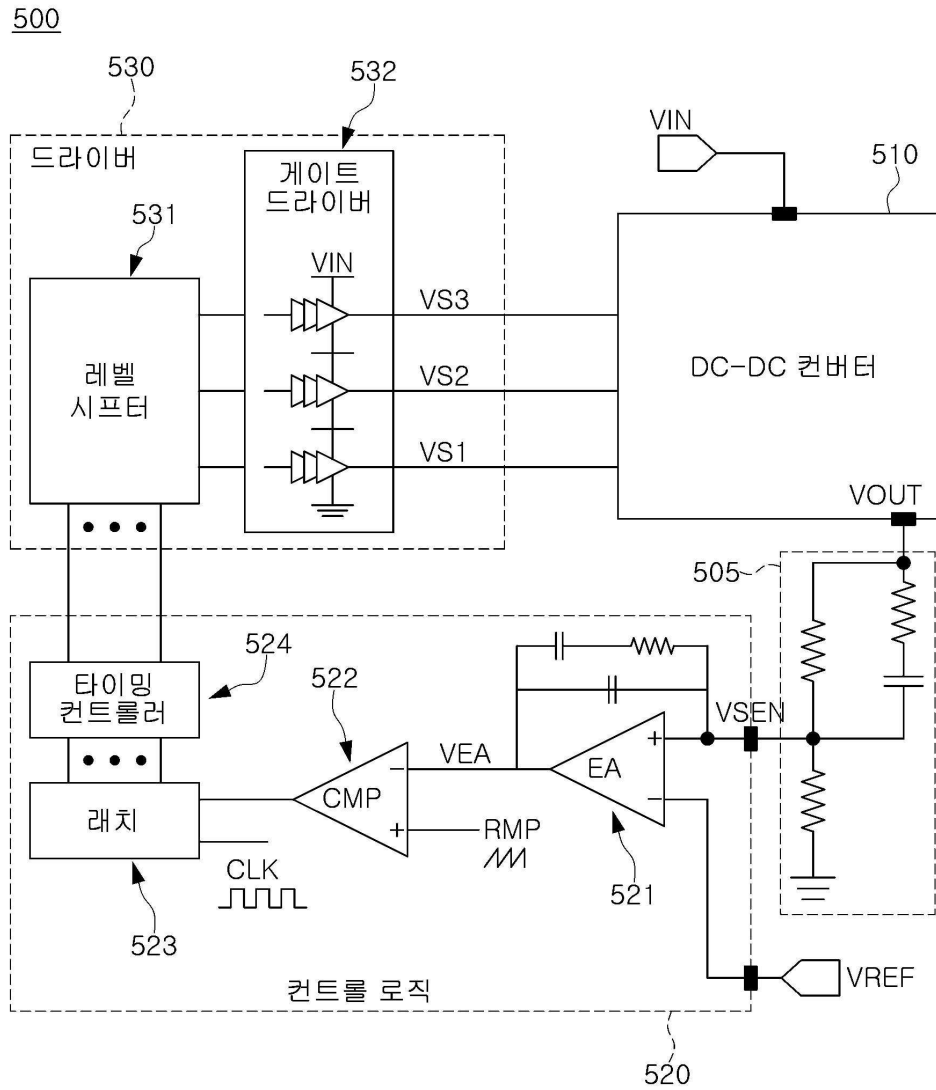


도면17

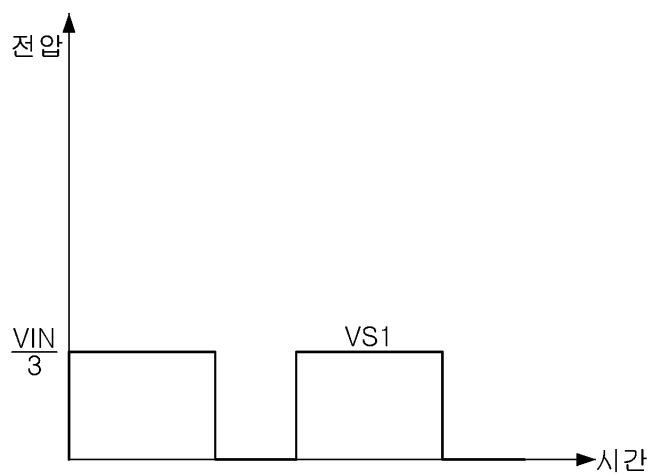
400



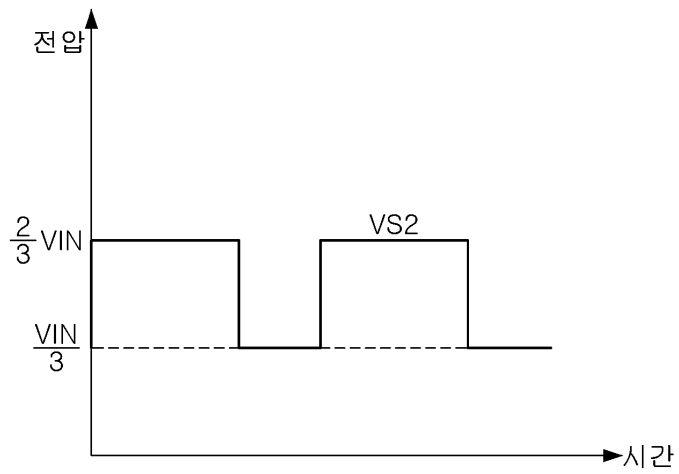
도면18



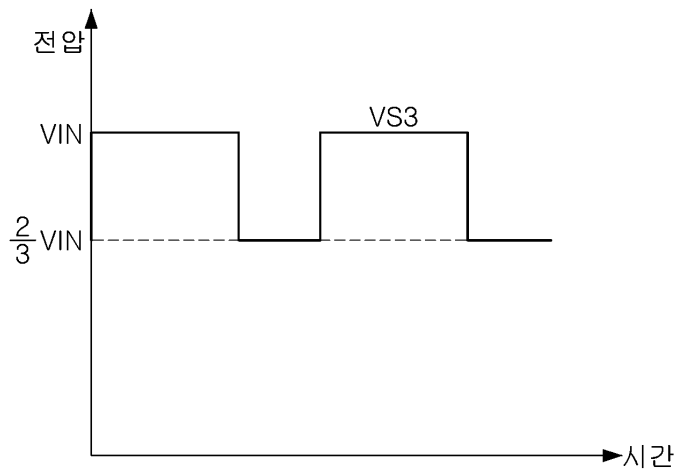
도면19a



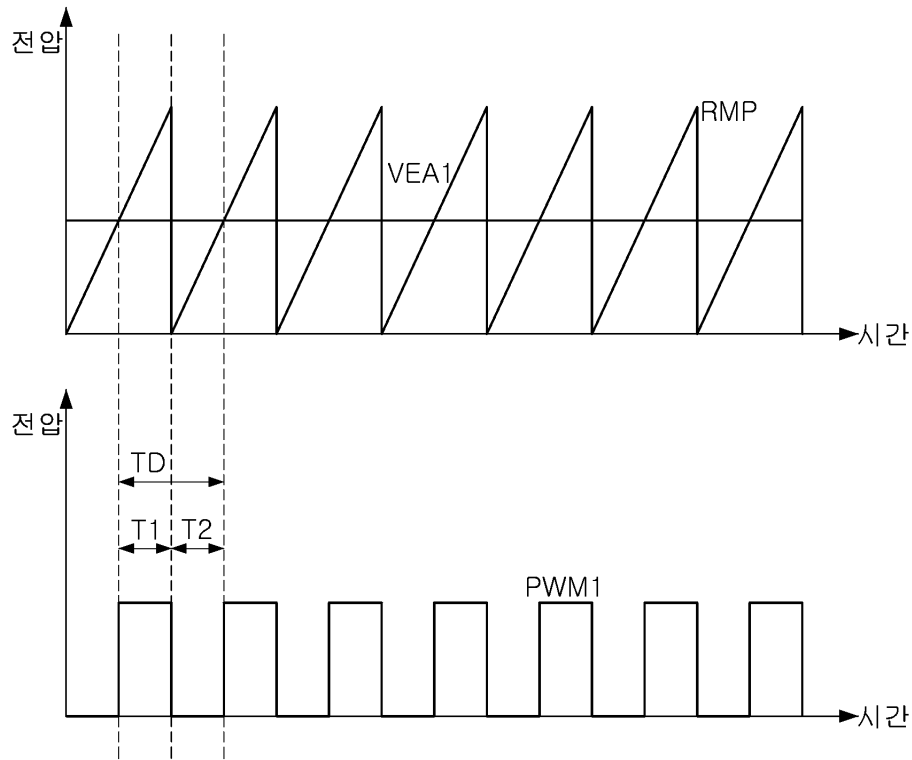
도면19b



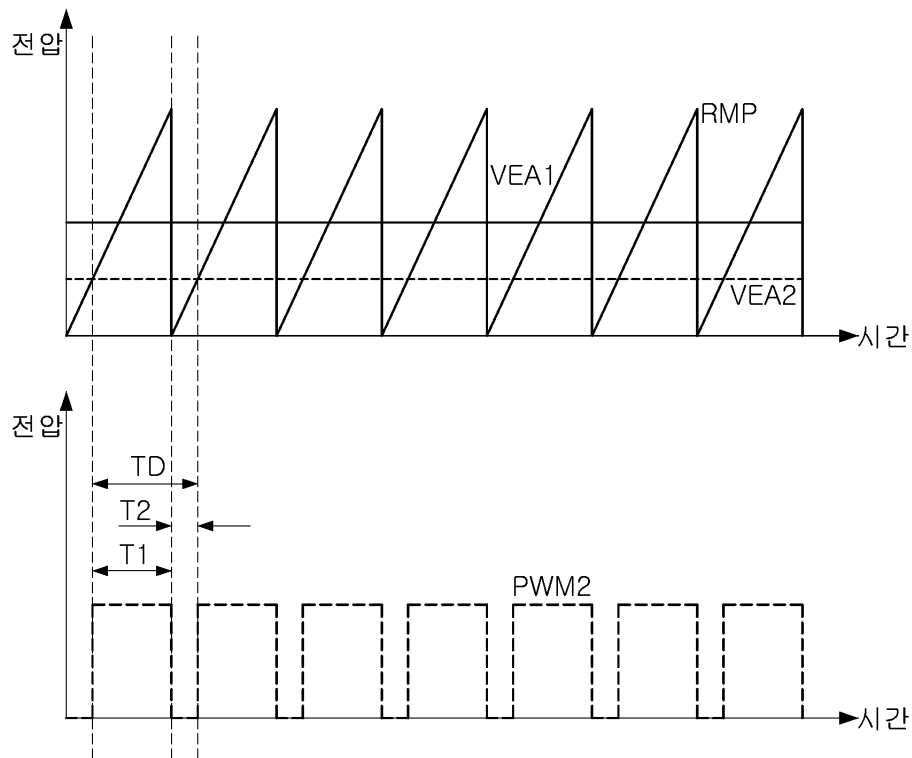
도면19c



도면20



도면21



도면22

