

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷
H01L 21/205 H01L 21/786

[12] 发明专利说明书

[21] ZL 专利号 96191902.7

[45] 授权公告日 2002 年 12 月 25 日

[11] 授权公告号 CN 1097300C

[22] 申请日 1996.8.7 [21] 申请号 96191902.7
[30] 优先权
[32] 1995.12.14 [33] WO [31] PCT/JP95/02568
[86] 国际申请 PCT/JP96/02220 1996.8.7
[87] 国际公布 WO97/22142 日 1997.6.19
[85] 进入国家阶段日期 1997.8.13
[73] 专利权人 精工爱普生株式会社
地址 日本东京都
[72] 发明人 宫坂光敏
审查员 唐跃强

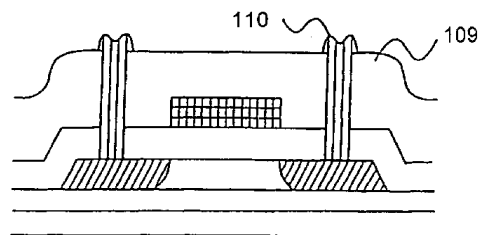
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 杨凯 叶恺东

权利要求书 1 页 说明书 52 页 附图 14 页

[54] 发明名称 制造半导体器件的方法、显示装置、电子设备

[57] 摘要

为了通过可使用廉价的玻璃基板的低温工艺来制造高性能的薄膜半导体器件,在通过使用了作为原料气体的硅烷和作为稀释气体的氩的 PECVD 法形成结晶性高的混晶质半导体膜之后,用激光照射等方法提高结晶性来制造薄膜半导体器件,使用该薄膜半导体器件制成液晶显示装置或电子设备。在将本发明应用于有源矩阵基板的液晶显示装置的制造时,可容易地而且稳定地制造大型和高质量的液晶显示装置。此外,在应用于其他的电子电路的制造时,也可容易地而且稳定地制造高质量的电子电路。



ISSN 1008-4274

1. 一种从基板上淀积半导体膜制造半导体器件的方法，特征在于：包括用等离子体化学汽相淀积法（PECVD 法）淀积上述半导体膜的工序，在上述等离子体化学气相淀积方法中使用含有所述半导体膜的构成元素的原料气体，并使用含有氩（Ar）的附加气体，上述原料气体的浓度在 6.25% 以下。

2. 权利要求 1 中所述的半导体器件的制造方法，其特征在于：在一个反应室中淀积上述半导体膜，在上述半导体膜的淀积过程中反应室的压力是在 1.0 Torr 以下。

3. 权利要求 1 中所述的半导体器件的制造方法，其特征在于：上述半导体膜在一对电极之间淀积，所述电极间距离在 17.8 mm 以下。

4. 权利要求 1 中所述的半导体器件的制造方法，其特征在于：上述半导体膜的淀积速度大于 0.15 nm/s。

5. 权利要求 1 中所述的半导体器件的制造方法，其特征在于：上述原料气体是从 SiH_4 ， Si_2H_6 ， Si_3H_8 中选出的硅烷。

6. 根据权利要求 1 所述的半导体器件的制造方法，特征在于：还包括用能量照射该半导体膜上的工序。

7. 根据权利要求 1 所述的半导体器件的制造方法，所述半导体膜在从 2098 cm^{-1} 至 2106 cm^{-1} 之间有第一吸收峰，该吸收峰的吸收度比在 1980 cm^{-1} 至 2020 cm^{-1} 之间的吸收峰的吸收度大。

8. 根据权利要求 1 所述的半导体器件的制造方法，制造方法的特征在于：所述淀积的半导体膜处于混晶状态，和还包括使该处于混晶状态的半导体膜结晶化的工序。

9. 权利要求 8 中所述的半导体器件的制造方法，其特征在于：上述使半导体膜结晶化的工序中，所述半导体膜在短时间处于熔融状态。

10. 一种具有形成了晶体管的基板的显示装置，其特征在于：所述晶体管包括有由根据权利要求 1 的制造方法制造的半导体器件。

11. 一种电子设备，特征在于具有权利要求 10 所述的显示装置。

制造半导体器件的方法、显示装置、电子设备

5

技术领域

本发明首先涉及适用于有源矩阵型液晶显示等的薄膜半导体器件及其制造方法。此外本发明涉及应用了上述薄膜半导体器件的液晶显示装置和液晶显示装置的制造方法、电子设备、电子设备的制造方法。再有本发明涉及利用等离子化学汽相淀积法（PECVD）的薄膜淀积方法。

背景技术

近年来，随着液晶显示（LCD）的大画面化和高清晰度化，其驱动方式从单纯的矩阵方式向有源矩阵方式发展，正在向能显示大容量的信息的方向发展。有源矩阵方式使得具有超过几十万象素的液晶显示成为可能，在每个象素中形成开关晶体管。作为各种液晶显示的基板，使用可实现透射型显示的熔融石英板或玻璃等透明绝缘基板。作为薄膜晶体管（TFT）的有源层，一般使用非晶硅或多晶硅等半导体膜，但在想用薄膜晶体管形成包括驱动电路在内的一体化时，工作速度快的多晶硅是有利的。在用多晶硅膜作为有源层时，使用熔融石英板作为基板，通常用工序最高温度超过 1000℃、称之为高温工艺的制造方法制成 TFT。此时，多晶硅膜的迁移率的值约从 $10 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 至 $100 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 。另一方面，由于在用非晶硅膜作为有源层时工序最高温度低至约 400℃，因此使用普通的玻璃。非晶硅的迁移率的值约从 $0.1 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 至 $1 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 。

在向 LCD 的显示画面的大型化和低价格化发展时，使用廉价的普通玻璃作为绝缘基板是必不可少的。但是，如以上所述，非晶硅膜与多晶硅膜相比存在电特性显著地差、工作速度慢等问题。此外，由于高温工艺的多晶硅 TFT 使用熔融石英板，故存在 LCD 的大型化或低价格化较为困难的问题。因而现在迫切需要一种在普通的玻璃基板上制成以多晶硅膜等半导体膜作为有源层的薄膜半导体器件的技术。然而，在使用

5 批量生产性良好的大型的普通玻璃基板时, 为了避免基板变形应使工序最高温度低于 $400\text{ }^{\circ}\text{C}$, 这是很大的限制。即, 在这样的限制下, 希望有形成这样一种薄膜晶体管的有源层的技术, 该薄膜晶体管能工作于液晶显示, 并能使驱动电路高速工作。这种晶体管称之为低温工艺 poly-Si TFT, 正在进行开发。

在 SID (Society for Information Display)' 93 文摘 P.387 (1993) 中示出了相当于现有低温工艺 poly-Si TFT 的第一现有技术。根据该技术, 首先用 LPCVD 法以单硅烷 (SiH_4) 作为原料气体, 在 $550\text{ }^{\circ}\text{C}$ 的淀积温度下淀积 50 nm 的非晶硅 (a - Si) 膜, 对该 (a - Si) 膜进行激光照射, 使 a - Si 膜变性为 poly-Si 膜。对 poly-Si 膜进行图形刻蚀后, 用 ECR - PECVD 法在 $100\text{ }^{\circ}\text{C}$ 的基板温度下淀积作为栅绝缘膜的 SiO_2 膜。在栅绝缘膜上用钽 (Ta) 形成栅电极之后, 以栅电极为掩模在硅膜上离子注入施主或受主杂质, 以自对准 (self align) 方式形成晶体管的源极 - 漏极。此时, 关于离子注入, 使用称之为离子掺杂装置的质量非分离型注入装置, 使用以氢稀释了的磷化氢 (PH_3) 或乙硼烷 (B_2H_6) 作为原料气体。注入离子的激活温度是 $300\text{ }^{\circ}\text{C}$ 。其后淀积层间绝缘膜, 用铟锡氧化物 (ITO) 或铝 (Al) 制成电极或布线, 从而完成薄膜半导体器件。因而, 在该现有技术中工序最高温度是用 LPCVD 法淀积 a - Si 膜 (以下将其简称为 LPCVD a - Si) 的 $550\text{ }^{\circ}\text{C}$ 。

25 相当于现有低温工艺 poly-Si TFT 的第二现有技术以特开平 6 - 163401 为代表。该现有技术的特征在于用等离子 CVD 法 (PECVD 法) 淀积 a - Si 后, 用称为所谓除氢退火的在 $300\text{ }^{\circ}\text{C}$ 至约 $450\text{ }^{\circ}\text{C}$ 的温度下进行淀积膜的热处理, 其后进行激光照射, 形成 poly-Si 膜。这一特征与第一现有技术中使用 LPCVD a - Si 不同。实际上在同一公报的 【 0033 】 段中如以下那样叙述。 “在玻璃基板 (康宁 7059) 1 上在 $200\text{ }^{\circ}\text{C}$ 的基板温度下用等离子 CVD 法形成 200 nm 厚的氧化硅钝化膜 2 和 100 nm 厚的非晶硅薄膜 3。在 $300\text{ }^{\circ}\text{C}$ 下进行 30 分钟的热处理之后, 将 13 W 的氩离子激光聚焦为约 $50\text{ }\mu\text{m}$ 的直径, 以约 11 m/s 的速度进行扫描照射 (束点直径 \times $220000/\text{s}$ 的扫描速度), 进行非晶硅薄膜 3 的多结晶化。”如该例所示, 为了使以 LPCVD 法形成的 a - Si 膜 (以下将其简称为 LPCVD a - Si) 结晶化, 在结晶化工序之前必须进行

热处理。如在不进行热处理或在其温度较低的状态下对 LPCVD a - Si 膜进行激光照射，照射激光的能量强度弱时结晶化完全不能进行，相反如果照射激光的能量强度强，则硅膜中受到损伤，结果 LPCVD a - Si 膜本身处于完全不能进行结晶化的状态。在图 1 中示出申请人进行的实验结果，说明了这种情况。样品是在玻璃基板（日本电气玻璃公司，OA - 2）上用平行平板型 PECVD 装置淀积膜厚为 2500 埃的 a - Si 膜。成膜条件是：单硅烷（ SiH_4 ）流量为 225 SCCM，氢（ H_2 ）流量为 1300 SCCM，高频 PECVD a - Si 膜输出为 150W，压力为 1.3 torr，电极面积为 1656 cm^2 ，（因而外加功率密度为 0.091 W/cm^2 ）电极间距为 24.4 mm，基板温度为 $300 \text{ }^\circ\text{C}$ ，此时的 PECVD a - Si 膜的成膜速度为 547 埃/分钟。该膜是由现有技术得到的典型的 PECVD a - Si 膜，在膜中含有约 10.3 原子 % 的氢，Si 原子的密度为 $4.38 \times 10^{22} \text{ cm}^{-3}$ 。再有，图 5 中示出该 a - Si 膜的红外吸收谱（IR），图 6 中示出拉曼分光测定结果。在图 5 的 a - Si 膜的红外吸收谱中在 2000 cm^{-1} 附近观测到 Si-H 的伸缩模式。另一方面，在图 6 的拉曼分光法中在 480 cm^{-1} 附近看到来自非晶硅的光学横波成分，两者的结果示出 a - Si 膜是在硅与氢结合的状态下包含的非晶膜。图 1 中示出将该 PECVD a - Si 膜在预定温度的氮（ N_2 ）气氛中进行 1 小时的热处理后，进行激光照射的结果。图 1 的横轴表示热处理温度，纵轴表示激光照射的能量。横轴的 A.D. 是 As-Deposited 的简略，意思是刚淀积后的膜，即，没有进行过任何热处理

5
10
15
20
25
30

的 PECVD a - Si 膜。在图 1 中，A 表示非晶质（amorphous）的状态，C 是结晶化（Crystallized）的状态，D 的意思是膜受到损伤。例如，横轴是 A.D.，纵轴的 $150 \text{ mJ} \cdot \text{cm}^{-2}$ 处的 A 是在没有进行过任何热处理的 PECVD a - Si 膜上以 $150 \text{ mJ} \cdot \text{cm}^{-2}$ 的能量密度进行激光照射，由图可见激光照射后的膜仍然是非晶质。如该图所示，在现有的 PECVD a - Si 膜中在 As-Deposited 的状态下，如果能量强度弱（约小于 $160 \text{ mJ} \cdot \text{cm}^{-2}$ ），则完全不能进行结晶化，如果能量强度强（约大于 $160 \text{ mJ} \cdot \text{cm}^{-2}$ ），膜中受到损伤，完全失去作为半导体的功能。如对 PECVD a - Si 膜进行热处理，结晶化的区域（图 1 中用 C 示出的区域）随着处理温度的上升而变宽。例如在处理温度为 $300 \text{ }^\circ\text{C}$ 的膜中结晶化的激光能量强度仅仅是 $180 \text{ mJ} \cdot \text{cm}^{-2}$ 的一点，如处理温度上升到 $390 \text{ }^\circ\text{C}$ ，则结晶化能量强度在从 $190 \text{ mJ} \cdot \text{cm}^{-2}$

到 $310 \text{ mJ} \cdot \text{cm}^{-2}$ 的宽的范围内可进行结晶化。在图 1 中为了易于理解起见将硅膜的状态单纯地分类为非晶质 (A)、结晶化 (C)、损伤 (D) 三个区域,但在结晶化能量区 (C) 内也可更细地分类为结晶化良好的区域、比较接近非晶质的结晶化区域和开始受到损伤的结晶化区域。在图 1 中结晶化良好的区域 C 用圆圈围起来。在该区域的结晶化膜用波长分散型分光椭圆法测量或拉曼分光法测定的结晶化率为 70 % 以上,显示出比较高的结晶化率。因此,为了用激光照射法使结晶化,使成膜了的膜在约 $400 \text{ }^\circ\text{C}$ 以上的温度下进行热处理成为必须的条件。由于激光照射时的每次激光发射的能量的离散度和使结晶化了的膜质量在高的水平下达到均匀一致,实际上使热处理温度在 $450 \text{ }^\circ\text{C}$ 以上。在相当于低温工艺 poly-Si TFT 的第二现有技术中,使用以这种方法得到的多晶硅膜之后,用与第一现有技术相同的制造方法制成 poly-Si TFT。因而在第二现有技术中的最高温度是在 PECVD a-Si 膜结晶化工序之前进行热处理时的温度,大致是 $450 \text{ }^\circ\text{C}$ 。

相当于现有低温工艺 poly-Si TFT 的第三现有技术以例如特开平 5 - 275336 为代表。该现有技术中在对 PECVD a-Si 膜进行结晶化时,通过使激光的照射能量强度顺序地增加,可在无损伤的情况下进行结晶化。在该公报的权利要求 1 中这样叙述:“一种用激光的照射使氢化非晶质半导体薄膜实现多结晶化的多结晶半导体薄膜的制造方法,其特征在于:使激光的照射能量顺序地增大,从而使非晶质半导体薄膜中的氢逐步地放出。”再者在该公报从【0022】至【0026】中有如下那样地叙述。

“【0022】关于在 a-Si:H 膜上照射激光的方法,首先将激光的输出能量减少到小于使 a-Si:H 膜多结晶化所必须的能量,在一定的能量下例如 160 mJ 下(其中束大小为 $0.9 \text{ cm} \times 0.9 \text{ cm}$,整个光学系统的透射率为 70 %,故膜表面的能量密度是 138 mJ/cm^2)进行多次扫描照射,同时用质量分析计监视氢的量,在使氢的量与前一次扫描时的量相比变化不太大后,少许地增大输出能量,例如增大到 200 mJ (能量密度为 173 mJ/cm^2),在该能量下进行多次照射,同样监视氢的量,再次增大能量例如增大到 240 mJ (能量密度为 207 mJ/cm^2),进行相同的工序,顺序地增大能量,重复该工序,由此使 a-Si:H 膜中的氢缓慢地放出,其后在 a-Si:H 膜上以对于多结

晶化来说是足够的能量照射激光,使该 a - Si: H 膜变为多结晶化硅膜。再有,此时也可以在不改变激光的输出能量的情况下通过缩小激光束来改变激光的照射能量(被处理面的每单位面积的能量)。

【0023】图3是示意性地示出这种激光退火的情况的示意图,81是玻璃基板(其中 TFT 的一部分以膜的形式附于其上),82是用于形成象素部分中的 TFT 的 a - Si: H 膜,83是用于形成驱动部分的 a - Si: H 膜。

【0024】如采用这样的实施例,首先通过用激光以小的能量照射到 a - Si: H 膜上来放出与该能量相称的氢,用相同的能量的激光进行多次扫描照射,使与该能量相称的氢根据扫描次数逐步地减少,不久大部分都放出了。然后使激光的能量比前一次的照射能量少许增大,通过进行同样的工序,使得与更高的能量相称的氢根据扫描照射的次数逐步地产生,同时减少,通过这样地增大激光的照射能量,可使从对应于小的能量的氢到对应于大的能量的氢顺序地放出。

【0025】因而由于一边逐步地放出 a - Si: H 膜中的氢而且监视该氢的量,一边向高能量的照射转变,可在实质上不损伤膜的情况下使所含有的氢大部分放出,使 a - Si: H 膜实现多结晶化,由于在外加大的能量时膜中的氢含量已经减少,故即使一下子将氢放出也不会损伤膜。与此相反,如将对 a - Si: H 膜的结晶化来说是充分的激光能量照射到 a - Si: H 膜上的话,由于一下子爆发性地使所含有的氢喷出,故使膜受到损伤。

【0026】在以上的工序中,在到达即使增大激光的照射能量氢的产生量也在预定量以下而且不是很快产生的阶段时,开始实施激光的照射工序,该激光具有对上述 a - Si: H 膜的结晶化来说是必要的能量。”

在以这种方式得到多晶硅膜后,以下用与第一现有技术相同的制造方法制成 poly-Si TFT。

此外,以往用薄板式 PECVD 法淀积薄膜时,安置与反应室分开的预备加热室,在该加热室中进行基板加热后,传送室的机械手将基板传送到反应室,将基板安置在反应室后,在进行几分钟的加热后淀积薄膜。

但是在按照上述的各个现有技术的低温 poly-Si TFT 中存在下述的

问题, 这些问题成为妨碍批量生产的主要原因。

第一现有技术存在的问题。

5 问题 1 - 1)。由于工序温度高达 550 ℃, 故不能使用廉价的玻璃, 引起制品价格提高。另外, 在大型化的同时因玻璃本身的自重引起的变形增大, 故不能使液晶显示装置达到大型化。

问题 1 - 2)。现在想要使 LCD 用的玻璃基板从 360 mm × 460 mm 的尺寸增大到 550 mm × 650 mm 的尺寸, 但能适应该大型化的 LPCVD 装置不存在。

第二现有技术存在的问题。

10 问题 2 - 1)。与 LPCVD a - Si 相比在整个基板上进行均匀激光照射的适当的照射条件很严, 如以上所述, 热处理温度越低, 其适用范围越窄。因此, 不得不使热处理温度从 450 ℃ 提高到约 500 ℃。与此相随, 不能应用廉价的玻璃, 引起价格的提高。另外, 在向大型化进展的同时, 由于玻璃本身的自重引起的变形也增大, 因此不能实现液晶显示装置 (LCD) 的大型化。相反在热处理温度低于约 450 ℃ 时, 因激光照射引起的结晶化程度在每批中或是均匀或是不均匀地变动, 因此不能进行稳定的生产, 此外其结晶化度也低, 故不能得到优质的结晶性半导体膜。

20 问题 2 - 2)。不管热处理温度是高是低, 总之热处理是必须的。因而除了 PECVD 装置之外, 热处理炉是必要的。一般如在热处理炉中附加真空装置, 则成为 LPCVD 装置, 故热处理炉的价格大致与 LPCVD 装置的价格相同。根据这个原因, 第二现有技术与第一现有技术相比价格较高。此外, 工序变长, 产品的成品率下降。另外, 与问题 1 - 2) 相同, 目前不存在能与玻璃基板的大型化对应的热处理炉。

25 第三现有技术存在的问题。

30 问题 3 - 1)。如上述的引用例所示, 为了除氢, 首先用 135 mJ/cm² 的能量进行多次扫描照射, 其次用 173 mJ/cm² 的能量进行多次扫描照射, 再用 207 mJ/cm² 的能量进行多次扫描照射, 这样顺序地增大能量, 重复同样的工序。然后在放出含有氢的大部分之后, 使 a - Si 膜结晶化。这样至 PECVD a - Si 膜结晶化为止至少必须重复十几次以上的激光照射。因此生产性显著下降, 引起产品价格的提高。此外在同一部位进行几次以上的激光照射时, 必须很注意控制基板周边的气氛。如在大气

气氛下进行激光照射，空气中的氧在每次激光照射中进入半导体膜中。在除氢时将氧俘获到除氢后的悬挂键（dangling bond）上，在结晶化的情况下，硅原子移动时氧进入到膜中。如激光照射的次数是几次，来自空气中的氧的进入量很少，没有什么问题，但在重复十几次进行激光照射时，就必须充分注意氧进入到膜中的问题。（当然对于 Si、Ge、GaAs 等一般的半导体物质，如氧混入到半导体膜中，则半导体特性下降。）因而，在第三现有技术中如不在真空中或在非氧化性气氛下进行激光照射，就不能得到没有氧混入的半导体膜。这一点意味着引起生产性的进一步下降和产品价格的进一步上升。

10 问题 3 - 2)。如在问题 3 - 1) 中所述，在该现有技术中在能量强度小的状态下进行激光照射后顺序地提高能量强度。在由这样的激光照射引起的结晶化的方法中，晶粒不变大，以比较小的粒径的晶粒构成结晶半导体膜。因而即使没有氧混入也不能得到优质的半导体膜，故使用该半导体膜的薄膜半导体器件的特性也不会是良好的。

15 因此本发明的目的在于解决上述的各个问题。其第一个目的是提供以现实的和简便的方法，用能使用通常的大型玻璃基板的制造装置和工序温度稳定地制造薄膜半导体装置的方法。

另一方面，在使用非晶硅膜作为薄膜半导体器件的有源层时（以下将其简称为 a-Si TFT），其迁移率是约 $0.1 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ，在例如 768（行） \times 1024（列） \times 3（色）= 2359296（象素）的所谓高精彩色 LCD 的开关元件中，存在响应速度太慢而不能使用的问题。即，目前强烈地希望有一种用与以往使用的 a-Si TFT 相同的制造工序制造的迁移率在约 $1 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 以上的薄膜半导体器件及其制造方法。

25 因此本发明的其他的目的在于解决上述的课题。其第二个目的是提供一种采用与 a-Si TFT 相同的制造工序制造的、迁移率在约 $1 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 以上的薄膜半导体器件及其制造方法。

30 此外，由于在现有的薄板式 PECVD 装置的薄膜淀积方法中预备加热室的存在是不可缺少的，因此存在 PECVD 装置成为大型化和其价格提高的问题。再者由于传送室的机械手的温度约为室温，预备加热温度是约 300℃ 以上，故从预备加热室至反应室的传送中基板温度下降，结果在反应室中在基板安置后依然需要长时间的预备加热期间，这是低

生产性的原因之一。

因此本发明的其他目的在于解决上述课题，其第三个目的是即使在使用薄板式 PECVD 装置的薄膜淀积中也能提供简便而且具有高生产性的薄膜淀积方法。

5

发明的公开

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化学汽相淀积法（PECVD 法）淀积膜厚约从 40 nm 至 300 nm 的半导体膜的工序，以含有该半导体膜构成元素的化学物质作为原料气体，并
10 使用氩（Ar）作为附加气体。其特征还在于：上述半导体膜是硅膜；上述原料气体是硅烷（ SiH_4 ， Si_2H_6 ， Si_3H_8 ）。

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该
15 半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化学汽相淀积法（PECVD 法）淀积该半导体膜的工序，其中以含有该半导体膜构成元素的化学物质作为原料气体，并使用氩（Ar）作为附加气体，该原料气体的浓度在 6.25 % 以下。其特征还在于：此时上述半导体膜的淀积速度大于约 0.15 nm/s。其特征还在于：上述半导体膜是硅
20 膜；上述原料气体是硅烷（ SiH_4 ， Si_2H_6 ， Si_3H_8 ）。

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该
25 半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化学汽相淀积法（PECVD 法）淀积该半导体膜的工序，其中以含有该半导体膜构成元素的化学物质作为原料气体，并使用氩（Ar）作为附加气体，半导体膜淀积中的反应室的压力是约 1.0 Torr 以上。其特征还在于：此时上述半导体膜的淀积速度大于约 0.15 nm/s。其特征还在于：上述半导体膜是硅膜；上述原料气体是硅烷（ SiH_4 ， Si_2H_6 ， Si_3H_8 ）。

30 本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化

学汽相淀积法（PECVD法）淀积该半导体膜的工序，其中以含有该半导体膜构成元素的化学物质作为原料气体，并使用氩（Ar）作为附加气体，半导体膜淀积中的反应室内的电极间距离约为17.8 mm以上。其特征在于：此时上述半导体膜的淀积速度大于约0.15 nm/s。其特征还在于：上述半导体膜是硅膜；上述原料气体是硅烷（ SiH_4 ， Si_2H_6 ， Si_3H_8 ）。

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化学汽相淀积法（PECVD法）淀积该半导体膜的工序，其中以含有该半导体膜构成元素的化学物质作为原料气体，并使用氩（Ar）作为附加气体，该原料气体的浓度在6.25%以下，此时半导体膜淀积中的反应室的压力是约1.0 Torr以上。其特征也在于：此时上述半导体膜的淀积速度大于约0.15 nm/s。其特征还在于：上述半导体膜是硅膜；上述原料气体是硅烷（ SiH_4 ， Si_2H_6 ， Si_3H_8 ）。

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化学汽相淀积法（PECVD法）淀积该半导体膜的工序，其中以含有该半导体膜构成元素的化学物质作为原料气体，并使用氩（Ar）作为附加气体，该原料气体的浓度在6.25%以下，半导体膜淀积中的反应室内的电极间距离约为17.8 mm以上。其特征也在于：此时上述半导体膜的淀积速度大于约0.15 nm/s。其特征还在于：上述半导体膜是硅膜；上述原料气体是硅烷（ SiH_4 ， Si_2H_6 ， Si_3H_8 ）。

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化学汽相淀积法（PECVD法）淀积该半导体膜的工序，其中以含有该半导体膜构成元素的化学物质作为原料气体，并使用氩（Ar）作为附加气体，半导体膜淀积中的反应室的压力是约1.0 Torr以上，半导体膜淀积中的反应室内的电极间距离约为17.8 mm以上。其特征也在于：此时上述半导体膜的淀积速度大于约0.15 nm/s。其特征还在于：上述半

导体膜是硅膜；上述原料气体是硅烷（ SiH_4 ， Si_2H_6 ， Si_3H_8 ）。

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化学汽相淀积法（PECVD法）淀积该半导体膜的工序，其中以含有该半导体膜构成元素的化学物质作为原料气体，并使用氩（Ar）作为附加气体，该原料气体的浓度在6.25%以下，半导体膜淀积中的反应室的压力是约1.0 Torr以上，半导体膜淀积中的反应室内的电极间距离约为17.8 mm以上。其特征也在于：此时上述半导体膜的淀积速度大于约0.15 nm/s。其特征还在于：上述半导体膜是硅膜；上述原料气体是硅烷（ SiH_4 ， Si_2H_6 ， Si_3H_8 ）。

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化学汽相淀积法（PECVD法）淀积该半导体膜的第一工序和提高该半导体膜的结晶性的第二工序，在上述第一工序中，以含有该半导体膜构成元素的化学物质作为原料气体，并使用氩（Ar）作为附加气体。其特征也在于：此时上述半导体膜的淀积速度大于约0.15 nm/s。其特征还在于：上述半导体膜是硅膜；上述原料气体是硅烷（ SiH_4 ， Si_2H_6 ， Si_3H_8 ）。

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化学汽相淀积法（PECVD法）淀积该半导体膜的第一工序和提高该半导体膜的结晶性的第二工序，在上述第一工序中，以含有该半导体膜的构成元素化学物质作为原料气体，并使用氩（Ar）作为附加气体，该原料气体的浓度在6.25%以下。其特征也在于：此时上述半导体膜的淀积速度大于约0.15 nm/s。其特征还在于：上述半导体膜是硅膜；上述原料气体是硅烷（ SiH_4 ， Si_2H_6 ， Si_3H_8 ）。

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化

学汽相淀积法 (PECVD 法) 淀积该半导体膜的第一工序和提高该半导体膜的结晶性的第二工序, 在上述第一工序中, 以含有该半导体膜的构成元素化学物质作为原料气体, 并使用氩 (Ar) 作为附加气体, 半导体膜淀积中的反应室的压力是约 1.0 Torr 以上。其特征也在于: 此时上述半导体膜的淀积速度大于约 0.15 nm/s。其特征还在于: 上述半导体膜是硅膜; 上述原料气体是硅烷 (SiH_4 , Si_2H_6 , Si_3H_8)。

本发明是一种薄膜半导体器件的制造方法, 在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜, 以该半导体膜作为晶体管的有源层, 该制造方法的特征在于包括用等离子化学汽相淀积法 (PECVD 法) 淀积该半导体膜的第一工序和提高该半导体膜的结晶性的第二工序, 在上述第一工序中, 以含有该半导体膜的构成元素化学物质作为原料气体, 并使用氩 (Ar) 作为附加气体, 半导体膜淀积中的反应室内的电极间距离约为 17.8 mm 以上。其特征也在于: 此时上述半导体膜的淀积速度大于约 0.15 nm/s。其特征还在于: 上述半导体膜是硅膜; 上述原料气体是硅烷 (SiH_4 , Si_2H_6 , Si_3H_8)。

本发明是一种薄膜半导体器件的制造方法, 在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜, 以该半导体膜作为晶体管的有源层, 该制造方法的特征在于包括用等离子化学汽相淀积法 (PECVD 法) 淀积该半导体膜的第一工序和提高该半导体膜的结晶性的第二工序, 在上述第一工序中, 以含有该半导体膜的构成元素化学物质作为原料气体, 并使用氩 (Ar) 作为附加气体, 该原料气体的浓度在 6.25 % 以下, 半导体膜淀积中的反应室的压力是约 1.0 Torr 以上。其特征也在于: 此时上述半导体膜的淀积速度大于约 0.15 nm/s。其特征还在于: 上述半导体膜是硅膜; 上述原料气体是硅烷 (SiH_4 , Si_2H_6 , Si_3H_8)。

本发明是一种薄膜半导体器件的制造方法, 在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜, 以该半导体膜作为晶体管的有源层, 该制造方法的特征在于包括用等离子化学汽相淀积法 (PECVD 法) 淀积该半导体膜的第一工序和提高该半导体膜的结晶性的第二工序, 在上述第一工序中, 以含有该半导体膜的构成元素化学物质作为原料气体, 并使用氩 (Ar) 作为附加气体, 该原料气体的浓度在 6.25 % 以下, 半导体膜淀积中的反应室内的电极间距

离约为 17.8 mm 以上。其特征也在于：此时上述半导体膜的淀积速度大于约 0.15 nm/s。其特征还在于：上述半导体膜是硅膜；上述原料气体是硅烷（ SiH_4 ， Si_2H_6 ， Si_3H_8 ）。

5 本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化学汽相淀积法（PECVD 法）淀积该半导体膜的第一工序和提高该半导体膜的结晶性的第二工序，在上述第一工序中，以含有该半导体膜构成元素的化学物质作为原料气体，并使用氩（Ar）作为附加气体，半导
10 体膜淀积中的反应室的压力是约 1.0 Torr 以上，半导体膜淀积中的反应室内的电极间距离约为 17.8 mm 以上。其特征也在于：此时上述半导体膜的淀积速度大于约 0.15 nm/s。其特征还在于：上述半导体膜是硅膜；上述原料气体是硅烷（ SiH_4 ， Si_2H_6 ， Si_3H_8 ）。

15 本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化学汽相淀积法（PECVD 法）淀积该半导体膜的第一工序和提高该半导体膜的结晶性的第二工序，在上述第一工序中，以含有该半导体膜的构成元素化学物质作为原料气体，并使用氩（Ar）作为附加气体，该原
20 料气体的浓度在 6.25 % 以下，半导体膜淀积中的反应室的压力是约 1.0 Torr 以上，半导体膜淀积中的反应室内的电极间距离约为 17.8 mm 以上。其特征也在于：此时上述半导体膜的淀积速度大于约 0.15 nm/s。其特征还在于：上述半导体膜是硅膜；上述原料气体是硅烷（ SiH_4 ， Si_2H_6 ， Si_3H_8 ）。

25 本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该制造方法的特征在于包括用等离子化学汽相淀积法（PECVD 法）淀积该半导体膜的第一工序和将光学能量或电磁波能量照射到该半导体膜上的第二工序，在上述第一工序中，以
30 含有该半导体膜构成元素的化学物质作为原料气体，并使用氩（Ar）作为附加气体。其特征也在于：此时上述半导体膜的淀积速度大于约 0.15 nm/s。其特征还在于：上述半导体膜是硅膜；上述原料气体是硅

烷 (SiH_4 , Si_2H_6 , Si_3H_8)。

本发明是一种薄膜半导体器件,在该器件中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成硅膜,以该硅膜作为晶体管的有源层,该薄膜半导体器件的特征在于:在用红外吸收分光法测定该硅膜时,至少存在两吸收峰即在 2102 cm^{-1} 附近(从约 2098 cm^{-1} 至约 2106 cm^{-1} 之间)的吸收峰和 2084 cm^{-1} 附近(从约 2080 cm^{-1} 至约 2088 cm^{-1} 之间)的吸收峰,该 2102 cm^{-1} 附近的吸收峰强度比 2000 cm^{-1} 附近(从约 1980 cm^{-1} 至约 2020 cm^{-1} 之间)的吸收峰强度高。

本发明是一种薄膜半导体器件的制造方法,在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成硅膜,以该硅膜作为晶体管的有源层,该薄膜半导体器件的制造方法的特征在于:包含用等离子化学汽相淀积法(PECVD法)淀积硅膜的工序,在用红外吸收分光法测定该硅膜时,至少存在两个峰,即在 2102 cm^{-1} 附近(从约 2098 cm^{-1} 至约 2106 cm^{-1} 之间)的吸收峰和 2084 cm^{-1} 附近(从约 2080 cm^{-1} 至约 2088 cm^{-1} 之间)的吸收峰,该 2102 cm^{-1} 附近的吸收峰强度比 2000 cm^{-1} 附近(从约 1980 cm^{-1} 至约 2020 cm^{-1} 之间)的吸收峰强度高。

本发明是一种薄膜半导体器件的制造方法,在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成硅膜,以该硅膜作为晶体管的有源层,该薄膜半导体器件的制造方法的特征在于:包含形成硅膜的第一工序和提高该硅膜的结晶性的第二工序,在用红外吸收分光法测定该硅膜时,至少存在两个峰,即在 2102 cm^{-1} 附近(从约 2098 cm^{-1} 至约 2106 cm^{-1} 之间)的吸收峰和 2084 cm^{-1} 附近(从约 2080 cm^{-1} 至约 2088 cm^{-1} 之间)的吸收峰,该 2102 cm^{-1} 附近的吸收峰强度比 2000 cm^{-1} 附近(从约 1980 cm^{-1} 至约 2020 cm^{-1} 之间)的吸收峰强度高。其特征还在于,此时上述第一工序用等离子化学汽相淀积法(PECVD法)来进行。

本发明是一种薄膜半导体器件的制造方法,在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成硅膜,以该硅膜作为晶体管的有源层,该薄膜半导体器件的制造方法的特征在于:包含形成硅膜的第一工序和将光学能量或电磁波能量照射到该半导体膜上的第二工序,在用红外吸收分光法测定该硅膜时,至少存在两个峰即在

2102 cm^{-1} 附近（从约 2098 cm^{-1} 至约 2106 cm^{-1} 之间）的吸收峰和 2084 cm^{-1} 附近（从约 2080 cm^{-1} 至约 2088 cm^{-1} 之间）的吸收峰，该 2102 cm^{-1} 附近的吸收峰强度比 2000 cm^{-1} 附近（从约 1980 cm^{-1} 至约 2020 cm^{-1} 之间）的吸收峰强度高。其特征还在于，此时上述第一工序用等离子化学汽相沉积法（PECVD 法）来进行。

本发明是一种薄膜半导体器件，在该器件中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该薄膜半导体器件的特征在于：该半导体膜包含非晶质成分和结晶质成分两者，该非晶质成分为柱状结构。其特征还在于，此时上述半导体膜是硅膜。

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该薄膜半导体器件的制造方法的特征在于：包含沉积有非晶质成分和结晶质成分两者、该非晶质成分为柱状结构半导体膜的第一工序和提高该柱状结构半导体膜的结晶性的第二工序。其特征还在于，此时上述半导体膜是硅膜。

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该薄膜半导体器件的制造方法的特征在于：包含沉积有非晶质成分和结晶质成分两者、该非晶质成分为柱状结构半导体膜的第一工序和将光学能量或电磁波能量照射到该半导体膜上的第二工序。其特征还在于，此时上述半导体膜是硅膜。

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该薄膜半导体器件的制造方法的特征在于：包含用等离子化学汽相沉积法（PECVD 法）沉积有非晶质成分和结晶质成分两者、该非晶质成分为柱状结构半导体膜的第一工序和提高该柱状结构半导体膜的结晶性的第二工序。其特征还在于，此时上述半导体膜是硅膜。

本发明是一种薄膜半导体器件的制造方法，在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜，以该半导体膜作为晶体管的有源层，该薄膜半导体器件的制造方法的特征在

于: 包含用等离子化学汽相淀积法 (PECVD 法) 淀积有非晶质成分和结晶质成分两者、该非晶质成分为柱状结构半导体膜的第一工序和将光学能量或电磁波能量照射到该半导体膜上的第二工序。其特征还在于, 此时上述半导体膜是硅膜。

5 本发明是一种薄膜半导体器件的制造方法, 在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜, 以该半导体膜作为晶体管的有源层, 该薄膜半导体器件的制造方法的特征在于: 在形成该半导体膜时在成膜室内存在氩 (Ar)。其特征还在于, 此时上述半导体膜是硅膜。

10 本发明是一种薄膜半导体器件的制造方法, 在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜, 以该半导体膜作为晶体管的有源层, 该薄膜半导体器件的制造方法的特征在于: 包含用氩 (Ar) 作为稀释气体用等离子化学汽相淀积法 (PECVD 法) 淀积处于混晶状态的半导体膜的工序。其特征还在于, 此时上述半导体膜是硅膜。

15 本发明是一种薄膜半导体器件的制造方法, 在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜, 以该半导体膜作为晶体管的有源层, 该薄膜半导体器件的制造方法的特征在于: 包含存在氩 (Ar) 的气氛下淀积处于混晶状态的半导体膜的第一工序和使该处于混晶状态的半导体膜结晶化的第二工序。其特征还在于, 此时上述第二工序中的结晶化经历短时间的熔融状态。其特征还在于, 此时上述半导体膜是硅膜。

20 本发明是一种薄膜半导体器件的制造方法, 在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜, 以该半导体膜作为晶体管的有源层, 该薄膜半导体器件的制造方法的特征在于: 包含存在氩 (Ar) 的气氛下淀积处于混晶状态的半导体膜的第一工序和将光学能量或电磁波能量照射到该处于混晶状态的半导体膜的第二工序。其特征还在于, 此时在上述第二工序中半导体膜处于短时间的熔融状态。其特征还在于, 此时上述半导体膜是硅膜。

25 本发明是一种薄膜半导体器件的制造方法, 在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜, 以该半导体膜作为晶体管的有源层, 该薄膜半导体器件的制造方法的特征在

于:包含以氩(Ar)作为稀释气体,用等离子化学汽相淀积法(PECVD法)淀积处于混晶状态的半导体膜的第一工序和使该处于混晶状态的半导体膜结晶化的第二工序。其特征还在于,此时在上述第二工序中半导体膜处于短时间的熔融状态。其特征还在于,此时上述半导体膜是硅膜。

5 本发明是一种薄膜半导体器件的制造方法,在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜,以该半导体膜作为晶体管的有源层,该薄膜半导体器件的制造方法的特征在于:包含以氩(Ar)作为稀释气体用等离子化学汽相淀积法(PECVD法)淀积处于混晶状态的半导体膜的第一工序和将光学能量或电磁波能量照射到该处于混晶状态的半导体膜的第二工序。其特征还在于,此时在上述第二工序中半导体膜处于短时间的熔融状态。其特征还在于,此时上述半导体膜是硅膜。

15 本发明的液晶显示装置的特征在于:配备有上述的薄膜半导体器件。此外本发明的电子设备的特征在于:配备有这样的液晶显示装置。

本发明是一种液晶显示装置的制造方法,在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜,在安置了将该半导体膜作为晶体管的有源层的薄膜半导体器件的一边的基板和另一边的基板之间夹住液晶,该制造方法的特征在于:包括用等离子化学汽相淀积法(PECVD法)淀积该半导体膜的第一工序和提高该半导体膜的结晶性的第二工序,在上述第一工序中,以含有该半导体膜构成元素的化学物质作为原料气体,并使用氩(Ar)作为附加气体。

20 本发明是一种具有液晶显示装置的电子设备的制造方法,在该制造方法中在至少一部分表面是绝缘性物质的基板的该绝缘性物质上形成半导体膜,在安置了(以该半导体膜作为晶体管的有源层的)薄膜半导体器件的一边的基板和另一边的基板之间夹住液晶,该制造方法的特征在于:包括用等离子化学汽相淀积法(PECVD法)淀积该半导体膜的第一工序和提高该半导体膜的结晶性的第二工序,在上述第一工序中,将含有该半导体膜的构成元素的化学物质作为原料气体,并使用氩(Ar)作为附加气体。

30 本发明是一种用等离子化学汽相淀积装置(PECVD装置)在基板上淀积薄膜的方法,该方法的特征在于包括:在反应室内设置基板的第

一工序；在设置该基板后，将热传导率比成膜时导入该反应室中的气体高的气体导入到该反应室中而进行该基板的第一预备加热的第二工序；除了产生等离子体以外成膜的诸条件与成膜过程相同的、进行该基板的第二预备加热的第三工序；其后试验薄膜的成膜的第四工序。

5 本发明是一种用等离子化学汽相淀积装置（PECVD装置）在基板上淀积薄膜的方法，其特征在于包括：在反应室内设置基板的第一工序；设置该基板后，在将反应室保持于比成膜时高的压力下进行该基板的第一预备加热的第二工序；除了产生等离子体以外，成膜的诸条件与成膜过程相同的、进行该基板的第二预备加热的第三工序；其后试验薄膜的成膜的第四工序。

10 本发明是一种用等离子化学汽相淀积装置（PECVD装置）在基板上淀积薄膜的方法，其特征在于包括：在反应室内设置基板的第一工序；设置该基板后，在比成膜时高的压力下将热传导率比成膜时导入该反应室中的气体高的气体导入到该反应室中进行该基板的第一预备加热的第二工序；除了产生等离子体以外，成膜的诸条件与成膜过程相同的、进行该基板的第二预备加热的第三工序；其后试验薄膜的成膜的第四工序。

以下一边参照附图一边详细地说明本发明的基础原理和实施例。图
20 3（a）～（d）是以剖面方式示出形成MIS型场效应晶体管的薄膜半导体器件的制造工序的概略图。在使用该图描述与本申请的发明有关的TFT的制造方法的概略之后，详细地说明各工序。

（1、本申请发明的薄膜半导体器件制造方法的概略）

25 本发明中使用普通的无碱玻璃作为基板101的一例。首先在基板101上用常压化学汽相淀积法（APCVD法）或PECVD法或溅射法等形成本身是绝缘性物质的基底保护膜102。其次淀积以后成为薄膜半导体器件的有源层的本征硅膜等半导体膜。半导体膜用PECVD法或APCVD法等化学汽相淀积法（CVD法）、或溅射法或蒸发法等物理
30 汽相淀积法（PVD法）来形成。可以将这样得到的半导体膜直接以as-deposited膜作为TFT的沟道部分等有源层来使用，或是可以再在这种半导体膜上短时间地照射激光等光学能量或电磁波能量，使之进行结

晶化。如果最初淀积的半导体膜是非晶质，或是非晶质与微结晶混在一起的混晶质的话，则该工序称为结晶化。另一方面，如果最初淀积的半导体膜是多结晶质，则该工序称为再结晶化。在本说明书中只要不是特别声明，就是将两者归纳起来只称为结晶化或提高结晶性的工序。如果激光等的能量强度很高，则在结晶化时半导体膜一度熔融，经过冷却固化过程而实现结晶化。在本申请中将其称为熔融结晶化法。与此相反，在不熔融的情况下以固相方式进行的半导体膜的结晶化称为固相生长法（SPC法）。固相生长法主要分成以下三类：在从约550℃至650℃的温度下进行从几小时至几十小时的结晶化的热处理法（Furnace-SPC法）、在从约不到1秒至约1分的短时间内在从700℃至1000℃的高温下进行结晶化的快速热处理法（RTA法）和在激光等的能量强度较低时产生的极短时间的固相生长法（VST-SPC法）。本申请的发明可适用于这些结晶化方法中的任一种，但如从以高的生产率制造大型基板的观点来看，特别适合于熔融结晶化法或RTA法、VST-SPC法。在这些结晶化方法中，由于照射时间非常短，而且照射区域对于整个基板来说也是局部的，故在半导体膜的结晶化时不会使整个基板同时加热到高温，因此也不会产生因基板的发热引起的变形或裂缝。其后对该半导体膜进行图形刻蚀，之后制成作为晶体管的有源层的半导体膜103（图3（a））。

在半导体膜形成后，用CVD法或PVD法等形成栅绝缘膜104（图3（b））。在形成绝缘膜时可考虑各种制造方法，但绝缘膜形成温度最好在约350℃以下。这对于防止MOS界面或栅绝缘膜的热劣化是重要的。同样的情况也适用于以下的所有工序。必须将栅绝缘膜形成后的所有的工序温度控制在350℃以下。通过这样做，可容易地而且稳定地制造高性能的薄膜半导体器件。一般来说，用CVD法或PVD法形成的氧化膜与在约1000℃以上的温度下热氧化而制成的氧化膜相比，其膜质量较差。例如用红外吸收分光法分析氧化硅膜时，在 1080 cm^{-1} 附近出现基于O-Si-O的伸展模式的主吸收峰。在膜质量优良的热氧化膜中，该主吸收峰在 $1086 \pm 10\text{ cm}^{-1}$ 附近出现，其半峰高宽度约 $80 \pm 10\text{ cm}^{-1}$ ，其吸收系数约 $33400 \pm 4000\text{ cm}^{-1}$ 。与此相反，用CVD法或PVD法形成的氧化膜中，主吸收峰在 $1070 \pm 10\text{ cm}^{-1}$ 附近出现，其半宽度约 $108 \pm 10\text{ cm}^{-1}$ ，其吸收系数约 $24000 \pm 3000\text{ cm}^{-1}$ 。因此希望

在膜淀积后,对用 CVD 法或 PVD 法形成的质量较差的氧化膜进行膜质改善处理。具体地说,该处理通过在约 200 ℃ 至约 400 ℃ 的温度下,在含有氧分压约为 0.1 大气压至 3 大气压的、含有作为改善氧化膜质量的反应催化剂的露点约为 20 ℃ 至 100 ℃ 的水蒸气的氧化性气氛中进行约 5 10 分至 5 小时的氧化膜的热处理来完成。例如以单硅烷 (SiH_4) 和氧化亚氮 (N_2O) 作为原料用 PECVD 法成膜的氧化膜在 as-deposited 膜状态下主吸收峰在 $1068 \pm 10 \text{ cm}^{-1}$ 附近出现,其半峰高宽度约 110 cm^{-1} ,其吸收系数约 23600 cm^{-1} 。如对该氧化膜在约 350 ℃ 下在含有氧分压约为 0.2 大气压和露点约为 80 ℃ 的水蒸气的气氛中进行 3 小时的热处理,刚才的主吸收峰趋向于 1077 cm^{-1} 附近,其半峰高宽度约 95 cm^{-1} ,其吸收系数约 27500 cm^{-1} ,可见得到改善。这与热氧化膜相比膜质量还是较差,但可以说作为在约 350 ℃ 的低温工序下制成的氧化膜,其质量是较好的。以这种方式用低温工艺形成氧化膜时,氧化膜淀积之后的在氧化性气氛下的热处理在良好的半导体器件制造方面是极为有效的。此外,薄膜半导体器件的半导体层在基底保护膜等氧化膜上制成时,最好也对该氧化膜进行在含有水蒸气等的氧化性气氛下的热处理。

接着,用 PVD 法或 CVD 法淀积成为栅电极 105 的薄膜。由于通常栅电极和栅布线用相同的材料在相同的工序中制成,故希望该材料的电阻低,对于约 350 ℃ 的热工序是稳定的。在淀积成为栅电极 105 的薄膜后,进行图形刻蚀,接着在半导体膜中进行杂质离子注入 106,形成源·漏区 107 和沟道区 108。(图 3(c))此时,由于栅电极成为离子注入的掩模,故沟道成为只在栅电极下形成的自对准结构。杂质离子注入有两种方法,一种是离子掺杂法,用质量非分离型离子注入装置注入杂质元素的氢化物和氢,另一种是离子打进法,用质量分离型离子注入装置只注入所要的杂质元素。作为离子掺杂法的原料气体,使用在氢中稀释了的浓度约为 0.1% 至 10% 的磷化氢 (PH_3) 或乙硼烷 (B_2H_6) 等的注入杂质元素的氢化物。在离子打进法中,在只注入所要的杂质元素后,接着注入氢离子(质子或氢分子离子)。如以上所述,为了使 MOS 界面或栅绝缘膜保持稳定,离子掺杂法也好,离子打进法也好,离子注入时的基板温度必须在 350 ℃ 以下。另一方面,为了在 350 ℃ 以下的低温下总是能稳定地进行注入杂质的活化(在本申请中将其称为低温活化),希望离子注入时的基板温度在 200 ℃ 以上。为了调整晶体管

的阈值电压而进行沟道掺杂,或为了使以低浓度注入的杂质离子在低温下可靠地进行活化以便制成 LDD 结构,离子注入时的基板温度必须在 250℃ 以上。这样,若在高的基板温度的状态下进行离子注入,则在伴随半导体膜的离子注入而产生结晶破坏时,同时也产生再结晶化,结果可防止离子注入部分的非晶化。即,离子注入了的区域在注入后依然作为结晶质而留下,即使其后的活化温度约为 350℃ 以下的低温,当然也可进行注入离子的活化。在制造 CMOS TFT 时,使用聚酰亚胺树脂等适当的掩模材料,交替地用掩模覆盖 NMOS 或 PMOS 的一方,用上述方法进行各自的离子注入。

其次,用 PVD 法或 CVD 法形成层间绝缘膜 109。在离子注入和层间绝缘膜形成后,在 350℃ 以下的适当的热环境下进行几十分至几小时的热处理,进行注入离子的活性化和层间绝缘膜的烧固。该热处理也可在与前面在栅绝缘膜淀积后进行的在含有水蒸气的氧化性气氛下的热处理相同的条件下进行。但是,为了使注入离子可靠地活性化,热处理温度最好也在约 250℃ 以上。此外为了有效地进行层间绝缘膜的烧固,最好使热处理温度在 300℃ 以上。一般栅绝缘膜和层间绝缘膜的膜质量不同。因此,在层间绝缘膜形成后在两个绝缘膜中开接触孔时,一般来说绝缘膜的刻蚀速度不同。在这种条件下接触孔的形状成为越往下越宽的倒圆锥状,或产生帽沿,在其后的电极形成时成为不能很好地进行电导通的所谓接触不良的原因。如能有效地对层间绝缘膜进行烧固,则可将这种接触不良的产生抑制在最小限度。在层间绝缘膜形成后,在源·漏上开接触孔,采用 PVD 法或 CVD 法等形成源·漏引出电极 110 和布线,由此完成薄膜半导体器件。(图 3 (d))。

此外在本章中是以栅电极对于半导体膜处于上侧的类型的薄膜半导体器件为例来说明的,但本申请的发明也可适用于栅电极对于半导体膜处于下侧的类型的薄膜半导体器件。

(2、有关本申请的发明的薄膜半导体器件的制造方法的各个工序的详细说明)

(2-1、适用于本发明的基板和基底保护膜)

首先说明适用于本发明的基板和基底保护膜。作为可适用于本发明

的基板,可使用金属等导电性物质、碳化硅 (SiC)或氧化铝 (Al_2O_3)、氮化铝 (AlN) 等陶瓷材料、熔融石英或玻璃等透明绝缘性物质、硅晶片等半导体基板和对其加工而制成的 LSI、蓝宝石 (三方晶系 Al_2O_3 结晶) 等结晶性绝缘物质等。作为廉价的普通玻璃基板,可使用康宁·

5 日本株式会社制造的 # 7059 玻璃或 # 1737 玻璃,或日本电气玻璃株式会社制造的 OA - 2 玻璃、(株) NH Techno - glass 制造的 NA35 玻璃等。不管基板的种类如何,只要至少基板的一部分由绝缘性物质构成,则就在该绝缘性物质上淀积半导体膜。该绝缘性物质在本申请中称为基底保护膜。例如作为基板使用熔融石英时,因为基板本身是绝缘性

10 物质,故可直接在熔融石英基板上淀积半导体膜。或可将氧化硅膜 (SiO_x : $0 < x \leq 2$) 或氮化硅膜 (Si_3N_x : $0 < x \leq 4$) 等绝缘性物质在熔融石英基板上作为基底保护膜形成后,淀积半导体膜。使用普通的玻璃时作为基板时,可直接在本身是绝缘性物质的普通玻璃上淀积半导体膜,但为了不使玻璃中含有的钠 (Na) 等可动离子混入到半导体膜中,

15 最好在玻璃基板上用氧化硅膜或氮化硅膜等绝缘性物质形成基底保护膜之后,淀积半导体膜。通过这样做,薄膜半导体器件经过长时间使用和在高电压下使用,其工作特性没有变化,这样当然就增加了稳定性。在本申请中,将该稳定性称为晶体管的可靠性。除了在以蓝宝石等结晶性绝缘物质作为基板来使用的情况之外,最好在基底保护膜上淀积半导

20 体膜。在使用各种陶瓷基板作为基板时,基底保护膜起到防止陶瓷中添加的助烧结原材料扩散进入半导体部分的作用。此外,以金属材料作为基板使用时,为了确保绝缘性,基底保护膜是必不可少的。再者,在半导体基板或 LSI 元件中,晶体管之间或布线之间的层间绝缘膜起到基底保护膜的作用。只要对于制造工序中的热环境不产生伸缩或翘曲等变

25 形,对于基板的大小或形状完全不加任何限制。即,从直径约 3 英寸 (76.2 mm) 的园板到约 560 mm × 720 mm 以上的长方形基板,是任意的。

首先用纯水洗净基板后,在基板上通过 APCVD 法或 LPCVD 法、PECVD 法等 CVD 法,或溅射法等 PVD 法,由氧化铝膜、氧化钽膜等

30 氧化膜,或氮化硅膜等氮化膜来形成基底保护膜。在 APCVD 法中,在基板温度约 250 °C 至 450 °C 下,如将单硅烷 (SiH_4) 或氧作为原料,可淀积氧化硅膜。在 PECVD 法或溅射法中,在基板温度从室温到约 400

℃之间形成这些基底保护膜。为了防止来自基板的杂质离子的扩散进入，基底保护膜具有足够的厚度是必要的，其值最小约为 100 nm。如考虑批量间或基板间的离散度，厚度最好在约 200 nm 以上，如厚度为 300 nm，则可充分地起到作为保护膜的功能。在以基底保护膜兼作 IC 元件间或将这些元件连接起来的布线等的层间绝缘膜时，通常将膜厚作成约 400 nm 至 600 nm。

(2-2、本发明的半导体膜和用于将其成膜的原料物质)

在本发明中将半导体膜淀积在任一种基板上。这一点在以下的全部发明中是共同的。作为适用于本发明的半导体膜的种类，除了硅 (Si) 或锗 (Ge) 等单质的半导体膜以外，可以是硅·锗 ($\text{Si}_x\text{Ge}_{1-x}$: $0 < x < 1$) 或硅·碳 ($\text{Si}_x\text{C}_{1-x}$: $0 < x < 1$) 或锗·碳 ($\text{Ge}_x\text{C}_{1-x}$: $0 < x < 1$) 等四族元素复合体的半导体膜，或镓·砷 (GaAs)、铟·锑 (InSb) 等三族元素和五族元素的复合体化合物半导体膜，或镉·硒 (CdSe) 等二族元素和六族元素的复合体化合物半导体膜。或者，本发明也可适用于硅·锗·镓·砷 ($\text{Si}_x\text{Ge}_y\text{Ga}_z\text{As}_z$: $x + y + z = 1$) 的所谓更进一步的复合化合物半导体膜或在这些半导体膜中添加了磷 (P)、砷 (As)、锑 (Sb) 等施主元素的 N 型半导体膜，或在这些半导体膜中添加了硼 (B)、铝 (Al)、镓 (Ga) 等受主元素的 P 型半导体膜。

在本发明中用 CVD 法淀积半导体膜时，将含有所淀积的半导体膜的构成元素的化学物质作为原料气体淀积半导体膜。例如半导体膜是硅 (Si) 时，作为原料气体使用单硅烷 (SiH_4)、乙硅烷 (Si_2H_6)、丙硅烷 (Si_3H_8)、二氯硅烷 (SiH_2Cl_2) 等硅烷。在本说明书中，将乙硅烷或丙硅烷称为高次硅烷 ($\text{Si}_n\text{H}_{2n+2}$: n 是大于 2 的整数)。在锗是半导体膜时，使用锗烷 (GeH_4)，在将碳 (C) 或镓 (Ga)、砷 (As) 作为半导体膜时，使用甲烷 (CH_4) 或三甲基镓 ($(\text{CH}_3)_3\text{Ga}$)、砷化氢 (AsH_3)。此外，在半导体膜中添加磷 (P) 或硼 (B) 时，也共同使用磷化氢 (PH_3) 和乙硼烷 (B_2H_6) 等。作为原料气体，使用含有构成上述的各种半导体膜的元素的化学物质，但由于原料气体的一部分必定会残留在半导体膜中，故使用构成元素的氢化物是更为理想的。例如在由二氯硅烷 (SiH_2Cl_2) 成膜的硅膜中，量的大小姑且不

论, 但必定会残留氯 (Cl), 在使用该硅膜作为半导体器件的有源层时, 残留的氯将成为晶体管特性变坏的主要原因。因而, 与二氯硅烷相比, 作为构成元素的氯化物的单硅烷 (SiH_4) 较为理想。原料气体和根据需要添加的附加气体的纯度越高越好, 但如考虑得到高纯度气体的技术方面的难度的增加和价格的上升, 纯度在 99.9999 % 以上较为理想。通常半导体膜的成膜装置的本底真空度是约 10^{-6} torr, 成膜压力是 0.1 torr 至几个 torr。因此, 从本底真空向成膜过程的杂质进入的比例约为 10^{-5} 至 10^{-6} 。在成膜中使用的原料气体或附加气体的纯度对利用这些气体的成膜装置的本底真空度的成膜压力相比如果是同等程度的话, 是足够的。因而, 在本发明中在成膜装置中流过的气体的纯度在 99.999 % 以上 (杂质的比例在 1×10^{-5} 以下) 是较为理想的, 如纯度在 99.9999 % (杂质的比例在 1×10^{-6} 以下), 作为原料的使用完全没有障碍, 如纯度为本底真空度和成膜压力的比的十倍 (在本例中纯度是 99.99999 %, 杂质的比例是 1×10^{-7} 以下), 则完全没有必要考虑来自气体的杂质进入, 是很理想的。

(2 - 3、在本发明中使用的 PECVD 装置)

首先使用图 2 说明在本发明中使用的等离子化学汽相淀积装置 (PECVD 装置) 的概略结构。该 PECVD 装置是薄板式电容耦合型装置, 使用工业用的频率 (13.56 MHz) 的高频电源, 在平行平板电极间产生等离子体。图 2 的上图是从上部看到的反应室附近的概略图, 图中的 A - A' 的剖面图是图 2 的下图。依靠反应容器 202 将反应室 201 与外部气体隔开, 在成膜中大体成为 0.1 torr 至 10 torr 的减压状态。在反应容器 202 内, 下部平板电极 203 和上部平板电极 204 互相平行地安置, 这两个电极形成平行平板电极。该平行平板电极间成为反应室 201。在本申请的发明中, 使用 470 mm \times 560 mm 的平行平板电极, 由于电极间距离从 18.0 mm 至 37.0 mm 是可变的, 故反应室 201 的容积根据电极间距离, 从 4738 cm^3 至 9738 cm^3 。平行平板电极间距离通过使下部平板电极 203 的位置上下移动, 可自由地在 10.0 mm 至 40.0 mm 之间进行设定。此外, 在设定了预定的电极间距离时, 在 470 mm \times 560 mm 的平板电极面内的电极间距离的偏差只有 0.5 mm。因而, 在电极间产生的电场强度的偏差在平板电极面内为 2 % 以下, 这样在反

应室 201 内产生极其均匀的等离子体。在下部平板电极 203 上放置应淀
积薄膜的基板 205，基板边缘部分 2 mm 用遮蔽框 206 压住。为了容易
了解 PECVD 装置的概略，在图 2 的上图中省略了遮蔽框 206。在下部
平板电极 203 的内部设置了加热器 207，可将下部平板电极的温度在
5 250 ℃ 至 400 ℃ 之间任意调整。在除了周边 2 mm 的下部平板电极 203
内的温度分布对于设定温度是落在 ± 5 ℃ 以内，实质上即使将基板 205
的大小作成 360 mm \times 465 mm，基板内的温度偏差也可保持在 ± 2 ℃
以内。例如在使用普通玻璃基板（康宁·日本株式会社制造的 # 7059 玻
璃，或日本电气玻璃株式会社制造的 OA - 2 玻璃、NH Techno -
10 glass 株式会社制造的 NA35 玻璃等）作为基板 205 时，遮蔽框 206 压
住基板，以便防止基板由于加热器 207 的热量而变形为凹型，同时不在
基板的边缘部分和背面形成不需要的薄膜。由原料气体和附加气体构成
的反应气体通过管道 208 导入到上部平板电极 204 内，再穿过设置在上
部平板电极内的气体扩散板 209 之间，从整个上部平板电极的表面以大
15 致均匀的压力流出到反应室 201。如在成膜中反应气体的一部分在从上
部平板电极流出的部位电离，则在平行平板电极间产生等离子体。反应
气体的一部分乃至全部与成膜有关，与成膜无关的残留反应气体和作为
成膜的化学反应的结果而产生的气体构成排气气体，通过在反应容器
202 周边的上部设置的排气孔 210 而排出。排气孔 210 的流导与平行平
20 板电极间的流导相比足够大，排气孔 210 的流导最好是平行平板电极间
的流导的 100 倍以上。再者平行平板电极间的流导与气体扩散板 209 的
流导相比足够大，平行平板电极间的流导值最好是气体扩散板 209 的
流导的 100 倍以上。根据这种构成，从 470 mm \times 560 mm 的大型上部平
板电极的整个表面以大致均匀的压力将反应气体导入到反应室，同时将
25 排气气体在所有方向上以相等的流量从反应室排出。各种反应气体的流
量在导入管道 208 前通过质量流量控制器调整到预定值。此外，反应室
内的压力通过在排气孔出口设置的导通阀 211 调整到所需值。在导通阀
211 的排气侧设置涡轮分子泵等真空排气装置。在本申请的发明中使用
无油的干泵作为真空排气装置的一部分，使反应室内的本底真空度约为
30 10^{-5} torr。在图 2 中，用箭头示出气体流动的概略。反应容器 202 和
下部平板电极 203 处于接地电位，用绝缘环 212 将其与上部平板电极
204 保持电绝缘状态。在产生等离子体时，从高频振荡源 213 输出的例

如 13.56 MHz 的高频波通过阻抗匹配电路 214 加到上部平板电极 204 上。

本发明中使用的 PECVD 装置通过实现了如以上所述的非常精巧的电极间控制和均匀的气体流动，成为可适应 360 mm × 465 mm 的大型基板的薄膜形成装置。但是，如遵循这种基本概念，可容易地适应基板的进一步的大型化，实际上可实现能适应 550 mm × 650 mm 的更大型的基板的装置。此外在本发明中使用通用性最高的频率为 13.56 MHz 的高频，但也可利用其他的该高频波的整数倍的高频波。例如 2 倍的 27.12 MHz 或 3 倍的 40.68 MHz、4 倍的 54.24 MHz 等也是有效的。

再者可利用 100MHz ~ 1GHz 的 VHF 波。如果频率是从约 10MHz 的高频波到约几百 MHz 的 VHF 波，可在平行平板电极间产生等离子体。因而，通过更换本申请的发明中使用的 PECVD 装置的高频振荡源 213 和阻抗匹配电路 214，可容易地使用所需的频率的高频波产生等离子体。一般来说，由于在高频波的等离子体中若频率提高则等离子体的电子温度上升，游离基的产生变得容易，故对于下述的本发明的薄膜形成方法特别有效。

(2 - 4、本发明的半导体膜及其在 PECVD 法中的淀积)

以下说明根据本发明的薄膜半导体器件的半导体膜和用 PECVD 法形成该膜的方法。在基板表面的至少一部分上设置了本身是氧化硅膜等绝缘性物质的基底保护膜后，在该基底保护膜上形成半导体膜，最终制造以该半导体膜为晶体管的有源层的薄膜半导体器件。

将基板安置在下部平板电极 203 的温度保持在 380 °C 的 PECVD 装置内。除了建立等离子体这一点之外，PECVD 装置处于与成膜过程相同的状态。例如流过 50 SCCM 的单硅烷，3000 SCCM 的氢，将反应室内的压力保持在 1.5 Torr。平行平板电极间距离是 24.4 mm。使所安置的基板与这样的系统处于平衡状态后的基板表面温度是 349 °C。如从基板安装到 PECVD 装置内后至达到平衡状态为止的时间称为平衡时间，在保持在室温的基板的情况下，平衡时间最短需要 5 分 ~ 6 分。该平衡时间当然因基板的厚度、热容量、热传导系数、安置前的基板温度和导入到反应室的气体的种类及其流量、压力等的不同是不同的。基板的厚度如从本申请的发明中使用的 1.1 mm 减薄到例如 0.7 mm，平

衡时间也与厚度成比例地缩短到3分~4分。如果基板安置到反应室内前预先进行预备加热，则平衡时间还可缩短。特别是，如预先在比处于平衡状态的基板表面温度高约10℃的温度下进行预备加热，可使平衡时间降低到约1分。平衡时间的缩短，不用说意味着生产率的提高和制品价格的降低。此外，一般来说，如反应室的压力降低，则在平衡状态下的基板表面温度也降低。因而在基板安置后的最初几十秒至几分间，将比成膜时导入到反应室的气体的热传导系数高的气体（氢或氮等）导入到反应室，或将反应室保持于比成膜时高的压力，或将两者组合起来，用比成膜时高的压力导入比成膜时导入到反应室的气体的热传导系数高的气体到反应室，进行基板的第一预备加热之后，可再在其后的几十秒至几分间，除了建立等离子体之外将上述诸条件（导入气体的种类、气体流量、反应室内的压力、平行平板电极间的距离、下部平板电极温度）作成与成膜过程相同而进行第二预备加热之后，试验成膜也行。反应室内从第一预备加热气氛到完全换成第二预备加热气氛为止，需要化费足够的时间，故进行该第二预备加热是较为理想的。在第二预备加热期间中的时刻 t (min) 的第一预备加热气氛的残留气体的成分比 x ，即使考虑排气最慢的完全混合系统，如用 V (cc) 表示反应室体积、用 P (Torr) 表示成膜时的压力、用 Q (sccm) 表示成膜时的气体流量，则可表达为下式。

$$t = - (P/760) \cdot (V/Q) \cdot \ln (x)$$

如将 $x = 10^{-6}$ 定义为完全置换，则该式可改写为下式。

$$t = (P/760) \cdot (V/Q) \times 13.82$$

因而，如将第二预备加热期间取得比用该式计算的时间长，则反应室内被完全地置换为第二预备加热气氛。通过这样做，在第一预备加热时导入的气体不会在半导体膜淀积时残留下来，这样在半导体膜淀积中可始终维持相同的气氛。再者，用第二预备加热使成膜中的基板温度保持为一定。结果，用第二预备加热使气氛和温度达到稳定，这样在膜厚方向上可做到淀积均匀的膜，而且可进一步缩短平衡时间。

以这种方式达到平衡状态后，在上部平板电极204上加高频波产生等离子体，进行半导体膜的成膜。高频波的输出例如是600W。硅膜的淀积条件的一例如下。

硅烷流量: $\text{SiH}_4 = 50 \text{ SCCM}$

氩流量: Ar = 3000 SCCM (原料浓度 1.64 %)

高频波输出: RF = 600 W (0.228 W/cm²)

压力: P = 1.5 Torr

电极间距离: S = 24.4 mm

5 下部平板电极温度: Tsus = 380 °C

基板表面温度: Tsub = 349 °C

在这样的条件下半导体膜的淀积速度为 0.327 nm/s, 用热脱附气体谱 (TDS) 测定的硅膜中的氢浓度为 9.10 原子%。此外, 如用透射型电子显微镜观察, 该硅膜含有非晶质成分和结晶质成分两者, 非晶质成分主要形成为柱状结构。结晶成分以岛状分布在柱状的非晶质成分中。另一方面, 在图 7 中示出该硅膜的拉曼分光测定结果。在图 6 的现有技术硅膜中未观察到的 520 cm⁻¹ 附近可见到峰值。这是来自硅膜中含有的结晶成分的拉曼移动。即: 本申请发明获得的硅膜是非晶质和结晶质混合一起的混晶质膜。图 4 中示出用该硅膜的红外吸收分光法测定的光谱。如果与现有的 a-Si 膜 (图 5) 比较, 可看到 2102 cm⁻¹ 附近 (吸收峰位置在约从 2098cm⁻¹ 至 2106cm⁻¹ 之间出现) 的吸收峰和 2084 cm⁻¹ 附近 (吸收峰位置在约从 2080cm⁻¹ 至 2088cm⁻¹ 之间出现) 的吸收峰的两峰清晰地分离而存在, 可以看到: 其内 2102cm⁻¹ 附近的吸收峰强度比 2000 cm⁻¹ 附近 (吸收峰位置在约从 1980cm⁻¹ 至 2020cm⁻¹ 之间出现) 的吸收峰强度要强。2000cm⁻¹ 附近的吸收峰是耦合到 a-Si 上的氢 (Si-H) 的伸展模式。迄今已认定在 2090cm⁻¹ 附近出现以与 (SiH₂) 或 (SiH₂)_n 的形态结合的氢的伸展模式 (文献 M.H.Brodskey , M.Cardona and J.J.Cuomo : Phys.Rev.B16 (1977) 3556 或 G.Lucovsky , R.J.Nemanich and J.C.Knights : Phys.Rev.B19 (1979) 2064)。但是, 在本系统的情况下, 与 2000cm⁻¹ 附近的吸收峰相比, 2102cm⁻¹ 附近或 2084cm⁻¹ 附近的吸收峰强得多这一点或在半导体膜中结晶成分较多这一点, 如改变成膜条件结晶成分的比例增加, 在 2000cm⁻¹ 附近的吸收减弱的同时 2102cm⁻¹ 附近或 2084cm⁻¹ 附近的吸收增强这一点, 在用 TDS 法一边提高半导体样品的温度一边测定脱附放出的氢量时, 在通常的情况下来自在 2000cm⁻¹ 附近具有峰值的样品的氢的脱附放出在样品温度约 300 °C 时为最大, 与此相反, 在本系统中的氢的脱附放出在样品温度约 370 °C 时为最大这一点等, 从以上各

点可知，在 2102cm^{-1} 附近或 2084cm^{-1} 附近的出现的两个吸收峰是本系统特有的，一般认为是由于与非晶质成分和结晶成分混在一起的膜中的结晶成分结合的氢的振动有关而产生的。再有，在以氩用来作稀释气体，用 PECVD 法成膜的现有技术的微结晶（氩系统的微晶硅）中，由于在 2102cm^{-1} 附近和 2084cm^{-1} 附近不出现清晰地分离了的两个吸收峰，故可以说这两个吸收峰是氩系统的特征。换言之，红外吸收谱的 2102cm^{-1} 附近和 2084cm^{-1} 附近的吸收峰是使用氩作为稀释气体对混晶质膜进行成膜时最容易出现的。结果，将含有半导体膜的构成元素的硅的化学物质的硅烷作为原料气体，再者使用氩作为附加气体用 PECVD 法淀积的硅膜是非晶质成分主要采取柱状结构的混晶质。再有，在该半导体膜中，大致含有从 1 % 至 10 % 的氢与非晶质硅或结晶质硅结合在一起，这些红外峰是在 2102cm^{-1} 附近和 2084cm^{-1} 附近观察到那样的峰。此外，由于在本系统中得到的半导体膜在其成膜时不使用氟化硅烷（ SiF_4 ）等的卤化物，故完全没有进入半导体膜中的卤族元素，可形成纯度非常高的膜。以下为了简单起见，将该半导体膜简称为（Ar 系统）混晶质膜。

这样得到的本发明的（Ar 系统）混晶质膜，在不进行特别的结晶化工序的情况下，可直接用 as-deposited 膜作为薄膜半导体器件的有源层（即源区或漏区、沟道区、或发射区或收集区、基区）来利用。由于本申请的发明的半导体膜如以上所述，是高纯度的，在非晶质中含有很多的结晶质，而且大致 10 % 以下的氢成为非晶质或结晶质中的缺陷或悬挂键的终端，故在使用该半导体膜制成薄膜半导体器件时，显示出迁移率为约 $2\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 以上的良好的电特性。再者，本申请的发明的半导体膜反映该良好的膜质量，用前面（1、本申请的发明的薄膜半导体器件的制造方法的概略）所述的方法可制成 MOS 型 TFT。即，即使不进行特别的结晶化工序，离子注入法和在其后的约 350C 的低温活性化变为可能，第一章的制造方法能适用。如按照该制造方法，由于工序最高温度是约 350C ，可在普通的大型玻璃等的耐热性低的基板上简单地制成自对准型薄膜半导体器件。本申请的发明的薄膜半导体器件栅电极和源区、或漏区的重叠很小，与此相应栅·源间或栅·漏间的寄生电容很小。因此，如用本申请的发明的薄膜半导体器件构成电路，则该电路的工作速度很快，或如用于 AMLCD 的开关元件，则由于将元

件作成微细化的元件，故可减少维持电容，可制成具有高的图象质量和高的开口率的显示性能的液晶显示装置。

在用 PECVD 法淀积这种优质的半导体膜时的重要的参数是下述的五个：附加气体的种类、及其气体流量比（原料气体（单硅烷等）相对于总的气体（附加气体（氩等）和原料气体的和）的浓度）、压力、电极间距离、基板表面温度。以下详细地叙述这些参数。

本申请的发明的特征之一在于用通用性高的 PECVD 法将刚淀积后的膜（As-deposited 膜）作成结晶性比较高的混晶质。一般来说，用 PECVD 法将 As-deposited 膜作成结晶性比较高的混晶质是非常困难的。这是因为基板温度不到 400℃，硅烷等的原料物质的生长膜表面处的迁移率减少，原料物质的非晶质状态向结晶状态转变的选择性遭到损失。因此，迄今在成膜中实施导入氟化硅烷等的处理，但同时这也成为使半导体膜的纯度下降的原因。本申请的发明中通过导入大量的氩（Ar）等的附加气体，依靠这些附加气体对原料物质的稀释来解决在 PECVD 法中存在的这种缺点。为了在 As-deposited 状态下形成结晶性高的混晶质膜，不形成原料物质的游离基或离子，而是形成氩（Ar）的游离基和离子，有必要用这些游离基和离子将能量运到基板表面。由于原料气体的游离基和离子引起气相反应，或在原料物质到达基板表面的瞬间发生反应，产生选择性的丧失，妨碍了半导体膜表面的结晶生长。因此必须尽可能避免在等离子体中生成这样的游离基或离子。如原料物质以非活性状态运到生长膜表面并在那里后吸附依靠稀释气体等供给反应用的能量，则在 As-deposited 状态下形成结晶性高的混晶质膜。由此可见，要求原料气体的稀释，再者有必要选择促进原料物质在基板表面反应的气体作为稀释物质。氩不用说是由单原子构成的，因此电离电位的光谱非常单纯。氩的一价电离电位是 15.759 eV，二价电离电位是 27.629 eV，三价电离电位是 40.74 eV。因而，在氩中稀释少量的原料物质建立等离子体时，电离的氩由一价离子和二价离子两者占支配地位，由于电离能量较低，可有效地产生氩的游离基或离子。与此相反，在迄今作为稀释气体广泛地使用的氢中，氢分子的电离电位在从 15 eV 至 18 eV 之间存在十几个不同的电离电位。因此，与氩形成一个或两个能量一致的等离子状态相反（以光为例，是激光），氢等的分子气体形成多个能量混在一起的等离子状态（以光为例，是白光）。与白色

光相比激光能有效地输送能量,其结果是如用电离能量低的氩稀释原料气体,能更有效地将能量运送到基板表面。在半导体膜淀积时的稀释物质,除了氩之外,当然还可以是氦(He)或氖(Ne)、氪(Kr)、氙(Xe)等所谓的稀有气体元素。这是因为这些气体也具有单纯的电

5 离电位谱。

与氩等相比,氩除了稀有气体元素的优良的能量输送性之外,还具有刻蚀性。因此在非晶质成分内具有2个乃至3个非结合对(悬挂键)的不稳定的半导体原子在成膜中用氩进行刻蚀的概率变高,同样,与结晶成分相比,非晶质成分的刻蚀概率变高。其结果是,将氩作为稀释气

10 体淀积的半导体膜与将氦或氖等其他的气体作为稀释气体使用的半导体膜相比,具有悬挂键的数目减少,结晶化率(对于结晶成分的比例)更加提高的趋势。此外,由于以同样的原理在成膜中不稳定的原子依靠氩有选择地除去,则淀积膜由比较稳定的原子群构成。这就意味着即使氩系统的半导体膜在短时间内接受到大的能量供给,也难以产生

15 来自半导体膜的原子溅射。换言之,可以说氩系统的半导体膜与氩系统等其他半导体膜相比在激光照射或快速热处理等的结晶化时难以受到损伤,更适合于结晶化。此外,如前面有关TDS测定所述的那样,与本申请的发明的氩系统的半导体膜结合的氩和与通常的半导体膜结合的氩相比,其脱离所要的活化能较大,要在更高的温度下开始分离。这

20 意味着在结晶化时,氩系统的半导体膜即使短时间内受到大量的能量供给(半导体膜的温度上升速度是从约 $10\text{ }^{\circ}\text{C}/\text{秒}$ 至 $10^{11}\text{ }^{\circ}\text{C}/\text{秒}$),氩的放出比较缓慢地进行,因此不会产生结晶化时的膜损伤。与此相反,在使用氦或氖所谓的轻元素作为稀释气体时,在淀积膜中硅原子具有的4条键对内3条变为悬挂键,只有剩下的1条与其他的硅原子结合的所谓不

25 稳定原子。在这样的半导体膜中即使供给很小的能量,不稳定原子的键被切断,容易发生半导体原子的溅射或作为其宏观现象而产生的膜损伤。此外,由于氩脱附活化能较低,即使半导体膜只受到较缓和的温度上升(例如约 $10\text{ }^{\circ}\text{C}/\text{分}$),氩就爆发性地放出,由此产生膜剥离或损伤,妨碍结晶化。由此得出的结论是:作为本申请的发明的稀释气体,最适

30 合的是氩,其次是氦等稀有气体。

气体流量比中原料气体浓度(原料气体/(原料气体+附加气体))在约6.25%以下是必须条件。除了基板温度以外的其他两个参数中也

存在必须条件,只有三个参数同时满足必须条件时,才淀积本申请的发明的(Ar系统)混晶质膜。即使在其他两个参数接近必须条件值时(仿佛要破坏必须条件时),只有在原料气体浓度在约3.23%以下时才能可靠地形成(Ar系统)混晶质膜。由于如果浓度太低,则淀积速度缓慢,故不能忽视存在于本底真空度残余气体成分的氧或水、二氧化碳等杂质气体的影响,半导体膜的质量变坏。如果浓度大致在0.36%以上,则不存在这种杂质的影响,可得到优质的半导体膜。压力的必须条件是1.0 Torr以上。即使在其他两个参数接近必须条件值时(仿佛要破坏必须条件时),只有在压力约1.6 Torr以上时才能可靠地形成(Ar系统)混晶质膜。假如压力太高,则等离子体不稳定,会发生异常放电。在本申请的发明的气体流量比中,为了稳定地建立均匀的等离子体,压力最好在2.7 Torr以下。电极间距离的必须条件是约17.8 mm以上。即使

5 在其他两个参数接近必须条件值时(仿佛要破坏必须条件时),只有在电极间距离是约25.4 mm以上时才能可靠地形成(Ar系统)混晶质膜。电极间距离过宽,等离子体仍然会变得不稳定,从而产生异常放电。本申请的发明中,为了稳定地建立均匀的等离子体,电极间距离要在约45.7 mm以下。对于基板表面温度,虽然不存在必须条件,但在约200℃以上时比较容易得到混晶质膜,如果从使用廉价的大型基板而不发生问题的观点出发,希望基板表面温度取约400℃以下。为了对(Ar系统)混晶质膜进行成膜,如以上所述,原料气体浓度低些好,此外压力高些好,再者电极间距离最好较宽。因此,如果气体浓度降低,或压力提高,或电极间距离加宽,则关于As-deposited膜的膜质量方面,结晶化率进一步变高,氢含量进一步减少,2102cm⁻¹附近的峰和2084cm⁻¹附近的峰进一步增强,如下面所述,通过激光照射或快速热处理等,结晶化更容易进行。关于氢的含量,例如使用(2-3)章中说明了的

10 20 25 30 PECVD装置,单硅烷流量取100 sccm,氢流量取7000 sccm,(单硅烷浓度1.41%),高频输出取600 W,(功率密度0.228 W/cm²),压力取2.25 Torr,电极间距离取35.56 mm,下部平板电极温度取380℃,淀积速度为0.1703 nm/s时,用TDS测定,为约1.83原子%,可与用LPCVD法形成的非晶质半导体膜一样地降低。

如刚才所说明的那样,在本系统中,促进基板表面成膜反应的能量是通过稀释气体的离子或游离基输送的。但这些离子或游离基的寿命随

压力或电极间距离显示出呈指数函数方式地减少。这是因为，压力越高，或距离越长，离子或游离基的碰撞几率越增加。结果，成膜速度 DR (nm/s) 如下式所示。

$$DR = d_0 \exp \{ - (\alpha S + \beta P) \}$$

- 5 这里， d_0 称为指数前系数 (Pre - exponential factor) (nm/s)，这是根据气体流量或装置形状、高频功率密度、基板温度等而定的系数。该系数与硅烷等原料气体流量有很强的正相关性。即，如原料气体流量变大，则 d_0 相应地增大。S 表示电极间距离 (mm)，P 是压力 (Torr)。顺便指出，如使用 (2 - 3) 章中说明的 PECVD 装置，
- 10 单硅烷流量设为 100 sccm，氩流量设为 7000 sccm，高频输出设为 600 W，下部平板电极温度设为 380 °C 时， d_0 和 α 、 β 的值分别如下述。

$$d_0 = 8.70 \text{ (nm/s)}$$

$$\alpha = 0.0522 \text{ (mm}^{-1} \text{)}$$

$$\beta = 0.9258 \text{ (Torr}^{-1} \text{)}$$

- 15 本申请的发明的 (Ar 系统) 混晶质膜是在用 PECVD 法、成膜速度对压力与电极间距离的关系满足上述指数函数关系式时形成的。

成膜速度的这种关系意味着，如果使原料气体浓度与压力、电极间距离所谓 (Ar 系统) 半导体膜中重要的三个参数保持在较为理想的方向，成膜速度低下。例如，即使在如下成膜条件下：

- 20 硅烷流量： $SiH_4 = 25 \text{ SCCM}$
 氩流量： $Ar = 7000 \text{ SCCM}$ (原料浓度 0.36 %)
 压力： $P = 2.7 \text{ Torr}$
 电极间距离： $S = 45.7 \text{ mm}$
 高频波输出： $RF = 600 \text{ W}$ (0.228 W/cm^2)
- 25 下部平板电极温度： $T_{sus} = 380 \text{ }^\circ\text{C}$
 基板表面温度： $T_{sub} = 349 \text{ }^\circ\text{C}$

- 经 30 分钟的淀积，淀积膜厚也只有约 3 nm (淀积速度： $DR = 0.0017 \text{ nm/s}$)。如以下所述，因为在薄膜半导体器件中，半导体膜厚一般约为从几十 nm 至几百 nm，故从制造方面的观点来看，该成膜速度太慢，可以说是不大实用的。另外，如 (2 - 2) 中所述，在本底真空度对成膜压力的比或气体中的杂质的比例为从约 10^{-5} 至 10^{-6} 的系统中，希望成膜速度在约 0.15 nm/s 以上。这是因为，在这种量级的本

底真空度或气体纯度的情况下，通过大于该成膜速度来消除进入半导体膜中的氧或水、一氧化碳、二氧化碳等杂质气体的不良影响。如用小于约 0.15 nm/s 的成膜速度来淀积膜，则膜变成密度低、含有大量空隙的低品质的膜，另外半导体膜的纯度也变坏了。因而，在满足上述诸条件的同时，使淀积速度大于 0.15 nm/s 来淀积高纯度、高质量（Ar 系统）的混晶质膜是较为理想的。为什么将 0.15 nm/s 的值定为阈值虽然尚未明确，但如果将刚才的压力比或杂质的比例变为从 10^{-6} 至 10^{-7} 量级，从而实现高真空化和高纯度化，则该成膜速度的下限降低到 0.015 nm/s 以上是可能的。

10 如以上所述，假若着眼于制造上的实用性，所希望的成膜速度的下限是 0.3 nm/s 量级。通过增加反应室中的抽速，来达到同时满足对于上述的各条件和成膜速度的限制。一般认为，在气体流量 Q 和反应室内压力 P 、及反应室中的抽速 S_p 之间存在下述关系：

$$P = Q/S_p \quad \dots (1)$$

15 在上述的例子中，由于总的气体流量 $Q = 7025$ SCCM，压力 $P = 2.7$ Torr，反应室中的抽速 $S_p = Q/P = 2.60$ SCCM/mTorr。（1 SCCM/mTorr = 12.67 l/s）。如果该抽速 S_p 一增加，则，在保持压力 P 为一定的情况下，可以增加气体流量 Q 。由于成膜速度具有与原料气体流量很强的正相关，故当然可通过气体流量 Q 来调整成膜速度。

20 例如，如将抽速设为 $S_p = 26.0$ SCCM/mTorr，是刚才的例子的 10 倍，则可将硅烷流量设为 $SiH_4 = 250$ SCCM，氩流量设为 $Ar = 70000$ SCCM，也是气体流量的 10 倍，结果，在将原料浓度或压力等成膜条件保持与刚才的例子相同的情况下，可将成膜速度增大约 10 倍（0.017 nm/s）。如增大反应室中的抽速 S_p ，则本底真空度也更加趋于高真空化，也减少了杂质气体进入半导体膜中的量。在本例子中， $S_p = 2.60$ SCCM/mTorr，但为了以实际的成膜速度（0.3 nm/s）形成高纯度的、结晶性高的、密度大的（Ar 系统）混晶质膜，希望反应室中的抽速 S_p 在 10 SCCM/mTorr 以上。

30 （2 - 5、TFT 型薄膜半导体器件的沟道膜厚与晶体管特性）

以下叙述在 TFT 型薄膜半导体器件中形成沟道的有源层半导体膜的厚度（在本申请中将其简称为沟道膜厚）与晶体管特性的关系。一般

在薄膜半导体器件中，成为沟道的半导体膜的最佳膜厚与其形成方法有很强的依赖关系。这是因为半导体膜的膜质量随其膜厚有很大的变化。例如，如 SOS（蓝宝石上的硅）或 SOI（绝缘体上的硅）那样，原则上半导体膜质量与其膜厚无关的系统，则半导体膜越薄，晶体管的特性越好。（这里将该原理称为基于工作理论的薄膜效应。）这是因为在薄的半导体膜中，耗尽层迅速地扩展到整个半导体膜厚，在半导体膜表面马上形成反型层（阈值电压 V_{th} 变小）。另一方面，在以多结晶膜等的非单结晶膜作为沟道使用的薄膜半导体器件中，一般半导体膜的质量随膜厚的变化有很大的差异，因此上述机理变得更复杂。通常在多结晶膜中，膜越薄，其膜质量越差。具体来说，如将厚膜与薄膜相比，在薄膜的情况下构成薄膜的结晶粒（grain）的尺寸变小，同时结晶内的缺陷或结晶粒界的陷阱数目也增加。如结晶粒的尺寸变小，则使用该结晶粒的薄膜半导体器件的迁移率变小。再者，结晶内的缺陷或结晶粒界的陷阱数目的增加使耗尽层的扩展变缓，实质上增大了阈值电压 V_{th} 。（这里将该原理称为薄膜劣化。）结果，基于刚才的工作理论的薄膜效应与薄膜劣化当然处于竞争过程中。即使膜变薄而膜质量不怎么变化的话（如薄膜劣化较小），基于工作理论的薄膜效应起作用，膜越薄，晶体管特性越好。相反，如膜变得很薄而膜质量变坏（如薄膜劣化变大），基于工作理论的薄膜效应不起作用，则膜越薄，特性越坏。即，根据膜质量与膜厚的依赖关系的大小，在膜变薄时晶体管特性或变好或变坏。这种膜质量对于膜厚的依赖关系根据膜的形成方法的不同而不同，此外根据膜厚的不同而不同。因而，半导体膜的最佳膜厚由于薄膜半导体器件的制造方法的不同而完全不同，必须根据各自的制造方法来求出其最佳值。

25

（2 - 6、As-deposited 混晶质半导体膜的最佳膜厚）

以下论述有关在（2 - 4）章中叙述的在 As-deposited 状态下将（Ar 系统）混晶质膜作为薄膜半导体器件的有源层半导体膜时的最佳膜厚。在膜厚从 0 至约 40 nm 时，其膜质量与普通的结晶化膜比较的话非常差。小的结晶粒以岛状处于散布在非晶质的海中的状态，结晶化度非常低，而且缺陷也非常多。因而，最小膜厚约为 40 nm。如膜厚为约 60 nm 以上，在非晶质中结晶成分开始产生，结晶成分对于非晶质

30

的比例随膜厚的增加而增大。即，膜越厚，结晶性越改善。如膜厚在 300 nm 以上，膜以大致相同的结晶状态生长。根据这种膜质量对于膜厚的变化，晶体管特性对于膜厚的依赖关系也变化。由于在约 300 nm 以上膜质量几乎不变化（由于几乎没有薄膜劣化），基于工作理论的薄膜效应起支配作用，膜越薄，晶体管特性越好。在膜厚从 300 nm 至约 200 nm 时，薄膜劣化开始起作用，但基于工作理论的薄膜效应依然占支配地位，虽然与膜厚大于 300 nm 的情况相比其趋势变缓，但仍是膜越薄晶体管特性越好。在膜厚从约 200 nm 至约 60 nm 之间，薄膜劣化与基于工作理论的薄膜效应相对抗，导通（on）状态的晶体管特性取最大值。在膜厚不到 60 nm 时，薄膜劣化战胜基于工作理论的薄膜效应，膜越薄，晶体管特性越坏。即，在本申请的发明的情况下，半导体膜的膜厚在约 60 nm 至 200 nm 之间时，晶体管特性最好，在约 80 nm 至 150 nm 之间更为理想。迄今叙述了导通状态的特性作为晶体管特性，但关断（off）状态的漏泄电流也根据膜厚不同而不同。还没有很好地了解薄膜半导体器件的导通·关断原理。在本申请的发明中，虽然原理还不清楚，但膜厚在 130 nm 以上时，膜厚与关断漏泄电流有强的正相关性，膜越厚，关断漏泄电流越大。膜厚在 130 nm 以下时，上述相关性减弱，关断漏泄电流与膜厚无关。即，在膜厚从 0 至 130 nm 之间，关断漏泄电流为最小值，大致为一定。因此，导通状态的晶体管特性为最佳和关断漏泄电流为最小的膜厚是从约 50 nm 至约 130 nm，更理想的膜厚范围是从约 80 nm 至约 130 nm。在将本发明的薄膜半导体器件用于 LCD 时，认为有必要考虑光漏泄电流的影响。一般来说，薄膜半导体器件随光照射其关断漏泄电流增大。将其称为光漏泄电流，光漏泄电流足够小是良好的薄膜半导体器件的条件。在本申请的发明的薄膜半导体器件中，光漏泄电流大体与膜厚成比例。为了兼顾稳定的制造和光漏泄电流，半导体膜厚最好是从约 20 nm 至约 100 nm。如同时考虑关断漏泄电流或光漏泄电流，及导通电流，满足全部条件的系统是从约 60 nm 至约 130 nm，理想的是从约 80 nm 至约 100 nm。此外，如本发明那样在 350 °C 以下的低温下进行源·漏区的注入离子的活性化，通常是困难的。因此，为了稳定地进行活性化，必须对半导体膜厚设定下限。在本申请的发明中，该值约为 70 nm。此外，在采用 LDD 结构时，由于 LDD 区的活性化是困难的，故希望膜厚在约 90 nm 以上。

(2-7、本申请的发明的半导体膜的结晶化和熔融结晶化)

已判明,在(2-4)中叙述了的本申请发明的半导体膜中如进行激光照射等的结晶化,即使在结晶化工序之前不进行热处理,也由熔融结晶化法或 SPC 法实现结晶化。用图 8 说明该情况。图 8 中示出(2-4)中详细叙述了的(Ar 系统)混晶质 as-deposited 膜的用激光照射产生的结晶性的变化。即,在(Ar 系统)混晶质中,用下述条件形成 50 nm 的膜厚,

硅烷流量: $\text{SiH}_4 = 50 \text{ SCCM}$

10. 氩流量: $\text{Ar} = 3000 \text{ SCCM}$ (原料浓度 1.34 %)

高频波输出: $\text{RF} = 600 \text{ W}$ (0.228 W/cm^2)

压力: $P = 1.5 \text{ Torr}$

电极间距离: $S = 24.4 \text{ mm}$

下部平板电极温度: $T_{\text{sus}} = 380 \text{ }^\circ\text{C}$

15. 基板表面温度: $T_{\text{sub}} = 349 \text{ }^\circ\text{C}$

对该膜不进行任何热处理(用 as-deposited 膜),直接照射波长 308 nm 的 XeCl 受激准分子激光,研究其结晶性的变化。受激准分子激光的半宽度约为 45 ns,用大致 $1 \text{ cm} \times 1 \text{ cm}$ 的四角形以各个能量只照射一次。图 8 的横轴是在各次照射中基板面上的能量密度,纵轴示出这样的激光照射后半导体膜的结晶化率。结晶化率由多波长分散型椭圆仪测定。此外,图中的黑圈示出由于激光照射的结果半导体膜受到损伤的情况,在图 1 中相当于 D。在椭圆仪的测定中,如果结晶化率一超过 70 %,则可以认为是多结晶状态,故可知在激光能量密度为约 $100 \text{ mJ} \cdot \text{cm}^{-2}$ 至约 $150 \text{ mJ} \cdot \text{cm}^{-2}$ 之间时可得到良好的结晶化。在图 8 中,能量密度为 $150 \text{ mJ} \cdot \text{cm}^{-2}$ 时,结晶化率达到最大,为 92 %,可得到高质量的结晶性半导体膜。如本例所示,如使用本申请的发明的(Ar 系统)混晶质半导体膜,则即使完全不进行迄今进行的氢放出的热处理,也可通过单纯的激光照射,容易地制造具有高的结晶化率的高质量多结晶半导体膜。

30. 用这样的制造方法得到 poly-Si 膜后,遵循(1.本申请的发明的薄膜半导体器件的制造方法的概要)中叙述的制造方法采用低温工艺可以制造 poly-Si TFT。这样就简单地制成反映了熔融结晶化膜具有的高

的结晶性、迁移率约为 $100 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 的高性能薄膜半导体器件。

在 (2-4) 章中叙述了的本申请的发明的半导体膜在用拉曼分光测定等好容易才看到结晶结构的存在, 难以说是多结晶。此外, 在密度也与现有的 PECVD 法中成膜的非晶质硅一样低, 氢原子也多时, 含有约低于 20 % 的硅原子。这样的膜为什么能实现良好的熔融结晶化的详细原因尚不清楚, 但一般认为可能是与微结晶相比非晶质区容易熔融, 浮在熔融的硅液中的微结晶起到抑制熔融硅液的蒸发或飞溅的糊剂的作用, 而在冷却固化过程中起到结晶生长核的作用之故。因此, 使 (Ar 系统) 混晶质半导体膜熔融结晶化的激光能量密度与以往相比也降低约 $50 \text{ mJ} \cdot \text{cm}^{-2}$ 。这意味着使用相同的激光照射装置用相同的激光输出进行半导体膜的熔融结晶化时, 与现有的非晶质膜相比本申请的 (Ar 系统) 混晶质膜用一次激光照射使更宽的面积区域实现结晶化。即, (Ar 系统) 混晶质膜减轻激光照射装置负担, 可提高生产性。

如 (2-4) 章详细叙述的, 在特殊的成膜条件下, 即使用普通的 PECVD 法可在 as-deposited 的状态下得到结晶性高的混晶质膜。但是, 这种膜不是象结晶化了的膜那样的膜质量优良的膜。另一方面, 通常用 PECVD 法得到的膜只要不进行氢放出或致密化的热处理, 使其结晶化是困难的。与此相反, 结晶性高的 (Ar 系统) 混晶质半导体膜可以非常容易由 RTA 法或 VST - SPC 实现结晶化, 或由激光照射等实现熔融结晶化。一般认为这是因为在已经 as-deposited 的状态下大多数已结晶化, 剩下的非晶质成分较少, 故即使在小的能量供给下, 也可进行剩下的非晶质的结晶化。此外, 在用高的能量进行熔融结晶化时, 由于多结晶成分也起到防止半导体原子的蒸发或飞溅的糊剂的作用, 故可在不产生半导体膜损伤或表面变粗糙、消失的情况下进行结晶化。结果, 可以说与其将本申请发明的混晶质半导体膜在 as-deposited 的状态下作为薄膜半导体器件的有源层, 还不如将其作为利用熔融结晶化制造工序最高温度为约 $350 \text{ }^\circ\text{C}$ 以下的低温 poly-Si TFT 时的最初的半导体膜更适用。即, 在绝缘物质上用 PECVD 法等形成本申请发明的结晶性高的混晶质半导体膜, 其次用 RTA 法或 VST - SPC 法等固相结晶化法或激光照射等熔融结晶化法使该膜结晶化, 通过使其后的工序在约 $350 \text{ }^\circ\text{C}$ 以下进行可容易地制造高性能的薄膜半导体器件。

如用 PECVD 法, 并使氢等惰性气体与单硅烷等含有半导体膜的构

成元素的化学物质的单硅烷的流量比为约 15: 1 以下(单硅烷浓度 6.25 % 以下), 则可得到本申请的发明的 (Ar 系统) 混晶质半导体膜。一般来说, 如用氢将单硅烷稀释到 3 %, 则仍用 PECVD 法形成混晶质硅膜。但如根据申请人的实验, 在氢-单硅烷系统的混晶质膜中, 进行没有热处理的熔融结晶化是相当困难的。偶尔在没有热处理的情况下也可进行结晶化, 但其重现性很差, 而且能很好地进行熔融结晶化的激光能量范围充其量限定为约 $10 \text{ mJ} \cdot \text{cm}^{-2}$ 以下。此外, 即使进行了结晶化, 但产生微小的硅粉, 晶体管特性的偏差增大, 缺陷密度增大, 完全不能实用。微小的硅粉的产生如 (2 - 4) 章中已说明的那样, 最终是起因于稀释气体即氢的非刻蚀性。与此相反, 在氢-单硅烷系统的混晶质硅膜中, 通过调整半导体膜的膜厚或成膜条件, 在激光能量从约 $50 \text{ mJ} \cdot \text{cm}^{-2}$ 至约 $350 \text{ mJ} \cdot \text{cm}^{-2}$ 很宽的能量范围内可实现良好的结晶化。(当然在 (Ar 系统) 混晶质膜中在结晶化后不产生微小粉末。) 其原因根据到现在为止的论述可归纳如下。

- 15 (1) 由于是混晶质, 故即使供给能量较低, 也可进行结晶化。
- (2) 结晶成分起到抑制硅熔液的蒸发或飞溅的糊剂作用。
- (3) 依靠 Ar 的刻蚀性, as-deposited 膜中作为溅射或微小粉末产生原因的不稳定元素的含有量减少。
- (4) 混晶质膜中的氢含有量减少。
- 20 (5) Ar 系统混晶质膜中的氢只留下强健的。因此, 膜中的氢在温度较高时缓慢地放出。因而, 即使将预定的能量供给半导体膜, 也不会产生氢系统硅膜中爆发性氢放出现象。

将氢系统混晶质半导体膜作为用低温工艺制成结晶性薄膜半导体器件时的最初的半导体膜也不是不适合, 但从上述的论述可得出结论, 在 (2 - 4) 中详细叙述的本申请的发明的 (Ar 系统) 混晶质半导体膜更为适合。

其次对本申请的发明的半导体膜进行退火处理使之结晶化的方法进行说明。在本申请的发明中, 特别有用的退火处理是照射激光或高能光, 进行半导体膜的熔融结晶化或 VST - SPC 的方法。在这里, 以氯化氙 (XeCl) 的受激准分子激光 (波长 308 nm) 为例叙述激光照射方法。激光脉冲强度的半峰高宽度 (即, 退火处理时间) 是约 10 ns 至约 500 ns 的短时间。在本例中, 激光脉冲强度的半峰高宽度是约 45

ns。由于照射时间是这样的非常短的时间，故在混晶质等的半导体膜的结晶化时基板不会受热，因此也不会产生基板变形等。激光照射将基板从约室温（25℃）上升至约400℃，激光照射在空气中乃至本底真空度从约 10^{-4} 至 10^{-9} Torr的真空中、或含有氢或微量的单硅烷等的还原性气氛、氮或氩等惰性气体气氛下进行。激光照射的一次照射面积是约5mm□至20mm□的正方形（例如8mm□），将每次照射的照射区域错开约1%至99%而进行（例如50%：在刚才的例子中是4mm）。最初在水平方向（Y方向）上扫描后，其次在垂直方向（X方向）上错开适当的量，之后再次在水平方向上每隔预定量错开而扫描，以后重复这种扫描，在整个基板表面进行第一次激光照射。该第一次激光照射的能量密度最好在约 $50\text{ mJ} \cdot \text{cm}^{-2}$ 至约 $350\text{ mJ} \cdot \text{cm}^{-2}$ 之间。第一次激光照射结束后，根据需要在整个表面上进行第二次激光照射。在进行第二次激光照射时，最好使其能量密度比第一次高，可在约 $100\text{ mJ} \cdot \text{cm}^{-2}$ 至约 $1000\text{ mJ} \cdot \text{cm}^{-2}$ 之间。扫描方法与第一次激光照射相同，使正方形的照射区域在Y方向和X方向上以适当量错开而扫描。再者，根据需要也可进行使能量密度进一步提高的第三次或第四次激光照射。这样在高能量下进行几次激光照射后，如再次分阶段降低能量密度进行几次激光照射，则结晶粒界变为具有对称性的对应粒界，这样可降低晶体管的阈值电压，或提高迁移率，从而提高结晶性半导体膜的质量。另外，如使用这种多阶段的激光照射，则可使起因于激光照射端部的离散度完全消失。不限于多阶段激光照射的各次照射，即使在通常的一阶段照射中，也以在整个半导体膜上不受到损伤的能量进行激光照射。除此以外，也将照射区域形状作成宽度约为100微米以上，长度为几十厘米的线状，可扫描该线状激光，进行结晶化。此时将各照射束的宽度方向的重叠取束宽的约5%至95%。假如束宽度是100微米，各束的重叠量是90%，则由于每一次照射，束前进10微米，故在同一点受到10次激光照射。由于通常微量使半导体膜在整个基板上均匀地结晶化，希望照射进行约5次以上的激光照射，故要求每次照射的束的重叠量是约80%以上。为了可靠地得到高结晶性的多结晶膜，最好将重叠量调整为约90%至约97%，以便在同一点进行约10次至约30次的照射。迄今以XeCl受激准分子激光作为激光光源为例进行说明，但如在半导体膜的同一点的激光照射时间在约10ms以内，而且只照射

基板的一部分，则包含连续振荡激光在内，但不限于激光振荡源。例如可使用 ArF 受激准分子激光或 XeF 受激准分子激光、KrF 受激准分子激光、YAG 激光、二氧化碳气体激光、Ar 激光、色素激光等各种激光。

5 其次参照图 13 说明照射高能光进行结晶化的方法。高能光不是如激光那样相位一致的光，但它通过光学系统（透镜）聚焦来提高光的能量密度。高能光对基板上淀积的半导体膜连续地或非连续地进行重复扫描，使半导体膜熔融结晶化或 VST - SPC 结晶化。高能光照射装置 50 由电弧灯或钨灯等的光源 51 和在其周边安置的反射板 52、聚焦透镜或光成形透镜和光扫描系统等的光学系统 53 等构成。从光源发出的光依靠反射板 52 进行一次成形，形成能量密度高的一次聚束光 55。这一次聚束光依靠光学系统 53 成形为具有更高的能量密度的光，而同时具有扫描功能，变为扫描聚束光 56，对淀积在基板 60 上的半导体膜 61 进行照射。半导体膜上的同一点的处理时间由扫描方向的照射区域长度和扫描速度来确定。例如照射区域成形为长度（Y 方向长度）50 mm，宽度（X 方向长度）5 mm 的长方形，如扫描速度在 X 方向上是 500 mm/s，则处理时间为 10 ms。照射区域的温度由投入到光源的功率、光的成形情况和处理时间来决定。在根据半导体膜的材料性质或膜厚适当地调整这些值后，进行高能光的照射。为了提高生产性希望处理面积在约 100 mm² 以上，但为了对基板的热影响为最小，要求处理面积在约 500 mm² 以下。此外，处理时间也主要从考虑热影响这一点出发，希望在约 10 ms 以下。其结果是，在半导体膜 61 中，只有扫描聚束光 56 照射了的区域进行了部分的结晶化，如重复该过程来扫描半导体膜的所希望的区域，则可完成结晶化。

25 其次说明使用了快速热处理（RTA：rapid thermal anneal）装置的结晶化方法。图 14（a）是在本申请的发明中使用的 RTA 装置的概略剖面图。在该装置中，从基板 11 的输送方向（箭头 X 的方向）的上游侧向着下游侧安置了长度为 35 cm 的第一预备加热区 2、长度为 35 cm 的第二预备加热区 3、长度为 25 cm 的第三预备加热区 4、退火区 5 和冷却区 6。在第一至第三预备加热区 2 - 4 和冷却区 6 中，在基板输送面的下侧配置了加热器，将基板加热到所希望的温度。在退火区 5 中，分别在上下配置对输送来的基板 11 进行高能光照射的电弧灯 5A、

5B 和使该电弧灯聚束的反射板 5C、5D，聚束了的电弧灯光成为细长形的带状光（参照图 14（b））。对于基板 11 的高能光的照射区域相当于基板的输送方向大概具有 10 mm 的宽度。由于基板 11 以一定的速度输送，根据该输送速度确定 RTA 处理时间。例如在使基板 11 以 15 mm/秒输送时，RTA 处理时间为 0.6667 秒。在本申请中，使用 RTA 处理时间或结晶化退火工序的处理时间这样的措词指的是 RTA 光（高能光）照射期间的的时间。RTA 退火温度由第一至第三预备加热区的设定温度和电弧灯 5A、5B 的输出和基板输送速度（即 RTA 处理时间）来确定。在本申请中说到 RTA 处理温度或结晶化退火工序的温度时，它指的是高能光照射区域 5E 的长度方向终端 5F 的温度。在本申请中使用的 RTA 装置中，该温度用红外线温度计来测定，从而进行热处理工序的管理。该温度也相当于 RTA 处理中的最高温度。实际上在基板 11 上的温度或一点的温度分布显示出图 14（c）那样的变化。被处理基板通过第一至第三预备加热区 2 - 4 后，一进入退火区 5，基板温度就快速上升，在退火区 5 的出口附近达到温度的峰值 P。该最高温度是在本申请中的 RTA 处理温度。其后，基板一进入冷却区 6，基板就缓慢地进行冷却。如使用这种 RTA 装置，结晶化退火工序处理面积与基板面积相比足够小。例如，如假定 300 mm × 300 mm 的正方形作为基板，则由于高能光的照射区域是 10 mm × 300 mm（= 3000 mm²），故热处理面积对于基板面积的比为 3.3 %。此外，在 550 mm × 650 mm 的基板中，热处理区域是 10 mm × 550 mm（= 5500 mm²），其比值是约 1.5 %。这样，即使在使用 RTA 法的结晶化中，能量照射时间是短时间的，由于对于整个基板来说只有局部进行了热处理，故不会由于基板发热引起变形或裂缝。在进行半导体膜的结晶化时，在 RTA 装置中（图 14（a））将第一预备加热区 2 的加热器设定于从 250 °C 至 550 °C 之间的适当的温度，以下将第二预备加热区 3 的加热器设定于从 350 °C 至 650 °C 之间的适当的温度，将第三预备加热区 4 的加热器设定于从 450 °C 至 750 °C 之间的适当的温度。将基板 11 的输送速度调整于从 2 mm/秒至 50 mm/秒之间，与此相应，RTA 处理时间在从 0.2 秒至 5 秒的范围内变化。再者，对上侧电弧灯 5A 和下侧电弧灯 5B 的输出分别从 3W 至 21W 之间独立地进行调整。结果，可将 RTA 处理温度（用红外线温度计监测到的退火区 5 处的基板温度即灯光照射区域 5E 的终端

5F 处的温度)自由地设定于从约 400 °C 至约 900 °C。如在这些适当的处理条件下对半导体膜进行退火处理,则可完成半导体膜的结晶化。此外,除了电弧灯之外,也可利用钨灯等的灯光。本申请的发明的(Ar 系统)混晶质膜在 as-deposited 状态下已存在很多结晶成分,而且即使在短时间内供给大的能量也不产生膜的损伤或剥离、飞溅。因此,用 RTA 法也可容易而且稳定地进行结晶化,此外该能量供给量(与 RTA 处理温度和处理时间的积成比例的量)也比较小即可,故可避免产生基板的变形或翘曲、裂缝等。

在用 PECVD 法制备的以往的 a-Si 膜中,即使是 Furnace-SPC 法,为避免氢的剧烈的放出,在结晶化之前使升温速度为约 10 °C/分以下,在使温度上升后进行约 450 °C 的热处理是必不可少的。然而,在本申请的发明中,不仅在熔融结晶化法时,而且在 Furnace-SPC 法、VST - SPC 法等所有的结晶化时,结晶化之前的热处理都是不需要的。

15 (2 - 8、(Ar 系统)混晶质 - 结晶化膜的最佳膜厚)

这里就上述本申请发明的低温工艺的薄膜半导体器件内,将半导体膜作成(Ar 系统)混晶质膜之后,进行结晶化而制成的 poly-Si TFT 的最佳半导体膜厚进行说明。用 PECVD 法等形成混晶质膜时,作为膜来说与膜有关的膜厚为约 10 nm 以上。但是,用 PECVD 法得到的半导体膜的密度是体膜密度的约 85 % 至约 95 %。因此,如对用 PECVD 法得到的 10 nm 的半导体膜进行结晶化,其膜厚在结晶化后减少到 9 nm。因而,(Ar 系统)混晶质 - 结晶化膜的最低膜厚是约 9 nm。如结晶化后的膜厚为约 18 nm 以上,则熔融结晶化膜的晶体管特性开始变好。即,在(Ar 系统)混晶质 - 熔融结晶化膜中,膜厚在约 18 nm 以下时,薄膜退化占优势,从约 18 nm 以上开始薄膜退化变小,基于工作理论的薄膜效应开始与其对抗。接着是膜厚从约 18 nm 以上至约 90 nm 之间,在这之间的膜厚内晶体管特性是最佳的。若膜厚比约 90 nm 厚,则基于工作理论的薄膜效应占优势,晶体管特性随膜厚的增加慢慢变坏。如半导体膜厚是约 30 nm 以上,可进行要求微细加工的高集成薄膜半导体器件的稳定生产。即,可用 RIE 在不产生接触不良的情况下对接触孔进行开孔。如刚淀积后的膜厚是约 50 nm 以上(结晶化后是约 45 nm 以上),则 as-deposited 膜内的结晶成分增大,在不进行热处理

的情况下可形成熔融结晶化的激光能量区域变宽。如用 PECVD 法刚淀
积后的半导体膜厚是约 120 nm 以下（结晶化后是约 108 nm 以下），
则在激光照射等的熔融结晶化时，整个膜均匀地被加热，可进行良好的
结晶化。如刚淀积后的膜厚在约 200 nm 以上，则使激光从上部照射时，
5 只有膜的上层部分被熔融，由于在下层部分残留非晶质部分，故与基于
工作理论的薄膜效应相一致，晶体管特性剧烈变坏。因而，熔融结晶化
膜的上限膜厚是约 180 nm。在将本发明的薄膜半导体器件用于 LCD
时，最好要考虑关断漏泄电流和光漏泄电流。如结晶化后的膜厚是约
150 nm 以下，则晶体管在关断时的漏泄电流足够小。在本申请的发明
10 的薄膜半导体器件中，光漏泄电流也大致与膜厚成比例。从兼顾稳定的
制造和光漏泄电流的观点出发，半导体膜厚最好是从约 10 nm 至约 100
nm。如膜厚到比约 100 nm 还厚，则光漏泄电流不能忽略，不适合用
于 LCD。为了把薄膜半导体器件用作 LCD 的象素开关元件，关断漏泄
电流和光漏泄电流变得重要，而且要更多地考虑导通电流时，满足所有
15 的条件系统为从约 30 nm 至约 150 nm，理想的是从约 45 nm 至约
100 nm。为了在约 350 °C 的活化温度下稳定地制造 LDD 结构，膜厚在
约 60 nm 以下是较为理想的。

如以上所述，如采用本申请的发明，则可得到下述的效果。

20 效果 1 - 1)。由于工序温度低至 350 °C，则可使用廉价的玻璃，
可实现制品的低价格。此外，可使高性能的有源矩阵基板的大型化变得
容易，并且可容易地实现高质量的液晶显示装置 (LCD) 的大型化。

效果 1 - 2)。可使用通用的 PECVD 装置，可从现在的 360 mm
× 460 mm 的玻璃基板容易地改为 550 mm × 650 mm 的所谓的更大型
25 的基板。

效果 1 - 3)。半导体膜的结晶化之前的热处理工序变得不需要，
可用简单的工序得到高质量的结晶性半导体膜。只通过现存的装置就可
容易地制造高性能薄膜半导体器件。

30 效果 1 - 4)。在整个基板上进行均匀的激光照射的正常条件变
宽。因此，即使激光照射能量有若干变动，也可在整个基板上实现稳定
的结晶化。

效果 1 - 5)。在熔融结晶化工序中，由于混晶质半导体膜内的结

晶成分控制结晶化过程,故基板间或批间的结晶性的变动显著变小。其结果是,可容易地而且稳定地制造高性能薄膜半导体器件。

第三现有技术具有的问题。

5 效果 1 - 6)。对 as-deposited 半导体膜只用一次激光照射就可实现结晶化。因此生产性显著提高。此外在同一部位进行几次以下的激光照射时,可不需要特别地控制基板周边的气氛。也可在大气的氛围下进行激光照射。这意味着生产性的进一步提高。

10 效果 1 - 7)。由于可比较自由地设定激光能量密度,故可选择其最佳值,结果使激光照射后的结晶粒变大。因而使用了该结晶粒的薄膜半导体器件的特性也变得优良。

效果 1 - 8)。使半导体膜熔融结晶化的激光能量密度与以往相比可降低约 $50 \text{ mJ} \cdot \text{cm}^{-2}$ 。因而,在每一次激光照射中,可使比以往的非晶质膜更宽的面积区域实现结晶化,这样就减轻了激光照射装置负担,同时提高了生产性。

15 根据以上的结果可知,如采用本申请的发明,则可用现实的简便的方法,以通常的可使用大型玻璃基板的制造装置和工序温度,稳定地制造非常良好的薄膜半导体器件。

此外,用本申请的发明可得到下述的其他的效果。

20 效果 2 - 1)。可用与现有的 a-Si TFT 相同的制造工序,在不经过特别的结晶化工序的情况下,可容易地制造迁移率在 $1 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ 以上的良好的薄膜半导体器件。

此外,用本申请的发明可得到下述的其他的效果。

25 效果 3 - 1)。在使用薄板式 PECVD 装置的薄膜淀积中,在不安置特别的预备加热室的情况下,能以高的生产性进行薄膜淀积。因而,可制止 PECVD 装置的大型化及其价格的上升。再者,在安置预备加热室时,即使输送室的机械手温度是约室温,在反应室中也可使基板设置后的预备加热期间为最短,可进一步提高生产性。这样,在使用薄板式 PECVD 装置的薄膜淀积中,也可进行简便的和具有高生产性的薄膜淀积。

30

附图的简单说明

图 1 是示出现有的 PECVD a-Si 膜的激光结晶化特性的图。图 2

是示出本发明中使用的 PECVD 装置的图。图 3 (a) ~ (d) 是示出本发明的一个实施例的薄膜半导体器件制造的各工序中的元件剖面图。图 4 是示出本发明的半导体膜的红外吸收谱的图。图 5 是示出现有的 a-Si 膜的红外吸收谱的图。图 6 是示出现有的 a-Si 膜的拉曼分光谱的图。图 7 是示出本发明的半导体膜的拉曼分光谱的图。图 8 是示出本发明的半导体膜的激光结晶化特性的图。图 9 是示出本发明的半导体膜的红外吸收谱的图。图 10 是示出本发明的半导体膜的拉曼分光谱的图。图 11 是示出本发明的半导体膜的激光结晶化特性的图。图 12 是示出在本发明中使用的数字数据驱动器的图。图 13 是本发明中使用的高能光照射装置。图 14 是本发明中使用的 RTA 装置。

用于实施发明的最佳形态

以下一边参照附图一边更详细地说明本发明。

(实施例 1)

说明根据本发明的半导体膜和用 PECVD 法形成该半导体膜的一例。PECVD 装置使用 (2 - 3) 中详细叙述了的装置, 在基板表面的至少一部分上设置本身是氧化硅膜等绝缘性物质的基底保护膜后, 在该基底保护膜上形成半导体膜。

在下部平板电极 203 的温度保持在 380 ℃ 的 PECVD 装置内, 在室温下安置 360 mm × 475 mm × 1.1 mm 的玻璃基板 (OA - 2)。在 PECVD 装置的反应炉内安置基板后的制造方法如以下所述。

(预备加热 1)

时间: $t=90$ s

氢流量: $H_2 = 100$ SCCM

25 氮流量: $He = 3000$ SCCM

高频波输出: $RF = 0$ W (不建立等离子体)

压力: $P = 3.0$ Torr

电极间距离: $S = 37.1$ mm

下部平板电极温度: $T_{sus} = 380$ ℃

30 (预备加热 2)

时间: $t=60$ s

硅烷流量: $SiH_4 = 100$ SCCM

氩流量: Ar = 3000 SCCM

高频波输出: RF = 0 W (不建立等离子体)

压力: P = 1.5 Torr

电极间距离: S = 37.1 mm

5 下部平板电极温度: Tsus = 380 °C
(成膜)

时间: t=164 s

硅烷流量: SiH₄ = 100 SCCM

氩流量: Ar = 3000 SCCM (原料浓度 3.23 %)

10 高频波输出: RF = 600 W (0.228W/cm²)

压力: P = 1.5 Torr

电极间距离: S = 37.1 mm

下部平板电极温度: Tsus = 349 °C

在预备加热 1 中, 将氢和氩通到反应室内, 由于将压力设定为高达
15 3.0 Torr, 故即使直接将室温的玻璃基板安置在反应室中, 也可将总的
加热时间缩短到 2 分 30 秒。由于电极间距离是 3.71 cm, 故反应室内
的体积为 9765 cm³, 如取该值和气体流量 Q = 3100 SCCM, 压力 P
= 1.5 Torr 的值计算在第二预备加热期间中完全置换环境气体的时
间, 则该时间 t 为:

$$20 \quad t = (P/760) \cdot (V/Q) \times 13.82 = 0.086 \text{ 分} = 5.2 \text{ 秒}$$

由于第二预备加热为 60 秒, 是足够长的, 故在第二预备加热期间
中可完全地置换环境气体, 不会在成膜时遗留第一预备加热的影
响。在这种条件下的半导体膜的淀积速度是 0.365 nm/s, 半导体膜的膜厚是
25 60 nm。此外用热脱附气体谱 (TDS) 测定的硅膜中的氢浓度是 10.39
原子%。如用透射电子显微镜观察, 该硅膜为以非晶质成分为主的柱状
结构。图 9 中示出该硅膜的红外吸收分光法测定的光谱。由此可知,
2102 cm⁻¹ 附近的吸收峰强度和 2084 cm⁻¹ 附近的吸收峰强度比 2000
cm⁻¹ 附近的吸收峰强度强。再者, 在图 10 中示出该硅膜的拉曼分光测
定结果。在 520 cm⁻¹ 附近看到来自结晶成分的拉曼偏移, 显示出本例的
30 硅膜是混晶质。

(实施例 2)

制成将由实施例 1 得到的半导体膜在 as-deposited 状态下作为 TFT

的有源层的薄膜半导体器件。

首先在基板 101 上用 PECVD 法形成由氧化硅膜构成的基底保护膜 102，在不破坏真空的情况下在该基底保护膜上用实施例 1 的方法连续地淀积将成为薄膜半导体器件有源层的本征硅膜。基底保护膜的膜厚是 300 nm，半导体膜厚是 90 nm。因而，半导体膜的成膜时间为 247 秒。将这样得到的半导体膜原封不动地在 as-deposited 状态下直接用作 2 构成 TFT 的沟道部分等。将基板从 PECVD 装置取出后，对半导体膜进行图形刻蚀，作成其后成为晶体管的有源层的半导体膜 103。（图 3（a））。

其次用 PECVD 法形成栅绝缘膜 104。（图 3（b））由氧化硅膜构成的栅绝缘膜是以 TEOS（ $\text{Si}-(\text{O}-\text{CH}_2-\text{CH}_3)_4$ ）和氧（ O_2 ）、水（ H_2O ）为原料气体，使用氩作为稀释气体，在基板表面温度 350℃ 下成膜的，其膜厚为 100 nm。在栅绝缘膜淀积后，在约 350℃ 的温度下，在含有约 0.2 气压的氧分压和露点约 80℃ 的水蒸气的气氛下对氧化膜进行约 3 小时的热处理，进行绝缘膜的质量改善。

其次，用溅射法淀积构成栅电极 105 的钽（Ta）薄膜。溅射时的基板温度是 150℃，膜厚是 500 nm。对成为栅电极的钽薄膜进行淀积后的图形刻蚀，接着对半导体膜进行杂质离子注入 106，形成源·漏区 107 和沟道区 108。（图 3（c））此时栅电极成为离子注入的掩模，沟道构成只在栅电极下形成的自对准结构。使用质量非分离型离子注入装置进行杂质离子注入，使用在氩中稀释的浓度约为 5% 的磷化氢（ PH_3 ）作为原料气体。含有 PH_3^+ 或 H_2^+ 的总离子注入量是 $1 \times 10^{16} \text{ cm}^{-2}$ ，源·漏区中的磷原子浓度为 $3 \times 10^{20} \text{ cm}^{-2}$ 。离子注入时的基板温度是 250℃。

其次通过使用 TEOS 的 PECVD 法形成由氧化硅膜构成的层间绝缘膜 109。层间绝缘膜成膜时的基板表面温度是 350℃，膜厚是 500 nm。其后，在 350℃ 的氧气氛下进行 1 小时的热处理，进行注入离子的活化和层间绝缘膜的烧固。接着在源·漏区上开接触孔，用溅射法淀积铝（Al）。溅射时的基板温度是 150℃，膜厚是 500 nm。对源·漏引出电极 110 和成为布线的铝薄膜进行图形刻蚀，这样就完成了薄膜半导体器件。（图 3（d））

在测定这样试制的薄膜半导体器件的晶体管特性时，将在源·漏电

压 $V_{ds} = 4V$ 、栅电压 $V_{gs} = 10V$ 下使晶体管导通时的源·漏电流 I_{ds} 定义为导通电流 I_{ON} ，在 95% 的可靠系数下 $I_{ON} = (9.10 + 0.87 - 0.80) \times 10^{-7}A$ 。将在源·漏电压 $V_{ds} = 4V$ 、栅电压 $V_{gs} = 0V$ 下使晶体管关断时的关断电流定义为关断电流 $I_{OFF} = (6.50 + 3.28 - 2.19) \times 10^{-13}A$ 。这里，测定是在温度 $25^\circ C$ 下，对沟道长度 $L = 5$ 微米，宽度 $W = 20$ 微米的晶体管进行的。从饱和电流区求出的电子迁移率是 $3.53 \pm 0.17 \text{ cm}^2 \cdot V^{-1} \cdot s^{-1}$ ，阈值电压 $V_{th} = 9.10 \pm 0.11 V$ 。这样，根据本发明，在与现有的 a-Si TFT 相同的工序最高温度 ($350^\circ C$) 下，而且用相同的制造工序 (不需要结晶化工序) 可制造具有现有的 a-Si TFT 3 倍以上高迁移率的非常优良的薄膜半导体器件。(实施例 3)

制造了用由实施例 2 得到的薄膜半导体器件作为由 768 (行) \times 1024 (列) \times 3 (色) = 2359296 (象素) 构成的高精细彩色 LCD 的象素用的开关元件的有源矩阵基板。在本实施例 3 中，源电极和源布线的材料与实施例 2 相同，是铝，但作为漏电极则用铟锡化合物 (ITO)。制造将这样得到的有源矩阵基板用作一对基板中的一个的液晶面板。在用所得到的液晶面板与外部的周边驱动电路或逆光照明单元共同组合起来制造液晶显示装置时，由于 TFT 是高性能的，而且晶体管的寄生电容非常小，故能以高开口率制造明亮的、显示质量高的液晶显示装置。此外，由于有源矩阵基板的制造工序也是稳定的，故可稳定地、而且以低成本制造液晶显示装置。

将该液晶显示装置组装在全彩色的携带型个人计算机 (笔记本 PC) 的框体内。由于薄膜半导体器件是高性能的，故该笔记本 PC 成为具有非常美显示画面的良好的电子设备。另外，由于反映液晶显示装置具有高开口率的事实，故逆光照明的使用功率可降低，因此可实现电池的小型轻量化和长时间的使用。由此就实现了可长时间使用的、而且具有良好显示画面的小型轻量的电子设备。

(实施例 4)

在不对实施例 1 中得到的半导体膜进行任何热处理的情况下，在 as-deposited 状态下进行激光照射，试验结晶化。其结果在图 11 中示出。看图 11 的方法与图 8 相同。照射激光是波长 308 nm 的 XeCl 受激准分子激光，其半峰高宽度是约 45 ns 。束形状大致是 $1 \text{ cm} \times 1 \text{ cm}$ 的

四角形，每个能量的激光分别只照射一次。从图 11 可知，在激光能量密度为从约 $110 \text{ mJ} \cdot \text{cm}^{-2}$ 到约 $160 \text{ mJ} \cdot \text{cm}^{-2}$ 之间可对由实施例 1 得到的半导体膜进行良好的结晶化。对该半导体膜进行一阶段的激光照射法时，在能量密度为 $125 \text{ mJ} \cdot \text{cm}^{-2}$ 之时，结晶化率达到最大，即 88 %，可得到高质量的结晶性半导体膜。如本实施例 4 所示，如使用本申请的发明的半导体膜，即使完全不做以往进行的氢放出的热处理等，也可在较低的激光能量密度下，通过单纯的激光照射容易地制造具有高结晶化率的高质量的多结晶半导体膜。

(实施例 5)

在不对实施例 1 中得到的半导体膜进行任何热处理的情况下，在 as-deposited 状态下进行激光照射形成结晶性半导体膜，制成以该半导体膜作为 TFT 的有源层的薄膜半导体器件。

首先在 $360 \text{ mm} \times 475 \text{ mm}$ 的大型玻璃基板 101 上用 PECVD 法形成由氧化硅膜构成的基底保护膜 102，在不破坏真空的情况下在该基底保护膜上用实施例 1 的方法连续地淀积本征硅膜。基底保护膜的膜厚是 300 nm ，半导体膜厚是 60 nm 。以这样得到的半导体膜在不进行任何热处理的情况下，在 as-deposited 状态下直接进行由激光照射产生的熔融结晶化。照射激光是波长 248 nm 的 KrF 受激准分子激光，其半峰高宽度是 33 ns 。激光束形状为宽度 120 微米 ，长度 36 厘米 的线状。每次照射的束宽度方向的重叠量是束宽度的 90 %。因而，每一次的照射中束移动 12 微米 ，在半导体膜的同一点上受到 10 次激光照射。激光能量密度是 $150 \text{ mJ} \cdot \text{cm}^{-2}$ ，激光照射在本底真空度大致为 $1 \times 10^{-6} \text{ Torr}$ 的真空中进行。激光照射时的基板温度是约 $25 \text{ }^\circ\text{C}$ 的室温。如对这样进行结晶化的半导体膜用多波长分散型椭圆仪来测定，则结晶化率是 95 %，膜厚是 55 nm 。在拉曼分光测定中，在示出起因于结晶成分的拉曼偏移的 515.9 cm^{-1} 附近，出现半峰高宽度大致为 4.5 cm^{-1} 的尖锐的峰，这表明已制成结晶性非常的高质量膜。此外如用透射电子显微镜来观察，该半导体膜的结晶粒径由约 200 nm 至 500 nm 的结晶粒构成。在结晶化工序完成后，对该结晶性半导体膜进行图形刻蚀，制成其后成为晶体管的有源层的半导体膜 103。（第 3 图（a））。

此后，从形成栅绝缘膜到形成源·漏引出电极和布线为止的所有工序，除了用离子注入的源·漏形成工序之外，与实施例 2 完全相同，这

样就完成了薄膜半导体装置。(图3(d))在本实施例5中,由于制成CMOS TFT,故在一片基板上制成NMOS TFT和PMOS TFT两者。在形成NMOS TFT的源·漏时,用聚酰亚胺树脂覆盖PMOS TFT部分,相反,在形成PMOS TFT的源·漏时,用聚酰亚胺树脂覆盖NMOS TFT部分,这样来制成CMOS TFT。NMOS TFT的杂质离子注入与实施例2完全相同。PMOS TFT的杂质离子注入也用质量非分离型离子注入装置来进行。使用在氢中稀释的浓度约为5%的硼烷(B_2H_6)作为原料气体。含有 $B_2H_6^+$ 或 H_2^+ 的总离子注入量是 $1 \times 10^{16} \text{ cm}^{-2}$,源·漏区中的硼原子浓度为 $3 \times 10^{20} \text{ cm}^{-2}$ 。离子注入时的基板温度仍然是250℃。

测定这样试制的薄膜半导体器件的晶体管特性。测定条件或定义与实施例2相同。(但是,PMOS TFT的 V_{gs} 或 V_{ds} 对NMOS TFT的 V_{gs} 或 V_{ds} 是反极性的。)在本实施例5中,以研究晶体管的性能和该基板内的离散度为目的,对在大型基板上以无遗漏的方式制成的沟道长度 $L = 5$ 微米、宽度 $W = 5$ 微米的50个晶体管进行测定。其结果如下所示。

NMOS TFT

$$I_{ON} = (61.9 + 7.5, - 5.7) \times 10^{-6} \text{ A}$$

$$I_{OFF} = (1.66 + 0.63, - 0.44) \times 10^{-12} \text{ A}$$

$$\mu = 103.4 \pm 10.5 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$$

$$V_{th} = 2.17 \pm 0.14 \text{ V}$$

PMOS TFT

$$I_{ON} = (43 + 3.9, - 3.4) \times 10^{-6} \text{ A}$$

$$I_{OFF} = (4.64 + 1.19, - 0.96) \times 10^{-13} \text{ A}$$

$$\mu = 57.75 \pm 5.03 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$$

$$V_{th} = - 1.12 \pm 0.11 \text{ V}$$

这样,根据本发明,在与现有的a-Si TFT相同的工序最高温度(350℃)下,而且在大型基板上可均匀地制造具有高迁移率的非常优良的CMOS薄膜半导体器件。而且,由于用本实施例5得到的TFT具有优质的结晶性半导体膜和栅氧化膜,故晶体管的可靠性非常高,可在长时间内进行稳定的工作。在现有技术的低温工艺中,激光结晶化的均匀性不管在基板内、批间都是很重要的课题。然而,如采用本发明,则

可大幅度地降低导通电流或是关断电流的离散度。这种均匀性的显著改善加上激光发射源比较稳定,就意味着即使对于激光源的变化,初期硅膜也是稳定的。这是因为,即使激光发射源多少有些变化,如图 11 所示,结晶化的能量区域较宽,而且混晶质膜中的结晶成分调整着熔融结晶化过程。按照这个原理,本发明对于批间的变化也有显著的改善。因此,可通过本发明非常稳定地实施利用激光照射的能量照射的硅等半导体膜的结晶化。因而,在用本发明的薄膜半导体器件形成电路时,不仅可容易地形成移位寄存器或模拟开关等所谓的简单电路,而且可容易地形成电平移动或数字·模拟变换电路、再有时钟脉冲发生器或图象灰度 (γ) 校正电路、定时控制电路等所谓较复杂的电路。

(实施例 6)

制造一种有源矩阵基板,该基板将由实施例 5 得到的 NMOS 薄膜半导体器件作为由 200 (行) \times 320 (列) \times 3 (色) = 192000 (象素) 构成的彩色 LCD 象素用的开关元件,将 6 比特 (bit) 数字数据驱动器 (列侧驱动器) 和扫描驱动器 (行侧驱动器) 置于由实施例 5 得到的 CMOS 薄膜半导体器件中。图 12 示出 6 比特数字数据驱动器的电路图。本实施例的数字数据驱动器由时钟信号线和时钟发生器电路、移位寄存电路、NOR 门、数据图象信号线、锁存电路 1、锁存脉冲线、锁存电路 2、复位线 1、AND 门、基准电位线、复位线 2、按照电容分割的 6 位 D/A 变换器、CMOS 模拟开关、共用电位线和源线复位·晶体管构成,来自 CMOS 模拟开关的输出与象素部分的源线相连。D/A 变换器部分的电容满足 $C_0 = C_1/2 = C_2/4 = C_3/8 = C_4/16 = C_5/32$ 的关系。可将从计算机的视频随机存取存储器 (VRAM) 输出的数字图象信号直接输入到数字图象信号线。在本实施例的有源矩阵基板的象素部分中,源电极和源布线、漏电极 (象素电极) 由铝构成,构成反射型 LCD。制造了以这样得到的有源矩阵基板用作一对基板中的一个的液晶面板。在一对基板间夹住的液晶中使用了分散黑色颜料的高分子分散液晶 (PDLC), 制成常黑模式 (在液晶上不加电压时是黑显示) 的反射型液晶面板。将所得到的液晶面板与外部布线连接,制造了液晶显示装置。结果, MNOS 和 PMOS 的导通电阻和晶体管电容分别相等,而且 TFT 是高性能的,再者,晶体管寄生电容非常小,另外由于在整个基板表面上特性是均匀的,故 6 位数字数据驱动器也好,扫描驱

动器也好，都可在宽的工作范围内正常地工作，而且有关象素部分，由于开口率很高，即使使用黑颜料分散的 PDLC，也可制成显示质量高的液晶显示装置。此外，由于有源矩阵基板的制造工序也是稳定的，故可稳定地、而且以低成本制造液晶显示装置。

- 5 将该液晶显示装置组装在全彩色的携带型个人计算机（笔记本 PC）的框体内。由于有源矩阵基板内置 6 比特数字数据驱动器，来自计算机的数字图象信号直接输入到液晶显示装置中，故电路结构变得简单，同时消耗功率非常小。有源薄膜半导体装置是高性能的，该笔记本 PC 是具有非常美画面的良好的电子设备。另外，反映液晶显示装置是
- 10 具有高开口率的反射型的装置的事实，不需要背照明，故可实现电池的小型轻量化和长时间使用。由此制成可长时间使用的、而且具有良好的显示画面的超小型轻量的电子设备。

工业上利用的可能性

- 15 如以上所述，如采用本发明的薄膜半导体器件的制造方法，则可使用低温工艺制造高性能的薄膜半导体器件。在上述的低温工艺中，可使用廉价的玻璃基板。因而，在将本发明应用于有源矩阵基板的制造时，可容易地而且稳定地制造大型和高质量的液晶显示装置。此外，在用于其他的电子电路的制造时，也可容易地而且稳定地制造高质量的电子电
- 20 路。

此外，由于本发明的薄膜半导体装置是廉价和高性能的，故作为有源矩阵液晶显示装置的有源矩阵基板是最合适的。特别是作为要求高性能的内置驱动器的有源矩阵基板是最合适的。

- 此外，由于本发明的薄膜半导体装置是廉价和高性能的，故作为全
- 25 彩色的笔记本 PC 和各种显示器是最合适的。

此外，由于本发明的薄膜半导体装置是廉价和高性能的，故一般来说是能被广泛接受的吧。

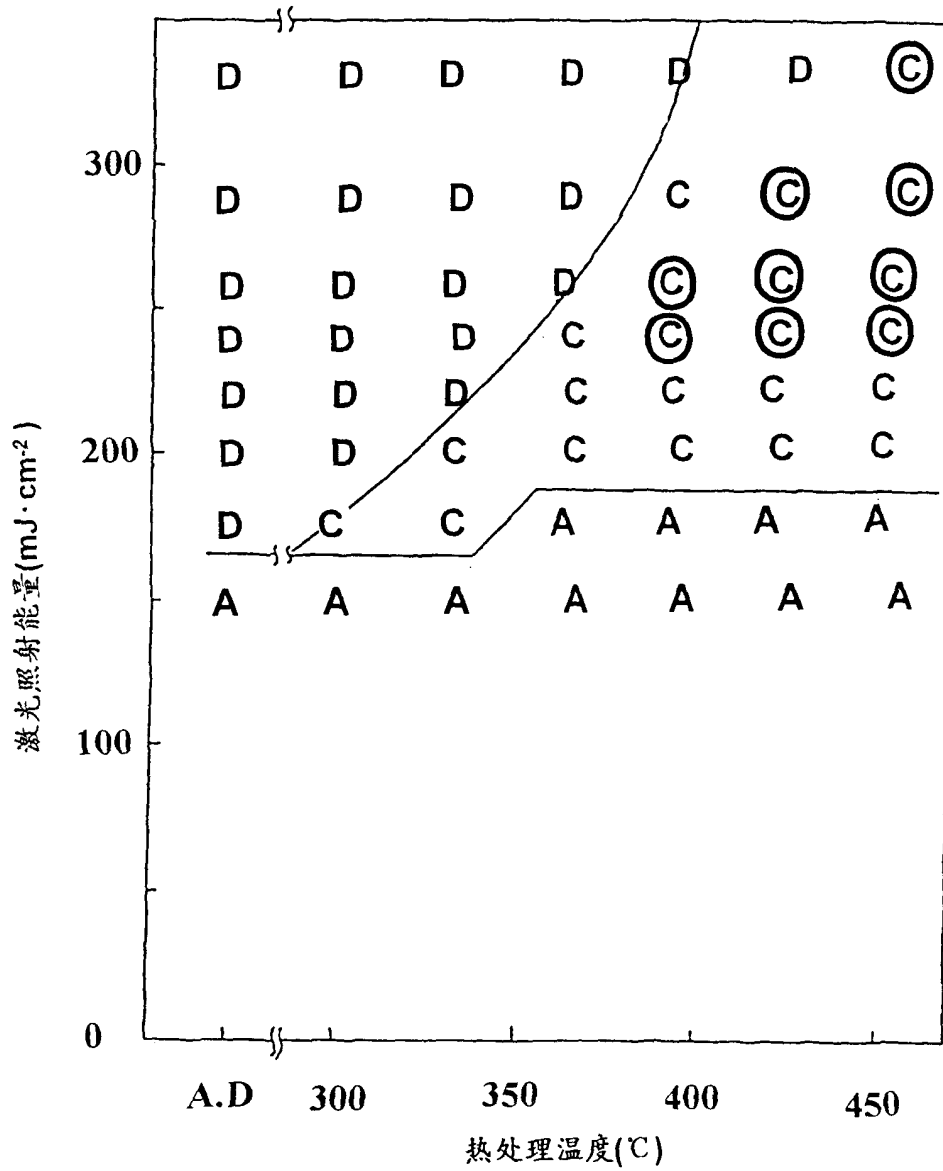


图 1

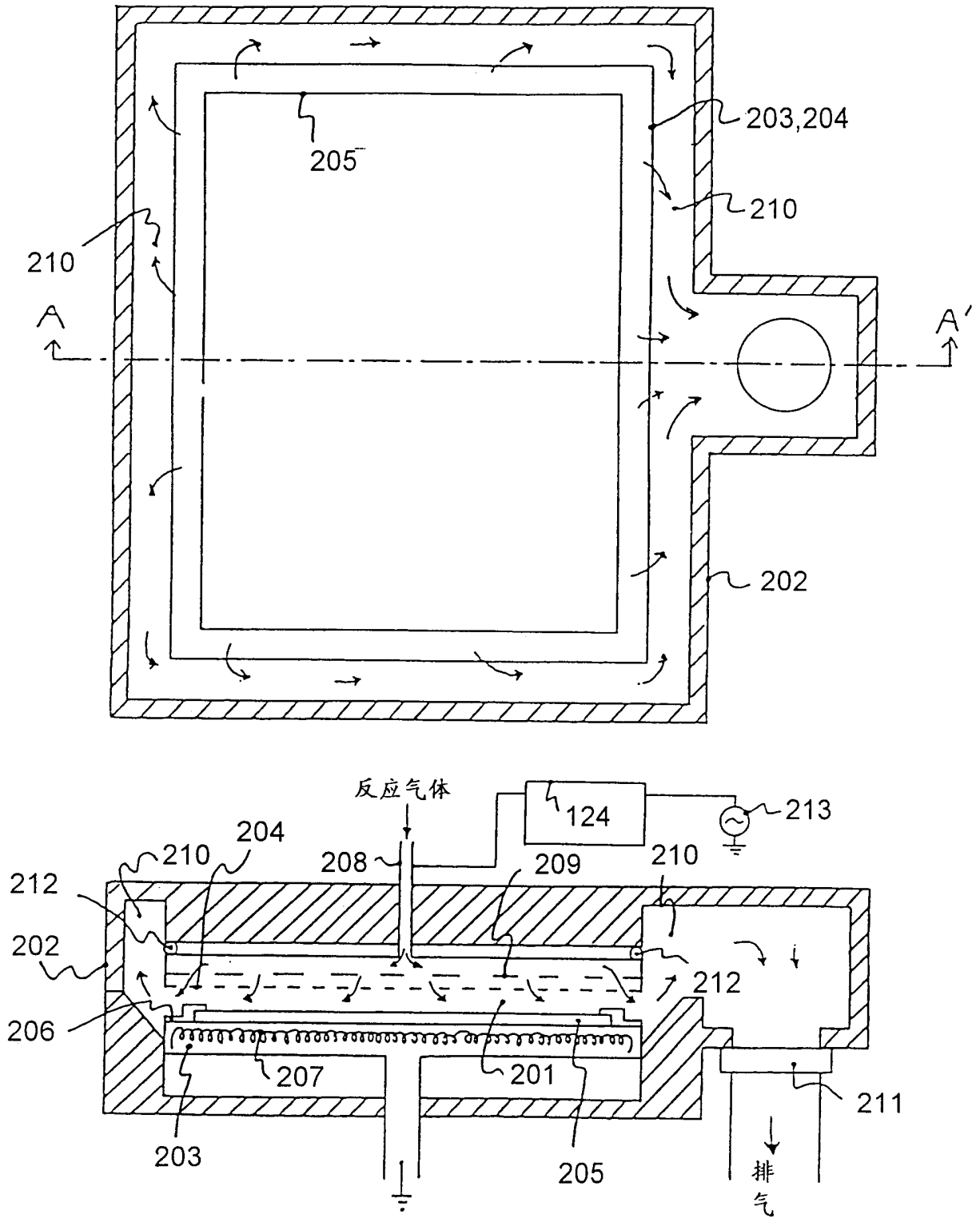
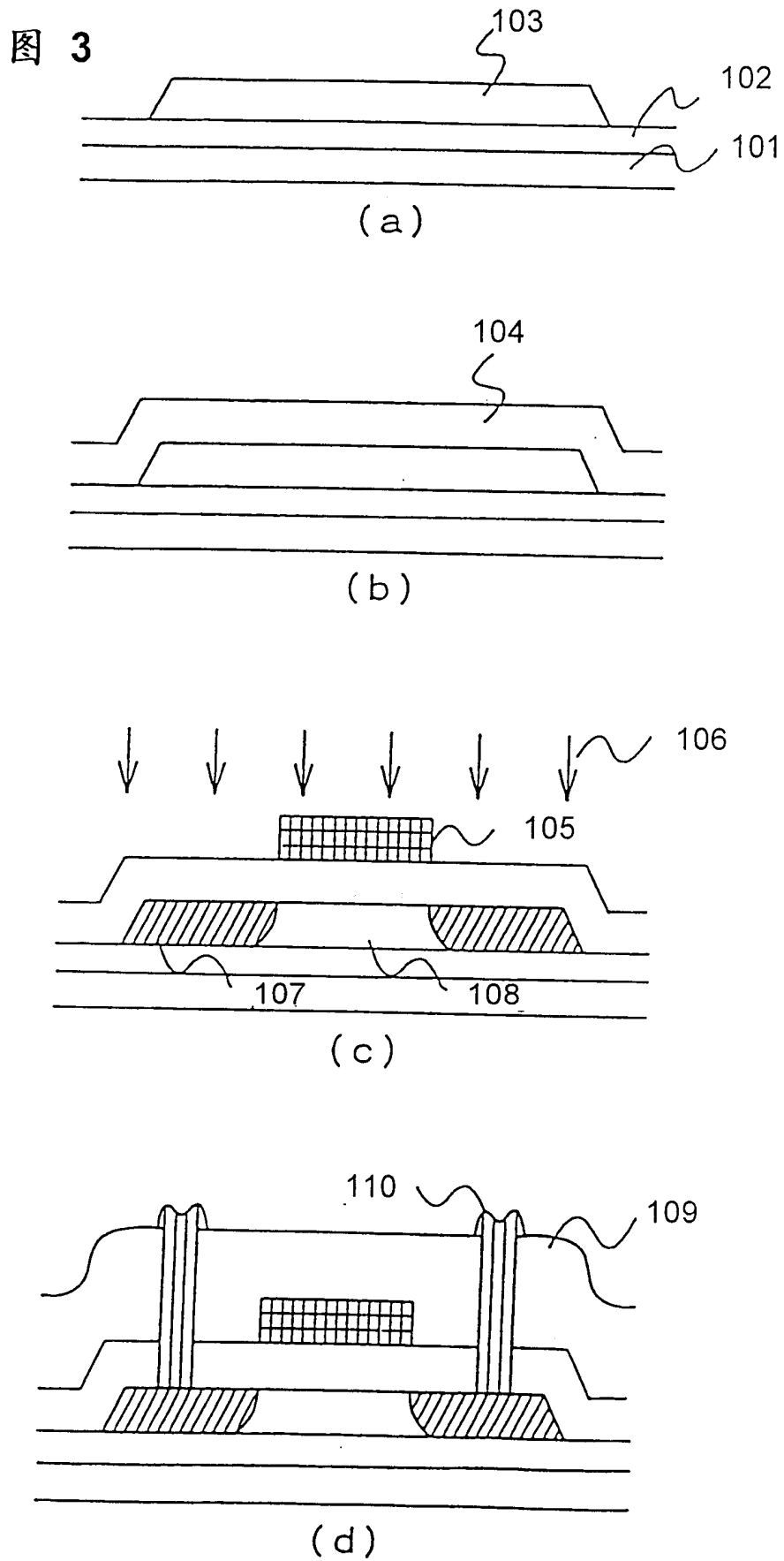


图 2



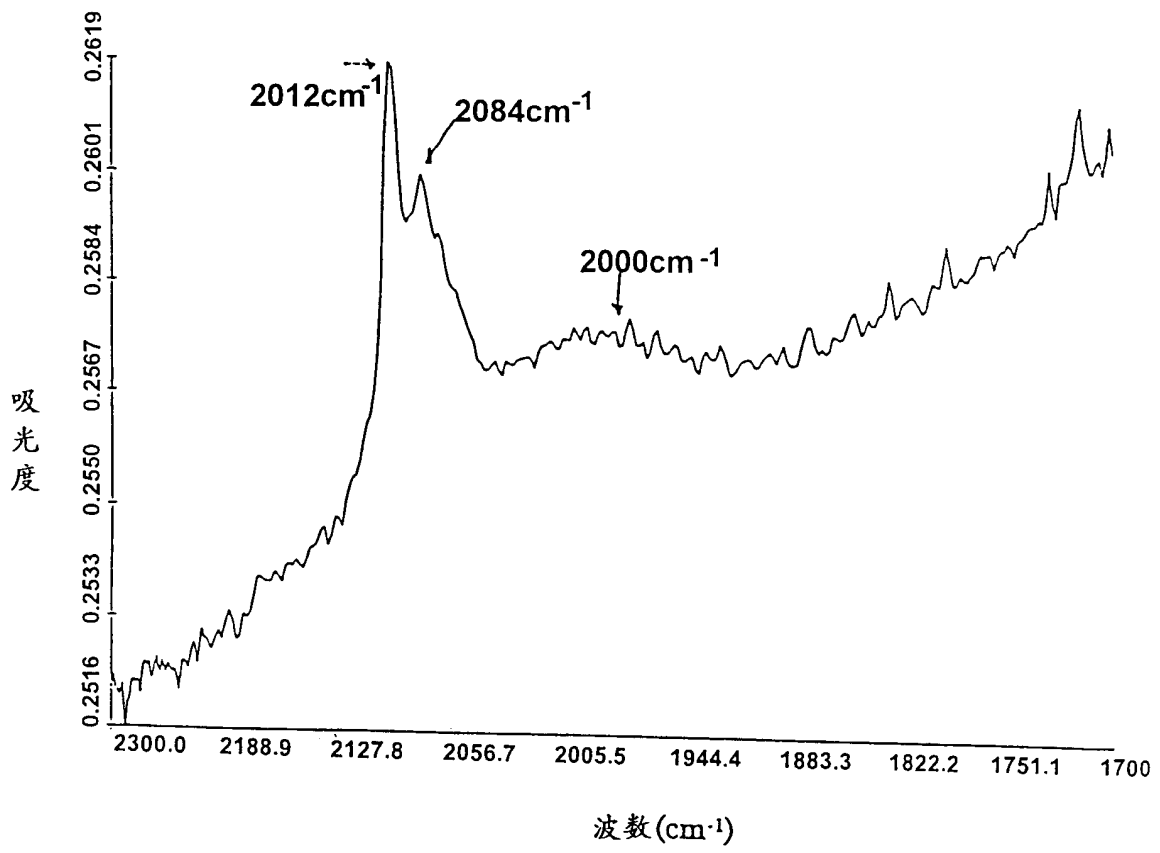


图 4

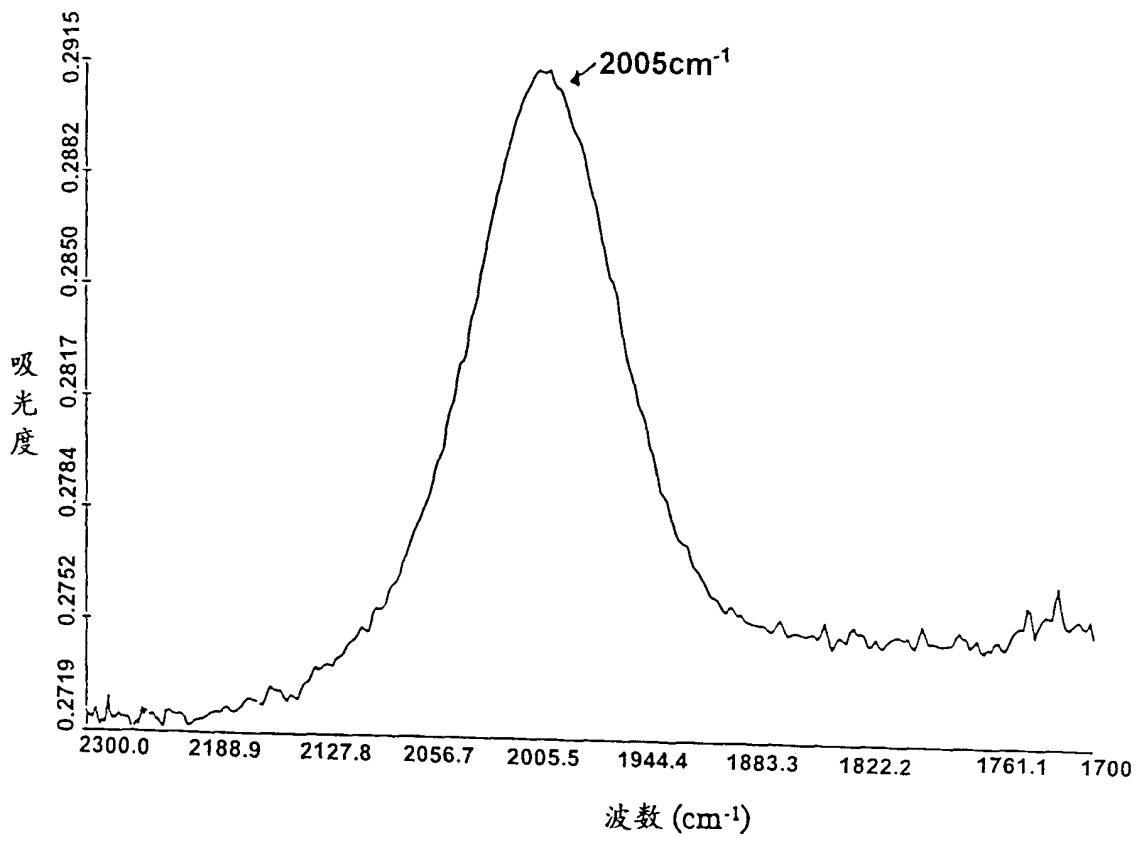


图 5

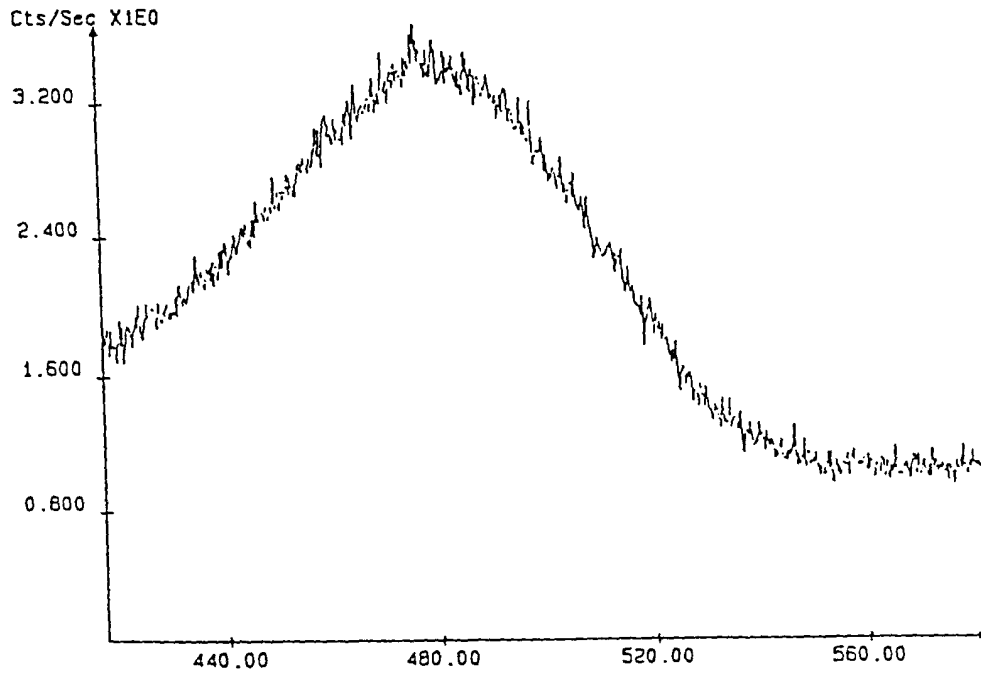


图 6

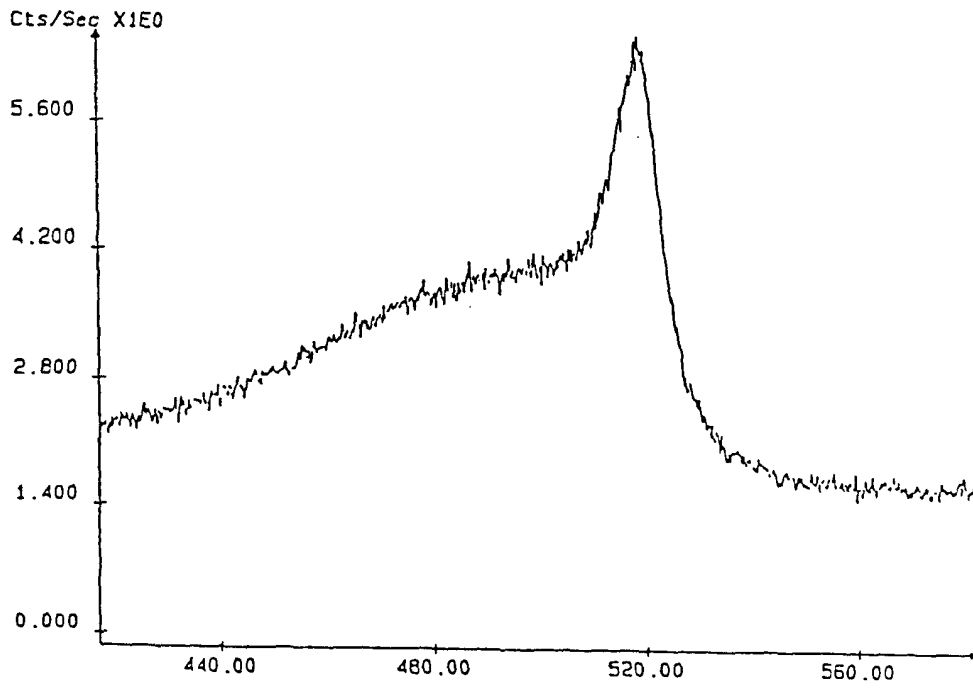


图 7

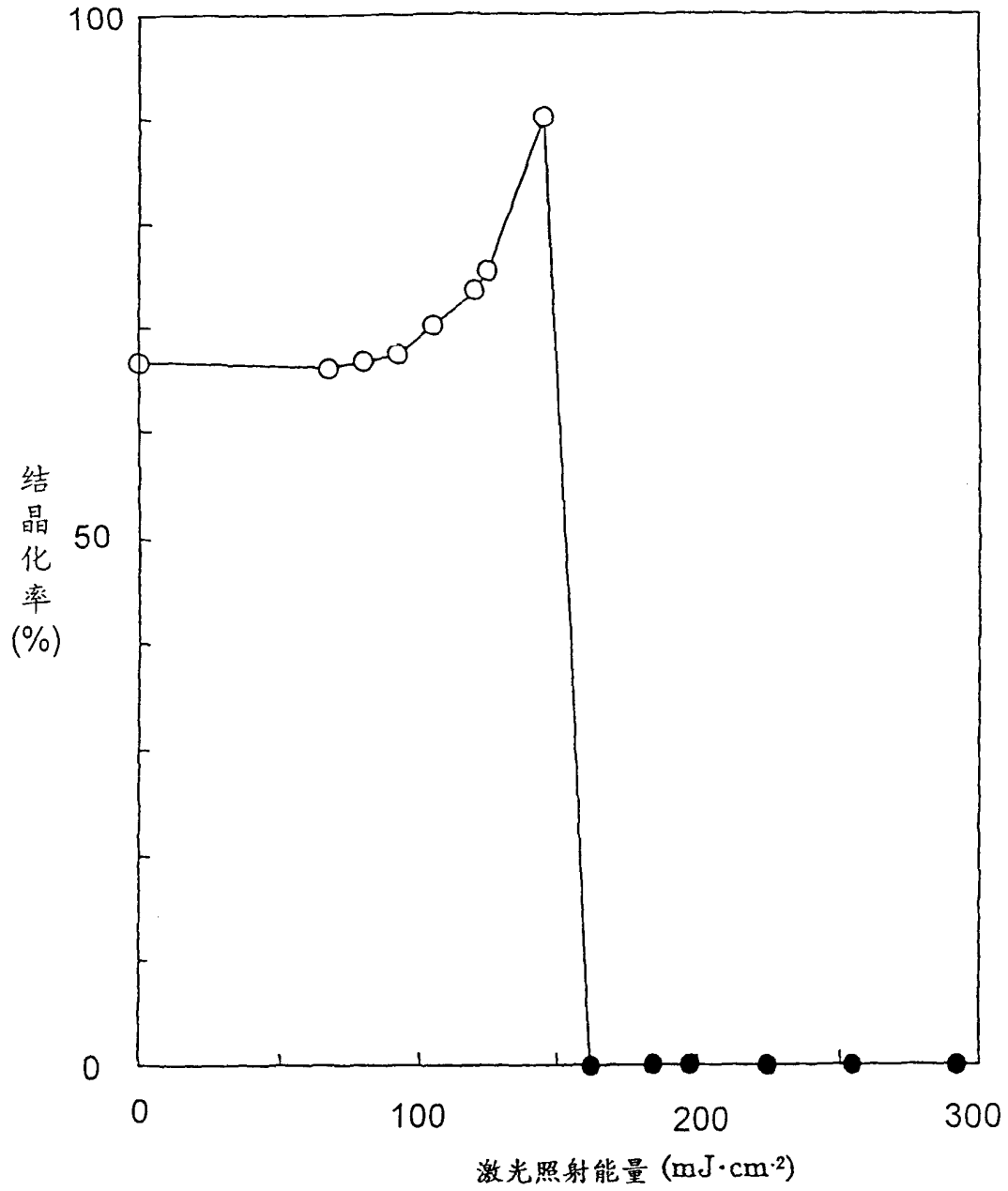
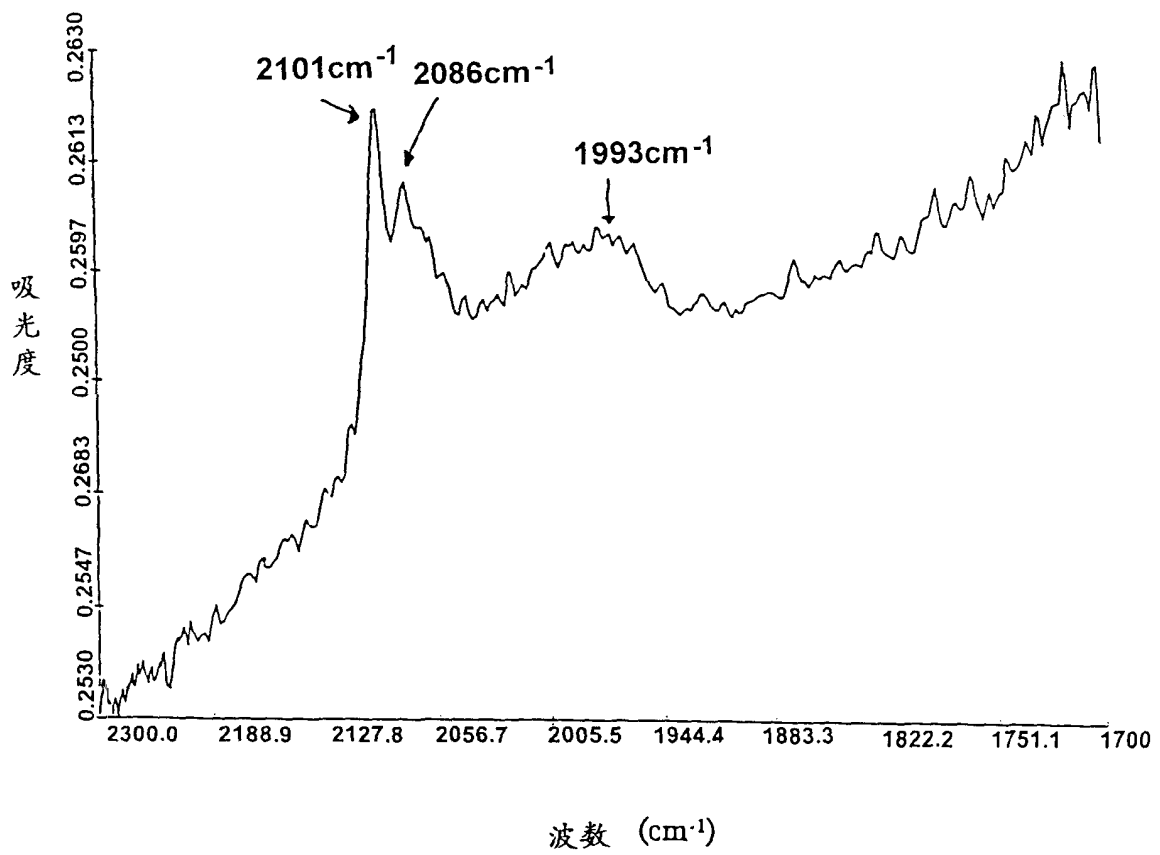


图 8



波数 (cm⁻¹)

图 9

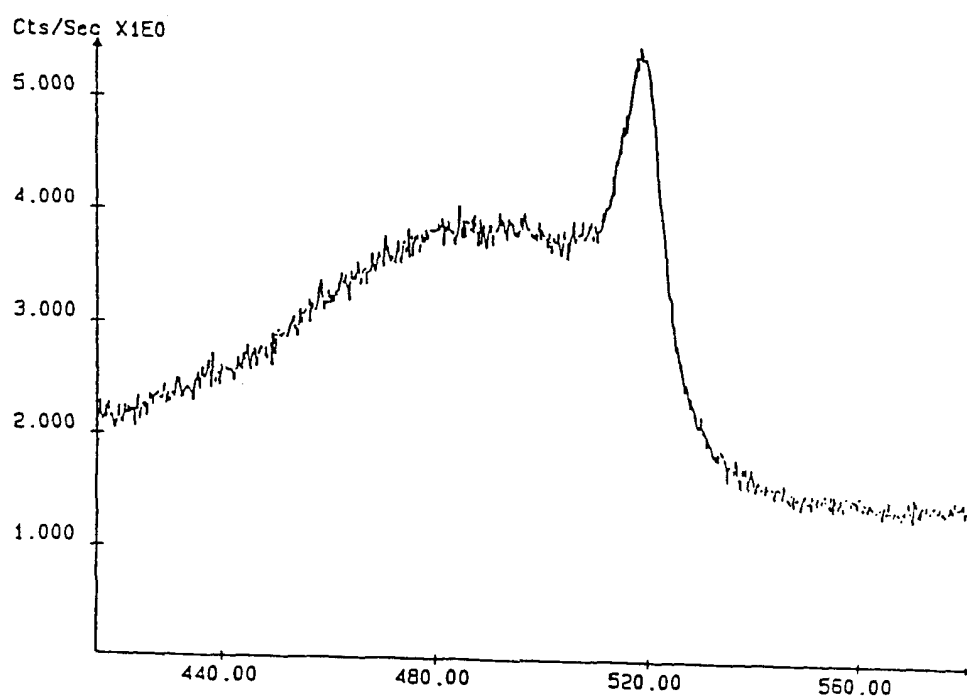


图 10

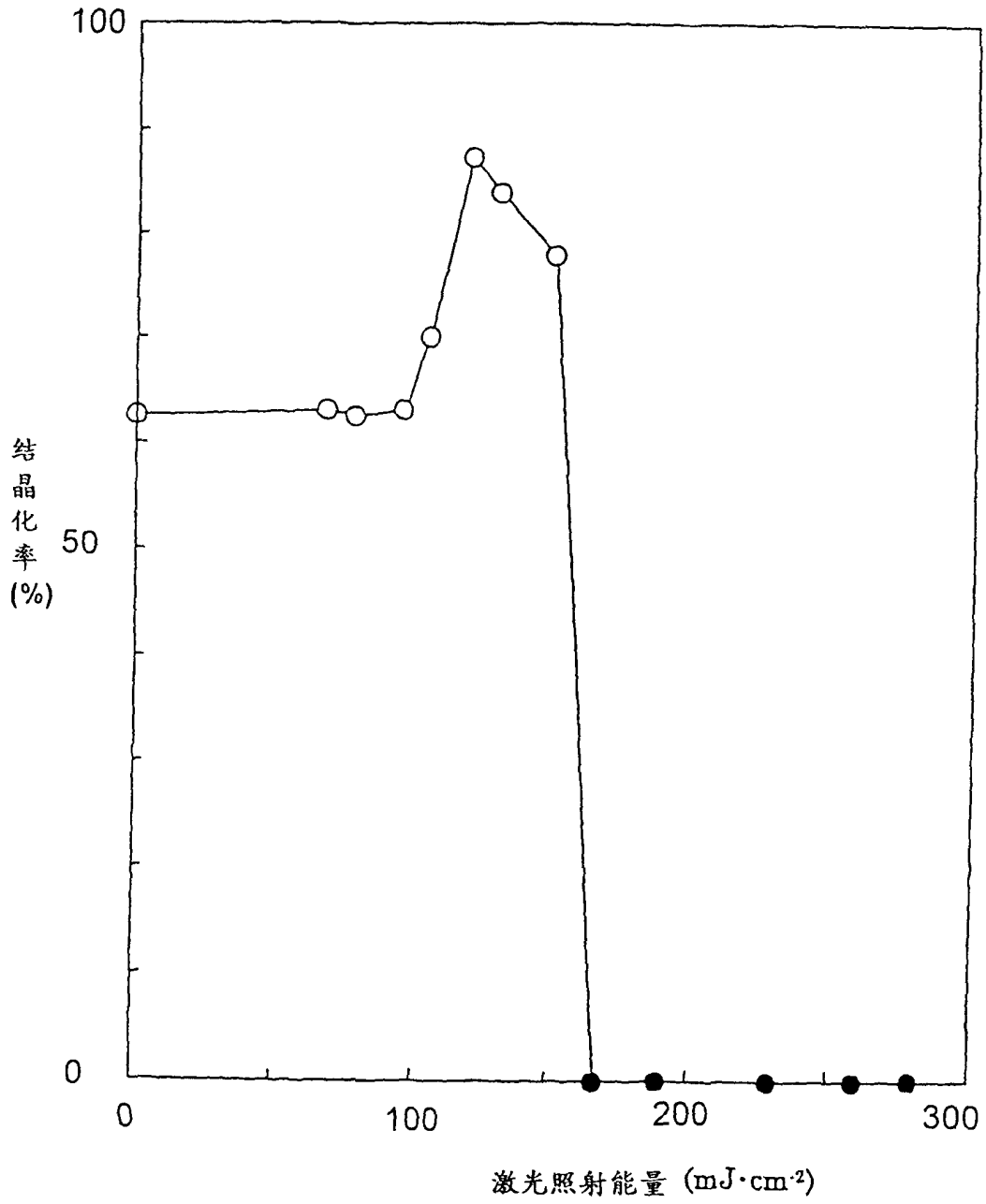


图 11

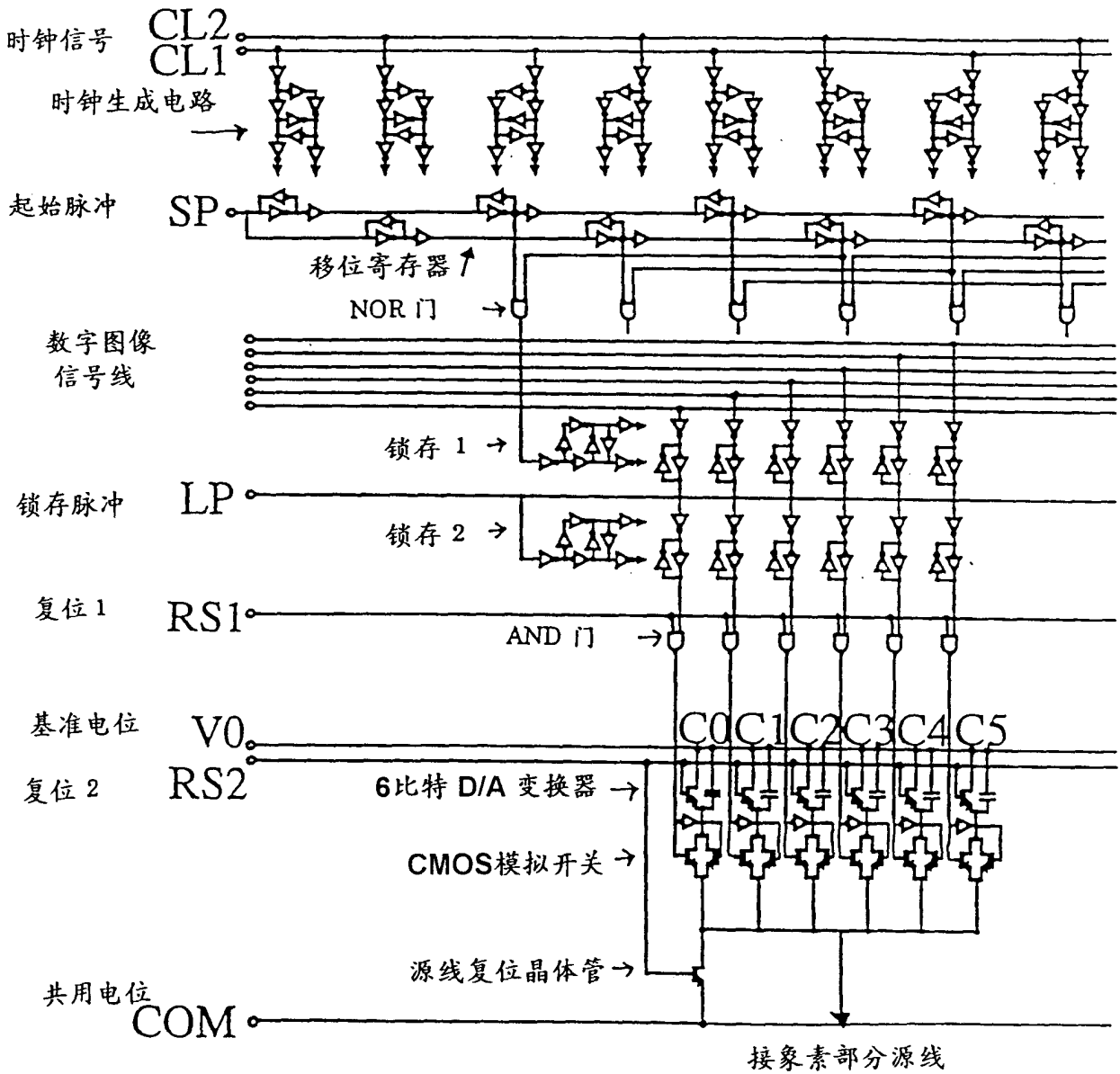
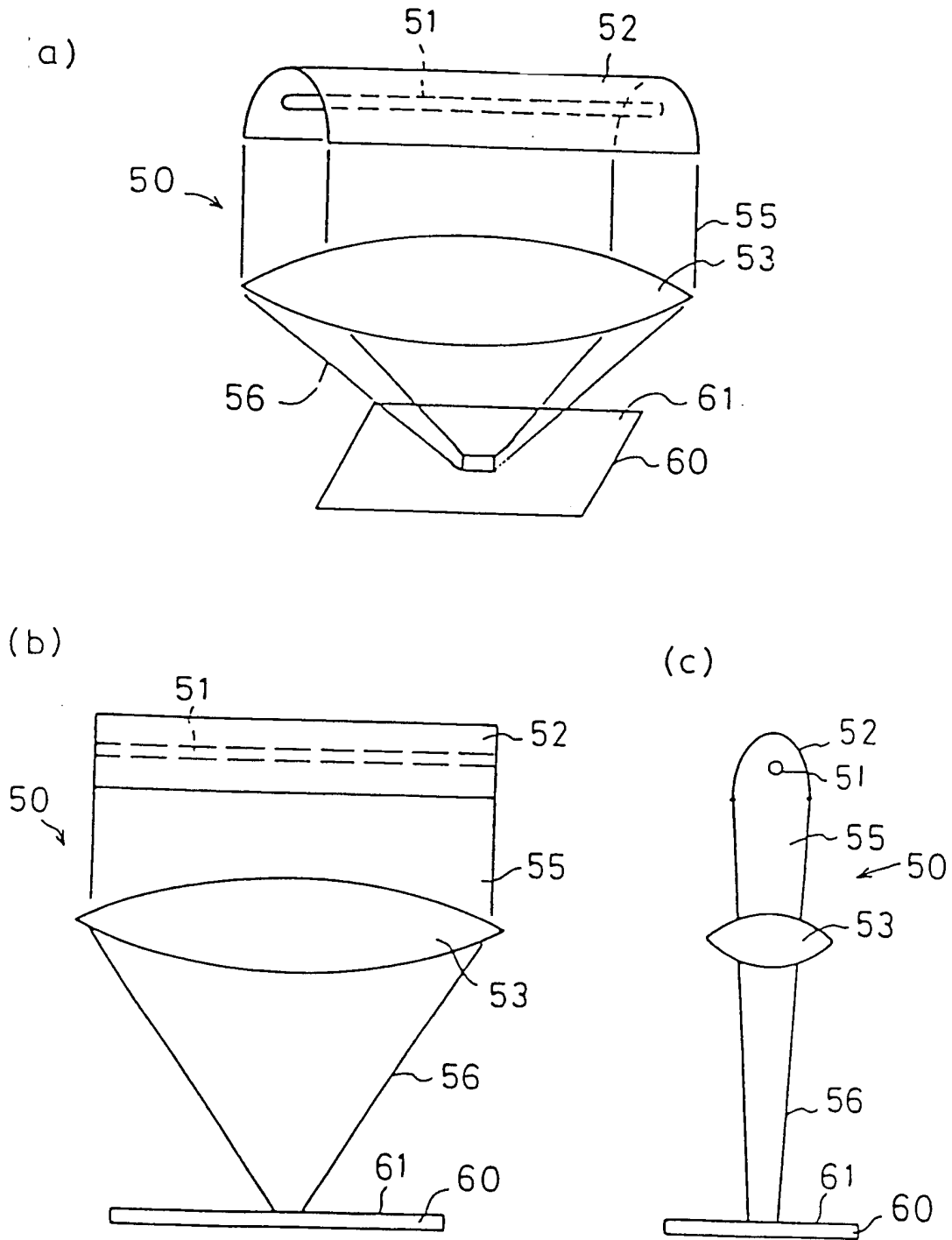


图 12

图 13



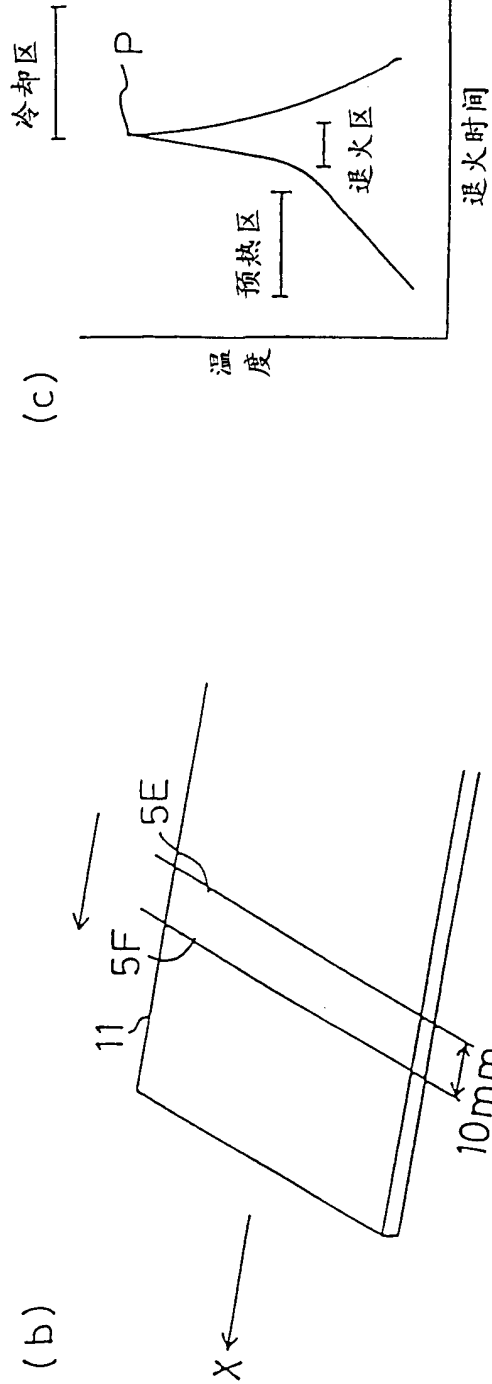
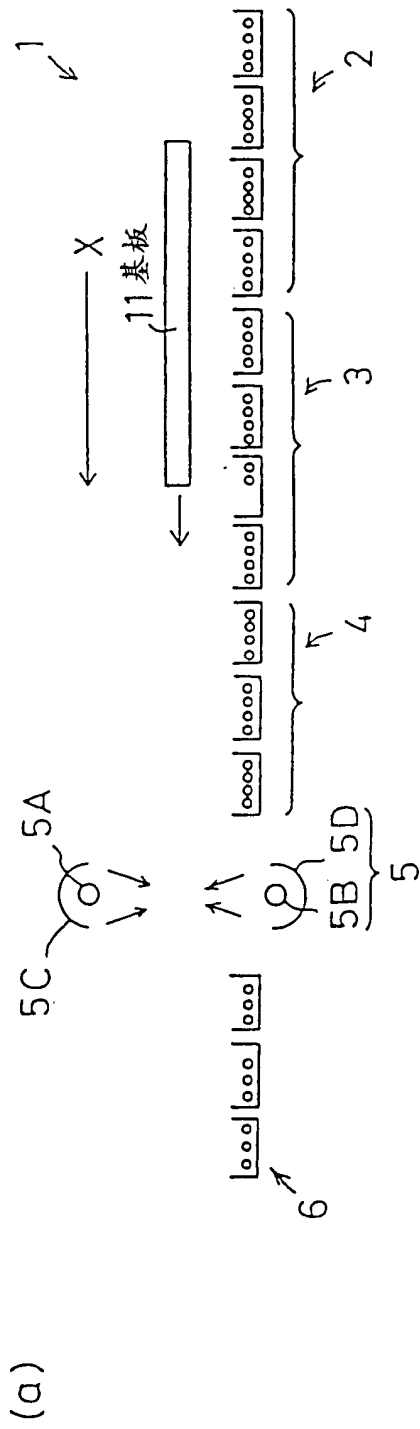


图14