I869252

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I869252 B**

(45)公告日： 中華民國 114 (2025) 年 01 月 01 日

(21)申請案號：113111625 (22)申請日： 中華民國 111 (2022) 年 03 月 03 日

(51)Int. Cl.： ***H01L23/50 (2006.01)*** ***G06F13/38 (2006.01)***

G06F13/40 (2006.01)

(30)優先權：2021/03/05 美國 17/194,003

(71)申請人：美商蘋果公司 (美國) APPLE INC. (US)

美國

(72)發明人：卡羅 索吉歐 KOLOR, SERGIO (IL)；達維多芙 丹尼 DAVIDOV, DANY (IL)；菲利浦 馬克 PILIP, MARK (IL)；雷斯姆 尼爾 LESHEM, NIR (IL)；席密特 里爾 ZIMET, LIOR (IL)

(74)代理人：陳長文；黃章典；金若芸

(56)參考文獻：

TW 201612763A TW 201743572A

US 2020/0265002A1

審查人員：許人偉

申請專利範圍項數：20 項 圖式數：10 共 61 頁

(54)名稱

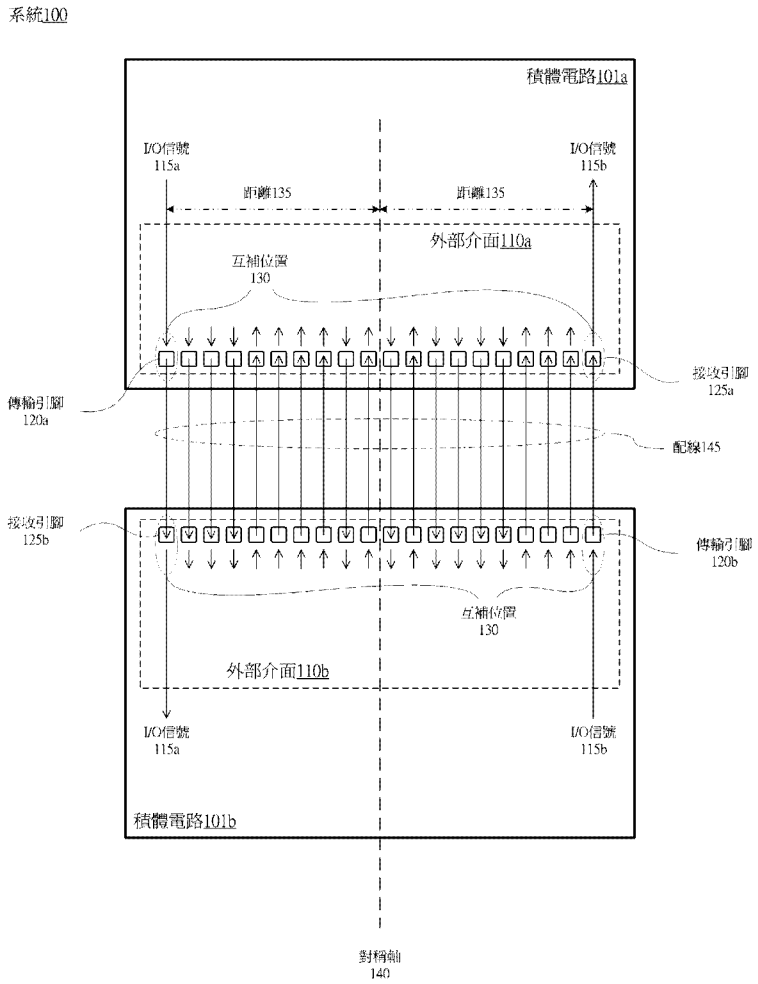
使用互補式晶粒至晶粒介面傳輸及接收資料之系統、方法及設備

(57)摘要

一種系統包括一積體電路的一第一實例及一第二實例。該等積體電路包括具有一實體引腳布局的各別外部介面，該實體引腳布局具有位於相對於一對稱軸的互補位置上之用於一特定匯流排的傳輸及接收引腳。該積體電路之該第一實例及該第二實例的該等外部介面經定位使得該第一實例上之用於該給定 I/O 信號的該等傳輸及接收引腳分別與該第二實例上之用於該給定 I/O 信號的該等接收及傳輸引腳對準。

A system includes a first instance and a second instance of an integrated circuit. The integrated circuits include respective external interfaces with a physical pin layout having transmit and receive pins for a particular bus located in complementary positions relative to an axis of symmetry. The external interfaces of the first and second instances of the integrated circuit are positioned such that the transmit and receive pins for the given I/O signal on the first instance are aligned, respectively, with the receive and transmit pins for the given I/O signal on the second instance.

指定代表圖：



【圖1】

符號簡單說明：

100:系統

101a:積體電路

101b:積體電路

110a:外部介面；介面

110b:外部介面；介面

115a:I/O 信號

115b:I/O 信號

120a:傳輸引腳

120b:傳輸引腳

125a:接收引腳

125b:接收引腳

130:互補位置

135:實體距離

140:對稱軸

145:配線

C2634X5DA.pdf

專利案號：113111625
原申請案號：111107801
公告本
I869252

【發明摘要】

【中文發明名稱】　使用互補式晶粒至晶粒介面傳輸及接收資料之系統、方法及設備

【英文發明名稱】　SYSTEM, METHOD, AND APPARATUS FOR TRANSMITTING AND RECEIVING DATA USING A COMPLEMENTARY DIE-TO-DIE INTERFACE

【中文】

一種系統包括一積體電路的一第一實例及一第二實例。該等積體電路包括具有一實體引腳布局的各別外部介面，該實體引腳布局具有位於相對於一對稱軸的互補位置上之用於一特定匯流排的傳輸及接收引腳。該積體電路之該第一實例及該第二實例的該等外部介面經定位使得該第一實例上之用於該給定I/O信號的該等傳輸及接收引腳分別與該第二實例上之用於該給定I/O信號的該等接收及傳輸引腳對準。

【英文】

A system includes a first instance and a second instance of an integrated circuit. The integrated circuits include respective external interfaces with a physical pin layout having transmit and receive pins for a particular bus located in complementary positions relative to an axis of symmetry. The external interfaces of the first and second instances of the integrated circuit are positioned such that the transmit and receive pins for the given I/O signal on the first instance are aligned, respectively, with the receive and transmit pins for the given I/O signal on the second instance.

【指定代表圖】圖1

【代表圖之符號簡單說明】

100:系統

101a:積體電路

101b:積體電路

110a:外部介面；介面

110b:外部介面；介面

115a:I/O 信號

115b:I/O 信號

120a:傳輸引腳

120b:傳輸引腳

125a:接收引腳

125b:接收引腳

130:互補位置

135:實體距離

140:對稱軸

145:配線

【特徵化學式】無

【發明說明書】

【中文發明名稱】　使用互補式晶粒至晶粒介面傳輸及接收資料之系統、方法及設備

【英文發明名稱】　SYSTEM, METHOD, AND APPARATUS FOR TRANSMITTING AND RECEIVING DATA USING A COMPLEMENTARY DIE-TO-DIE INTERFACE

【技術領域】

【0001】　本文描述的實施例係關於系統單晶片(systems-on-a-chip, SOC)，且更具體地關於用於耦接多個SOC的介面。

【先前技術】

【0002】　系統單晶片(SOC)積體電路(integrated circuit, IC)通常包括充當系統之中央處理單元(central processing unit, CPU)的一或多個處理器以及各種其他組件，此一記憶體控制器及周邊組件。包括一或多個額外IC的額外組件可用特定SOC IC包括以形成給定裝置。增加包括在SOC IC上的處理器及/或其他離散組件的數目對於增加效能可係所欲的。額外地，除了SOC IC外，成本節省可藉由降低形成裝置所需之其他組件的數目而在裝置中達成。若將更多的整體系統併入至單一IC中，裝置可更小巧（在尺寸上更小）。此外，降低整體裝置的電力消耗可藉由將更多組件併入SOC中而達成。

【0003】　給定SOC可使用在具有不同效能、成本、及電力考慮因素的各種應用中。對於成本敏感的應用，例如，效能可能不像成本及電力消耗般地受到要求。另一方面，對於效能導向應用，可不強調成本及電力消耗。因此，一系列的SOC設計可用以支援各種應用。

【0004】 增加給定SOC設計的重使用以降低與設計、驗證、製造、及評估新的SOC設計關聯的成本可係所欲的。因此，針對一系列應用擴縮單一SOC設計的技術係所欲的。

【發明內容】

【0005】 在一實施例中，一種系統包括一積體電路的一第一實例，該第一實例具有一外部介面，該外部介面具有一實體引腳布局，該實體引腳布局具有位於相對於一對稱軸的互補位置上之用於一給定特定匯流排的傳輸及接收引腳。該系統進一步包括該積體電路之具有該外部介面的一第二實例。該積體電路的該第一實例及該第二實例的該等外部介面可經定位使得該第一實例上之用於該特定匯流排的該等傳輸及接收引腳分別與該第二實例上之用於該特定匯流排的該等接收及傳輸引腳對準。

【0006】 在一進一步實施例中，該積體電路可包括對應於複數個傳輸引腳及複數個接收引腳之各別一些者的複數個傳輸器電路及複數個接收器電路。該複數個傳輸器電路及該複數個接收器電路可以對應於該實體引腳布局的一實體布局配置。在另一實施例中，該積體電路可包括耦接至一匯流排電路的複數個晶片上路由器，該匯流排電路支援晶片上通訊及該積體電路的該第一實例與該第二實例之間的通訊。該複數個晶片上路由器可耦接至該外部介面的各別部分。

【0007】 在一實施例中，該外部介面的該等傳輸及接收引腳可分組成引腳組。該等引腳組可具有一共同數目的引腳，並可將該複數個晶片上路由器的各別一些者指派給該等引腳組的一各別一或多組。在一進一步實例中，該複數

個晶片上路由器的一特定晶片上路由器可包括與該共同數目不同的一特定數目的引腳。指派給該特定晶片上路由器的該等引腳組的該各別一或多組的至少一個引腳可係未使用的。

【0008】 在一實例中，該複數個晶片上路由器的一第一晶片上路由器可耦接至用於一給定I/O信號的該傳輸引腳。該複數個晶片上路由器的一第二晶片上路由器可耦接至用於一給定I/O信號的該接收引腳。該第一晶片上路由器可耦接至該第二晶片上路由器。在另一實例中，該系統可進一步包括一介面包裝器，其中該介面包裝器經組態以將該傳輸引腳路由成該第一晶片上路由器中的一預設引腳指派，及將該接收引腳路由成該第二晶片上路由器中的一非預設引腳指派。

【圖式簡單說明】

【0009】 下文實施方式將參照隨附圖式，以下將簡單說明隨附圖式。

〔圖1〕繪示具有耦接在一起的二個積體電路之系統之實施例的方塊圖。

〔圖2〕顯示具有外部介面之積體電路之實施例的方塊圖。

〔圖3〕描繪具有利用介面包裝器以路由各別外部介面之引腳指派的二個積體電路之系統的方塊圖。

〔圖4〕繪示具有利用引腳束之外部介面之積體電路之實施例的方塊圖。

〔圖5A〕描繪使用互補介面耦接在一起的二個積體電路的二個實例。

〔圖5B〕描繪耦接在一起的二個積體電路的二個額外實例。

〔圖6〕繪示用於在二個經耦接積體電路之間轉移資料之方法之實施例的流程圖。

〔圖7〕顯示用於在外部介面與積體電路內的晶片上路由器之間路由信號資料之方法之實施例的流程圖。

〔圖8〕描繪包括經耦接積體電路之系統的各種實施例。

〔圖9〕顯示根據一些實施例之實例電腦可讀媒體的方塊圖。

【0010】 雖然本揭露內容中所述實施例可受到各種修改及具有替代形式，其特定實施例係以圖式中實例之方式提出，且將在本文中詳細說明。然而，應理解，圖式及其詳細說明並非意欲將實施例侷限於所揭示之具體形式，而是意欲涵括所有落於所附申請專利範圍的精神與範圍內的修改、均等例及替代例。

【實施方式】

【0011】 如上文所描述的，給定的IC設計可使用在具有一系列效能及成本考慮因素的各種應用中。額外地，相較於設計、驗證、製造、及評估新的SOC設計，現有SOC設計的重使用可降低成本。一種用於橫跨一系列應用擴縮單一IC設計的技術係在比起成本更強調效能的應用中使用該IC的多個實例，及在成本敏感應用中使用該IC的單一實例。

【0012】 利用IC的多個實例可構成數項挑戰。一些應用、行動裝置，例如，具有有限空間以用於多個待包括的IC。此外，為降低與IC間通訊關聯的延遲，外部IC間介面可包括大數目的引腳，從而允許大數目的位元平行地在二個或更多個IC之間交換。例如，用於多核心SOC的介面可利用具有數百或甚至上千或更多個平行行進之信號的全系統通訊匯流排。為將此一SOC的二或更多者耦接在一起可能需要對通訊匯流排的重要部分提供存取的介面，可能需要橫跨

二或更多個晶粒固接上百或更多個引腳。額外地，為匹配或甚至接近通訊匯流排的內部通訊頻率、IC間介面的大數目的引腳的時序特性應一致，以避免相同資料字組的不同位元在不同的時脈循環上到達。使用單一引腳配置建立大的高速介面使得相同IC晶粒的二或更多個實例可在小的實體空間中耦接在一起可對IC設計者提出重大挑戰。

【0013】　如將於下文進一步解釋的，本揭露描述「互補式(complementary)」IC間介面的使用。本揭露認知到此類IC介面支援在有限空間中耦接相同IC設計的二或更多個實例，並提供IC設計的可擴縮性以支援一系列應用。此一可擴縮介面可包括當二個IC面對面地或沿著該二個晶粒的共同邊緣放置時，允許該二個IC在該二個IC之間的配線少許交叉至無交叉的狀況下實體地耦接的引腳配置。為增加效能特性橫跨介面之引腳的一致性，可將引腳數目較小（例如，十六、三十二、或類似者）的單一設計重複至實施介面所期望的引腳數目為止。此一IC間介面可藉由通過耦接IC的二或更多個實例促成增加效能而允許IC使用在範圍廣泛的應用中。此介面可進一步使二或更多個IC能以允許經耦接IC使用在用於多個IC的實體空間係有限的行動應用或其他應用中的方式耦接在一起。

【0014】　當具有「互補功能(complementary function)」的引腳經定位使得其等具有「互補布局(complementary layout)」時，二個IC間介面可稱為在本揭露之意義內的「互補的(complementary)」。若一對介面引腳在一個積體電路上的第一者經設計成由該等引腳在另一積體電路上的第二者接收時，該等引腳具有「互補功能」。當一個IC上之提供資料字組的一特定位元的一輸出信號的一傳輸引腳經設計以耦接至另一IC上之將該資料字組的該特定位元接受為一輸

入信號的一接收引腳時，傳輸及接收係互補功能的一個實例。類似地，將運載一時脈信號輸出的一引腳視為具有能夠將該時脈信號接收為輸入的一關聯引腳的互補功能。

【0015】 應注意用語「對稱軸(axis of symmetry)」於本揭露各處使用。對稱軸的各種實施例顯示在圖1、圖2、圖4、圖5A、及圖5B中，且於下文參照此等圖式描述。

【0016】 當引腳相對於介面的對稱軸定位成使得具有該介面的第一積體電路可經放置成緊靠著或經耦接至該積體電路的第二實例以致於具有互補功能的引腳對準時，具有互補功能的引腳具有互補布局。此類引腳亦可稱為在「互補位置(complementary position)」上。互補布局的實例會係將用於特定信號的傳輸引腳（例如，資料匯流排的位元0及位元1）分別定位在對稱軸的一側上離該軸最遠處及第二遠處，其中將該等互補接收引腳（例如，資料匯流排的位元0及位元1）放置在該對稱軸的相對側上離該軸最遠處及第二遠處。在此一實施例中，IC之具有互補介面的第一實例可相對於IC之具有相同IC間介面的第二實例定位，使得第一實例的傳輸引腳與第二實例的接收引腳對準，並使得第一實例的接收引腳與第二實例的傳輸引腳對準。如將相關於圖5A及圖5B進一步解釋的，當將二個相同介面的周長對齊且垂直於該二個介面的直線可畫過該等關注引腳時，可將該二個介面上的引腳視為係「對準的」。當對準的概念係關於介面的引腳時，其相關於圖5A及圖5B於下文進一步描述。

【0017】 此一互補引腳布局使第一實例及第二實例能經由其等的各別外部介面耦接而在二個實例之間沒有任何信號路徑交叉。具有互補功能以及互補位置的一對介面引腳稱為「互補引腳(complementary pin)」。在本文中使用傳

輸及接收引腳對以展示互補引腳的實例。然而，在其他實施例中，互補引腳可包括經組態使得信號可基於一或多個控制信號的設定在任一方向上發送的雙向引腳對。例如，資料匯流排的互補引腳可係可組態以取決於資料係讀取或寫入而發送或接收資料。

【0018】 應注意，如本文所指稱的，當介面的互補引腳功能僅有一部分在互補位置上時，該介面仍可視為係互補的。例如，給定的IC間介面可包括與複數個通訊匯流排關聯的引腳，諸如記憶體匯流排、顯示匯流排、網路匯流排、及類似者的二或更多者。當具有與所包括之匯流排的至少一者關聯的互補功能的引腳以相對於給定介面之對稱軸的互補布局配置時，該給定IC間介面視為係互補的。介面的其他匯流排及/或不直接有關於特定通訊匯流排的其他信號可不具有在互補位置上的引腳。

【0019】 應注意在本揭露通篇說明的實例中，係參考相同設計的二或更多個IC的使用。設想可使用具有相同實體引腳布局的相同外部介面耦接不同設計的IC。例如，不同IC設計的家族可包括橫跨該家族的相同外部介面設計，以促成IC之二或更多者之實例的各種組合。此一各種組合可提供橫跨廣泛應用範圍的可高度擴縮系統解決方案，從而允許，例如，在成本敏感應用中使用家族的較小、較不昂貴的成員及在效能注重應用中使用家族的更較貴、較高效能的成員。家族的成員亦可與小的低功率成員組合以用於在降低功率模式中使用，及與高效能成員組合以在需要執行複雜程序及/或許多平行程序時使用。

【0020】 在一些實施例中，外部介面係沿著IC之晶粒的一個邊緣實體地定位。此一實體位置可支援各種多晶粒組態，諸如將二或更多個晶粒放置在共平面表面上，其中包括外部介面的邊緣經定向成最接近相鄰晶粒，以在耦接外

部介面時降低配線長度。在另一實例中，一對的一個晶粒可面朝上地放置而另一者係面朝下，且接著藉由其等的各別介面對準。在僅包括IC之單一者的實施例中，外部介面沿著晶粒的一個邊緣放置可允許，例如，在晶圓鋸切操作期間將外部介面實體地移除。

【0021】　圖1繪示包括IC之經由各別外部介面耦接的二個實例之系統的一個實施例的方塊圖。如所繪示的，系統100包括分別經由其等的外部介面110a及110b（統稱為外部介面110）耦接的積體電路101a及101b（統稱為積體電路101）。將對稱軸140顯示成垂直於並通過介面110a及110b之中心定位的垂直虛線。對稱軸為包括在外部介面110中之引腳（包括與特定匯流排關聯的傳輸引腳120a及120b及接收引腳125a及125b）的實體布局提供參考。應注意，如圖所示，介面110a及110b的中心分別在積體電路101a及101b中。然而，在其他實施例中，外部介面可經定位成更接近積體電路的特定側。

【0022】　如圖所示，積體電路101a包括具有實體引腳布局的外部介面110a，該實體引腳布局具有用於特定匯流排之位於相對於對稱軸140的互補位置130上的傳輸引腳120a及接收引腳125a。積體電路101a係以有限帶寬量執行任何特定功能的IC設計。例如，積體電路101a可係通用的微處理器或微控制器、數位信號處理器、圖形或音訊處理器、或其他類型的系統單晶片。在一些應用中，積體電路101的單一實例可提供適合的效能帶寬。在其他應用中，多個積體電路101可用以增加效能帶寬。在一些應用中，多個積體電路101可經組態成多個積體電路的存在對在該單一系統上執行的軟體係透明的單一系統。

【0023】　如圖1所示，外部介面110b中的接收引腳125b係與外部介面110a的傳輸引腳120a互補。因此，經由傳輸引腳120a發送的I/O信號115a與藉由

接收引腳125b接收的I/O信號115a係共同的。以類似方式，外部介面110a中的接收引腳125a係與外部介面110b的傳輸引腳120b互補。藉由傳輸引腳120b傳輸的I/O信號115b因此係藉由接收引腳125a接收之I/O信號115b的共同信號。I/O信號115a可，例如，對應於積體電路101a及101b中之特定匯流排的資料位元0。因此，I/O信號115b亦會對應於積體電路101a及101b中之特定匯流排的資料位元0。

【0024】　如所繪示的，互補引腳布局係藉由以相對於對稱軸140的相同順序放置傳輸引腳120a及接收引腳120a（各引腳皆係自對稱軸140計的第十引腳）而促成。在所繪示的實施例中，亦將傳輸引腳120a及接收引腳120a顯示成位於距對稱軸140相同但在相對側上的實體距離135處。因此，外部介面110的二個實例可能能夠彼此直接耦接。雖然此一實體引腳對稱性可在將積體電路101b旋轉至與積體電路101a相對的位置時促成所欲的引腳對準，但並未將此程度的引腳對稱性視為係對互補介面的所有實施例的要求。

【0025】　如所繪示的，將積體電路101a耦接至第二實例（積體電路101b）。積體電路101a及101b係相同IC的二個實例，且因此包括相同電路、相同特徵、及如圖所示，相同外部介面110的各別實例。因此，積體電路101b包括具有實體引腳布局的外部介面110b，該實體引腳布局具有用於給定輸入/輸出(I/O)信號之位於相對於對稱軸140的互補位置上的傳輸引腳120b及接收引腳125b。

【0026】　為耦接積體電路101，積體電路101的第一及第二實例的外部介面110經定位使得在積體電路101a上之用於I/O信號115的傳輸引腳120a及接收引腳125a分別與積體電路101b上之用於I/O信號115的接收引腳125b及傳輸引腳

120b對準。藉由將積體電路101b的晶粒旋轉180度並使二個積體電路101的共同邊緣放置成相鄰於彼此，將積體電路101a的傳輸引腳120a實體地定位成相鄰於積體電路101b的接收引腳125b。類似地，將積體電路101a的接收引腳125a實體地定位成相鄰於積體電路101b的傳輸引腳120b。如本文中所使用的，「相鄰(adjacent)」係指二或更多個電路元件的實體位置配置成使得耦接二個元件的配線不與鄰近的類似元件組的配線交叉。例如，就二個外部介面的引腳而言，相鄰引腳指示從第一實例之給定引腳至第二實例之互補引腳的配線不與用以耦接第一實例及第二實例之相鄰引腳之任一者的配線交叉。

【0027】　經由各別配線145將傳輸引腳120a耦接至接收引腳125b並將接收引腳125a耦接至傳輸引腳120b。應注意，如本文所使用的，「配線(wire)」係指允許信號在外部介面110的傳輸引腳與接收引腳的耦接對之間轉移的任何合適的導電媒體。例如，配線可對應於附接在傳輸引腳120a與接收引腳125b之間的銲線。額外地，可使用中介層裝置將外部介面110a的引腳耦接至外部介面110b的引腳。在一些實施例中，可將積體電路101a翻轉並以二個積體電路晶粒之間具有或不具有中介層裝置的狀態面對面地附接至積體電路101b。

【0028】　外部介面110的其他引腳亦可配置在類似的互補位置上，使得對於外部介面110的傳輸引腳群組，以相對於對稱軸140的相同順序定位的接收引腳的互補群組係在傳輸引腳群組的相對側上。此一布局導致從對稱軸140計編號相同但係在相對側上之引腳的引腳對具有互補功能的對稱引腳配置，例如，該對的一個引腳係傳輸引腳且另一者係接收引腳。

【0029】　使用此互補引腳布局，藉由積體電路101a發送資料包括經由位於距對稱軸140特定距離處的傳輸引腳120a發送資料封包的一部分，並藉由積

體電路101b經由位於距對稱軸140相同的特定距離處的接收引腳125b接收該資料封包的該部分。類似地，資料封包的剩餘部分係藉由其他傳輸引腳與該第一部分平行地發送至定位成與對稱軸140等距的互補接收引腳。應注意到互補引腳布局亦可導致連接在外部介面110a與110b之間的配線145在長度上類似。此類似性可幫助促成資料封包平行地發送以及接收，從而降低資料封包的不同位元之間以及用以取樣資料封包的任何時脈信號之間的偏斜。

【0030】 藉由利用上文描述的互補引腳布局，可將外部介面實施在積體電路上，該積體電路以在滿足應用之效能需求的同時促成在空間受限應用中使用的方式允許積體電路的多個實例耦接在一起。橫跨範圍增加的應用重使用現有的積體電路可降低與以其他方式設計新的積體電路以滿足範圍增加的一或多個應用的效能要求關聯的設計及產生成本。

【0031】 應注意到繪示於圖1中的系統100僅係實例。圖1的繪示已經簡化以強調有關本揭露的特徵。各種實施例可包括電路元件的不同組態。例如，將外部介面110顯示成具有二十個引腳。在其他實施例中，可將任何合適數目的引腳包括在外部介面中，包括，例如，一千個以上的引腳。雖然僅顯示積體電路的二個實例，設想額外實例可包括在其他實施例中。將對稱軸140描繪成通過積體電路101a及101b的中心。在其他實施例中，可將外部介面，且因此將對稱軸定位成偏離積體電路的中心。

【0032】 繪示於圖1中的積體電路僅以外部介面顯示。各種積體電路可包括任何合適數目的額外電路區塊。具有額外電路區塊的積體電路的一個實例顯示於圖2中。

【0033】　移至圖2，顯示具有外部介面之積體電路之實施例的圖。如所繪示的，積體電路101包括耦接至晶片上路由器240a至240e的外部介面110，該等晶片上路由器繼而耦接至包括匯流排電路250、255、及258的數個匯流排電路的各別者。各種匯流排電路經耦接至各別組的功能電路260a至260f。外部介面110係以複數個傳輸引腳120及接收引腳125以及關聯的傳輸器電路230及接收器電路235顯示。如圖所示，積體電路101對應於圖1中之積體電路101a及101b二者的IC設計。

【0034】　如所繪示的，匯流排電路250至258經組態以在複數個功能電路260a至260f（統稱為功能電路260）之中轉移給定資料。匯流排電路250、255、及258將各別的通訊路徑提供在功能電路的各種組（包括外部介面110及各別組的功能電路260）之間。匯流排電路250至258之各者可支援各別組的網路協定及/或特定類型的資料。例如，匯流排電路258可用於傳輸圖形資料、而匯流排電路250可支援通用資料、且匯流排電路255係用於音訊資料。

【0035】　匯流排電路250、255、及258可共同形成積體電路101內的通訊網狀結構(communication fabric)，以用於在各種功能電路260與未繪示的額外功能電路之間轉移資料異動。為存取外部介面110，且因此，存取積體電路101的另一實例，匯流排電路250至258的各者經耦接至晶片上路由器240的各別一或多者，該晶片上路由器繼而耦接至包括在外部介面110中的一或多個傳輸器電路230及接收器電路235。如圖所示，晶片上路由器240a及240d將不同存取點提供至匯流排電路250中，並可實體地位於積體電路101上的不同位置，諸如接近關聯傳輸器及接收器電路。類似地，晶片上路由器240b及240c將不同存取點提

供至匯流排電路255中，且晶片上路由器240e將存取點提供至匯流排電路258中。

【0036】 如所繪示的，外部介面110中的複數個傳輸器電路230經耦接至特定的傳輸引腳組220，且複數個接收器電路235經耦接至特定的接收引腳組225。此等傳輸器電路230及接收器電路235可藉由其等的對應傳輸引腳組220及接收引腳組225實體地定位。此等電路的此一共位置可降低當積體電路101之第一實例中的該組傳輸器電路230的給定一者確立特定信號位準時的時間點與當在積體電路101之第二實例上的該組接收器電路的對應一者接收該經確立信號位準時的稍後時間點之間的時序偏斜。此時序偏斜可在傳輸器電路230及/或接收器電路235經放置成更遠離其等各別的傳輸引腳及接收引腳的IC設計中增加。

【0037】 特定傳輸引腳組220係以相對於外部介面110之對稱軸140的特定布局配置。特定接收引腳組225係以特定布局之相對於對稱軸140的互補布局配置。因此，當積體電路101的二個實例面對彼此地放置時，其中該等實例的一者與另一實例翻轉180度，給定傳輸引腳120與對應的接收引腳125對準。外部介面110經組態以在匯流排電路250至258與積體電路101的另一實例之間轉移特定資料。

【0038】 晶片上路由器240經由複數個信號在關聯匯流排電路250至258與外部介面110之間轉移特定資料。晶片上路由器240可經組態以佇列一或多個資料封包以發送至匯流排電路250至258的各別一者及/或佇列從各別匯流排電路接收的一或多個資料封包。例如，晶片上路由器240a可經由外部介面110接收來自積體電路101之另一實例的一系列資料封包。在一些實施例中，晶片上路

由器240a可在發送經接收資料封包之前在等待匯流排電路250中的可用帶寬的同時緩衝該系列的一或多個資料封包。相反情況亦可發生，其中晶片上路由器240a在等待帶寬以發送封包至積體電路101的另一實例的同時緩衝來自匯流排電路250的資料封包。在其他實施例中，晶片上路由器240a可導致功能電路260a或260b延遲發送資料封包直到匯流排250的帶寬及/或目的地電路中的資源可用以接收資料封包為止。額外地，晶片上路由器240可包括用於判定經接收資料封包之最終目的地的邏輯電路，例如，功能電路260的特定一者（或多者）。在一些實施例中，晶片上路由器240可將使用一種類型的資料協定從外部介面110接收的資料信號轉換成與關聯匯流排電路相容的不同類型的資料協定。

【0039】　如所揭示的，積體電路101包括對應於複數個傳輸引腳120及複數個接收引腳125之各別一些者的複數個傳輸器電路230及複數個接收器電路235。傳輸器電路230包括用於將資料信號驅動至對應傳輸引腳120上的電路系統。例如，傳輸器電路230可包括驅動器電路，該等驅動器電路經組態以接收來自由關聯晶片上路由器240產生之信號的特定電壓位準，並接著在關聯傳輸引腳120上產生對應的電壓位準，使得積體電路101之另一實例中的對應接收器電路235可偵測此電壓位準。接收器電路235可，例如，包括輸入電路，該等輸入電路經組態以偵測接收引腳125之對應一者上的經接收電壓位準高於或低於特定電壓臨限，並接著在發送至關聯晶片上路由器240的信號上產生對應的邏輯位準。如圖所示，傳輸器電路230及接收器電路235係相對於對稱軸140以對應於特定互補布局的實體布局配置。

【0040】 晶片上路由器240包括耦接至共同匯流排電路（例如，匯流排電路250）的一對晶片上路由器（例如，晶片上路由器240a及240d）。晶片上路由器240a經耦接至外部介面110之位於對稱軸140之左側上的特定傳輸及接收引腳組。晶片上路由器240d經耦接至外部介面之位於對稱軸140之右側上之與該特定傳輸及接收引腳組互補的不同的傳輸及接收引腳組。例如，耦接至晶片上路由器240a的給定傳輸引腳120具有耦接至晶片上路由器240d的對應互補接收引腳125。

【0041】 積體電路101的第一實例的特定功能電路（例如，功能電路260a）與積體電路101的第二實例的不同功能電路（例如，功能電路260b的第二實例）之間的資料交換的實例包括由第一實例中的功能電路260a經由第一實例之外部介面110的傳輸引腳組220發送第一資料。此發送包含使用晶片上路由器240a經由外部介面110傳輸特定信號組至第二實例。由第二實例接收第一資料包含由第二實例經由外部介面110之耦接至第二實例中的晶片上路由器240d的接收引腳組225接收特定信號組。晶片上路由器240d接著可經由第二實例的匯流排電路250將經接收第一資料路由至功能電路260b的第二實例。

【0042】 從第二實例的功能電路260b發送至第一實例的功能電路260a的資料重複此程序。積體電路101的第二實例經由第二實例的外部介面110的傳輸引腳組220發送第二資料，包括使用第二實例的晶片上路由器240a經由外部介面110傳輸不同的信號組至第一實例。由第一實例經由第一實例的外部介面110的接收引腳組225接收第二資料包含使用第一實例的晶片上路由器240d經由外部介面110接收來自第二實例的不同的信號組。接著經由第一實例的匯流排電

路250將經接收第二資料路由至功能電路260a。因此，資料可在使用互補傳輸引腳120及接收引腳125之對應組的積體電路101的二個實例之間交換。

【0043】 此外，晶片上路由器240a經由匯流排電路250耦接至晶片上路由器240d及傳輸引腳組220。類似地，晶片上路由器240d耦接至接收引腳組225。因此，第一實例中的功能電路260a可使用晶片上路由器240a及240d的互補組經由外部介面110發送及接收資料。第二實例的功能電路260b可類似地使用第二實例的晶片上路由器240a及240d的互補組經由外部介面110發送及接收資料。因此，第一實例及第二實例的經耦接外部介面110可使二個實例的各別通訊結構能運作為單一同調通訊結構，從而允許資料封包以類似於資料封包在相同晶粒上的二個功能電路之間交換的方式在相對晶粒上的功能電路之間交換。從功能觀點，積體電路101的二個實例可執行為單一積體電路。

【0044】 應注意圖2的實施例係一個實例。在其他實施例中，可包括不同的元件組合。例如，可包括不同數目的匯流排電路及/或晶片上路由器。雖然圖2描繪26個引腳包括在外部介面110中，在其他實施例中，可包括任何合適數目的引腳。

【0045】 在圖1及圖2的描述中，將外部介面110的各種引腳對描述成係互補的。在一些實施例中，橫跨IC之第一實例的特定傳輸引腳組傳輸之資料的位元順序可不與IC之第二實例的互補接收引腳組直接對準。於圖3中顯示其展示可如何解決資料位元之錯位之IC的實施例。

【0046】 轉至圖3，顯示積體電路101之經由其等之外部介面110的各別實例耦接的二個實例。如圖所示，系統300描繪經接收資料與傳輸資料錯位的一實施例。系統300包括積體電路101a及101b，該等積體電路各具有各別的外

部介面110a及110b及各別的晶片上路由器對：積體電路101a中的晶片上路由器340a及340b及積體電路101b上的晶片上路由器340c及340d。對於所說明的實例，積體電路101a的晶片上路由器340a對應於積體電路101b的晶片上路由器340c。以類似方式，晶片上路由器340b對應於晶片上路由器340d。積體電路101a及101b之各者進一步包括介面包裝器350a及350b的各別一者，該等介面包裝器經組態以在各別晶片上路由器與外部介面之間路由個別信號。

【0047】 如所繪示的，將外部介面110a及110b的傳輸及接收引腳分組成包括各別傳輸器及接收器電路的引腳組。此等引腳組具有共同數目的引腳，在經繪示實例中係八個，但可使用任何合適的數目。此共同數目的引腳可用以標準化引腳組的設計。各引腳組可包括用於控制時脈信號、電力、及類似者的共同信號組。例如，給定組的各引腳接收相同的閘控時脈信號，並可耦接至相同的閘控電力節點及/或相同的閘控接地參考節點。將小數目（例如，一或二個）的設計用於引腳組可減少外部介面的發展時間以及增加外部介面110a及110b之引腳之各者的放置均勻性以及效能特徵（例如，上升及下降時間）。如先前揭示的，儘管僅為外部介面110的各實例繪示三十二個引腳，外部介面110實際上可包括數百或數千個引腳。因此，將待於介面設計中實施為一個單元的引腳組標準化可導致設計及驗證外部介面110所需的時間顯著地降低。

【0048】 將複數個晶片上路由器340a至340d的個別一者指派給引腳組的各別一或多組。例如，將晶片上路由器340a指派給傳輸引腳組320a及接收引腳組325a。同樣地，將晶片上路由器340b至340d指派給各別的傳輸引腳組及各別的接收引腳組。在各種實施例中，此等指派可係固定的或可係可程式化的，例如，引腳組係藉由設定特定的組態暫存器（未圖示）而指派。應注意到在所描

繪的實施例中將接收及傳輸引腳分組至分開的組中。在其他實施例中，如將於下文所示的，引腳組可包括傳輸及接收引腳。

【0049】　額外地，將複數個晶片上路由器340a至340d的個別一些者指派給各別匯流排電路，且因此耦接至包括在相同積體電路101上的複數個功能電路。在一些實施例中，晶片上路由器340的實體定向可優先於晶片上路由器所耦接的特定匯流排電路實施。例如，晶片上路由器340a及340b可經實例化使得其等彼此旋轉180度，以對準環繞積體電路101a的共同匯流排電路。在此一實施例中，晶片上路由器340b的引腳可不與外部介面110a的接收引腳組325b及/或傳輸引腳組320b對準。額外地，介面包裝器350a可包括相同組件之彼此以180度實例化的若干個實例。在此一情形中，介面包裝器350a的傳輸及接收引腳可不與外部介面110a的引腳對準。因此，可期望通過介面包裝器350a重編路由引腳信號的能力。

【0050】　如圖所示，晶片上路由器340a至340d之各者包括與引腳的共同數目（八）不同的六個輸出信號及六個輸入信號。因此，指派給各晶片上路由器340的各引腳組320及325的二個引腳係不使用的。晶片上路由器340a至340d各支援特定的網路協定，如相關於圖2於上文描述的。在一些情形中，諸如圖3所示，特定網路協定可不包括與包括在引腳組中之引腳的共同數目對準的引腳的數目。由於移除額外引腳可影響剩餘引腳的效能特性（例如，剩餘引腳之各者所見的寄生電容可不同，從而影響上升及下降時間），在一些實施例中，將該等無關引腳留在各別組中。

【0051】　如圖所示，各傳輸引腳組320包括一傳輸緩衝器，且類似地，各接收引腳組325包括一接收緩衝器。由於各組中包括八個傳輸引腳或八個接

收引腳，可將各別的傳輸及接收緩衝器作為資料的一位元組存取。例如，晶片上路由器340a可將資料發送至晶片上路由器340d。晶片上路由器340a發送六個輸出信號至介面包裝器350a。介面包裝器350a經組態以將傳輸引腳組320a路由成晶片上路由器340a中的預設引腳指派。如圖所示，此預設指派係直通指派，其中傳輸引腳組320a的位元0耦接晶片上路由器340a的位元0，並依此類推，傳輸引腳組320a的位元5指派給晶片上路由器340a的位元5。此位元指派假設位元0對應於外部介面110a中的引腳組的最左側引腳。

【0052】 應注意到積體電路101b係相關於積體電路101a旋轉180度。因此，位元0對應於外部介面110b中的引腳組的最右側引腳。如圖所示，因為配線145直接橫跨在外部介面110與110b之間，傳輸引腳組320的位元0經耦接至接收引腳組325d的位元7，且類似地，傳輸引腳組320a的位元5經耦接至接收引腳組325d的位元2。因此，介面包裝器350b使用非預設引腳指派將接收引腳組325d路由至晶片上路由器340d。

【0053】 以類似方式，將資料從晶片上路由器340d發送至晶片上路由器340a可包括使用將傳輸引腳組320d路由至晶片上路由器340d的非預設引腳指派由晶片上路由器340d經由外部介面110b的傳輸引腳組320d發送信號。由晶片上路由器340a經由外部介面110a的接收引腳組325a接收資料包含使用預設引腳指派將接收引腳組325a路由至晶片上路由器340a。

【0054】 在一些實施例中，介面包裝器350a及350b可在在其期間沒有資料正由給定晶片上路由器340轉移的任何給定時脈循環上在給定的晶片上路由器340與（多個）經指派引腳組的傳輸及接收引腳之間調整路由。例如，資料的量詳情可在晶片上路由器340b與晶片上路由器340c之間發送。介面包裝器

350a對特定資料的第一部分使用第一引腳指派在晶片上路由器340b與傳輸引腳組320b之間路由複數個信號，並接著對特定資料的第二部分使用與第一引腳指派不同的第二引腳指派在晶片上路由器340b與傳輸引腳組320b之間重編路由複數個信號。

【0055】 積體電路101a及101b，例如，可各包括能夠執行特定指令集架構之指令的一或多個處理核心。因此，特定程式的指令可導致核心在特定時間點或針對特定類型的資料修改介面包裝器350a及/或350b中的引腳指派。例如，影像資料可使用一種引腳指派發送，且接著針對與影像資料關聯的音訊資料或命令切換至不同的引腳指派。額外地，介面包裝器350a及350b可能能夠在一個晶片上路由器正在發送或接收資料的同時重編路由相同IC上的不同路由器的引腳指派。

【0056】 應注意到圖3的實例僅用於展示所揭示的概念。系統300已經簡化以清楚地說明所描述的技術。在其他實施例中，可將額外的傳輸及接收引腳組以及額外的晶片上路由器包括在外部介面中。為清楚起見，已省略積體電路101a及101b的其他電路區塊。

【0057】 圖3描述可如何實施及利用外部介面中的引腳組。各種技術可用於實施此類引腳組。在圖3中，將外部介面的引腳分組成與接收引腳組分開的傳輸引腳組。圖4繪示將包括傳輸及接收引腳二者的引腳組分組的另一實例。

【0058】 前進至圖4，顯示具有外部介面之積體電路之實施例的方塊圖。在所繪示的實施例中，積體電路101包括外部介面410及晶片上路由器440a至440d（統稱為晶片上路由器440）。外部介面410包括傳輸及接收引腳係以相

對於對稱軸140的互補布局配置的四個傳輸及接收引腳組，束450a至450d（統稱為束450）。所繪示之束450a至450d之各者包括八個引腳，四個傳輸引腳及四個接收引腳。

【0059】　如所繪示的，將外部介面410的傳輸及接收引腳分組成引腳組，束450a至450d，其中束450之各者具有共同數目的引腳（八個）。將晶片上路由器440指派給束450的各別一者。然而，在其他實施例中，可將晶片上路由器440的一或多者指派給二或更多個束450。如上文所述，傳輸及接收引腳組可使用經標準化束450實施，以增加橫跨外部介面410之引腳的一致性。在各束450內，所包括的傳輸及接收引腳共用共同電力信號及時脈信號。

【0060】　可將各束450耦接至任何適當的電力信號及時脈信號。如圖所示，將束450a及450d耦接以接收電力信號460a及時脈信號465a，而將束450b及450c耦接以接收電力信號460b及時脈信號465b。在一些實施例中，電力信號460a可獨立於電力信號460b而控制，包括，例如，使用不同的電壓位準及/或實施不同的電力閘以啟用/停用各別束450。以類似方式，時脈信號465a亦可獨立於時脈信號465b而控制。相應時脈信號465a可獨立於時脈信號465b而啟用及/或設定成特定頻率。在本實施例中，與束450b及450c一樣，束450a及450d係一互補對。除了使用經標準化引腳束以實施束450之各者外，將共同電力及時脈信號用於束450的互補對可進一步增加互補對的二個束450之間的效能一致性。

【0061】　如圖所示，分別將晶片上路由器440a及440d指派給束450a及450d。以類似方式，分別將晶片上路由器440b及440c指派給束450b及450c。晶片上路由器440a及440d包括與包括在經標準化束中相同數目的傳輸及接收引腳，導致在束450a及450d中無未使用引腳。相反地，晶片上路由器440b及440c

包括比包括在經標準化束中的共同數目的引腳更少的傳輸及接收引腳，分別在束450b及450c中導致一個未使用傳輸引腳及一個未使用接收引腳。

【0062】 如所繪示的，晶片上路由器440a及440d可使用各別束的所有傳輸引腳經由束450a及450d發送資料封包。然而，在不同的時間點，晶片上路由器440a及440d可發送複數個資料封包，其中複數個資料封包的一些者包括較小數目的位元，導致使用比各別束450的所有傳輸引腳更少的傳輸引腳。同樣地，當接收資料封包時，可使用比束450a及450d中的所有接收引腳更少的接收引腳接收給定資料封包。

【0063】 應注意，圖4僅係所揭示之概念的一個實例。雖然顯示四個晶片上路由器及四個引腳束，其他實施例中可包括任何合適的數目。如所繪示的，在各引腳束內顯示四個傳輸引腳及四個接收引腳。在其他實施例中，可包括任何合適數目的傳輸及接收引腳。在一些實施例中，傳輸引腳的數目可不同於接收引腳的數目。在其他實施例中，傳輸及接收引腳可實施在分開的束中。

【0064】 在圖1及圖3中，二個積體電路經顯示成經由其等的各別外部介面耦接。在一些實施例中，二個積體電路可在二個IC面對相同方向的狀況下且在一個IC旋轉使得其等的各別外部介面的引腳以允許二個外部介面的引腳在不交叉任何配線的狀況下耦接的方式對準的狀況下放置在共平面表面上。在其他實施例中，如圖5A及圖5B所示，二個IC可在其等各別的外部介面對準的狀況下面對面地附接。圖5B進一步描繪經由非對準外部介面耦接的二個晶粒的實例。

【0065】 現在前進至圖5A，描繪經由外部介面將二個積體電路附接在一起的二個實施例。在一個實施例中，系統500顯示使用銲料凸塊540將積體電路

晶粒501a耦接至積體電路晶粒501b。在另一實施例中，系統505顯示使用中介層裝置530以及二組銲料凸塊545將積體電路晶粒501a耦接至積體電路晶粒501b。在本實施例中，積體電路晶粒501a及501b對應於圖1中的積體電路101a及101b。

【0066】 如圖1所示，積體電路101a及101b的外部介面可使用配線（例如，經銲接銲線或沉積在電路板上的微條狀導體）耦接，其中二個晶粒放置在共平面表面上，二個晶粒的表面面對相同方向。此一技術可促成低成本總成解決方案，但可能需要關聯電路板之比二個晶粒的佔據面積更大的表面積。為降低此佔據面積，系統500包括面對面放置的二個積體電路晶粒501a及501b，其中將各別外部介面的引腳與另一者對準並使用銲料凸塊540直接銲接至另一者。例如，將傳輸引腳120a直接銲接至接收引腳125b並將接收引腳125a直接銲接至傳輸引腳120b。上文描述之用於圖1中之外部介面110的互補引腳布局促成在相同介面的不同實例之間的此直接銲接。與對稱軸140等距地放置引腳的互補對提供促成直接連接的對準。

【0067】 系統505呈現與系統500類似的解決方案，但加入中介層裝置530a以在各晶粒的外部介面之間提供導電連接。在系統505中，將積體電路晶粒501a的傳輸引腳120a銲接至中介層裝置530a的特定引腳。接著將此特定引腳銲接至接收引腳125b。以一相似方式，將接收引腳125a銲接至中介層裝置530a的不同引腳，其繼而銲接至傳輸引腳120b。雖然中介層裝置530a可允許積體電路晶粒501a的引腳路由至未實體地對準的積體電路晶粒501b的引腳，將互補引腳布局用於積體電路晶粒501a及501b的外部介面允許中介層裝置530a使在二個晶粒之間的導電路徑直接交叉。與路由二個晶粒上的錯位引腳之間的連接相

比，此一直接連接可降低積體電路501a及501b的引腳之間的實體路徑。使用中介層裝置530a可進一步允許將積體電路晶粒501a及501b之其中一者的外部介面的一或多個引腳或其他引腳路由至中介層裝置530之該等引腳可於該處，例如，耦接至其他積體電路的邊緣。

【0068】 在圖5A中，積體電路501a及501b的外部介面的引腳係使用與對稱軸140等距的互補引腳描繪。在一些實施例中，並非介面的所有引腳皆可包括此一等距引腳布局。現在轉向圖5B，顯示二個經耦接IC的二個更多實例。然而，包括在系統510及515中的IC不包括與對稱軸完全等距的引腳。

【0069】 如所繪示的，系統510展示包括互補引腳之外部介面的實例。類似於積體電路晶粒501a及501b，積體電路晶粒502a及502b係相同積體電路設計之通過共同外部介面設計耦接的二個實例。積體電路晶粒502a及502b的外部介面的引腳包括用於二個匯流排（匯流排560及匯流排565）的傳輸及接收引腳。將匯流排565的引腳分成每晶粒二個區段，積體電路晶粒502a上的匯流排565a及565b及積體電路晶粒502b上的匯流排565c及565d。各晶粒亦包括用於匯流排560（積體電路晶粒502a上的560a及積體電路晶粒502b上的560b）的各別引腳。匯流排565a及565d的互補引腳不與對稱軸140等距，且雖然引腳係以相同順序配置，平行於晶粒之邊緣的直線不能畫過匯流排565a及565d的引腳，且與匯流排565b及565c的引腳類似。因此，匯流排565的引腳未對準。

【0070】 如圖所示，匯流排560a之具有互補功能的引腳亦未配置成與對稱軸140等距。然而，不同於匯流排565的引腳，平行於晶粒之邊緣的線可畫過匯流排560a及560b的互補引腳對。因此，匯流排560的引腳經對準。

【0071】 如所呈現的，系統515展示未互補之外部介面的實例。相似於系統510，系統515包括相同積體電路設計的二個實例，積體電路晶粒503a及503b。在系統515中，外部介面的引腳未對準，且因此，多個信號路徑交叉。例如，傳輸引腳120a與接收引腳125b之間的信號路徑與來自傳輸引腳121a及接收引腳126b的路徑交叉。在對稱軸140的相對側上，傳輸引腳120b與接收引腳125a之間的信號路徑與來自傳輸引腳121b及接收引腳126a的路徑交叉。導因於此錯位，不將積體電路503a及503b視為具有互補介面。

【0072】 應注意到外部介面之互補引腳的對準可導致相鄰信號之間的雜訊耦合降低。當二或更多個信號路徑交叉時，運載信號的配線可能接近，其等繼而可增加第一信號路徑接收來自第二信號路徑上之信號轉變的電磁干擾的雜訊耦合的易感性。二個信號路徑愈接近，在二個路徑之間傳輸之雜訊的易感性愈大。藉由對準介面的引腳，可在相鄰信號路徑之間維持合適的距離，從而將雜訊易感性降低至可接受位準。經對準引腳布局可進一步降低信號路徑通過中介層裝置的長度，其可降低互補引腳對之間的阻抗，允許系統的操作以較低電壓位準及/或較高時脈頻率發生。

【0073】 進一步注意到圖5A及圖5B的實例僅用於展示所揭示的技術。設想用於耦接二或更多個IC晶粒的其他技術。例如，在一些實施例中，用於二或更多個IC晶粒之各者的引腳可在晶粒之間的連接路由通過電路板的狀況下直接耦接至電路板。

【0074】 相關於圖1至圖5於上文描述的電路及技術可使用各種方法耦接二個外部介面。相關於圖6及圖7於下文描述與耦接介面關聯的二種方法。

【0075】 現在移至圖6，繪示用於將二個積體電路耦接在一起之方法的實施例的流程圖。方法600可藉由包括積體電路的二個或更多個實例的系統（諸如，圖1中的系統100）執行。共同參照圖1及圖6，方法600在方塊610開始。

【0076】 在方塊610，方法600包括由積體電路101a經由外部介面110a的傳輸引腳組將第一資料發送至積體電路101b。如圖所示，積體電路101a及101b係共同積體電路設計的二個實例。因此，二個實例的實體引腳布局相同。然而，在其他實施例中，設想可使用兩種不同積體電路的各別實例。在圖1中，積體電路101a的外部介面110a的傳輸引腳經耦接至積體電路101b的外部介面110b的各別接收引腳，包括傳輸引腳120a耦接至接收引腳125b。因此，積體電路101a可使用外部介面110a將第一資料發送至積體電路101b。

【0077】 在方塊620，方法600進一步包括由積體電路101a經由外部介面110a的接收引腳組接收來自積體電路101b的第二資料。如所繪示的，外部介面110a的接收引腳經耦接至外部介面110b的各別接收引腳，包括接收引腳125a耦接至傳輸引腳120b。傳輸引腳組及接收引腳組位於相對於積體電路101之對稱軸140的互補位置上。因此，傳輸引腳120a及120b對應於共同積體電路設計中的相同傳輸引腳。同樣地，接收引腳125a及125b對應於共同積體電路設計中的相同接收引腳。外部介面之相對於對稱軸140的此互補引腳布局允許共同積體電路設計的二個實例藉由其等各別的外部介面耦接而不需要重編路由外部介面的任何引腳。取而代之地，外部介面110a及110b之間的直接連接可係可行的而無需與任何關聯配線交叉。用於耦接共同積體電路的二個實例的此一技術可允許具有大數目的引腳（例如，大於一千個引腳）的外部介面。

【0078】 在一些實施例中，方法600可在方塊620中結束，或在其他實施例中，可回應於新資料待於二個積體電路101a與101b之間交換而重複。應注意到圖6的方法僅係用於耦接二個積體電路的實例。

【0079】 現在轉向圖7，繪示用於在外部介面的引腳與一或多個晶片上路由器之間路由信號之方法的實施例的流程圖。以與上述方法600類似的方式，方法700可藉由具有二或更多個積體電路的系統（諸如圖3中的系統300）執行。共同參照圖3及圖7，方法700在方塊710開始。

【0080】 在方塊710，方法700包括由積體電路101a使用非預設引腳指派將傳輸引腳組320b路由至晶片上路由器340b，以經由傳輸引腳組320a發送第一資料。如圖3所示，積體電路101a包括介面包裝器350a，該介面包裝器經組態以將來自晶片上路由器340a及340b的信號路由至外部介面110a中的各別傳輸及接收引腳組。介面包裝器350a可使用用於路由傳輸引腳組320b以從晶片上路由器340b輸出信號的預設引腳指派。然而，在一些情況下，介面包裝器350a可經組態以使用非預設引腳指派將來自晶片上路由器340b的輸出信號重編路由至傳輸引腳組320b。例如，如圖3所示，晶片上路由器340b具有比包括在傳輸引腳組320b中的傳輸引腳的數目更少的輸出信號。非預設引腳指派可用以調整第一資料的個別位元於何處由積體電路101b接收。

【0081】 在方塊720，方法700包括由積體電路101a使用預設引腳指派將接收引腳組325a路由至晶片上路由器340a，以經由接收引腳組325a接收第二資料。如所繪示的，在一些情形中，介面包裝器350a可進一步經組態以使用預設引腳指派以將接收引腳組325a耦接至晶片上路由器340a，例如，當積體電路101b中的介面包裝器350b使用非預設引腳指派以在第二資料從外部介面110b中

的傳輸引腳組320d發送之前重編路由引腳指派使得第二資料的個別位元以期望順序到達時。

【0082】 預設及非預設引腳指派的此類使用可增加耦接在一起的二個積體電路的外部介面的彈性。藉由允許信號在外部介面與晶片上路由器之間重編路由，相較於經由二個外部介面之間的配線重編路由信號，可增加通過二個外部介面之間的信號的一致性。額外地，介面包裝器的可程式化路由能力可增加外部介面的彈性，可能允許外部介面用於數目增加之待在積體電路之間轉移的資料類型而不需要在發送或後處理經接收資料之前預處理資料以將經轉移資料位元放置在恰當的位元位置。

【0083】 應注意到圖7的方法僅係用於在晶片上路由器與外部介面之間路由資料的實例。方法700可藉由揭示於圖1至圖5中的積體電路的任何實例執行。預期所揭示之方法的變化，包括方法600及700之操作的組合。例如，方法700的方塊710可在執行方法600中之方塊610之前執行，且方塊720可在執行方法600之方塊620之前執行。

【0084】 圖1至圖7繪示用於其包括使用具有互補引腳布局的外部介面耦接二或更多個積體電路之系統的設備及方法。所揭示之系統的任何實施例可包括在各種電腦系統，諸如桌上型電腦、膝上型電腦、智慧型手機、平板電腦、可穿戴裝置、及類似者的一或多者中。在一些實施例中，上述電路可實施在系統單晶片(SoC)或其他類型的積體電路上。繪示電腦系統800之實施例的方塊圖繪示於圖8中。在一些實施例中，電腦系統800可包括系統100、300、500、及505的任何經揭示實施例。

【0085】 在所說明的實施例中，系統800包括系統單晶片(SoC) 806的至少一個實例，該系統單晶片可包括多種類型的處理電路，諸如中央處理單元(CPU)、圖形處理單元(GPU)、或以其他方式包括通訊網狀結構、及至記憶體及輸入/輸出裝置的介面。在一些實施例中，SoC 806中的一或多個處理器包括多個執行通道及指令發布佇列。在各種實施例中，SoC 806係耦接至外部記憶體802、週邊裝置804、與電力供應器808。

【0086】 亦提供一電力供應器808，其將供應電壓供應至SoC 806以及將一或多個供應電壓供應至記憶體802及/或週邊裝置804。在各種實施例中，電力供應器808代表電池（例如，智慧型手機、膝上型電腦、或平板電腦、或其他裝置中的可再充電電池）。在一些實施例中，包括SoC 806之多於一個例項（且亦包括多於一個外部記憶體802）。

【0087】 記憶體802係任何類型記憶體，諸如動態隨機存取記憶體(dynamic random access memory, DRAM)、同步DRAM (SDRAM)、雙倍資料速率（DDR、DDR2、DDR3等）SDRAM（包括諸如mDDR3等的SDRAM的行動版本，及/或諸如LPDDR2等的SDRAM的低功率版本）、RAMBUS DRAM (RDRAM)、靜態RAM (SRAM)等。一或多個記憶體裝置耦接至電路板上，以形成記憶體模組，諸如單列記憶體模組(single inline memory module, SIMM)、雙列記憶體模組(dual inline memory module, DIMM)等。替代地，裝置係以疊層晶片(chip-on-chip)組態、疊層封裝(package-on-package)組態、或多晶片模組組態利用SoC或積體電路安裝。

【0088】 週邊裝置804取決於系統800之類型而包括任何所欲電路系統。例如，在一個實施例中，週邊裝置804包括用於各種類型無線通訊的裝置，諸

如Wi-Fi、藍牙、蜂巢式、全球定位系統等。在一些實施例中，週邊裝置804亦包括額外儲存器，包括RAM儲存器、固態儲存器、或硬碟儲存器。週邊裝置804包括使用者介面裝置，諸如顯示螢幕（包括觸控顯示螢幕或多觸控顯示螢幕）、鍵盤、或其他輸入裝置、麥克風、揚聲器等。

【0089】　如所繪示的，將系統800顯示成具有在廣泛範圍之領域中的應用。例如，系統800可使用為桌上型電腦810、膝上型電腦820、平板電腦830、蜂巢式或行動電話840、或電視機850（或耦接至電視機的機上盒）的晶片、電路系統、組件等的部分。亦繪示智慧型手錶及健康監測裝置860。在一些實施例中，智慧型手錶可包括多種通用計算相關功能。例如，智慧型手錶可提供對電子郵件、電話服務、使用者日曆等等的存取。在各種實施例中，健康監測裝置可係專用醫療裝置或以其他方式包括專用健康相關功能性。例如，健康監測裝置可監測使用者的生命體徵、針對流行病學社交距離之目的追蹤使用者與其他使用者的接近度、接觸追蹤、在健康危機的情況下提供與急診的通訊等等。在各種實施例中，上文提及的智慧型手錶可或可不包括一些或任何健康監測相關功能。亦設想其他的可穿戴裝置870，諸如繞著頸部穿戴的裝置、附接至帽子或其他頭套的裝置、植入在人體中的裝置、經設計以提供擴增及/或虛擬實境體驗的眼鏡等等。

【0090】　系統800可進一步使用為（多種）基於雲端之服務880的部分。例如，先前提及的裝置及/或其他裝置可存取雲端中的計算資源（亦即，位於遠端的硬體及/或軟體資源）。圖8中亦繪示將系統800應用至各種運輸模式890。例如，系統800可使用在航空器、火車、公車、出租車輛、私人汽車、從私人船隻至遊輪的水面船隻、機車（用於租賃或自有）等等的控制及/或娛樂系統

中。在各種情形中，系統800可用以提供自動導航（例如，自動駕駛汽車）、通用系統控制、及其他。

【0091】 應注意到系統800的各式各樣的潛在應用可包括各種效能、成本、及電力消耗要求。因此，促成使用一或多個積體電路以提供效能、成本、及電力消耗的適合組合的可擴縮解決方案可係有利的。此等及許多其他實施例係可行且受預期的。應注意到繪示於圖8中的裝置及應用僅係說明性的且未意圖成為限制。其他裝置係可行且經設想的。

【0092】 如相關於圖8所揭示的，電腦系統800可包括耦接在一起的二或更多個積體電路，並包括在個人電腦、智慧型手機、平板電腦、或其他類型的計算裝置內。下文呈現圖9中之使用設計資訊設計及生產積體電路的程序。

【0093】 圖9係繪示根據一些實施例之儲存電路設計資訊之非暫時性電腦可讀儲存媒體的實例的方塊圖。圖9的實施例可使用在程序中以設計及製造積體電路（諸如，例如，如顯示於多個圖式中的積體電路101a及101b）。在所說明的實施例中，半導體製造系統920經組態以處理儲存在非暫時性電腦可讀儲存媒體910上的設計資訊915，並基於設計資訊915製造積體電路930（例如，積體電路101）。

【0094】 非暫時性電腦可讀儲存媒體910可包含各種適當類型的記憶體裝置或儲存裝置之任何者。非暫時性電腦可讀儲存媒體910可係安裝媒體（例如，CD-ROM、軟碟、或磁帶裝置）；電腦系統記憶體或隨機存取記憶體（諸如DRAM、DDR RAM、SRAM、EDO RAM、Rambus RAM等）；一非揮發性記憶體（諸如快閃、磁性媒體（例如硬碟）、或光學儲存）；暫存器或其他類似類型的記憶體元件等。非暫時性電腦可讀儲存媒體910亦可包括其他類型的

非暫時性記憶體或其組合。非暫時性電腦可讀儲存媒體910可包括可駐留在不同位置（例如，在透過網路連接的不同電腦系統中）上的二或更多個記憶體媒體。

【0095】 設計資訊915可使用各種適當的電腦語言（包括硬體描述語言）的任何者指定，諸如但不限於：VHDL、Verilog、SystemC、SystemVerilog、RHDL、M、MyHDL等。設計資訊915可由半導體製造系統920使用以製造積體電路930的至少一部分。例如，設計資訊915的格式可由至少一個半導體製造系統（諸如，半導體製造系統920）辨識。在一些實施例中，設計資訊915可包括指定電路元件庫(cell library)的元件以及彼等之連接性的接線對照表。亦可將在包括在積體電路930中之電路的邏輯合成期間使用的一或多個電路元件庫包括在設計資訊915中。此種電路元件庫可包括指示包括在電路元件庫中之電路元件的裝置或電晶體層級接線對照表、遮罩設計資料、特性化資料、及類似者的資訊。

【0096】 在各種實施例中，積體電路930可包括一或多個客製巨集元件，諸如，記憶體、類比或混合信號電路、及類似者。在此類情形中，設計資訊915可包括與所包括之巨集元件有關的資訊。此種資訊可無限制地包括線路圖擷取資料庫、遮罩設計資料、行為模型、及裝置或電晶體層級接線對照表。如本文所使用的，遮罩設計資料可根據圖形資料系統(gdsii)或任何其他合適格式格式化。

【0097】 半導體製造系統920可包括經組態以製造積體電路的各種適當元件的任何者。例如，此可包括用於沉積半導體材料（例如，在可包括遮罩的晶圓上）、移除材料、變更經沉積材料的形狀、改質材料（例如，藉由摻雜材

料或使用紫外線處理修改介電常數）等的元件。半導體製造系統920亦可經組態以針對正確操作執行經製造電路的各種測試。

【0098】 在各種實施例中，積體電路930經組態以根據由設計資訊915指定的電路設計操作，其可包括執行如本文描述之功能性的任何者。例如，積體電路930可包括本文顯示或描述之各種元件的任何者。進一步地，積體電路930可經組態以結合其他組件執行本文描述的各種功能。進一步地，本文描述的功能性可藉由多個經連接積體電路（諸如圖1及圖3中的積體電路101a及101b）執行。

【0099】 如本文中所使用，具有「指定一電路經組態以…之一設計的設計資訊」之形式的詞組並非意味所涉電路必須為了滿足該要素而製造。相反，此詞組指示設計資訊所描述之一電路一經製成將經組態以執行所指示的動作或將包括指定組件。

***

【0100】 本揭示案包括對係所揭示之概念的非限制性實施方案的「實施例(embodiment)」的參考。對「一實施例(an embodiment)」、「一個實施例(one embodiment)」、「一特定實施例(a particular embodiment)」、「一些實施例(some embodiment)」、「各種實施例(various embodiment)」、及類似者的參考不必然指稱相同實施例。設想大數目的可行實施例，包括詳細描述的具體實施例，以及落在本揭露之精神或範疇內的修改例或替代例。不係所有實施例皆必然會表現本文所描述的任何或全部潛在優點。

【0101】 除非另有說明，具體實施例並未意圖使基於本揭露草擬之申請專利範圍的範疇受限於所揭示的形式，即使僅有一單一實例係相關於一特定特

徵描述。所揭露的實施例因此意圖係說明性而非限制性的，沒有與此相反的任何陳述。本申請案旨在涵蓋對受益於本揭露之所屬技術領域中具有通常知識者而言會係顯而易見的此類替代例、修改例、與等效例。

【0102】 可以與此揭露一致的任何合適方式結合特定特徵、結構、或特性。因此，本揭露旨在包括本文所揭示的任何特徵或特徵的組合（明示或隱含地），或其之任何廣義化(generalization)。據此，在此申請案之審查期間（或主張其優先權之申請案）可對特徵之任何此類組合制定新請求項。具體而言，參照隨附申請專利範圍，可組合來自附屬請求項的特徵與獨立請求項之特徵，且可依任何適合方式組合來自各別獨立請求項之特徵，而非僅在隨附申請專利範圍中列舉之特定組合。

【0103】 例如，雖然隨附的附屬請求項經草擬成使得各者相依於單一其他請求項，亦設想包括下列者的額外相依性：請求項3（可取決於請求項1至2中任一項）；請求項4（前述請求項中任一項）；請求項5（請求項4）等。當適當時，亦設想以一種法定類型（例如，設備）草擬的請求項建議另一種法定類型（例如，方法）的對應請求項。

***

【0104】 因為本揭露係一法律文件，所以各種用語及詞組可受到行政與司法解釋的規約。公告特此以下段落以及在整份揭露內容提供的定義將用於判定如何解釋基於本揭露所草擬的申請專利範圍。

【0105】 除非上下文另外明確地規定，對單數形式（此類「一(a)」、「一(an)」「該(the)」）的參考意圖指稱「一或多個(one or more)」。因此，在一請求項中提及「一項目(an item)」並未排除該項目的額外實例。

【0106】 在本文中，字語「可(may)」在本文中以許可意涵使用（即，具有可能以、能夠），且非以強制意涵使用（即，必須）。

【0107】 用語「包含(comprising)」及「包括(including)」及其形式係開放式，意指「包括但不限於(including, but not limited to)」。

【0108】 當本揭露中關於一選項清單使用用語「或(or)」時，其通常將被理解為以包含性意涵使用，除非上下文另有提供。因此，「x或y (x or y)」的陳述等效於涵蓋x但不涵蓋y、涵蓋y但不涵蓋x、及涵蓋x及y二者的「x或y、或二者(x or y, or both)」。一方面，諸如「x或y的其中一者但非二者(either x or y, but not both)」的用語清楚表明「或(or)」係以排他性意義使用。

【0109】 陳述「w、x、y、或z、或其任何組合(w, x, y, or z, or any combination thereof)」或「…w、x、y、及z之至少一者(at least one of … w, x, y, and z)」意欲涵蓋涉及在該組中的單一元件至多總數目個元件的所有可能性。例如，給定組[w, x, y, z]，這些詞組涵蓋該組之任何單一元件（例如，w，但沒有x、y、或z (w but not x, y, or z)）、任何二個元件（例如，w與x，但沒有y或z (w and x, but not y or z)）、任何三個元件（例如，w、x與y，但沒有z (w, x, and y, but not z)）、及所有四個元件。因此，用語「…w、x、y、及z之至少一者(at least one of … w, x, y, and z)」係指該組[w, x, y, z]之元素的至少一者，從而涵蓋此選項列表中的所有可能組合。此詞組並不解讀為需要w之至少一個例項、x之至少一個例項、y之至少一個例項、及z之至少一個例項。

【0110】 在本揭露中，各種「標示」可置於名詞之前。除非上下文另有提供，否則用於一特徵的不同標示（例如，「第一電路(first circuit)」、「第二電路(second circuit)」、「特定電路(specific circuit)」、「給定電路(given

circuit)」等）係指該特徵的不同例項。除非另有說明，標示「第一(first)」、「第二(second)」、及「第三(third)」當施加至特定特徵時並未暗示任何類型的順序（例如，空間、時間、邏輯等）。

【0111】 在本揭露中，不同的實體（其等可能被不同地稱為「單元(unit)」、「電路(circuit)」、其他組件等）可被描述或主張為「經組態(configured)」以執行一或多個任務或操作。此表示法（『實體』經組態以『執行一或多個任務』）在本文中係用以指稱結構（即，實體之物）。具體而言，此表示法係用以指示此結構係經配置以在操作期間執行該一或多個任務。即使一結構目前並未被操作，仍可稱該結構「經組態以(configured to)」執行某任務。因此，經說明或敘述為「經組態以」執行某任務的實體係指實體之物，諸如裝置、電路、儲存有可執行以實施該任務之程式指令的記憶體等。此用語在本文中並不用以指稱無形之物。

【0112】 硬體電路可包括下列者之任何組合：組合邏輯電路系統、時控儲存裝置（諸如正反器、暫存器、鎖存器等）、有限狀態機、記憶體（諸如靜態隨機存取記憶體或嵌入式動態隨機存取記憶體）、客製化設計電路系統、類比電路系統、可程式化邏輯陣列等。同樣地，為了便於說明，各種單元/電路/組件可被描述為執行一或若干任務。此種描述應被解讀成包括用語「經組態以」。

【0113】 在一實施例中，根據本揭露之硬體電路可藉由以硬體描述語言(HDL)如Verilog或VHDL來編碼電路之描述而實施。HDL描述可依據針對一給定積體電路製造技術所設計的元件庫而合成，且可針對時序、功率及其他原因進行修改以產生一最終設計資料庫，該最終設計資料庫可傳送至製造廠以製造

遮罩，最後生產出積體電路。一些硬體電路或其部分亦可在一簡圖編輯器(schematic editor)中經客製化設計，並隨合成電路系統被轉移至積體電路設計中。積體電路可包括電晶體，且可進一步包括其他電路元件（例如，被動元件諸如電容器、電阻器、電感器等）及電晶體與電路元件間之互連件。一些實施例可實施多個積體電路，該多個積體電路經耦合在一起以實施硬體電路，且/或在一些實施例中可使用離散元件。替代地，HDL設計可經合成至一可程式化邏輯陣列，諸如現場可程式化閘陣列(FPGA)，且可於FPGA中實施。

【0114】 用語「經組態以(configured to)」並非意欲意指「可組態以(configurable to)」。例如，未經程式化的FPGA將不被視為「經組態以(configured to)」執行某特定功能。然而，此未經程式化的FPGA可係「可組態以(configurable to)」執行該功能。

【0115】 在隨附申請專利範圍中描述一結構「經組態以」執行一或多個任務的明確意圖係不對該請求項元件援引35 U.S.C. § 112(f)。若申請人意欲在審查期間援引章節112(f)，將使用「用以『執行一功能』之構件」這樣的句構來陳述請求項元件。

【0116】 用語「基於(based on)」係用以描述影響一判定的一或多個因素。此用語不排除可能有額外因素可影響判定。意即，一判定可單獨基於特定因素，或基於該等特定因素以及其他未指出因素。考慮用語「基於B判定A(determine A based on B)」。此用語指出，B係一用以判定A之因素，或B影響A之判定。此用語不排除亦可基於一些其他因素例如C來判定A。此用語亦意欲涵括其中A係單獨基於B而判定的一實施例。如本文所用，用語「基於(based on)」與用語「至少部分地基於(based at least in part on)」同義。

【0117】 用語「回應於(in response to)」描述觸發一效應的一或多個因素。此片語不排除額外因素可影響或以其他方式觸發效應之可能性。意即，一效應可係單獨回應於該等因素，或可回應於該等被指出因素以及其他未指出因素。考慮片語「回應於B而執行A(perform A in response to B)」。此片語指出B係一觸發A之執行的因素。此片語不排除亦可能回應於一些其他因素（諸如C）而執行A。此片語亦意欲涵括其中A係單獨回應於B而執行的一實施例。

【符號說明】

【0118】

100:系統

101:積體電路

101a:積體電路

101b:積體電路

110:外部介面

110a:外部介面；介面

110b:外部介面；介面

115:I/O 信號

115a:I/O 信號

115b:I/O 信號

120:傳輸引腳

120a:傳輸引腳

120b:傳輸引腳

121a:傳輸引腳

121b:傳輸引腳

125:接收引腳

125a:接收引腳

125b:接收引腳

126a:接收引腳

126b:接收引腳

130:互補位置

135:實體距離

140:對稱軸

145:配線

220:傳輸引腳組

225:接收引腳組

230:傳輸器電路

235:接收器電路

240:晶片上路由器

240a:晶片上路由器

240b:晶片上路由器

240c:晶片上路由器

240d:晶片上路由器

240e:晶片上路由器

250:匯流排電路；匯流排

255:匯流排電路

258:匯流排電路

260:功能電路

260a:功能電路

260b:功能電路

260c:功能電路

260d:功能電路

260e:功能電路

260f:功能電路

300:系統

320:傳輸引腳組；引腳組

320a:傳輸引腳組

320b:傳輸引腳組

320d:傳輸引腳組

325:接收引腳組；引腳組

325a:接收引腳組

325b:接收引腳組

325d:接收引腳組

340:晶片上路由器

340a:晶片上路由器

340b:晶片上路由器

340c:晶片上路由器

340d:晶片上路由器

350a:介面包裝器

350b:介面包裝器

410:外部介面

440:晶片上路由器

440a:晶片上路由器

440b:晶片上路由器

440c:晶片上路由器

440d:晶片上路由器

450:束

450a:束

450b:束

450c:束

450d:束

460a:電力信號

460b:電力信號

465a:時脈信號

465b:時脈信號

500:系統

501a:積體電路晶粒；積體電路

501b:積體電路晶粒；積體電路

502a:積體電路晶粒

502b:積體電路晶粒

503a:積體電路晶粒；積體電路

503b:積體電路晶粒；積體電路

505:系統

510:系統

515:系統

530:中介層裝置

530a:中介層裝置

540:銲料凸塊

545:銲料凸塊

560:匯流排

560a:匯流排

560b:匯流排

565:匯流排

565a:匯流排

565b:匯流排

565c:匯流排

565d:匯流排

600:方法

610:方塊

620:方塊

700:方法

710:方塊

720:方塊

800:電腦系統；系統

802:記憶體

804:週邊裝置

806:系統單晶片(SoC)；SoC

808:電力供應器

810:桌上型電腦

820:膝上型電腦

830:平板電腦

840:蜂巢式或行動電話

850:電視機

860:智慧型手錶及健康監測裝置

870:可穿戴裝置

880:基於雲端之服務

890:運輸模式

910:非暫時性電腦可讀儲存媒體

915:設計資訊

920:半導體製造系統

930:積體電路

【發明申請專利範圍】

【請求項1】一種用於傳輸及接收資料之系統，其包含：

一第一積體電路(IC)晶粒，其包括：

複數個第一電路區塊，其經組態以發送及接收資料異動；

一第一通訊網狀架構(communication fabric)，其經組態以在該等第一電路區塊之二或更多者之間路由資料異動（transactions）；及

一晶粒至晶粒介面之一第一實例，其耦接至該第一通訊網狀架構，具有一實體引腳布局，該實體引腳布局具有位於相對於一對稱軸之互補位置中的傳輸引腳及接收引腳；及

一第二IC晶粒，其包括：

複數個第二電路區塊，其經組態以發送及接收資料異動；

一第二通訊網狀架構，其經組態以在該等第二電路區塊之二或更多者之間路由資料異動；及

該晶粒至晶粒介面之一第二實例，其耦接至該第一通訊網狀架構；

其中該晶粒至晶粒介面之該第一實例及該第二實例彼此耦接，使得附接至該第一IC晶粒上的該等傳輸引腳及該等接收引腳的導線在無交叉（without crossing）的情形下分別附接至在該第二IC晶粒上之接收引腳及傳輸引腳。

【請求項2】如請求項1之系統，其中該第一通訊網狀架構及該第二通訊網狀架構經組態以經由該晶粒至晶粒介面之該第一實例及該第二實例運作為一單一同調（coherent）通訊網狀架構。

【請求項3】如請求項2之系統，其中該第一通訊網狀架構及該第二通訊網狀架構包括耦接至該晶粒至晶粒介面之該第一實例及該第二實例之各別部分的各別組晶片上路由器。

【請求項4】如請求項1之系統，其中該第二IC晶粒與該第一IC晶粒在設計上不同。

【請求項5】如請求項1之系統，其中該第一通訊網狀架構及該第二通訊網狀架構包括各別第一複數個匯流排電路及第二複數個匯流排電路，且其中該第一複數個匯流排電路之一第一匯流排電路及該第二複數個匯流排電路之一第一匯流排電路經組態以支援一特定共同協定。

【請求項6】如請求項5之系統，其中該晶粒至晶粒介面之該第一實例及該第二實例包括分別耦接至該第一複數個匯流排電路之該第一匯流排電路及該第二複數個匯流排電路之該第一匯流排電路的各別一第一組引腳束及一第二組引腳束，且其中該第一組引腳束及該第二組引腳束彼此耦接。

【請求項7】如請求項6之系統，其中該晶粒至晶粒介面之該第一實例包括耦接至該第一複數個匯流排電路之一第二匯流排電路的一第三組引腳束，且其中該第一組引腳束及該第三組引腳束耦接至不同組的電力信號及時脈信號。

【請求項8】如請求項5之系統，其中該第一複數個匯流排電路之一第二匯流排電路及該第二複數個匯流排電路之一第二匯流排電路經組態以支援與該特定共同協定不同的一共同協定。

【請求項9】一種用於傳輸及接收資料之方法，其包含：

由包括在一第一積體電路(IC)晶粒中之一第一電路區塊經由一第一通訊網狀架構發送一第一資料封包；

由該第一通訊網狀架構將該第一資料封包路由至一晶粒至晶粒介面之一第一實例之一第一組傳輸引腳，其中該晶粒至晶粒介面之該第一實例耦接至包括在一第二IC晶粒上的該晶粒至晶粒介面之一第二實例；及

由該第一通訊網狀架構經由該晶粒至晶粒介面之該第一實例之一第一組接收引腳接收一第二資料封包；且

其中該第一組傳輸引腳及該第一組接收引腳位於相對於該第一IC晶粒之一對稱軸的互補位置中，且其中該晶粒至晶粒介面之該第一實例經耦接使得附接至該第一IC晶粒上的該第一組傳輸引腳及該第一組接收引腳的導線在無交叉的情形下分別附接至該晶粒至晶粒介面之該第二實例上的接收引腳及傳輸引腳。

【請求項10】如請求項9之方法，其進一步包含：

由該第二IC晶粒上之一第二通訊網狀架構經由該晶粒至晶粒介面之該第二實例之一第二組接收引腳接收該第一資料封包；及

由該第二通訊網狀架構將該第一資料封包路由至包括在該第二IC晶粒上之一第二電路區塊。

【請求項11】如請求項10之方法，其進一步包含：

由該第二電路區塊經由該第二通訊網狀架構發送該第二資料封包至該第一電路區塊；及

由該第二通訊網狀架構將該第二資料封包路由至該晶粒至晶粒介面之該第二實例之一第二組傳輸引腳。

【請求項12】如請求項11之方法，其中該接收該第一資料封包及該發送該第二資料封包包括：由該第一通訊網狀架構及該第二通訊網狀架構使用該晶粒至晶粒介面之該第一實例及該第二實例而運作為一單一同調通訊網狀架構。

【請求項13】如請求項9之方法，其中該由該第一電路區塊經由該第一通訊網狀架構發送該第一資料封包包括：經由該第一通訊網狀架構中的複數個匯流排電路之一第一匯流排電路發送該第一資料封包；及

進一步包含由包括在該第一IC晶粒中的一第三電路區塊經由該複數個匯流排電路之一第二匯流排電路發送一第三資料封包；且

其中該第一匯流排電路及該第二匯流排電路耦接至該晶粒至晶粒介面之該第一實例的各別引腳束。

【請求項14】如請求項13之方法，其中該由該第一電路區塊經由該第一匯流排電路發送該第一資料封包包括使用一第一匯流排協定發送該第一資料封包；

其中該由該第三電路區塊經由該第二匯流排電路發送該第三資料封包包括使用與該第一匯流排協定不同的一第二匯流排協定來發送該第三資料封包。

【請求項15】一種用於傳輸及接收資料之設備，其包含：

一積體電路(IC)晶粒，其包括：

複數個電路區塊，其經組態以發送及接收資料異動；

一通訊網狀架構，其經組態以在該IC晶粒中的該複數個電路區塊之間轉移資料異動；及

一晶粒至晶粒介面，其耦接至該通訊網狀架構，具有一實體引腳布局，該實體引腳布局具有相對於一對稱軸位於互補位置中的一組傳輸引腳及一組接收引腳；且

其中該通訊網狀架構進一步經組態以使用該晶粒至晶粒介面在該複數個電路區塊之多者與包括該晶粒至晶粒介面的一不同IC晶粒上之一目的地

電路區塊之間轉移複數個資料異動，其中為了轉移該複數個資料異動，該通訊網狀架構進一步經組態以對在該設備上執行之軟體係透明的方式使用該晶粒至晶粒介面。

【請求項16】如請求項15之設備，其進一步包含一特定晶片上路由器，該特定晶片上路由器經組態以經由該組傳輸引腳之一特定部分來將該複數個資料異動之一特定子集從該通訊網狀架構傳輸至該晶粒至晶粒介面。

【請求項17】如請求項16之設備，其進一步包含一不同的晶片上路由器，該不同的晶片上路由器經組態以經由該組接收引腳之一不同部分將該複數個資料異動之一不同子集自該晶粒至晶粒介面接收至該通訊網狀架構。

【請求項18】如請求項16之設備，其進一步包含一介面包裝器，該介面包裝器耦接至該特定晶片上路由器及該組傳輸引腳之該特定部分，且經組態以：

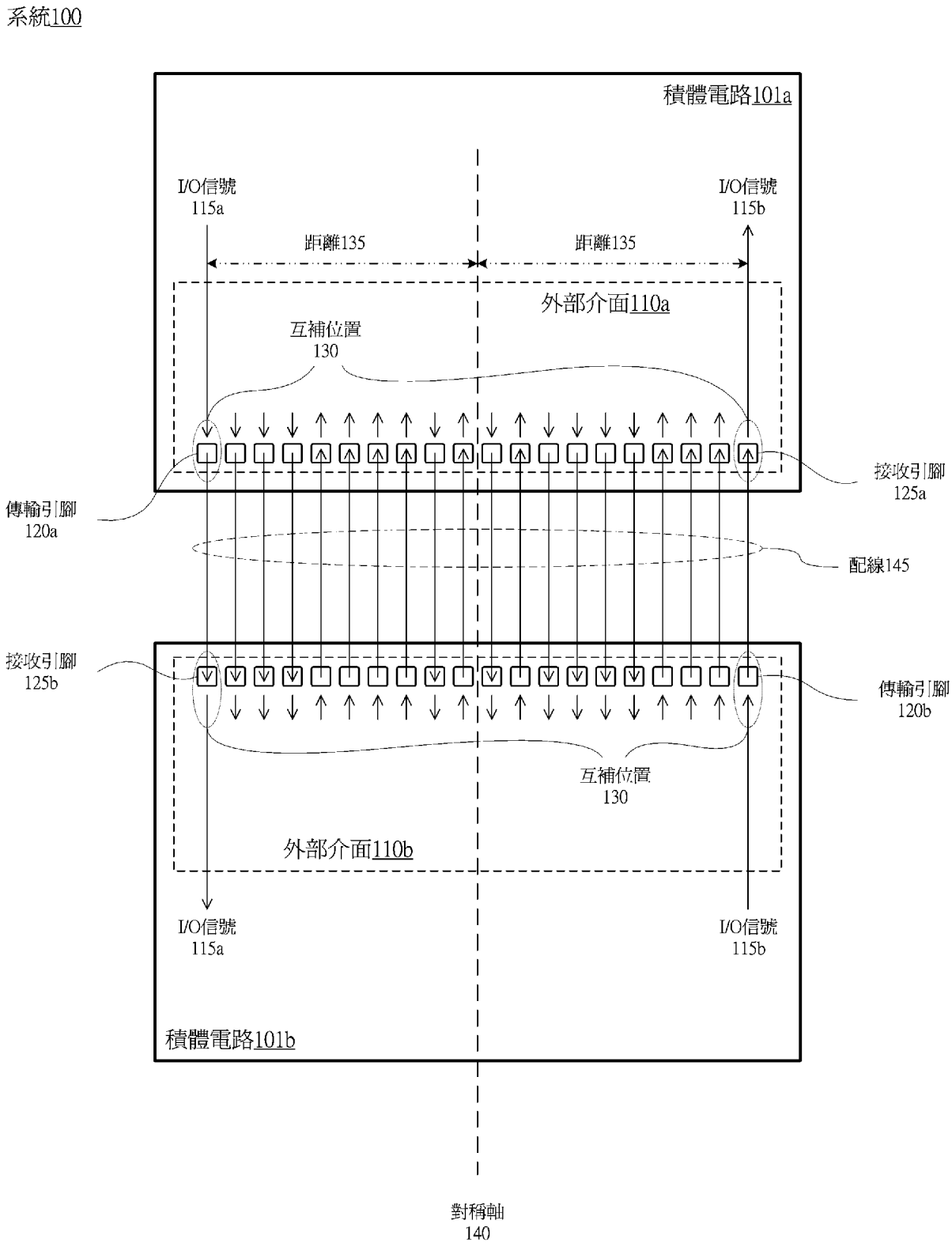
對於資料異動之該特定子集之一第一部分，使用一第一引腳指派（assignment）來路由該特定晶片上路由器與該組傳輸引腳之該特定部分之間的連接；及

對於資料異動之該特定子集之一第二部分，使用與該第一引腳指派不同的一第二引腳指派來重新路由該等連接。

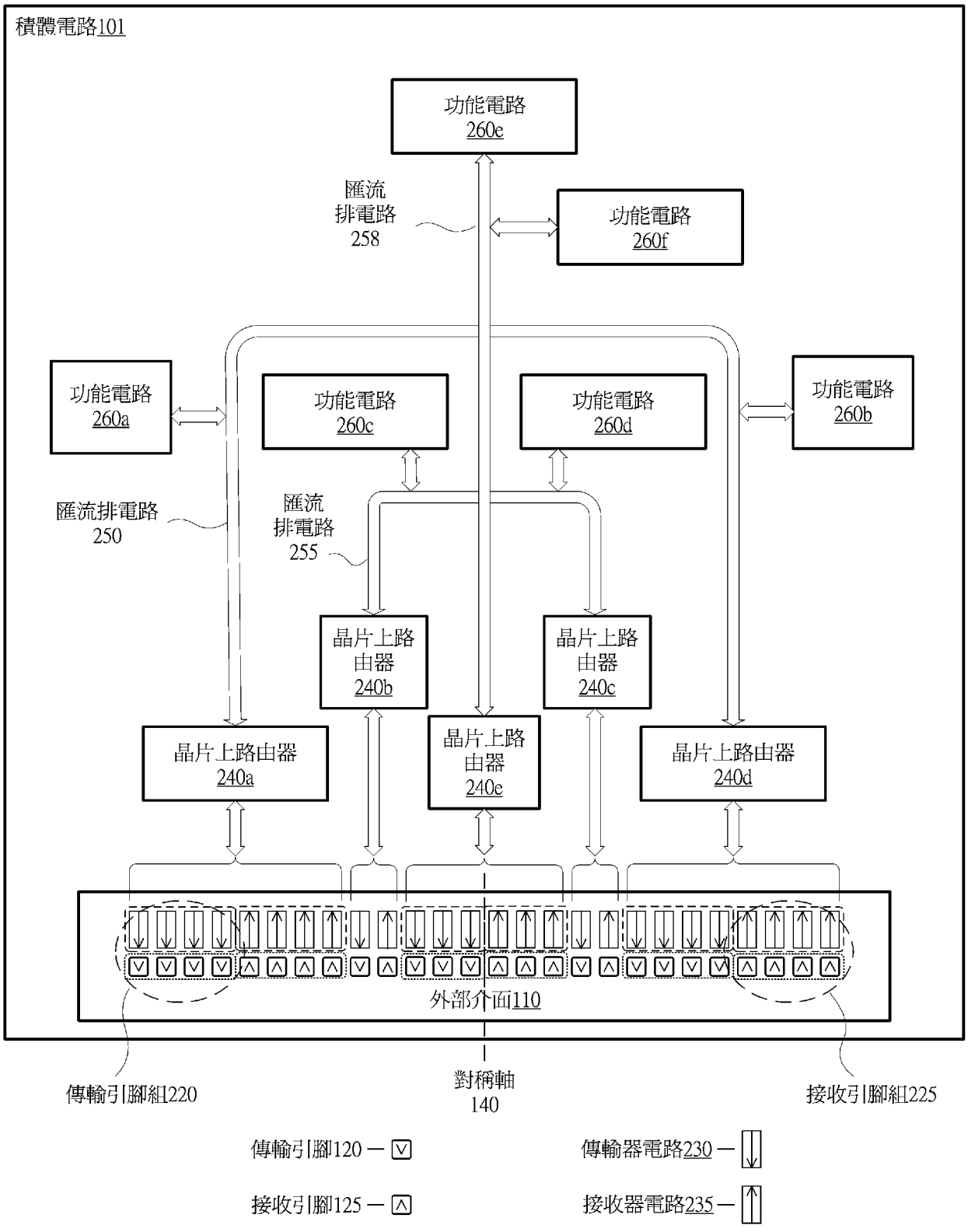
【請求項19】如請求項15之設備，其中該通訊網狀架構包括複數個匯流排電路，其中該複數個匯流排電路之多者耦接至該複數個電路區塊之不同子集，且其中該複數個匯流排電路之二或更多者耦接至該組傳輸引腳及該組接收引腳之不同子集。

【請求項20】如請求項19之設備，其中該複數個匯流排電路之一第一匯流排電路經組態以支援與該複數個匯流排電路之一第二匯流排電路不同的一協定。

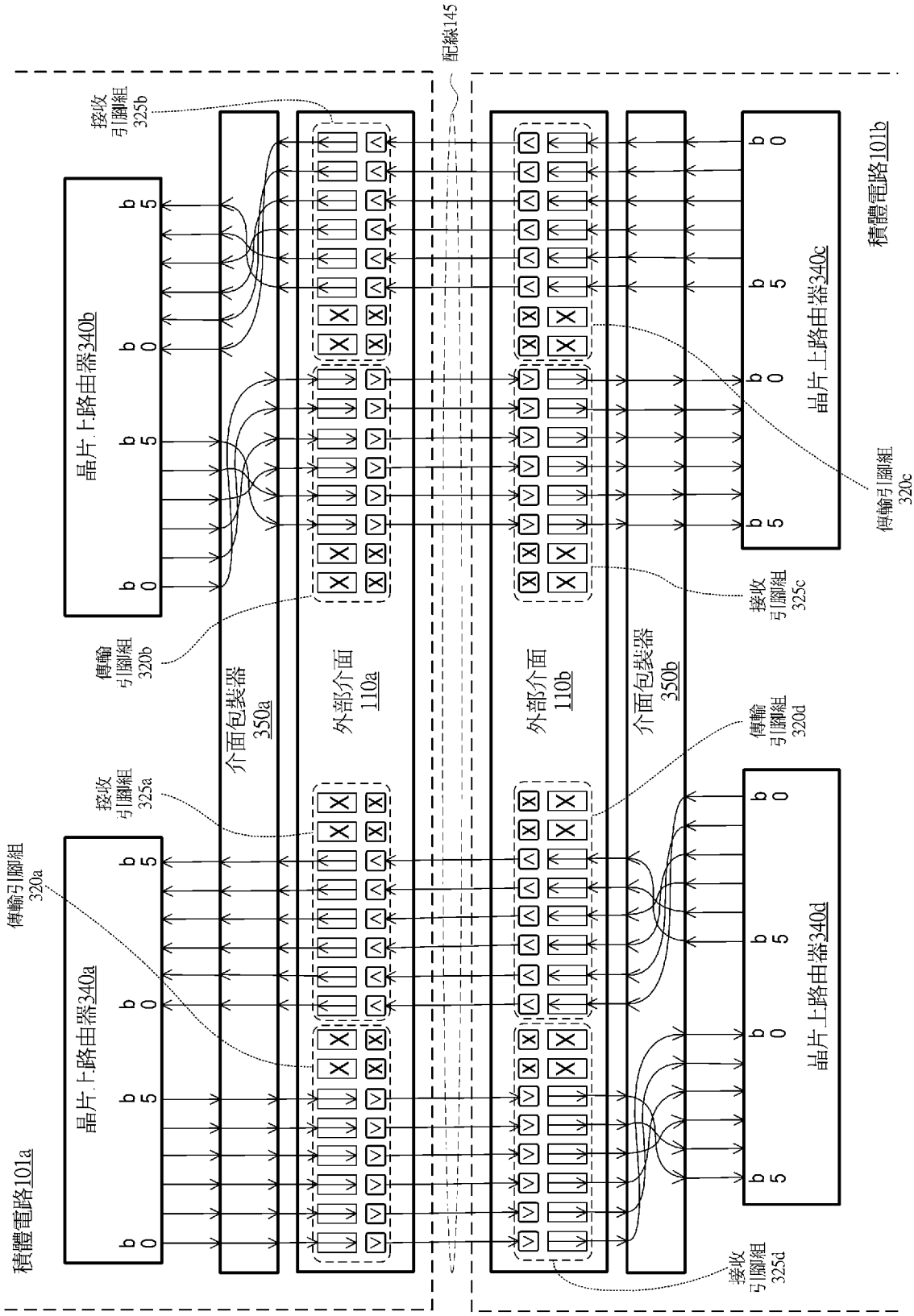
【發明圖式】


系統100
積體電路101a
I/O信號
115a
I/O信號
115b
距離135
距離135
外部介面110a
互補位置
130
接收引腳
125a
傳輸引腳
120a
配線145
接收引腳
125b
傳輸引腳
120b
互補位置
130
外部介面110b
I/O信號
115a
I/O信號
115b
積體電路101b
對稱軸
140

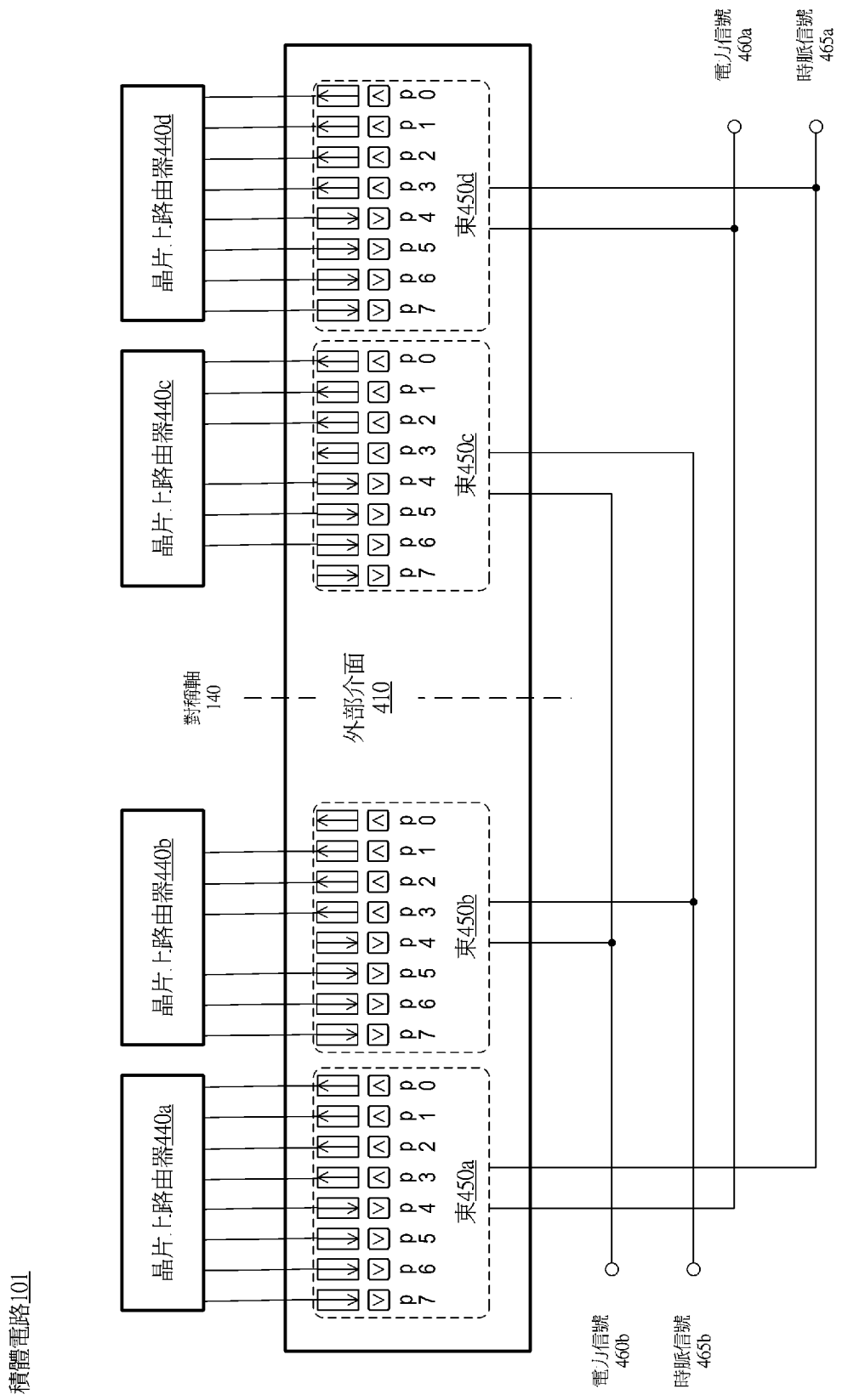
【圖1】


積體電路101
功能電路
260e
匯流
排電路
258
功能電路
260f
功能電路
260a
功能電路
260c
功能電路
260d
功能電路
260b
匯流排電路
250
匯流
排電路
255
晶片上路
由器
240b
晶片上路
由器
240c
晶片上路由器
240a
晶片上路
由器
240e
晶片上路由器
240d
外部介面110
傳輸引腳組220
對稱軸
140
接收引腳組225
傳輸引腳120
傳輸器電路230
接收引腳125
接收器電路235

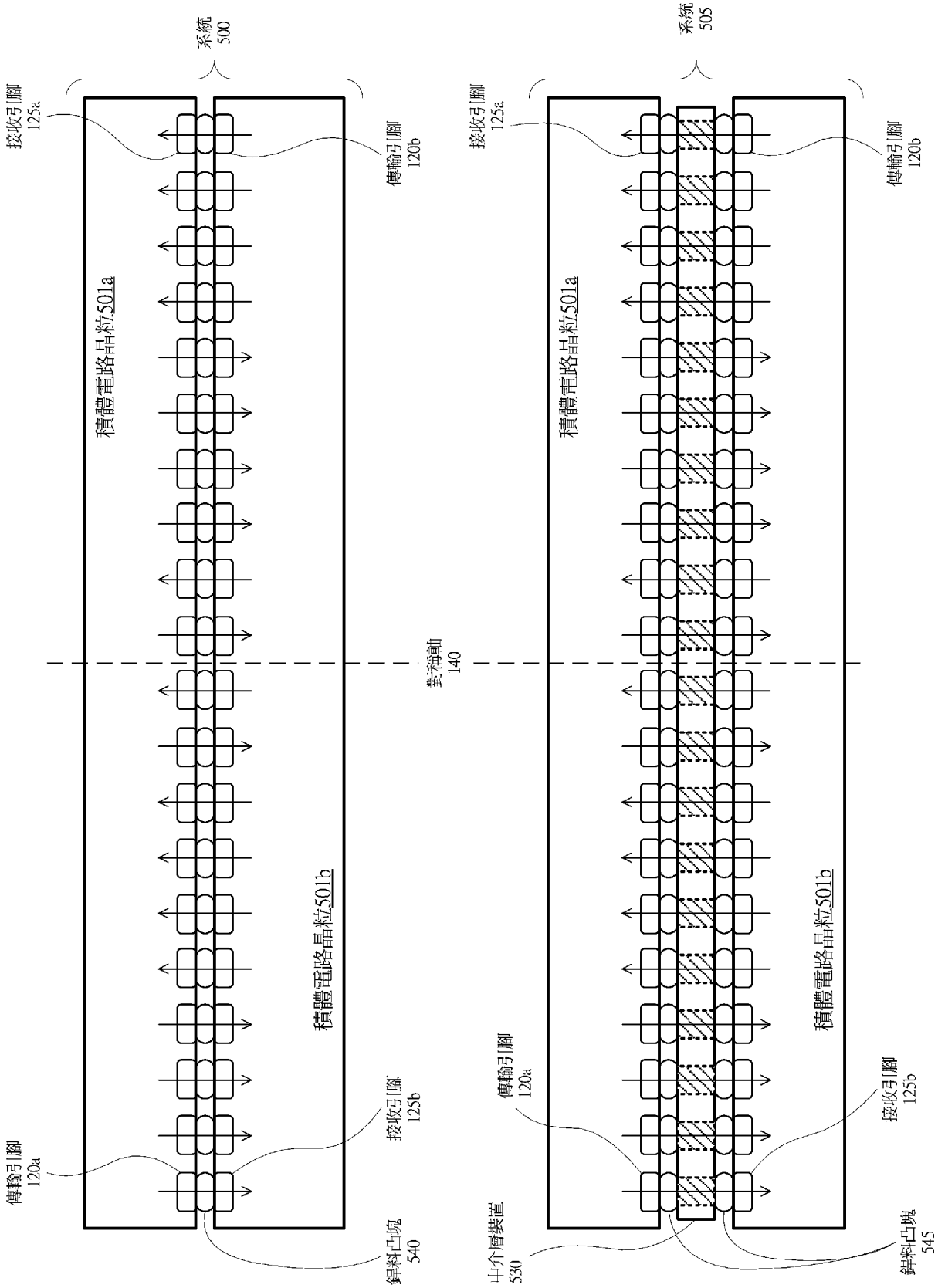
【圖2】


配線145
接收引腳組325b
晶片上路由器340b
傳輸引腳組320b
介面包裝器350a
外部介面110a
外部介面110b
介面包裝器350b
接收引腳組325c
晶片上路由器340c
積體電路101b
傳輸引腳組320c
傳輸引腳組320a
接收引腳組325a
晶片上路由器340a
積體電路101a
傳輸引腳組320d
晶片上路由器340d
接收引腳組325d
系統300

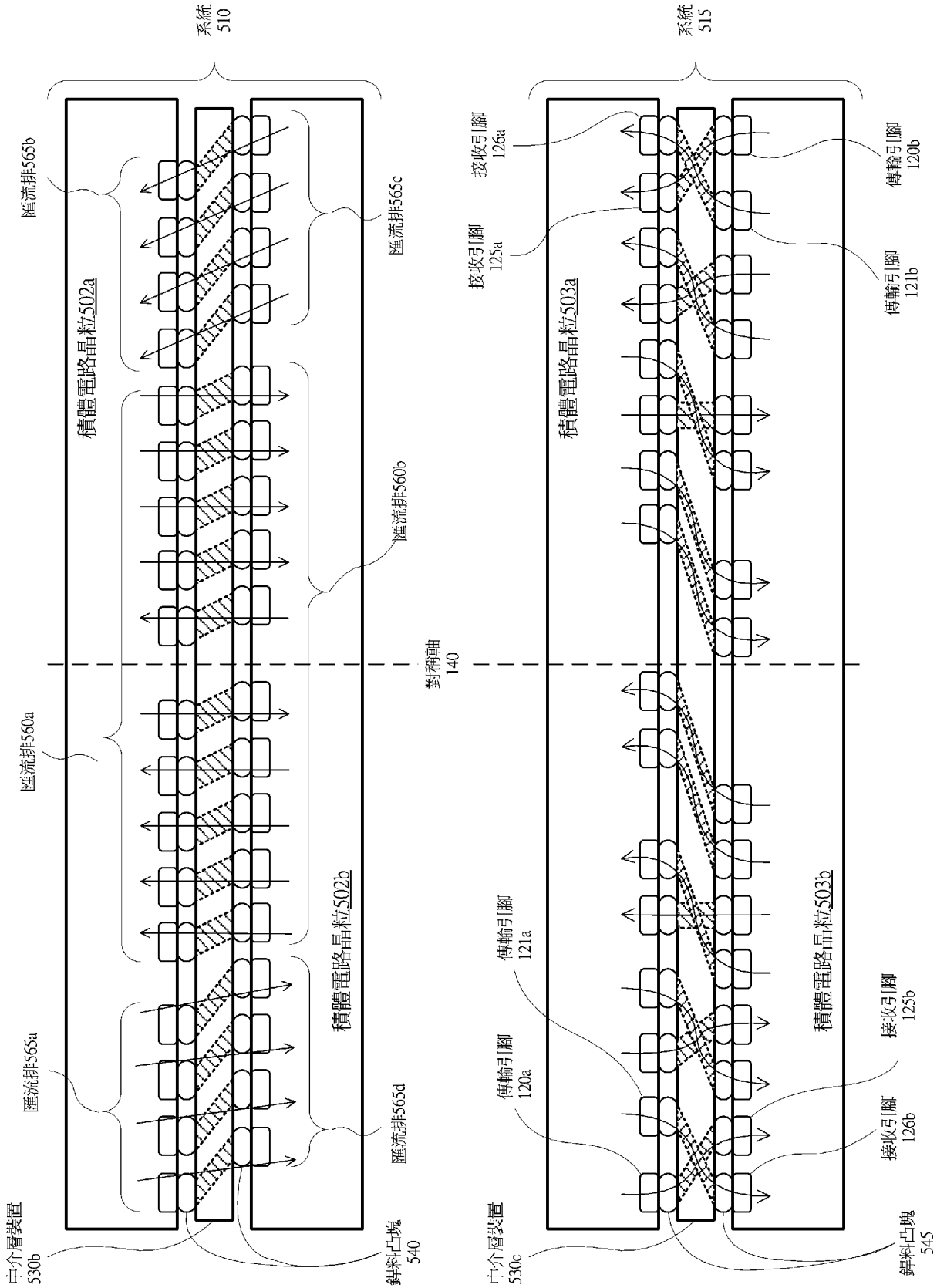
【圖3】


積體電路101
晶片上路由器440a
晶片上路由器440b
晶片上路由器440c
晶片上路由器440d
束450a
束450b
束450c
束450d
p0 p1 p2 p3 p4 p5 p6 p7
對稱軸
140
外部介面
410
電力信號
460a
時脈信號
465a
電力信號
460b
時脈信號
465b

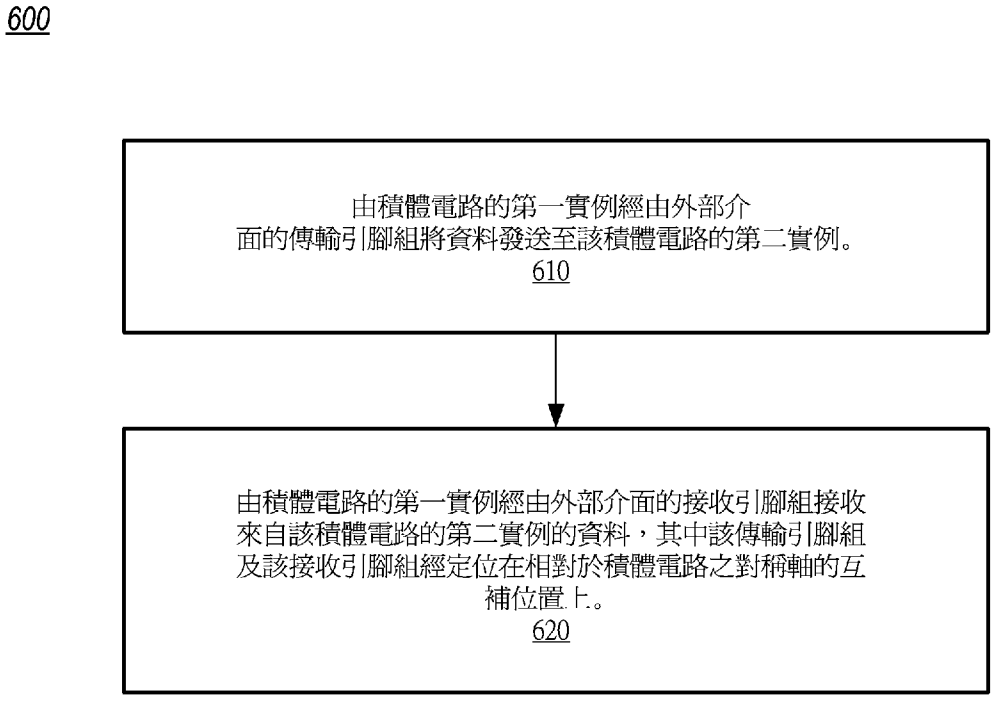
【圖4】


系統
500
接收引腳
125a
傳輸引腳
120b
積體電路晶粒501a
積體電路晶粒501b
對稱軸
140
傳輸引腳
120a
接收引腳
125b
銲料凸塊
540
系統
505
接收引腳
125a
傳輸引腳
120b
積體電路晶粒501a
積體電路晶粒501b
傳輸引腳
120a
接收引腳
125b
中介層裝置
530
銲料凸塊
545

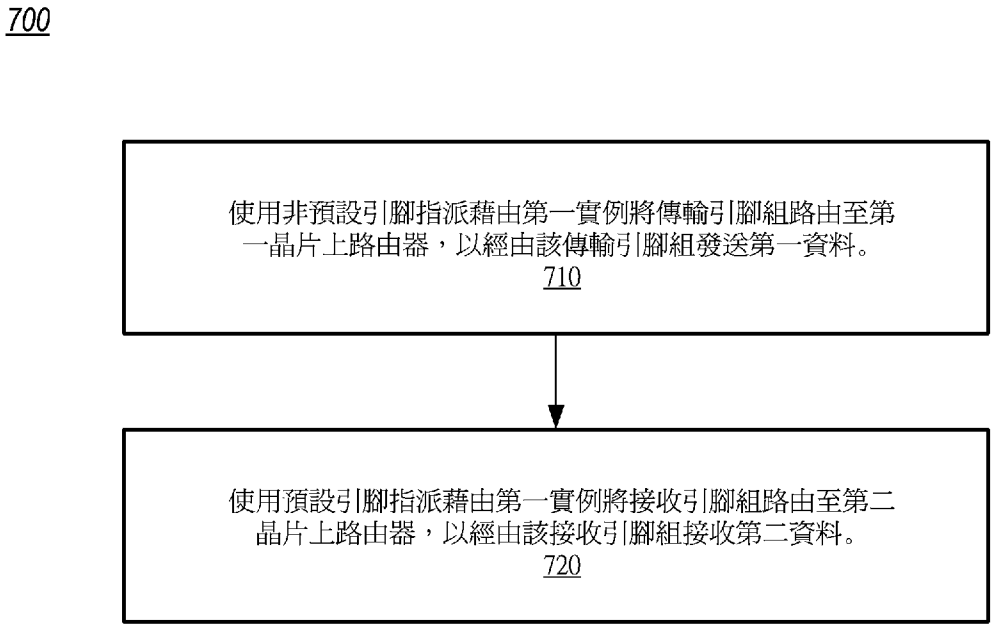
【圖5A】


系統
510
匯流排565b
積體電路晶粒502a
匯流排565c
匯流排560b
對稱軸
140
匯流排560a
積體電路晶粒502b
匯流排565a
匯流排565d
中介層裝置
530b
銲料凸塊
540
系統
515
接收引腳
126a
傳輸引腳
120b
接收引腳
125a
傳輸引腳
121b
積體電路晶粒503a
傳輸引腳
121a
傳輸引腳
120a
積體電路晶粒503b
接收引腳
125b
接收引腳
126b
中介層裝置
530c
銲料凸塊
545

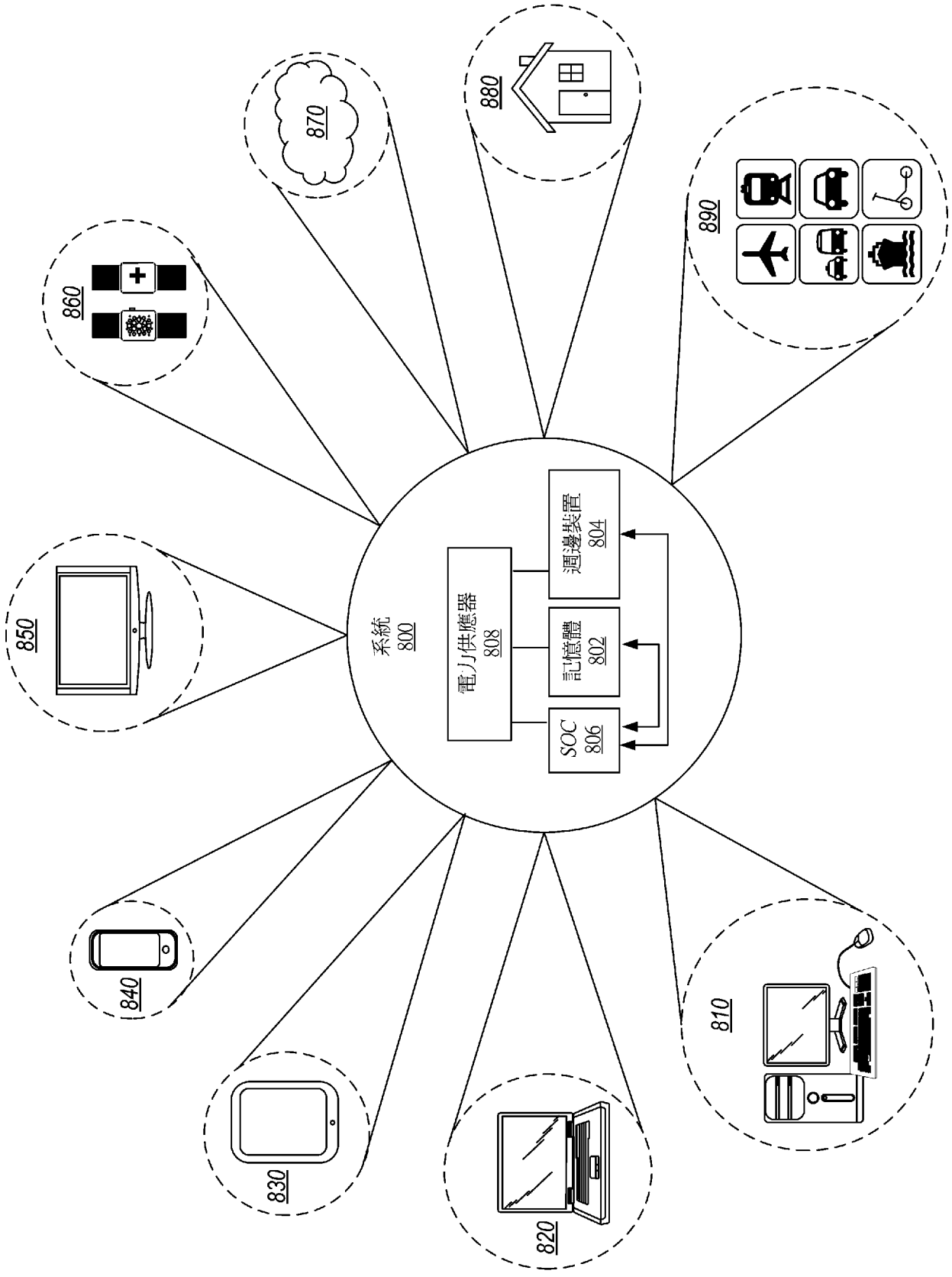
【圖5B】


600
由積體電路的第一實例經由外部介面的傳輸引腳組將資料發送至該積體電路的第二實例。
610
由積體電路的第一實例經由外部介面的接收引腳組接收來自該積體電路的第二實例的資料，其中該傳輸引腳組及該接收引腳組經定位在相對於積體電路之對稱軸的互補位置上。
620

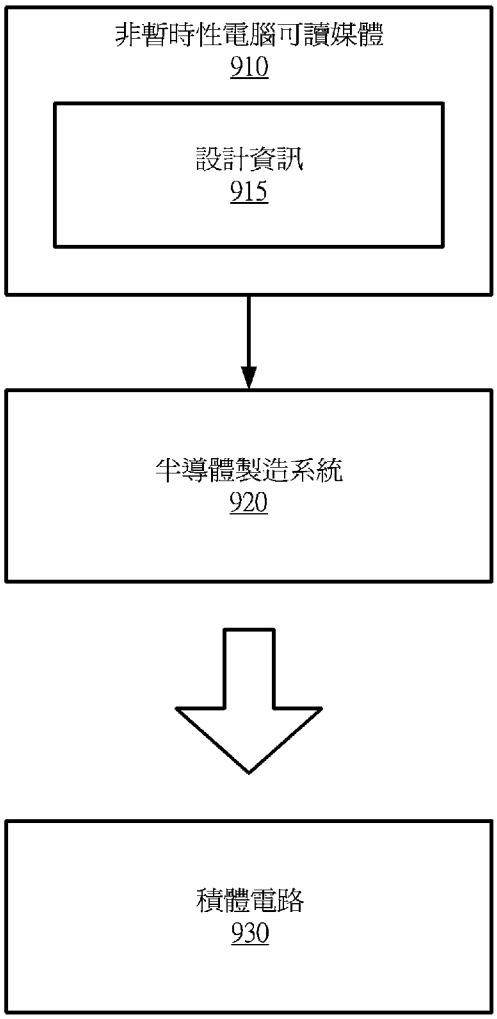
【圖6】


700
使用非預設引腳指派藉由第一實例將傳輸引腳組路由至第一晶片上路由器，以經由該傳輸引腳組發送第一資料。
710
使用預設引腳指派藉由第一實例將接收引腳組路由至第二晶片上路由器，以經由該接收引腳組接收第二資料。
720

【圖7】


870
880
890
860
850
系統
800
電力供應器
808
記憶體
802
SOC
806
週邊裝置
804
840
830
820
810

【圖8】



【圖9】