

(43) 國際公開日
2012 年 8 月 23 日(23.08.2012)



(10) 国際公開番号

WO 2012/111274 A1

- (51) 国際特許分類:
H03F 3/24 (2006.01)

(21) 国際出願番号: PCT/JP2012/000758

(22) 国際出願日: 2012 年 2 月 6 日(06.02.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-029168 2011 年 2 月 14 日(14.02.2011) JP

(71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 脇田 和弥 (WAKITA, Kazuya). 小泉 治彦 (KOIZUMI, Haruhiko). 榎本 真悟 (ENOMOTO, Shingo). 河野 広明 (KAWANO, Hiroaki).

(74) 代理人: 内藤 浩樹, 外 (NAITO, Hiroki et al.); 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

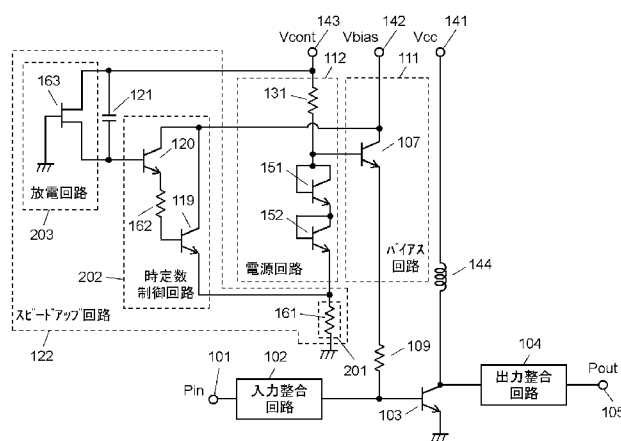
添付公開書類:

— 國際調查報告（條約第 21 條(3)）

(54) Title: HIGH FREQUENCY POWER AMPLIFIER

(54) 発明の名称：高周波電力増幅器

【図1】



- 102 Input adjustment circuit
- 104 Output adjustment circuit
- 111 Bias circuit
- 112 Power source circuit
- 122 Speed-up circuit
- 202 Time constant control circuit
- 203 Discharging circuit

(57) Abstract: The present invention provides a high frequency power amplifier which is of small size and has a high degree of design freedom with respect to gain change immediately after the start-up of the amplifier. The high frequency power amplifier is provided with a speed-up circuit (122) which increases the bias supply amount from a bias circuit to an amplifying transistor by transiently increasing a reference voltage when a control voltage is raised. The speed-up circuit (122) is provided with a capacitor (121) and an overshoot control circuit (201). The overshoot control circuit (201) determines the amount of increase for the reference voltage when the reference voltage is transiently increased depending on a charge amount charged in the capacitor (121) while determining the time constant of the capacitor (121) in charging and discharging.

(57) 要約: 小型であり、且つ増幅器の起動直後の利得変動に対する設計自由度が高い高周波電力増幅器を提供する。高周波電力増幅器は、基準電圧を、制御電圧の立ち上がり時に過渡的に増加させることにより、バイアス回路から増幅トランジスタへのバイアスの供給量を増加させるスピードアップ回路(122)を備える。スピードアップ回路(122)はコンデンサ(121)とオーバー

シュート制御回路(201)とを備える。オーバーシュート制御回路(201)は、基準電圧を、コンデンサ(121)に充電された電荷量に応じて過渡的に増加させる際の増加量を決定するとともに、コンデンサ(121)の充放電時の時定数を決定する。

WO 2012/111274 A1

明 細 書

発明の名称：高周波電力増幅器

技術分野

[0001] 本発明は高周波電力増幅器に関し、より特定のには携帯電話を初めとする移動体通信機器に用いられる高周波電力増幅器に関する。

背景技術

[0002] 近年、携帯電話等の移動体通信機器は通話のみならず、メールやコンテンツなど各種データを送受信する情報伝達手段となっている。これに伴い、携帯電話にも無線LAN (Local Area Network) 等が搭載されるようになった。

[0003] 無線LANにおいて高速データ通信を行なう際の変調波はOFDM (Orthogonal Frequency Division Multiplexing) 方式が用いられる。OFDMを用いたシステムでは高い変調精度が必要とされるため、高周波電力増幅器では高い線形性が求められる。これに対応するため、高周波電力増幅器は使用する出力において十分な線形性を得るべく、使用する出力に対して十分に高い最大出力を有するように設計される。一方、高周波電力増幅器の最大出力を高くするためには、トランジスタの個数を増やす、またはサイズを大きくする必要があるが、これは増幅器の熱応答を遅くさせる。このため、増幅器の起動直後に増幅用トランジスタの発熱によって、増幅器の温度が上昇し始めてから安定するまで時間を要する。そして、この温度上昇中には増幅器の利得や位相が変化するが、OFDMにおいてはこのような変化もEVM (Error Vector Magnitude) の致命的な劣化の原因となる。

[0004] このような、高周波電力増幅器自身の発熱による影響を補正する回路として、特許文献1 (特開2009-200770号公報) には、次のような開示がある。すなわち、電力増幅器の電力開始時に過渡的に増幅用トランジスタへのバイアスを増加させて増幅器の利得を一時的に上げる。それにより、

増幅用トランジスタの発熱による温度変動が回路全体で平衡状態に達するまでの時間を短縮させる回路が示されている。

[0005] 図6は特許文献1に示されている回路図である。図6の電力増幅器は増幅トランジスタ503、バイアス回路511、電源回路512、スピードアップ回路522を備えている。スピードアップ回路522はコンデンサ521、トランジスタ519、トランジスタ520を備える。この電力増幅器では電力増幅のオンオフを制御する制御電圧立ち上がり時にコンデンサ521に電荷が流れ込む。それにより、トランジスタ519のコレクタとトランジスタ520のコレクタに電流が一時的に流れ、トランジスタ519のコレクタの電位が一時的に低下する。そして、電源回路512の出力電圧が一時的上昇し、バイアス回路511から増幅トランジスタ503へのバイアスが一時的に増加する。これによって、増幅器の利得が一時的に増加することにより、増幅用トランジスタの発熱による温度変動が回路全体で平衡状態に達するまでの時間を短縮させる。

先行技術文献

特許文献

[0006] 特許文献1：特開2009-200770号公報

発明の概要

[0007] 一方、図6に示されている構成では、一旦、コンデンサ521に電荷が充電されると、制御電圧が立ちさがっても、すぐには電荷が放電されない。そのため、無線LANなどの短時間でオンオフを繰り返すバースト動作時にはコンデンサ521に電荷が残ってしまう状態が生じる。そして、コンデンサ521に電荷が残っている状態で、再度制御電圧立ち上がり時に、所望のバイアス増加のために、十分なコンデンサ521の充電電流を得ようとする。そのため、コンデンサ521の容量値を大きくするか、制御電圧立ち上がり時の電圧値を高くしなければならない。これは、各構成部品の小型化、システムの動作電圧の低電圧化が進む携帯電話などの移動体通信機器への適用を考える場合には大きな課題となる。

[0008] また、図6に示されている構成では、制御電圧立ち上がり時のバイアス増加量を調整するためには、コンデンサ521の容量値を調整する必要がある。しかし、コンデンサ521の容量値を調整すると、バイアス増加量だけでなく、コンデンサ521の充電が完了するまでの時定数も同時に変化してしまう。このため、バイアス増加量とコンデンサ521の充電完了までの時定数を調整するための設計自由度が低い。これは増幅器の起動直後の利得変動を調整する際の設計自由度が低くなることにつながる。

[0009] そこで、小型であり、且つ増幅器の起動直後の利得変動に対する設計自由度が高い構成で、増幅器の起動直後における温度変動による変調精度の劣化を抑えることができる高周波電力増幅器が求められている。

[0010] 上記課題を解決するため、本発明の一形態における高周波電力増幅器は、高周波信号の電力増幅を行なう第1のトランジスタと、基準電圧に応じて第1のトランジスタにバイアスを供給するバイアス回路を備える。さらに、バイアス回路から第1のトランジスタへのバイアスの供給量を制御する基準電圧をバイアス回路に印加する電源回路を備える。さらに、バイアス回路の起動及び停止を制御する制御信号が印加される制御電圧端子と、電源回路から出力される基準電圧を、制御電圧の立ち上がり時に過渡的に増加させることにより、バイアス回路から第1のトランジスタへのバイアスの供給量を増加させるスピードアップ回路を備える。さらに、スピードアップ回路は、一端が制御電圧端子に接続されたコンデンサと、コンデンサのもう一端に接続された時定数制御回路と、コンデンサと並列に接続された放電回路と、時定数制御回路及び電源回路に接続されたオーバーシュート制御回路とを備える。さらに、オーバーシュート制御回路は、電源回路から出力される基準電圧を、コンデンサに充電された電荷量に応じて過渡的に増加させる際に増加量を決定する。さらに、時定数制御回路は、時定数制御回路およびオーバーシュート制御回路を経由するコンデンサの充放電時の時定数を決定する。

[0011] この構成によれば、制御電圧立ち上がり時に上記コンデンサが充電され、その充電電荷による充電電流がオーバーシュート制御回路に流れる。これに

より、上記電源回路から出力される基準電圧が過渡的に増加して、第1のトランジスタへのバイアスを過渡的に増加させることができる。これによって、増幅器の利得が一時的に増加することにより、増幅用トランジスタの発熱による温度変動が回路全体で平衡状態に達するまでの時間を短縮させる。そして、増幅器の起動直後における増幅用トランジスタの発熱による温度変動に起因するEVMの劣化を抑えることができる。

[0012] また、この構成では、オーバーシュート制御回路の調整により、制御電圧の立ち上がり時の過渡的なバイアス増加の増加量を容易に調整することができる。そして、コンデンサの時定数を上記時定数制御回路で調整できるため、制御電圧の立ち上がり時の過渡的なバイアス増加の増加量と、コンデンサの充電完了までの時定数を互い独立した状態で調整することができる。これは増幅器の起動直後の利得変動を調整する際の設計自由度が高くなることにつながる。

[0013] そして、制御電圧の立ち下がり時には、コンデンサに残っていた電荷が上記放電回路によって放電されるため、コンデンサの容量値が小さくても、次の制御電圧立ち上がり時に十分なコンデンサの充電電流を得ることができる。これは高周波電力増幅器の小型化につながる。

[0014] ここで、バイアス回路は第1のトランジスタにバイアスを供給する第2のトランジスタを備え、オーバーシュート制御回路は一端が接地された第1の抵抗を備える。さらに、時定数制御回路は、エミッタが第1の抵抗を介して接地される第3のトランジスタと、一端が第3のトランジスタのベースに接続された第2の抵抗を備える。さらに、時定数制御回路は、エミッタが第2の抵抗を介して第3のトランジスタのベースに接続され、コレクタが第3のトランジスタのコレクタと第2のトランジスタのコレクタに接続された第4のトランジスタとを備える。さらに、コンデンサの一端は第4のトランジスタのベースに接続され、他端は制御電圧端子に接続される。さらに、放電回路は、ゲートが接地され、ソースが第4のトランジスタのベースに接続され、ドレインが制御電圧端子に接続されるFETを備える。さらに、電源回路

は、一端が制御電圧端子に接続され、他端が第2のトランジスタのベースに接続された第3の抵抗を備える。さらに、バイアス回路の第2のトランジスタのエミッタは第1のトランジスタのベースに接続され、第2のトランジスタのベースは第1の抵抗を介して接地されていてもよい。

[0015] ここで、バイアス回路は第1のトランジスタにバイアスを供給する第1のFETを備え、オーバーシュート制御回路は一端が接地された第1の抵抗を備える。さらに、時定数制御回路はエミッタが第1の抵抗を介して接地される第3のトランジスタと、一端が第3のトランジスタのベースに接続された第2の抵抗とを備える。さらに、時定数制御回路は、エミッタが第2の抵抗を介して第3のトランジスタのベースに接続され、コレクタが第3のトランジスタのコレクタと第1のFETのドレインに接続された第4のトランジスタとを備える。さらに、コンデンサの一端は第4のトランジスタのベースに接続され、他端は制御電圧端子に接続される。さらに、放電回路はゲートが接地され、ソースが第4のトランジスタのベースに接続され、ドレインが制御電圧端子に接続される第2のFETを備える。さらに、電源回路は、一端が制御電圧端子に接続され、他端が第1のFETに接続された第3の抵抗を備える。さらに、バイアス回路の第1のFETのソースは第1のトランジスタのベースに接続される。そして、第1のFETのゲートは第1の抵抗を介して接地されていてもよい。

[0016] この構成によれば、オーバーシュート制御回路は抵抗により構成され、その抵抗値を最適化することにより、基準電圧を上記の増加量を容易に設定することができ、設計の自由度が高い。

[0017] ここで、電源回路は、コレクタが第2のトランジスタのベースに接続され、エミッタが第1の抵抗を介して接地される第5のトランジスタと、一端が第5のトランジスタのベースに接続され、他端が接地された第4の抵抗とを備える。さらに、電源回路は、コレクタが第2のトランジスタのコレクタに接続され、ベースが第2のトランジスタのベースに接続され、エミッタが第4の抵抗を介して接地された第6のトランジスタを備えてもよい。

[0018] ここで、電源回路は、さらに、コレクタが第2のトランジスタのベースに接続され、ベースがコレクタに接続された第5のトランジスタを備える。さらに、電源回路は、コレクタが第5のトランジスタのエミッタに接続され、ベースがコレクタに接続され、エミッタが第1の抵抗の他端に接続された第6のトランジスタを備える。そして、第3の抵抗、第5のトランジスタおよび第6のトランジスタは、基準電圧を温度補償する温度補償回路を構成するとしてもよい。

[0019] この構成によれば、第3の抵抗、第5のトランジスタ及び第6のトランジスタは温度補償回路であり、温度変化に対してバイアスを安定させる。

[0020] 本発明によれば、増幅用トランジスタの発熱による温度変動が回路全体で平衡状態に達するまでの時間を短縮させ、増幅器の起動直後における増幅用トランジスタの発熱による温度変動に起因するEVMの劣化を抑えることができる。

[0021] また、この構成では、オーバershoot制御回路の調整により、制御電圧の立ち上がり時の過渡的なバイアス増加の増加量を容易に調整することができる。そして、コンデンサの時定数を上記時定数制御回路で調整できるため、制御電圧の立ち上がり時の過渡的なバイアス増加の増加量と、コンデンサの充電完了までの時定数を互い独立した状態で調整することができる。これは増幅器の起動直後の利得変動を調整する際の設計自由度が高くなることにつながる。

[0022] そして、制御電圧の立ち下がり時には、コンデンサに残っていた電荷が上記放電回路によって放電されるため、コンデンサの容量値が小さくても、次の制御電圧立ち上がり時に十分なコンデンサの充電電流を得ることができる。これは高周波電力増幅器の小型化につながる。

図面の簡単な説明

[0023] [図1]図1は、本発明の第1の実施形態に係る高周波電力増幅器の回路図である。

[図2]図2は、本発明の第1の実施形態の比較例の過渡応答特性の一例を示す

特性図である。

[図3]図3は、本発明の第1の実施形態の過渡応答特性の一例を示す特性図である。

[図4]図4は、本発明の第2の実施形態に係る高周波電力増幅器の回路図である。

[図5]図5は、本発明の第3の実施形態に係る高周波電力増幅器の回路図である。

[図6]図6は、特許文献1に記載の電力増幅器の回路図である。

発明を実施するための形態

[0024] 以下、発明を実施するための形態について、図面を用いて説明する。

[0025] (第1の実施形態)

図1は本発明の第1の実施の形態に係る高周波電力増幅器の回路図である。本実施形態に係る高周波電力増幅器は、主に、オーバーシュート制御回路201を設けることにより、バイアスを出力するための基準電圧 V_{ref} を、制御電圧端子143の制御電圧の立ち上がり直後に過渡的に増加させる際の増加量を決定または設定することを容易にする。

[0026] 同図の高周波増幅器は、入力端子101、出力端子105、入力整合回路102、出力整合回路104、増幅トランジスタ103、安定化抵抗109、バイアス回路111、電源回路112、スピードアップ回路122、コレクタ電源端子141、バイアス電源端子142、制御電圧端子143、チョークコイル144を備える。

[0027] 第1のトランジスタとしての増幅トランジスタ103は、高周波信号の電力増幅を行なう。

[0028] バイアス回路111は、電源回路112から印加される基準電圧 V_{ref} に応じて増幅トランジスタ103にバイアスを供給する。具体的は構成例として、バイアス回路111は、増幅トランジスタ103にバイアスを供給する第2のトランジスタとしてのバイアストランジスタ107を備える。バイアストランジスタ107は、基準電圧 V_{ref} に応じたバイアスを増幅トラ

ンジスタ 103 に供給する。バイアス回路 111 のバイアストランジスタ 107 のエミッタは増幅トランジスタ 103 のベースに接続され、バイアストランジスタ 107 のベースはオーバーシュート制御回路 201（抵抗 161）を介して接地されている。

[0029] 電源回路 112 は、バイアス回路 111 から増幅トランジスタ 103 へのバイアスの供給量を制御する基準電圧 V_{ref} をバイアス回路 111 に印加する。この電源回路 112 は、一端が制御電圧端子 143 に接続され、他端が第 2 のトランジスタであるバイアストランジスタ 107 のベースに接続された第 3 の抵抗としての抵抗 131 を備える。さらに、電源回路 112 は、ダイオード接続（つまりコレクタとベースとが短絡）されたトランジスタ 151 と、ダイオード接続されたトランジスタ 152 とを備える。トランジスタ 151 とトランジスタ 152 は、抵抗 131 とオーバーシュート制御回路 201 との間に挿入されるように直列に接続されている。制御電圧端子 143 には、バイアス回路 111 の起動及び停止を制御する制御信号が印加される。

[0030] スピードアップ回路 122 は、電源回路 112 から出力される基準電圧 V_{ref} を、制御電圧の立ち上がり時に過渡的に増加させることにより、バイアス回路 111 から増幅トランジスタ 103 へのバイアスの供給量を増加させる。このスピードアップ回路 122 は、コンデンサ 121 と、時定数制御回路 202 と、放電回路 203 と、オーバーシュート制御回路 201 とを備える。コンデンサ 121 は、一端が制御電圧端子 143 に接続され、他端が時定数制御回路 202 に接続される。放電回路 203 は、コンデンサ 121 と並列に接続される。

[0031] オーバーシュート制御回路 201 は、電源回路 112 から出力される基準電圧を、コンデンサ 121 に充電された電荷量に応じて過渡的に増加させる際の増加量を決定する。例えば、オーバーシュート制御回路 201 は、一端が接地され、他端が電源回路 112 に接続された第 1 の抵抗としての抵抗 161 を備えるという簡単な回路構成でよい。

- [0032] 時定数制御回路202は、第3のトランジスタとしてのトランジスタ119と、第2の抵抗としての抵抗162と、第4のトランジスタとしてのトランジスタ120とを備える。そして、トランジスタ119は、エミッタが第1の抵抗を介して接地される。そして、抵抗162は一端がトランジスタ119のベースに接続される。そして、トランジスタ120は、エミッタが抵抗162を介してトランジスタ119のベースに接続され、コレクタがトランジスタ119のコレクタとバイアストランジスタ107のコレクタに接続される。さらに、時定数制御回路202は、時定数制御回路202およびオーバーシュート制御回路201を経由するコンデンサ121の充放電時の時定数を決定する。
- [0033] コンデンサ121の一端はトランジスタ120のベースに接続され、他端は制御電圧端子143に接続されている。
- [0034] 放電回路203は、ゲートが接地され、ソースがトランジスタ120のベースに接続され、ドレインが制御電圧端子143に接続されるFET163を備える。
- [0035] 入力端子101は入力整合回路102を介して増幅トランジスタ103のベースに接続されている。そして、増幅トランジスタ103のエミッタは接地される。そして、増幅トランジスタ103のコレクタは、チョークコイル144を介してコレクタ電源端子141に接続され、且つ出力整合回路104を介して出力端子105に接続されている。バイアス回路111は増幅トランジスタ103にバイアスを行なうバイアストランジスタ107を備える。そして、バイアストランジスタ107のコレクタはバイアス電源端子142に接続され、エミッタは安定化抵抗109を介して増幅トランジスタ103のベースに接続されている。電源回路112は抵抗131、第5のトランジスタとしてのトランジスタ151、第6のトランジスタとしてのトランジスタ152を備える。そして、抵抗131の一端は制御電圧端子143に接続され、他端はバイアストランジスタ107のベースとトランジスタ151のコレクタとベースに接続される。そして、トランジスタ151のエミッタ

はトランジスタ 152 のコレクタとベースに接続される。この電源回路において抵抗 131、トランジスタ 151、トランジスタ 152 は温度補償の役割を果たし、温度変化に対してバイアスを安定させる。スピードアップ回路 122 はオーバーシュート制御回路 201、時定数制御回路 202、放電回路 203、コンデンサ 121 を備える。そして、オーバーシュート制御回路 201 は抵抗 161 を備え、時定数制御回路 202 はトランジスタ 119、抵抗 162、トランジスタ 120 を備え、放電回路 203 は FET 163 を備える。そして、抵抗 161 の一端は接地され、他端はトランジスタ 152 のエミッタとトランジスタ 119 のエミッタに接続され、トランジスタ 119 のベースは抵抗 162 を介してトランジスタ 120 のエミッタに接続される。そして、トランジスタ 120 のコレクタはトランジスタ 119 のコレクタとバイアストランジスタ 107 のコレクタに接続される。コンデンサ 121 は一端が制御電圧端子 143 に接続され、他端はトランジスタ 120 のベースに接続される。FET 163 のゲートは接地され、ドレインは制御電圧端子 143 に接続され、ソースはトランジスタ 120 のベースに接続される。

[0036] 図 1 に示す高周波電力増幅器においては、入力端子 101 から入力された高周波信号は入力整合回路 102 を介して増幅トランジスタ 103 に入力され、増幅トランジスタ 103 で電力増幅される。この増幅された高周波信号は出力整合回路 104 を介して、出力端子 105 に出力される。

[0037] 一方、制御電圧端子 143 に印加される制御電圧の立ち上がり時には、コンデンサ 121 の充電が完了するまで充電電流が流れる。それにより、トランジスタ 119 とトランジスタ 120 についてもコレクタからエミッタに電流が流れ、その電流が抵抗 161 に流れ込む。それによって、バイアストランジスタ 107 のベース電位が過渡的に上昇することにより、増幅トランジスタ 103 へのバイアスが過渡的に増加し、増幅器の利得が一時的に増加する。それによって、増幅用トランジスタの発熱による温度変動が回路全体で平衡状態に達するまでの時間を短縮させ、増幅器の起動直後における増幅用

トランジスタの発熱による温度変動に起因するEVMの劣化を抑えることができる。このとき、抵抗161の抵抗値は、コンデンサ121の充電完了までの時定数に影響を与えない程度まで、抵抗162の抵抗値に対して十分に小さな値であるように設計されている。

[0038] また、図1に示す高周波電力増幅器においては、抵抗161の抵抗値によって、制御電圧立ち上がり直後のバイアストラジスタ107のベース電位の上昇量を調整できる。そのため、コンデンサ121の充電完了までの時定数と独立して、バイアスの増加量を調整できる。このため、制御電圧立ち上がり直後の増幅器の過渡的な利得の変化を調整する際の設計自由度が高い。さらに、制御電圧立ち下り時には、コンデンサ121に充電されていた電荷がFET163によって放電されるため、コンデンサ121の容量値が小さくても、次の制御電圧立ち下り時に十分なコンデンサ121の充電電流を得ることができる。

[0039] ここで、図2に比較例として、図1の高周波電力増幅器のスピードアップ回路122を取り去った構成について、高周波信号を入力しない状態での増幅トランジスタ103のアイドル電流（コレクタ電流 I_c ）の過渡応答特性のシミュレーション結果の一例を示す。このスピードアップ回路122を取り去った構成では、増幅トランジスタ103の熱応答の遅さが原因となり、アイドル電流が立ち上がり直後（図2の $0\mu s \sim 50\mu s$ ）には変化している。これは増幅器の立ち上がり直後の利得や位相の変化の原因となり、歪やEVM劣化の原因となる。

[0040] 次に図3に図1に示す高周波電力増幅器について、高周波信号を入力しない状態での増幅トランジスタのアイドル電流（コレクタ電流 I_c ）の過渡応答特性のシミュレーション結果の一例を示す。この実施形態ではバイアス立ち上がり時にバイアストラジスタ107から増幅トランジスタ103に供給する電流を強制的に増加させている。このとき、コンデンサ121の容量値と抵抗161と抵抗162の抵抗値は増幅器の立ち上がり直後の温度変化による利得の過渡変化をキャンセルするように設計されている。また、バイ

アス立ち下り時にはF E T 1 6 3によって、コンデンサ1 2 1の電荷を放電しているため、図3において1 0 0 0 u sのI cの立ち上がりが0 u sのI cの立ち上がり時と同等のバイアス増加量を実現している。これにより、短時間でオンオフを繰り返すバースト動作時にも増幅器の立ち上がり時の利得変動によるE V Mの劣化を抑制することができる。

[0041] (第2の実施形態)

図4に第2の実施形態の高周波電力増幅器の回路図を示す。この第2の実施形態の高周波電力増幅器は、電源回路を除いて第1の実施形態の高周波電力増幅器と同一の構成をしており、同一の構成部は同一符号を用いて説明を省略し、異なる点を中心に説明する。

[0042] 電源回路1 7 1は、第5のトランジスタとしてのトランジスタ1 7 2と、第4の抵抗としての抵抗1 7 5と、第6のトランジスタとしてのトランジスタ1 7 3とを備える。

[0043] トランジスタ1 7 2は、コレクタがバイアストランジスタ1 0 7のベースに接続され、エミッタが抵抗1 6 1を介して接地される。

[0044] 抵抗1 7 5は、一端がトランジスタ1 7 2のベースに接続され、他端が接地される。

[0045] トランジスタ1 7 3は、コレクタがバイアストランジスタ1 0 7のコレクタに接続され、ベースがバイアストランジスタ1 0 7のベースに接続され、エミッタが抵抗1 7 5を介して接地される。

[0046] このように、図4に示す高周波電力増幅器の電源回路1 7 1はトランジスタ1 7 2、トランジスタ1 7 3、抵抗1 7 4、抵抗1 7 5を備える。そして、抵抗1 7 4の一端は制御電圧端子1 4 3に接続され、他端はバイアストランジスタ1 0 7のベースとトランジスタ1 7 3のベースとトランジスタ1 7 2のコレクタに接続される。トランジスタ1 7 3のコレクタは、バイアストランジスタ1 0 7のコレクタとトランジスタ1 1 9のコレクタとトランジスタ1 2 0のコレクタに接続される。また、トランジスタ1 7 3のエミッタはトランジスタ1 7 2のベースに接続され、且つ一端が接地された抵抗1 7 5

を介して接地される。トランジスタ 172 のエミッタは抵抗 161 を介して接地される。この電源回路 171 も温度補償の役割を果たし、温度変化に対してバイアスを安定させる。

[0047] この図 4 に示す高周波電力増幅器についても、制御電圧端子に印加される制御電圧の立ち上がり時には、コンデンサ 121 の充電完了まで充電電流が流れ、それにより、トランジスタ 119 とトランジスタ 120 についてもコレクタからエミッタに電流が流れ、その電流が抵抗 161 に流れ込む。これによって、トランジスタ 172 のエミッタ電位が上昇し、トランジスタ 172 のコレクタに流れ込む電流が減少することにより、バイアストランジスタ 107 のベース電位が上昇する。そして、増幅トランジスタ 103 へのバイアスが過渡的に増加し、増幅器の利得が一時的に増加することによって、増幅用トランジスタの発熱による温度変動が回路全体で平衡状態に達するまでの時間を短縮させる。これにより、増幅器の起動直後における増幅用トランジスタの発熱による温度変動に起因する EVM の劣化を抑えることができる。

[0048] また、図 4 に示す高周波電力増幅器も、図 1 に示す高周波電力増幅器と同様に、抵抗 161 の抵抗値によって、制御電圧立ち上がり直後のバイアストランジスタ 107 のベース電位の上昇量を調整できる。これにより、コンデンサ 121 の充電完了までの時定数と独立して、バイアス増加量を調整できる。

[0049] さらに、図 4 に示す高周波電力増幅器は、制御電圧立ち下り時についても、図 1 に示す高周波電力増幅器と同様に、コンデンサ 121 に充電されていた電荷が FET 163 により放電される。そのため、コンデンサ 121 の容量値が小さくても、次の制御電圧立ち上がり時に十分なコンデンサ 121 の充電電流を得ることができる。

[0050] (第 3 の実施形態)

図 5 に第 3 の実施形態の高周波電力増幅器の回路図を示す。この第 3 の実施形態の高周波電力増幅器は、電源回路とバイアス回路を除いて第 1 の実施

形態の高周波電力増幅器と同一の構成をしており、同一の構成部は同一符号を用いて説明を省略し、異なる点を中心に説明する。

[0051] バイアス回路 181 は、増幅トランジスタ 103 にバイアスを供給する第 1 の FET としてのバイアス FET 182 を備える。バイアス FET 182 のソースは増幅トランジスタ 103 のベースに接続され、バイアス FET 182 のゲートは抵抗 161 を介して接地されている。

[0052] 時定数制御回路 202 は、第 3 のトランジスタとしてのトランジスタ 119 と、第 2 の抵抗としての抵抗 162 と、第 4 のトランジスタとしてのトランジスタ 120 とを備える。そして、トランジスタ 119 は、エミッタが抵抗 161 を介して接地される。また、抵抗 162 は、一端がトランジスタ 119 のベースに接続される。また、トランジスタ 120 は、エミッタが抵抗 162 を介してトランジスタ 119 のベースに接続され、コレクタがトランジスタ 119 のコレクタとバイアス FET 182 のドレインに接続される。

[0053] 電源回路 191 は、一端が制御電圧端子 143 に接続され、他端がバイアス FET 182 に接続された第 3 の抵抗としての抵抗 192 を備える。

[0054] このように、図 5 に示す高周波電力増幅器の電源回路 191 は一端が制御電圧端子 143 に接続された抵抗 192 を備える。また、バイアス回路 181 はバイアス FET 182 を備える。バイアス FET 182 は、ソースが安定化抵抗 109 を介して増幅トランジスタ 103 のベースに接続され、ドレインがバイアス電源端子 142 に接続される。また、バイアス FET 182 は、ゲートが抵抗 192 を介して制御電圧端子 143 に接続され、且つゲートが抵抗 161 を介して接地されている。

[0055] 図 5 の実施形態においても、制御電圧立ち上がり時に過渡的に抵抗 161 に電流が流れ込むことにより、バイアス FET 182 のゲートの電位が上昇する。これによって、過渡的に増幅トランジスタ 103 へのバイアスを増加させることができる。これによって、本実施形態においても、第 1 の実施形態と同様の効果が得られる。

[0056] なお、抵抗 161 は、高周波増幅器の使用条件、例えばコレクタ電源電圧

Vcc、バイアス電圧Vbias、バイアストランジスタ107のベース電流（バイアス）等に応じて決定された固定抵抗値を有していてもよいし、可変抵抗であってもよい。

[0057] また、抵抗161は、製造工程でトリミング等により定める半固定の抵抗であってもよい。

[0058] 以上、本発明の一形態における高周波増幅器を、実施の形態に基づいて説明したが、本発明は、上記の実施の形態に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したもののや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本発明の範囲内に含まれる。

産業上の利用可能性

[0059] 以上に述べたように、本発明の一形態における高周波電力増幅器は小型であると同時に、増幅器の起動直後の温度変動に起因する歪や変調精度の劣化を抑えることができるため、携帯電話をはじめとする移動体通信機器等に利用することができる。

符号の説明

- [0060] 101 入力端子
102 入力整合回路
103, 503 増幅トランジスタ
104 出力整合回路
105 出力端子
107 バイアストランジスタ
109 安定化抵抗
111, 511 バイアス回路
112, 512 電源回路
119, 120, 519, 520 トランジスタ
121, 521 コンデンサ
122, 522 スピードアップ回路

- 1 3 1 抵抗
- 1 4 1 コレクタ電源端子
- 1 4 2 バイアス電源端子
- 1 4 3 制御電圧端子
- 1 4 4 チョークコイル
- 1 5 1, 1 5 2 トランジスタ
- 1 6 1, 1 6 2 抵抗
- 1 6 3 F E T
- 1 7 1 電源回路
- 1 7 2, 1 7 3 トランジスタ
- 1 7 4, 1 7 5 抵抗
- 1 8 1 バイアス回路
- 1 8 2 バイアス F E T
- 1 9 1 電源回路
- 1 9 2 抵抗
- 2 0 1 オーバーシュート制御回路
- 2 0 2 時定数制御回路
- 2 0 3 放電回路

請求の範囲

[請求項1]

高周波信号の電力増幅を行なう第1のトランジスタと、
基準電圧に応じて前記第1のトランジスタにバイアスを供給するバイアス回路と、
前記バイアス回路から前記第1のトランジスタへのバイアスの供給量を制御する前記基準電圧を前記バイアス回路に印加する電源回路と、
、
前記バイアス回路の起動及び停止を制御する制御信号が印加される制御電圧端子と、
前記電源回路から出力される前記基準電圧を、前記制御電圧の立ち上がり時に過渡的に増加させることにより、前記バイアス回路から前記第1のトランジスタへのバイアスの供給量を増加させるスピードアップ回路とを備え、
前記スピードアップ回路は、
一端が前記制御電圧端子に接続されたコンデンサと、
前記コンデンサのもう一端に接続された時定数制御回路と、
前記コンデンサと並列に接続された放電回路と、
前記時定数制御回路及び前記電源回路に接続されたオーバーシュート制御回路と
を備え、
前記オーバーシュート制御回路は、前記電源回路から出力される基準電圧を、前記コンデンサに充電された電荷量に応じて過渡的に増加させる際の増加量を決定し、前記時定数制御回路は、前記時定数制御回路および前記オーバーシュート制御回路を経由する前記コンデンサの充放電時の時定数を決定する
高周波電力増幅器。

[請求項2]

請求項1に記載の高周波電力増幅器であって、
前記バイアス回路は前記第1のトランジスタにバイアスを供給する

第2のトランジスタを備え、

前記オーバーシュート制御回路は一端が接地された第1の抵抗を備え、

前記時定数制御回路は、

エミッタが前記第1の抵抗を介して接地される第3のトランジスタと、

一端が前記第3のトランジスタのベースに接続された第2の抵抗と、

エミッタが前記第2の抵抗を介して前記第3のトランジスタのベースに接続され、コレクタが前記第3のトランジスタのコレクタと前記第2のトランジスタのコレクタに接続された第4のトランジスタとを備え、

前記コンデンサの一端は前記第4のトランジスタのベースに接続され、他端は前記制御電圧端子に接続され、

前記放電回路は、ゲートが接地され、ソースが前記第4のトランジスタのベースに接続され、ドレインが前記制御電圧端子に接続されるFETを備え、

前記電源回路は、一端が前記制御電圧端子に接続され、他端が前記第2のトランジスタのベースに接続された第3の抵抗を備え、

前記バイアス回路の前記第2のトランジスタのエミッタは前記第1のトランジスタのベースに接続され、

前記第2のトランジスタのベースは前記第1の抵抗を介して接地されている

高周波電力増幅器。

[請求項3]

請求項1に記載の高周波電力増幅器であって、

前記バイアス回路は前記第1のトランジスタにバイアスを供給する第1のFETを備え、

前記オーバーシュート制御回路は一端が接地された第1の抵抗を備

え、

前記時定数制御回路はエミッタが前記第 1 の抵抗を介して接地される第 3 のトランジスタと、

一端が前記第 3 のトランジスタのベースに接続された第 2 の抵抗と、

エミッタが前記第 2 の抵抗を介して前記第 3 のトランジスタのベースに接続され、コレクタが前記第 3 のトランジスタのコレクタと前記第 1 の F E T のドレインに接続された第 4 のトランジスタとを備え、

前記コンデンサの一端は前記第 4 のトランジスタのベースに接続され、他端は前記制御電圧端子に接続され、

前記放電回路はゲートが接地され、ソースが前記第 4 のトランジスタのベースに接続され、ドレインが前記制御電圧端子に接続される第 2 の F E T を備え、

前記電源回路は、一端が前記制御電圧端子に接続され、他端が前記第 1 の F E T に接続された第 3 の抵抗を備え、

前記バイアス回路の前記第 1 の F E T のソースは前記第 1 のトランジスタのベースに接続され、

前記第 1 の F E T のゲートは前記第 1 の抵抗を介して接地されている

高周波電力増幅器。

[請求項 4]

請求項 2 に記載の高周波電力増幅器であって、

前記電源回路は、

コレクタが前記第 2 のトランジスタのベースに接続され、エミッタが前記第 1 の抵抗を介して接地される第 5 のトランジスタと、

一端が前記第 5 トランジスタのベースに接続され、他端が接地された第 4 の抵抗と、

コレクタが前記第 2 のトランジスタのコレクタに接続され、ベースが前記第 2 のトランジスタのベースに接続され、エミッタが前記第 4

の抵抗を介して接地された第6のトランジスタとを備える
高周波電力増幅器。

[請求項5]

請求項2に記載の高周波電力増幅器であって、

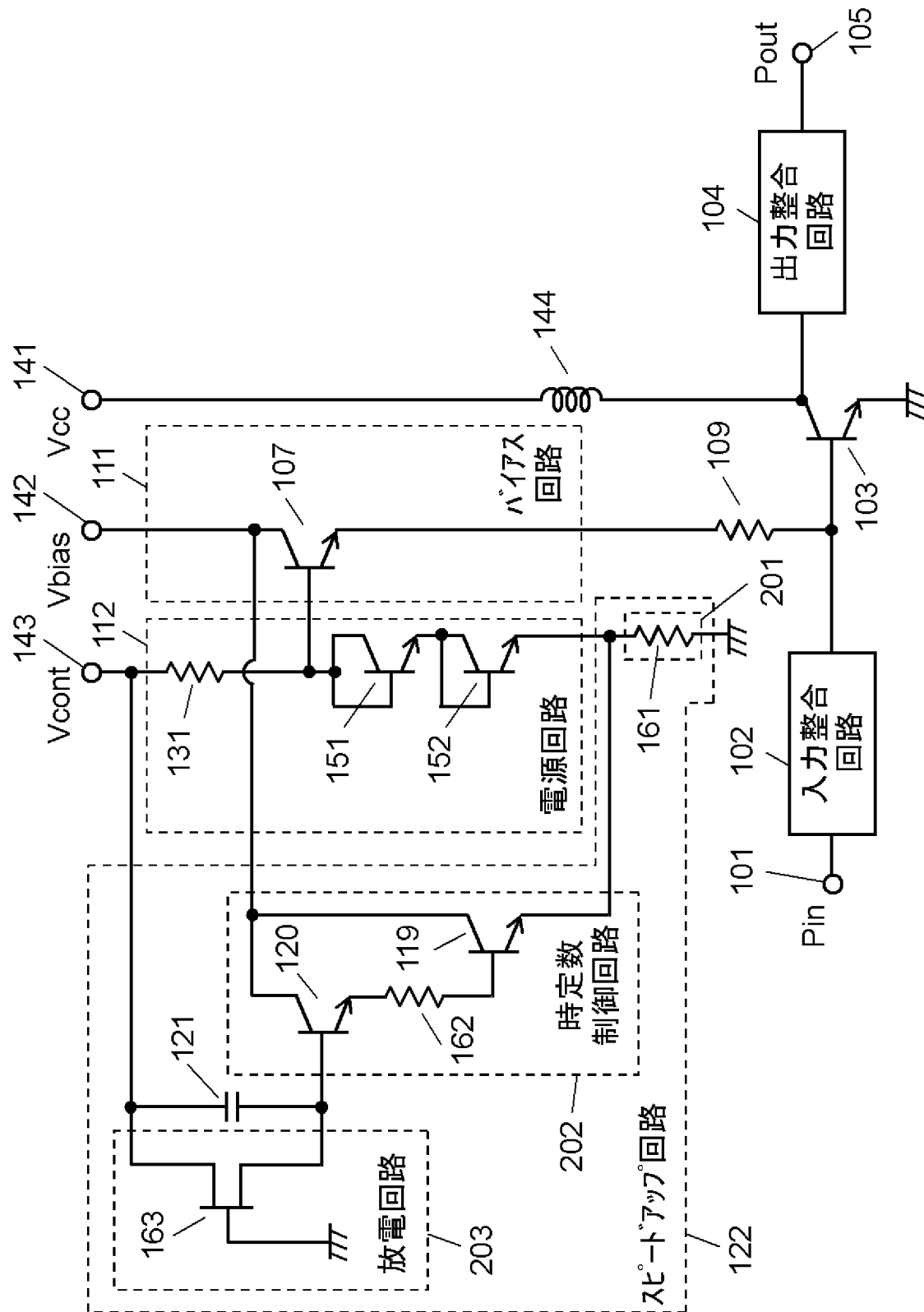
前記電源回路は、さらに、

コレクタが前記第2のトランジスタのベースに接続され、ベースが
コレクタに接続された第5のトランジスタと、

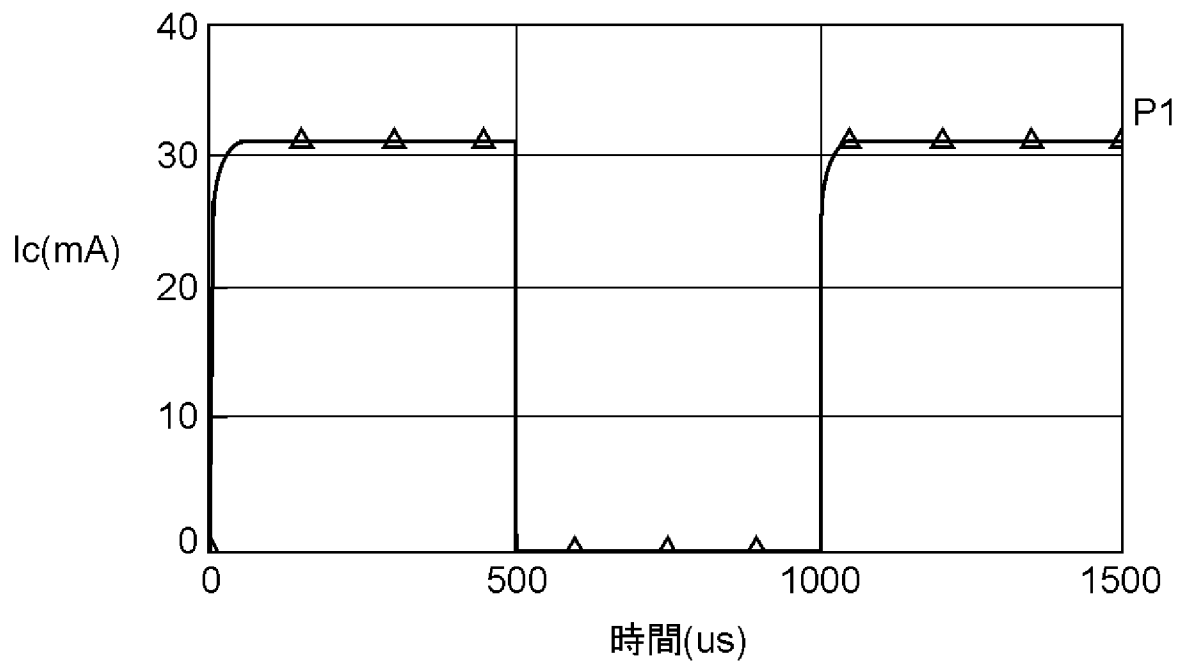
コレクタが前記第5のトランジスタのエミッタに接続され、ベース
がコレクタに接続され、エミッタが前記第1の抵抗の他端に接続され
た第6のトランジスタとを備え、

前記第3の抵抗、前記第5のトランジスタおよび前記第6のトラン
ジスタは、前記基準電圧を温度補償する温度補償回路を構成する
高周波電力増幅器。

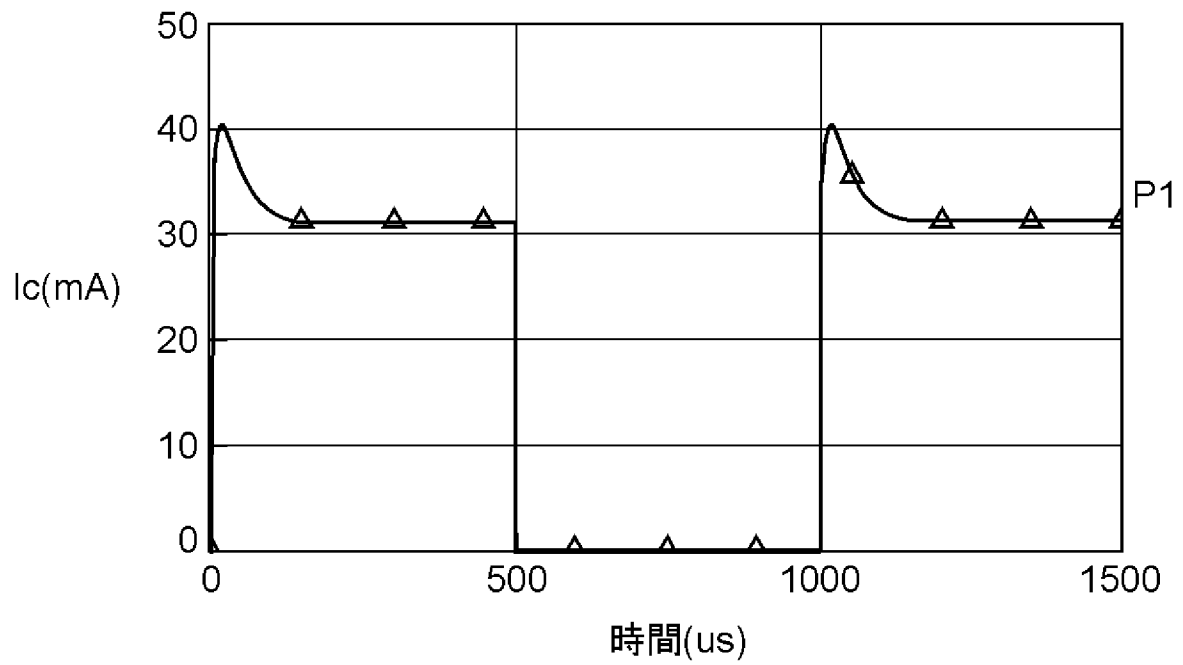
[図1]



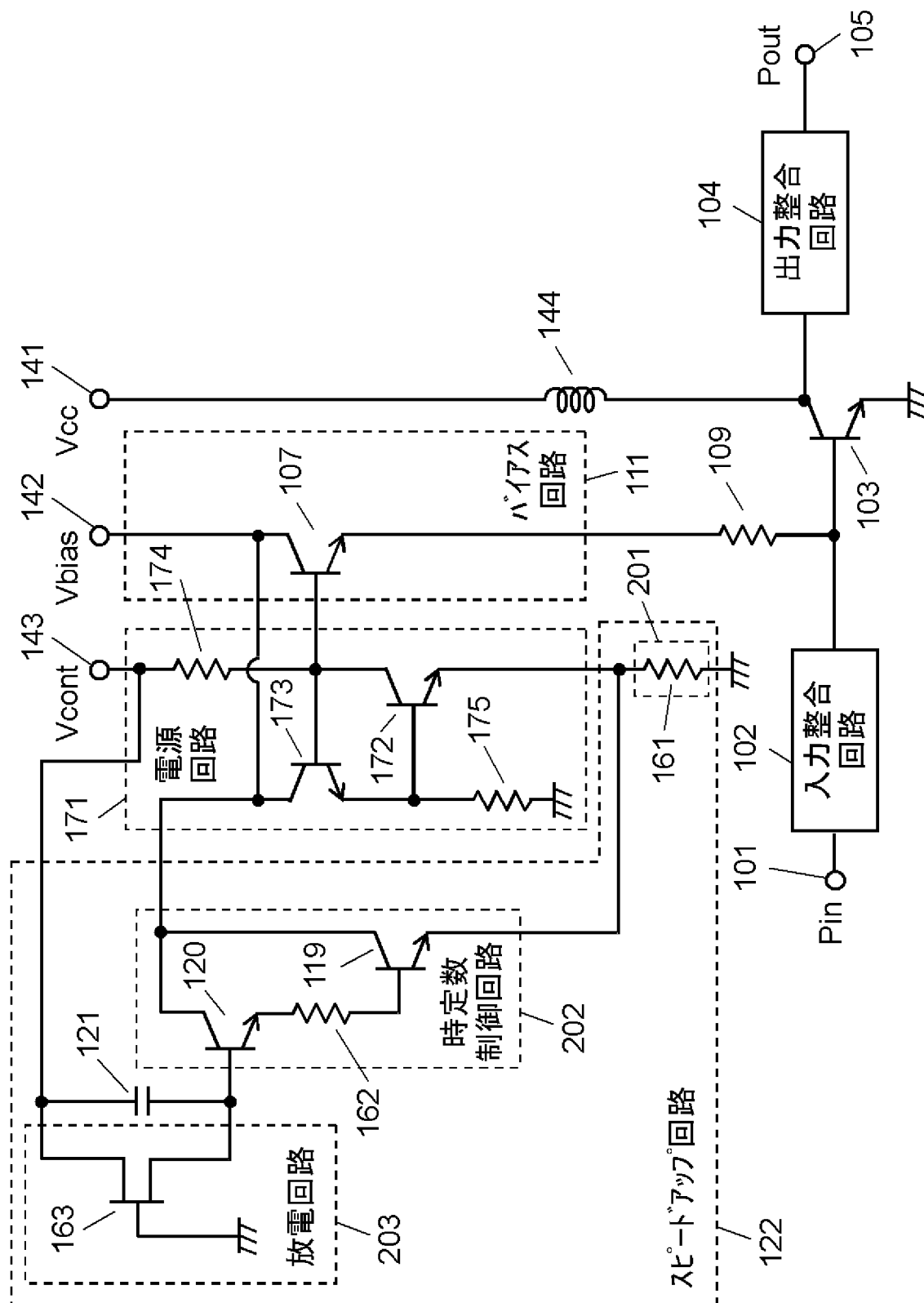
[図2]



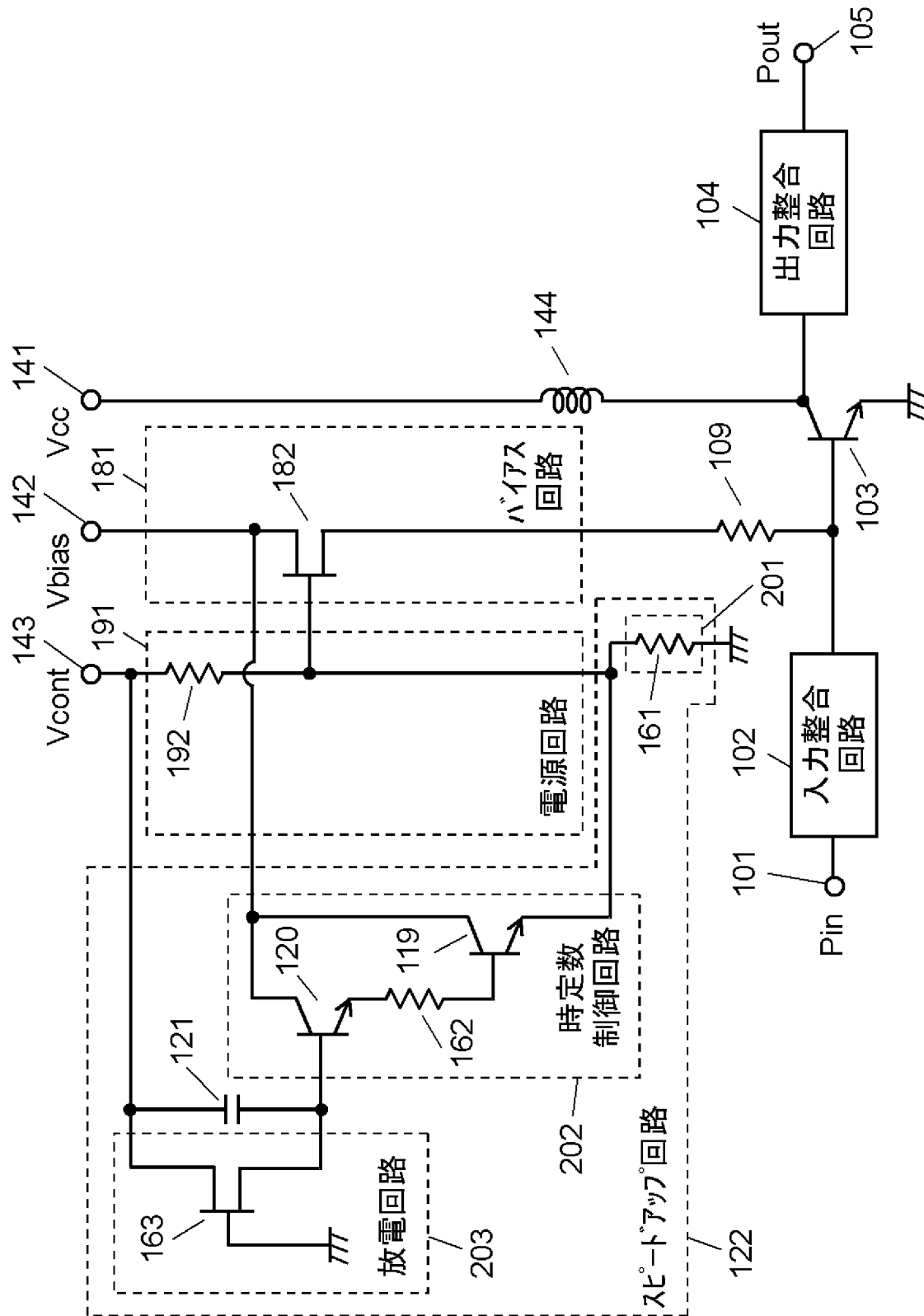
[図3]



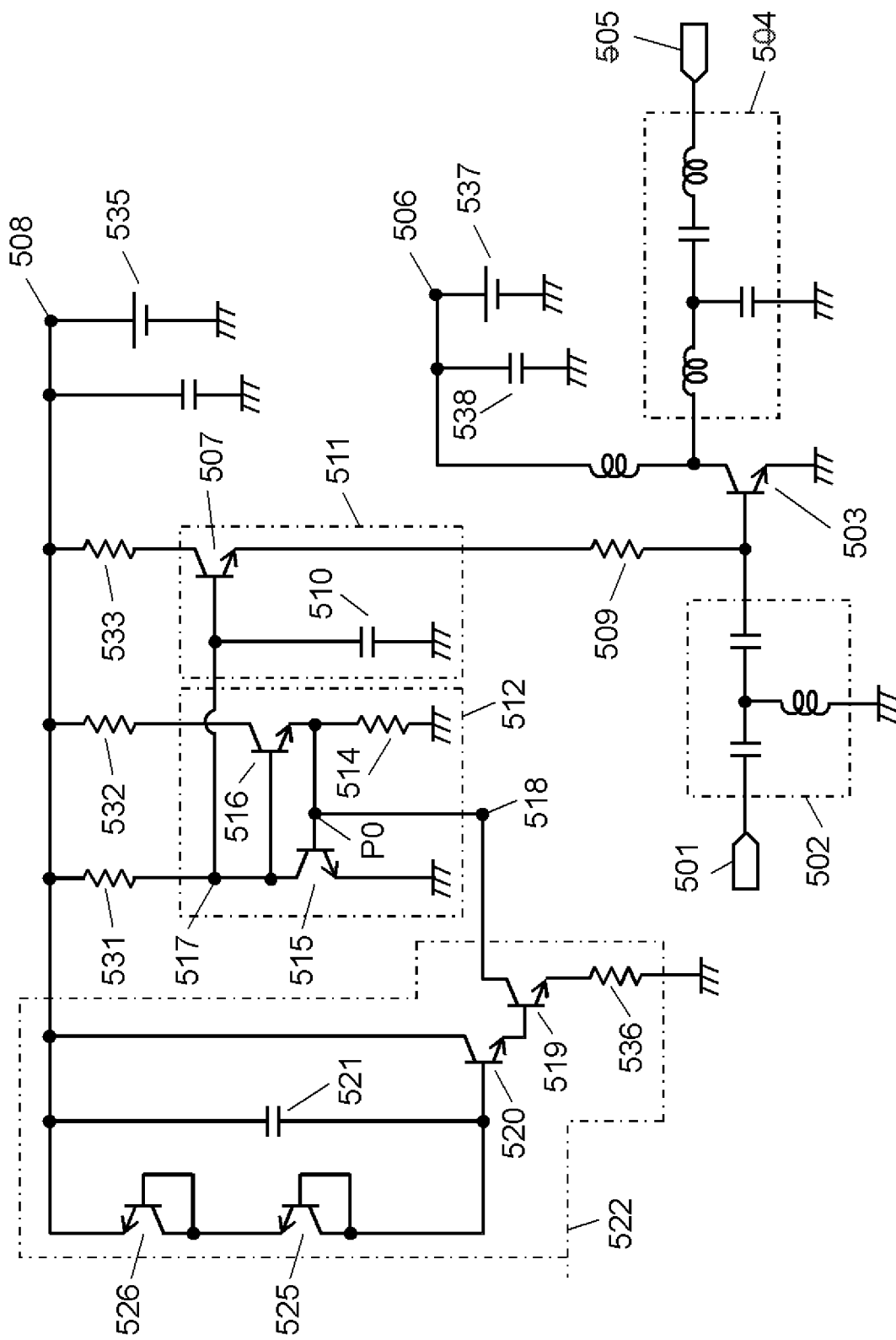
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000758

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/24 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F3/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-200770 A (Sharp Corp.), 03 September 2009 (03.09.2009), paragraphs [0021] to [0033]; fig. 1 & US 2009/0212863 A1 & CN 101515786 A	1-5
A	JP 2003-338712 A (Fujitsu Ten Ltd.), 28 November 2003 (28.11.2003), paragraph [0032]; fig. 1, 2, 5 (Family: none)	1-5
A	JP 2006-93906 A (Matsushita Electric Industrial Co., Ltd.), 06 April 2006 (06.04.2006), paragraphs [0046] to [0049]; fig. 5 (Family: none)	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
23 March, 2012 (23.03.12)

Date of mailing of the international search report
03 April, 2012 (03.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000758

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-504769 A (Skyworks Solutions, Inc.), 01 March 2007 (01.03.2007), entire text; fig. 1 & US 2005/0052224 A1 & EP 1664965 A & WO 2005/027188 A2 & DE 602004025828 D & KR 10-2006-0034732 A & CN 1846185 A & AT 459906 T	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03F3/24(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03F3/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2012年
日本国実用新案登録公報	1996-2012年
日本国登録実用新案公報	1994-2012年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-200770 A（シャープ株式会社）2009.09.03, 段落【0021】－【0033】, 図1 & US 2009/0212863 A1 & CN 101515786 A	1-5
A	JP 2003-338712 A（富士通テン株式会社）2003.11.28, 段落【0032】, 図1, 2, 5（ファミリーなし）	1-5
A	JP 2006-93906 A（松下電器産業株式会社）2006.04.06, 段落【0046】－【0049】, 図5（ファミリーなし）	1-5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

23.03.2012

国際調査報告の発送日

03.04.2012

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

高橋 義昭

5 T

4776

電話番号 03-3581-1101 内線 3568

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-504769 A (スカイワークス ソリューションズ, インコーポレイテッド) 2007.03.01, 全文, 図1 & US 2005/0052224 A1 & EP 1664965 A & WO 2005/027188 A2 & DE 602004025828 D & KR 10-2006-0034732 A & CN 1846185 A & AT 459906 T	1 - 5