

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年10月8日(08.10.2020)



(10) 国際公開番号

WO 2020/202243 A1

(51) 国際特許分類:

G09G 3/3233 (2016.01) G09G 3/3266 (2016.01)
G09G 3/20 (2006.01) G09G 3/3275 (2016.01)

(21) 国際出願番号: PCT/JP2019/013971

(22) 国際出願日: 2019年3月29日(29.03.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

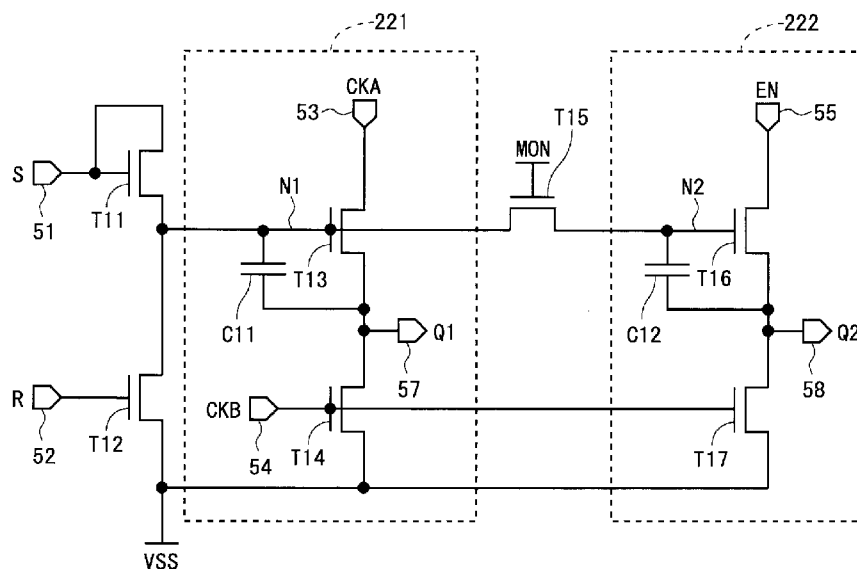
(72) 発明者: 山本 薫(YAMAMOTO, Kaoru). 米林 諒(YONEBAYASHI, Ryo).

(74) 代理人: 島田 明宏, 外(SHIMADA, Akihiro et al.); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: DISPLAY DEVICE AND DRIVING METHOD THEREFOR

(54) 発明の名称: 表示装置およびその駆動方法



(57) Abstract: With regard to a display device having an external compensation function, the frame size is made smaller than the related art. A unit circuit constituting a gate driver comprises: a first output control transistor (T13) having a second conduction terminal connected to a first output terminal (57) connected to another unit circuit and a control terminal connected to a first internal node (N1); a second output control transistor (T16) having a second conduction terminal connected to a second output terminal (58) for outputting an on-level signal during at least a portion of a monitoring period and a control terminal connected to a second internal node (2); and an output circuit control transistor (T15) having a first conduction terminal connected to the first internal node (N1) and a second conduction terminal connected to the second internal node (N2). The potential applied to the control terminal of the output circuit control transistor (T15) is switched

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

between a high level potential and a low level potential.

(57) 要約: 外部補償機能を有する表示装置に関し、従来よりも額縁サイズを小さくする。ゲートドライバを構成する単位回路は、他の単位回路に接続された第1出力端子(57)に接続された第2導通端子と第1内部ノード(N1)に接続された制御端子とを有する第1出力制御トランジスタ(T13)と、モニタ期間のうちの少なくとも一部の期間にオンレベルの信号を出力する第2出力端子(58)に接続された第2導通端子と第2内部ノード(N2)に接続された制御端子とを有する第2出力制御トランジスタ(T16)と、第1内部ノード(N1)に接続された第1導通端子と第2内部ノード(N2)に接続された第2導通端子とを有する出力回路制御トランジスタ(T15)とを含む。出力回路制御トランジスタ(T15)の制御端子に与えられる電位は、ハイレベルの電位とローレベルの電位との間で切り替えられる。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 以下の開示は、表示装置およびその駆動方法に関し、より詳しくは、有機ＥＬ素子などの電流によって駆動される表示素子を含む画素回路を備える表示装置およびその駆動方法に関する。

背景技術

[0002] 近年、有機ＥＬ素子を含む画素回路を備えた有機ＥＬ表示装置が実用化されている。有機ＥＬ素子は、ＯＬＥＤ（Organic Light-Emitting Diode）とも呼ばれており、それに流れる電流に応じた輝度で発光する自発光型の表示素子である。このように有機ＥＬ素子は自発光型の表示素子であるので、有機ＥＬ表示装置は、バックライトおよびカラーフィルタなどを要する液晶表示装置に比べて、容易に薄型化・低消費電力化・高輝度化などを図ることができる。

[0003] アクティブマトリクス型の有機ＥＬ表示装置には、複数の画素回路がマトリクス状に形成されている。各画素回路には、有機ＥＬ素子への電流の供給を制御する駆動トランジスタが含まれている。その駆動トランジスタとしては、典型的には、薄膜トランジスタ（ＴＦＴ）が採用されている。しかしながら、薄膜トランジスタに関しては、劣化によって閾値電圧が変化する。有機ＥＬ表示装置の表示部には多数の駆動トランジスタが設けられており、劣化の程度は駆動トランジスタ毎に異なるので、閾値電圧にばらつきが生じる。その結果、輝度のばらつきが生じ、表示品位が低下する。また、有機ＥＬ素子に関しては、時間の経過とともに電流効率が低下する。すなわち、たとえ一定電流が有機ＥＬ素子に供給されたとしても、時間の経過とともに輝度が徐々に低下する。その結果、焼き付きが生じる。以上のようなことから、アクティブマトリクス型の有機ＥＬ表示装置では、駆動トランジスタの劣化や有機ＥＬ素子の劣化を補償する処理が従来より行われている。

[0004] 補償処理の方式の1つとして外部補償方式が知られている。外部補償方式によれば、所定条件下で駆動トランジスタあるいは有機EL素子を通る電流が画素回路の外部に設けられた回路で測定される。そして、その測定結果に基づき、入力画像信号に補正が施される。これにより、駆動トランジスタの劣化や有機EL素子の劣化が補償される。

[0005] なお、以下においては、駆動トランジスタまたは有機EL素子（表示素子）の劣化を補償するために画素回路内を通る電流を画素回路外で測定する一連の処理のことを「モニタ処理」といい、モニタ処理が行われる期間のことを「モニタ期間」という。また、1フレーム期間などの単位期間中にモニタ処理の対象となっている行のことを「モニタ行」といい、モニタ行以外の行のことを「非モニタ行」という。また、画素回路内に設けられている駆動トランジスタの特性のことを「TFT特性」といい、画素回路内に設けられている有機EL素子の特性のことを「OLED特性」という。また、データ信号線に所望の電位（電圧）を印加して画素回路内の保持容量（コンデンサ）を充電することを「書き込み」といい、 i 行目（ i は整数）に含まれる複数の画素回路に対する書き込みのことを単に「 i 行目の書き込み」という。

[0006] 外部補償方式を採用した有機EL表示装置に関する発明は、例えば国際公開2015/190407号パンフレットに開示されている。アクティブマトリクス型の有機EL表示装置は表示部に配設された複数の走査信号線を駆動するゲートドライバ（走査信号線駆動回路）を備えており、ゲートドライバは複数の走査信号線と1対1で対応する複数の段（複数の単位回路）からなるシフトレジスタによって構成されている。図31は、外部補償方式を採用する従来の有機EL表示装置における単位回路の構成を示す回路図である。図31に示す構成に関し、例えば、出力端子57から出力される出力信号Q1は他の単位回路に与えられるとともに走査信号として走査信号線に与えられ、出力端子58から出力される出力信号Q2はモニタ処理の実行の可否を制御するモニタ制御信号として表示部に配設されているモニタ制御線に与えられる。また、単位回路には出力信号Q1の制御に関わるトランジスタT

13 および出力信号Q2の制御に関わるトランジスタT16が含まれており、トランジスタT13の制御端子に接続された第1内部ノードN1とトランジスタT16の制御端子に接続された第2内部ノードN2との間にトランジスタT15が設けられている。そのトランジスタT15の制御端子には、固定電位であるハイレベル電位VDDが与えられている（図31で符号9を付した部分を参照）。これにより、トランジスタT15は、第2内部ノードN2の電位が通常のハイレベルよりも高いときを除いてオン状態で維持される。なお、以下、トランジスタT13やトランジスタT16のようにその制御端子の電位に応じて出力信号の出力を制御するトランジスタのことを「バッファトランジスタ」という。

[0007] 図32は、i行目の書き込み（画像表示用の書き込み）が行われる際のi段目の単位回路の動作について説明するための信号波形図である。期間P900にセット信号Sがハイレベルになると、コンデンサC11が充電されて第1内部ノードN1の電位が上昇する。このとき、トランジスタT15はオン状態となっているので、コンデンサC12も充電されて第2内部ノードN2の電位が上昇する。期間P901になると、第1クロックCKAがローレベルからハイレベルに変化する。これにより、コンデンサC11の存在に起因して第1内部ノードN1がブースト状態となり、出力信号Q1の電位が充分に上昇する。その結果、i行目の画素回路で画像表示用の書き込みが行われる。なお、期間P901には、イネーブル信号ENはローレベルで維持されるので、出力信号Q2はローレベルで維持される。期間P902になると、リセット信号Rがハイレベルとなる。これにより、トランジスタT12がオン状態となり、第1内部ノードN1の電位および第2内部ノードN2の電位がローレベルとなる。

[0008] 図33は、モニタ処理が行われる際のi段目の単位回路の動作について説明するための信号波形図である。なお、i行目がモニタ行であると仮定する。期間P910にセット信号Sがハイレベルになると、上記期間P900と同様に、第1内部ノードN1の電位および第2内部ノードN2の電位が上昇

する。期間P 9 1 1になると、第1クロックCK Aがローレベルからハイレベルに変化する。これにより、上記期間P 9 0 0と同様に、出力信号Q 1の電位が十分に上昇する。また、期間P 9 1 1には、イネーブル信号ENもローレベルからハイレベルに変化する。これにより、コンデンサC 1 2の存在に起因して第2内部ノードN 2がブースト状態となり、出力信号Q 2の電位が十分に上昇する。以上より、期間P 9 1 1には、i行目の画素回路についてのモニタ処理が行われる。期間P 9 1 2になると、リセット信号Rがハイレベルとなる。これにより、上記期間P 9 0 2と同様に、第1内部ノードN 1の電位および第2内部ノードN 2の電位がローレベルとなる。

[0009] 従来の有機EL表示装置では、以上のようにして画像表示用の書き込みやモニタ処理が行われ、モニタ処理の結果に基づき入力画像信号に補正を施すことによって駆動トランジスタの劣化や有機EL素子の劣化が補償されている。

先行技術文献

特許文献

[0010] 特許文献1：国際公開2015／190407号パンフレット

発明の概要

発明が解決しようとする課題

[0011] ところが、図31に示した従来の単位回路によれば、トランジスタT 1 5の制御端子には常にハイレベル電位VDDが与えられているので、例えばi行目で通常の画像表示用の書き込みが行われる際にも、i段目の単位回路内の第2内部ノードN 2の電位がハイレベルとなる（図32の期間P 9 0 0，P 9 0 1を参照）。これにより、トランジスタT 1 6の制御端子－第2導通端子（出力端子58に接続されている端子）間に正の電圧（このような正の電圧を以下「ストレス」という。）が印加される。このように、出力信号Q 2をハイレベルにする必要がない期間にもトランジスタT 1 6にストレスが印加される。トランジスタにストレスが印加されると、当該トランジスタは

劣化する。従って、従来例においては、ストレスの印加を考慮してトランジスタ T16 のサイズを大きくする必要があり、それに応じて額縁サイズが大きくなっていた。しかしながら、有機 EL 表示装置などの表示装置に関しては、小型化への要求が高まっている。

[0012] そこで、以下の開示は、外部補償機能を有する表示装置に関し、従来よりも額縁サイズを小さくすることを目的とする。

課題を解決するための手段

[0013] 本開示のいくつかの実施形態に係る表示装置は、電流によって駆動される表示素子と前記表示素子の駆動電流を制御する駆動トランジスタとを含む画素回路を有し、前記駆動トランジスタまたは前記表示素子の劣化を補償するために前記画素回路内を流れる電流を前記画素回路外で測定する一連の処理であるモニタ処理を実行する機能を有する表示装置であって、

$n \times m$ 個（ n および m は 2 以上の整数）の前記画素回路からなる n 行 $\times$ m 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査信号線と、前記画素マトリクスの各列に対応するように設けられたデータ信号線とを有する表示部と、

前記データ信号線にデータ信号を印加するデータ信号線駆動回路と、

前記走査信号線に走査信号を印加する走査信号線駆動回路と、

第 1 制御信号線と

を備え、

前記走査信号線駆動回路は、それぞれが対応する走査信号線に接続された複数の単位回路からなるシフトレジスタによって構成され、

各単位回路は、

第 1 内部ノードと、他の単位回路に接続された第 1 出力端子と、前記第 1 内部ノードに接続された制御端子と第 1 導通端子と前記第 1 出力端子に接続された第 2 導通端子とを有する第 1 出力制御トランジスタとを含む第 1 出力制御回路と、

第 2 内部ノードと、前記モニタ処理が行われるモニタ期間のうちの少な

くとも一部の期間にオンレベルの信号を出力する第2出力端子と、前記第2内部ノードに接続された制御端子と第1導通端子と前記第2出力端子に接続された第2導通端子とを有する第2出力制御トランジスタとを含む第2出力制御回路と、

前記第1制御信号線に接続された制御端子と、前記第1内部ノードに接続された第1導通端子と、前記第2内部ノードに接続された第2導通端子とを有する第1出力回路制御トランジスタとを含み、

前記第1制御信号線に印加される電位は、前記第1出力回路制御トランジスタをオン状態にする第1電位と前記第1出力回路制御トランジスタをオフ状態にする第2電位との間で切り替えられ、

前記モニタ期間を通じて、前記第1制御信号線に前記第1電位が印加される。

[0014] 本開示のいくつかの実施形態に係る（表示装置の）駆動方法は、電流によって駆動される表示素子と前記表示素子の駆動電流を制御する駆動トランジスタとを含む画素回路を有する表示装置の駆動方法であって、

前記表示装置は、

$n \times m$ 個（ n および m は2以上の整数）の前記画素回路からなる n 行 $\times$ m 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査信号線と、前記画素マトリクスの各列に対応するように設けられたデータ信号線とを有する表示部と、

前記データ信号線にデータ信号を印加するデータ信号線駆動回路と、

前記走査信号線に走査信号を印加する走査信号線駆動回路と、

第1制御信号線と

を備え、

前記駆動方法は、

前記データ信号線駆動回路によって前記データ信号線に印加される画像表示用のデータ信号を各画素回路に書き込むために前記走査信号線の走査を

行う走査ステップと、

前記駆動トランジスタまたは前記表示素子の劣化を補償するために、前記画素回路内を流れる電流を前記画素回路外で測定する一連の処理であるモニタ処理を実行するモニタステップと

を含み、

前記走査信号線駆動回路は、それぞれが対応する走査信号線に接続された複数の単位回路からなるシフトレジスタによって構成され、

各単位回路は、

第1内部ノードと、他の単位回路に接続された第1出力端子と、前記第1内部ノードに接続された制御端子と第1導通端子と前記第1出力端子に接続された第2導通端子とを有する第1出力制御トランジスタとを含む第1出力制御回路と、

第2内部ノードと、前記モニタ処理が行われるモニタ期間のうちの少なくとも一部の期間にオンレベルの信号を出力する第2出力端子と、前記第2内部ノードに接続された制御端子と第1導通端子と前記第2出力端子に接続された第2導通端子とを有する第2出力制御トランジスタとを含む第2出力制御回路と、

前記第1制御信号線に接続された制御端子と、前記第1内部ノードに接続された第1導通端子と、前記第2内部ノードに接続された第2導通端子とを有する第1出力回路制御トランジスタとを含み、

前記第1制御信号線に印加される電位は、前記第1出力回路制御トランジスタをオン状態にする第1電位と前記第1出力回路制御トランジスタをオフ状態にする第2電位との間で切り替えられ、

前記モニタステップでは、前記第1制御信号線に前記第1電位が印加される。

発明の効果

[0015] 本開示のいくつかの実施形態によれば、外部補償機能を有する表示装置の

走査信号線駆動回路を構成する単位回路は、第1内部ノードに接続された制御端子を有する第1出力制御トランジスタと、モニタ期間のうちの少なくとも一部の期間にオンレベルの信号を出力する第2出力端子に接続された第2導通端子と第2内部ノードに接続された制御端子とを有する第2出力制御トランジスタと、第1内部ノードと第2内部ノードとの間に設けられた第1出力回路制御トランジスタを含む。ここで、第1出力回路制御トランジスタの制御端子には、当該第1出力回路制御トランジスタをオン状態にする第1電位とオフ状態にする第2電位とが与えられる。すなわち、第1出力回路制御トランジスタは常にオン状態で維持されるわけではない。従って、バッファトランジスタとして機能する第2出力制御トランジスタへのストレス印加が抑制される。このため、第2出力制御トランジスタのサイズを小さくすることができる。以上より、外部補償機能を有する表示装置に関し、従来よりも額縁サイズを小さくすることができる。

図面の簡単な説明

[0016] [図1]第1の実施形態において、ゲートドライバ内の単位回路の構成を示す回路図である。

[図2]上記第1の実施形態において、有機EL表示装置の全体構成を示すブロック図である。

[図3]上記第1の実施形態において、ソースドライバの機能について説明するための図である。

[図4]上記第1の実施形態において、画素回路およびソースドライバの一部を示す回路図である。

[図5]上記第1の実施形態において、ゲートドライバを構成するシフトレジスタの5段分の構成を示すブロック図である。

[図6]上記第1の実施形態において、動作モードがモニタモードに設定されているときの概略動作について説明するための図である。

[図7]上記第1の実施形態において、動作モードが非モニタモードに設定されているときの概略動作について説明するための図である。

[図8]上記第1の実施形態において、動作モードが非モニタモードに設定されているときの単位回路の動作について説明するための信号波形図である。

[図9]上記第1の実施形態において、動作モードがモニタモードに設定されているときの連続する3フレーム期間の信号波形図である。

[図10]上記第1の実施形態において、動作モードがモニタモードに設定されているときの単位回路の動作について説明するための信号波形図である。

[図11]上記第1の実施形態において、モニタ処理が行われる際の画素回路および電流モニタ部の動作について説明するための信号波形図である。

[図12]上記第1の実施形態の変形例における画素回路の構成を示す回路図である。

[図13]第2の実施形態に係る有機EL表示装置の全体構成を示すブロック図である。

[図14]上記第2の実施形態において、画素回路およびソースドライバの一部を示す回路図である。

[図15]上記第2の実施形態の変形例における画素回路の構成を示す回路図である。

[図16]上記第2の実施形態において、ゲートドライバを構成するシフトレジスタの5段分の構成を示すブロック図である。

[図17]上記第2の実施形態において、動作モードが第1モードに設定されているときの概略動作について説明するための図である。

[図18]上記第2の実施形態において、動作モードが第2モードに設定されているときの概略動作について説明するための図である。

[図19]上記第2の実施形態において、動作モードが第3モードに設定されているときの概略動作について説明するための図である。

[図20]上記第2の実施形態において、動作モードが第1モードに設定されているときの単位回路の動作について説明するための信号波形図である。

[図21]上記第2の実施形態において、動作モードが第2モードに設定されているケースで休止期間中にシフトパルスが与えられたときの単位回路の動作

について説明するための信号波形図である。

[図22]上記第2の実施形態において、動作モードが第2モードに設定されているケースでシフトパルスが与えられていないときの単位回路の動作について説明するための信号波形図である。

[図23]上記第2の実施形態において、動作モードが第3モードに設定されているときの休止期間のうちのモニタ期間の単位回路の動作について説明するための信号波形図である。

[図24]上記第2の実施形態において、モニタ処理が行われる際の画素回路および電流モニタ部の動作について説明するための信号波形図である。

[図25]第3の実施形態において、ゲートドライバを構成するシフトレジスタの5段分の構成を示すブロック図である。

[図26]上記第3の実施形態において、ゲートドライバ内の単位回路の構成を示す回路図である。

[図27]上記第3の実施形態において、モニタ処理の方式に第1方式が採用されていて動作モードが非モニタモードに設定されているときの単位回路の動作について説明するための信号波形図である。

[図28]上記第3の実施形態において、モニタ処理の方式に第1方式が採用されていて動作モードがモニタモードに設定されているときの単位回路の動作について説明するための信号波形図である。

[図29]上記第3の実施形態において、モニタ処理の方式に第2方式が採用されていて動作モードが第2モードに設定されているケースで休止期間中にシフトパルスが与えられたときの単位回路の動作について説明するための信号波形図である。

[図30]上記第3の実施形態において、モニタ処理の方式に第2方式が採用されていて動作モードが第3モードに設定されているときの休止期間のうちのモニタ期間の単位回路の動作について説明するための信号波形図である。

[図31]従来例におけるゲートドライバ内の単位回路の構成を示す回路図である。

[図32]従来例において、画像表示用の書き込みが行われる際の単位回路の動作について説明するための信号波形図である。

[図33]従来例において、モニタ処理が行われる際の単位回路の動作について説明するための信号波形図である。

発明を実施するための形態

[0017] 以下、添付図面を参照しつつ、実施形態について説明する。なお、以下において、 m および n は2以上の整数、 i は3以上($n-2$)以下の奇数、 j は1以上 m 以下の整数であると仮定する。

[0018] <1. 第1の実施形態>

<1. 1 全体構成>

図2は、第1の実施形態に係るアクティブマトリクス型の有機EL表示装置の全体構成を示すブロック図である。この有機EL表示装置は、表示制御回路10とゲートドライバ(走査信号線駆動回路)20とソースドライバ(データ信号線駆動回路)30と表示部40とを備えている。表示制御回路10には、駆動トランジスタおよび有機EL素子の劣化を補償する補償処理部12が含まれている。すなわち、本実施形態に係る有機EL表示装置は外部補償機能を有している。ゲートドライバ20と表示部40とは、表示部40を構成する基板上に一体的に形成されている。すなわち、ゲートドライバ20はモノリシック化されている。

[0019] 表示部40には、 m 本のデータ信号線 $SL(1) \sim SL(m)$ およびこれらに直交する n 本の走査信号線 $GL(1) \sim GL(n)$ が配設されている。また、表示部40には、 n 本の走査信号線 $GL(1) \sim GL(n)$ と1対1で対応するように、 n 本のモニタ制御線 $ML(1) \sim ML(n)$ が配設されている。走査信号線 $GL(1) \sim GL(n)$ とモニタ制御線 $ML(1) \sim ML(n)$ とは典型的には互いに平行になっている。さらにまた、表示部40には、データ信号線 $SL(1) \sim SL(m)$ と走査信号線 $GL(1) \sim GL(n)$ との交差部に対応して、 $(n \times m)$ 個の画素回路410が設けられている。これにより、 n 行 $\times m$ 列の画素マトリクスが表示部40に形成されて

いる。表示部40には、また、各画素回路410に共通の図示しない電源線が配設されている。より詳細には、有機EL素子を駆動するためのハイレベル電源電圧 $ELVDD$ を供給する電源線（以下、「ハイレベル電源線」という。）および有機EL素子を駆動するためのローレベル電源電圧 $ELVSS$ を供給する電源線（以下、「ローレベル電源線」という。）が配設されている。ハイレベル電源電圧 $ELVDD$ およびローレベル電源電圧 $ELVSS$ は、図示しない電源回路から供給される。

[0020] なお、以下においては、必要に応じて、走査信号線 $GL(1) \sim GL(n)$ にそれぞれ与えられる走査信号にも符号 $GL(1) \sim GL(n)$ を付し、モニタ制御線 $ML(1) \sim ML(n)$ にそれぞれ与えられるモニタ制御信号にも符号 $ML(1) \sim ML(n)$ を付し、データ信号線 $SL(1) \sim SL(m)$ にそれぞれ与えられるデータ信号にも符号 $SL(1) \sim SL(m)$ を付している。

[0021] 表示制御回路10は、外部から送られる入力画像信号 DIN とタイミング信号群（水平同期信号、垂直同期信号など） TG とを受け取り、デジタル映像信号 VD と、ソースドライバ30の動作を制御するソース制御信号 $SCTL$ と、ゲートドライバ20の動作を制御するゲート制御信号 $GCTL$ とを出力する。ソース制御信号 $SCTL$ には、ソーススタートパルス信号、ソースクロック信号、ラッチストロブ信号などが含まれている。ゲート制御信号 $GCTL$ には、ゲートスタートパルス信号、ゲートクロック信号、イネーブ信号などが含まれている。なお、画像表示用のデジタル映像信号 VD は、補償処理部12がソースドライバ30から与えられるモニタデータ（ TFT 特性や $OLED$ 特性を求めるために測定されたデータ） MO に応じて入力画像信号 DIN に補償演算処理を施すことによって生成される。

[0022] ゲートドライバ20は、走査信号線 $GL(1) \sim GL(n)$ およびモニタ制御線 $ML(1) \sim ML(n)$ に接続されている。後述するように、ゲートドライバ20は、複数の単位回路からなるシフトレジスタによって構成されている。ゲートドライバ20は、表示制御回路10から出力されたゲート制

御信号GCTLに基づいて、走査信号線GL(1)～GL(n)に走査信号を印加し、モニタ制御線ML(1)～ML(n)にモニタ制御信号を印加する。

[0023] ソースドライバ30は、データ信号線SL(1)～SL(m)に接続されている。ソースドライバ30は、データ信号線SL(1)～SL(m)を駆動する動作と、データ信号線SL(1)～SL(m)を流れる電流を測定する動作とを選択的に行う。すなわち、図3に示すように、ソースドライバ30には、機能的には、データ信号線SL(1)～SL(m)を駆動するデータ信号線駆動部310として機能する部分と、画素回路410からデータ信号線SL(1)～SL(m)に出力された電流を測定する電流モニタ部320として機能する部分とが含まれている。電流モニタ部320は、データ信号線SL(1)～SL(m)を流れる電流を測定し、測定値に基づくモニタデータMOを出力する。以上のように、本実施形態においては、データ信号線SL(1)～SL(m)は、画像表示用のデータ信号の伝達に用いられるだけでなく、モニタ処理の際に駆動トランジスタまたは有機EL素子の特性に応じた電流を流すための信号線としても用いられる。なお、ソースドライバ30からの出力（すなわちデータ信号）を複数のデータ信号線SLで共有する「DEMUX」と呼ばれる駆動方式を採用することもできる。

[0024] 以上のように、走査信号線GL(1)～GL(n)に走査信号が印加され、モニタ制御線ML(1)～ML(n)にモニタ制御信号が印加され、データ信号線SL(1)～SL(m)に輝度信号としてのデータ信号が印加されることによって、入力画像信号DINに基づく画像が表示部40に表示される。また、モニタ処理が実行され、モニタデータMOに応じて入力画像信号DINに補償演算処理が施されるので、駆動トランジスタや有機EL素子の劣化が補償される。

[0025] <1. 2 画素回路およびソースドライバ>

次に、画素回路410およびソースドライバ30について詳しく説明する。ソースドライバ30は、データ信号線駆動部310として機能するときに

は次のような動作を行う。ソースドライバ30は、表示制御回路10から出力されたソース制御信号SCTLを受け取り、m本のデータ信号線SL(1)～SL(m)にそれぞれ目標輝度に応じた電圧をデータ信号として印加する。このとき、ソースドライバ30では、ソーススタートパルス信号のパルスをトリガーとして、ソースクロック信号のパルスが発生するタイミングで、各データ信号線SLに印加すべき電圧を示すデジタル映像信号VDが順次に保持される。そして、ラッチストロブ信号のパルスが発生するタイミングで、上記保持されたデジタル映像信号VDがアナログ電圧に変換される。その変換されたアナログ電圧は、データ信号として全てのデータ信号線SL(1)～SL(m)に一斉に印加される。ソースドライバ30は、電流モニタ部320として機能するときには、モニタ処理用の適宜の電圧をデータ信号としてデータ信号線SL(1)～SL(m)に印加し、それによってデータ信号線SL(1)～SL(m)を流れる電流をそれぞれ電圧に変換する。その変換後のデータは、モニタデータMOとしてソースドライバ30から出力される。

[0026] 図4は、画素回路410およびソースドライバ30の一部を示す回路図である。なお、図4には、第i行第j列の画素回路410と、ソースドライバ30のうちのj列目のデータ信号線SL(j)に対応する部分とが示されている。この画素回路410は、1個の有機EL素子L1と、3個のトランジスタT1～T3（コンデンサC1への書き込みを制御する書き込み制御トランジスタT1、有機EL素子L1への電流の供給を制御する駆動トランジスタT2、およびTFT特性あるいはOLED特性を検出するか否かを制御するモニタ制御トランジスタT3）と、1個のコンデンサ（容量素子）C1とを備えている。本実施形態においては、トランジスタT1～T3は、nチャネル型の薄膜トランジスタである。なお、トランジスタT1～T3としては、酸化物TFT（酸化物半導体をチャネル層に用いた薄膜トランジスタ）やアモルファスシリコンTFTなどを採用することができる。酸化物TFTとしては、例えば、InGaZnO（酸化インジウムガリウム亜鉛）を含むT

F Tが挙げられる。酸化物T F Tを採用することによって、例えば、高精細化や低消費電力化を図ることが可能となる。

[0027] 書き込み制御トランジスタT 1については、制御端子は走査信号線G L (i) に接続され、第1導通端子はデータ信号線S L (j) に接続され、第2導通端子は駆動トランジスタT 2の制御端子とコンデンサC 1の一端とに接続されている。駆動トランジスタT 2については、制御端子は書き込み制御トランジスタT 1の第2導通端子とコンデンサC 1の一端とに接続され、第1導通端子はコンデンサC 1の他端とハイレベル電源線とに接続され、第2導通端子はモニタ制御トランジスタT 3の第1導通端子と有機E L素子L 1のアノード端子とに接続されている。モニタ制御トランジスタT 3については、制御端子はモニタ制御線M L (i) に接続され、第1導通端子は駆動トランジスタT 2の第2導通端子と有機E L素子L 1のアノード端子とに接続され、第2導通端子はデータ信号線S L (j) に接続されている。コンデンサC 1については、一端は書き込み制御トランジスタT 1の第2導通端子と駆動トランジスタT 2の制御端子とに接続され、他端は駆動トランジスタT 2の第1導通端子とハイレベル電源線とに接続されている。有機E L素子L 1については、アノード端子は駆動トランジスタT 2の第2導通端子とモニタ制御トランジスタT 3の第1導通端子とに接続され、カソード端子はローレベル電源線に接続されている。本実施形態においては、有機E L素子L 1が表示素子に相当し、有機E L素子L 1のアノード端子が第1端子に相当し、有機E L素子L 1のカソード端子が第2端子に相当する。

[0028] 次に、ソースドライバ30のうち電流モニタ部320として機能する部分について説明する。図4に示すように、電流モニタ部320は、D/Aコンバータ306とA/Dコンバータ327とオペアンプ301とコンデンサ322と3つのスイッチ（スイッチ323, 324, および325）とによって構成される。なお、オペアンプ301およびD/Aコンバータ306は、データ信号線駆動部310の構成要素としても機能する。電流モニタ部320には、ソース制御信号S C T Lとして、3つのスイッチの状態を制御する

制御信号 S_0 , S_1 , および S_2 が与えられる。電流モニタ部 320 の内部データ線 $S_{in}(j)$ は、スイッチ 324 を介して、データ信号線 $S_L(j)$ に接続されている。オペアンプ 301 については、反転入力端子は内部データ線 $S_{in}(j)$ に接続され、非反転入力端子には D/A コンバータ 306 からの出力が与えられる。コンデンサ 322 およびスイッチ 323 は、オペアンプ 301 の出力端子と内部データ線 $S_{in}(j)$ との間に設けられている。スイッチ 323 には、制御信号 S_2 が与えられる。オペアンプ 301 とコンデンサ 322 とスイッチ 323 とによって、積分回路が構成されている。ここで、この積分回路の動作について説明する。スイッチ 323 がオン状態になっている時には、オペアンプ 301 の出力端子ー反転入力端子間（すなわち、コンデンサ 322 の 2 つの電極間）が短絡状態となっている。このとき、コンデンサ 322 に電荷は蓄積されず、オペアンプ 301 の出力端子および内部データ線 $S_{in}(j)$ の電位が D/A コンバータ 306 からの出力電位と等しくなっている。スイッチ 323 がオン状態からオフ状態に切り替えられると、内部データ線 $S_{in}(j)$ を流れる電流に基づいてコンデンサ 322 への充電が行われる。すなわち、内部データ線 $S_{in}(j)$ を流れている電流の時間積分値がコンデンサ 322 に蓄積される。これにより、内部データ線 $S_{in}(j)$ を流れる電流の大きさに応じてオペアンプ 301 の出力端子の電位が変化する。そのオペアンプ 301 からの出力は A/D コンバータ 327 によってデジタル信号に変換され、当該デジタル信号はモニタデータ MO として表示制御回路 10 に送られる。

- [0029] スwitch 324 は、データ信号線 $S_L(j)$ と内部データ線 $S_{in}(j)$ との間に設けられている。スイッチ 324 には、制御信号 S_1 が与えられる。この制御信号 S_1 に基づいてスイッチ 324 の状態が切り替えられることによって、データ信号線 $S_L(j)$ と内部データ線 $S_{in}(j)$ との電気的な接続状態が制御される。本実施形態においては、制御信号 S_1 がハイレベルであれば、データ信号線 $S_L(j)$ と内部データ線 $S_{in}(j)$ とが電氣的に接続された状態となり、制御信号 S_1 がローレベルであれば、データ信

号線 $SL(j)$ と内部データ線 $Sin(j)$ とが電氣的に切り離された状態となる。

[0030] スイッチ 325 は、データ信号線 $SL(j)$ と制御線 CL との間に設けられている。スイッチ 325 には、制御信号 $S0$ が与えられる。この制御信号 $S0$ に基づいてスイッチ 325 の状態が切り替えられることによって、データ信号線 $SL(j)$ と制御線 CL との電氣的な接続状態が制御される。本実施形態においては、制御信号 $S0$ がハイレベルであれば、データ信号線 $SL(j)$ と制御線 CL とが電氣的に接続された状態となり、制御信号 $S0$ がローレベルであれば、データ信号線 $SL(j)$ と制御線 CL とが電氣的に切り離された状態となる。データ信号線 $SL(j)$ と制御線 CL とが電氣的に接続されると、データ信号線 $SL(j)$ の状態はハイ・インピーダンスとなる。

[0031] 上述したように、スイッチ 324 がオフ状態になると、データ信号線 $SL(j)$ と内部データ線 $Sin(j)$ とは電氣的に切り離された状態となる。このとき、スイッチ 323 がオフ状態になっていれば、内部データ線 $Sin(j)$ の電位は維持される。本実施形態においては、このようにして内部データ線 $Sin(j)$ の電位が維持されている状態で、A/D コンバータ 327 での AD 変換が行われる。

[0032] <1. 3 ゲートドライバ>

本実施形態におけるゲートドライバ 20 の詳細な構成について説明する。ゲートドライバ 20 は、複数段（複数の単位回路：少なくとも n 個の単位回路）からなるシフトレジスタによって構成されている。表示部 40 には n 行 $\times m$ 列の画素マトリクスが形成されているところ、それら画素マトリクスの各行と 1 対 1 で対応するようにシフトレジスタの各段（各単位回路）が設けられている。

[0033] 図 5 は、シフトレジスタの 5 段分の構成を示すブロック図である。ここでは、 i を 3 以上 ($n-2$) 以下の奇数と仮定して、 $(i-2)$ 段目、 $(i-1)$ 段目、 i 段目、 $(i+1)$ 段目、および $(i+2)$ 段目の単位回路 22

($i - 2$)、 $22(i - 1)$ 、 $22(i)$ 、 $22(i + 1)$ 、および $22(i + 2)$ に着目している。このシフトレジスタには、ゲート制御信号GCTLとして、ゲートスタートパルス信号、クロック信号CK1、クロック信号CK2、イネーブル信号EN1、イネーブル信号EN2、および制御信号MONが与えられる。なお、ゲートスタートパルス信号は、セット信号Sとして1段目の単位回路22(1)に与えられる信号であり、図5では省略している。

[0034] 各単位回路22は、第1クロックCKA、第2クロックCKB、イネーブル信号EN、制御信号MON、セット信号S、およびリセット信号Rをそれぞれ受け取るための入力端子と、出力信号Q1および出力信号Q2をそれぞれ出力するための出力端子とを含んでいる。

[0035] 奇数段目の単位回路22については、クロック信号CK1が第1クロックCKAとして与えられ、クロック信号CK2が第2クロックCKBとして与えられ、イネーブル信号EN1がイネーブル信号ENとして与えられる。偶数段目の単位回路22については、クロック信号CK2が第1クロックCKAとして与えられ、クロック信号CK1が第2クロックCKBとして与えられ、イネーブル信号EN2がイネーブル信号ENとして与えられる。制御信号MONについては、全ての単位回路22に共通的に与えられる。また、各段の単位回路22には、前段の単位回路22からの出力信号Q1がセット信号Sとして与えられ、次段の単位回路22からの出力信号Q1がリセット信号Rとして与えられる。各段の単位回路22からの出力信号Q1は、前段の単位回路22にリセット信号Rとして与えられ、次段の単位回路22にセット信号Sとして与えられ、対応する走査信号線GLに走査信号として与えられる。各段の単位回路22からの出力信号Q2は、対応するモニタ制御線MLにモニタ制御信号として与えられる。なお、図4に示したように、走査信号線GLは画素回路410内の書き込み制御トランジスタT1の制御端子に接続され、モニタ制御線MLは画素回路410内のモニタ制御トランジスタT3の制御端子に接続されている。

[0036] 図1は、本実施形態における単位回路22の構成を示す回路図である。図1に示すように、単位回路22は、7個のトランジスタT11～T17と2個のコンデンサC11、C12とを備えている。また、単位回路22は、制御信号MONを伝達する制御信号線に接続された入力端子およびローレベル電位VSSが与えられている電源線（以下、「基準電位線」という）に接続された入力端子のほか、5個の入力端子51～55および2個の出力端子57、58を有している。図1では、セット信号Sを受け取るための入力端子に符号51を付し、リセット信号Rを受け取るための入力端子に符号52を付し、第1クロックCKAを受け取るための入力端子に符号53を付し、第2クロックCKBを受け取るための入力端子に符号54を付し、イネーブル信号ENを受け取るための入力端子に符号55を付し、出力信号Q1を出力するための出力端子に符号57を付し、出力信号Q2を出力するための出力端子に符号58を付している。なお、後述するように、出力端子58からは、モニタ処理が行われるモニタ期間のうちの一部の期間（図10の期間P11、P13）にハイレベル（オンレベル）の出力信号Q2が出力される。

[0037] トランジスタT11の第2導通端子、トランジスタT12の第1導通端子、トランジスタT13の制御端子、トランジスタT15の第1導通端子、およびコンデンサC11の一端は互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを「第1内部ノード」という。第1内部ノードには符号N1を付す。トランジスタT15の第2導通端子、トランジスタT16の制御端子、およびコンデンサC12の一端は互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを「第2内部ノード」という。第2内部ノードには符号N2を付す。

[0038] ところで、単位回路22には、出力信号Q1の出力を制御する第1出力制御回路221と、出力信号Q2の出力を制御する第2出力制御回路222とが含まれている。第1出力制御回路221は、第1内部ノードN1とトランジスタT13とトランジスタT14と入力端子53と入力端子54と出力端子57とを含んでいる。第2出力制御回路222は、第2内部ノードN2と

トランジスタT16とトランジスタT17と入力端子55と出力端子58とを含んでいる。

[0039] トランジスタT11については、制御端子および第1導通端子は入力端子51に接続され（すなわち、ダイオード接続となっている）、第2導通端子は第1内部ノードN1に接続されている。トランジスタT12については、制御端子は入力端子52に接続され、第1導通端子は第1内部ノードN1に接続され、第2導通端子は基準電位線に接続されている。トランジスタT13については、制御端子は第1内部ノードN1に接続され、第1導通端子は入力端子53に接続され、第2導通端子は出力端子57に接続されている。トランジスタT14については、制御端子は入力端子54に接続され、第1導通端子は出力端子57に接続され、第2導通端子は基準電位線に接続されている。トランジスタT15については、制御端子は制御信号線に接続され、第1導通端子は第1内部ノードN1に接続され、第2導通端子は第2内部ノードN2に接続されている。トランジスタT16については、制御端子は第2内部ノードN2に接続され、第1導通端子は入力端子55に接続され、第2導通端子は出力端子58に接続されている。トランジスタT17については、制御端子は入力端子54に接続され、第1導通端子は出力端子58に接続され、第2導通端子は基準電位線に接続されている。コンデンサC11については、一端は第1内部ノードN1に接続され、他端は出力端子57に接続されている。コンデンサC12については、一端は第2内部ノードN2に接続され、他端は出力端子58に接続されている。

[0040] ここで、トランジスタT15に着目する。制御信号線に与えられている制御信号MONがハイレベルになっている期間には、トランジスタT15は、第2内部ノードN2の電位が通常のハイレベルよりも高いときを除いてオン状態で維持される。トランジスタT15は、第2内部ノードN2の電位が所定以上になるとオフ状態となり、第1内部ノードN1と第2内部ノードN2とを電氣的に切り離す。これにより、トランジスタT15は、第2内部ノードN2がブースト状態になったときの当該第2内部ノードN2の電位の上昇

を補助する。

[0041] 本実施形態においては、トランジスタT13によって第1出力制御トランジスタが実現され、トランジスタT15によって第1出力回路制御トランジスタが実現され、トランジスタT16によって第2出力制御トランジスタが実現され、出力端子57によって第1出力端子が実現され、出力端子58によって第2出力端子が実現され、制御信号MONを伝達する制御信号線によって第1制御信号線が実現されている。

[0042] <1.4 駆動方法>

本実施形態における駆動方法について説明する。なお、ここでは、画像表示のために走査信号線GL(1)の走査が開始されてから当該走査信号線GL(1)の走査が次に開始されるまでの期間のことを「フレーム期間」という。

[0043] <1.4.1 概要>

本実施形態においては、モニタ処理に関する動作モードとして、モニタモードと非モニタモードとが用意されている。動作モードがモニタモードに設定されているときには、有機EL表示装置の動作中、随時、モニタ処理が行われる。詳しくは、各フレーム期間に少なくとも1つの行についてのモニタ処理が行われる。そのモニタ処理は、通常の表示期間中に行われる。このように通常の表示期間中に行われるモニタ処理のことを「リアルタイムモニタ」という。動作モードが非モニタモードに設定されているときには、有機EL表示装置の動作中、モニタ処理は行われない。換言すれば、有機EL表示装置が動作している期間を通じて、全ての行で入力画像信号DINに基づく表示が行われている。

[0044] 図6および図7を参照しつつ、各モードの動作について説明する。なお、図6および図7では、画像表示用の書き込みのために1行目の走査信号線GL(1)からn行目の走査信号線GL(n)までを順次に走査する様子を斜めの太線で模式的に示している(図17~図19も同様)。

[0045] 動作モードがモニタモードに設定されているときには、図6に示すように

、各フレーム期間にモニタ期間が含まれる。各フレーム期間に関し、モニタ期間以外の期間は走査期間となっている。走査期間は、画像表示のために走査信号線GLの走査が行われている期間である。このように、本実施形態においては、上述したリアルタイムモニタが行われる。制御信号MONについては、走査期間中にはローレベルで維持され、モニタ期間にのみハイレベルとなる（但し、厳密には、制御信号MONはモニタ期間開始時点の少し前からモニタ期間終了時点の少し後までの期間にハイレベルとなる）。これにより、単位回路22内のトランジスタT15（図1参照）は、走査期間にはオフ状態で維持され、モニタ期間には一部の期間（第2内部ノードN2の電位が通常のハイレベルよりも高くなっている期間）を除いてオン状態で維持される。なお、ハイレベルの制御信号MONの電位が第1電位に相当し、ローレベルの制御信号MONの電位が第2電位に相当する。

[0046] 動作モードが非モニタモードに設定されているときには、動作モードがモニタモードに設定されているときとは異なり、図7に示すように各フレーム期間には走査期間のみが含まれる。すなわち、モニタ処理が行われることなく、書き込みのための動作が連続して行われる。制御信号MONについては、ローレベルで維持される。従って、動作モードが非モニタモードに設定されている期間を通じて、単位回路22内のトランジスタT15はオフ状態で維持される。

[0047] 動作モードがモニタモードに設定されているときには、動作モードが非モニタモードに設定されているときよりも、垂直期間（1行目の走査信号線GL（1）の走査開始時点からn行目の走査信号線GL（n）の走査終了時点までの期間）が長くなる。換言すれば、モニタ処理を含む画像表示の垂直期間は、モニタ処理を含まない画像表示の垂直期間よりも長い。

[0048] なお、本実施形態においては、走査期間の動作によって走査ステップが実現され、モニタ期間の動作によってモニタステップが実現される。

[0049] <1. 4. 2 動作モードが非モニタモードに設定されているときの動作>
図8を参照しつつ、動作モードが非モニタモードに設定されているときの

i 段目の単位回路 22 (i) の動作について説明する。但し、i 行目の書き込みが行われる際の動作に着目する。期間 P00 の開始時点直前には、第 1 内部ノード N1 の電位および第 2 内部ノード N2 の電位はローレベルとなっている。

[0050] 期間 P00 になると、セット信号 S がローレベルからハイレベルに変化する。図 1 に示すようにトランジスタ T11 はダイオード接続となっているので、このセット信号 S のパルスによってトランジスタ T11 がオン状態となり、コンデンサ C11 が充電される。これにより、第 1 内部ノード N1 の電位は上昇し、トランジスタ T13 がオン状態となる。しかしながら、期間 P00 には、第 1 クロック CKA はローレベルで維持されるので、出力信号 Q1 はローレベルで維持される。また、期間 P00 には、制御信号 MON はローレベルで維持されるので、トランジスタ T15 はオフ状態で維持される。このため、第 2 内部ノード N2 の電位は上昇しない。

[0051] 期間 P01 になると、第 1 クロック CKA がローレベルからハイレベルに変化する。このとき、トランジスタ T13 はオン状態となっているので、入力端子 53 の電位の上昇とともに出力端子 57 の電位（出力信号 Q1 の電位）が上昇する。ここで、図 1 に示すように第 1 内部ノード N1 - 出力端子 57 間にはコンデンサ C11 が設けられているので、出力端子 57 の電位の上昇とともに第 1 内部ノード N1 の電位も上昇する（第 1 内部ノード N1 がブースト状態となる）。その結果、トランジスタ T13 の制御端子には大きな電圧が印加され、出力端子 57 の接続先の書き込み制御トランジスタ T1 がオン状態となるのに十分なレベルにまで出力信号 Q1 の電位が上昇する。これにより、i 行目の画素回路 410 で書き込みが行われる。

[0052] 期間 P01 の終了時点には、第 1 クロック CKA がハイレベルからローレベルに変化する。これにより、入力端子 53 の電位の低下とともに出力端子 57 の電位（出力信号 Q1 の電位）が低下する。出力端子 57 の電位が低下すると、コンデンサ C11 を介して、第 1 内部ノード N1 の電位も低下する。

[0053] 期間P 0 2になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、トランジスタT 1 2がオン状態となる。その結果、第1内部ノードN 1の電位はローレベルとなる。

[0054] <1. 4. 3 動作モードがモニタモードに設定されているときの動作>

図9は、動作モードがモニタモードに設定されているときの連続する3フレーム期間F R 1～F R 3の信号波形図である。フレーム期間F R 1にはi行目についてのモニタ処理が行われ、フレーム期間F R 2には(i+1)行目についてのモニタ処理が行われ、フレーム期間F R 3には(i+2)行目についてのモニタ処理が行われる。このように、本実施形態においては、各フレーム期間に1行分についてのモニタ処理が行われる。但し、各フレーム期間に複数行分についてのモニタ処理が行われても良い。図9から把握されるように、各フレーム期間に、非モニタ行に対応する走査信号G Lについては1回だけハイレベルとなるが、モニタ行に対応する走査信号G Lについては2回ハイレベルとなる。このように、各フレーム期間に、モニタ行に対応する走査信号線G Lには走査パルスが2回与えられる。1回目の走査パルスの立ち上がり時点から2回目の走査パルスの立ち下がり時点までの期間がモニタ期間である。モニタ期間には、制御信号M O Nはハイレベルで維持される。各フレーム期間において、非モニタ行に対応するモニタ制御信号M Lはローレベルで維持されるが、モニタ行に対応するモニタ制御信号M Lについてはモニタ期間中に2回ハイレベルとなる。

[0055] 図10を参照しつつ、動作モードがモニタモードに設定されているときのi段目の単位回路22(i)の動作について説明する。但し、i行目がモニタ行であると仮定し、i行目についてのモニタ処理が行われる際の動作に着目する。期間P 1 0の開始時点直前には、第1内部ノードN 1の電位および第2内部ノードN 2の電位はローレベルとなっており、制御信号M O Nはローレベルとなっている。

[0056] 期間P 1 0になると、制御信号M O Nがローレベルからハイレベルに変化する。これにより、トランジスタT 1 5がオン状態となる。また、期間P 1

0になると、セット信号Sがローレベルからハイレベルに変化する。このセット信号SのパルスによってトランジスタT11がオン状態となり、コンデンサC11が充電される。このとき、トランジスタT15がオン状態となっているので、コンデンサC12も充電される。以上より、第1内部ノードN1の電位が上昇してトランジスタT13がオン状態になるとともに第2内部ノードN2の電位が上昇してトランジスタT16がオン状態になる。しかしながら、期間P10には、第1クロックCKAおよびイネーブル信号ENはローレベルで維持されるので、出力信号Q1、Q2はローレベルで維持される。

[0057] 期間P11になると、第1クロックCKAがローレベルからハイレベルに変化する。このとき、トランジスタT13はオン状態となっているので、入力端子53の電位の上昇とともに出力端子57の電位（出力信号Q1の電位）が上昇する。これに伴い、コンデンサC11を介して第1内部ノードN1の電位も上昇する。その結果、トランジスタT13の制御端子には大きな電圧が印加され、出力端子57の接続先の書き込み制御トランジスタT1がオン状態となるのに十分なレベルにまで出力信号Q1の電位が上昇する。また、期間P11になると、イネーブル信号ENがローレベルからハイレベルに変化する。このとき、トランジスタT16はオン状態となっているので、入力端子55の電位の上昇とともに出力端子58の電位（出力信号Q2の電位）が上昇する。これに伴い、コンデンサC12を介して第2内部ノードN2の電位も上昇する（第2内部ノードN2がブースト状態となる）。その結果、トランジスタT16の制御端子には大きな電圧が印加され、出力端子58の接続先のモニタ制御トランジスタT3がオン状態となるのに十分なレベルにまで出力信号Q2の電位が上昇する。

[0058] 期間P12になると、イネーブル信号ENがハイレベルからローレベルに変化する。これにより、入力端子55の電位の低下とともに出力端子58の電位（出力信号Q2の電位）が低下する。出力端子58の電位が低下すると、コンデンサC12を介して、第2内部ノードN2の電位も低下する。期間

P 1 2 の終了時点には、第 1 クロック C K A がハイレベルからローレベルに変化する。これにより、入力端子 5 3 の電位の低下とともに出力端子 5 7 の電位（出力信号 Q 1 の電位）が低下する。出力端子 5 7 の電位が低下すると、コンデンサ C 1 1 を介して、第 1 内部ノード N 1 の電位も低下する。

[0059] 期間 P 1 3 になると、イネーブル信号 E N がローレベルからハイレベルに変化する。これにより、期間 P 1 1 と同様、第 2 内部ノード N 2 の電位および出力信号 Q 2 の電位が上昇する。期間 P 1 3 の終了時点には、イネーブル信号 E N がハイレベルからローレベルに変化する。これにより、入力端子 5 5 の電位の低下とともに出力端子 5 8 の電位（出力信号 Q 2 の電位）が低下する。これに伴い、コンデンサ C 1 2 を介して、第 2 内部ノード N 2 の電位も低下する。

[0060] 期間 P 1 4 になると、第 1 クロック C K A がローレベルからハイレベルに変化する。これにより、期間 P 1 1 と同様、第 1 内部ノード N 1 の電位および出力信号 Q 1 の電位が上昇する。なお、期間 P 1 4 には、イネーブル信号 E N はローレベルで維持されるので、第 2 内部ノード N 2 の電位は上昇しない。期間 P 1 4 の終了時点には、第 1 クロック C K A がハイレベルからローレベルに変化する。これにより、入力端子 5 3 の電位の低下とともに出力端子 5 7 の電位（出力信号 Q 1 の電位）が低下する。これに伴い、コンデンサ C 1 1 を介して、第 1 内部ノード N 1 の電位も低下する。

[0061] 期間 P 1 5 になると、リセット信号 R がローレベルからハイレベルに変化する。これにより、トランジスタ T 1 2 がオン状態となる。その結果、第 1 内部ノード N 1 および第 2 内部ノード N 2 の電位はローレベルとなる。期間 P 1 5 の開始時点から少しの時間の経過後、制御信号 M O N がハイレベルからローレベルに変化する。これにより、トランジスタ T 1 5 がオフ状態となる。

[0062] 以上のようにして、i 行目の画素回路 4 1 0 では、期間 P 1 1, P 1 2, および P 1 4 に書き込み制御トランジスタ T 1 がオン状態となり、期間 P 1 1, P 1 3 にモニタ制御トランジスタ T 3 がオン状態となる。これにより、

期間P 1 1～P 1 4に、 i 行目の画素回路4 1 0についてのモニタ処理が行われる。

[0063] 次に、図1 1を参照しつつ、モニタ処理が行われる際の画素回路4 1 0および電流モニタ部3 2 0の動作について説明する。ここでは、第 i 行第 j 列の画素回路4 1 0および j 列目に対応する電流モニタ部3 2 0に着目する。なお、図1 1における期間P 1 0～P 1 2，P 1 4～P 1 5は図1 0における期間P 1 0～P 1 2，P 1 4～P 1 5に対応し、図1 1における期間P 1 3 a～P 1 3 cは図1 0における期間P 1 3に対応する。

[0064] 期間P 1 0には、 $(i-1)$ 行目で画像表示用のデータ電位 $V_d(i-1)$ に基づく書き込みが行われる。期間P 1 0の終了時点直前には、走査信号 $GL(i)$ およびモニタ制御信号 $ML(i)$ はローレベルである。従って、書き込み制御トランジスタT 1およびモニタ制御トランジスタT 3はオフ状態である。また、期間P 1 0の終了時点直前には、制御信号S 2，S 1はハイレベルであり、制御信号S 0はローレベルである。従って、スイッチ3 2 3，3 2 4はオン状態であり、スイッチ3 2 5はオフ状態である。このとき、データ信号線 $SL(j)$ と内部データ線 $Sin(j)$ とは電氣的に接続されている。

[0065] 期間P 1 1になると、走査信号 $GL(i)$ およびモニタ制御信号 $ML(i)$ はローレベルからハイレベルに変化する。これにより、書き込み制御トランジスタT 1およびモニタ制御トランジスタT 3はオン状態となる。期間P 1 1には、画素回路4 1 0の状態を初期化する初期化電位 V_{pc} がデータ信号線 $SL(j)$ に印加される。これにより、コンデンサC 1の状態および有機EL素子L 1のアノード電位が初期化される。

[0066] 期間P 1 2になると、モニタ制御信号 $ML(i)$ がハイレベルからローレベルに変化する。これにより、モニタ制御トランジスタT 3がオフ状態となる。この状態で、特性検出用電位 V_{r_TFT} または特性検出用電位 V_{r_OLED} がデータ信号線 $SL(j)$ に印加される。特性検出用電位 V_{r_TFT} は、駆動トランジスタT 2には電流が流れるが有機EL素子L 1には電

流が流れないように設定された電位である。特性検出用電位 V_{r_OLED} は、有機EL素子 $L1$ には電流が流れるが駆動トランジスタ $T2$ には電流が流れないように設定された電位である。

[0067] 期間 $P13a$ になると、走査信号 $GL(i)$ はハイレベルからローレベルに変化し、モニタ制御信号 $ML(i)$ はローレベルからハイレベルに変化する。これにより、書き込み制御トランジスタ $T1$ はオフ状態となり、モニタ制御トランジスタ $T3$ はオン状態となる。このような状態で、電流測定用電位 $V_{m_TF T}$ または電流測定用電位 V_{m_OLED} がデータ信号線 $SL(j)$ に印加される。これにより、 $TF T$ 特性の測定が行われているときには駆動トランジスタ $T2$ を流れる電流がモニタ制御トランジスタ $T3$ およびデータ信号線 $SL(j)$ を介して電流モニタ部 320 へと流れ、 $OLED$ 特性の測定が行われているときには電流モニタ部 320 からデータ信号線 $SL(j)$ およびモニタ制御トランジスタ $T3$ を介して有機EL素子 $L1$ へと電流が流れる。このとき、制御信号 $S2$ はハイレベルであるので、スイッチ 323 はオン状態となっていて、コンデンサ 322 に電荷は蓄積されない。なお、期間 $P13a$ については、データ信号線 $SL(j)$ を流れる測定電流が安定するのに十分な長さに設定されている。

[0068] 期間 $P13b$ になると、制御信号 $S2$ がハイレベルからローレベルに変化する。これにより、スイッチ 323 がオフ状態となり、オペアンプ 301 とコンデンサ 322 とが積分回路として機能する。その結果、オペアンプ 301 の出力電圧は、データ信号線 $SL(j)$ を流れている電流に応じた電圧となる。

[0069] 期間 $P13c$ になると、制御信号 $S1$ がハイレベルからローレベルに変化し、制御信号 $S0$ がローレベルからハイレベルに変化する。これにより、スイッチ 324 がオフ状態となり、スイッチ 325 がオン状態となる。スイッチ 324 がオフ状態となることによって、データ信号線 $SL(j)$ と内部データ線 $Sin(j)$ とが電氣的に切り離された状態となる。この状態で、オペアンプ 301 の出力電圧（コンデンサ 322 の充電電圧）が A/D コンバ

ータ 3 2 7 によってデジタル信号に変換される。そのデジタル信号は、モニタデータ M O として表示制御回路 1 0 に送られ、入力画像信号 D I N の補正に用いられる。

[0070] 期間 P 1 4 になると、制御信号 S 2, S 1 がローレベルからハイレベルに変化し、制御信号 S 0 がハイレベルからローレベルに変化する。これにより、スイッチ 3 2 3, 3 2 4 がオン状態となり、スイッチ 3 2 5 がオフ状態となる。また、期間 P 1 4 には、走査信号 G L (i) がローレベルからハイレベルに変化する。これにより、書き込み制御トランジスタ T 1 がオン状態となる。この状態で画像表示用のデータ電位 V d (i) がデータ信号線 S L (j) に印加され、第 i 行第 j 列の画素回路 4 1 0 において当該データ電位 V d (i) に基づく書き込みが行われる。

[0071] 期間 P 1 5 になると、走査信号 G L (i) がハイレベルからローレベルに変化する。これにより、書き込み制御トランジスタ T 1 がオフ状態となる。なお、期間 P 1 5 には、(i + 1) 行目で画像表示用のデータ電位 V d (i + 1) に基づく書き込みが行われる。期間 P 1 5 以降の期間には、第 i 行第 j 列の画素回路 4 1 0 では、期間 P 1 4 における書き込みに基づいて有機 E L 素子 L 1 が発光する。

[0072] なお、期間 P 1 1 が初期化期間に相当し、期間 P 1 2 が第 1 書き込み期間に相当し、期間 P 1 3 b が測定期間に相当し、期間 P 1 4 が第 2 書き込み期間に相当する。

[0073] < 1. 5 効果 >

図 3 1 に示した従来の単位回路によれば、トランジスタ T 1 5 の制御端子には常にハイレベル電位 V D D が与えられていた。このため、上述したように、ストレスの印加を考慮してトランジスタ T 1 6 のサイズを大きくする必要があり、それに応じて額縁サイズが大きくなっていた。これに対して、本実施形態によれば、動作モードが非モニタモードに設定されているときには、単位回路 2 2 内のトランジスタ T 1 5 はオフ状態で維持される。また、動作モードがモニタモードに設定されているときには、トランジスタ T 1 5 は

モニタ期間にのみオン状態となる。これにより、バッファトランジスタとして機能するトランジスタ T 1 6 へのストレス印加が顕著に抑制される。従って、従来と比較してトランジスタ T 1 6 のサイズを小さくすることができる。以上のように、本実施形態によれば、外部補償機能を有する有機 E L 表示装置に関し、従来よりも額縁サイズを小さくすることができる。

[0074] < 1. 6 変形例 >

上記第 1 の実施形態によれば、モニタ行と非モニタ行とで有機 E L 素子 L 1 の発光期間の長さに差が生じて表示品位が低下することが懸念される。そこで、有機 E L 素子 L 1 の発光期間の長さが全ての行で同じになるよう、次のような構成を採用しても良い。表示部 4 0 内に、各行に対応するよう発光制御線を設ける。また、画素回路 4 1 0 内に、有機 E L 素子 L 1 の発光を制御する発光制御トランジスタを設ける。図 1 2 に示すように、発光制御トランジスタ T 4 については、制御端子は発光制御線 E M (i) に接続され、第 1 導通端子は駆動トランジスタ T 2 の第 2 導通端子とモニタ制御トランジスタ T 3 の第 1 導通端子とに接続され、第 2 導通端子は有機 E L 素子 L 1 のアノード端子に接続される。以上のような構成において、 i 行目がモニタ行であると仮定すると、例えば、発光制御トランジスタ T 4 が図 1 1 における期間 P 1 1 ~ P 1 3 c にはオフ状態となってそれ以外の期間にはオン状態となるよう、発光制御線 E M (i) の電位を制御する。

[0075] < 2. 第 2 の実施形態 >

第 2 の実施形態について説明する。本実施形態に係る有機 E L 表示装置は、画素回路 4 1 0 にデータ信号を書き込む動作を間欠的に行う休止駆動（「低周波駆動」とも呼ばれる）が可能な表示装置である。なお、休止駆動に関し、画素回路 4 1 0 にデータ信号を書き込む動作が中断されている期間のことを「休止期間」という。以下、第 1 の実施形態と同様の点については、適宜、説明を省略する。

[0076] < 2. 1 全体構成 >

図 1 3 は、本実施形態に係る有機 E L 表示装置の全体構成を示すブロック

図である。第1の実施形態においては、表示部40には、走査信号線GL(1)～GL(n)とデータ信号線SL(1)～SL(m)とモニタ制御線ML(1)～ML(n)とが配設されていた。これに対して、本実施形態においては、表示部40には、走査信号線GL(1)～GL(n)とデータ信号線SL(1)～SL(m)と電流モニタ線MCL(1)～MCL(m)とが配設されている。電流モニタ線MCL(1)～MCL(m)は、データ信号線SL(1)～SL(m)と1対1で対応するように配設されている。電流モニタ線MCL(1)～MCL(m)とデータ信号線SL(1)～SL(m)とは典型的には互いに平行になっている。

[0077] ゲートドライバ20は、走査信号線GL(1)～GL(n)に接続されている。第1の実施形態と同様、ゲートドライバ20は、複数の単位回路からなるシフトレジスタによって構成されている。ゲートドライバ20は、表示制御回路10から出力されたゲート制御信号GCTLに基づいて、走査信号線GL(1)～GL(n)に走査信号を印加する。

[0078] ソースドライバ30は、データ信号線SL(1)～SL(m)と電流モニタ線MCL(1)～MCL(m)とに接続されている。ソースドライバ30は、データ信号線SL(1)～SL(m)を駆動する動作と、電流モニタ線MCL(1)～MCL(m)を流れる電流を測定する動作とを選択的に行う。すなわち、ソースドライバ30には、機能的には、データ信号線SL(1)～SL(m)を駆動するデータ信号線駆動部310として機能する部分と、画素回路410から電流モニタ線MCL(1)～MCL(m)に出力された電流を測定する電流モニタ部320として機能する部分とが含まれている(図3参照)。電流モニタ部320は、電流モニタ線MCL(1)～MCL(m)を流れる電流を測定し、測定値に基づくモニタデータMOを出力する。

[0079] 以上のように、走査信号線GL(1)～GL(n)に走査信号が印加され、データ信号線SL(1)～SL(m)に輝度信号としてのデータ信号が印加されることによって、入力画像信号DINに基づく画像が表示部40に表

示される。また、モニタ処理が実行され、モニタデータMOに応じて入力画像信号DINに補償演算処理が施されるので、駆動トランジスタや有機EL素子の劣化が補償される。

[0080] <2. 2 画素回路およびソースドライバ>

図14は、画素回路410およびソースドライバ30の一部を示す回路図である。なお、図14には、第i行第j列の画素回路410と、ソースドライバ30のうちのj列目のデータ信号線SL(j)に対応する部分とが示されている。第1の実施形態と同様、画素回路410は、1個の有機EL素子L1と、3個のトランジスタT1～T3（書き込み制御トランジスタT1、駆動トランジスタT2、およびモニタ制御トランジスタT3）と、1個のコンデンサ（容量素子）C1とを備えている。但し、モニタ制御トランジスタT3については、制御端子は走査信号線GL(i)に接続され、第1導通端子は駆動トランジスタT2の第2導通端子と有機EL素子L1のアノード端子とに接続され、第2導通端子は電流モニタ線MCL(j)に接続されている。なお、第1の実施形態の変形例と同様の趣旨で、図15に示すように画素回路410内に発光制御トランジスタT4を設けても良い。

[0081] ソースドライバ30については、図14に示すように、データ信号線駆動部310として機能する部分と電流モニタ部320として機能する部分とが分離されている。データ信号線駆動部310には、オペアンプ311とD/Aコンバータ316とが含まれている。電流モニタ部320は、D/Aコンバータ326とA/Dコンバータ327とオペアンプ321とコンデンサ322と3つのスイッチ（スイッチ323，324，および325）とによって構成される。なお、オペアンプ321およびD/Aコンバータ326はそれぞれ第1の実施形態（図4参照）におけるオペアンプ301およびD/Aコンバータ306に相当する。電流モニタ部320の動作については第1の実施形態と同様であるので説明を省略する。但し、本実施形態における電流モニタ部320は、電流モニタ線MCLを流れる電流を測定する。

[0082] <2. 3 ゲートドライバ>

本実施形態におけるゲートドライバ20の詳細な構成について説明する。
図16は、シフトレジスタの5段分の構成を示すブロック図である。各段の単位回路22からの出力信号Q1は、前段の単位回路22にリセット信号Rとして与えられ、次段の単位回路22にセット信号Sとして与えられる。各段の単位回路22からの出力信号Q2は、対応する走査信号線GLに走査信号として与えられる。それ以外の点については、第1の実施形態と同様である。単位回路22の構成についても第1の実施形態と同様である（図1参照）。

[0083] <2.4 駆動方法>

<2.4.1 概要>

本実施形態においては、駆動周波数に関する動作モードとして、通常モードと休止モードとが用意されている。動作モードが通常モードに設定されているときには、有機EL表示装置の動作中、書き込みのための動作が中断されることなく、通常の画像表示が繰り返し行われる。動作モードが休止モードに設定されているときには、書き込みのための動作を間欠的に行う休止駆動が行われる。また、モニタ処理に関する動作モードとして、モニタモードと非モニタモードとが用意されている。本実施形態においては、動作モードがモニタモードに設定されているとき、休止期間中に少なくとも1つの行についてのモニタ処理が行われる。以下、便宜上、通常モードと非モニタモードとの組み合わせを「第1モード」といい、休止モードと非モニタモードとの組み合わせを「第2モード」といい、休止モードとモニタモードとの組み合わせを「第3モード」という。通常モードとモニタモードとが組み合わせられることはない。すなわち、本実施形態においては、休止駆動が行われているときに限ってモニタ処理が行われる。

[0084] 以下、図17～図19を参照しつつ、各モードの動作について説明する。動作モードが第1モードに設定されているときには、図17に示すように、休止期間が設けられることなく、通常の画像表示が行われるフレーム期間（走査期間のみを含むフレーム期間）が連続する。このように、動作モードが

第1モードに設定されているときにはモニタ処理は行われない。制御信号MONについては、ハイレベルで維持される。従って、動作モードが第1モードに設定されているときには、単位回路22内のトランジスタT15は一部の期間（第2内部ノードN2の電位が通常のハイレベルよりも高くなっている期間）を除いてオン状態で維持される。

[0085] 動作モードが第2モードに設定されているときには、図18に示すように、2つのフレーム期間の間に休止期間が現れる。各フレーム期間には走査期間のみが含まれる。すなわち、各フレーム期間には、モニタ処理が行われることなく、書き込みのための動作のみが行われる。休止期間には、走査信号線GLの走査が行われることなくシフトレジスタ内でのシフト動作のみが行われる。以上より、動作モードが第2モードに設定されているときにはモニタ処理は行われない。なお、図18では、走査信号線GLを走査することなくシフトレジスタにおいて1段目の単位回路22(1)からn段目の単位回路22(n)へのシフト動作が行われる様子を斜めの太点線で模式的に示している（図19も同様）。制御信号MONについては、フレーム期間（走査期間）にはハイレベルで維持され、休止期間にはローレベルで維持される。これにより、単位回路22内のトランジスタT15は、フレーム期間（走査期間）には一部の期間（第2内部ノードN2の電位が通常のハイレベルよりも高くなっている期間）を除いてオン状態で維持され、休止期間にはオフ状態で維持される。

[0086] 動作モードが第3モードに設定されているときには、動作モードが第2モードに設定されているときと同様、2つのフレーム期間の間に休止期間が現れる。但し、図19に示すように、モニタ処理を行うモニタ期間が休止期間に含まれている。休止期間のうちモニタ期間以外の期間には、走査信号線GLの走査が行われることなくシフトレジスタ内でのシフト動作のみが行われる。制御信号MONについては、フレーム期間（走査期間）にはハイレベルで維持され、休止期間にはモニタ期間にのみハイレベルとなりモニタ期間以外の期間にはローレベルで維持される。これにより、単位回路22内のトラ

ンジスタ T 1 5 は、フレーム期間（走査期間）には一部の期間（第 2 内部ノード N 2 の電位が通常のハイレベルよりも高くなっている期間）を除いてオン状態で維持され、休止期間にはモニタ期間にのみオン状態となりモニタ期間以外の期間にはオフ状態で維持される。

[0087] 動作モードが第 3 モードに設定されているときには、動作モードが第 2 モードに設定されているときよりも、休止期間が長くなる。換言すれば、モニタ処理を含む休止期間は、モニタ処理を含まない休止期間よりも長い。

[0088] < 2. 4. 2 動作モードが第 1 モードに設定されているときの動作 >

図 2 0 を参照しつつ、動作モードが第 1 モードに設定されているときの i 段目の単位回路 2 2 (i) の動作について説明する。図 2 0 で符号 6 1 を付した矢印の部分には、i 行目の書き込みが行われる際の各信号の波形を示している。図 2 0 で符号 6 2 を付した矢印の部分には、i 行目以外の行の書き込みが行われる際の各信号の波形を示している。図 2 0 に示すように、制御信号 M O N はハイレベルで維持されている。従って、単位回路 2 2 内のトランジスタ T 1 5 はオン状態で維持される。

[0089] 期間 P 2 0 の開始時点直前には、第 1 内部ノード N 1 の電位および第 2 内部ノード N 2 の電位はローレベルとなっている。期間 P 2 0 になると、セット信号 S がローレベルからハイレベルに変化する。このセット信号 S のパルスによってトランジスタ T 1 1 がオン状態となり、コンデンサ C 1 1 が充電される。このとき、トランジスタ T 1 5 がオン状態となっているので、コンデンサ C 1 2 も充電される。以上より、第 1 内部ノード N 1 の電位が上昇してトランジスタ T 1 3 がオン状態になるとともに第 2 内部ノード N 2 の電位が上昇してトランジスタ T 1 6 がオン状態になる。しかしながら、期間 P 2 0 には、第 1 クロック C K A およびイネーブル信号 E N はローレベルで維持されるので、出力信号 Q 1 , Q 2 はローレベルで維持される。

[0090] 期間 P 2 1 になると、第 1 クロック C K A がローレベルからハイレベルに変化する。このとき、トランジスタ T 1 3 はオン状態となっているので、入力端子 5 3 の電位の上昇とともに出力端子 5 7 の電位（出力信号 Q 1 の電位

）が上昇する。これに伴い、コンデンサC 1 1を介して第1内部ノードN 1の電位も上昇する。その結果、トランジスタT 1 3の制御端子には大きな電圧が印加され、出力信号Q 1の電位が十分に上昇する。また、期間P 2 1になると、イネーブル信号E Nがローレベルからハイレベルに変化する。このとき、トランジスタT 1 6はオン状態となっているので、入力端子5 5の電位の上昇とともに出力端子5 8の電位（出力信号Q 2の電位）が上昇する。これに伴い、コンデンサC 1 2を介して第2内部ノードN 2の電位も上昇する。その結果、トランジスタT 1 6の制御端子には大きな電圧が印加され、出力端子5 8の接続先の書き込み制御トランジスタT 1およびモニタ制御トランジスタT 3がオン状態となるのに十分なレベルにまで出力信号Q 2の電位が上昇する。これにより、i行目の画素回路4 1 0で書き込みが行われる。

[0091] 期間P 2 1の終了時点には、第1クロックC K Aがハイレベルからローレベルに変化する。これにより、入力端子5 3の電位の低下とともに出力端子5 7の電位（出力信号Q 1の電位）が低下する。出力端子5 7の電位が低下すると、コンデンサC 1 1を介して、第1内部ノードN 1の電位も低下する。また、期間P 2 1の終了時点には、イネーブル信号E Nがハイレベルからローレベルに変化する。これにより、入力端子5 5の電位の低下とともに出力端子5 8の電位（出力信号Q 2の電位）が低下する。出力端子5 8の電位が低下すると、コンデンサC 1 2を介して、第2内部ノードN 2の電位も低下する。

[0092] 期間P 2 2になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、トランジスタT 1 2がオン状態となる。その結果、第1内部ノードN 1および第2内部ノードN 2の電位はローレベルとなる。

[0093] i行目以外の行の書き込みが行われる際には、i段目の単位回路2 2（i）にはセット信号Sのパルスが入力されないので、第1内部ノードN 1の電位、第2内部ノードN 2の電位、出力信号Q 1の電位、および出力信号Q 2の電位はローレベルで維持される（図2 0で符号6 2を付した矢印の部分で

参照)。

[0094] <2. 4. 3 動作モードが第2モードに設定されているときの動作>

このケースにおいて、通常の画像表示が行われるフレーム期間（走査期間）（図18参照）には、単位回路22は、動作モードが第1モードに設定されているときと同様に動作する（図20参照）。

[0095] 図21を参照しつつ、このケースにおいて休止期間中にi段目の単位回路22(i)にシフトパルス（セット信号Sのパルス）が与えられた際の当該i段目の単位回路22(i)の動作について説明する。期間P30の開始時点直前には、第1内部ノードN1の電位および第2内部ノードN2の電位はローレベルとなっている。

[0096] 期間P30になると、セット信号Sがローレベルからハイレベルに変化する。このセット信号SのパルスによってトランジスタT11がオン状態となり、コンデンサC11が充電される。これにより、第1内部ノードN1の電位は上昇し、トランジスタT13がオン状態となる。しかしながら、期間P30には、第1クロックCKAはローレベルで維持されるので、出力信号Q1はローレベルで維持される。また、期間P30には、制御信号MONはローレベルで維持されるので、トランジスタT15はオフ状態で維持される。このため、第2内部ノードN2の電位は上昇しない。

[0097] 期間P31になると、第1クロックCKAがローレベルからハイレベルに変化する。これにより、上記期間P21と同様、出力信号Q1の電位が充分に上昇する。期間P31の終了時点には、第1クロックCKAがハイレベルからローレベルに変化する。これにより、上記期間P21の終了時点と同様、出力端子57の電位（出力信号Q1の電位）および第1内部ノードN1の電位が低下する。期間P32になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、上記期間P22と同様、第1内部ノードN1の電位はローレベルとなる。

[0098] なお、i段目の単位回路22(i)にシフトパルスが与えられない期間には、図22に示すように、i段目の単位回路22(i)では、第1内部ノード

ドN 1の電位および第2内部ノードN 2の電位はローレベルで維持され、出力信号Q 1, Q 2の電位もローレベルで維持される。

[0099] <2. 4. 3 動作モードが第3モードに設定されているときの動作>

このケースにおいて、通常の画像表示が行われるフレーム期間（走査期間）（図19参照）には、単位回路22は、動作モードが第1モードに設定されているときと同様に動作する（図20参照）。このケースにおいて、休止期間のうちのモニタ期間以外の期間には、単位回路22は、動作モードが第2モードに設定されているときの休止期間と同様に動作する（図21および図22を参照）。

[0100] 図23を参照しつつ、このケースにおける休止期間のうちのモニタ期間の*i*段目の単位回路22（*i*）の動作について説明する。但し、*i*行目がモニタ行であると仮定し、*i*行目についてのモニタ処理が行われる際の動作に着目する。期間P 40の開始時点直前には、第1内部ノードN 1の電位および第2内部ノードN 2の電位はローレベルとなっており、制御信号MONはローレベルとなっている。

[0101] 期間P 40になると、制御信号MONがローレベルからハイレベルに変化する。これにより、トランジスタT 15がオン状態となる。また、期間P 40になると、セット信号Sがローレベルからハイレベルに変化する。このセット信号SのパルスによってトランジスタT 11がオン状態となり、コンデンサC 11が充電される。このとき、トランジスタT 15がオン状態となっているので、コンデンサC 12も充電される。以上より、第1内部ノードN 1の電位が上昇してトランジスタT 13がオン状態になるとともに第2内部ノードN 2の電位が上昇してトランジスタT 16がオン状態になる。しかしながら、期間P 40には、第1クロックCK Aおよびイネーブル信号ENはローレベルで維持されるので、出力信号Q 1, Q 2はローレベルで維持される。

[0102] 期間P 41になると、第1クロックCK Aおよびイネーブル信号ENがローレベルからハイレベルに変化する。これにより、上記期間P 21と同様、

出力信号Q 1の電位が十分に上昇し、また、出力端子5 8の接続先の書き込み制御トランジスタT 1およびモニタ制御トランジスタT 3がオン状態となるのに十分なレベルにまで出力信号Q 2の電位が上昇する。

[0103] 期間P 4 1の終了時点には、第1クロックCK Aおよびイネーブル信号ENがハイレベルからローレベルに変化する。これにより、上記期間P 2 1の終了時点と同様、出力信号Q 1の電位および出力信号Q 2の電位が低下する。これに伴い、第1内部ノードN 1の電位および第2内部ノードN 2の電位が低下する。

[0104] 期間P 4 2になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、上記期間P 2 2と同様、第1内部ノードN 1および第2内部ノードN 2の電位はローレベルとなる。

[0105] 以上のようにして、i行目の画素回路4 1 0では、期間P 4 1に書き込み制御トランジスタT 1およびモニタ制御トランジスタT 3がオン状態となる。これにより、期間P 4 1に、i行目の画素回路4 1 0についてのモニタ処理が行われる。

[0106] 次に、図2 4を参照しつつ、モニタ処理が行われる際の画素回路4 1 0および電流モニタ部3 2 0の動作について説明する。ここでは、第i行第j列の画素回路4 1 0およびj列目に対応する電流モニタ部3 2 0に着目する。なお、図2 4における期間P 4 0、P 4 2は図2 3における期間P 4 0、P 4 2に対応し、図2 4における期間P 4 1 a~P 4 1 dは図2 3における期間P 4 1に対応する。

[0107] 期間P 4 0には、(i-1)行目で画像表示用のデータ電位V d (i-1)に基づく書き込みが行われる。期間P 4 0の終了時点直前には、走査信号GL (i)はローレベルである。従って、書き込み制御トランジスタT 1およびモニタ制御トランジスタT 3はオフ状態である。また、期間P 4 0の終了時点直前には、制御信号S 2、S 1はローレベルであり、制御信号S 0はハイレベルである。従って、スイッチ3 2 3、3 2 4はオフ状態であり、スイッチ3 2 5はオン状態である。このとき、電流モニタ線MCL (j)と内

部データ線 $S_{in}(j)$ とは電氣的に切り離されている。

[0108] 期間 P_{41a} になると、走査信号 $GL(i)$ はローレベルからハイレベルに変化する。これにより、書き込み制御トランジスタ T_1 およびモニタ制御トランジスタ T_3 はオン状態となる。また、期間 P_{41a} には、制御信号 S_2 , S_1 はローレベルからハイレベルに変化し、制御信号 S_0 はハイレベルからローレベルに変化する。これにより、スイッチ 323 , 324 はオン状態となり、スイッチ 325 はオフ状態となる。その結果、電流モニタ線 $MCL(j)$ と内部データ線 $S_{in}(j)$ とが電氣的に接続される。期間 P_{41a} には、以上のような状態で、特性検出用電位 $V_{r_TF T}$ または特性検出用電位 $V_{r_OLE D}$ がデータ信号線 $SL(j)$ に印加され、電流測定用電位 $V_{m_TF T}$ または電流測定用電位 $V_{m_OLE D}$ が電流モニタ線 $MCL(j)$ に印加される。特性検出用電位 $V_{r_TF T}$ および電流測定用電位 $V_{m_TF T}$ は、駆動トランジスタ T_2 には電流が流れるが有機 EL 素子 L_1 には電流が流れないように設定された電位である。特性検出用電位 $V_{r_OLE D}$ および電流測定用電位 $V_{m_OLE D}$ は、有機 EL 素子 L_1 には電流が流れるが駆動トランジスタ T_2 には電流が流れないように設定された電位である。なお、期間 P_{41a} については、電流モニタ線 $MCL(j)$ に流れる測定電流が安定するのに十分な長さに設定されている。

[0109] 期間 P_{41b} になると、制御信号 S_2 がハイレベルからローレベルに変化する。これにより、スイッチ 323 がオフ状態となり、オペアンプ 321 とコンデンサ 322 とが積分回路として機能する。その結果、オペアンプ 321 の出力電圧は、電流モニタ線 $MCL(j)$ を流れている電流に応じた電圧となる。

[0110] 期間 P_{41c} になると、制御信号 S_1 がハイレベルからローレベルに変化し、制御信号 S_0 がローレベルからハイレベルに変化する。これにより、スイッチ 324 がオフ状態となり、スイッチ 325 がオン状態となる。スイッチ 324 がオフ状態となることによって、電流モニタ線 $MCL(j)$ と内部データ線 $S_{in}(j)$ とが電氣的に切り離された状態となる。この状態で、

オペアンプ321の出力電圧（コンデンサ322の充電電圧）がA/Dコンバータ327によってデジタル信号に変換される。そのデジタル信号は、モニタデータMOとして表示制御回路10に送られ、入力画像信号DINの補正に用いられる。

[0111] 期間P41dになると、画像表示用のデータ電位Vd(i)がデータ信号線SL(j)に印加される。このとき、書き込み制御トランジスタT1はオン状態である。従って、第i行第j列の画素回路410において当該データ電位Vd(i)に基づく書き込みが行われる。

[0112] 期間P42になると、走査信号GL(i)がハイレベルからローレベルに変化する。これにより、書き込み制御トランジスタT1およびモニタ制御トランジスタT3がオフ状態となる。なお、期間P42には、(i+1)行目で画像表示用のデータ電位Vd(i+1)に基づく書き込みが行われる。期間P42以降の期間には、第i行第j列の画素回路410では、期間P41dにおける書き込みに基づいて有機EL素子L1が発光する。

[0113] <2. 5 効果>

本実施形態によれば、動作モードが第1モードに設定されているときには、単位回路22内のトランジスタT15はオフ状態で維持される。また、動作モードが第2モードに設定されているときには、休止期間を通じてトランジスタT15はオフ状態で維持される。さらに、動作モードが第3モードに設定されているときには、休止期間のうちモニタ期間以外の期間にトランジスタT15はオフ状態で維持される。以上より、バッファトランジスタとして機能するトランジスタT16へのストレス印加が顕著に抑制される。従って、従来と比較してトランジスタT16のサイズを小さくすることができる。以上のように、第1の実施形態と同様、外部補償機能を有する有機EL表示装置に関し、従来よりも額縁サイズを小さくすることができる。

[0114] <3. 第3の実施形態>

<3. 1 構成の概略>

第3の実施形態について説明する。第1の実施形態では、リアルタイムモ

ニタが行われていた。第2の実施形態では、休止駆動が行われているときの休止期間中にモニタ処理が行われていた。これらに対して、本実施形態に係る有機EL表示装置は、リアルタイムモニタを行うこともできるし、休止駆動を採用して休止期間中にモニタ処理を行うこともできる。すなわち、本実施形態では、モニタ処理の方式としてリアルタイムモニタを行う第1方式と休止期間中にモニタ処理を行う第2方式とが用意され、それら2つの方式から選択した方式でモニタ処理を行うことが可能となっている。

[0115] 有機EL表示装置の全体構成については、第1の実施形態と同様である。すなわち、図2に示すように、表示部40には、走査信号線GL(1)～GL(n)およびデータ信号線SL(1)～SL(m)に加えてモニタ制御線ML(1)～ML(n)が配設されている。画素回路410および電流モニタ部320の構成についても、第1の実施形態と同様である(図4参照)。

[0116] <3. 2 ゲートドライバ>

本実施形態におけるゲートドライバ20の詳細な構成について説明する。図25は、ゲートドライバ20に含まれるシフトレジスタの5段分の構成を示すブロック図である。このシフトレジスタには、ゲート制御信号GCTLとして、ゲートスタートパルス信号、クロック信号CK1、クロック信号CK2、イネーブル信号ENA1、イネーブル信号ENA2、イネーブル信号ENB1、イネーブル信号ENB2、制御信号MON1、および制御信号MON2が与えられる。なお、ゲートスタートパルス信号は、セット信号Sとして1段目の単位回路22(1)に与えられる信号であり、図25では省略している。

[0117] 各単位回路22は、第1クロックCKA、第2クロックCKB、イネーブル信号ENA、イネーブル信号ENB、制御信号MON1、制御信号MON2、セット信号S、およびリセット信号Rをそれぞれ受け取るための入力端子と、出力信号Q1、出力信号Q2、および出力信号Q3をそれぞれ出力するための出力端子とを含んでいる。

[0118] 奇数段目の単位回路22については、クロック信号CK1が第1クロック

CKAとして与えられ、クロック信号CK2が第2クロックCKBとして与えられ、イネーブル信号ENA1がイネーブル信号ENAとして与えられ、イネーブル信号ENB1がイネーブル信号ENBとして与えられる。偶数段目の単位回路22については、クロック信号CK2が第1クロックCKAとして与えられ、クロック信号CK1が第2クロックCKBとして与えられ、イネーブル信号ENA2がイネーブル信号ENAとして与えられ、イネーブル信号ENB2がイネーブル信号ENBとして与えられる。制御信号MON1, MON2については、全ての単位回路22に共通的に与えられる。また、各段の単位回路22には、前段の単位回路22からの出力信号Q1がセット信号Sとして与えられ、次段の単位回路22からの出力信号Q1がリセット信号Rとして与えられる。各段の単位回路22からの出力信号Q1は、前段の単位回路22にリセット信号Rとして与えられ、次段の単位回路22にセット信号Sとして与えられる。各段の単位回路22からの出力信号Q2は、対応する走査信号線GLに走査信号として与えられる。各段の単位回路22からの出力信号Q3は、対応するモニタ制御線MLにモニタ制御信号として与えられる。なお、図4に示したように、走査信号線GLは画素回路410内の書き込み制御トランジスタT1の制御端子に接続され、モニタ制御線MLは画素回路410内の書き込みモニタ制御トランジスタT3の制御端子に接続されている。以下、制御信号MON1を伝達する信号線を「第1制御信号線」といい、制御信号MON2を伝達する信号線を「第2制御信号線」という。

- [0119] 図26は、本実施形態における単位回路22の構成を示す回路図である。本実施形態における単位回路22は、第1の実施形態において設けられている構成要素（図1参照）に加えて、3個のトランジスタT18～T20と1個のコンデンサC13と入力端子56と出力端子59とを備えている。入力端子56にはイネーブル信号ENBが与えられ、出力端子59からは出力信号Q3が出力される。なお、本実施形態におけるイネーブル信号ENAおよび制御信号MON1は、第1の実施形態におけるイネーブル信号ENおよび

制御信号MONに相当する。

- [0120] トランジスタT18の第2導通端子、トランジスタT19の制御端子、およびコンデンサC13の一端は互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを「第3内部ノード」という。第3内部ノードには符号N3を付す。
- [0121] ところで、本実施形態における単位回路22には、第1出力制御回路221および第2出力制御回路222に加えて、出力信号Q3の出力を制御する第3出力制御回路223が含まれている。第3出力制御回路223は、第3内部ノードN3とトランジスタT19とトランジスタT20と入力端子56と出力端子59とを含んでいる。
- [0122] トランジスタT18については、制御端子は第2制御信号線に接続され、第1導通端子は第1内部ノードN1に接続され、第2導通端子は第3内部ノードN3に接続されている。トランジスタT19については、制御端子は第3内部ノードN3に接続され、第1導通端子は入力端子56に接続され、第2導通端子は出力端子59に接続されている。トランジスタT20については、制御端子は入力端子54に接続され、第1導通端子は出力端子59に接続され、第2導通端子は基準電位線に接続されている。コンデンサC13については、一端は第3内部ノードN3に接続され、他端は出力端子59に接続されている。なお、トランジスタT15の制御端子は第1制御信号線に接続されている。
- [0123] 本実施形態においては、トランジスタT13によって第1出力制御トランジスタが実現され、トランジスタT15によって第1出力回路制御トランジスタが実現され、トランジスタT16によって第2出力制御トランジスタが実現され、トランジスタT18によって第2出力回路制御トランジスタが実現され、トランジスタT19によって第3出力制御トランジスタが実現され、出力端子57によって第1出力端子が実現され、出力端子58によって第2出力端子が実現され、出力端子59によって第3出力端子が実現されている。

[0124] <3. 3 駆動方法>

上述したように、本実施形態においては、モニタ処理の方式として、リアルタイムモニタを行う第1方式と、休止期間中にモニタ処理を行う第2方式とが用意されている。モニタ処理の方式に第1方式が選択された場合には、第1の実施形態と同様、動作モードがモニタモードおよび非モニタモードのいずれかに設定される。モニタ処理の方式に第2方式が選択された場合には、第2の実施形態と同様、動作モードが第1モード、第2モード、および第3モードのいずれかに設定される。

[0125] なお、以下に関し、ハイレベルの制御信号MON1の電位が第1電位に相当し、ローレベルの制御信号MON1の電位が第2電位に相当し、ハイレベルの制御信号MON2の電位が第3電位に相当し、ローレベルの制御信号MON2の電位が第4電位に相当する。

[0126] <3. 3. 1 モニタ処理の方式が第1方式であるときの動作>

動作モードが非モニタモードに設定されているときには、第1の実施形態の非モニタモードの際と同様、モニタ処理が行われることなく、書き込みのための動作が連続して行われる。すなわち、走査期間のみを含むフレーム期間が連続する（図7参照）。なお、制御信号MON1についてはハイレベルで維持され、制御信号MON2についてはローレベルで維持される。

[0127] 動作モードがモニタモードに設定されているときには、第1の実施形態のモニタモードの際と同様、リアルタイムモニタが行われる。すなわち、各フレーム期間にモニタ期間が含まれ、モニタ期間以外の期間は走査期間となっている（図6参照）。なお、制御信号MON1については、動作モードがモニタモードに設定されている期間を通じてハイレベルで維持され、制御信号MON2については、走査期間中にはローレベルで維持され、モニタ期間にのみハイレベルとなる（但し、厳密には、制御信号MON2はモニタ期間開始時点の少し前からモニタ期間終了時点の少し後までの期間にハイレベルとなる）。

[0128] なお、モニタ処理の方式に第1方式が採用されている場合には、第1制御

信号線に制御信号MON 1としてハイレベルの固定電位を印加するようにしても良い。

[0129] <3. 3. 1. 1 動作モードが非モニタモードに設定されているときの動作>

図27を参照しつつ、動作モードが非モニタモードに設定されているときのi段目の単位回路22(i)の動作について説明する。但し、i行目の書き込みが行われる際の動作に着目する。期間P50の開始時点直前には、第1内部ノードN1、第2内部ノードN2、および第3ノードN3の電位はローレベルとなっており、制御信号MON 1はハイレベルとなっており、制御信号MON 2はローレベルとなっている。制御信号MON 1がハイレベルとなっているのでトランジスタT15はオン状態となっており、制御信号MON 2がローレベルとなっているのでトランジスタT18はオフ状態となっている。

[0130] 期間P50になると、セット信号Sがローレベルからハイレベルに変化する。このセット信号SのパルスによってトランジスタT11がオン状態となり、コンデンサC11が充電される。このとき、トランジスタT15がオン状態となっているので、コンデンサC12も充電される。トランジスタT18はオフ状態となっているので、コンデンサC13への充電は行われない。以上より、第1内部ノードN1の電位が上昇してトランジスタT13がオン状態になるとともに第2内部ノードN2の電位が上昇してトランジスタT16がオン状態になる。しかしながら、期間P50には、第1クロックCKAおよびイネーブル信号ENAはローレベルで維持されるので、出力信号Q1、Q2はローレベルで維持される。なお、出力信号Q3もローレベルで維持される。

[0131] 期間P51になると、第1クロックCKAがローレベルからハイレベルに変化する。このとき、トランジスタT13はオン状態となっているので、入力端子53の電位の上昇とともに出力端子57の電位（出力信号Q1の電位）が上昇する。これに伴い、コンデンサC11を介して第1内部ノードN1

の電位も上昇する。その結果、トランジスタ T 1 3 の制御端子には大きな電圧が印加され、出力信号 Q 1 の電位が十分に上昇する。また、期間 P 5 1 になると、イネーブル信号 E N A がローレベルからハイレベルに変化する。このとき、トランジスタ T 1 6 はオン状態となっているので、入力端子 5 5 の電位の上昇とともに出力端子 5 8 の電位（出力信号 Q 2 の電位）が上昇する。これに伴い、コンデンサ C 1 2 を介して第 2 内部ノード N 2 の電位も上昇する。その結果、トランジスタ T 1 6 の制御端子には大きな電圧が印加され、出力端子 5 8 の接続先の書き込み制御トランジスタ T 1 がオン状態となるのに十分なレベルにまで出力信号 Q 2 の電位が上昇する。これにより、i 行目の画素回路 4 1 0 で書き込みが行われる。

[0132] 期間 P 5 1 の終了時点には、第 1 クロック C K A がハイレベルからローレベルに変化する。これにより、入力端子 5 3 の電位の低下とともに出力端子 5 7 の電位（出力信号 Q 1 の電位）が低下する。出力端子 5 7 の電位が低下すると、コンデンサ C 1 1 を介して、第 1 内部ノード N 1 の電位も低下する。また、期間 P 5 1 の終了時点には、イネーブル信号 E N A がハイレベルからローレベルに変化する。これにより、入力端子 5 5 の電位の低下とともに出力端子 5 8 の電位（出力信号 Q 2 の電位）が低下する。出力端子 5 8 の電位が低下すると、コンデンサ C 1 2 を介して、第 2 内部ノード N 2 の電位も低下する。

[0133] 期間 P 5 2 になると、リセット信号 R がローレベルからハイレベルに変化する。これにより、トランジスタ T 1 2 がオン状態となる。その結果、第 1 内部ノード N 1 および第 2 内部ノード N 2 の電位はローレベルとなる。

[0134] < 3. 3. 1. 2 動作モードがモニタモードに設定されているときの動作 >

図 2 8 を参照しつつ、動作モードがモニタモードに設定されているときの i 段目の単位回路 2 2 (i) の動作について説明する。但し、i 行目がモニタ行であると仮定し、i 行目についてのモニタ処理が行われる際の動作に着目する。期間 P 6 0 の開始時点直前の各信号の電位は、上記期間 P 5 0 の開

始時点直前と同じである。

[0135] 期間P 6 0になると、制御信号MON 2がローレベルからハイレベルに変化する。これにより、トランジスタT 1 8がオン状態となる。また、期間P 6 0になると、セット信号Sがローレベルからハイレベルに変化する。このセット信号SのパルスによってトランジスタT 1 1がオン状態となり、コンデンサC 1 1が充電される。このとき、トランジスタT 1 5, T 1 8がオン状態となっているので、コンデンサC 1 2, C 1 3も充電される。以上より、第1内部ノードN 1、第2内部ノードN 2、および第3内部ノードN 3の電位が上昇してトランジスタT 1 3, T 1 6, およびT 1 9がオン状態になる。しかしながら、期間P 6 0には、第1クロックCK A、イネーブル信号E N A、およびイネーブル信号E N Bはローレベルで維持されるので、出力信号Q 1, Q 2, およびQ 3はローレベルで維持される。

[0136] 期間P 6 1になると、イネーブル信号E N Aがローレベルからハイレベルに変化する。このとき、トランジスタT 1 6はオン状態となっているので、入力端子5 5の電位の上昇とともに出力端子5 8の電位（出力信号Q 2の電位）が上昇する。これに伴い、コンデンサC 1 2を介して第2内部ノードN 2の電位も上昇する。その結果、トランジスタT 1 6の制御端子には大きな電圧が印加され、出力端子5 8の接続先の書き込み制御トランジスタT 1がオン状態となるのに十分なレベルにまで出力信号Q 2の電位が上昇する。また、期間P 6 1になると、イネーブル信号E N Bがローレベルからハイレベルに変化する。このとき、トランジスタT 1 9はオン状態となっているので、入力端子5 6の電位の上昇とともに出力端子5 9の電位（出力信号Q 3の電位）が上昇する。これに伴い、コンデンサC 1 3を介して第3内部ノードN 3の電位も上昇する。その結果、トランジスタT 1 9の制御端子には大きな電圧が印加され、出力端子5 9の接続先のモニタ制御トランジスタT 3がオン状態となるのに十分なレベルにまで出力信号Q 3の電位が上昇する。

[0137] 期間P 6 2になると、イネーブル信号E N Bがハイレベルからローレベルに変化する。これにより、入力端子5 6の電位の低下とともに出力端子5 9

の電位（出力信号Q 3の電位）が低下する。出力端子5 9の電位が低下すると、コンデンサC 1 3を介して、第3内部ノードN 3の電位も低下する。期間P 6 2の終了時点には、イネーブル信号E N Aがハイレベルからローレベルに変化する。これにより、入力端子5 5の電位の低下とともに出力端子5 8の電位（出力信号Q 2の電位）が低下する。出力端子5 8の電位が低下すると、コンデンサC 1 2を介して、第2内部ノードN 2の電位も低下する。

[0138] 期間P 6 3になると、イネーブル信号E N Bがローレベルからハイレベルに変化する。これにより、期間P 6 1と同様、第3内部ノードN 3の電位および出力信号Q 3の電位が上昇する。期間P 6 3の終了時点には、イネーブル信号E N Bがハイレベルからローレベルに変化する。これにより、入力端子5 6の電位の低下とともに出力端子5 9の電位（出力信号Q 3の電位）が低下する。これに伴い、コンデンサC 1 3を介して、第3内部ノードN 3の電位も低下する。

[0139] 期間P 6 4になると、クロック信号C K Aおよびイネーブル信号E N Aがローレベルからハイレベルに変化する。これにより、上記期間P 5 1と同様、第1内部ノードN 1の電位、第2内部ノードN 2の電位、出力信号Q 1の電位、および出力信号Q 2の電位が上昇する。なお、期間P 6 4には、イネーブル信号E N Bはローレベルで維持されるので、第3内部ノードN 3の電位は上昇しない。期間P 6 4の終了時点には、第1クロックC K Aおよびイネーブル信号E N Aがハイレベルからローレベルに変化する。これにより、上記期間P 5 1の終了時点と同様、第1内部ノードN 1の電位、第2内部ノードN 2の電位、出力信号Q 1の電位、および出力信号Q 2の電位が低下する。

[0140] 期間P 6 5になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、上記期間P 5 2と同様、第1内部ノードN 1および第2内部ノードN 2の電位はローレベルとなる。期間P 6 5の開始時点から少しの時間の経過後、制御信号M O N 2がハイレベルからローレベルに変化する。これにより、トランジスタT 1 8がオフ状態となる。

[0141] 以上のようにして、 i 行目の画素回路 410 では、期間 P61, P62, および P64 に書き込み制御トランジスタ T1 がオン状態となり、期間 P61, P63 にモニタ制御トランジスタ T3 がオン状態となる。これにより、期間 P61 ~ P64 に、 i 行目の画素回路 410 についてのモニタ処理が行われる。モニタ処理が行われる際の画素回路 410 および電流モニタ部 320 の動作については、第 1 の実施形態と同様であるので、説明を省略する。

[0142] <3. 3. 2 モニタ処理の方式が第 2 方式であるときの動作>

動作モードが第 1 モードに設定されているときには、第 2 の実施形態の第 1 モードの際と同様、モニタ処理が行われることなく、書き込みのための動作が連続して行われる。すなわち、休止期間が設けられることなく、通常の画像表示が行われるフレーム期間（走査期間のみを含むフレーム期間）が連続する（図 17 参照）。なお、制御信号 MON1 についてはハイレベルで維持され、制御信号 MON2 についてはローレベルで維持される。

[0143] 動作モードが第 2 モードに設定されているときには、第 2 の実施形態の第 2 モードの際と同様、2 つのフレーム期間の間に休止期間が現れるが、休止期間にはモニタ処理が行われることなくシフトレジスタ内でのシフト動作のみが行われる（図 18 参照）。なお、制御信号 MON2 については、動作モードが第 2 モードに設定されている期間を通じてローレベルで維持され、制御信号 MON1 については、フレーム期間（走査期間）にはハイレベルで維持され、休止期間にはローレベルで維持される。

[0144] 動作モードが第 3 モードに設定されているときには、第 2 の実施形態の第 3 モードの際と同様、モニタ処理を行うモニタ期間を含む休止期間が 2 つのフレーム期間の間に現れる（図 19 参照）。なお、制御信号 MON1 については、フレーム期間（走査期間）にはハイレベルで維持され、休止期間にはモニタ期間にのみハイレベルとなりモニタ期間以外の期間にはローレベルで維持される。また、制御信号 MON2 については、フレーム期間（走査期間）にはローレベルで維持され、休止期間にはモニタ期間にのみハイレベルとなりモニタ期間以外の期間にはローレベルで維持される。

[0145] <3. 3. 2. 1 動作モードが第1モードに設定されているときの動作>

このケースでは、単位回路22は、モニタ処理の方式に第1方式が採用されていて動作モードが非モニタモードに設定されているときと同様に動作する（図27参照）。

[0146] <3. 3. 2. 2 動作モードが第2モードに設定されているときの動作>

このケースにおいて、通常の画像表示が行われるフレーム期間（走査期間）には、単位回路22は、モニタ処理の方式に第1方式が採用されていて動作モードが非モニタモードに設定されているときと同様に動作する（図27参照）。

[0147] 図29を参照しつつ、このケースにおいて休止期間中にi段目の単位回路22（i）にシフトパルス（セット信号Sのパルス）が与えられた際の当該i段目の単位回路22（i）の動作について説明する。期間P70の開始時点直前には、第1内部ノードN1、第2内部ノードN2、および第3ノードN3の電位はローレベルとなっており、制御信号MON1、MON2はローレベルとなっている。制御信号MON1、MON2がローレベルとなっているのでトランジスタT15、T18はオフ状態となっている。

[0148] 期間P70になると、セット信号Sがローレベルからハイレベルに変化する。これにより、上記期間P50と同様、第1内部ノードN1の電位が上昇してトランジスタT13がオン状態になる。しかしながら、期間P70には、第1クロックCKAはローレベルで維持されるので、出力信号Q1はローレベルで維持される。トランジスタT15、T18はオフ状態となっているので、第2内部ノードN2の電位および第3内部ノードN3の電位は上昇しない。従って、出力信号Q2、Q3はローレベルで維持される。

[0149] 期間P71になると、第1クロックCKAがローレベルからハイレベルに変化する。これにより、上記期間P51と同様、出力信号Q1の電位が充分に上昇する。期間P71の終了時点には、第1クロックCKAがハイレベルからローレベルに変化する。これにより、上記期間P51の終了時点と同様、出力端子57の電位（出力信号Q1の電位）および第1内部ノードN1の

電位が低下する。期間P 7 2になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、上記期間P 5 2と同様、第1内部ノードN 1の電位はローレベルとなる。

[0150] <3. 3. 2. 3 動作モードが第3モードに設定されているときの動作>

このケースにおいて、通常の画像表示が行われるフレーム期間（走査期間）には、単位回路2 2は、モニタ処理の方式に第1方式が採用されていて動作モードが非モニタモードに設定されているときと同様に動作する（図2 7参照）。このケースにおいて、休止期間のうちのモニタ期間以外の期間には、単位回路2 2は、動作モードが第2モードに設定されているときの休止期間と同様に動作する（図2 9を参照）。

[0151] 図3 0を参照しつつ、このケースにおける休止期間のうちのモニタ期間のi段目の単位回路2 2（i）の動作について説明する。但し、i行目がモニタ行であると仮定し、i行目についてのモニタ処理が行われる際の動作に着目する。期間P 8 0の開始時点直前の各信号の電位は、上記期間P 7 0の開始時点直前と同じである。

[0152] 期間P 8 0になると、制御信号MON 1, MON 2がローレベルからハイレベルに変化する。これにより、トランジスタT 1 5, T 1 8がオン状態となる。また、期間P 8 0になると、セット信号Sがローレベルからハイレベルに変化する。これにより、上記期間P 6 0と同様、第1内部ノードN 1、第2内部ノードN 2、および第3内部ノードN 3の電位が上昇してトランジスタT 1 3, T 1 6, およびT 1 9がオン状態になる。

[0153] 期間P 8 1～P 8 4には、上記期間P 6 1～P 6 4と同様の動作が行われる。期間P 8 5になると、リセット信号Rがローレベルからハイレベルに変化する。これにより、上記期間P 6 5と同様、第1内部ノードN 1および第2内部ノードN 2の電位はローレベルとなる。期間P 8 5の開始時点から少しの時間の経過後、制御信号MON 1, MON 2がハイレベルからローレベルに変化する。これにより、トランジスタT 1 5, T 1 8がオフ状態となる。

[0154] 以上のようにして、 i 行目の画素回路 410 では、期間 P81, P82, および P84 に書き込み制御トランジスタ T1 がオン状態となり、期間 P81, P83 にモニタ制御トランジスタ T3 がオン状態となる。これにより、期間 P81 ~ P84 に、 i 行目の画素回路 410 についてのモニタ処理が行われる。モニタ処理が行われる際の画素回路 410 および電流モニタ部 320 の動作については、第 1 の実施形態と同様であるので、説明を省略する。

[0155] <3. 4 効果>

本実施形態によれば、リアルタイムモニタおよび休止駆動の双方を行うことができるよう、ゲートドライバを構成するシフトレジスタの各段として図 26 に示す構成の単位回路 22 が採用されている。そして、リアルタイムモニタが行われる際、モニタ期間以外の期間には、単位回路 22 内のトランジスタ T18 はオフ状態で維持される。また、休止駆動中の休止期間において、モニタ期間以外の期間には、単位回路 22 内のトランジスタ T15, T18 はオフ状態で維持される。以上より、バッファトランジスタとして機能するトランジスタ T16, T19 へのストレス印加が顕著に抑制される。従って、トランジスタ T16, T19 のサイズを小さくすることができる。以上のように、リアルタイムモニタおよび休止期間中のモニタ処理の双方が可能な有機 EL 表示装置に関し、従来よりも額縁サイズを小さくすることができる。

[0156] <4. その他>

上記においてはモニタ行が 1 行目から n 行目へと 1 行ずつ順次に遷移することを前提に説明しているが、これには限定されない。モニタ行がランダムに遷移するようにしても良い。

[0157] 上記各実施形態（変形例を含む）では有機 EL 表示装置を例に挙げて説明したが、これには限定されない。電流で駆動される表示素子（電流によって輝度または透過率が制御される表示素子）を備えた表示装置であれば、本発明を適用することができる。例えば、無機発光ダイオードを備えた無機 EL 表示装置や量子ドット発光ダイオード（Quantum dot Light Emitting Diode

(QLED))を備えたQLED表示装置などにも本発明を適用することができる。

符号の説明

- [0158] 10…表示制御回路
20…ゲートドライバ
22…単位回路
30…ソースドライバ
40…表示部
221～223…第1～第3出力制御回路
320…電流モニタ部
410…画素回路
GL、GL(1)～GL(n)…走査信号線
ML、ML(1)～ML(n)…モニタ制御線
SL、SL(1)～SL(m)…データ信号線
MCL、MCL(1)～MCL(m)…電流モニタ線
L1…有機EL素子
T1…書き込み制御トランジスタ
T2…駆動トランジスタ
T3…モニタ制御トランジスタ
T11～T19…単位回路内のトランジスタ
N1～N3…第1～第3内部ノード
MON、MON1、MON2…制御信号

請求の範囲

[請求項1]

電流によって駆動される表示素子と前記表示素子の駆動電流を制御する駆動トランジスタとを含む画素回路を有し、前記駆動トランジスタまたは前記表示素子の劣化を補償するために前記画素回路内を流れる電流を前記画素回路外で測定する一連の処理であるモニタ処理を実行する機能を有する表示装置であって、

$n \times m$ 個（ n および m は2以上の整数）の前記画素回路からなる n 行 $\times$ m 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査信号線と、前記画素マトリクスの各列に対応するように設けられたデータ信号線とを有する表示部と、

前記データ信号線にデータ信号を印加するデータ信号線駆動回路と、

前記走査信号線に走査信号を印加する走査信号線駆動回路と、

第1制御信号線とを備え、

前記走査信号線駆動回路は、それぞれが対応する走査信号線に接続された複数の単位回路からなるシフトレジスタによって構成され、

各単位回路は、

第1内部ノードと、他の単位回路に接続された第1出力端子と、前記第1内部ノードに接続された制御端子と第1導通端子と前記第1出力端子に接続された第2導通端子とを有する第1出力制御トランジスタとを含む第1出力制御回路と、

第2内部ノードと、前記モニタ処理が行われるモニタ期間のうちの少なくとも一部の期間にオンレベルの信号を出力する第2出力端子と、前記第2内部ノードに接続された制御端子と第1導通端子と前記第2出力端子に接続された第2導通端子とを有する第2出力制御トランジスタとを含む第2出力制御回路と、

前記第1制御信号線に接続された制御端子と、前記第1内部ノー

ドに接続された第1導通端子と、前記第2内部ノードに接続された第2導通端子とを有する第1出力回路制御トランジスタとを含み、

前記第1制御信号線に印加される電位は、前記第1出力回路制御トランジスタをオン状態にする第1電位と前記第1出力回路制御トランジスタをオフ状態にする第2電位との間で切り替えられ、

前記モニタ期間を通じて、前記第1制御信号線に前記第1電位が印加されることを特徴とする、表示装置。

[請求項2] 前記第1制御信号線は、前記複数の単位回路に共通の電位を与えることを特徴とする、請求項1に記載の表示装置。

[請求項3] 前記モニタ処理の対象とされる行がランダムに遷移することを特徴とする、請求項1または2に記載の表示装置。

[請求項4] 前記表示部は、前記画素マトリクス of 各行に対応するように設けられたモニタ制御線を更に有し、

前記走査信号線駆動回路は、前記モニタ制御線にモニタ制御信号を印加し、

前記第1出力端子は、対応する走査信号線に接続され、

前記第2出力端子は、対応するモニタ制御線に接続されていることを特徴とする、請求項1から3までのいずれか1項に記載の表示装置。

[請求項5] 前記モニタ処理の対象が第*i*行であるとき、前記走査信号線駆動回路が第1行から第(*i* - 1)行までの走査信号線を順次に駆動することによって画像表示が行われた後、第*i*行についての前記モニタ処理が行われ、当該モニタ処理の終了後、前記走査信号線駆動回路が第*i*行以降の走査信号線を順次に駆動することによって画像表示が行われることを特徴とする、請求項4に記載の表示装置。

[請求項6] 前記モニタ処理を含む画像表示の垂直期間は、前記モニタ処理を含まない画像表示の垂直期間よりも長いことを特徴とする、請求項4ま

たは 5 に記載の表示装置。

[請求項7] 前記モニタ期間以外の期間には、前記第 1 制御信号線に前記第 2 電位が印加されることを特徴とする、請求項 4 から 6 までのいずれか 1 項に記載の表示装置。

[請求項8] 前記データ信号線は、前記モニタ処理の際に前記駆動トランジスタまたは前記表示素子の特性に応じた電流を流すための信号線としても用いられ、

前記モニタ処理の際、前記データ信号線を流れる電流の測定が行われることを特徴とする、請求項 4 から 7 までのいずれか 1 項に記載の表示装置。

[請求項9] 前記画素回路は、

第 1 端子と第 2 端子とを有する前記表示素子と、

制御端子と第 1 導通端子と第 2 導通端子とを有する前記駆動トランジスタと、

前記走査信号線に接続された制御端子と、前記データ信号線に接続された第 1 導通端子と、前記駆動トランジスタの制御端子に接続された第 2 導通端子とを有する書き込み制御トランジスタと、

前記モニタ制御線に接続された制御端子と、前記駆動トランジスタの第 2 導通端子と前記表示素子の第 1 端子とに接続された第 1 導通端子と、前記データ信号線に接続された第 2 導通端子とを有するモニタ制御トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するために一端が前記駆動トランジスタの制御端子に接続された容量素子とを含み、

前記モニタ期間は、少なくとも、前記画素回路を初期化する初期化期間、前記駆動トランジスタまたは前記表示素子の特性に応じた電流を流すためのデータ信号を前記画素回路に書き込む第 1 書き込み期間、前記画素回路外で電流を測定する測定期間、および画像表示用のデ

ータ信号を前記画素回路に書き込む第2書き込み期間を含み、

前記モニタ処理の対象となっている行では、

前記初期化期間には、前記書き込み制御トランジスタがオン状態となるように前記走査信号線に前記走査信号が印加され、前記モニタ制御トランジスタがオン状態となるように前記モニタ制御線に前記モニタ制御信号が印加され、前記駆動トランジスタがオフ状態となるように前記データ信号線に前記データ信号が印加され、

前記第1書き込み期間には、前記モニタ制御トランジスタがオフ状態となるように前記モニタ制御線に前記モニタ制御信号が印加され、

前記測定期間には、前記書き込み制御トランジスタがオフ状態となるように前記走査信号線に前記走査信号が印加され、前記モニタ制御トランジスタがオン状態となるように前記モニタ制御線に前記モニタ制御信号が印加されることを特徴とする、請求項4から8までのいずれか1項に記載の表示装置。

[請求項10] 前記モニタ期間の開始時点までに前記第1制御信号線に前記第1電位が印加され、

前記モニタ期間の終了後に前記第1制御信号線に前記第2電位が印加されることを特徴とする、請求項4から9までのいずれか1項に記載の表示装置。

[請求項11] 前記モニタ処理に関する動作モードとして、前記モニタ処理が随時行われるモニタモードと前記モニタ処理が行われない非モニタモードとが用意され、

動作モードが前記非モニタモードに設定されている期間を通じて、前記第1制御信号線に前記第2電位が印加されることを特徴とする、請求項4から10までのいずれか1項に記載の表示装置。

[請求項12] 前記表示部は、前記画素マトリクス of 各列に対応するように設けられた電流モニタ線を更に有し、

前記データ信号線駆動回路は、前記電流モニタ線を流れる電流を測定する機能を有し、

前記画素回路は、

第1端子と第2端子とを有する前記表示素子と、

制御端子と第1導通端子と第2導通端子とを有する前記駆動トランジスタと、

前記走査信号線に接続された制御端子と、前記データ信号線に接続された第1導通端子と、前記駆動トランジスタの制御端子に接続された第2導通端子とを有する書き込み制御トランジスタと、

前記走査信号線に接続された制御端子と、前記駆動トランジスタの第2導通端子と前記表示素子の第1端子とに接続された第1導通端子と、前記電流モニタ線に接続された第2導通端子とを有するモニタ制御トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するために一端が前記駆動トランジスタの制御端子に接続された容量素子とを含み、

前記第2出力端子は、対応する走査信号線に接続されていることを特徴とする、請求項1から3までのいずれか1項に記載の表示装置。

[請求項13] 前記画素回路に前記データ信号を書き込む動作を間欠的に行う休止駆動が可能であって、

前記休止駆動が行われるときの前記モニタ処理に関する動作モードとして、前記モニタ処理が行われるモニタモードと前記モニタ処理が行われない非モニタモードとが用意されていることを特徴とする、請求項12に記載の表示装置。

[請求項14] 前記モニタ処理の対象が第*i*行であるとき、前記シフトレジスタで第1行に対応する単位回路から第(*i* - 1)行に対応する単位回路まで順次にシフト動作が行われた後、第*i*行についての前記モニタ処理が行われ、当該モニタ処理の終了後、前記シフトレジスタで第*i*行以

降に対応する単位回路で順次にシフト動作が行われることを特徴とする、請求項 13 に記載の表示装置。

[請求項15] 前記画素回路に前記データ信号を書き込む動作が中断されている休止期間に関し、前記モニタ処理を含む休止期間は、前記モニタ処理を含まない休止期間よりも長いことを特徴とする、請求項 13 または 14 に記載の表示装置。

[請求項16] 前記休止駆動が行われている場合に、

前記画素回路に前記データ信号を書き込む動作が中断されている休止期間のうちの前記モニタ期間には、前記第 1 制御信号線に前記第 1 電位が印加され、

前記休止期間のうちの前記モニタ期間以外の期間には、前記第 1 制御信号線に前記第 2 電位が印加され、

前記休止期間以外の期間を通じて、前記第 1 制御信号線に前記第 1 電位が印加されることを特徴とする、請求項 13 から 15 までのいずれか 1 項に記載の表示装置。

[請求項17] 第 2 制御信号線を更に備え、

前記表示部は、前記画素マトリクス of 各行に対応するように設けられたモニタ制御線を更に有し、

前記走査信号線駆動回路は、前記モニタ制御線にモニタ制御信号を印加し、

各単位回路は、

第 3 内部ノードと、前記モニタ処理が行われるモニタ期間のうちの少なくとも一部の期間にオンレベルの信号を出力する第 3 出力端子と、前記第 3 内部ノードに接続された制御端子と第 1 導通端子と前記第 3 出力端子に接続された第 2 導通端子とを有する第 3 出力制御トランジスタを含む第 3 出力制御回路と、

前記第 2 制御信号線に接続された制御端子と、前記第 1 内部ノードに接続された第 1 導通端子と、前記第 3 内部ノードに接続された第

2 導通端子とを有する第2出力回路制御トランジスタと
を更に含み、

前記第2制御信号線に印加される電位は、前記第2出力回路制御トランジスタをオン状態にする第3電位と前記第2出力回路制御トランジスタをオフ状態にする第4電位との間で切り替えられ、

前記モニタ期間を通じて、前記第2制御信号線に前記第3電位が印加されることを特徴とする、請求項1から3までのいずれか1項に記載の表示装置に記載の表示装置。

[請求項18] 前記データ信号線は、前記モニタ処理の際に前記駆動トランジスタまたは前記表示素子の特性に応じた電流を流すための信号線としても用いられ、

前記モニタ処理の際、前記データ信号線を流れる電流の測定が行われることを特徴とする、請求項17に記載の表示装置。

[請求項19] 前記第2出力端子は、対応する走査信号線に接続され、
前記第3出力端子は、対応するモニタ制御線に接続されていることを特徴とする、請求項17または18に記載の表示装置。

[請求項20] 前記画素回路は、
第1端子と第2端子とを有する前記表示素子と、
制御端子と第1導通端子と第2導通端子とを有する前記駆動トランジスタと、

前記走査信号線に接続された制御端子と、前記データ信号線に接続された第1導通端子と、前記駆動トランジスタの制御端子に接続された第2導通端子とを有する書き込み制御トランジスタと、

前記モニタ制御線に接続された制御端子と、前記駆動トランジスタの第2導通端子と前記表示素子の第1端子とに接続された第1導通端子と、前記データ信号線に接続された第2導通端子とを有するモニタ制御トランジスタと、

前記駆動トランジスタの制御端子の電位を保持するために一端が

前記駆動トランジスタの制御端子に接続された容量素子とを含み、

前記モニタ期間は、少なくとも、前記画素回路を初期化する初期化期間、前記駆動トランジスタまたは前記表示素子の特性に応じた電流を流すためのデータ信号を前記画素回路に書き込む第1書き込み期間、前記画素回路外で電流を測定する測定期間、および画像表示用のデータ信号を前記画素回路に書き込む第2書き込み期間を含み、

前記モニタ処理の対象となっている行では、

前記初期化期間には、前記書き込み制御トランジスタがオン状態となるように前記走査信号線に前記走査信号が印加され、前記モニタ制御トランジスタがオン状態となるように前記モニタ制御線に前記モニタ制御信号が印加され、前記駆動トランジスタがオフ状態となるように前記データ信号線に前記データ信号が印加され、

前記第1書き込み期間には、前記モニタ制御トランジスタがオフ状態となるように前記モニタ制御線に前記モニタ制御信号が印加され、

前記測定期間には、前記書き込み制御トランジスタがオフ状態となるように前記走査信号線に前記走査信号が印加され、前記モニタ制御トランジスタがオン状態となるように前記モニタ制御線に前記モニタ制御信号が印加されることを特徴とする、請求項19に記載の表示装置。

[請求項21] 前記モニタ期間の開始時点までに前記第2制御信号線に前記第3電位が印加され、

前記モニタ期間の終了後に前記第2制御信号線に前記第4電位が印加されることを特徴とする、請求項19または20に記載の表示装置。

[請求項22] 前記モニタ処理は、画像表示が行われている期間中に行われることを特徴とする、請求項19から21までのいずれか1項に記載の表示

装置。

- [請求項23] 画像表示が行われている期間を通じて前記第1制御信号線に前記第1電位が印加されることを特徴とする、請求項22に記載の表示装置。
- [請求項24] 前記第1制御信号線に固定電位が印加されることを特徴とする、請求項23に記載の表示装置。
- [請求項25] 前記モニタ期間以外の期間には、前記第2制御信号線に前記第4電位が印加されることを特徴とする、請求項22から24までのいずれか1項に記載の表示装置。
- [請求項26] 前記モニタ処理に関する動作モードとして、前記モニタ処理が随時行われるモニタモードと前記モニタ処理が行われない非モニタモードとが用意され、
動作モードが前記非モニタモードに設定されている期間を通じて、前記第2制御信号線に前記第4電位が印加されることを特徴とする、請求項22から25までのいずれか1項に記載の表示装置。
- [請求項27] 前記画素回路に前記データ信号を書き込む動作を間欠的に行う休止駆動が可能であって、
前記モニタ処理は、前記休止駆動が行われている期間中に行われることを特徴とする、請求項19から21までのいずれか1項に記載の表示装置。
- [請求項28] 前記休止駆動が行われるときの前記モニタ処理に関する動作モードとして、前記モニタ処理が行われるモニタモードと前記モニタ処理が行われない非モニタモードとが用意されていることを特徴とする、請求項27に記載の表示装置。
- [請求項29] 前記休止駆動が行われている場合に、
前記画素回路に前記データ信号を書き込む動作が中断されている休止期間のうちの前記モニタ期間には、前記第1制御信号線に前記第1電位が印加され、

前記休止期間のうちの前記モニタ期間以外の期間には、前記第 1 制御信号線に前記第 2 電位が印加され、

前記休止期間以外の期間を通じて、前記第 1 制御信号線に前記第 1 電位が印加されることを特徴とする、請求項 27 または 28 に記載の表示装置。

[請求項30] 前記休止駆動が行われている場合に、

前記画素回路に前記データ信号を書き込む動作が中断されている休止期間のうちの前記モニタ期間には、前記第 2 制御信号線に前記第 3 電位が印加され、

前記休止期間のうちの前記モニタ期間以外の期間には、前記第 2 制御信号線に前記第 4 電位が印加され、

前記休止期間以外の期間を通じて、前記第 2 制御信号線に前記第 4 電位が印加されることを特徴とする、請求項 27 から 29 までのいずれか 1 項に記載の表示装置。

[請求項31] 電流によって駆動される表示素子と前記表示素子の駆動電流を制御する駆動トランジスタとを含む画素回路を有する表示装置の駆動方法であって、

前記表示装置は、

$n \times m$ 個 (n および m は 2 以上の整数) の前記画素回路からなる n 行 $\times$ m 列の画素マトリクスと、前記画素マトリクスの各行に対応するように設けられた走査信号線と、前記画素マトリクスの各列に対応するように設けられたデータ信号線とを有する表示部と、

前記データ信号線にデータ信号を印加するデータ信号線駆動回路と、

前記走査信号線に走査信号を印加する走査信号線駆動回路と、

第 1 制御信号線と

を備え、

前記駆動方法は、

前記データ信号線駆動回路によって前記データ信号線に印加される画像表示用のデータ信号を各画素回路に書き込むために前記走査信号線の走査を行う走査ステップと、

前記駆動トランジスタまたは前記表示素子の劣化を補償するために、前記画素回路内を流れる電流を前記画素回路外で測定する一連の処理であるモニタ処理を実行するモニタステップとを含み、

前記走査信号線駆動回路は、それぞれが対応する走査信号線に接続された複数の単位回路からなるシフトレジスタによって構成され、各単位回路は、

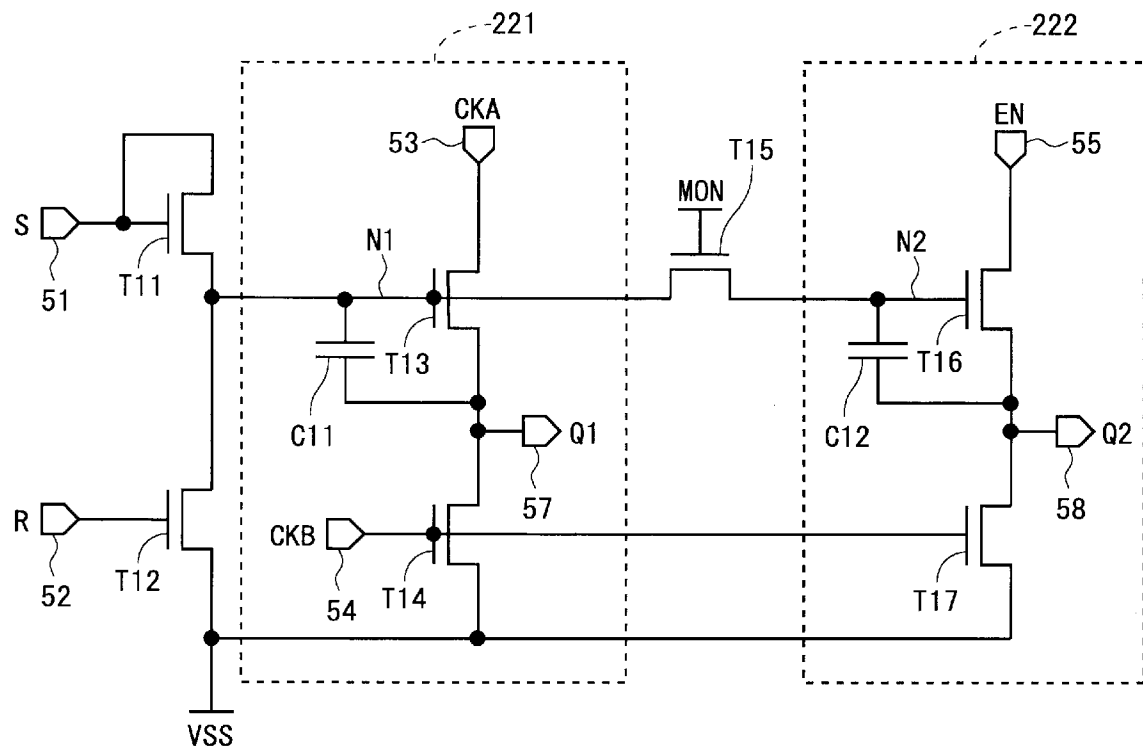
第1内部ノードと、他の単位回路に接続された第1出力端子と、前記第1内部ノードに接続された制御端子と第1導通端子と前記第1出力端子に接続された第2導通端子とを有する第1出力制御トランジスタとを含む第1出力制御回路と、

第2内部ノードと、前記モニタ処理が行われるモニタ期間のうちの少なくとも一部の期間にオンレベルの信号を出力する第2出力端子と、前記第2内部ノードに接続された制御端子と第1導通端子と前記第2出力端子に接続された第2導通端子とを有する第2出力制御トランジスタとを含む第2出力制御回路と、

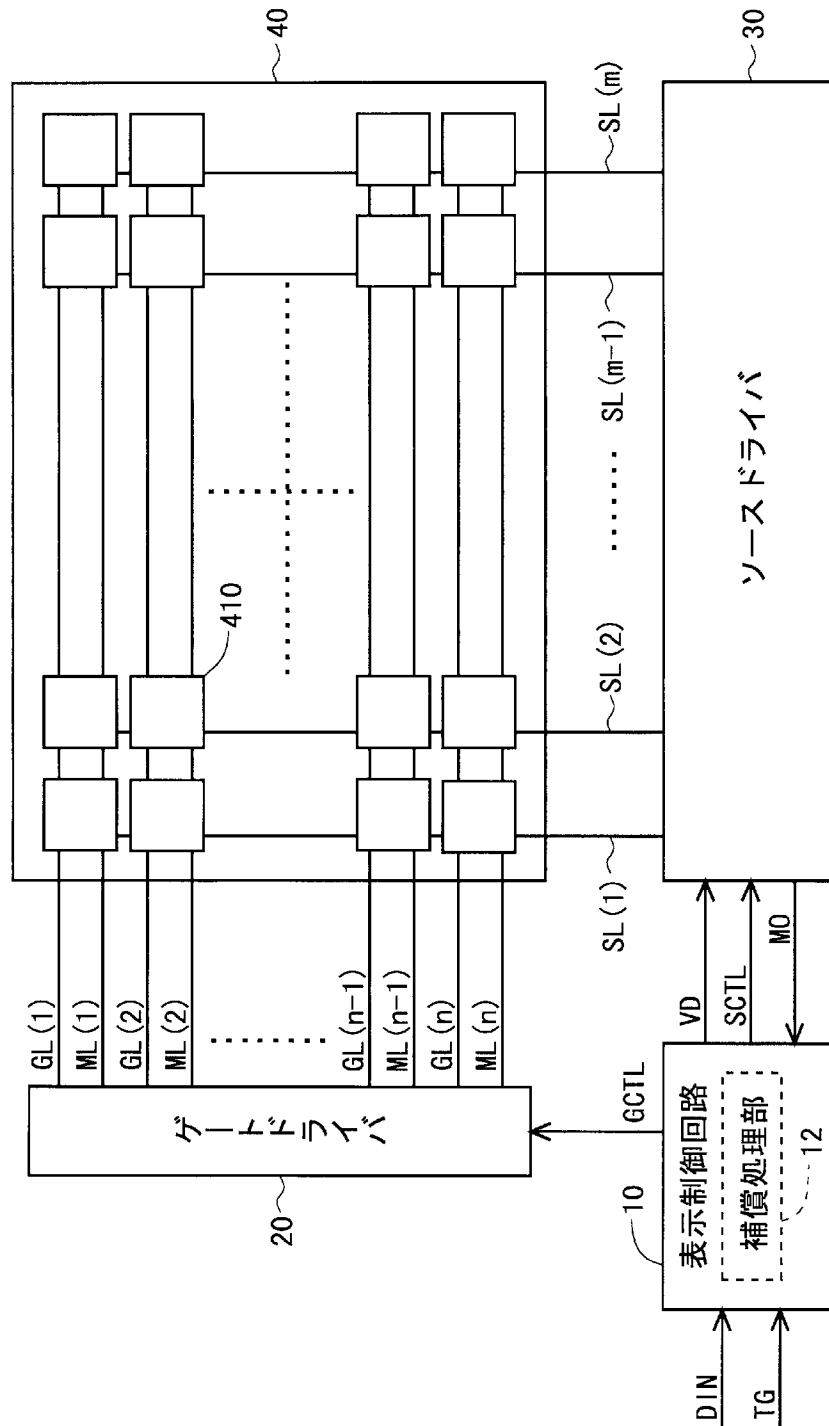
前記第1制御信号線に接続された制御端子と、前記第1内部ノードに接続された第1導通端子と、前記第2内部ノードに接続された第2導通端子とを有する第1出力回路制御トランジスタとを含み、

前記第1制御信号線に印加される電位は、前記第1出力回路制御トランジスタをオン状態にする第1電位と前記第1出力回路制御トランジスタをオフ状態にする第2電位との間で切り替えられ、

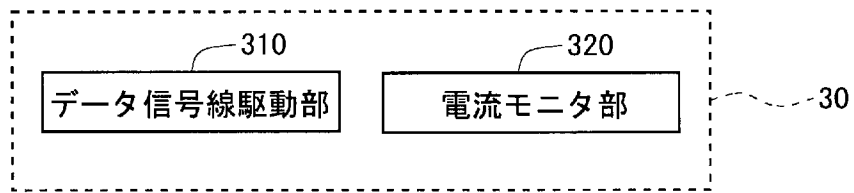
前記モニタステップでは、前記第1制御信号線に前記第1電位が印加されることを特徴とする、駆動方法。



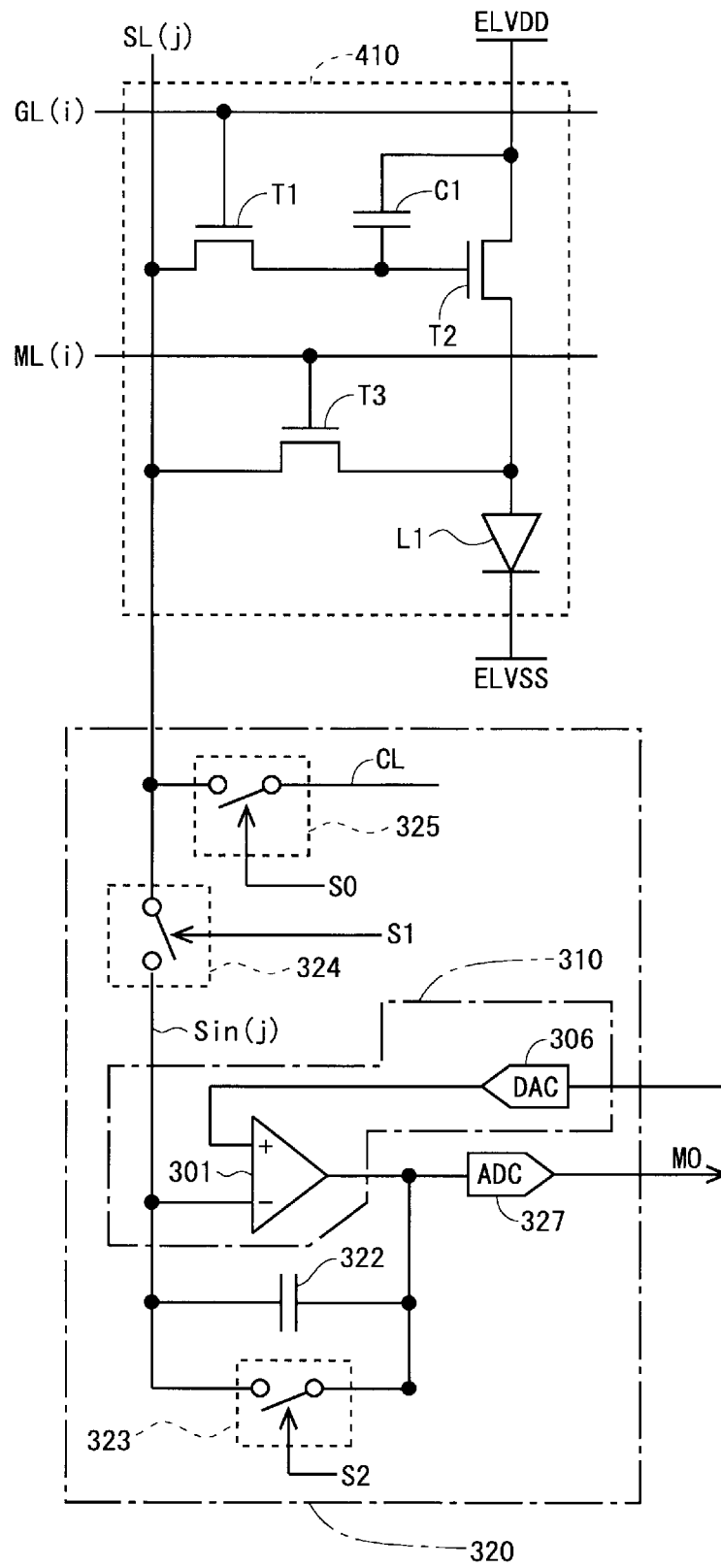
[図2]



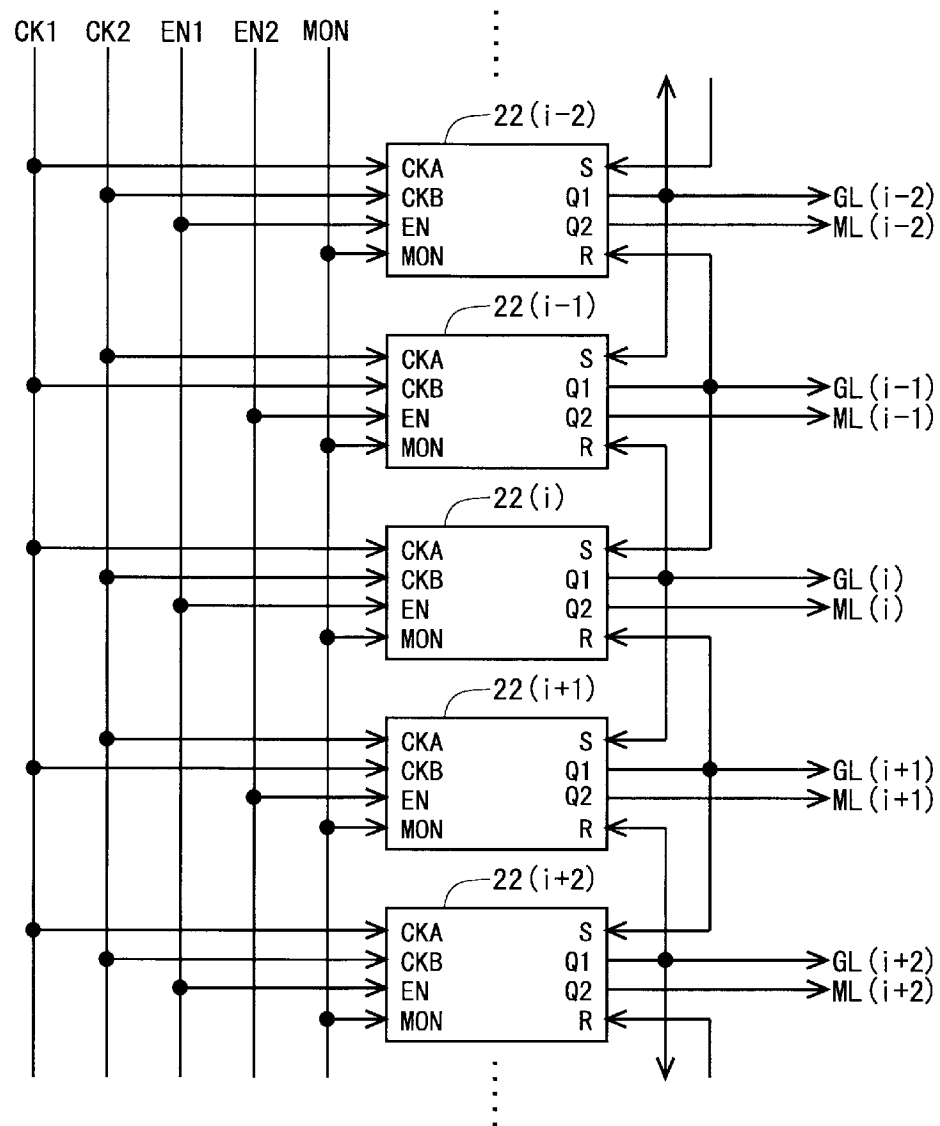
[図3]



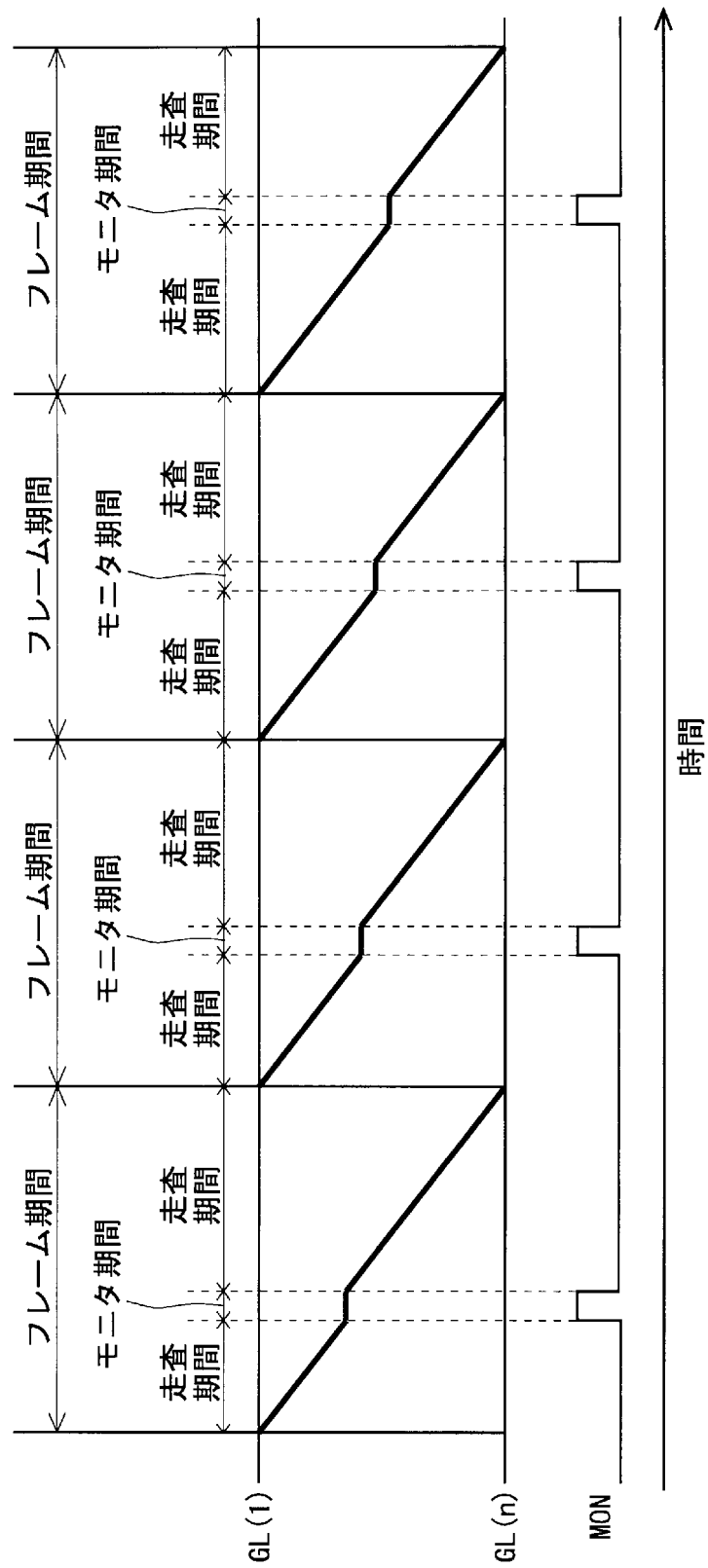
[図4]



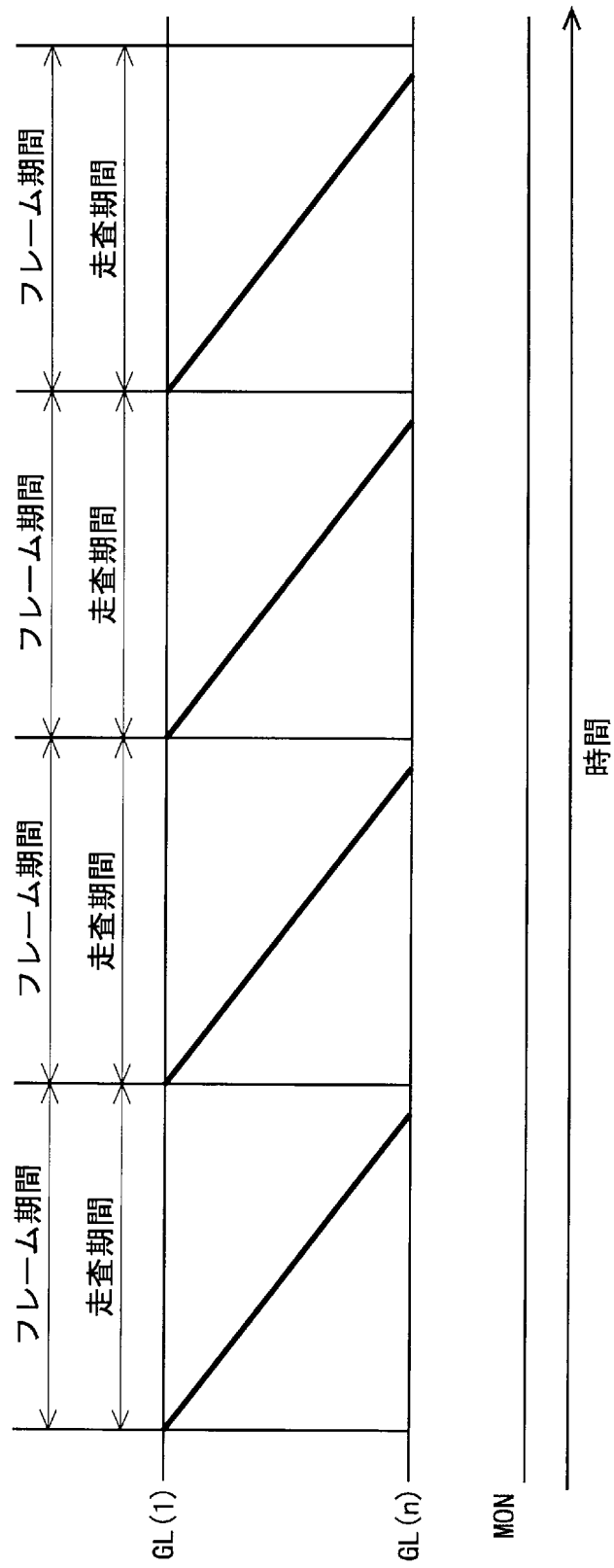
[図5]



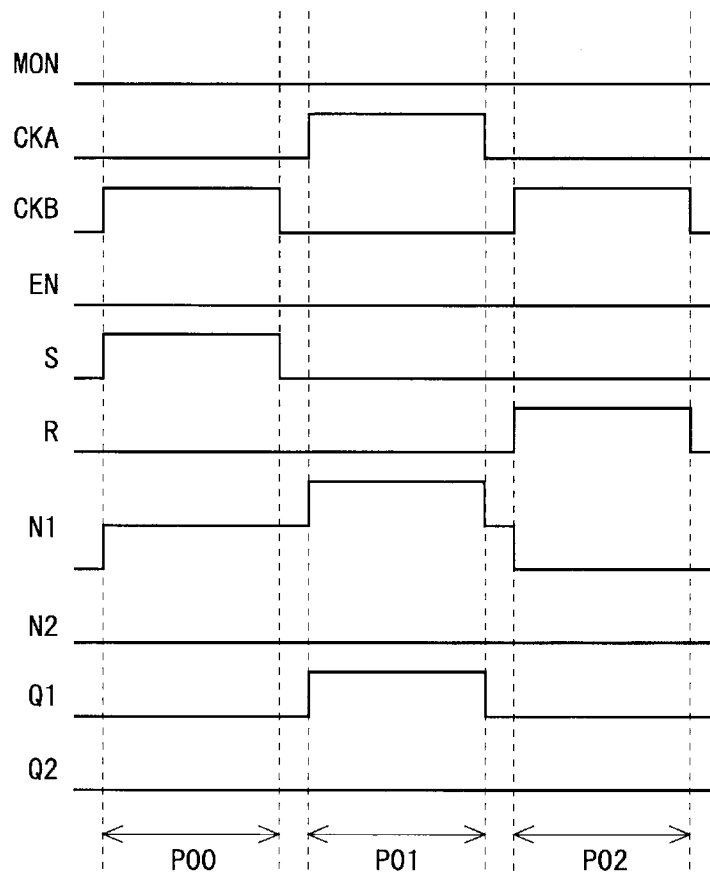
[図6]



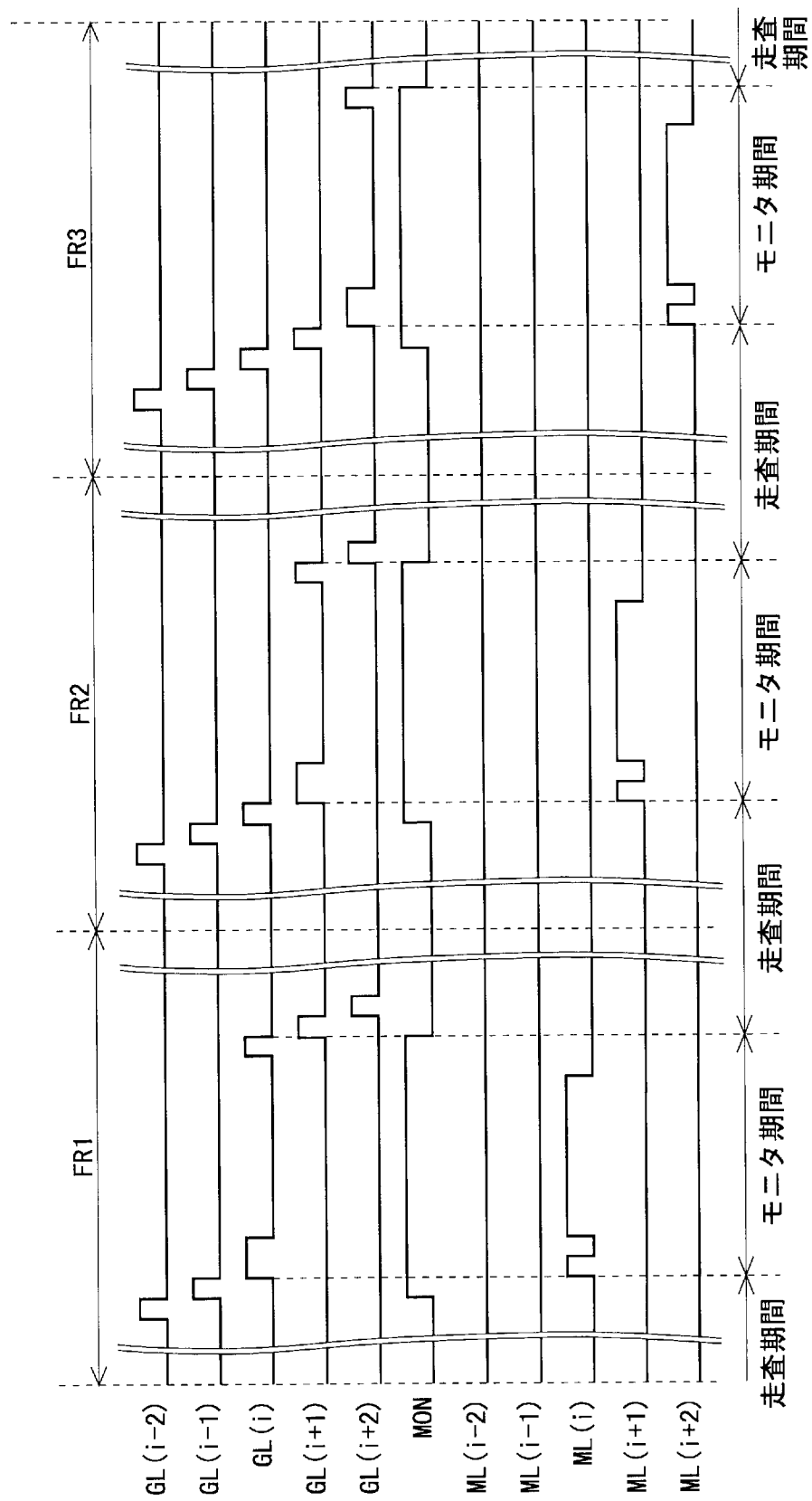
[図7]



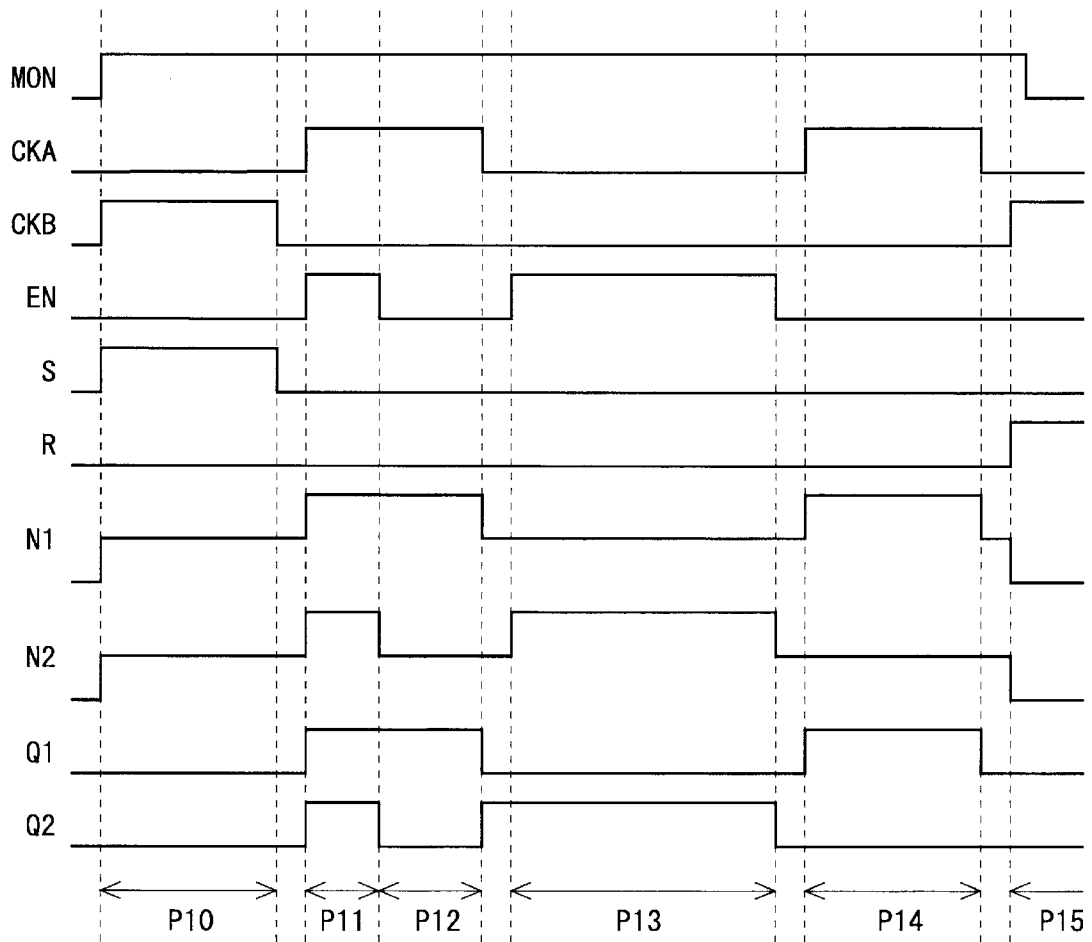
[図8]



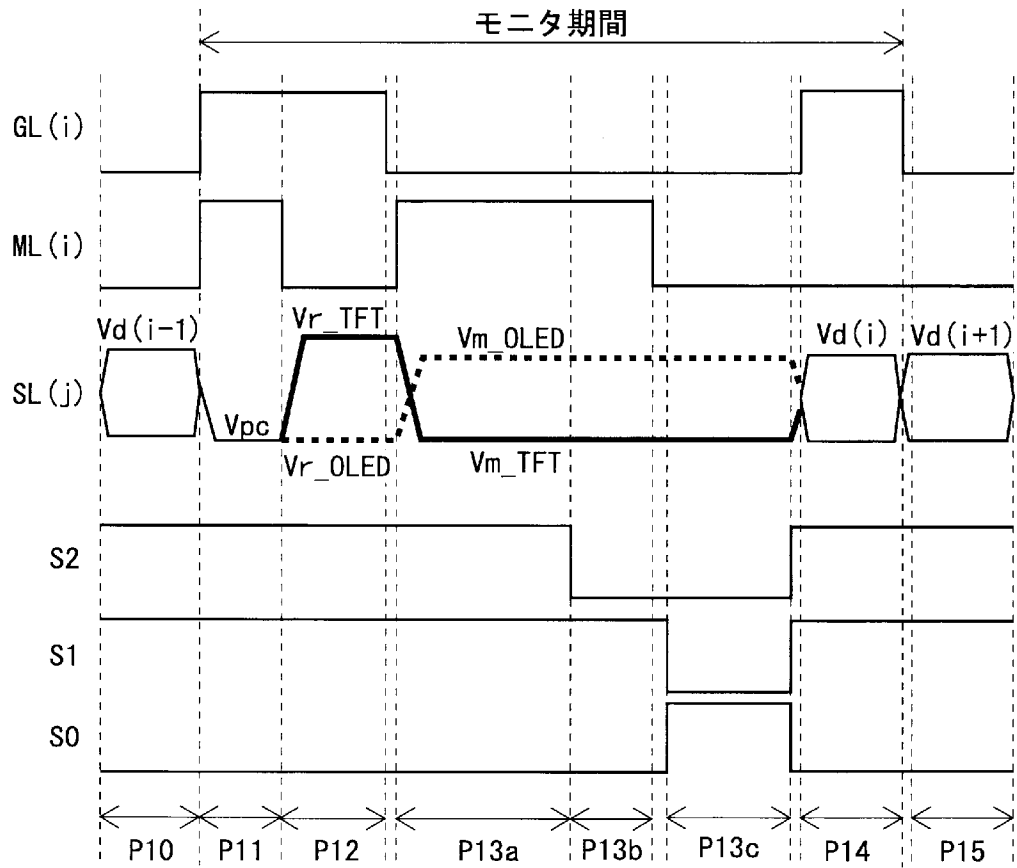
[図9]



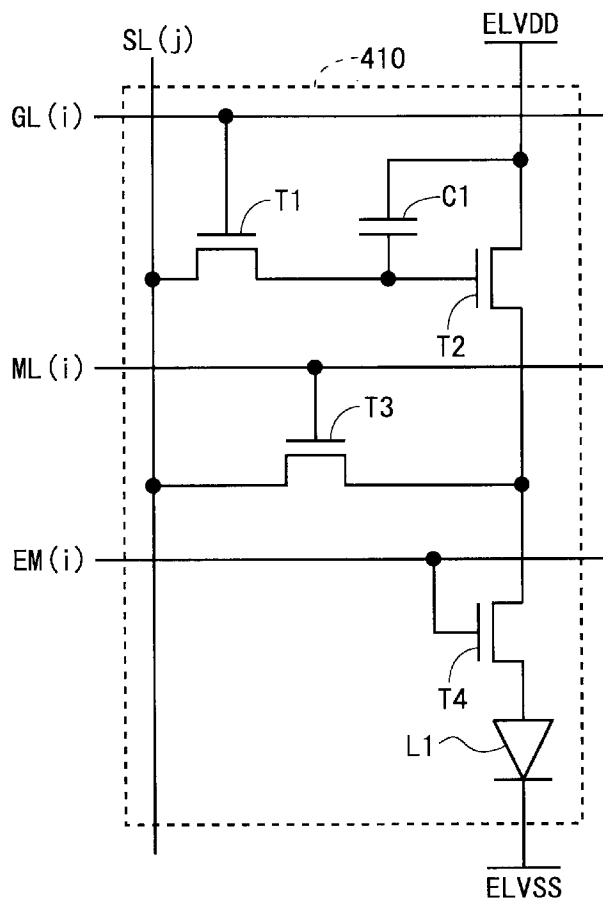
[図10]



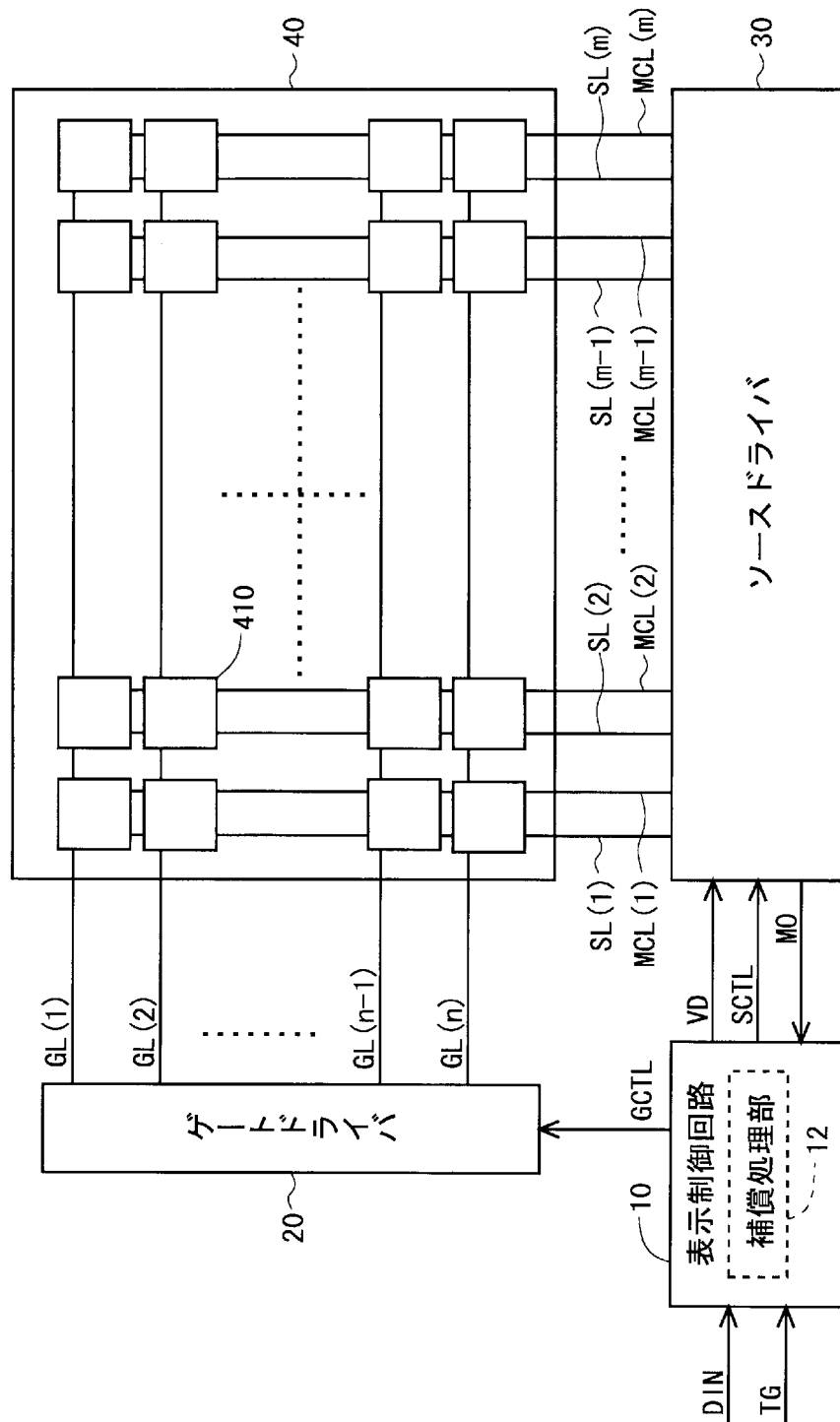
[図11]



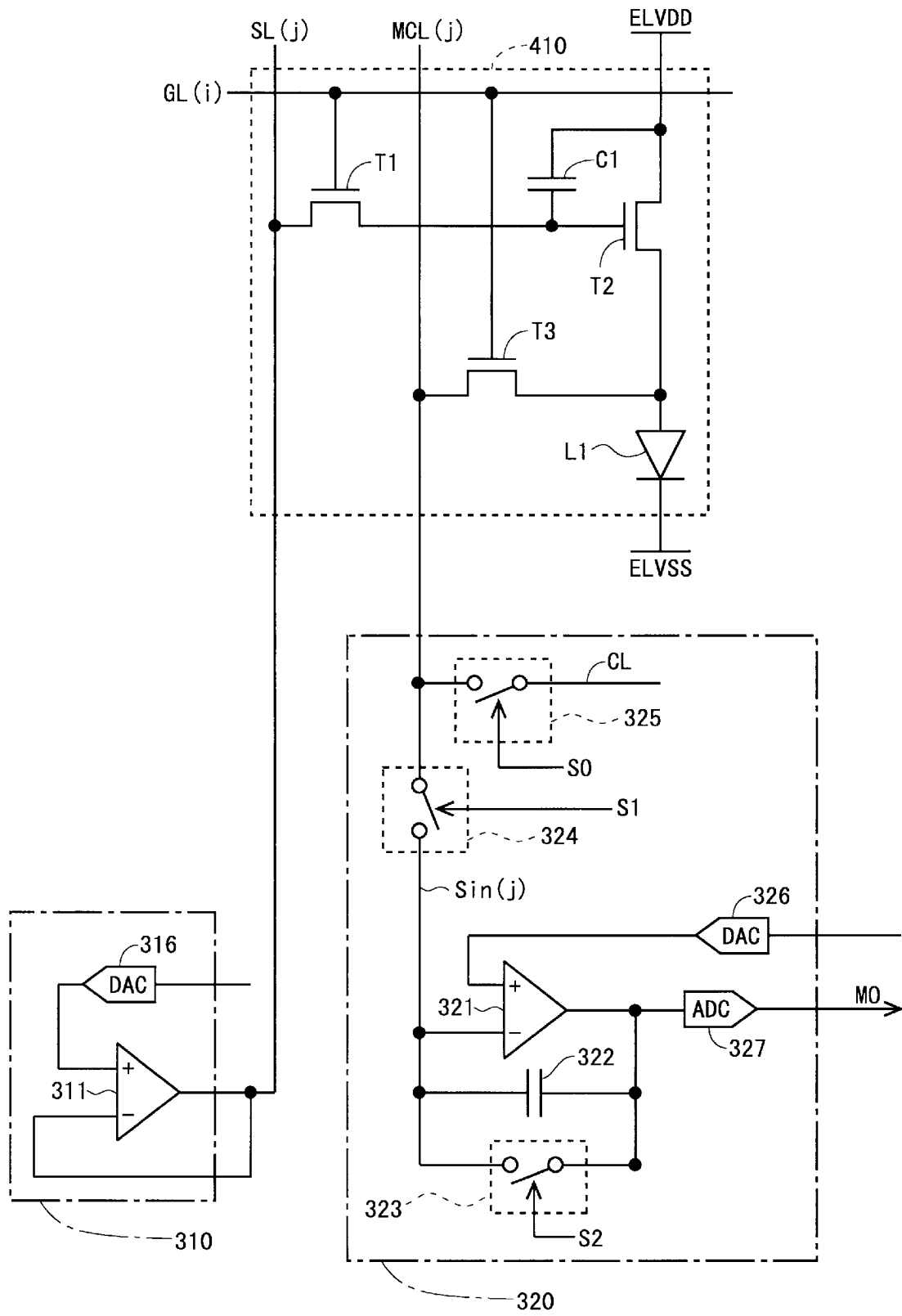
[図12]



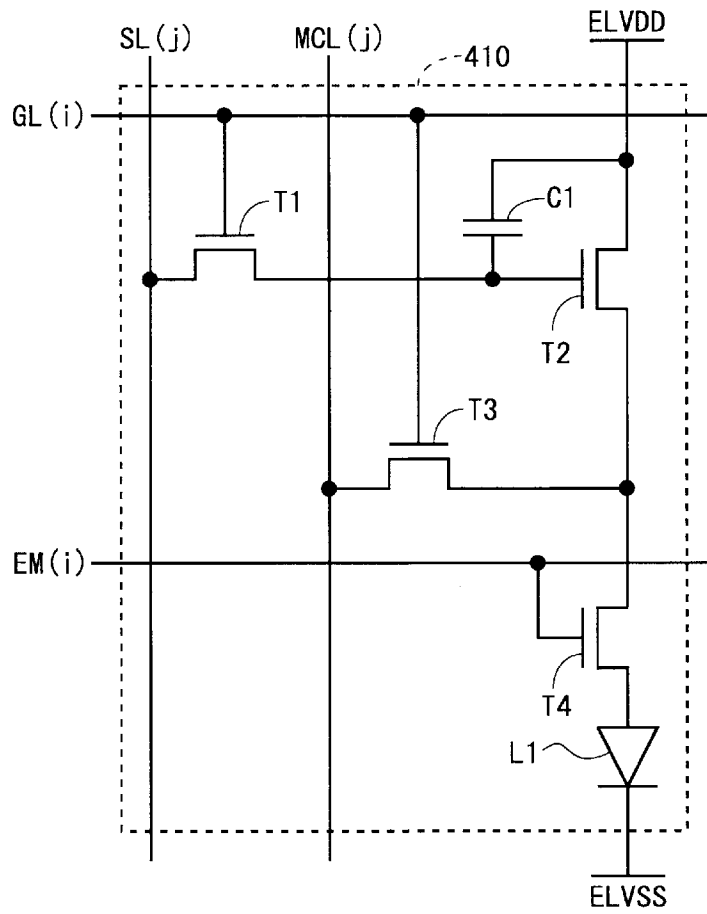
[図13]

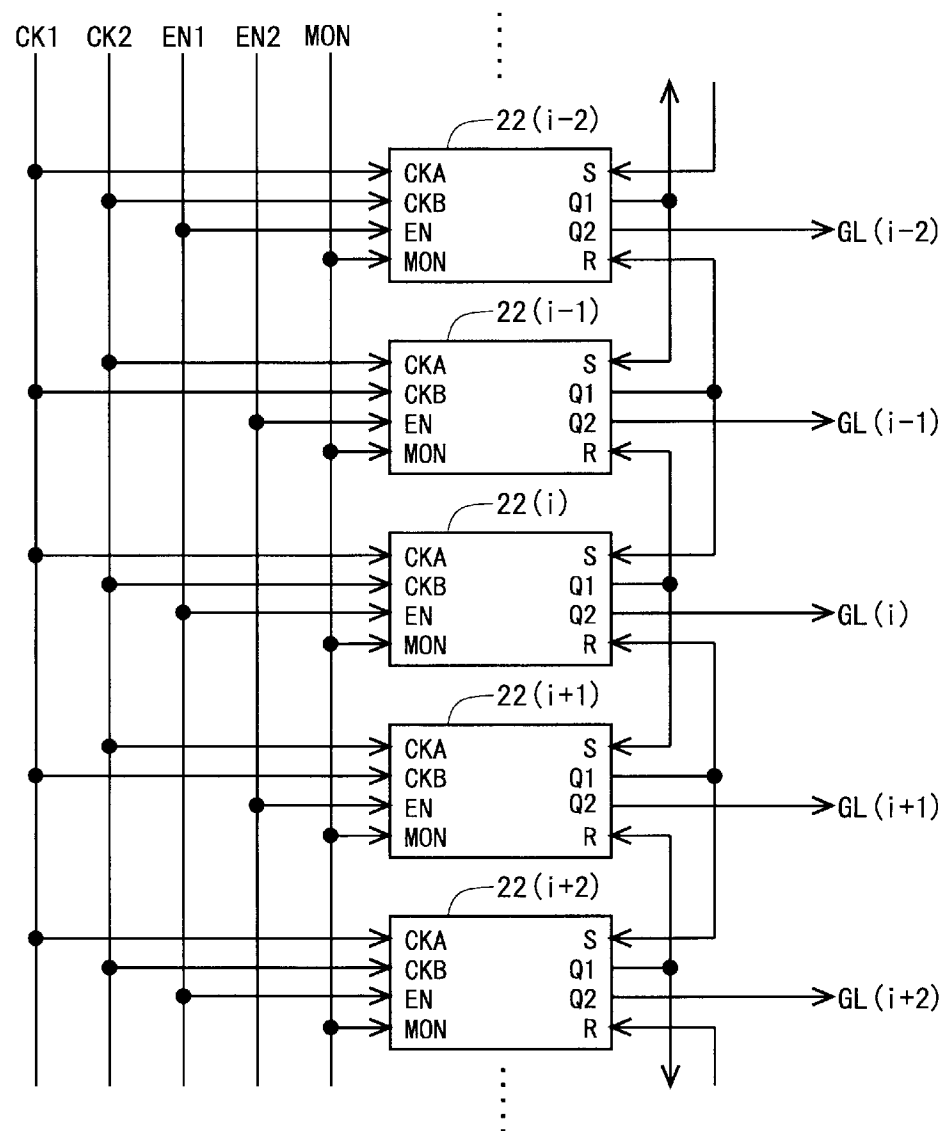


[図14]

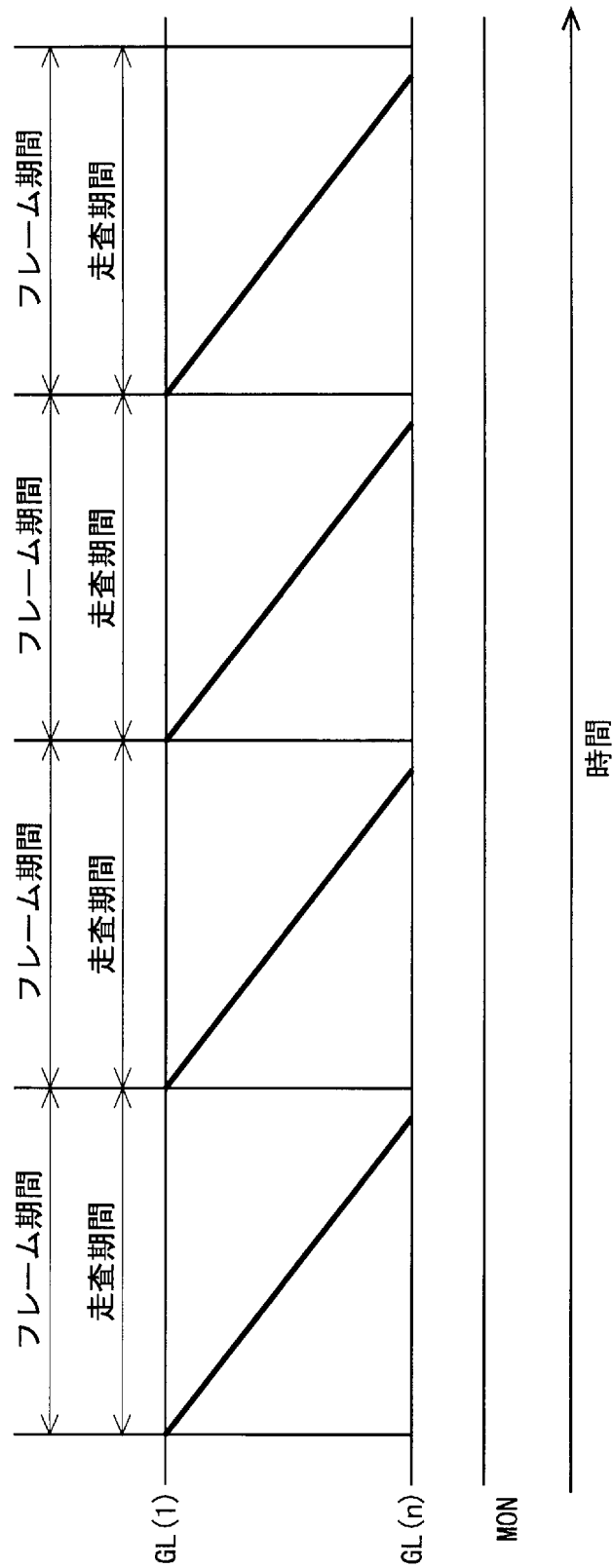


[図15]

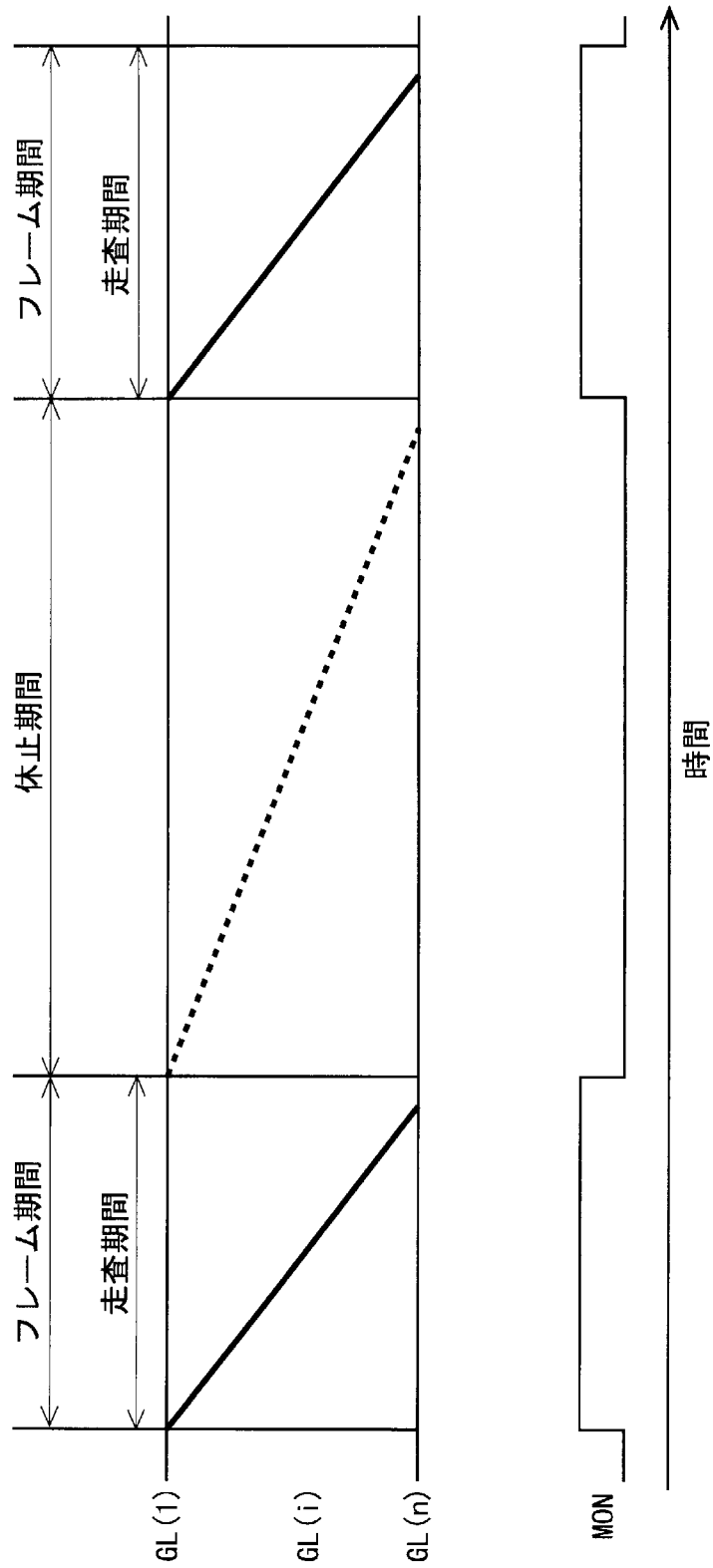




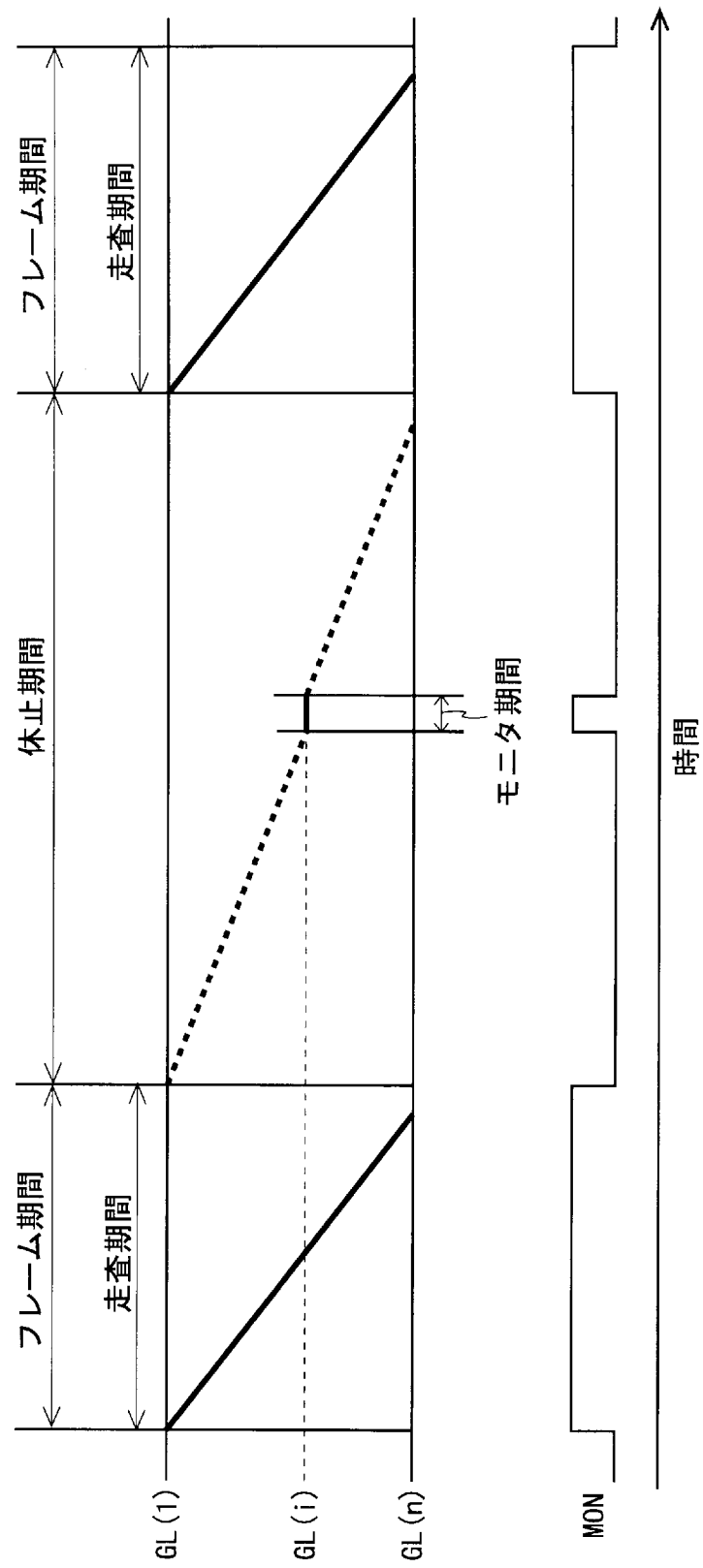
[図17]



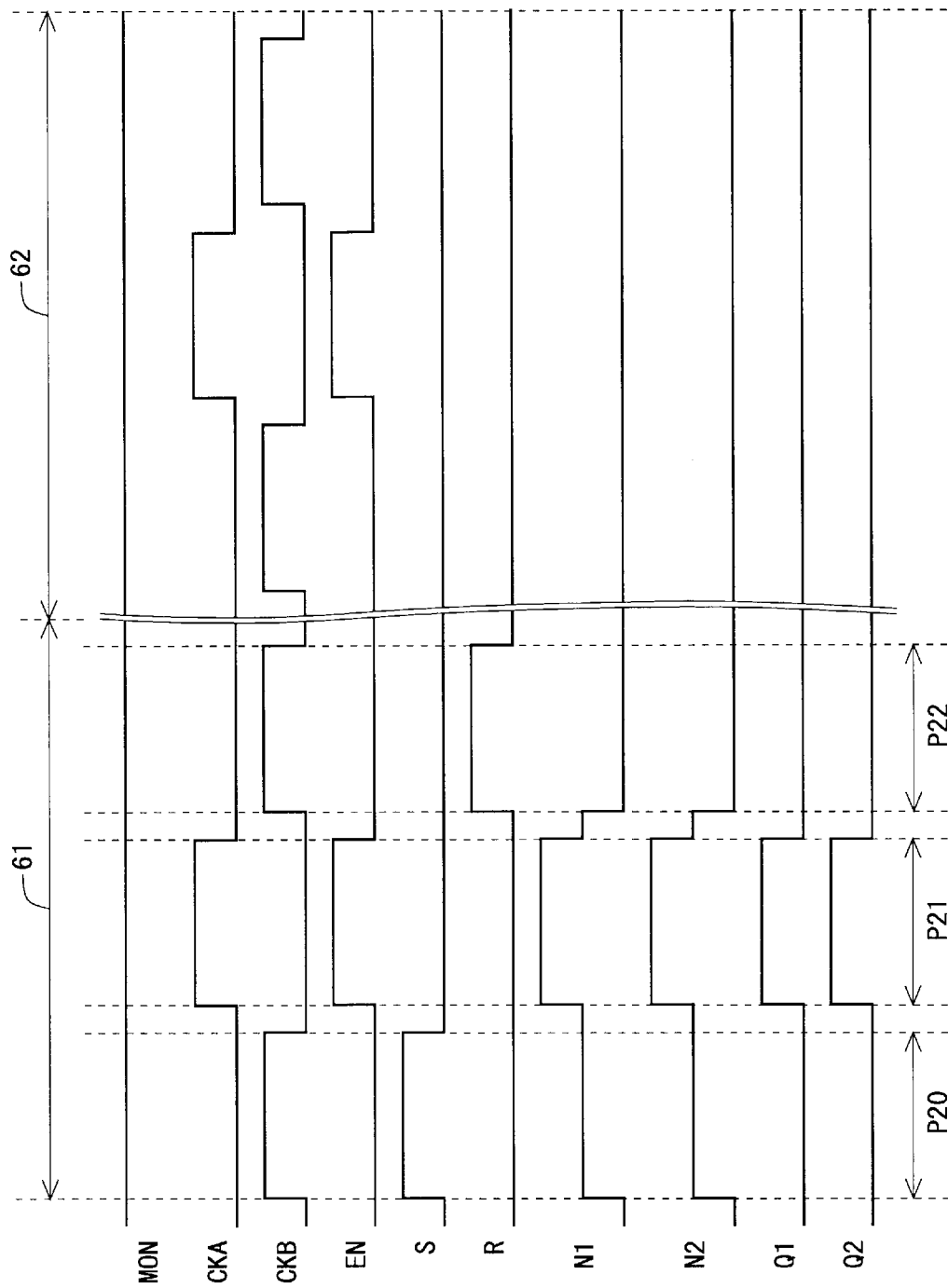
[図18]



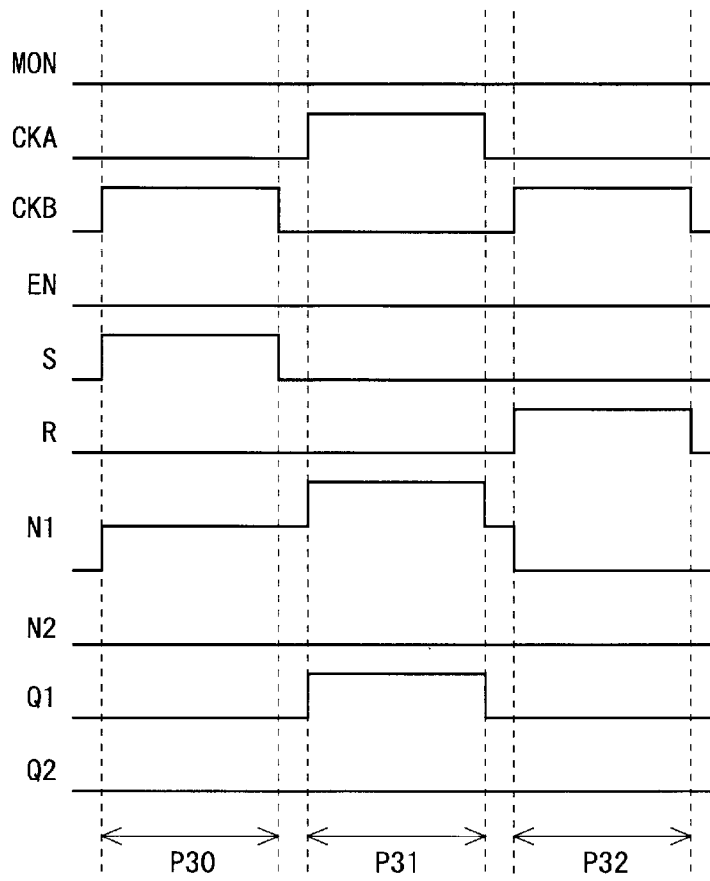
[図19]



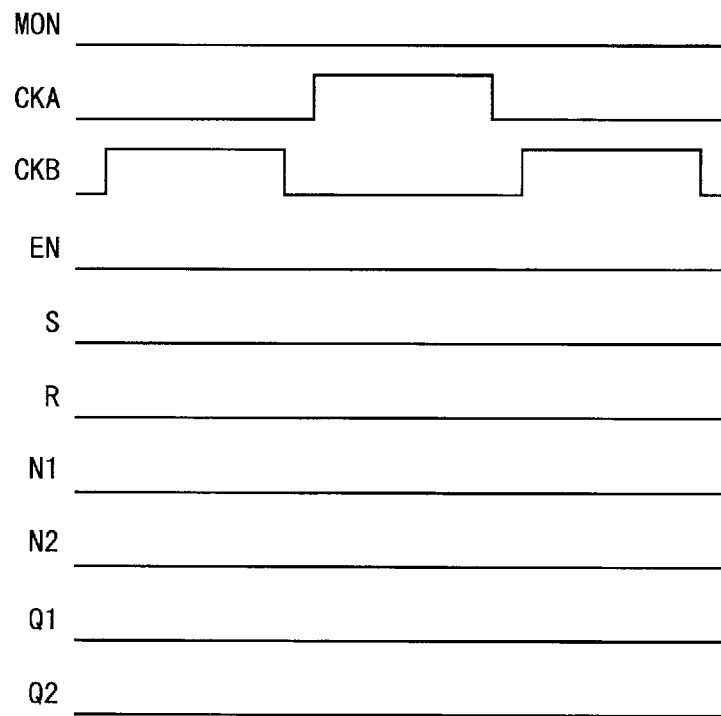
[図20]



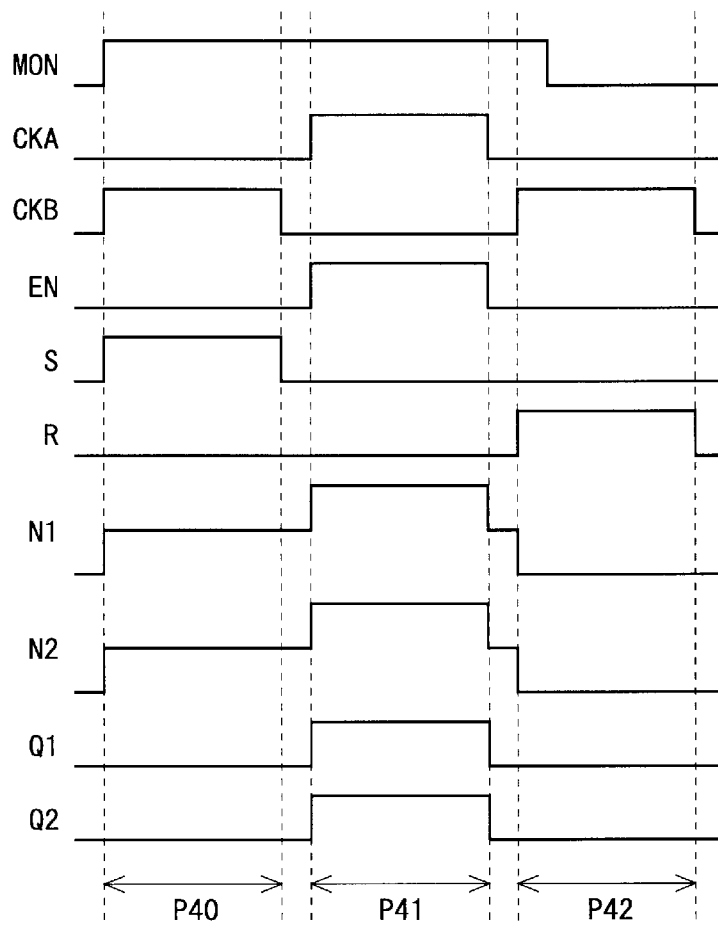
[図21]



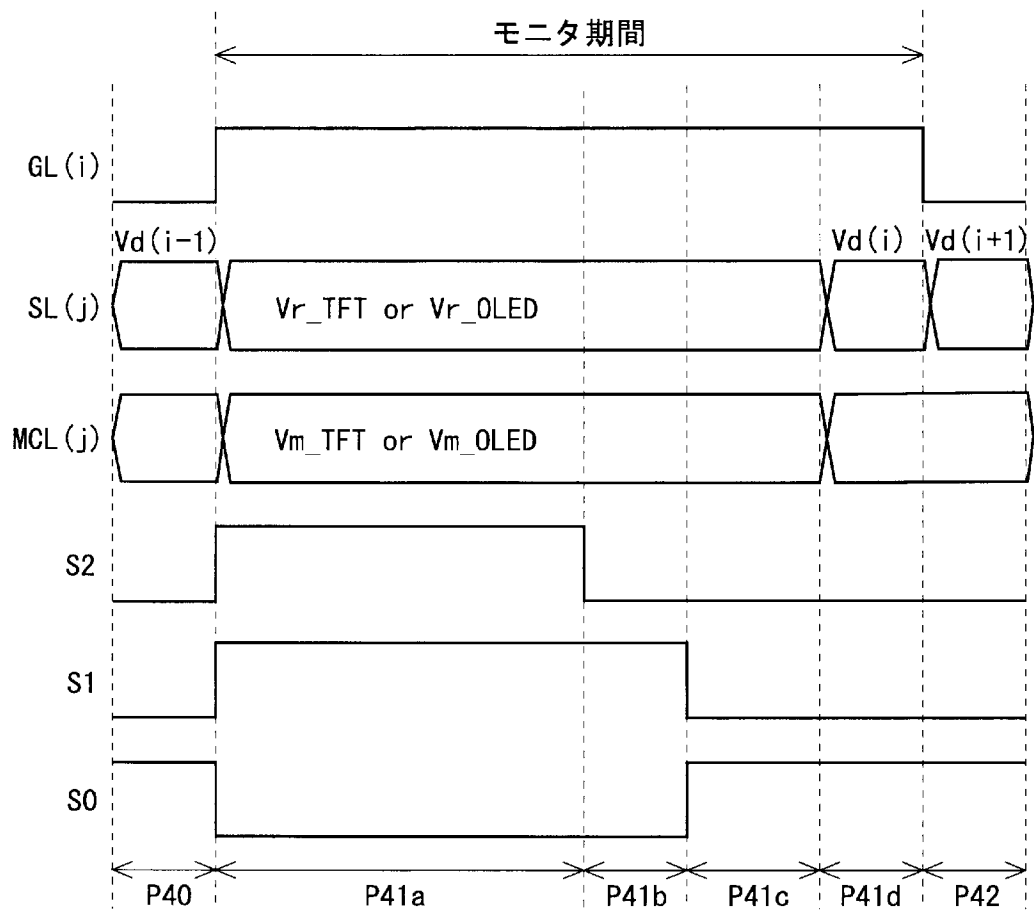
[図22]



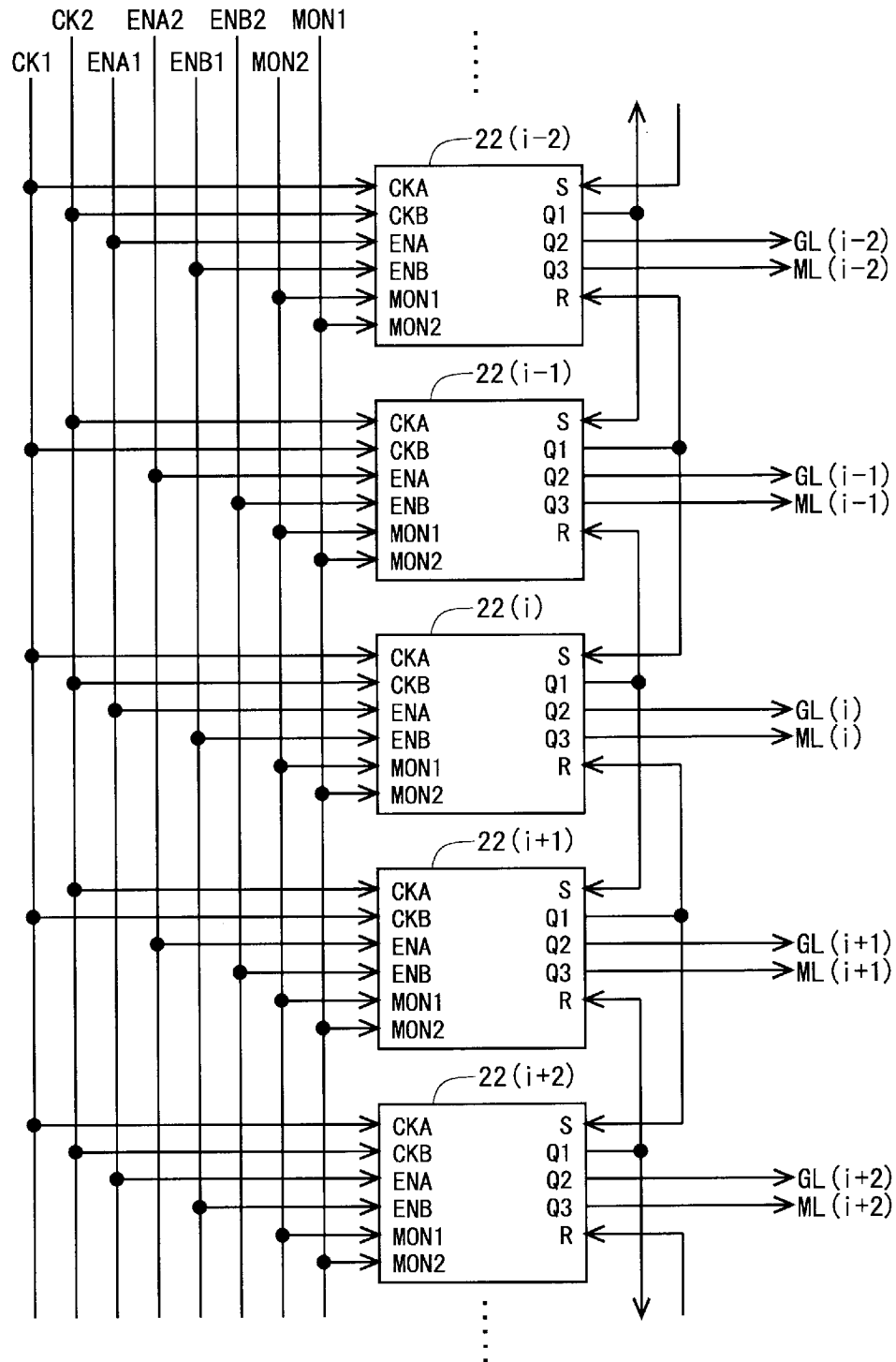
[図23]



[図24]

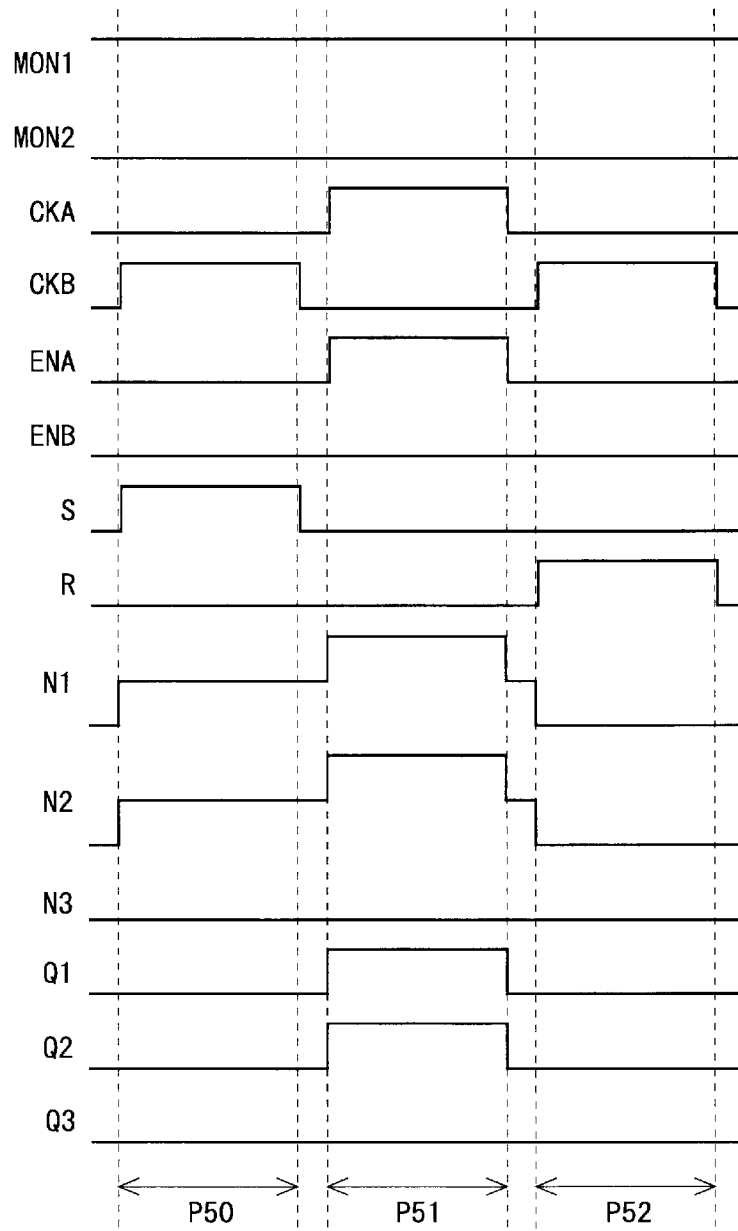


[図25]

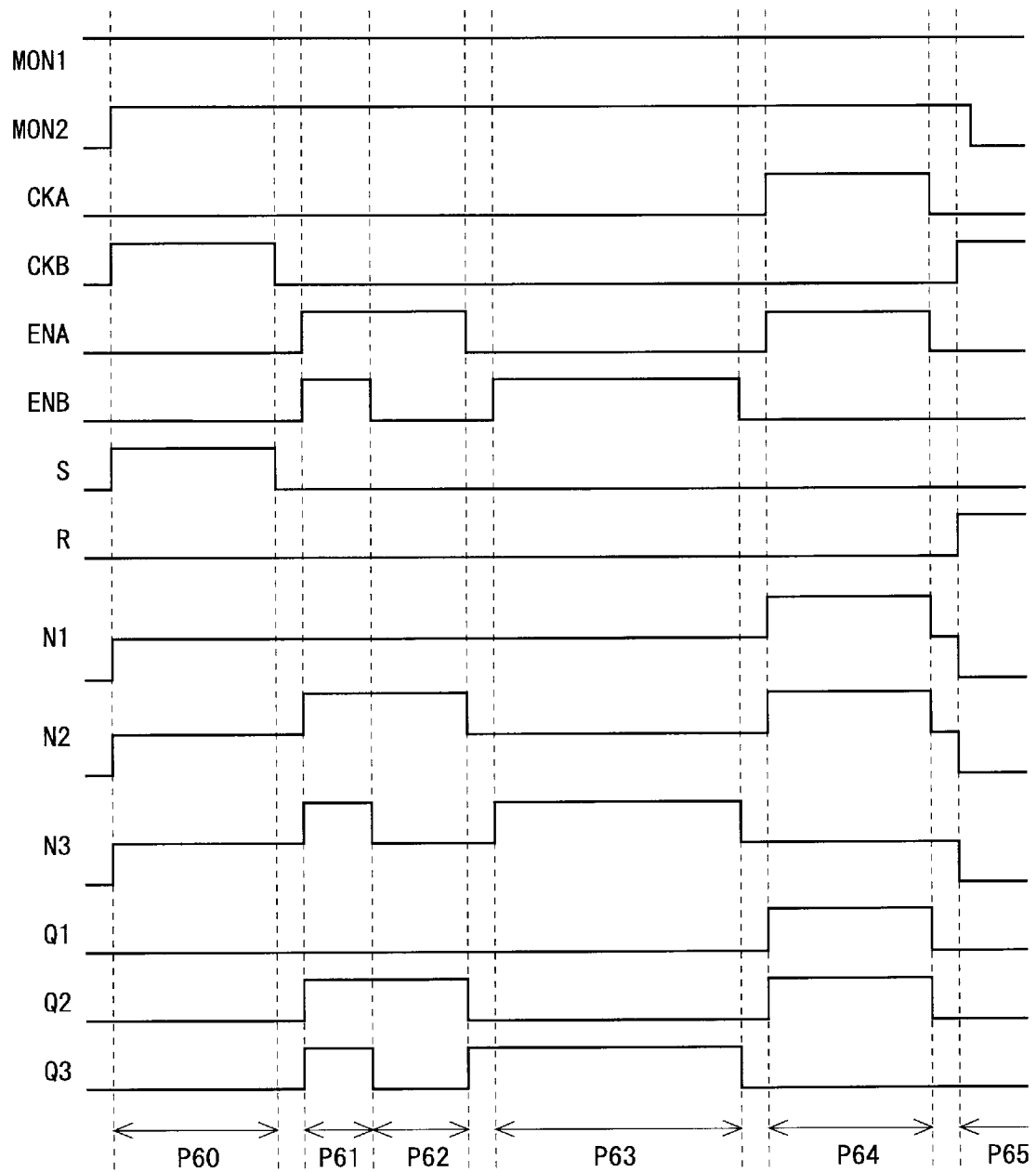


The circuit diagram illustrates a 1.5-V CMOS 1T1C SRAM cell and its 3T1C readout circuit. The SRAM cell (221) consists of a storage node (N1) connected to a word line (WL) and a bit line (BL) through a 1T1C structure. The word line is driven by a PMOS transistor (T11) and an NMOS transistor (T12) connected to VSS. The bit line is driven by a PMOS transistor (T13) and an NMOS transistor (T14) connected to VSS. The storage node (N1) is connected to a PMOS transistor (T15) and an NMOS transistor (T16) connected to VSS. The readout circuit (222) consists of a PMOS transistor (T17) and an NMOS transistor (T18) connected to VSS. The readout circuit (223) consists of a PMOS transistor (T19) and an NMOS transistor (T20) connected to VSS. The readout circuit (223) is connected to the storage node (N1) through a PMOS transistor (T15) and an NMOS transistor (T16) connected to VSS. The readout circuit (223) is connected to the storage node (N1) through a PMOS transistor (T17) and an NMOS transistor (T18) connected to VSS. The readout circuit (223) is connected to the storage node (N1) through a PMOS transistor (T19) and an NMOS transistor (T20) connected to VSS. The readout circuit (223) is connected to the storage node (N1) through a PMOS transistor (T15) and an NMOS transistor (T16) connected to VSS. The readout circuit (223) is connected to the storage node (N1) through a PMOS transistor (T17) and an NMOS transistor (T18) connected to VSS. The readout circuit (223) is connected to the storage node (N1) through a PMOS transistor (T19) and an NMOS transistor (T20) connected to VSS.

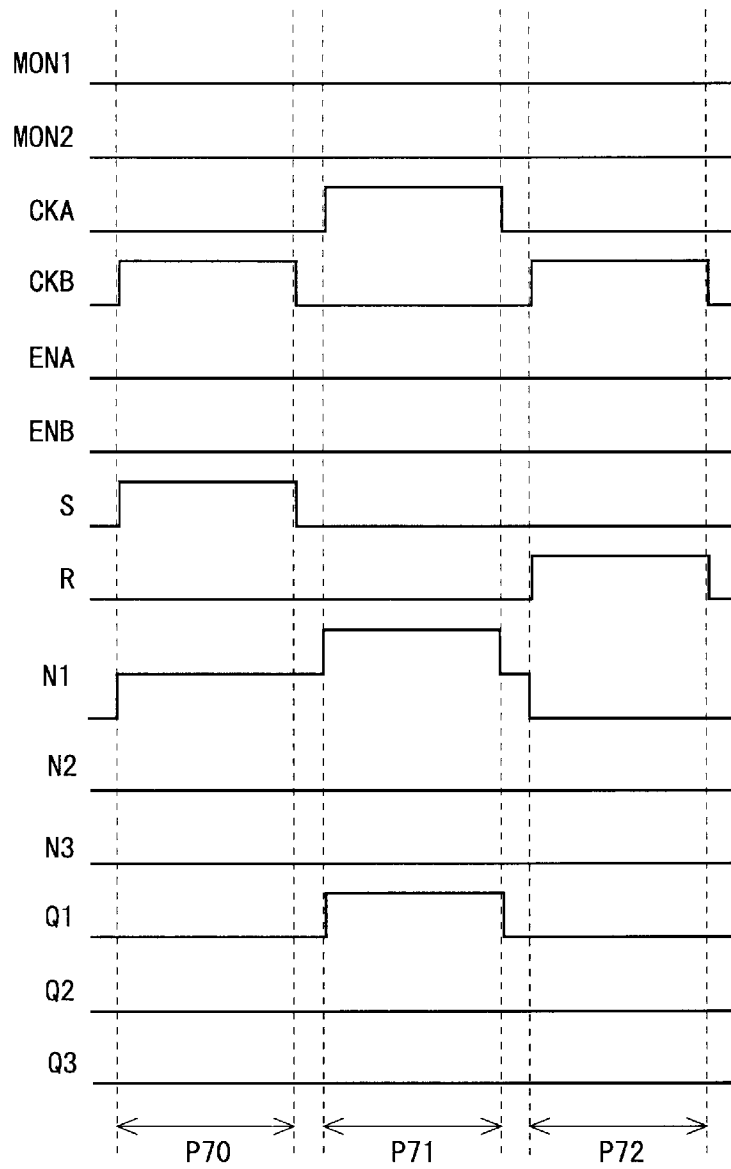
[図27]



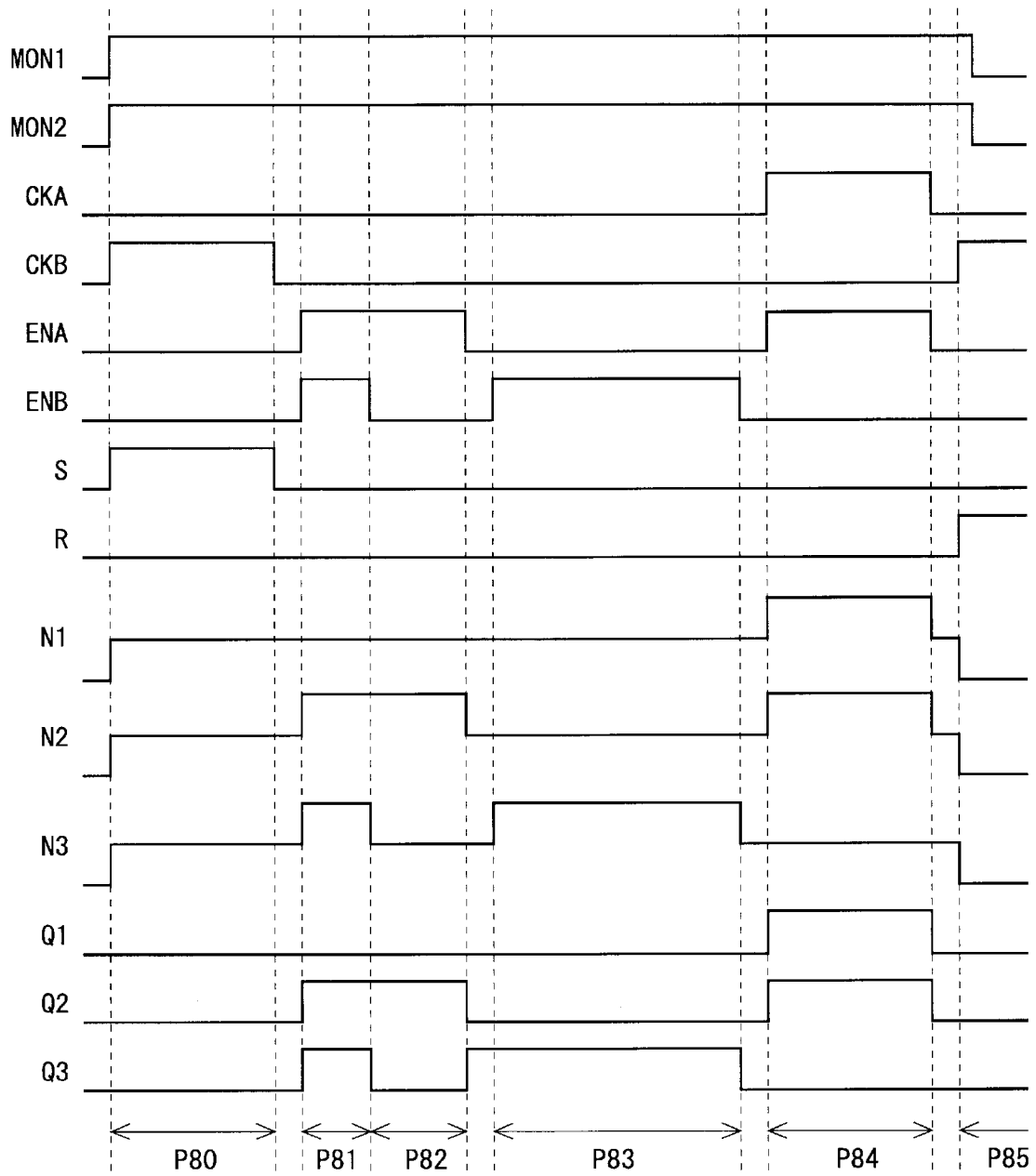
[図28]



[図29]

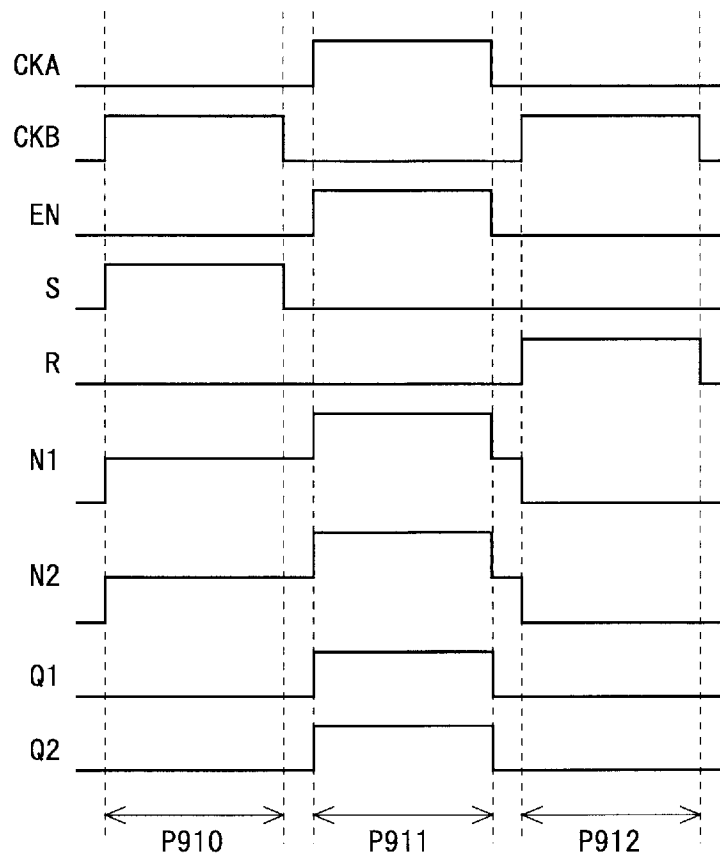


[図30]



The circuit diagram shows a 2T1C SR latch with a feedback loop. It consists of two NMOS transistors, T11 and T12, whose sources are connected to VSS. The gates of T11 and T12 are connected to inputs S and R, respectively. The drains of T11 and T12 are connected to nodes N1 and N2. Node N1 is also connected to the gate of T13, which has its source at VSS and its drain at node 57. Node 57 is connected to the gate of T14, which has its source at VSS and its drain at node 58. Node 58 is connected to the gate of T17, which has its source at VSS and its drain at node EN. Node EN is connected to the gate of T16, which has its source at VSS and its drain at node N2. Node N2 is also connected to the gate of T15, which has its source at VSS and its drain at node 9. Node 9 is connected to the gate of T13, forming a feedback loop. A dashed oval labeled 9 encloses the T15 transistor and its connection to node 9. The circuit is powered by VDD and VSS.

[図33]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/013971

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09G3/3233 (2016.01) i, G09G3/20 (2006.01) i, G09G3/3266 (2016.01) i, G09G3/3275 (2016.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G09G3/3233, G09G3/20, G09G3/3266, G09G3/3275

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2015/190407 A1 (SHARP CORP.) 17 December 2015, paragraphs [0088]-[0134], [0150]-[0183], [0222]-[0225], fig. 1-14, 20-26, 46 & US 2017/0186373 A1, paragraphs [0252]-[0303], [0323]-[0365], [0413]-[0417], fig. 1-14, 20-26, 46 & KR 10-2017-0016950 A & CN 106663403 A	1-31
Y	WO 2016/158745 A1 (SHARP CORP.) 06 October 2016, paragraphs [0078], [0117]-[0119], fig. 10, 20 & US 2018/0082642 A1, paragraphs [0169], [0208]-[0210], fig. 10, 20 & CN 107533825 A	1-31
A	WO 2015/199051 A1 (SHARP CORP.) 30 December 2015, entire text, all drawings & US 2017/0140703 A1 & CN 106415701 A & KR 10-2017-0018420 A	1-31



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
18.06.2019

Date of mailing of the international search report
25.06.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/013971

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2017/0186363 A1 (SAMSUNG DISPLAY CO., LTD.) 29 June 2017, entire text, all drawings & KR 10-2017-0078924 A	1-31

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/3233(2016.01)i, G09G3/20(2006.01)i, G09G3/3266(2016.01)i, G09G3/3275(2016.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09G3/3233, G09G3/20, G09G3/3266, G09G3/3275

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2015/190407 A1 (シャープ株式会社) 2015.12.17, 段落 [0088]-[0134], [0150]-[0183], [0222]-[0225], 第 1-14, 20-26, 46 図 & US 2017/0186373 A1, 段落[0252]-[0303], [0323]-[0365], [0413]-[0417], 第 1-14, 20-26, 46 図 & KR 10-2017-0016950 A & CN 106663403 A	1-31
Y	WO 2016/158745 A1 (シャープ株式会社) 2016.10.06, 段落[0078], [0117]-[0119], 第 10, 20 図 & US 2018/0082642 A1, 段落[0169], [0208]-[0210], 第 10, 20 図 & CN 107533825 A	1-31

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

1 8 . 0 6 . 2 0 1 9

国際調査報告の発送日

2 5 . 0 6 . 2 0 1 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

斎藤 厚志

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 7 3

2 1

5 7 0 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2015/199051 A1 (シャープ株式会社) 2015. 12. 30, 全文全図 & US 2017/0140703 A1 & CN 106415701 A & KR 10-2017-0018420 A	1-31
A	US 2017/0186363 A1 (SAMSUNG DISPLAY CO., LTD.) 2017. 06. 29, 全 文全図 & KR 10-2017-0078924 A	1-31