(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2004 年7 月8 日 (08.07.2004)

PCT

(10) 国際公開番号
WO 2004/057760 A1

(51) 国際特許分類[7]: H03K 5/02, G11C 19/00, G09G 3/20, 3/36

(21) 国際出願番号: PCT/JP2003/016028

(22) 国際出願日: 2003 年12 月15 日 (15.12.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2002-368888
2002 年12 月19 日 (19.12.2002) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒243-0036 神奈川県 厚木市 長谷398番地 Kanagawa (JP).

(72) 発明者: 納 光明 (OSAME,Mitsuaki); 〒243-0036 神奈川県 厚木市 長谷398番地 株式会社半導体エネルギー研究所内 Kanagawa (JP). 安西 彩 (ANZAI,Aya); 〒243-0036 神奈川県 厚木市 長谷398番地 株式会社半導体エネルギー研究所内 Kanagawa (JP).

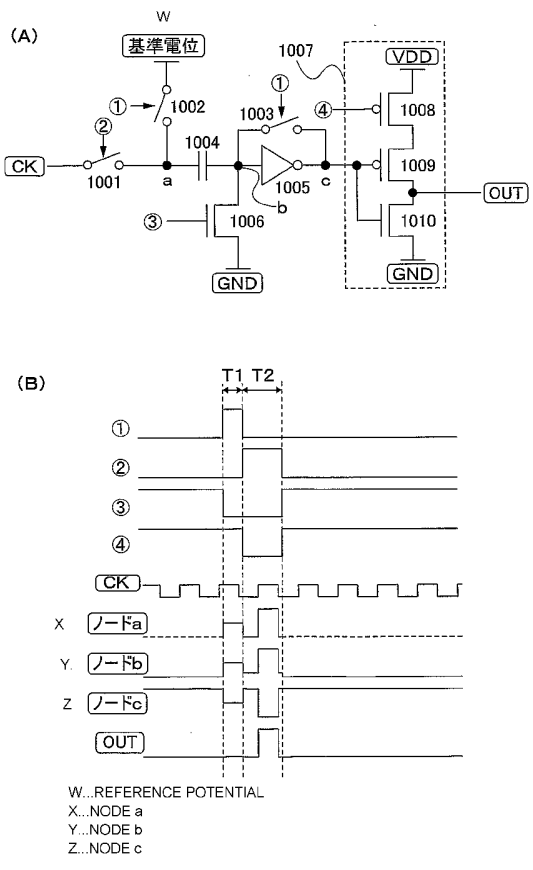
(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッ

[続葉有]

(54) Title: SHIFT RESISTOR AND METHOD FOR DRIVING SAME

(54) 発明の名称: シフトレジスタ及びその駆動方法



(57) Abstract: By inputting a CK signal into an input portion of an inverter via a capacitive means while setting the input portion of the inverter at the threshold potential of the inverter, the CK signal is amplified and this amplified CK signal is used for a shift resistor. By being set at the threshold potential of the inverter, the shift resistor is hardly affected by variations in the characteristics of transistors.

(57) 要約: 本発明は、インバータの入力部をインバータの閾値電位にし、インバータの入力部に容量手段を介してＣＫ信号を入力することで、ＣＫ信号は増幅され、その増幅されたＣＫ信号をシフトレジスタに用いる。つまり、インバータの閾値電位を取得することで、トランジスタの特性ばらつきに殆ど影響しないシフトレジスタを提供することができる。

WO 2004/057760 A1

パ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

シフトレジスタ及びその駆動方法

技術分野

本発明は、映像信号を入力して映像表示を行うアクティブマトリクス型表示装置に関する。さらに、映像信号を順次サンプリングしていくサンプリングパルスを生成するシフトレジスタに関する。

背景技術

近年、液晶表示装置や発光装置などのアクティブマトリクス型表示装置は、携帯機器向け等の需要の増加から開発が進められている。特に絶縁体上に多結晶半導体（ポリシリコン）により形成されたトランジスタを用い、画素及び駆動回路（以下、内部回路と称する。）を一体形成する技術は活発に開発が進められている。内部回路はソース信号線駆動回路、ゲート信号線駆動回路等を有し、マトリクス状に配置された画素を制御する。

また、内部回路はフレキシブルプリント基板（ＦＰＣ）等を介してコントローラＩＣ等（以下、外部回路と称する。）と接続され、その動作が制御される。一般的に、外部回路に用いるＩＣは単結晶のため、内部回路の電源電圧より低い電圧で動作する。現状では、通常、外部回路は３．３Ｖの電源電圧で動作するが、内部回路は１０Ｖ程度の電源電圧で動作する。よって、外部回路のクロック（以後、ＣＫと表記）信号で内部回路のシフトレジスタを動

作させるためには、レベルシフタ等でCK信号を内部回路の電源電圧と同程度の電圧に増幅する必要がある。

外部回路でCK信号を増幅する場合にはレベルシフタIC、電源IC等の部品の増加、消費電力の増加等の問題が生じる。内部回路においては、FPC の入力部にCK信号を増幅するレベルシフタを設け、シフトレジスタ全段に供給すると、レイアウト面積の増加、消費電力の増加、高周波動作が困難等の問題を生じる。

そのため、低電圧のCK信号で動作するシフトレジスタが提案されている。この発明のシフトレジスタは差動増幅型のデータ転送部を備えることにより、低電源電圧、低電圧入力信号であっても十分に動作することができるとしている（例えば、特開平11－184432号公報参照）。

前記差動増幅型のデータ転送部を備えるシフトレジスタは、差動増幅器を構成するトランジスタ特性が想定していた特性から外れた時には、シフトレジスタが誤動作する場合がある。単結晶ではないポリシリコン TFT 等においては、特性ばらつきは無視できない問題である。

本発明は上記の問題点を鑑みてなされたものであり、トランジスタの特性ばらつきの影響を受けにくい、低消費電力のシフトレジスタを提供することを課題とするものである。

発明の開示

本発明は、閾値電位を取得したインバータの入力部に容量手段を介し

てCK信号を入力することで、CK信号は増幅され、その増幅したCK信号をシフトレジスタに用いる。つまり、インバータの閾値電位を取得することで、トランジスタの特性ばらつきに殆ど影響しないシフトレジスタを提供することができる。

また、CK信号を増幅するレベルシフタは、シフトレジスタの出力パルスを用いて生成した制御信号により動作するため、CK信号の増幅が必要な短期間だけ動作する。これにより、CK 信号のレベルシフタは貫通電流が流れる期間が短く、低消費電力のシフトレジスタを提供することができる。

本発明の構成を以下に記す。

本発明のシフトレジスタは、クロック信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、

前記レベルシフタは、容量手段と、

前記容量手段の第1の電極に入力部が接続されたインバータと、

前記インバータの入力部と出力部を電気的に接続する手段と、

前記容量手段の第2の電極に基準電位を入力する第1の手段と、

前記容量手段の第2の電極に前記クロック信号を入力する第2の手段と、

前記レベルシフタの出力の電位を固定する第3の手段と、

前記レベルシフタが動作していない期間において、前記インバータの入力部の電位を固定する第4の手段と、を有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴とする。

また、前記基準電位として前記クロック信号のHレベルとLレベルの電位を用いることを特徴とする。

本発明のシフトレジスタは、クロック信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、

前記レベルシフタは、容量手段と、

前記容量手段の第1の電極に入力部が接続された第1のインバータと、

前記第1のインバータの出力部に入力部が接続された第2のインバータと、

前記第1のインバータの入力部と出力部の間に設けられた第1のスイッチと、

前記第1のインバータの入力部と電源との間に設けられた第2のスイッチと、

前記容量手段の第2の電極に基準電位を入力する第1の手段と、

前記容量手段の第2の電極に前記クロック信号を入力する第2の手段と、

を有し、

前記第2のインバータは、前記第1のインバータの出力が不定の期間において、前記レベルシフタの出力の電位を固定する第3のスイッチを有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴とする。

本発明のシフトレジスタは、クロック信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、

前記レベルシフタは、直列に接続された第1のインバータ及び第2のインバータと、

前記第1のインバータの入力部と出力部の間に設けられた第1のスイッチと、

前記第1のインバータの入力部と電源との間に設けられた第2のスイッチと、

前記第1のインバータの入力部に第1の電極が接続された第1の容量手段及び第2の容量手段と、

前記第1の容量手段の第2の電極に基準電位として前記クロック信号のHレベルを入力する第3のスイッチと、

前記第2の容量手段の第2の電極に基準電位として前記クロック信号のLレベルを入力する第4のスイッチと、

前記第1の容量手段及び第2の容量手段の第2の電極に前記クロック信号を入力する手段と、を有し、

前記第2のインバータは、前記第1のインバータの出力が不定の期間において、前記レベルシフタの出力の電位を固定する第5のスイッチを有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴とする。

本発明のシフトレジスタは、クロック信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、

前記レベルシフタは、直列に接続された第1のインバータ及び第2のイン

バータと、

前記第1のインバータの入力部と出力部の間に設けられた第1のスイッチと、

前記第1のインバータの入力部と電源との間に設けられた第2のスイッチと、

前記第1のインバータの入力部に第1の電極が接続された第1の容量手段及び第2の容量手段と、

前記第1の容量手段の第2の電極に出力部が接続された第3のインバータと、

前記第3のインバータの入力部と出力部の間に設けられた第3のスイッチと、

前記第3のインバータの入力部と電源との間に設けられた第4のスイッチと、

前記第3のインバータの入力部に第1の電極が接続された第3の容量手段と、

前記第3の容量手段の第2の電極に前記クロック信号のHレベルの電位を入力する第5のスイッチと、

前記第2の容量手段の第2の電極に出力部が接続された第4のインバータと、

前記第4のインバータの入力部と出力部の間に設けられた第6のスイッチと、

前記第4のインバータの入力部と電源との間に設けられた第7のスイッチと、

前記第4のインバータの入力部に第1の電極が接続された第4の容量手段と、

前記第4の容量手段の第2の電極に前記クロック信号のLレベルの電位を入力する第8のスイッチと、

前記第3の容量手段及び第4の容量手段の第2の電極に前記クロック信号を入力する手段と、を有し、

前記第2のインバータは、前記第1のインバータの出力が不定の期間において、前記レベルシフタの出力の電位を固定する第9のスイッチを有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴とする。

また、本発明のシフトレジスタは、

シフトレジスタを構成するレベルシフタの段数とフリップフロップの段数の比が、1:N（Nは2以上）であることを特徴とする。

本発明のシフトレジスタの駆動方法は、クロック信号の振幅を増幅するレベルシフタを有し、

前記レベルシフタは、容量手段と、

前記容量手段の第1の電極に入力部が接続されたインバータと、

前記インバータの入力部と出力部の間に設けられたスイッチと、

前記容量手段の第2の電極に基準電位を入力する第1の手段と、

前記容量手段の第2の電極にクロックを入力する第2の手段と、

前記レベルシフタの出力の電位を固定する第3の手段と、

前記インバータの入力部の電位を固定する第4の手段と、を有するシフトレジスタの駆動方法であって、

リセット期間において、前記スイッチをオンして、前記インバータの入力部及び出力部を前記インバータの閾値電位とすることによって、前記容量手段の第1の電極が前記閾値電位とし、前記第1の手段によって前記容量手段の第2の電極を基準電位とし、

クロック取り込み期間において、前記第2の手段によって前記容量手段の第2の電極に前記クロック信号を入力し、前記基準電位からの電位の変動により、前記第3の手段によってHレベルまたはLレベルを入力された前記クロック信号に対応して出力し、

前記インバータの出力が不定の期間において、前記第3の手段によって、前記レベルシフタの出力の電位を固定し、

前記レベルシフタが動作していない期間において、前記第4の手段によって、前記インバータの入力部の電位を固定し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴とする。

また本発明のシフトレジスタの駆動方法は、 前記基準電位に前記クロック信号のHレベルとLレベルの電位を用いることを特徴とする。

図面の簡単な説明

第１図は、実施の形態１を示す図である。

第２図は、実施の形態２を示す図である。

第３図は、実施の形態３を示す図である。

第４図は、実施の形態３におけるタイミングチャートを示す図である。

第５図は、制御信号のタイミングを示す図である。

第６図は、本発明が適用可能なシフトレジスタの構成を示す図である。

第７図は、D-FF の構成例を示す図である。

第８図は、本発明における制御信号の生成方法の例を示す図である。

第９図は、本発明が適用可能な電子機器の例を示す図である。

第１０図は、インバータの特性を示す図である。

第１１図は、出力インバータの他の構成例を示す図である。

発明を実施するための最良の形態

本発明の実施形態について、以下に説明する。

［実施の形態１］

第１図（Ａ）に本発明のシフトレジスタのＣＫ信号を増幅するレベルシフタの第１の構成を示す。

本実施形態のレベルシフタはＣＫ取り込み用スイッチ１００１、リファレンス用スイッチ１００２、閾値セット用スイッチ１００３、容量手段１００４、補正インバータ１００５、電位固定用スイッチ１００６、出力インバータ１０

07を有し、出力インバータ1007は第1のP型TFT1008、第2のP型TFT1009及びN型TFT1010を有する。

CK取り込み用スイッチ1001はシフトレジスタの出力パルスから生成した信号②によりオンオフを制御され、CK信号が取り込まれる。リファレンス用スイッチ1002はシフトレジスタの出力パルスから生成した信号①によりオンオフを制御され、CK取り込み用スイッチ1001と容量手段1004との接続部に、基準電位を取り込む。補正インバータ1005の入力部、出力部は閾値セット用スイッチ1003を介し、電気的に接続されており、前記閾値セット用スイッチ1003のオンオフは信号①により制御されている。ここで、CK取り込み用スイッチ1001、リファレンス用スイッチ1002、閾値セット用スイッチ1003、電位固定用スイッチ1006は制御信号がHレベルのときオンするとする。

前記レベルシフタが動作していない期間、補正インバータ1005の誤動作や貫通電流を防止するため、補正インバータ1005の入力部は電位固定用スイッチ1006を介してGND電源と接続される。前記電位固定用スイッチ1006はシフトレジスタの出力パルスから生成した信号③によりオンオフが制御される。出力インバータ1007において、CK信号取り込みが開始されるまで、誤動作しないように、第1のP型TFT1008は、シフトレジスタの出力パルスから生成した信号④でオンオフが制御される。

ここで、OUT はレベルシフタが動作していない期間はGND電位になり、

CK信号のHレベルを取り込んだ時にはVDD電位になる設定となっている。このため、レベルシフタが動作していない期間は、補正インバータ1005の入力部はGND電位に固定してある。また、出力インバータ1007が第1のP型TFT1008のスイッチを設けているのは、第1のP型TFT1008でVDDの出力期間を制御することによって、補正インバータ1005の出力が不定の時に誤動作しないようにするためである。

また、レベルシフタが動作していない期間において、補正インバータ1005の入力部をHレベルに固定した方が論理的に都合の良いときには、電位固定用スイッチ1006をP型TFTにし、補正インバータ1005の入力部をVDDに電気的に接続する。また、出力インバータ1007を例えば第11図の1107に示すような構成とすることによって、出力インバータ1007のVDDの出力期間を制御している第1のP型TFT1008のかわりに、N型TFT1110でGNDの出力期間を制御することによって、リセット期間T1において、補正インバータ1005の出力が不定の時に誤動作しないようにすることもできる。なお、第11図において、第1図と同じものには同じ記号を用いている。

第1図(B)に本実施形態のレベルシフタのタイミングチャートを示す。第1図(A)、(B)を用い、前記レベルシフタで低電圧のCK信号を増幅する動作について説明する。例として電位を明記して説明する。GNDは0V、VDDは7V、信号①、②、③及び④のHレベルは7V、Lレベルは0V、CK信号のHレベルは3V、Lレベルは0V、基準電位は CK 信号の中間電位、

1．5Vとする。

まず期間T1はリセット期間である。信号①がHレベル（7V）となり、リファレンス用スイッチ1002、閾値セット用スイッチ1003がオンする。ノードaは基準電位（1．5V）となる。ノードbはノードcの電位がフィードバックされ電位が動かない方向に働くので、補正インバータ1005の閾値電位（ここでは3．5Vとする）となる。ここで、容量手段1004の両端の電位差が保存される。

続いて、CK 取り込み期間T2に移り、信号②がHレベル（7V）となり、CK 取り込み用スイッチ1001がオンする。T2期間の最初、CK 信号はLレベル（0V）のため、ノードaの電位が1．5Vから0Vとなる。容量手段1004の両端の電位差は保持されるので、ノードbはノードaの電圧変化分程度変化する。よって、ノードbは3．5Vから1．5V程度下降する。

第10図に一般的なインバータのVIN－VOUT特性を示す。第10図に示されているように、VINが閾値から上下どちらかに少しでも変動すると、VOUTは大きくVDD又は GND に近づく。

よって、T1期間においてノードbは補正インバータ1005の閾値電位にセットされていたため、ノードbの変化にノードcは敏感に反応する。この場合、ノードbの電位は下降しているため、ノードcは VDD に大きく近づく。そして、OUTの出力はGND（0V）のままである。

次に、T2期間に、CK 信号がLレベル（0V）からHレベル（3V）に変化する。これにより、ノードaは、0Vから3Vになり、ノードbは3．5（閾値電

位）＋１．５Ｖ程度の電位に上昇する。よって、ノードｃはＧＮＤに近づく。この時、信号④はＬレベル（０Ｖ）のため、ＯＵＴはＶＤＤ（７Ｖ）になる。

また、Ｔ２期間の最後に、ＣＫ信号はＨレベル（３Ｖ）からＬレベル（０Ｖ）に変化する。これにより、ノードａは、３Ｖから０Ｖになり、ノードｂは３．５（閾値電位）－１．５Ｖ程度の電位に下降する。よって、ノードｃはＶＤＤに近づき、ＯＵＴはＧＮＤ（０Ｖ）になる。こうして、第１図（Ｂ）ＯＵＴ のように、ＣＫ信号の半周期だけＨレベル（７Ｖ）となるパルスが生成される。

ＣＫ信号の増幅を終了した後、信号③がＨレベル（７Ｖ）となり、電位固定用スイッチ１００６がオンし、補正インバータ１００５の入力部はＧＮＤ（０Ｖ）に固定される。

また、基準電位はＣＫ信号振幅の中間電位が望ましいが、厳密に中間電位である必要はなく、前記ＣＫ信号の最高電位、最低電位と異なり、かつ、前記ＣＫ信号の振幅を出ない範囲で多少変動させることが可能である。この中間電位は、外部回路で生成してもよいし、内部回路で生成してもよい。

本実施形態の通り、電源電圧に対してＣＫ信号の振幅が小さくても、トランジスタの特性ばらつきの影響を殆ど受けることなく、ＣＫ信号を増幅することができる。また、レベルシフタが動作しない期間は、電位を固定し、誤動作防止や貫通電流が流れないようにしている。よって、低消費電力化が可能となる。このように、本発明は、トランジスタの特性ばらつきが大きい、ポリシリコンＴＦＴ等を用いたシフトレジスタに適している。

[実施の形態2]

第2図(A)に本発明のシフトレジスタのCK信号を増幅するレベルシフタの第2の構成を示す。

実施形態1では、基準電位として、CK信号の中間電位を用いる例を示したが、実施形態2では、中間電位を用いないで、CK信号のHレベルとLレベルを基準電位として用いて、CK信号を増幅する例を示す。

本実施形態のレベルシフタは第1のCK取り込み用スイッチ2001及び第2のCK取り込み用スイッチ2004、第1のリファレンス用スイッチ2002及び第2のリファレンス用スイッチ2005、Hセット用容量手段2003及びLセット用容量手段2006、閾値セット用スイッチ2007、補正インバータ2008、電位固定用スイッチ2009、出力インバータ2010を有し、出力インバータ2010は、第1のP型TFT2011、第2のP型TFT2012及びN型TFT2013を有する。

本実施形態のレベルシフタは、補正インバータ2008の入力部に接続される容量手段をHセット用容量手段2003とLセット用容量手段2006の2つに分割する。補正インバータ2008と繋がるHセット用容量手段2003の反対側の端子には第1のリファレンス用スイッチ2002と第1のCK取り込み用スイッチ2001が接続され、Lセット用容量手段2006の反対側の端子には第2のリファレンス用スイッチ2005と第2のCK取り込み用スイッチ2004が接続される。ここで、Hセット用容量手段2003とLセット用容量手段2006の電気容量は等しいものとする。

また、閾値セット用スイッチ2007、電位固定用スイッチ2009、出力インバータ2010は、実施形態1と同様に、補正インバータ2008の入力部と出力部の間に閾値セット用スイッチ2007が設けられている。そして、補正インバータ2008の出力には、出力インバータ2010が接続され、出力インバータ2010には、VDDの出力期間を制御する第1のP型TFT2011が設けられている。第1のP型TFT2011でVDDの出力期間を制御することのよって、補正インバータ2008の出力が不定の時に誤動作しないようにすることができる。また、レベルシフタが動作しない期間、電位を固定するため、補正インバータの入力部は、電位固定用スイッチ2009を介してGNDと接続している。

また、レベルシフタが動作していない期間において、補正インバータ2008の入力部をHレベルに固定した方が論理的に都合の良いときには、電位固定用スイッチ2009をP型TFTにし、補正インバータ2008の入力部をVDDに電気的に接続する。また、実施の形態1と同様に、出力インバータ2010を例えば第11図の1107に示すような構成とすることによって、出力インバータ2010のVDDの出力期間を制御している第1のP型TFT2011のかわりに、N型TFT1110でGNDの出力期間を制御することによって、リセット期間T1において、補正インバータ2008の出力が不定の時に誤動作しないようにすることもできる。なお、第11図において、第1図と同じものには同じ記号を用いている。

第2図(B)に本実施形態のレベルシフタのタイミングチャートを示す。第2図(A)、(B)を用い、本実施形態のレベルシフタで低電圧のCK信号を増幅する動作について説明する。例として電位を明記して説明する。GNDは0V、VDDは7V、信号①、②、③及び④のHレベルは7V、Lレベルは0V、CK 信号のHレベルは3V、Lレベルは0V、基準電位はHレベルが3V、Lレベルは0Vとする。

制御信号①、②、③、④のタイミングは実施形態1と同じである。まず、リセット期間T1において、第1のリファレンス用スイッチ2002及び第2のリファレンス用スイッチ2005がオンとなりノードeは3V、ノードfは0Vの電位となる。補正インバータ2008の入力部は閾値セット用スイッチ2007がオンとなり、補正インバータ2008の閾値電位となる。ここで、Hセット用容量手段2003及びLセット用容量手段2006のそれぞれの容量手段の両端の電位差が保存される。

続いてCK取り込み期間T2に移り、第1の CK 取り込み用スイッチ2001及び第2の CK 取り込み用スイッチ2004がオンする。最初、CK 信号はLレベル(0V)のため、ノードeの電位は3Vから0Vとなり、ノードfの電位は0Vのままである。このノードeの変化により、ノードgの電位は補正インバータ2008の閾値電位から1．5V程度下降することになる。続いて、CK信号がHレベル(3V)になると、ノード e の電位は、0Vから3Vとなり、ノード f の電位は、0V から3V となる。このノードfの変化により、ノードgの電位は補正インバータ2008の閾値電位から1．5V程度上昇した電位

になる。T2期間の最後に、CK信号はLレベル(0V)になり、ノードgの電位は補正インバータ2008の閾値電位から1．5V程度下降した電位となる。こうして、第2図(B)OUT のように、CK 信号の半周期だけ H レベル(7V)となるパルスが生成される。

上記のように、基準電位として、CK信号の中間電位を用いず、CK信号のHレベル、Lレベルを用いて、CK信号の増幅が可能である。よって、CK信号の中間電位の電源を追加しなくても、CK信号のHレベル電源、Lレベル電源を用いることで、電源数の削減が可能である。

[実施の形態3]

第3図に本発明のシフトレジスタのCK信号を増幅するレベルシフタの第3の構成を示す。

実施の形態1や実施の形態2では、CK信号を取り込んだ時の補正インバータの入力部の閾値電位からの電位の変化はCK信号振幅の半分程度だったが、実施形態3では、CK信号振幅と同程度にすることができる例を示す。

本実施の形態のレベルシフタは第1及び第2のCK取り込み用スイッチ3001、3008、第1及び第2のリファレンス用スイッチ3002、3009、第1、第2、第3、第4及び第5の容量手段3003、3007、3010、3014、3015、第1及び第2の補正インバータ3005、3012、第1及び第2の閾値セット用スイッチ3004、3011、第1及び第2の電位固定用スイッチ3006、3013、第3の補正インバータ3017、第3の閾値セット用スイッチ3016、第

3の電位固定用スイッチ3018、出力インバータ3019を有する。

本実施の形態のレベルシフタは、第3の補正インバータ3017の入力部に接続される容量手段を第2の容量手段3007と第4の容量手段3014の2つに分割する。第3の補正インバータ3017と繋がる第2の容量手段3007の反対側の端子には第1の補正インバータ3005の出力部が接続され、第1の補正インバータ3005の入力部は第1の容量手段3003と接続される。第1の補正インバータ3005の入力部と出力部は第1の閾値セット用スイッチ3004を介して電気的に接続され、第1の補正インバータ3005の入力部は、第1の電位固定用スイッチ3006を介してVDDと接続される。第1の補正インバータ3005と接続される第1の容量手段3003の反対側の端子には第1のCK取り込み用スイッチ3001と第1のリファレンス用スイッチ3002が接続される。第1のCK取り込み用スイッチ3001からCK信号を、第1のリファレンス用スイッチ3002から基準電位を取り込む。

第3の補正インバータ3017と繋がる第4の容量手段3014の反対側の端子には第2の補正インバータ3012の出力部が接続され、第2の補正インバータ3012の入力部は第3の容量手段3010と接続される。第2の補正インバータ3012の入力部と出力部は第2の閾値セット用スイッチ3011を介して電気的に接続され、第2の補正インバータ3012の入力部は、第2の電位固定用スイッチ3013を介してVDDと接続される。また、第1の補正インバータ3005の入力部と第2の補正インバータ3012の入力部は第5の容量手段3015で接続される。第2の補正インバータ3012と接続され

る第2の容量手段3010の反対側の端子には第2のCK取り込み用スイッチ3008と第2のリファレンス用スイッチ3009が接続される。第2のCK信号取り込み用スイッチ3008からCK信号を、第2のリファレンス用スイッチ3009から基準電位を取り込む。

また、第3の補正インバータ3017の入力部と出力部は第3の閾値セット用スイッチ3016を介して接続され、第3の補正インバータ3017の入力部は、第3の電位固定用スイッチ3018を介してGNDに接続される。第3の補正インバータ3017の出力は出力インバータ3019に接続され、出力インバータ3019にはVDDを出力する期間を制御する第1のP型TFT3020を設けている。ここで、第1、第2、第3及び第4の容量手段の電気容量は等しく、第5の容量手段の電気容量は第1、第2、第3及び第4の容量手段の電気容量より十分小さいものとする。

また、レベルシフタが動作していない期間において、第3の補正インバータ3017の入力部をHレベルに固定した方が論理的に都合の良いときには、電位固定用スイッチ3018をP型TFTにし、第3の補正インバータ3017の入力部をVDDに電気的に接続する。また、実施の形態1と同様に、出力インバータ3019を例えば第11図の1107に示すような構成とすることによって、出力インバータ3019のVDDの出力期間を制御している第1のP型TFT3020のかわりに、N型TFT1110でGNDの出力期間を制御することによって、リセット期間T1において、第3の補正インバータ3017

の出力が不定の時に誤動作しないようにすることもできる。なお、第11図において、第1図と同じものには同じ記号を用いている。

第4図に本実施形態のレベルシフタのタイミングチャートを示す。第3図、第4図を用い、本実施形態のレベルシフタで低電圧のCK信号を増幅する動作について説明する。例として電位を明記して説明する。GNDは0V、VDDは7V、信号①、②、③及び④のHレベルは7V、Lレベルは0V、CK信号のHレベルは3V、Lレベルは0V、基準電位はHレベルが3V、Lレベルが0Vとする。

制御信号①、②、③及び④のタイミングは実施形態1、2と同じである。まず、リセット期間T1において、第1及び第2のリファレンス用スイッチ3002及び3009がオンとなりノードiは3V、ノードjは0Vの電位となる。同時に、第1、第2及び第3の閾値セット用スイッチ3004、3011及び3016がオンとなり、第1、第2及び第3の補正インバータ3005、3012及び3017の入出力部は、第1、第2、及び第3の補正インバータ3005、3012及び3017の閾値電位(3．5Vとする)となる。ここで、第1、第2、第3、第4及び第5の容量手段の両端の電位差が保存される。

続いてCK取り込み期間T2に移り、第1及び第2の CK 取り込み用スイッチ3001及び3008がオンする。まずは、CK 信号はHレベル(3V)のため、ノードiの電位は3Vのままで、ノードjの電位は0Vから3Vになる。このノードjの変化により、ノード1の電位は3．5Vから3V程度上昇することになり、ノードnは3．5Vから0Vになる。また、ノードkの電位は、第5の容量

手段3015により、僅かに持ち上げられる。これにより、ノードmの電位も3．5VからGND方向に降下する。よって、ノードoの電位は3．5VからGND（0V）になり、ノードpはVDD（7V）となり、OUTはGND（0V）となる。続いて、CK信号はLレベル（0V）、Hレベル（3V）と変化するが、それに応じて、各ノードは、第4図のように適正に変化することができる。

この構成を用いることで、CK信号振幅に対する補正インバータの閾値電位からの電位の変化を、CK信号振幅と同程度にすることができ、より安定した動作が期待できる。また、基準電位として、CK信号の中間電位を用いず、CK信号のHレベル、Lレベルを用いることにより、電源数の削減も可能である。

実施形態1、2及び3では、リセット期間にだけリファレンス用スイッチから基準電位が入力するよう説明したが、必ずしもこの期間だけにリファレンス用スイッチをオンにする必要はない。つまり、リセット期間が終わる時点で、容量の一方の電極が基準電位になっていればよく、レベルシフタが動作していない期間に、リファレンス用スイッチがオンし、CK取り込み期間が開始される前にリファレンス用スイッチがオフしても良い。

また、レベルシフタが動作していない期間、出力インバータの出力は、Lレベルであった。これは、シフトレジスタのD－フリップフロップ（D－FF）が動作する時に、Hレベルの CK 信号を必要とする設定であるためである。つまり、シフトレジスタの D-FF を L レベルの CK 信号で動作させるようにシフトレジスタを設定した時には、レベルシフタが動作しない時の出

力インバータの出力はHレベルとなる。この時の補正インバータの入力部は、電位固定用スイッチを介してVDDに接続し、出力インバータはN型TFTにスイッチを設け、必要な時のみGND電位が出力されるようにすれば良い。

また、補正インバータの出力が不定の時の誤動作防止の手段として、前記実施形態では出力インバータのP型TFT或はN型TFTにスイッチを設ける例を示したが、必ずしもこの方法である必要はなく、例えば、アナログスイッチを補正インバータ以降に設け、補正インバータの出力が不定の時に、誤ったレベルを出力しないようにしても良い。

また、CK取り込み用スイッチ、リファレンス用スイッチ、閾値セット用スイッチ、電位固定用スイッチは、CK信号電位、電源電位に応じて、N型TFTにしてもよいし、P型TFTにしても良いし、N型TFTとP型TFTの両方用いたアナログスイッチにしても良い。各制御信号も各スイッチの極性に合わせて反転信号を生成する等、適宜生成すればよい。

また、レベルシフタが動作していない期間の補正インバータの入力部の電位固定について、前記実施形態では電位固定用スイッチを介して電源に接続すれば良いとしたが、補正インバータの入力部が電源電位になればよく、補正インバータの出力部と入力部をクロックドインバータを介してループ状に接続してもよい。また、補正インバータの入力部が、貫通電流が流れない電位になる様、補正インバータと繋がる容量手段の反対側の端子を所望の電位に固定しても良い。

[実施の形態4]

次に、シフトレジスタの出力パルスから、レベルシフタの制御信号①、②、③及び④を生成するタイミングについて、第5図を用いて説明する。第5図にシフトレジスタを構成する第N段のD－フリップフロップ（D－FF）に付随する第N段のレベルシフタの制御信号を生成するのに必要な信号のタイミングチャートを示す。第N－2段のD－FFの出力Q5001、第N－2段のD－FFの反転出力Qb5002、第N－1段のD－FFの出力Q5003、第N－1段のD－FFの反転出力Qb5004を示す。

リセット期間 T1は信号①がHレベルとなる期間で、第N－2段のD－FFの出力Q5001と第N－1段のD－FFの反転出力Qb5004のNANDをとり、NAND出力を反転することで生成できる。CK信号の取り込み期間 T2は信号②がHレベルとなる期間で、第N－1段のD－FFの出力Q5003を用いればよい。電位固定期間 T3は信号③がHレベルとなる期間で、第N－2段のD－FFの出力Q5001と第N－1段のD－FFの出力Q5003のNORをとることで生成できる。また、出力インバータのVDD出力を制御する信号④は、信号②の反転信号を用いればよい。

ただし、上記の説明は信号遅延が全くないとした場合の例である。実際には、信号遅延に注意して、制御信号を生成する必要がある。特に、貫通電流を防止するため、電位固定スイッチをオフにしてからリセット期間を開始すること、入力した基準電位が変化してしまうのを防止するため、リセット期間が終了してからCK信号取り込み期間を開始すること、出力インバ

ータのVDD出力制御の信号④は、CK信号取り込みを開始した後、ノイズの影響がなくなってからオン(Lレベル)にするようにすることを注意する必要がある。

また、実施形態4では、CK 信号のレベルシフタの各制御信号を生成するのに、N-2 段の D-FF と N-1 段の D-FF の出力を用いて生成する例を説明したが、必ずしもこれに限る必要はない。リセット期間に N-3 段の D-FF の出力を用い、CK 信号取り込み期間に N-1 段の D-FF の出力を用いて生成しても良い。要するにシフトレジスタの出力パルスから目的に応じて、適宜生成すれば良い。

このようにして、シフトレジスタの出力パルスからレベルシフタの制御信号を生成することができる。

(実施例)

以下に、本発明の実施例について記載する。

実施形態1、2及び3のレベルシフタを用いてシフトレジスタを構成する時の各段のD－FFとレベルシフタの接続関係を説明する。

[実施例1]

第6図に本発明のレベルシフタを用いたシフトレジスタの構成例を示す。

前記シフトレジスタは複数段のレベルシフタ(LS)6001とD－FF6002により構成されている。第N段のレベルシフタの入力N1は第N－2段のD－FFの出力Qに接続され、第N段のレベルシフタの入力N2は第N－1

段のD－FFの出力Qに接続され、第N段のレベルシフタの出力OUTは、第N－1段のD－FFのCK2と第N段のD－FFのCK1に接続される。第N段のD－FFの入力INには第N－1段のD－FFの出力Qが接続され、第N段のD－FFの出力Qは第N＋1段のD－FFの入力INに接続される。また、第N段のD－FFのCK2には第N＋1段のレベルシフタの出力OUTが接続される。

本実施例では、シフトレジスタを構成するレベルシフタの段数とフリップフロップの段数の比が1:1に対応する例を示したが、シフトレジスタを構成するレベルシフタの段数とフリップフロップの段数の比は1:N（Nは2以上）であっても良い。回路のレイアウト面積、動作周波数、消費電力等を考慮して適宜選択すれば良い。

［実施例2］

続いて第7図（A）に前記D－FF6002の構成例について、第7図（B）にタイミングチャートを示す。

前記D－FF6002は直列に接続された第1のクロックドインバータ7001及びインバータ7002と、前記インバータとループ状に接続された第2のクロックドインバータ7003とを有する。第1のクロックドインバータ7001は直列に接続された第1のP型TFT7004、第2のP型TFT7005、第1のN型TFT7006、第2のN型TFT7007から成り、第2のクロックドインバータ7003は直列に接続された第3のP型TFT7008、第4のP型TFT7009、第3のN型TFT7010、第4のN型TFT7011から成る。

第2のN型TFT7007及び第3のP型TFT7008はCK1によりオンオフが制御され、第1のP型TFT7004及び第4のN型TFT7011はCK2によりオンオフが制御されている。第2のP型TFT7005と第1のN型TFT7006のゲートには、前段のD－FFの出力(IN)が入力される。

第7図(B)のタイミングチャートを用い、本実施例の動作について説明する。

まず、期間T1において、INにパルスが入力され、Hレベルになり、第2のP型TFT7005がオフ、第1のN型TFT7006がオンする。続いて期間T2において、CK1がHレベルになり、第2のN型TFT7007がオンし、ノードQbがGND電位となり、ノードQがVDD電位となる。続いて期間 T3において、CK2がHレベルになり、第4のN型TFT7011がオンし、ノードQbはGND電位のまま保持される。更に期間 T4において、CK2がLレベルになり、第1のP型TFT7004がオン、第4のN型TFT7011がオフし、ノードQbはVDD電位、ノードQはGND電位となる。

本実施例では、第7図(A)のD－FFを用いたが、必ずしもこの構成のフリップフロップに限定されないのは言うまでもない。

[実施例3]

実施の形態4で、シフトレジスタの出力パルスからレベルシフタの制御信号を生成するタイミングを説明したが、実際に使用する時には、各制御信号の遅延を考慮してレベルシフタに入力する必要がある。その具体例を示す。

第8図(A)に、シフトレジスタの出力パルスからの遅延を考慮したレベルシフタの制御信号①、②、③及び④を生成する回路の例を示す。第8図(B)には、そのタイミングチャートを示す。

第N段のレベルシフタの制御信号の生成について説明する。まず、第N-2段のD-FFの出力Q(N－2　Q)と第N-1段のD-FFの出力Q(N－1　Q)をNOR8001に入力し、NOR8001の出力を信号③とする。第N-2段のD-FFの出力Q(N－2　Q)がHレベルになると、信号③はLレベルとなる。次に、第N-2段のD-FFの出力Q(N－2　Q)と、第N-1段のD-FFの出力Q(N－1　Q)を第1のインバータ8002で反転したものをNAND8003に入力し、NAND8003の出力を第2のインバータ8004で反転させ、信号①を生成する。信号③と比較して、信号①の方が、第2のインバータ8004分遅延が多いため、信号③がLレベルに向かってから、信号①はHレベルに向かう。さらに、第2のインバータ8004に直列に複数のインバータを付加すると信号③のHレベルと信号①のHレベルが重なるタイミングが全くなくなり、貫通電流をなくすことができる。

また、直列に接続された第1のP型TFT8005、第2のP型TFT8006及びN型TFT8007の内、第2のP型TFT8006及びN型TFT8007のゲート電極に、第N-1段のD-FFの出力Qの反転パルスを入力し、第1のP型TFT8005のゲート電極に信号①を入力する。第1のP型TFT8005のソース電極はVDDに接続され、N型TFT8007のソース電極はGNDに接続され、第2のP型TFT8006及びN型TFT8007のド

レイン電極は接続され、第3のインバータ8008、第4のインバータ8009、第5のインバータ8010、第6のインバータ8011、第7のインバータ8012が直列に接続されている。

第1のP型TFT8005のゲート電極に信号①が入力されているため、信号①がLレベルになってから、第3のインバータ8008の入力部がHレベルになる。さらに、第4のインバータ8009により反転させ、信号②を生成する。これにより、リセット期間とCK取り込み期間が重ならないようにする。

さらに、信号②を第5のインバータ8010、第6のインバータ8011及び第7のインバータ8012を介し、信号④を生成する。これにより、CK取り込み期間が始まってから、出力インバータがVDD出力可能となる。

本実施例では、第8図(A)の構成を説明したが、この構成に限定されないことは言うまでもない。各制御信号の遅延時間、周波数等を考慮して、適宜構成すれば良い。

[実施例4]

本発明の表示装置は様々な電子機器の表示部に用いることができる。特に低消費電力が要求されるモバイル機器には本発明の表示装置を用いることが望ましい。

具体的に前記電子機器として、携帯情報端末(携帯電話、モバイルコンピュータ、携帯型ゲーム機または電子書籍等)、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、表示ディスプレイ、ナビゲーションシステ

ム等が挙げられる。これら電子機器の具体例を第9図に示す。

第9図(A)は表示ディスプレイであり、筐体9001、音声出力部9002、表示部9003等を含む。本発明の表示装置は表示部9003に用いることができる。表示装置は、パソコン用、TV放送受信用、広告表示用など全ての情報表示装置が含まれる。

第9図(B)はモバイルコンピュータであり、本体9101、スタイラス9102、表示部9103、操作ボタン9104、外部インターフェイス9105等を含む。本発明の表示装置は表示部9103に用いることができる。

第9図(C)はゲーム機であり、本体9201、表示部9202、操作ボタン9203等を含む。本発明の表示装置は表示部9202に用いることができる。

第9図(D)は携帯電話であり、本体9301、音声出力部9302、音声入力部9303、表示部9304、操作スイッチ9305、アンテナ9306等を含む。本発明の表示装置は表示部9304に用いることができる。

以上のように、本発明の表示装置の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

産業上の利用可能性

本発明は、ポリシリコン TFT 等の特性ばらつきの大きなトランジスタを用いて、電源電圧より小さい振幅の CK 信号でシフトレジスタを動作させる場合に大変有効である。本発明のシフトレジスタを用いることで、特性ばらつきの影響は殆ど無視できる。また、CK信号のレベルシフタは、シフ

トレジスタで発生するパルスを用いて制御し、CK信号の増幅が必要な短期間だけ動作させるため、貫通電流が流れる期間が短く、低消費電力のシフトレジスタを提供することができる。

請求の範囲

１．クロック信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、

前記レベルシフタは、容量手段と、

前記容量手段の第１の電極に入力部が接続されたインバータと、

前記インバータの入力部と出力部を電気的に接続する手段と、

前記容量手段の第２の電極に基準電位を入力する第１の手段と、

前記容量手段の第２の電極に前記クロック信号を入力する第２の手段と、

前記レベルシフタの出力の電位を固定する第３の手段と、

前記レベルシフタが動作していない期間において、前記インバータの入力部の電位を固定する第４の手段と、を有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴とするシフトレジスタ。

２．請求の範囲第１項において、

前記基準電位に前記クロック信号のＨレベルとＬレベルの電位を用いることを特徴とするシフトレジスタ。

３．クロック信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、

前記レベルシフタは、容量手段と、

前記容量手段の第１の電極に入力部が接続された第１のインバータ

と、

前記第１のインバータの出力部に入力部が接続された第２のインバータと、

前記第１のインバータの入力部と出力部の間に設けられた第１のスイッチと、

前記第１のインバータの入力部と電源との間に設けられた第２のスイッチと、

前記容量手段の第２の電極に基準電位を入力する第１の手段と、

前記容量手段の第２の電極に前記クロック信号を入力する第２の手段と、を有し、

前記第２のインバータは、前記第１のインバータの出力が不定の期間において、前記レベルシフタの出力の電位を固定する第３のスイッチを有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴とするシフトレジスタ。

４．クロック信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、

前記レベルシフタは、直列に接続された第１のインバータ及び第２のインバータと、

前記第１のインバータの入力部と出力部の間に設けられた第１のスイッチと、

前記第１のインバータの入力部と電源との間に設けられた第２のスイッチと、

前記第１のインバータの入力部に第１の電極が接続された第１の容量手段及び第２の容量手段と、

前記第１の容量手段の第２の電極に基準電位として前記クロック信号のＨレベルを入力する第３のスイッチと、

前記第２の容量手段の第２の電極に基準電位として前記クロック信号のＬレベルを入力する第４のスイッチと、

前記第１の容量手段及び第２の容量手段の第２の電極に前記クロック信号を入力する手段と、を有し、

前記第２のインバータは、前記第１のインバータの出力が不定の期間において、前記レベルシフタの出力の電位を固定する第５のスイッチを有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴とするシフトレジスタ。

５．クロック信号の振幅を増幅するレベルシフタを有するシフトレジスタであって、

前記レベルシフタは、直列に接続された第１のインバータ及び第２のインバータと、

前記第１のインバータの入力部と出力部の間に設けられた第１のスイッチと、

前記第１のインバータの入力部と電源との間に設けられた第２のスイッチと、

前記第１のインバータの入力部に第１の電極が接続された第１の容量手段及び第２の容量手段と、

前記第１の容量手段の第２の電極に出力部が接続された第３のインバータと、

前記第３のインバータの入力部と出力部の間に設けられた第３のスイッチと、

前記第３のインバータの入力部と電源との間に設けられた第４のスイッチと、

前記第３のインバータの入力部に第１の電極が接続された第３の容量手段と、

前記第３の容量手段の第２の電極に前記クロック信号のＨレベルの電位を入力する第５のスイッチと、

前記第２の容量手段の第２の電極に出力部が接続された第４のインバータと、

前記第４のインバータの入力部と出力部の間に設けられた第６のスイッチと、

前記第４のインバータの入力部と電源との間に設けられた第７のスイッチと、

前記第４のインバータの入力部に第１の電極が接続された第４の容

量手段と、

前記第４の容量手段の第２の電極に前記クロック信号のＬレベルの電位を入力する第８のスイッチと、

前記第３の容量手段及び第４の容量手段の第２の電極に前記クロック信号を入力する手段と、を有し、

前記第２のインバータは、前記第１のインバータの出力が不定の期間において、前記レベルシフタの出力の電位を固定する第９のスイッチを有し、

前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴とするシフトレジスタ。

６．請求項１乃至請求項５のいずれか一項において、

前記シフトレジスタを構成する前記レベルシフタの段数とフリップフロップの段数の比は、１：Ｎ（Ｎは２以上）であることを特徴とするシフトレジスタ。

７．クロック信号の振幅を増幅するレベルシフタを有し、

前記レベルシフタは、容量手段と、

前記容量手段の第１の電極に入力部が接続されたインバータと、

前記インバータの入力部と出力部の間に設けられたスイッチと、

前記容量手段の第２の電極に基準電位を入力する第１の手段と、

前記容量手段の第２の電極にクロックを入力する第２の手段と、

前記レベルシフタの出力の電位を固定する第３の手段と、

前記インバータの入力部の電位を固定する第４の手段と、を有するシフトレジスタの駆動方法であって、

リセット期間において、前記スイッチをオンして、前記インバータの入力部及び出力部を前記インバータの閾値電位とすることによって、前記容量手段の第１の電極が前記閾値電位とし、前記第１の手段によって前記容量手段の第２の電極を基準電位とし、

クロック取り込み期間において、前記第２の手段によって前記容量手段の第２の電極に前記クロック信号を入力し、前記基準電位からの電位の変動により、前記第３の手段によってＨレベルまたはＬレベルを入力された前記クロック信号に対応して出力し、

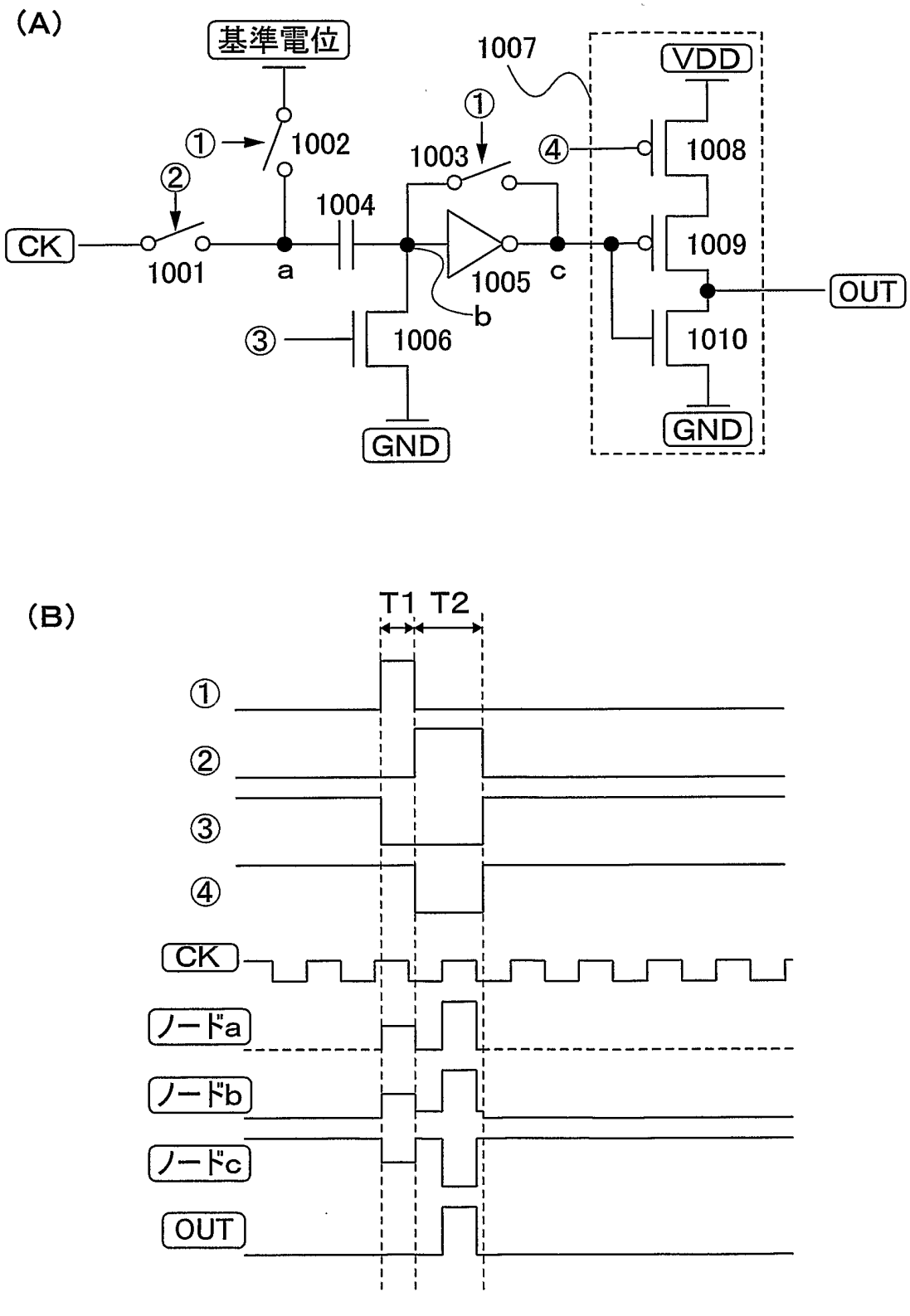
前記インバータの出力が不定の期間において、前記第３の手段によって、前記レベルシフタの出力の電位を固定し、

前記レベルシフタが動作していない期間において、前記第４の手段によって、前記インバータの入力部の電位を固定し、

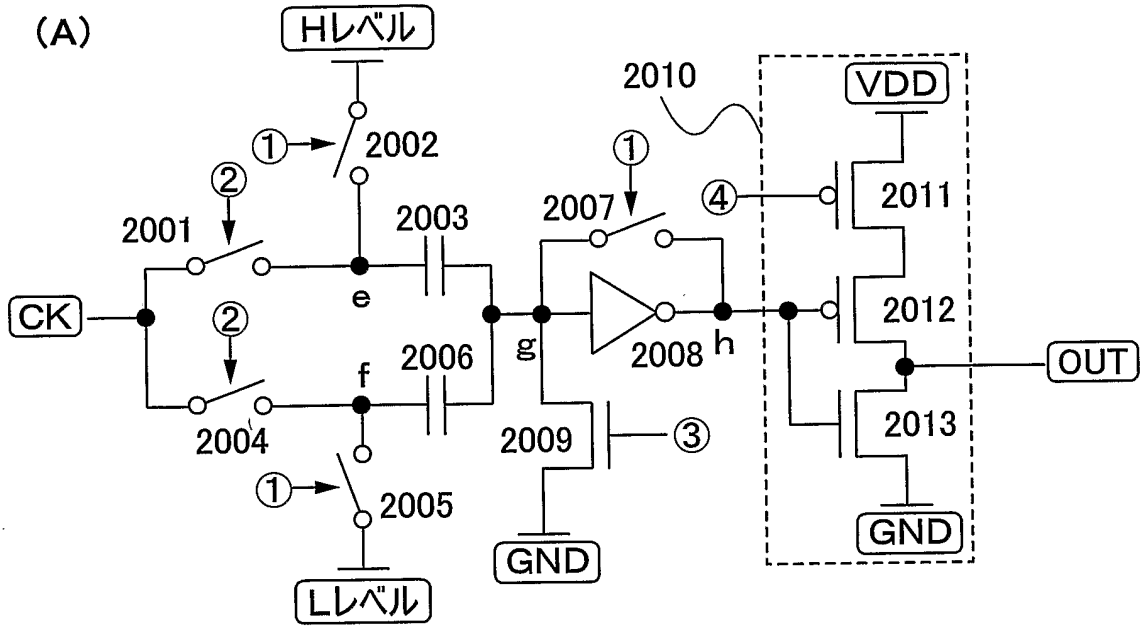
前記レベルシフタの制御信号は前記シフトレジスタの出力パルスから生成することを特徴とするシフトレジスタの駆動方法。

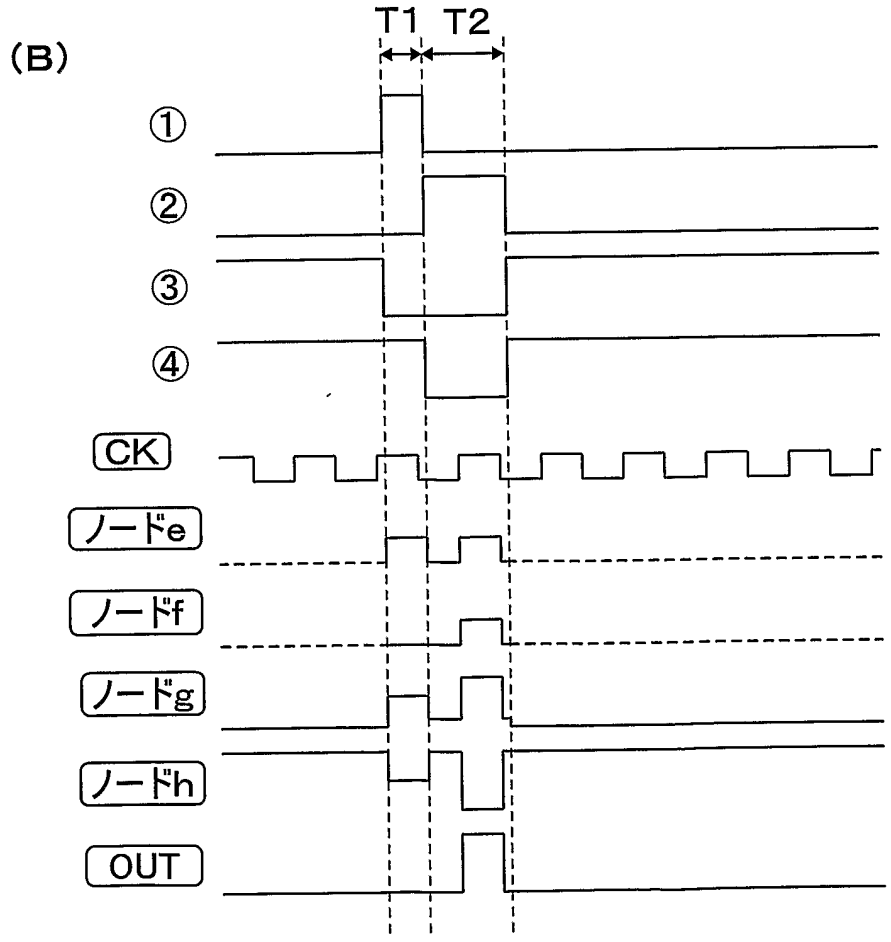
８．請求の範囲第７項において、前記基準電位に前記クロック信号のＨレベルとＬレベルの電位を用いることを特徴とするシフトレジスタの駆動方法。

第1図

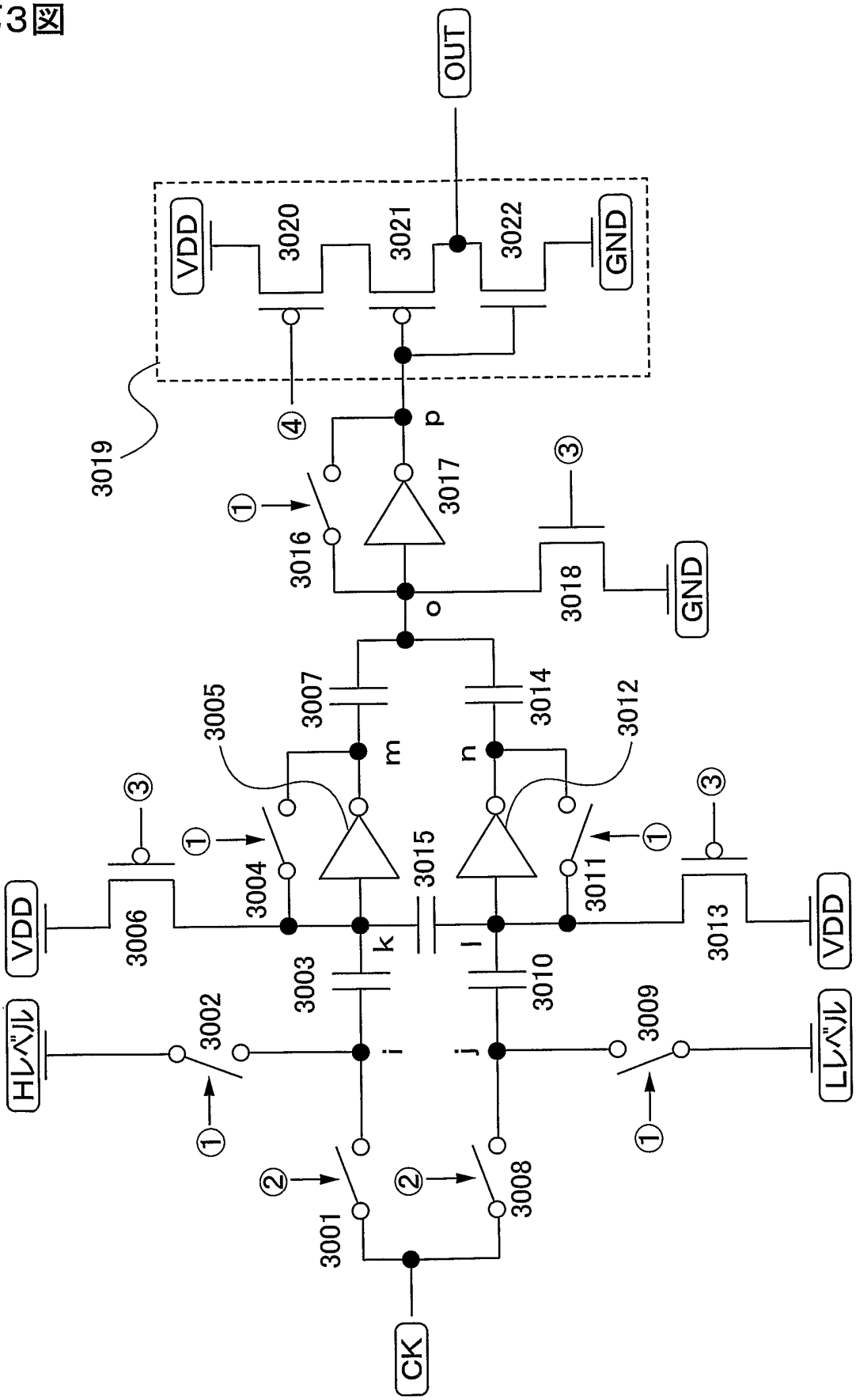

(A)
基準電位
1007
VDD
①
1002
1003
④
1008
②
1004
CK
1001
a
1005
c
1009
OUT
b
③
1006
1010
GND
GND
(B)
T1 T2
①
②
③
④
CK
ノードa
ノードb
ノードc
OUT

第2図

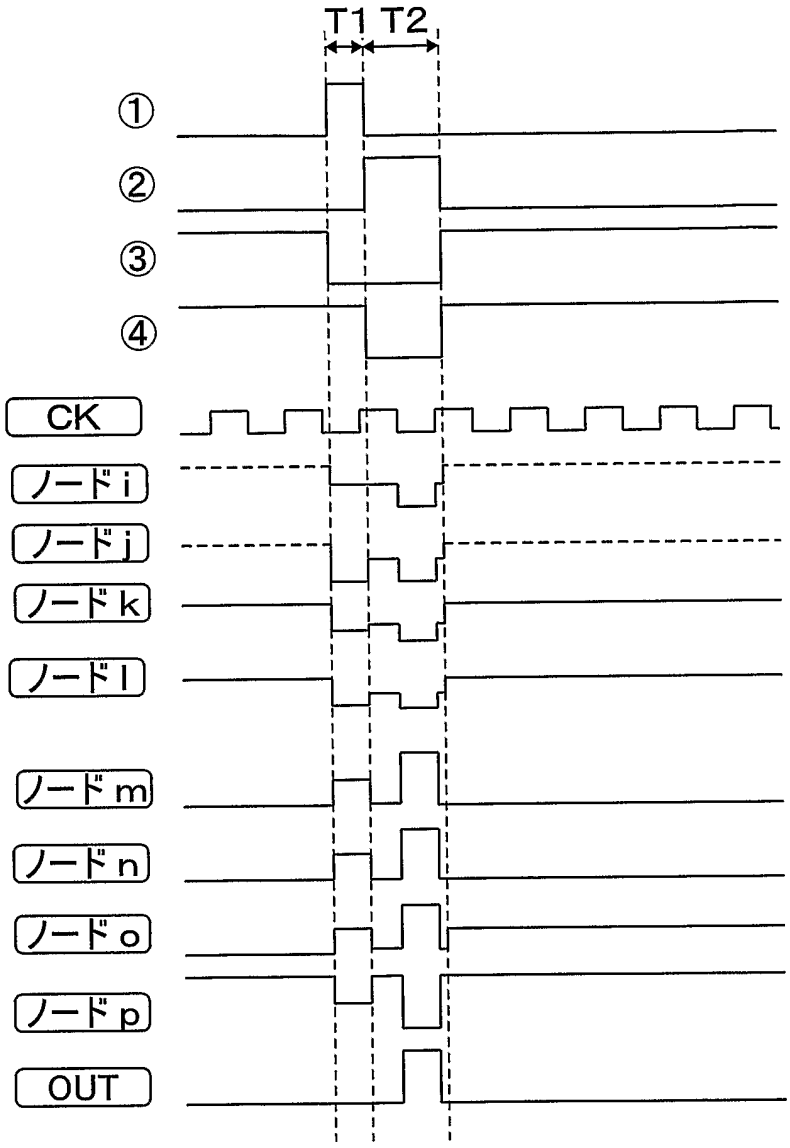

(A)
Hレベル
2002
2001
2003
2007
2010
VDD
2011
CK
e
2012
OUT
2006
g
2008
h
f
2004
2009
2013
2005
GND
GND
Lレベル


(B)
T1
T2
CK
ノードe
ノードf
ノードg
ノードh
OUT

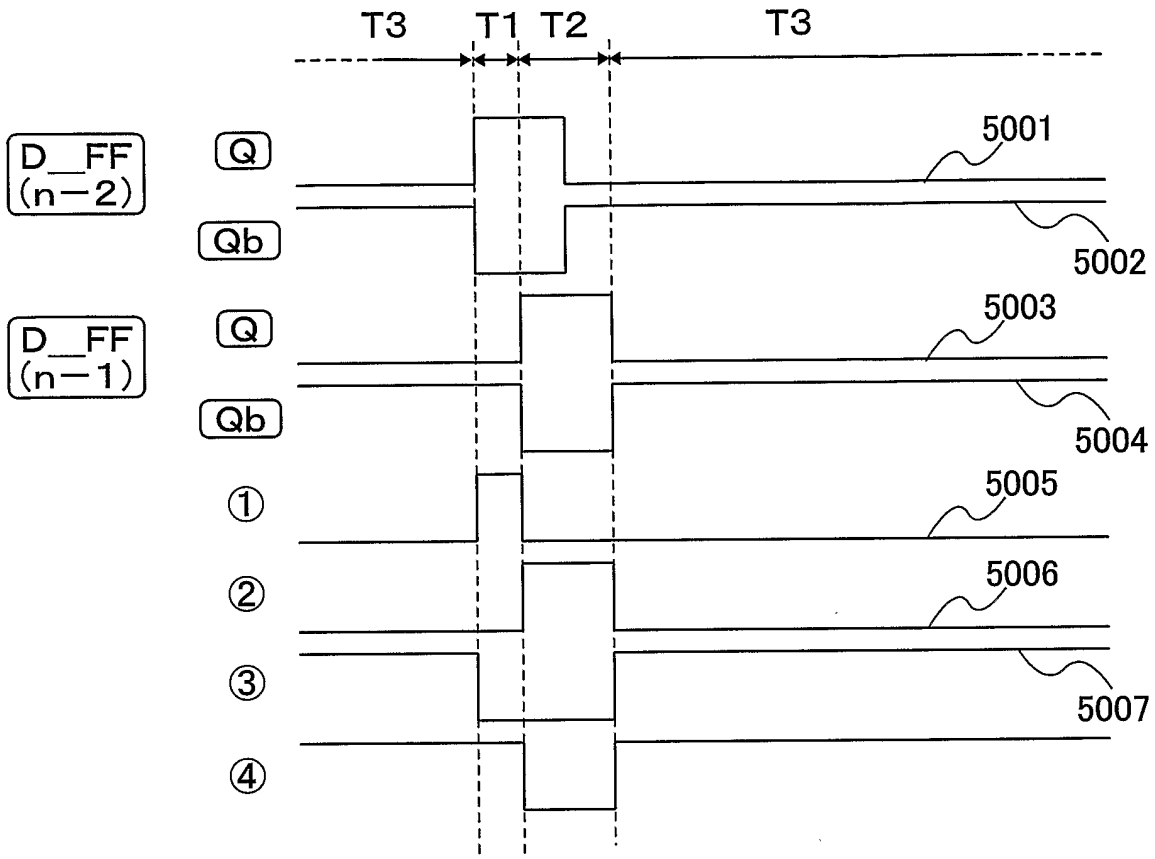
第3図


OUT
VDD
3020
3021
3022
GND
3019
④
p
3017
①
3016
③
3018
GND
o
3005
3007
3014
3012
m
n
③
①
3004
3015
3011
①
③
VDD
3006
k
l
3013
VDD
3003
3010
Hレベル
3002
i
j
3009
Lレベル
①
①
②
②
3008
3001
CK

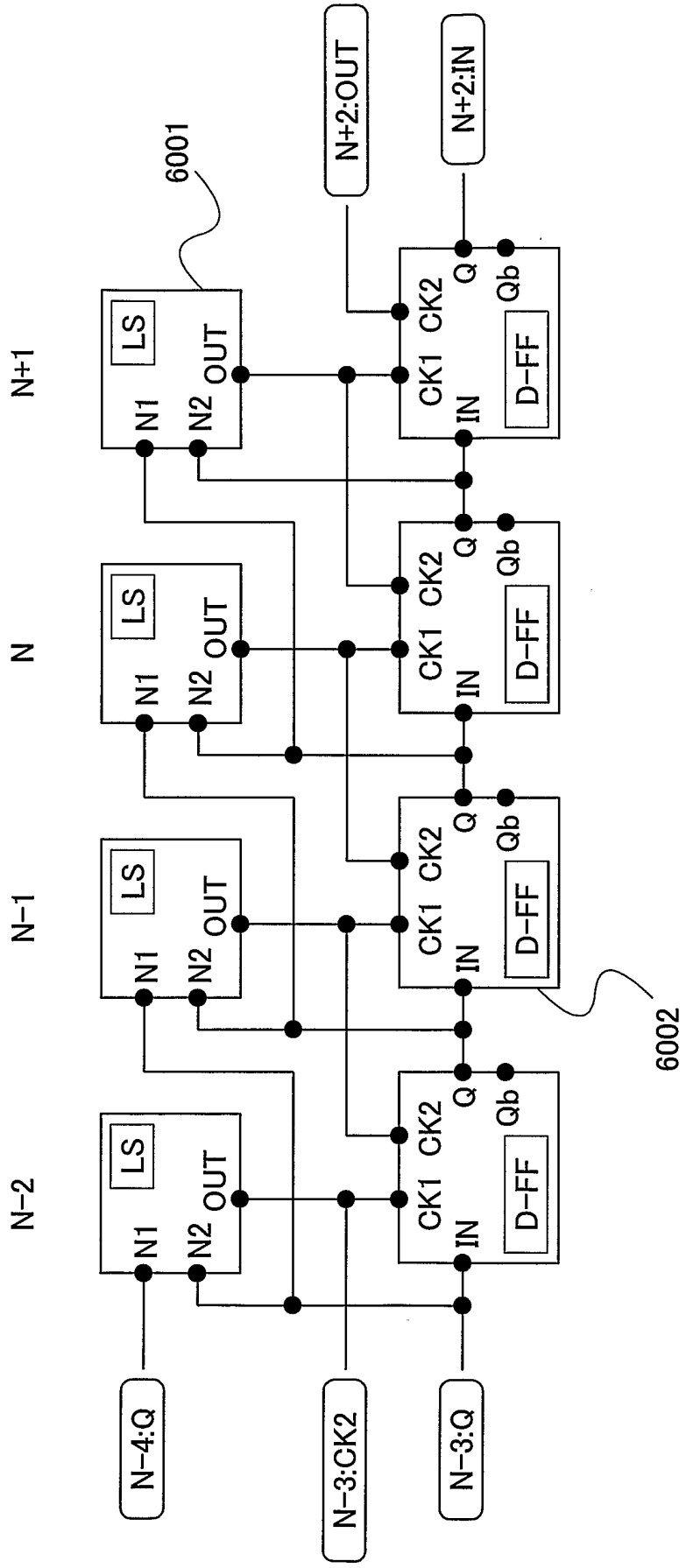
第4図



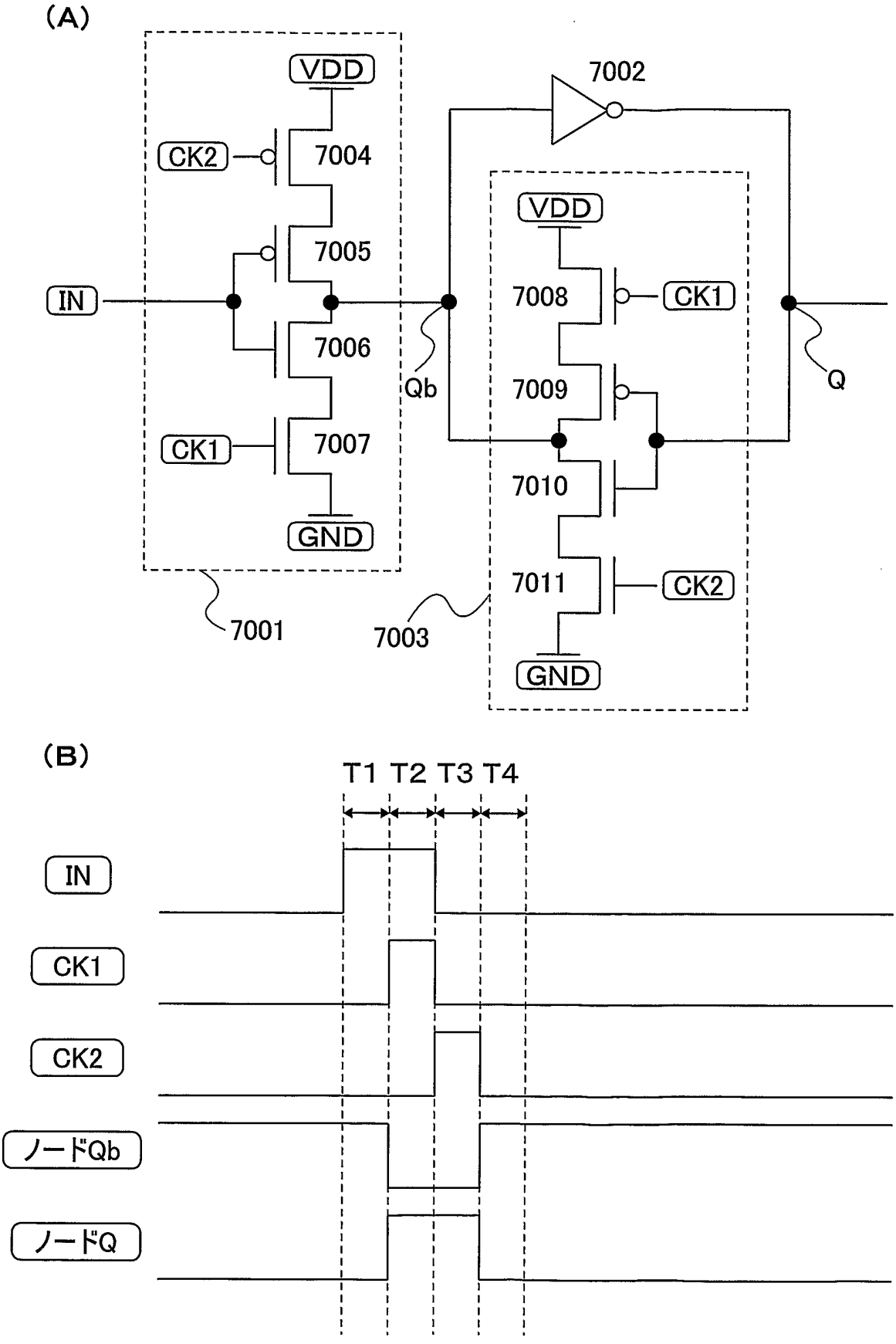
第5図


T3
T1
T2
T3
D_FF (n−2)
Q
Qb
D_FF (n−1)
Q
Qb
①
②
③
④
5001
5002
5003
5004
5005
5006
5007

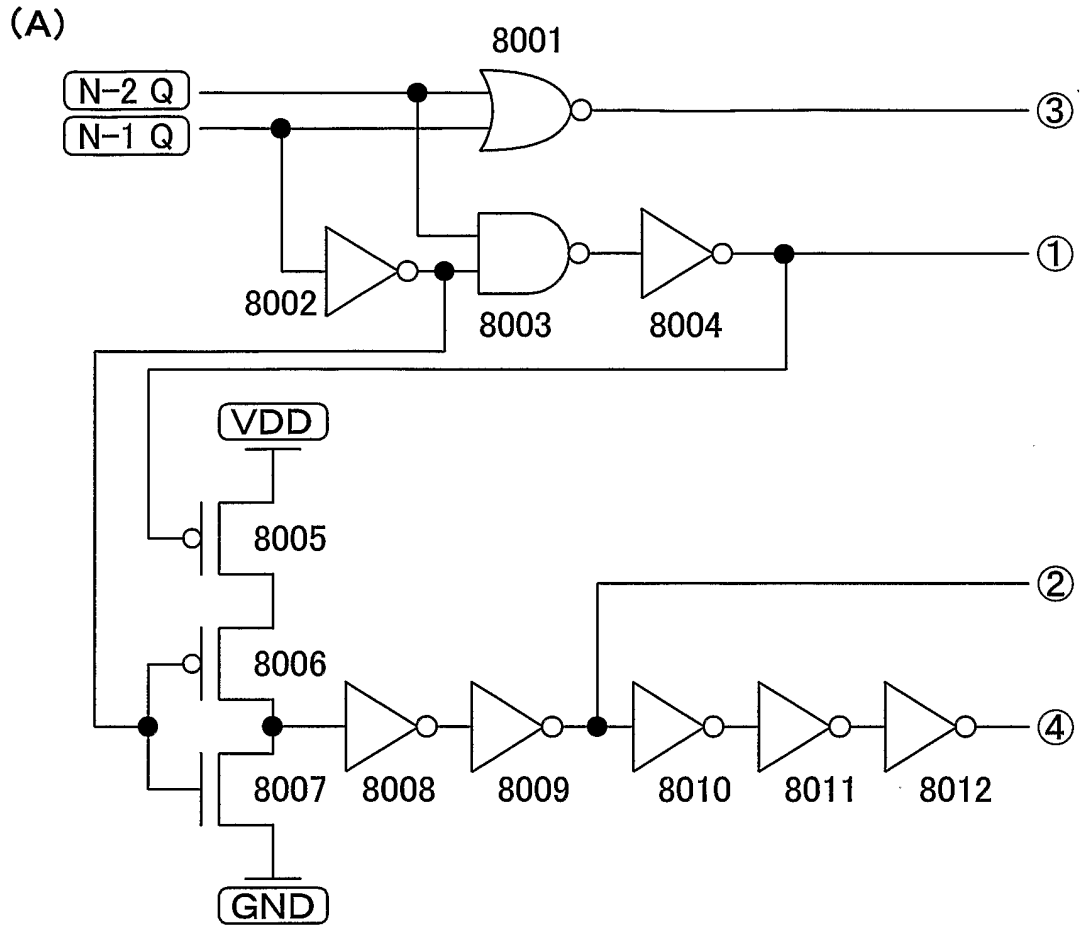
第６図

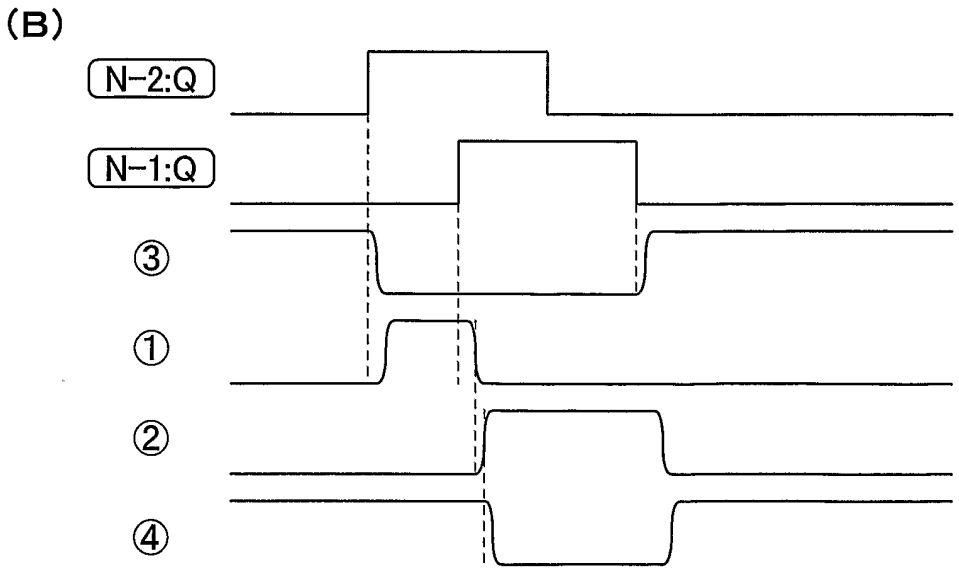

N+2:OUT
N+2:IN
6001
N+1
N
N-1
N-2
LS
N1
N2
OUT
CK1
CK2
IN
Q
Qb
D-FF
6002
N-4:Q
N-3:CK2
N-3:Q

第７図


(A)
VDD
7002
CK2
7004
7005
IN
7006
Qb
7008
CK1
Q
7009
CK1
7007
7010
GND
7011
CK2
7001
7003
GND
(B)
T1 T2 T3 T4
IN
CK1
CK2
ノードQb
ノードQ

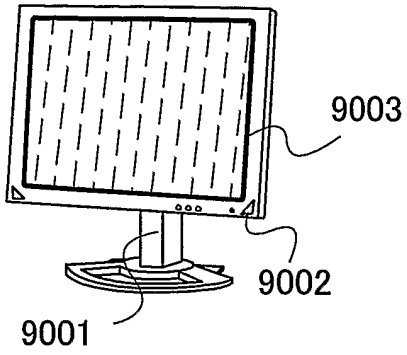
第８図


(A)
8001
N-2 Q
N-1 Q
③
①
8002
8003
8004
VDD
8005
②
8006
④
8007
8008
8009
8010
8011
8012
GND

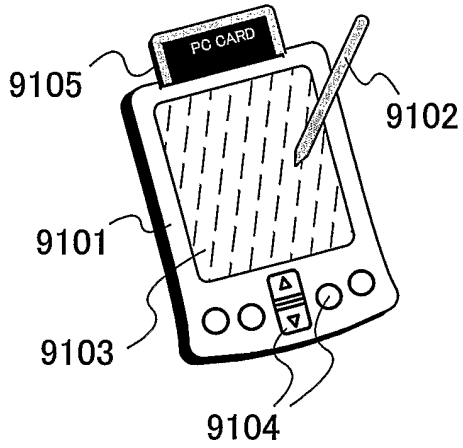

(B)
N-2:Q
N-1:Q
③
①
②
④

第９図

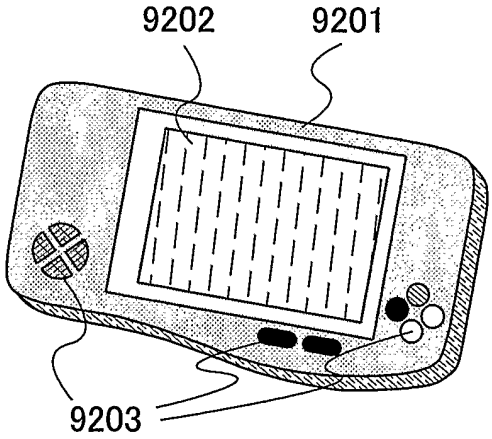
(A)


9003
9002
9001

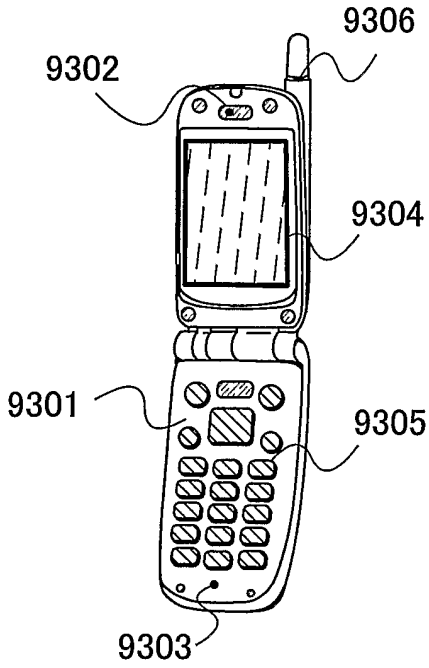
(B)


PC CARD
9105
9102
9101
9103
9104

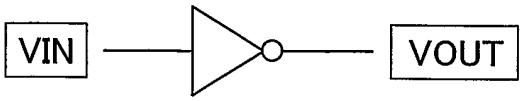
(C)

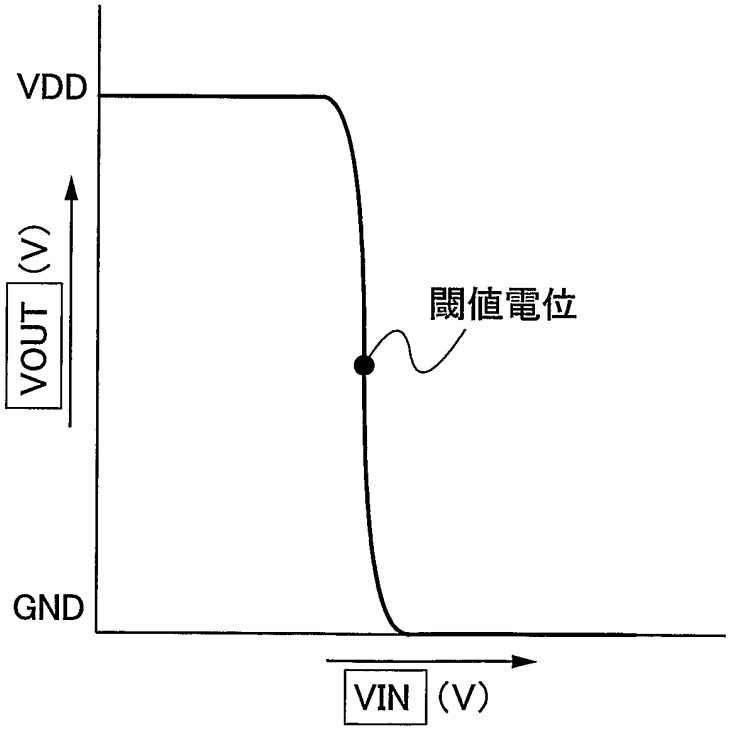

9202
9201
9203

(D)

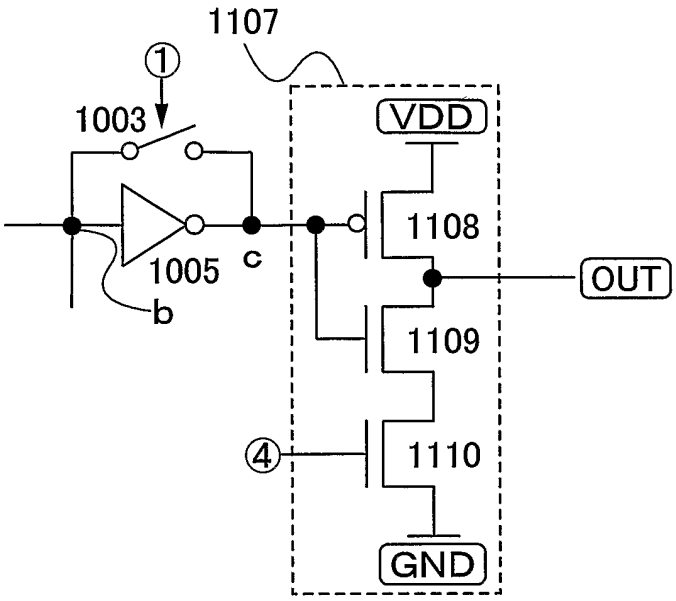

9306
9302
9304
9301
9305
9303

第10図





第11図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/16028

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] H03K5/02, G11C19/00, G09G3/20, G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] H03K5/02, G11C19/00, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-2004
Kokai Jitsuyo Shinan Koho 1971-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-339984 A (Sharp Corp.), 08 December, 2000 (08.12.00), Figs. 7, 14, 19, 24, 38, 39 and explanations thereof & EP 1056069 A Figs. 7, 14, 19, 24, 38, 39 and explanations thereof	1-8
A	JP 2002-175040 A (Toshiba Corp.), 21 June, 2002 (21.06.02), Fig. 13 and explanation thereof & US 2002-75211 A Fig. 13 and explanation thereof	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 March, 2004 (23.03.04)	13 April, 2004 (13.04.04)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/16028

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-287711 A (Sony Corp.), 04 October, 2002 (04.10.02), Figs. 1 to 4, 8 to 10 and explanations thereof (Family: none)	1-8

国際調査報告	国際出願番号　PCT／JP03／16028

A.　発明の属する分野の分類（国際特許分類（IPC））

Int. Cl⁷　H03K 5／02, G11C 19／00, G09G 3/20, G09G 3／36

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl⁷　H03K 5／02, G11C 19／00, G09G 3/20, G09G 3／36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　1926 － 2004
日本国公開実用新案公報　1971 － 2004

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP 2000－339984 A（シャープ株式会社）2000.12.08 第7, 14, 19, 24, 38, 39図及びその説明 & EP 1056069 A 第7, 14, 19, 24, 38, 39図及びその説明	1－8
A	JP 2002－175040 A（株式会社東芝）2002.06.21 第13図及びその説明 & US 2002－75211 A 第13図及びその説明	1－8

☒ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
23.03.04	13.4.2004

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	5X	7402
日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	有泉良三 電話番号　03－3581－1101　内線　3556		

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ０３／１６０２８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　２００２－２８７７１１　Ａ（ソニー株式会社） ２００２．１０．０４　第１～４，８～１０図及びその説明 ファミリーなし	１－８