

(12) 发明专利

(10) 授权公告号 CN 101114381 B

(45) 授权公告日 2012. 02. 22

(21) 申请号 200710103747. X

US 6490058 B1, 2002. 12. 03,

(22) 申请日 2007. 05. 22

US 6128000 A, 2000. 10. 03,

(30) 优先权数据

CN 1200396 C, 2005. 05. 04,

60/802, 746 2006. 05. 22 US

US 5990904 A, 1999. 11. 23,

US 6072500 A, 2000. 06. 06,

(73) 专利权人 辉达公司

审查员 李娜

地址 美国加利福尼亚州

(72) 发明人 乔纳·M·阿尔本 约翰·M·丹斯金

亨利·P·莫尔顿

(74) 专利代理机构 北京市磐华律师事务所

11336

代理人 董巍 顾珊

(51) Int. Cl.

G06T 1/60 (2006. 01)

G06T 15/00 (2006. 01)

(56) 对比文件

CN 101114382 B, 2010. 09. 01, 权利要求

1-7.

CN 1560830 A, 2005. 01. 05,

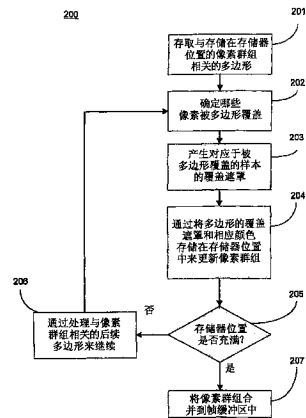
权利要求书 1 页 说明书 10 页 附图 11 页

(54) 发明名称

帧缓冲区合并

(57) 摘要

一种用于经延迟的帧缓冲区合并的方法。所述方法可包括存取与存储在存储器位置处的一群组像素相关的多边形,其中所述像素中的每一者具有现有的颜色。可确定所述多边形覆盖所述像素中的哪些像素,其中每一像素包括多个样本。可产生对应于由所述多边形覆盖的样本的覆盖遮罩。可通过将所述多边形的覆盖遮罩和颜色存储在所述存储器位置中来更新所述群组像素。在之后的某一时间,可将所述群组像素合并到帧缓冲区中。



1. 一种用于帧缓冲区合并的装置,其包含:

第一存取单元,用于存取与存储在存储器位置处的一群组像素相关的多边形,其中所述群组像素中的每一者具有现有的颜色;

确定单元,用于确定所述多边形覆盖所述群组像素中的哪些像素,其中所述群组像素的每一像素包含多个样本;

产生单元,用于产生对应于由所述多边形覆盖的样本的覆盖遮罩;

第一更新单元,用于通过将所述多边形的所述覆盖遮罩和颜色存储在所述存储器位置中来更新所述群组像素;

第二存取单元,用于存取与所述群组像素相关的多个后续多边形;

第二更新单元,用于对于所述后续多边形中的每一者,通过将每一后续多边形的各自的覆盖遮罩和各自的颜色存储在所述存储器位置中来更新所述群组像素;和

合并单元,用于随后将所述群组像素合并到帧缓冲区中;

其中在所述存储器位置中更新所述群组像素导致至少 4 比 1 的压缩;

其中所述存储器位置位于图形处理单元内部且在低等待时间存储器中;

其中所述帧缓冲区存储在系统存储器中或耦合到所述图形处理单元的本机图形存储器中。

2. 根据权利要求 1 所述的用于帧缓冲区合并的装置,其进一步包含:

使用标签值来跟踪存储所述群组像素的存储器位置的状态;和

根据所述后续多边形来更新所述标签值。

3. 根据权利要求 1 所述的用于帧缓冲区合并的装置,其进一步包含:

确定存储所述群组像素的存储器位置何时充满;和

当存储器位置充满时,将所述群组像素合并到所述帧缓冲区中。

4. 根据权利要求 3 所述的用于帧缓冲区合并的装置,其进一步包含:

在所述合并之后,通过根据所述群组像素的颜色将至少一个覆盖遮罩和至少一个颜色存储到所述存储器位置中将所述群组像素压缩到所述存储器位置中。

5. 根据权利要求 1 所述的用于帧缓冲区合并的装置,其进一步包含:

使用标签值作为自由指针来跟踪存储所述群组像素的存储器位置的状态;和

根据所述后续多边形来更新所述标签值。

帧缓冲区合并

技术领域

[0001] 本发明大体上涉及图形计算机系统。本发明至少揭示带有压缩的经延迟的帧缓冲区合并。

背景技术

[0002] 一般而言,适合处理 3D 图像数据的计算机系统除了传统 CPU(中央处理单元)之外还包括专门图形处理器单元(或 GPU)。GPU 包括经配置以处理 3D 的计算机产生的对象的专门硬件。GPU 经配置以对一组数据模型及其构成“图元”(通常是以算术形式描述的三角多边形)进行操作,所述“图元”界定对象的形状、位置和属性。GPU 的硬件处理所述对象,实施在计算机系统的显示器上产生逼真的 3D 图像所需的计算。

[0003] 典型图形渲染处理的性能在很大程度上取决于系统的底层硬件的性能。高性能实时图形渲染要求存储 3D 对象数据和构成图元的存储器具有高数据传送带宽和低等待时间。因此,人们投入了大量开发工作来增加传送带宽并减少存储器的数据存取等待时间。

[0004] 因此,更为昂贵的现有技术 GPU 子系统(例如,配备 GPU 的图形卡等)通常包括较大(例如,128MB 或更大)的专门、昂贵、高带宽本机图形存储器,用于将所需的数据馈送到 GPU。此种 GPU 通常包括较大的芯片上高速缓冲存储器和具有非常低的数据存取等待时间的寄存器组。较便宜的现有技术 GPU 子系统包括较小(64MB 或更少)的此类本机图形存储器,且有些最便宜的 GPU 子系统不具有本机图形存储器,而是依赖于系统存储器来存储图形渲染数据。

[0005] 上述类型的现有技术 GPU 中的每一者的问题在于,系统存储器(或本机图形存储器)的数据传送带宽远远低于 GPU 内部的高速缓冲存储器和寄存器的数据传送带宽。举例来说,GPU 需要读取命令流和场景说明,且确定帧缓冲区的每个像素受到每个包含场景的图形图元的影响的程度。这一过程可能引起对存储像素数据的帧缓冲存储器的多次读取和写入。虽然芯片上高速缓冲存储器和寄存器提供非常低的存取等待时间,但给定场景中的大量像素(例如,1280x1024、1600x1200 等)使得对帧缓冲区的大量存取不可避免。

[0006] 因此,对总体图形渲染过程造成较大等待时间诱发的性能恶化。对于在系统存储器中存储其帧缓冲区的 GPU,性能恶化远为严重。对于每个像素需要对多个样本进行读取和写入的渲染过程(例如,抗混叠等)特别容易受到此类由等待时间诱发的性能恶化的影响。

[0007] 因此,需要一种能够减少到本机图形存储器的通信路径和/或到系统存储器的通信路径的数据传送等待时间所导致的局限性的解决方案。本发明为以上需求提供新颖的解决方案。

发明内容

[0008] 在一个实施例中,本发明实施为用于经延迟的帧缓冲区合并的由 GPU 实施的方法。所述方法包括存取与存储在存储器位置处的一群组像素(例如,一个或一个以上拼接片)相关的多边形,其中每一像素具有现有的颜色。确定多边形覆盖了哪些像素,其中每一

像素包括多个样本。产生对应于由多边形覆盖的样本的覆盖遮罩。通过将多边形的覆盖遮罩和颜色存储在存储器位置中来更新所述群组像素。之后某一时间,将所述群组像素合并到帧缓冲区中。

[0009] 在一个实施例中,将多个多边形更新到像素群组中,借此 GPU 存取与像素群组相关的多个后续多边形(例如,部分地覆盖像素的后续多边形)。对于后续多边形中的每一者,通过将每一后续多边形的个别覆盖遮罩和个别颜色存储在存储器位置中来更新所述群组像素。

[0010] 在一个实施例中,使用标签值来跟踪存储群组像素的存储器位置的状态,其中根据后续多边形来更新标签值。此外,可使用标签值来确定存储所述群组像素的存储器位置何时充满,且借此指示何时应当将所述群组像素合并到帧缓冲区中。

[0011] 以此方式,本发明的经延迟的帧缓冲区合并过程可将来自到达的多边形的更新累积到低等待时间存储器(例如,寄存器、高速缓冲存储器)内的像素群组中,而不是必须向帧缓冲区进行读取和写入并因此导致高等待时间性能恶化。因此,经延迟的帧缓冲区合并过程可改善本机图形存储器和系统存储器的较高数据存取等待时间所导致的瓶颈。

附图说明

[0012] 在附图的各图中以举例而非限制的方式说明本发明,且在附图各图中,相同参考数字指待相似元件。

[0013] 图 1 展示根据本发明一个实施例的计算机系统。

[0014] 图 2 展示根据本发明一个实施例的过程的步骤的流程图。

[0015] 图 3 展示根据本发明一个实施例的确定多边形覆盖一群组中的哪些像素的说明。

[0016] 图 4 展示描绘根据本发明一个实施例的对多边形在一群组像素上的覆盖范围估计的所得样本的图。

[0017] 图 5 展示根据本发明一个实施例的针对一群组像素存储在存储器位置中的覆盖遮罩。

[0018] 图 6 展示根据本发明一个实施例的覆盖所述群组像素的后续多边形。

[0019] 图 7 展示根据本发明一个实施例的由多边形覆盖的像素的样本,其中有一个像素完全未被覆盖。

[0020] 图 8 展示根据本发明一个实施例的存储在存储器位置的一个象限中的多边形的所得覆盖遮罩和颜色。

[0021] 图 9 展示根据本发明一个实施例的覆盖所述群组像素的后续多边形。

[0022] 图 10 展示根据本发明一个实施例的由多边形覆盖的像素的样本,其中有一个像素完全未被覆盖。

[0023] 图 11 展示根据本发明一个实施例的存储在存储器位置的右下象限中的多边形的所得覆盖遮罩和颜色。

[0024] 图 12 展示根据本发明一个实施例的覆盖像素群组的后续多边形。

[0025] 图 13 展示根据本发明一个实施例的存储器位置,其中第一颜色在存储器位置的左上象限中。

[0026] 图 14 展示根据本发明替代实施例的由经延迟的帧缓冲区合并过程操作的像素群

组。

[0027] 图 15 展示在根据本发明的一个方案下存储颜色信息的存储器位置。

[0028] 图 16 展示根据本发明替代实施例的第二方案下的标签值。

[0029] 图 17 展示在本发明替代实施例下存储颜色信息的存储器位置的第二说明。

[0030] 图 18 展示根据本发明一个实施例的两个样本及其由其相应的覆盖遮罩指示的各自的颜色。

[0031] 图 19 展示根据本发明实施例的两个额外样本及其由其相应覆盖遮罩指示的各自的颜色。

[0032] 图 20 展示根据本发明一个实施例合成的作为颜色信息的像素群组的连续状态。

[0033] 图 21 展示根据本发明一个实施例的说明系统存储器、本机图形存储器 and 高速缓冲存储器及寄存器的数据存取等待时间之间的相对差的图。

具体实施方式

[0034] 现在将详细参考本发明的优选实施例，所述实施例的实例在附图中说明。尽管将结合优选实施例描述本发明，但应了解不希望其使本发明限于这些实施例。相反，希望本发明涵盖包括在由随附权利要求书界定的本发明的精神和范围内的替代方案、修改和等效物。此外，在以下本发明实施例的详细描述中，陈述许多特定细节以便提供对本发明的彻底理解。然而，所属领域的一般技术人员将认识到，可在没有这些特定细节的情况下实践本发明。在其它情况下，没有详细描述众所周知的方法、程序、组件和电路，以便不会不必要地混淆本发明实施例的各方面。

[0035] 符号和术语

[0036] 关于对计算机存储器内数据位的操作的程序、步骤、逻辑块、处理和其它符号表示法而提出随后的详细描述的一些部分。这些描述和表示法是数据处理技术领域的技术人员用来将其工作的实质内容最有效地传达给所属领域的其它技术人员的方式。在此处（且通常）设想程序、计算机执行的步骤、逻辑块、过程等为导致期望结果的自相容的步骤或指令序列。所述步骤是需要对物理量进行实体操控的步骤。通常（但不必要），这些量采用电或磁信号的形式，所述信号能够在计算机系统中存储、传送、组合、比较和以另外方式操控。主要出于通用的原因，事实有时证明，将这些信号称为位、值、元件、符号、字符、术语、数字等是方便的。

[0037] 然而应意识到，所有这些术语和类似术语将与适当的物理量相关联，且仅为应用于这些量的方便标记。除非根据以下讨论显而易见以另外方式具体规定，否则应了解在本发明全文中，使用例如“处理”或“存取”或“压缩”或“存储”或“渲染”等术语的讨论均指计算机系统（例如，图 1 的计算机系统 100）或类似电子计算装置的动作和过程，其将表示为计算机系统的寄存器和存储器内的物理（电子）量的数据操控和转变为类似地表示为计算机系统存储器或寄存器或其它此类信息存储、传输或显示装置内的物理量的其它数据。

[0038] 计算机系统平台：

[0039] 图 1 展示根据本发明一个实施例的计算机系统 100。计算机系统 100 描绘基本计算机系统的组件，所述计算机系统提供用于某种基于硬件和基于软件的功能性的执行平台。一般来说，计算机系统 100 包含至少一个 CPU101、系统存储器 115 和至少一个图形处理

单元 (GPU) 110。CPU101 可经由桥接组件 105 耦合到系统存储器 115, 或者可经由 CPU101 内部的存储器控制器 (未图示) 直接耦合到系统存储器 115。桥接组件 105 (例如, 北桥) 可支持连接各种 I/O 装置 (例如, 一个或一个以上硬磁盘驱动器、以太网适配器、CD ROM、DVD 等) 的扩展总线 (例如, 扩展总线 106)。GPU110 耦合到显示器 112。可视需要将一个或一个以上额外的 GPU 耦合到系统 100, 以进一步增加其计算能力。GPU110 经由桥接组件 105 耦合到 CPU101 和系统存储器 115。系统 100 可建构为 (例如) 桌上型计算机系统或服务器计算机系统, 其具有耦合到专用图形渲染 GPU110 的有力的通用 CPU101。在此实施例中, 可包括添加外围总线、专门的本机图形存储器、I/O 装置和类似物的组件。类似地, 系统 100 可建构为手持装置 (例如, 手机等) 或置顶视频游戏控制台装置, 例如可从华盛顿 Microsoft Corporation of Redmond 购得的 Xbox 和可从日本东京 Sony Computer Entertainment Corporation 购得的 PlayStation3。

[0040] 应了解, GPU110 可建构为离散组件、设计为经由连接器 (例如, AGP 插槽、PCI-Express 插槽等) 耦合到计算机系统 100 的离散图形卡、离散集成电路小片 (例如, 直接安装在母板上), 或建构为包括在计算机系统芯片组组件的集成电路小片内 (例如, 集成在桥接芯片 105 内) 的集成 GPU。另外, 对于 GPU110, 可视需要包括本机图形存储器 116, 以提供高带宽图形数据存储。

[0041] 本发明的实施例:

[0042] 本发明的实施例实施一种用于经延迟的帧缓冲区合并的方法。在一个实施例中, GPU 利用标签值和帧缓冲区拼接片 (frame buffer tile) 的子部分来存储覆盖遮罩 (coveragemask)。覆盖遮罩对应于拼接片的覆盖程度 (例如, 被覆盖的样本的数目)。包含帧缓冲区拼接片的像素可通过将多边形的颜色和所述多边形的覆盖遮罩存储到存储所述拼接片的存储器位置中而以压缩状态存储。此外, 通过将用于新多边形的后续覆盖遮罩和用于所述新多边形的颜色存储在所述存储器位置中, 可将额外的多边形渲染到拼接片中。

[0043] 这使得能在不必对帧缓冲区进行存取和写入的情况下将新多边形渲染到拼接片中。举例来说, 可在拼接片充满之前使用经延迟的帧缓冲区合并过程将多边形渲染到拼接片中, 在拼接片充满时可将拼接片合并到帧缓冲区中。以此方式, 本发明的经延迟的帧缓冲区合并过程可使来自到达的多边形的更新累积到 GPU110 的低等待时间存储器 (例如, 寄存器、高速缓冲存储器) 的有限大小内的拼接片中, 而非必须对帧缓冲区 (例如, 存储在本机图形存储器 116 或系统存储器 115 中) 进行读取和写入且因此引起高等待时间性能恶化。下文在图 2 中更详细地描述经延迟的帧缓冲区合并过程。

[0044] 图 2 展示根据本发明一个实施例的过程 200 的步骤的流程图。如图 2 描绘, 过程 200 描绘根据本发明一个实施例的由计算机系统 (例如, 计算机系统 100) 的 GPU (例如, GPU110) 实施的经延迟的帧缓冲区合并过程中包含的操作步骤。

[0045] 在图 1 的示范性计算机系统 100 和图 3-13 的情境下且参考其而描述图 2 的过程 200 实施例的步骤。

[0046] 过程 200 开始于步骤 201, 其中 GPU110 存取与存储在一存储器位置的一群组像素相关的多边形。在渲染过程期间, GPU110 接收界定包含 3-D 场景的对象的形状、位置和属性的图元 (通常为三角形多边形)。GPU 的硬件处理图元并实施在显示器 112 上产生逼真的 3D 图像所需的计算。此过程的至少一个部分涉及将多边形光栅化和抗混叠到帧缓冲区

的像素中,借此 GPU110 确定帧缓冲区的每一像素受包含场景的每一图形图元影响的程度。在一个实施例中,GPU110 处理作为群组的像素,所述群组常被称为拼接片。这些群组或拼接片通常每个拼接片包含四个像素(例如,但也可实施具有 8、12、16 或更多像素的拼接片)。在一个实施例中,GPU110 经配置以处理两个相邻拼接片(例如,包含八个像素)。

[0047] 在步骤 202 中,过程 200 确定群组中哪些像素被多边形覆盖。图 3 中说明这个关于哪些像素被多边形覆盖的确定,图 3 展示正针对包含八个像素的群组经受光栅化的多边形 301 的图。图 3 展示各具有四个像素的并排的两个拼接片。将每一像素进一步划分为四个子像素,其中每一子像素具有一个采样点,其在图 3 中描绘为“x”,从而获得(例如)4x 抗混叠中使用的 16 个采样点。图 4 展示所得的样本,借此,由多边形覆盖的采样点变暗,而未由多边形覆盖的采样点不变暗。如图 4 所示,将像素标记为 A、B、C、D、E、F、G 和 H。请注意,像素 H 完全未被覆盖。

[0048] 在步骤 203 中,产生对应于由多边形 301 覆盖的样本的覆盖遮罩。在一个实施例中,覆盖遮罩可实施为位遮罩,其中群组的每个样本各具有一位。因此,16 个位可表示群组的 16 个样本,其中根据所述样本是否被覆盖而设定每一位。因此,在多边形 301 部分覆盖群组的像素且因此部分覆盖所述 16 个样本的情况下,可通过将多边形 301 的所得的覆盖遮罩和颜色存储到存储拼接片的存储器位置中来将此信息(即,覆盖程度)更新到群组中。

[0049] 重要的是,应注意此更新可在 GPU110 内部的存储器内发生。此存储器在针对多边形光栅化和渲染像素群组时存储像素群组。因此,可将多边形光栅化和渲染到像素群组中,而不必从帧缓冲区读取像素群组、更新像素群组和接着将经更新的像素群组写回到帧缓冲区(例如,读取-修改-写入)。

[0050] 在步骤 204 中,通过将多边形的覆盖遮罩和相应颜色存储到群组的存储器位置中来更新像素群组。这在图 5 中展示。应注意,覆盖遮罩存储在由于像素 H 完全未被覆盖而导致为空的存储器中。如图 5 说明,将存储像素群组的存储器位置描绘为具有四个象限的矩形 500。空间的四分之一(例如,左上象限)存储八个像素的经压缩的背景颜色,其中(例如)单个前一多边形完全覆盖所有八个像素,且因此可将样本 4 比 1 压缩并存储为每个像素一种颜色。右上象限存储覆盖遮罩 501 和用于像素 A 到 G 的一种颜色。如上所述,覆盖遮罩指示哪些样本由多边形覆盖。

[0051] 以此方式,本发明的经延迟的帧缓冲区合并过程可将来自到达的多边形的更新累积到低等待时间存储器(例如,寄存器、高速缓冲存储器)内的像素群组中,而非必须对帧缓冲区进行读取和写入。

[0052] 仍参看图 2 的过程 200,在步骤 205 中,确定存储器位置 500 是否充满。如果存储器位置未充满,那么过程 200 可进行到步骤 206 并继续处理与像素群组有关的后续多边形,且对于每一后续多边形,执行步骤 202 到 204。举例来说,图 6 展示覆盖像素群组的后续多边形 601,图 7 展示由多边形 601 覆盖的像素的样本,其中像素 A 完全未被覆盖,且图 8 展示存储在存储器位置 500 的左下象限中的多边形 601 的所得覆盖遮罩 801 和颜色。图 9 接着展示覆盖像素群组的后续多边形 901,图 10 展示由多边形 901 覆盖的像素的样本,其中像素 C、D、G 和 H 完全未被覆盖,且图 11 展示存储在存储器位置 500 的右下象限中的多边形 901 的所得覆盖遮罩 1101 和颜色。

[0053] 以此方式,本发明的经延迟的帧缓冲区合并过程可将来自到达的多边形的更新累

积到像素群组中,而非必须对帧缓冲区进行读取、修改和写入。经延迟的帧缓冲区合并过程因此改善了由本机图形存储器和系统存储器的较高数据存取等待时间导致的瓶颈。如上所述,可用后续多边形来更新像素群组而不用迫使合并进入用于每一多边形的帧缓冲区。

[0054] 在步骤 207 中,当如图 11 所示,存储器位置 500 充满时,当后续多边形到达时,存储在存储器位置 500 中的信息需要解压缩并与新多边形合成。接着可将此信息合并到帧缓冲区中。一旦合并到帧缓冲区中,信息就可保留为未经压缩的形式。

[0055] 在一个实施例中,在将信息合并到帧缓冲区中之后,GPU110 可重新压缩像素群组的颜色信息,并以压缩形式将像素群组存储在低等待时间存储器中。可使用上述覆盖遮罩和颜色来压缩此颜色信息。此过程在图 12 中说明,其中后续多边形 1201 覆盖像素群组。在存储在存储器位置 500 中的信息解压缩并与多边形 1201 合成之后,将信息重新压缩并存储在存储器位置 500 内,如图 13 所示。图 13 展示存储器位置 500,其中第一颜色在左上象限中(例如,背景颜色),覆盖遮罩 1301 和对应于覆盖遮罩 1301 的第二颜色在右上象限中,且覆盖遮罩 1302 和对应于覆盖遮罩 1302 的第三颜色在左下象限中。因此,在重新压缩之后,存储器位置 500 的右下象限打开以接收另一多边形。

[0056] 应注意,如果接收到完全覆盖群组的所有像素的后续多边形,那么每一像素中的所有样本将具有相同的颜色,且因此可经 4 比 1 压缩并作为单个颜色存储在(例如)左上象限中。应注意,尽管已在 4x 多采样的情境中描述本发明的实施例,但本发明在实践更高等级的多采样(例如,8x 多采样等)的情形中和除抗混叠之外的应用中更加有用。

[0057] 另外,应注意在一个实施例中,GPU110 使用标签值来跟踪用于像素群组的存储器位置 500 的状态。此标签值使 GPU110 能够跟踪已被更新到存储器位置 500 中的多边形的数目。举例来说,在一个实施例中,可将标签值实施为 3 位值,其中(例如)标签值 0 指示每个像素一种颜色的 4 比 1 压缩,标签值 1 指示存储器位置 500 的两个象限被占据的 4 比 1 压缩,如图 5 所示,标签值 3 指示存储器位置 500 的三个象限被占据的 4 比 1 压缩,如图 8 所示,且标签值 4 指示存储器位置 500 的全部四个象限被占据的 4 比 1 压缩,如图 11 所示。

[0058] 图 14 到 16 说明根据本发明替代实施例的经延迟的帧缓冲区合并过程。在替代实施例中,将标签实施为指向存储器位置 500 内的自由指针。在此实施例中,存储器位置 500 可支持多达六个更新,而不必执行与帧缓冲区的合并。在此实施例中,可实施标签值使其具有以下意义:

[0059] 0 = 未经压缩;

[0060] 1 = 完全压缩,样本 8 处的自由指针;

[0061] 2 = 多个片断,样本 12 处自由指针;

[0062] 3 = 样本 16 处的自由指针;

[0063] 4 = 样本 20 处的自由指针;

[0064] 5 = 样本 24 处的自由指针;

[0065] 6 = 样本 28 处的自由指针;

[0066] 9 = 存储器位置 500 充满,但仍然未决。

[0067] 图 14 展示根据所指示样本位置而具有颜色的像素群组。图 15 展示存储器位置 500,其中在上文图 2 的讨论中描述的方案下存储颜色信息。图 16 展示根据替代实施例的标签值,其中标签值 1 展示为存储于存储器位置 500 的样本位置 8 处的“1”,标签值 2 展示

为存储于样本位置 16 处的“2”，且类似地，直到标签值 6 展示为样本位置 28 处的“6”。图 17 展示存储器位置 500，其中在本发明替代实施例的方案下存储颜色信息。因此，如图 17 所示，像素群组可具有背景颜色和多达六种新的更新的颜色，其中所得的覆盖遮罩 1701-1702 分别存储在样本位置 12 和 8，且与覆盖遮罩 1701-1702 相关联的颜色与其相邻而存储。

[0068] 图 18 到 20 视觉上说明覆盖遮罩从后续到达的多边形中捕获更新的方式。举例来说，图 18 展示两个样本及其由覆盖遮罩 1701 指示的各自颜色，且图 19 展示两个样本及其由覆盖遮罩 1702 指示的各自颜色。图 20 展示像素群组的四个连续状态，其说明在存储器位置 500 内建立像素群组的最终状态的方式，其中状态 2002 展示初始两个样本，状态 2003 展示随后两个样本，状态 2004 展示与背景颜色合成的颜色，且最终状态 2005 描绘存储在存储器位置 500 内的所得信息。

[0069] 因此，根据替代实施例，需要 16 字节写入，其不一定比 32 字节写入更有效，但仍节省一次从帧缓冲区的读取。通过较深的像素或较大的像素占据面积，替代实施例方法仍可用 3 位标签来发挥作用。在上述实例中，像素群组包含八像素占据面积。在像素占据面积包含 16 个像素群组的情况下，过程将接着以八样本增量或 32 字节颗粒来分配存储。或者，在正写入 8 字节像素的情况下，如本文使用的 2x4 像素群组充分起作用以产生 32 字节写入。

[0070] 图 21 展示根据本发明一个实施例的图 2100，其说明系统存储器 115、本机图形存储器 116 和高速缓冲存储器 2101 和寄存器 2102 的数据存取等待时间之间的相对差。如上所述，本发明的经延迟的帧缓冲区合并过程可将来自到达的多边形的更新累积到低等待时间存储器（例如，寄存器 2102、高速缓冲存储器 2101）内的像素群组中，借此减少对帧缓冲区的读取和写入的次数，且借此减少由高存储器存取等待时间导致的性能恶化。此属性在帧缓冲区（例如，图形数据 2120）存储在本机图形存储器 116 中时会改进性能，且当帧缓冲区（例如，图形数据 2110）存储在系统存储器 115 中时会在高得多的程度上改进性能。以此方式，经延迟的帧缓冲区合并过程因此改善了由本机图形存储器 116 和系统存储器 115 的较高数据存取等待时间导致的瓶颈。

[0071] 简单概括来说，本发明揭示以下内容：

[0072] 概念 1. 一种用于帧缓冲区合并的方法，其包含：

[0073] 存取与存储在存储器位置的像素群组相关的多边形，其中所述像素中的每一者具有现有的颜色；

[0074] 确定所述像素中哪些像素被所述多边形覆盖，其中每一像素包含多个样本；

[0075] 产生对应于被所述多边形覆盖的样本的覆盖遮罩；

[0076] 通过将所述多边形的所述覆盖遮罩和颜色存储在所述存储器位置中来更新所述像素群组；和

[0077] 随后将所述像素群组合并到帧缓冲区中。

[0078] 概念 2. 根据概念 1 所述的方法，其进一步包含：

[0079] 存取与所述像素群组相关的多个后续多边形；和

[0080] 对于所述后续多边形中的每一者，通过将每一后续多边形的个别覆盖遮罩和个别颜色存储在所述存储器位置中来更新所述像素群组。

[0081] 概念 3. 根据概念 2 所述的方法，其进一步包含：

[0082] 使用标签值来跟踪存储所述像素群组的存储器位置的状态；和

- [0083] 根据所述后续多边形来更新所述标签值。
- [0084] 概念 4. 根据概念 2 所述的方法,其进一步包含:
- [0085] 确定存储所述像素群组的存储器位置何时充满;和
- [0086] 当存储器位置充满时将像素群组合并到帧缓冲区中。
- [0087] 概念 5. 根据概念 4 所述的方法,其进一步包含:
- [0088] 在合并之后,通过根据像素的颜色将至少一个覆盖遮罩和至少一种颜色存储到存储器位置中而将像素群组压缩到存储器位置中。
- [0089] 概念 6. 根据概念 4 所述的方法,其中所述将像素群组合并到帧缓冲区中经配置以减少对所述帧缓冲区的存取次数。
- [0090] 概念 7. 根据概念 1 所述的方法,其中所述将像素群组更新到存储器位置中导致 4 比 1 压缩。
- [0091] 概念 8. 一种存储计算机可读代码的计算机可读媒体,所述计算机可读代码当由具有耦合到存储器的处理器的计算机系统执行时导致所述计算机系统实施用于经延迟的帧缓冲区合并的计算机可读媒体,其包含:
- [0092] 存取与存储在存储器位置的像素群组相关的多边形,其中所述像素中的每一者具有现有的颜色;
- [0093] 确定所述像素中哪些像素被所述多边形覆盖,其中每一像素包含多个样本;
- [0094] 产生对应于被所述多边形覆盖的样本的覆盖遮罩;
- [0095] 通过将所述多边形的所述覆盖遮罩和颜色存储在所述存储器位置中来更新所述像素群组;
- [0096] 存取与所述像素群组相关的多个后续多边形;
- [0097] 对于所述后续多边形中的每一者,通过将每一后续多边形的个别覆盖遮罩和个别颜色存储在所述存储器位置中来更新所述像素群组;和
- [0098] 随后将所述像素群组合并到帧缓冲区中。
- [0099] 概念 9. 根据概念 8 所述的计算机可读媒体,其进一步包含:
- [0100] 使用标签值来跟踪存储所述像素群组的存储器位置的状态;和
- [0101] 根据所述后续多边形来更新所述标签值。
- [0102] 概念 10. 根据概念 8 所述的计算机可读媒体,其进一步包含:
- [0103] 确定存储所述像素群组的存储器位置何时充满;和
- [0104] 当存储器位置充满时将像素群组合并到帧缓冲区中。
- [0105] 概念 11. 根据概念 10 所述的计算机可读媒体,其进一步包含:
- [0106] 在合并之后,通过根据像素的颜色将至少一个覆盖遮罩和至少一种颜色存储到存储器位置中而将像素群组压缩到存储器位置中。
- [0107] 概念 12. 根据概念 10 所述的计算机可读媒体,其中所述将像素群组合并到帧缓冲区中经配置以减少对所述帧缓冲区的存取次数。
- [0108] 概念 13. 根据概念 8 所述的计算机可读媒体,其中所述将像素群组更新到存储器位置中导致 4 比 1 压缩。
- [0109] 概念 14. 一种计算机系统,其包含:
- [0110] 处理器;

- [0111] 系统存储器,其耦合到所述处理器;和
- [0112] 图形处理单元,其耦合到所述处理器,其中所述图形处理器经配置以执行计算机可读代码,所述计算机可读代码导致所述图形处理器实施一种用于经延迟的帧缓冲区合并的方法,所述方法包含:
- [0113] 存取与存储在存储器位置的像素群组相关的多边形,其中所述像素中的每一者具有现有的颜色;
- [0114] 确定所述像素中哪些像素被所述多边形覆盖,其中每一像素包含多个样本;
- [0115] 产生对应于被所述多边形覆盖的样本的覆盖遮罩;
- [0116] 通过将所述多边形的所述覆盖遮罩和颜色存储在所述存储器位置中来更新所述像素群组;
- [0117] 存取与所述像素群组相关的多个后续多边形;
- [0118] 对于所述后续多边形中的每一者,通过将每一后续多边形的个别覆盖遮罩和个别颜色存储在所述存储器位置中来更新所述像素群组;和
- [0119] 随后将所述像素群组合并到帧缓冲区中。
- [0120] 概念 15. 根据概念 14 所述的计算机系统,其进一步包含:
- [0121] 使用标签值来跟踪存储所述像素群组的存储器位置的状态;和
- [0122] 根据所述后续多边形来更新所述标签值。
- [0123] 概念 16. 根据概念 14 所述的计算机系统,其进一步包含:
- [0124] 确定存储所述像素群组的存储器位置何时充满;和
- [0125] 当存储器位置充满时将像素群组合并到帧缓冲区中。
- [0126] 概念 17. 根据概念 16 所述的计算机系统,其进一步包含:
- [0127] 在合并之后,通过根据像素的颜色将至少一个覆盖遮罩和至少一种颜色存储到存储器位置中而将像素群组压缩到存储器位置中。
- [0128] 概念 18. 根据概念 14 所述的计算机系统,其进一步包含:
- [0129] 使用标签值作为自由指针,以跟踪存储像素群组的存储器位置的状态;和
- [0130] 根据所述后续多边形来更新所述标签值。
- [0131] 概念 19. 根据概念 14 所述的计算机系统,其中所述帧缓冲区存储在系统存储器中。
- [0132] 概念 20. 根据概念 14 所述的计算机系统,其中所述帧缓冲区存储在耦合到所述图形处理单元的本机图形存储器中。
- [0133] 广义上,本发明至少揭示一种用于经延迟的帧缓冲区合并的方法。所述方法可包括存取与存储在存储器位置的像素群组相关的多边形,其中所述像素中的每一者具有现有的颜色。可确定所述像素中哪些像素被所述多边形覆盖,其中每一像素包含多个样本。可产生对应于被所述多边形覆盖的样本的覆盖遮罩。可通过将所述多边形的所述覆盖遮罩和颜色存储在所述存储器位置中来更新所述像素群组。在随后的时间,可将所述像素群组合并到帧缓冲区中。
- [0134] 已出于说明和描述的目的呈现了对本发明特定实施例的以上描述。不希望其为彻底的或将本发明限于所揭示的精确形式,且根据以上教导,许多修改和变化是可能的。选择和描述实施例,以便最好地解释本发明的原理及其实际应用,借此使所属领域的其他技术

人员能够最好地利用本发明和适于预期特定用途的具有各种修改的各种实施例。希望本发明的范围由附加于本发明的权利要求书及其等效物来界定。

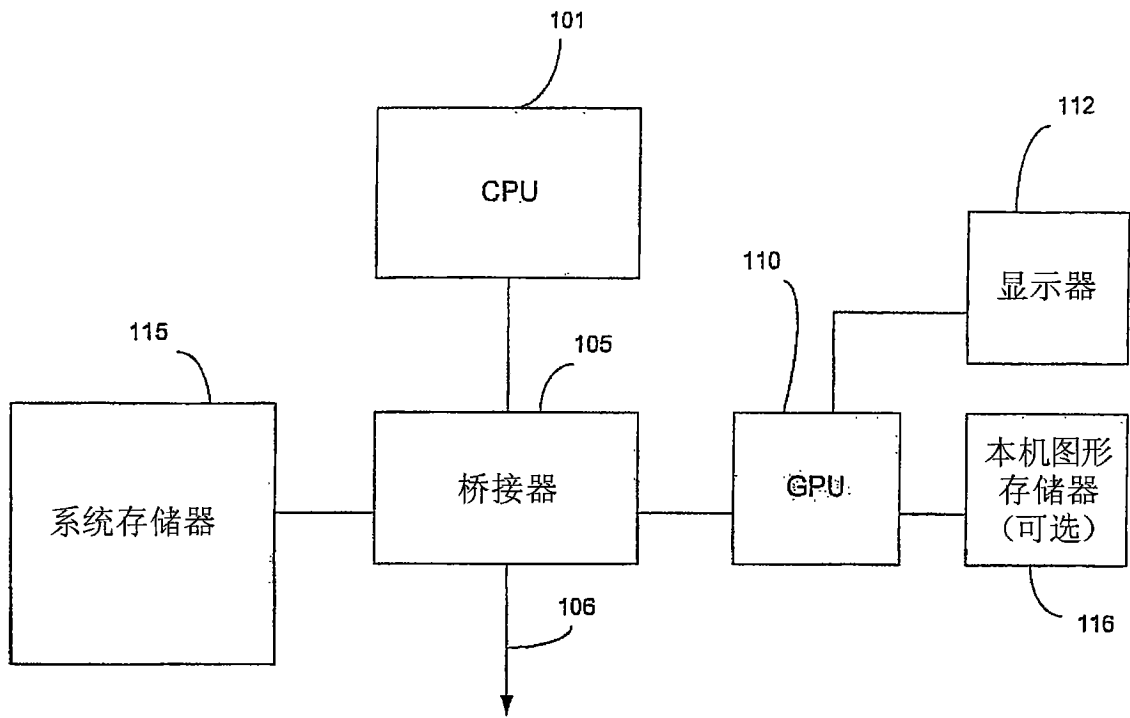


图 1

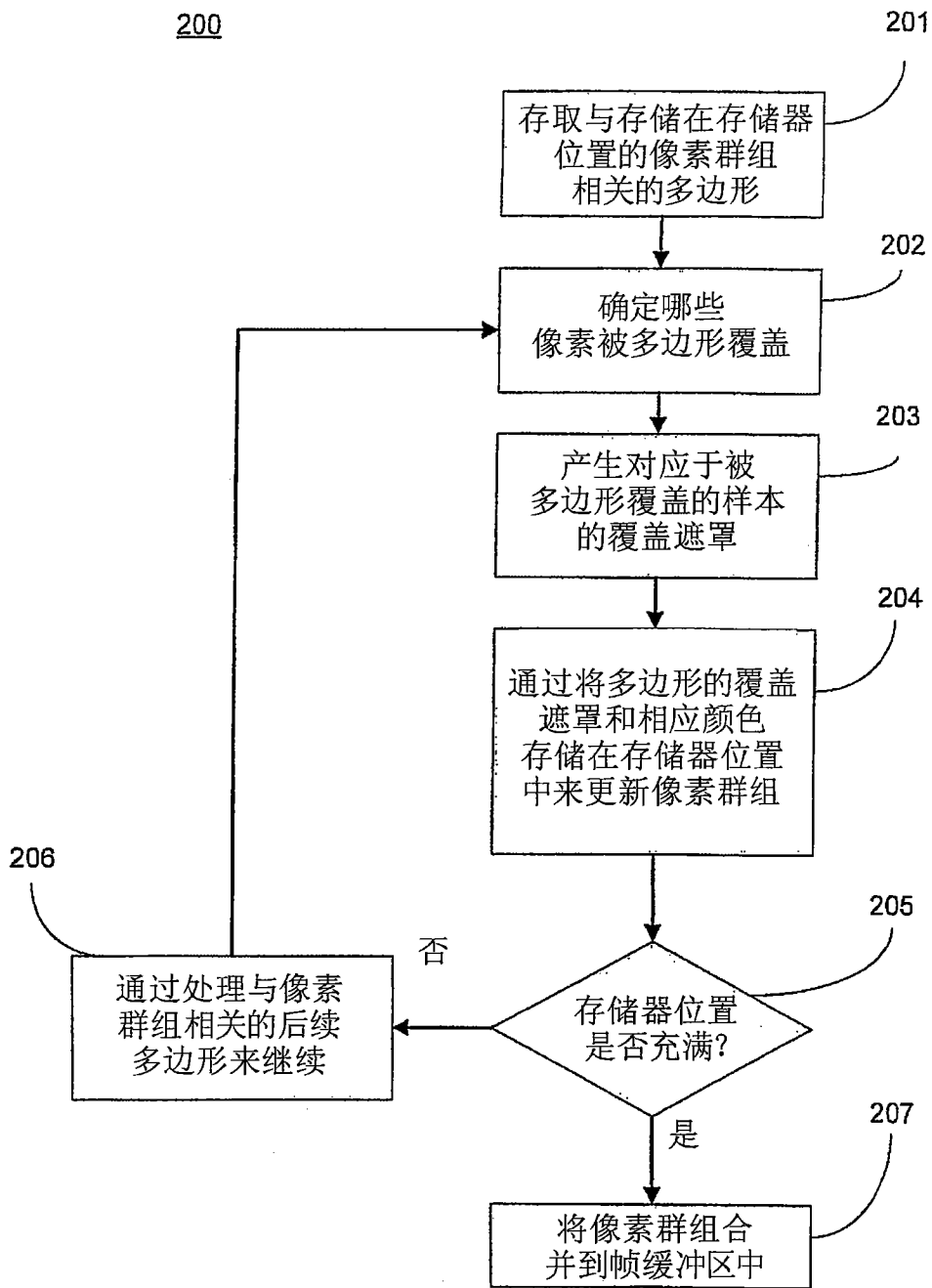


图 2

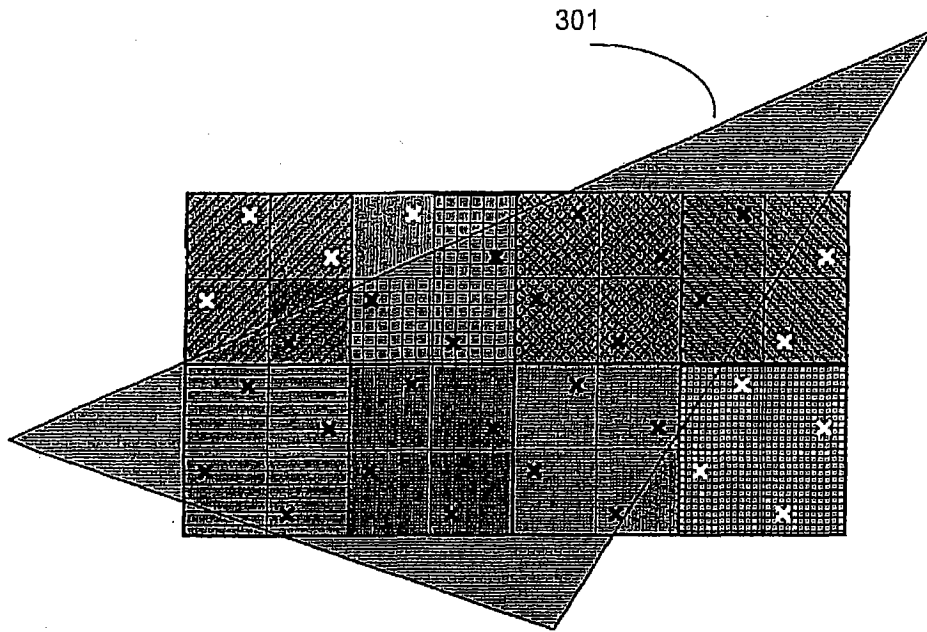


图 3

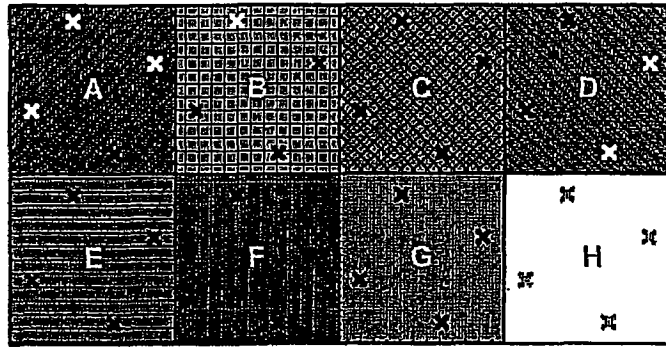


图4 501

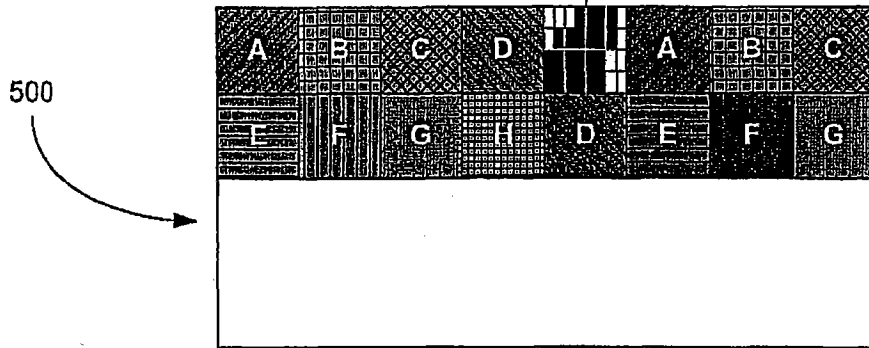


图5

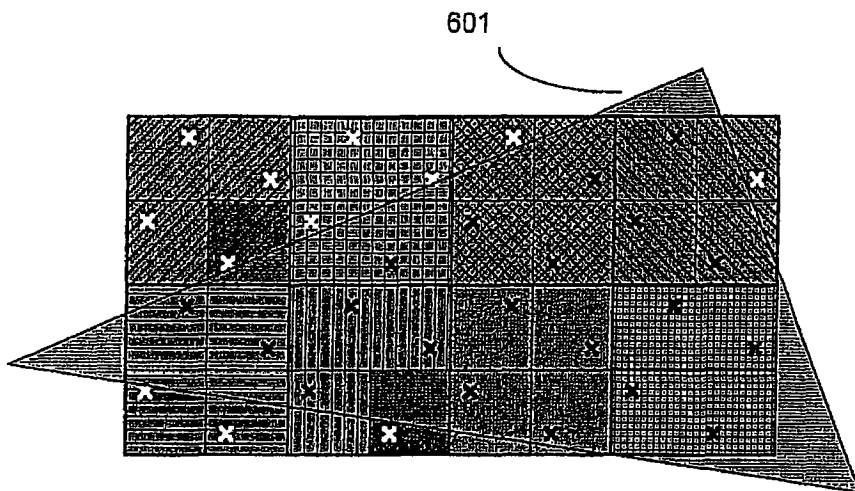


图6

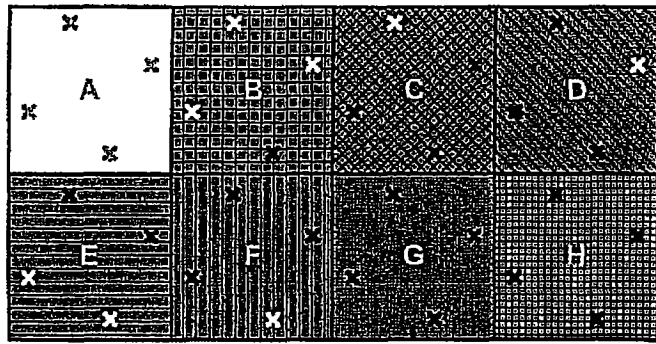


图7

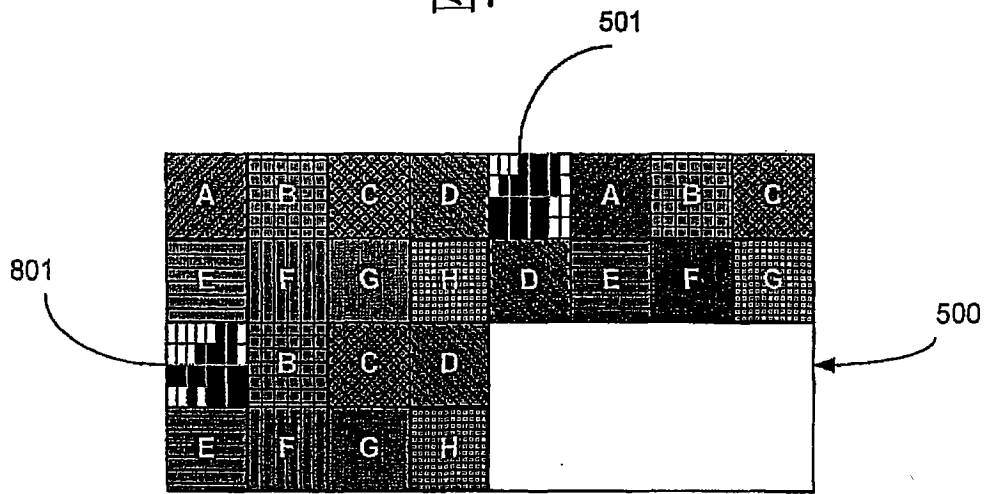


图8

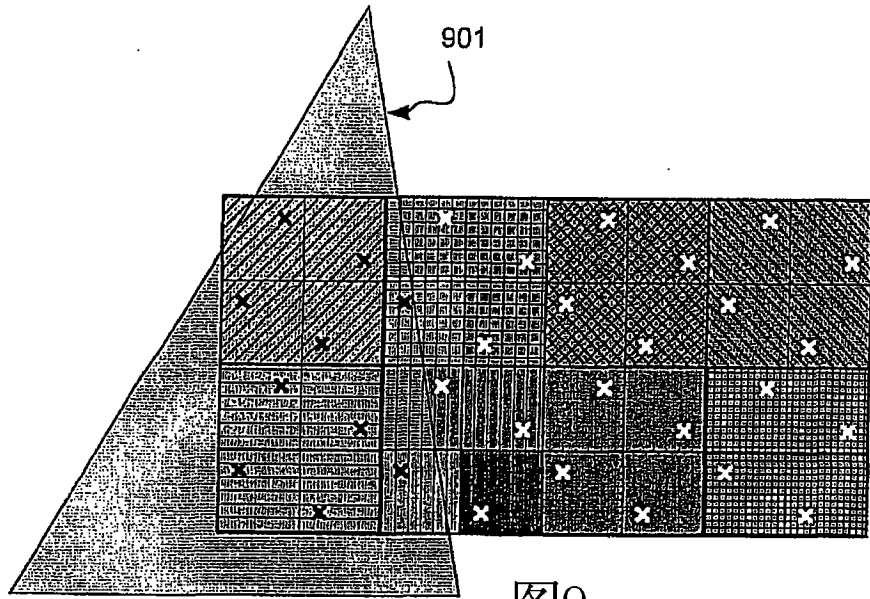


图9

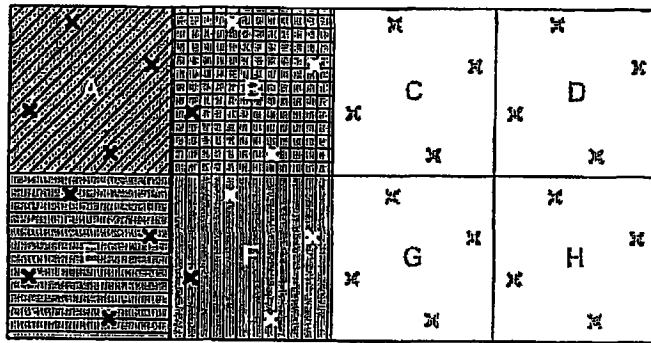


图10 501

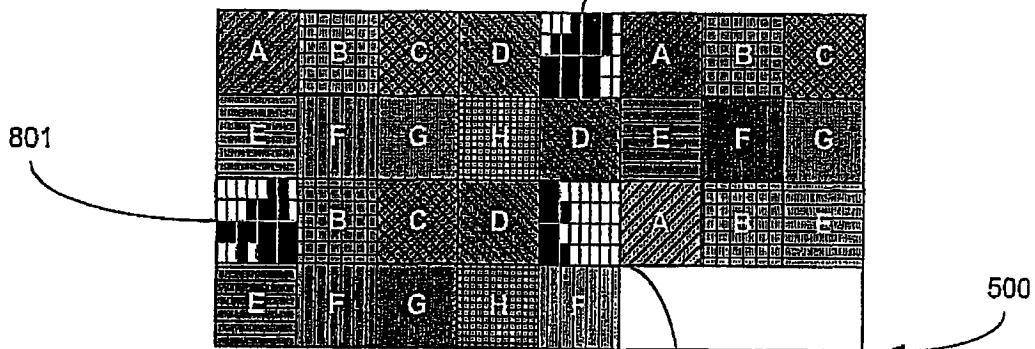


图11

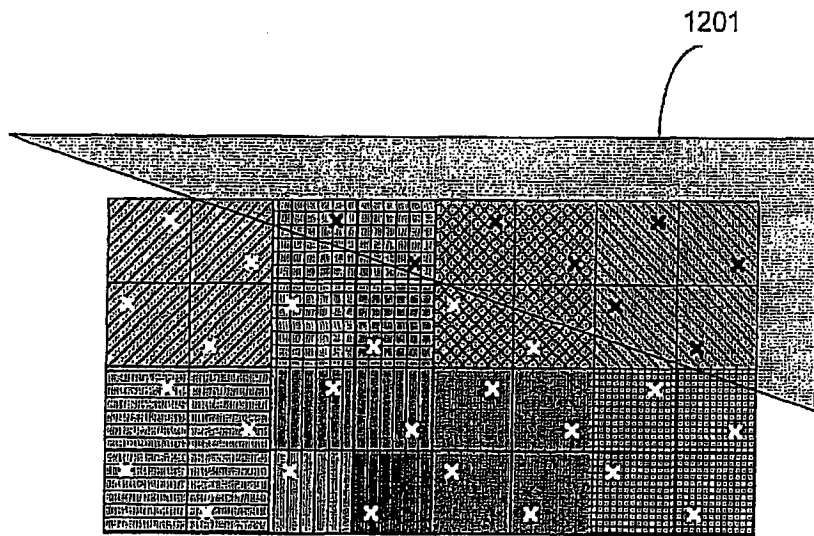


图 12

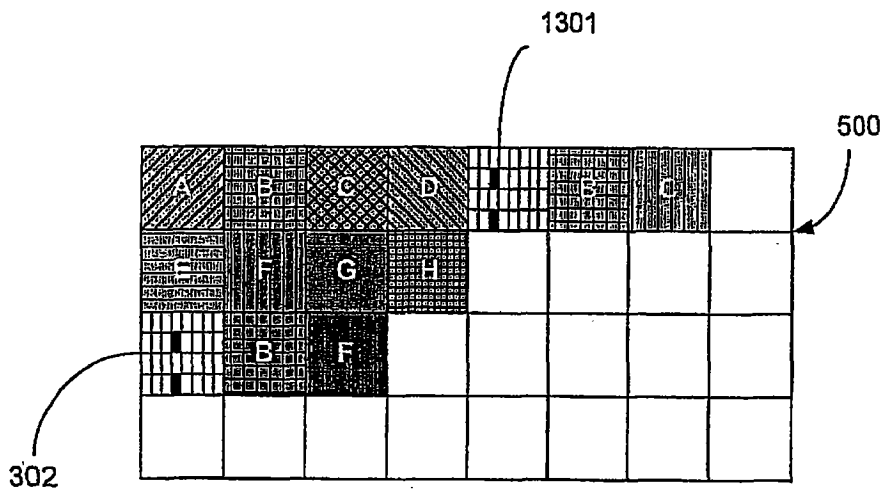


图 13

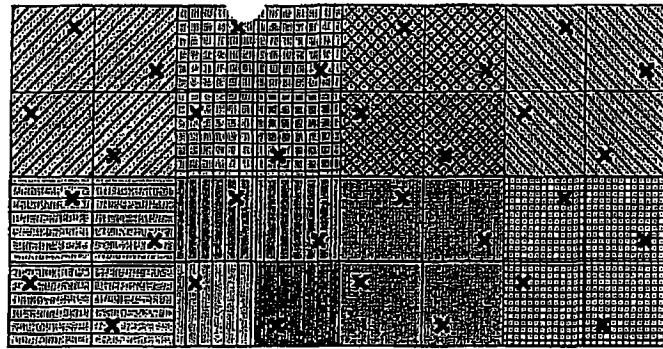


图 14

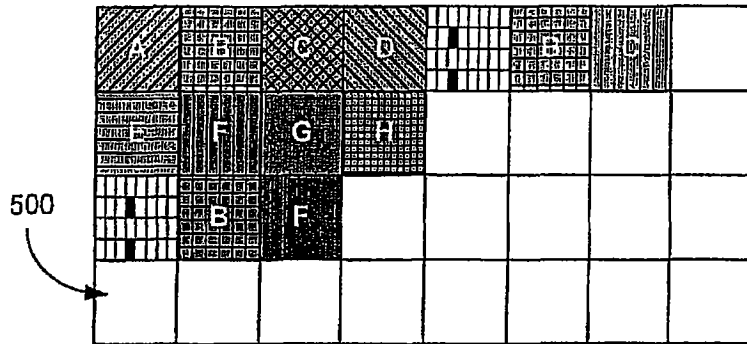


图 15

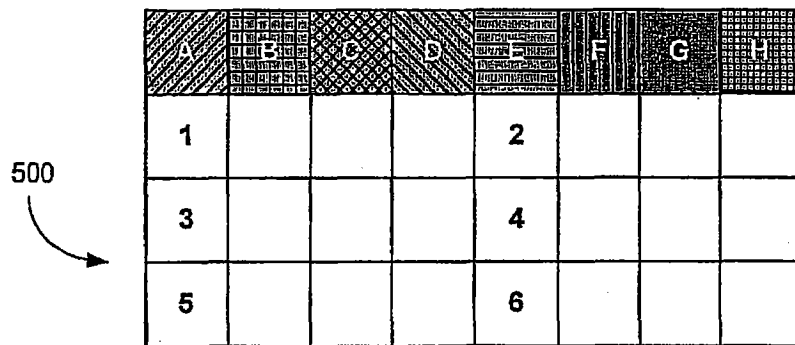


图 16

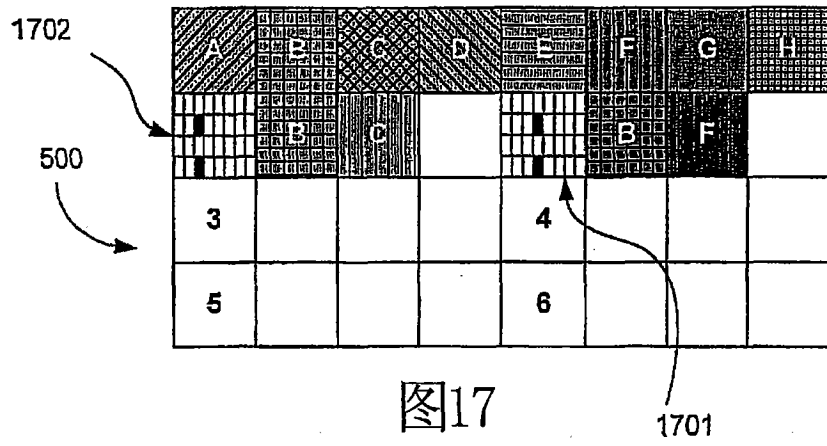


图17

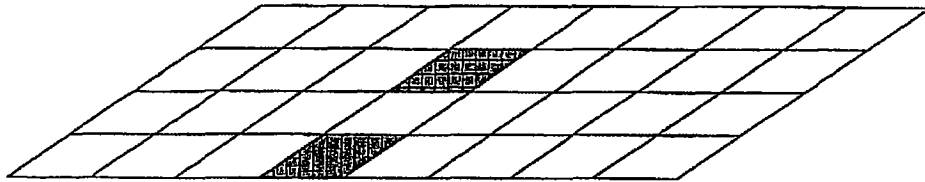


图 18

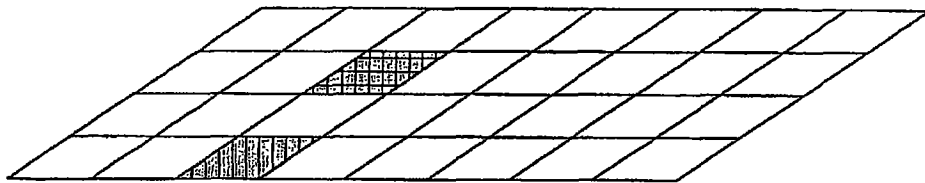


图 19

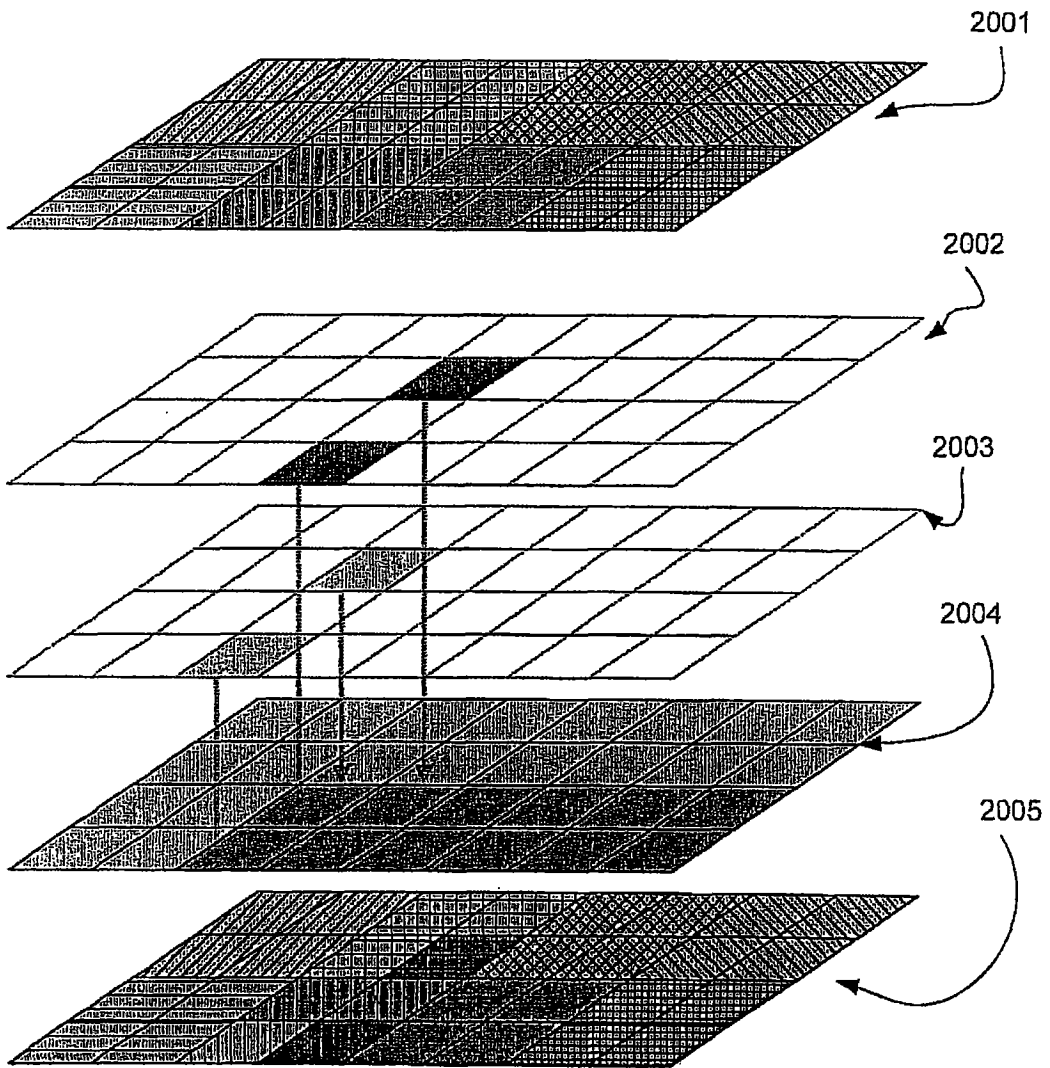


图 20

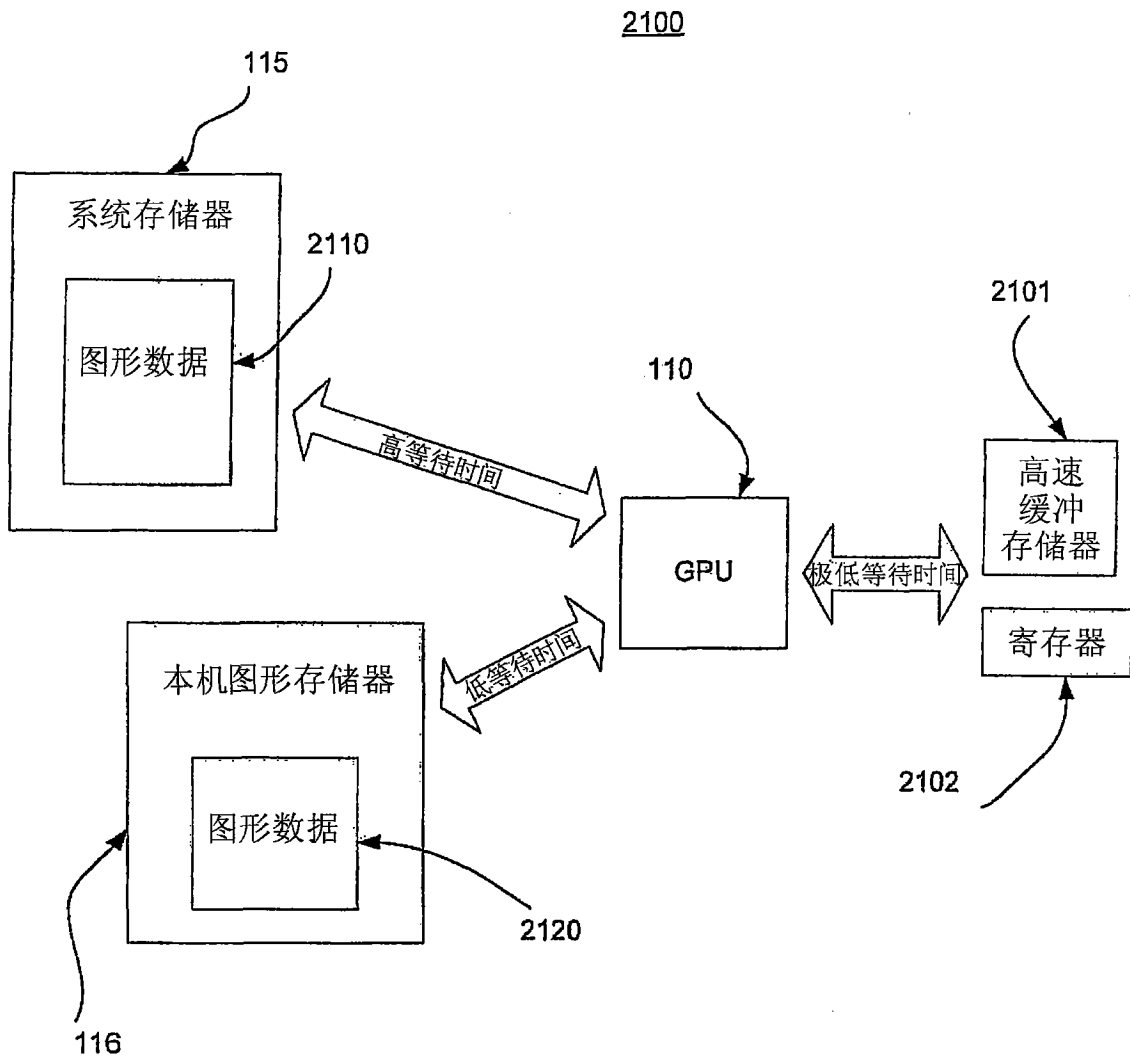


图 21