

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2012 年 10 月 4 日(04.10.2012)



(10) 国際公開番号  
**WO 2012/132217 A1**

- (51) 国際特許分類:  
*H04L 7/02* (2006.01) *H04L 12/40* (2006.01)
- (21) 国際出願番号: PCT/JP2012/001281
- (22) 国際出願日: 2012 年 2 月 24 日(24.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2011-077032 2011 年 3 月 31 日(31.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社(Renesas Electronics Corporation) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): ハケ代 雅高(YAKASHIRO, Masataka) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内 Kanagawa (JP).
- (74) 代理人: 家入 健(IEIRI, Takeshi); 〒2210835 神奈川県横浜市神奈川区鶴屋町三丁目 3 3 番 8 アサヒビルディング 10 階 響国際特許事務所 Kanagawa (JP).

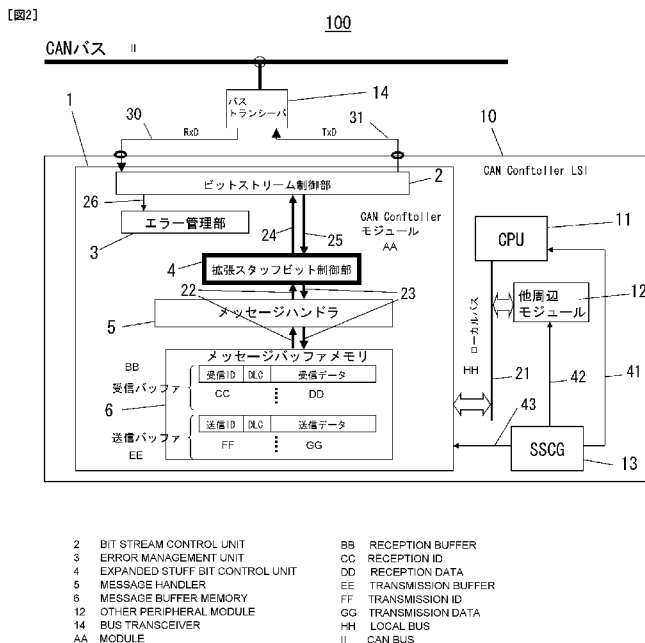
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: CAN COMMUNICATION SYSTEM, CAN TRANSMISSION DEVICE, CAN RECEPTION DEVICE, AND CAN COMMUNICATION METHOD

(54) 発明の名称: CAN 通信システム、CAN 送信装置、CAN 受信装置、および CAN 通信方法



(57) Abstract: A CAN communication system of the present invention is provided with: a transmission device wherein, upon transmitting bit data having a plurality of continuous bits, each bit having either a first logical value or a second logical value which is an inversion of the first logical value, the transmission device transmits transmission data in place of the bit data on the basis of a CAN protocol, the transmission data comprising a predetermined number of continuous bits having the same logical value in the bit data and stuff bits having an inverted value of the same logical value and inserted after the continuous bits; and a reception device which, on the basis of the CAN protocol, synchronizes transmission/reception of the transmission data with the transmission device, in accordance with the detection of an edge from the second logical value to the first logical value in the transmission data. Upon transmitting the bit data, the transmission device rewrites a bit to the first logical value, the bit being selected from among the predetermined number-1 of bits continuing from the bit after the predetermined number of bits having the first logical value in the bit data.

(57) 要約:

[続葉有]

WO 2012/132217 A1



---

本発明にかかるCAN通信システムは、それぞれが第1の論理値又は第1の論理値を反転した第2の論理値のいずれかをとる複数のビットが連続するビットデータを送信するときに、CANプロトコルに基づき、ビットデータにおいて同一の論理値が所定数連続するビットの次に、同一の論理値の反転値をとるスタフビットを挿入した送信データを、ビットデータに代えて送信する送信装置と、CANプロトコルに基づき、送信データにおける第2の論理値から第1の論理値へのエッジの検出に応じて、送信装置との間で送信データの送受信の同期をとる受信装置を備える。送信装置は、ビットデータを送信するときに、ビットデータにおいて第1の論理値が所定数連続するビットの次のビットから連続して所定数－1ビットのうち、いずれかのビットを第1の論理値に書き換える。

## 明 細 書

発明の名称：

CAN通信システム、CAN送信装置、CAN受信装置、およびCAN通信方法

### 技術分野

[0001] 本発明は、CAN通信システム、CAN送信装置、CAN受信装置、およびCAN通信方法に関する。

### 背景技術

[0002] 特許文献1には、CAN (Controller Area Network) 基本特許が開示されている。このCANプロトコルでは、送信側と受信側との間での通信中に、再同期を行うことによって、送信側と受信側との間でのデータの送受信の同期をとる。以下、CANプロトコルにおける再同期の仕組みについて、具体的に説明する。

[0003] 図13は、CANプロトコルにおいて、ジッタが発生した場合における1ビット当たりのデータ長の変化を示す図である。図13に示すように、CANプロトコルのビットストリームにおける1ビット当たりのデータは、シンクロナイゼーションセグメントSYNC、プロパゲーションタイムセグメントPROP、フェーズバッファセグメントPHASE1、及びフェーズバッファセグメントPHASE2を含む。フェーズバッファセグメントPHASE1とフェーズバッファセグメントPHASE2との間に、データをサンプリングするサンプルポイントがある。

[0004] 図13の上図は、理想的なクロックに基づいて認識される1ビット当たりのデータ長を示している。そして、図13の下図は、ジッタによって遅延したクロックに基づいて認識される1ビット当たりのデータ長を示している。ここで、図13の下図に示すdfは、理想のクロック長を基準としたジッタの割合を示している。このように、受信側がジッタによって遅延したクロックに基づいて動作して受信したデータを認識する場合、図13の下図に示す

ようにサンプルポイントが遅延してしまう。

[0005] このような遅延が蓄積すると、図14に示すように、本来データをサンプリングすべきタイミングでサンプリングを行うことができなくなってしまうという問題がある。具体的には、図14に例示するように、10ビット目のデータとして、Highをサンプリングすべきであるのに、Lowをサンプリングしてしまうようになってしまう。しかし、コストを下げるためには、低コストのクロック発振子やSSCG (Spread Spectrum Clock Generator) 等を使用して、精度の低いクロックでも動作できるようにすることが望ましい。

[0006] このような問題を解決するために、CANプロトコルでは、ビットストリームの立下りエッジの受信時に立下りエッジがシンクロナイゼーションセグメントSYNCからずれている場合、ジャンプ幅設定値SJWだけ、サンプルポイントを補正する再同期を行う。これによって、送信側と受信側のクロック誤差を吸収することができる。具体的には、図15に示すように、立下りエッジを早く検出した場合には、フェーズバッファセグメントPHASE 2からジャンプ幅設定値SJW分の長さを減らすことで、シンクロナイゼーションセグメントSYNCに立下りエッジが位置するように誤差を調整して同期をとる。また、逆に、立下りエッジを遅れて検出した場合には、フェーズバッファセグメントPHASE 1にジャンプ幅設定値SJW分の長さを加えることで、シンクロナイゼーションセグメントSYNCに立下りエッジが位置するように誤差を調整して同期をとる。

[0007] このように、CANプロトコルでは、上述したように立下りエッジの検出に応じて、再同期を行うようにしている。しかし、立下りエッジの検出に応じた再同期では、同一論理値のビットが続くほど再同期を行う契機が減り、クロック誤差にシビアになってしまう。そこで、特許文献1に開示の技術には、同一論理値の継続を抑える仕組みとして、ビットスタッフィングが組み込まれている。

[0008] ビットスタッフィングとは、ビットストリーム上に同一論理値が5ビット

続いたところで、その論理値を反転したビットを1ビット挿入するプロトコルである。これによって、同一論理値の継続を抑えることができる。

[0009] なお、特許文献2に、再同期に関する技術が開示されている。この技術にかかる車両用データ伝送システムは、同一論理が連続する期間を検出して、検出した期間に応じて、データ信号の再同期範囲を設定する。

## 先行技術文献

### 特許文献

[0010] 特許文献1：米国特許第5001642号明細書

特許文献2：特開平06-319172号公報

### 発明の概要

#### 発明が解決しようとする課題

[0011] 上述したように、ビットスタッフィングという仕組みは、ビットストリーム上に同一論理値が5ビット続いたところで、その論理値の反転値をとるスタッフビットを挿入するようにしている。しかし、これは再同期間隔が最長で10ビットとなることを意味している。具体的には、Lowのビットが5ビット連続してHighのスタッフビットが挿入されてから、再びHighのビットが5ビット連続してLowのスタッフビットが挿入されて立下りエッジができるまでの幅が、10ビット分の幅となるからである。

[0012] しかし、このように、再同期間隔が長くなればなるほど、クロック誤差の累積値が大きくなるため、クロックに高い精度が要求されるようになってしまふ。つまり、低精度のクロックを使用して低コストでシステム構築を行うためには、再同期間隔の最悪値をより短くすることが課題となっている。

#### 課題を解決するための手段

[0013] 本発明の第1の態様にかかるCAN通信システムは、それぞれが第1の論理値又は当該第1の論理値を反転した第2の論理値のいずれかをとる複数のビットが連続するビットデータを送信するときに、CAN (Controller Area Network) プロトコルに基づき、前記ビットデータにおいて同一の論理値が

所定数連続するビットの次に、当該同一の論理値の反転値をとるスタッフビットを挿入した送信データを、前記ビットデータに代えて送信する送信装置と、前記CANプロトコルに基づき、前記送信装置から送信された送信データにおける前記第2の論理値から前記第1の論理値へのエッジの検出に応じて、前記送信装置との間で前記送信データの送受信の同期をとる同期処理を実行する受信装置と、を備え、前記送信装置は、前記ビットデータを送信するときに、前記ビットデータにおいて前記第1の論理値が所定数連続するビットの次のビットから連続して前記所定数－1ビットのうち、いずれかのビットを前記第1の論理値に書き換える送信制御部を有するものである。

[0014] 本発明の第2の態様にかかるCAN送信装置は、CAN (Controller Area Network) プロトコルに基づき、受信したデータにおける第1の論理値を反転した第2の論理値から前記第1の論理値へのエッジの検出に応じて、前記データの送受信の同期をとる同期処理を実行する受信装置に、それぞれが前記第1の論理値又は前記第2の論理値のいずれかをとり複数のビットが連続するビットデータを送信するときに、前記CANプロトコルに基づき、前記ビットデータにおいて同一の論理値が所定数連続するビットの次に、当該同一の論理値の反転値をとるスタッフビットを挿入した送信データを、前記ビットデータに代えて送信する送信装置であって、前記ビットデータを送信するときに、前記ビットデータにおいて前記第1の論理値が所定数連続するビットの次のビットから連続して前記所定数－1ビットのうち、いずれかのビットを前記第1の論理値に書き換える制御部を有するものである。

[0015] 本発明の第3の態様にかかるCAN受信装置は、送信装置が、それぞれが第1の論理値又は当該第1の論理値を反転した第2の論理値のいずれかをとり複数のビットが連続するビットデータを送信するときに、CAN (Controller Area Network) プロトコルに基づき、前記ビットデータにおいて同一の論理値が所定数連続するビットの次に、当該同一の論理値の反転値をとるスタッフビットを挿入した送信データを、前記送信装置から前記ビットデータに代えて受信して、前記CANプロトコルに基づき、当該送信データにおけ

る前記第2の論理値から前記第1の論理値へのエッジの検出に応じて、前記送信装置との間で前記送信データの送受信の同期をとる同期処理を実行する受信装置であって、前記受信装置が検出する前記第2の論理値から前記第1の論理値へのエッジは、前記第2の論理値から、前記送信装置が、前記ビットデータを送信するときに前記ビットデータにおいて前記第1の論理値が所定数連続するビットの次のビットから連続して前記所定数－1ビットのうち、いずれかのビットを書き換えた第1の論理値へのエッジを含むものである。

[0016] 本発明の第4の態様にかかるCAN通信方法は、それぞれが第1の論理値又は当該第1の論理値を反転した第2の論理値のいずれかをとる複数のビットが連続するビットデータを送信するときに、CAN (Controller Area Network) プロトコルに基づき、前記ビットデータにおいて同一の論理値が所定数連続するビットの次に、当該同一の論理値の反転値をとるスタッフビットを挿入した送信データを、前記ビットデータに代えて送信する送信装置と、前記CANプロトコルに基づき、前記送信装置から送信された送信データにおける前記第2の論理値から前記第1の論理値へのエッジの検出に応じて、前記送信装置との間で前記送信データの送受信の同期をとる同期処理を実行する受信装置との間のCAN通信方法であって、前記送信装置が、前記ビットデータを送信するときに、前記ビットデータにおいて前記第1の論理値が所定数連続するビットの次のビットから連続して前記所定数－1ビットのうち、いずれかのビットを前記第1の論理値に書き換えるものである。

[0017] 本発明の上述した各態様によれば、第2の論理値のスタッフビットから第2の論理値が連続する場合であっても、その第2の論理値の反転値をとるスタッフビットが挿入されるよりも前の位置で第2の論理値から第1の論理値へのエッジを生成することができる。そのため、再同期間隔の最悪値を短縮することができる。

## 発明の効果

[0018] 本発明の上述した各態様によれば、低精度のクロックを使用して低コスト

でCAN通信システムを構築することができるCAN通信システム、CAN送信装置、CAN受信装置、およびCAN通信方法を提供することができる。

## 図面の簡単な説明

- [0019] [図1]本発明の実施の形態1にかかるCAN通信システムの構成図である。
- [図2]本発明の実施の形態1にかかるノードの構成図である。
- [図3]本発明の実施の形態1にかかるSSCGによって生成されるクロックの一例を示す図である。
- [図4]本発明の実施の形態1にかかる拡張スタフビット制御部の構造を示す図である。
- [図5]本発明の実施の形態1にかかる拡張スタフビット制御部の送信処理を示すフローチャートである。
- [図6]本発明の実施の形態1にかかる拡張スタフビット制御部の受信処理を示すフローチャートである。
- [図7]本発明の実施の形態1にかかるメカニズム及び効果を説明するための図である。
- [図8]本発明の実施の形態1にかかる送信データフレームと冗長データ領域との関係を示す図である。
- [図9]本発明の実施の形態1にかかる冗長データ領域の構成図である。
- [図10]本発明の実施の形態1にかかるノードの構成図である。
- [図11]本発明の実施の形態2にかかるビットストリーム制御部の構成図である。
- [図12]本発明の実施の形態2にかかるメカニズム及び効果を説明するための図である。
- [図13]CANプロトコルにおいて、ジッタが発生した場合における1ビット当たりのデータ長の変化を示す図である。
- [図14]サンプルポイントのずれを説明するための図である。
- [図15]CANプロトコルにおける再同期を説明するための図である。

## 発明を実施するための形態

[0020] 発明の実施の形態 1.

図 1 を参照して、本発明の実施の形態 1 にかかる C A N 通信システム 1 0 1 の構成について説明する。図 1 は、本発明の実施の形態 1 にかかる C A N 通信システム 1 0 1 の構成図である。本実施の形態では、C A N 通信システム 1 0 1 を自動車に適用した場合について例示する。

[0021] C A N 通信システム 1 0 1 は、ボディ系制御ノード 1 0 2、安全系制御ノード 1 0 3、情報系制御ノード 1 0 4、エンジン系制御ノード 1 0 5、及びシャーシ系制御ノード 1 0 6 を有する。各ノード 1 0 2 ~ 1 0 6 は、C A N バスによって相互に接続されており、任意のデータを相互に送受信することができる。

[0022] ボディ系制御ノード 1 0 2 は、他のノードから受信したデータに基づいて、ヘッドランプ、エアコン及びドア等のボディ系の装置の制御を行う。安全系制御ノード 1 0 3 は、他のノードから受信したデータに基づいて、センサ及びエアバック等の安全系の装置の制御を行う。情報系制御ノード 1 0 4 は、他のノードから受信したデータに基づいて、カーオーディオ、カーラジオ及びカーテレビ等の情報系の装置の制御を行う。エンジン系制御ノード 1 0 5 は、他のノードから受信したデータに基づいて、エンジン及び A T (Automatic Transmission) 等のエンジン系の装置の制御を行う。シャーシ系制御ノード 1 0 6 は、他のノードから受信したデータに基づいて、ステアリング及びブレーキ等のシャーシ系の装置の制御を行う。また、各ノード 1 0 2 ~ 1 0 6 のそれぞれは、必要に応じて制御結果に基づいたデータを、他のノードに送信する。

[0023] 続いて、図 2 を参照して、本発明の実施の形態 1 にかかるノード 1 0 0 の構成について説明する。図 2 は、本発明の実施の形態 1 にかかるノード 1 0 0 の構成図である。本実施の形態 1 では、各ノード 1 0 2 ~ 1 0 6 が、ノード 1 0 0 と同様の構成であるものとする。

[0024] ノード 1 0 0 は、C A N コントローラ L S I (Large Scale Integration)

10及びバストランシーバ14を有する。CANコントローラLSI10は、CANコントローラモジュール1、CPU（Central Processing Unit）11、他周辺モジュール12、及びSSCG（Spread Spectrum Clock Generator）13を有する。CANコントローラモジュール1は、ビットストリーム制御部2、エラー管理部3、拡張スタフビット制御部4、メッセージハンドラ5、及びメッセージバッファメモリ6を有する。CANコントローラモジュール1、CPU11及び他周辺モジュール12は、ローカルバス21によって相互に接続されており、任意のデータを相互に送受信することができる。

[0025] CANコントローラモジュール1は、ローカルバス21を介して、CPU11からアクセスされる。CANコントローラモジュール1は、バストランシーバ14を介して、CANバスに接続されている。CANコントローラモジュール1は、CPU11からの要求に応じて、他のノードとの間でデータを送受信する。

[0026] ビットストリーム制御部2は、拡張スタフビット制御部4から出力された送信フレームデータ24に基づいてCRC（Cyclic Redundancy Check）を算出する。ビットストリーム制御部2は、CANプロトコルのフレームフォーマットに従って、CRCを送信フレームデータ24に付加する。ビットストリーム制御部2は、CRCが付加された送信フレームデータに、CANプロトコルで定められたビットスタフリングに基づいてスタフビットを挿入する。つまり、同一論理値が連続した5ビットの次に、その論理値とは反転した論理値をとるスタフビットが挿入される。ビットストリーム制御部2は、スタフビットを挿入した送信フレームデータを送信データ出力（TxD）31としてバストランシーバ14に出力する。

[0027] また、ビットストリーム制御部2は、バストランシーバ14から出力された受信データ入力（RxD）30から、CANプロトコルで定義されたスタフビットを除去する。ビットストリーム制御部2は、受信データ入力（RxD）30からスタフビットを除去した受信フレームデータに基づいてCRCチェ

ックを行う。ビットストリーム制御部 2 は、CRC チェックで異常を検出した場合、異常を通知する異常通知信号 26 をエラー管理部 3 に出力する。ビットストリーム制御部 2 は、CRC チェック後に、受信フレームデータから CRC を除去する。ビットストリーム制御部 2 は、CRC を除去した受信フレームデータ 25 を拡張スタッフビット制御部 4 に出力する。

[0028] また、ビットストリーム制御部 2 は、CAN プロトコルで定義された再同期を行う。つまり、ビットストリーム制御部 2 は、受信データ入力 (RxD) 30 において、立下りエッジを検出した場合、シンクロナイゼーションセグメント SYNC に立下りエッジが位置するように、フェーズバッファセグメント PHASE 1 又はフェーズバッファセグメント PHASE 2 の長さをジャンプ幅設定値 SJW 分変更することで、サンプルポイントを調整する。

[0029] エラー管理部 3 は、ビットストリーム制御部 2 からの異常通知信号 26 の出力に応じた処理を行う。この処理は、例えば、エラー管理部 3 がさらに CPU 11 に異常を通知する処理とすることで、CPU 11 がこの通知に応じて、異常から復帰するための処理又は異常から復帰するための他周辺モジュール 12 の制御を行うようにしてもよい。

[0030] 拡張スタッフビット制御部 4 は、メッセージハンドラ 5 から出力された送信フレームデータ 22 に対して、後述する方式に基づいて拡張スタッフビットを上書きする。このとき、拡張スタッフビット制御部 4 は、送信フレームデータ 24 の冗長データ領域に、拡張スタッフビットを上書きする前の本来の論理値を記録して、拡張スタッフビットの上書き後の送信フレームデータ 24 をビットストリーム制御部 2 に出力する。

[0031] また、拡張スタッフビット制御部 4 は、ビットストリーム制御部 2 から出力された受信フレームデータ 25 に対して、後述する方式に基づいて冗長データ領域に記録された本来の論理値によって、拡張スタッフビットを本来の論理値に補正する。拡張スタッフビット制御部 4 は、本来の論理値への補正後の受信フレームデータ 23 をメッセージハンドラ 5 に出力する。

[0032] メッセージハンドラ 5 は、メッセージバッファメモリ 6 の送信バッファに

格納された送信フレームデータ 22 を取得して拡張スタッフビット制御部 4 に転送する。また、メッセージハンドラ 5 は、拡張スタッフビット制御部 4 から出力された受信フレームデータ 23 をメッセージバッファメモリ 6 の受信バッファに格納する。

[0033] メッセージバッファメモリ 6 は、受信バッファ及び送信バッファを有する。送信バッファは、他のノードに送信する送信フレームデータが格納される。受信バッファは、他のノードから受信した送信フレームデータが格納される。メッセージバッファメモリ 6 は、受信バッファ及び送信バッファを構成するための記憶装置を有する。記憶装置は、例えば、レジスタ及びメモリ等である。

[0034] CANコントローラ L S I 10 は、ノード 100 に含まれる装置の制御を行う。例えば、ノード 100 がエンジン系制御ノード 105 である場合、エンジン系の装置の制御を行う。

[0035] CPU 11 は、ローカルバス 21 を介して、他周辺モジュールに対して、ノード 100 に含まれる装置の制御を指示する制御指示データを出力することによって、ノード 100 に含まれる装置を制御する。CPU 11 は、例えば、他のノードから受信したデータに基づいて、ノード 100 に含まれる装置の制御内容を決定する。CPU 11 は、ローカルバス 21 を介して、他のノードから送信されたデータをメッセージバッファメモリ 6 の受信バッファから取得する。CPU 11 は、ローカルバス 21 を介して、他のノードに送信するデータをメッセージバッファメモリ 6 の送信バッファに格納する。

[0036] 他周辺モジュール 12 は、CPU 11 から出力された制御指示データに基づいて、ノード 100 に含まれる装置を制御する。

[0037] S S C G 13 は、CANコントローラ L S I 10 内のCANコントローラモジュール 1、CPU 11、及び他周辺モジュール 12 等の各回路に、クロック 41～43 のそれぞれを供給する。つまり、本実施の形態 1 では、S S C G 13 が、多出力の S S C G である場合について例示している。S S C G 13 は、図 3 に例示するように、クロックにおけるノイズを低減するために

、クロックにジッタを加える。図3では、クロック41が理想的なクロックであり、クロック42及びクロック43がジッタによって遅延している場合について例示している。このように、SSCG13は、低EMI (Electro Magnetic Interference) ではあるが、クロックの精度が低くなってしまう。

[0038] バスランシーバ14は、ビットストリーム制御部2から出力された送信データ出力31をビットストリームとして他のノードに送信する。バスランシーバ14は、他のノードから受信したビットストリームを受信データ入力30としてビットストリーム制御部2に出力する。

[0039] 続いて、図4を参照して、本発明の実施の形態1にかかる拡張スタッフビット制御部4の構成について説明する。図4は、本発明の実施の形態1にかかる拡張スタッフビット制御部4の構成図である。

[0040] 拡張スタッフビット制御部4は、同一論理値カウント部401、拡張スタッフビット上書き制御部402、冗長データ領域送信レジスタ403、送信フレームレジスタ404、冗長データ領域受信レジスタ409、同一論理値カウント部410、元データ復元制御部411、及び受信フレームレジスタ412を有する。

[0041] 同一論理値カウント部401は、送信フレームレジスタ404に格納された送信フレームデータ22を先頭から1ビットずつ順番に読み出した送信フレームビット読み出し値406において、同一論理値が連続する数をカウントする。同一論理値カウント部401は、5ビット連続して同一論理値のビットを検出した場合、5ビット連続同一論理値検出信号405を拡張スタッフビット上書き制御部402に出力する。

[0042] 拡張スタッフビット上書き制御部402は、同一論理値カウント部401からの5ビット連続同一論理値検出信号405の出力に応じて、送信フレームレジスタ404に格納された送信フレームデータ22のうち、同一論理値が連続した5ビットの次のビットの論理値を読み出して冗長データ領域送信レジスタ403の対応するビットに書き込む。そして、拡張スタッフビット上書き制御部402は、その5ビット連続した同一論理値を、同一論理値が

連続した5ビットの次のビットに上書きする。つまり、上書き前の論理値は、冗長データ領域送信レジスタ403に格納されることになる。また、この上書きされたビットが拡張スタッフビットとなる。同一論理値カウント部401及び拡張スタッフビット上書き制御部402は、この処理を送信フレームレジスタ404に格納された送信フレームデータ22の全体に対して行う。よって、送信フレームデータ22における拡張スタッフビットの数だけ、冗長データ領域送信レジスタ403に拡張スタッフビットの上書き前の論理値が格納される。

[0043] 拡張スタッフビット制御部4は、送信フレームデータ22の全体に対する処理の終了後に、送信フレームレジスタ404に格納された拡張スタッフビットを上書き後の送信フレームデータと、冗長データ領域送信レジスタ403に格納された拡張スタッフビットの上書き前の論理値とを連結したデータを送信フレームデータ24としてビットストリーム制御部2に出力する。ここで、送信フレームデータ24のうち、上書き前の論理値に該当する部分を、冗長データ領域と言う。

[0044] 冗長データ領域送信レジスタ403は、拡張スタッフビットの上書き前の論理値が格納される。冗長データ領域送信レジスタ403は、送信フレームデータ22に含まれる拡張スタッフビットのそれぞれに対応する上書き前の論理値が格納される。

[0045] 送信フレームレジスタ407は、メッセージハンドラ5から出力された送信フレームデータ22が格納される。

[0046] 冗長データ領域受信レジスタ409は、ビットストリーム制御部2から出力された受信フレームデータ25のうち、冗長データ領域のデータが格納される。つまり、冗長データ領域受信レジスタ409は、受信フレームデータ25に含まれる拡張スタッフビットのそれぞれに対応する上書き前の論理値が格納される。

[0047] 同一論理値カウント部410は、受信フレームレジスタ412に格納されたデータを先頭から1ビットずつ順場に読み出した受信フレームビット読み

出し値 4 1 3 について、同一論理値が連続する数をカウントする。同一論理値カウント部 4 1 0 は、5 ビット連続して同一論理値のビットを検出した場合、5 ビット連続同一論理値検出信号 4 1 4 を元データ復元制御部 4 1 1 に出力する。

[0048] 元データ復元制御部 4 1 1 は、同一論理値カウント部 4 1 0 からの 5 ビット連続同一論理値検出信号 4 1 4 に応じて、冗長データ領域受信レジスタ 4 0 9 から出力されている冗長データ領域の論理値のうち、同一論理値が連続した 5 ビットの次の拡張スタッフビットの上書き前の論理値 4 1 5 を取得する。そして、元データ復元制御部 4 1 1 は、取得した論理値 4 1 5 を受信フレームレジスタ 4 1 2 の拡張スタッフビットに上書きする。これによって、拡張スタッフビットの論理値が、本来の論理値に復元される。同一論理値カウント部 4 1 0 及び元データ復元制御部 4 1 1 は、この処理を受信フレームレジスタ 4 1 2 に格納されたデータの全体に対して行う。これによって、受信フレームレジスタ 4 1 2 に格納されるデータに含まれる拡張スタッフビットの全てが、本来の論理値に復元されることになる。拡張スタッフビット制御部 4 は、受信フレームレジスタ 4 1 2 に格納されたデータの全体に対する処理の終了後に、受信フレームレジスタ 4 1 2 に格納された復元後のデータを受信フレームデータ 2 3 としてメッセージハンドラ 5 に出力する。

[0049] 受信フレームレジスタ 4 1 2 は、ビットストリーム制御部 2 から出力された受信フレームデータ 2 5 のうち、冗長データ領域を除く本来の受信フレームデータ 2 3 に該当する部分のデータが格納される。

[0050] 続いて、図 5 を参照して、本発明の実施の形態 1 にかかる拡張スタッフビット制御部 4 の送信処理について説明する。図 5 は、本発明の実施の形態 1 にかかる拡張スタッフビット制御部 4 の送信処理を示すフローチャートである。

[0051] 拡張スタッフビット制御部 4 は、メッセージハンドラ 5 を介して、メッセージバッファメモリ 6 の送信バッファから送信フレームデータ 2 2 を取得して送信フレームレジスタ 4 0 4 に格納する（S 1）。

- [0052] 同一論理値カウント部401は、送信フレームレジスタ404に格納された送信フレームデータ22から1ビット読み出す（S2）。なお、このステップS2及び後述するステップS6における1ビットの読み出しは、送信フレームデータ22の先頭から順番に行われていく。よって、最初の読み出しでは、送信フレームデータ22の先頭の1ビットが読み出され、既にビットの読み出しを行っている場合は、直前に読み出したビットの次のビットが読み出される。ここで、送信フレームデータ22の先頭からの順番とは、送信フレームデータ22に含まれるビットの送信順と等しい。同一論理値カウント部401は、送信フレームレジスタ404に格納された送信フレームデータ22を全て読み出したか否かを判定する（S3）。
- [0053] 送信フレームデータ22を全て読み出したと判定した場合（S3：Yes）、拡張スタッフビット制御部4は、後述するステップS12の処理を実行する。
- [0054] 送信フレームデータ22を全て読み出していないと判定した場合（S3：No）、同一論理値カウント部401は、カウンタのカウント値を「1」に初期化する（S4）。同一論理値カウント部401は、直前に読み出したビットを、同一論理値が5ビット連続するか否かをカウントする基準となる基準ビットとして設定する（S5）。同一論理値カウント部401は、送信フレームレジスタ404に格納された送信フレームデータ22から1ビット読み出す（S6）。同一論理値カウント部401は、送信フレームレジスタ404に格納された送信フレームデータ22を全て読み出したか否かを判定する（S7）。
- [0055] 送信フレームデータ22を全て読み出した場合（S7：Yes）、拡張スタッフビット制御部4は、後述するステップS12の処理を実行する。
- [0056] 送信フレームデータ22を全て読み出していない場合（S7：No）、同一論理値カウント部401は、基準ビットと、直前に読み出したビットとが同一論理値であるか否かを判定する（S8）。
- [0057] 読み出したビットが同一論理値でない場合（S8：No）、同一論理値カ

ウント部401は、ステップS4から処理を再開する。この場合、同一論理値が連続していないことになる。そのため、ステップS4に戻って、直前に読み出したビットを基準ビットとして、同一論理値が5ビット連続するか否かのカウントを再開する。

[0058] 読み出したビットが同一論理値である場合（S8：Yes）、同一論理値カウント部401は、カウンタをカウントアップする（S9）。同一論理値カウント部401は、カウンタ値が閾値「5」になったか否かを判定する（S10）。

[0059] カウンタ値が閾値「5」になっていない場合（S10：No）、同一論理値カウント部401は、ステップS6から処理を再開する。この場合、基準ビットから直前に読み出したビットまで同一論理値が連続しているが、まだ同一論理値が5ビット連続していないことになる。そのため、ステップS6に戻って、次のビットの論理値の確認を行う。

[0060] カウンタ値が閾値「5」になった場合（S10：Yes）、基準ビットから直前に読み出したビットまで同一論理値が5ビット連続することになる。つまり、直前に読み出したビットと、そのビットの次のビットの間には、スタッフビットが挿入されることになる。そのため、拡張スタッフビット上書き制御部402は、直前に読み出したビットの次の拡張スタッフビットの論理値を読み出して、冗長データ領域送信レジスタ403のうちのその拡張スタッフビットに対応するビットに書き込む。そして、拡張スタッフビット上書き制御部402は、5ビット連続した論理値で拡張スタッフビットを上書きする（S11）。このようにすることで、スタッフビットを挿入したときに、スタッフビットと拡張スタッフビットとの論理値が異なることになるため、スタッフビットと拡張スタッフビットとの間にエッジが生成されることになる。そして、同一論理値カウント部401は、ステップS2に戻って、次の拡張スタッフビットを読み出して（S2）基準ビットとし（S5）、同一論理値が5ビット連続するか否かのカウントを再開する。

[0061] ステップS12では、拡張スタッフビット制御部4は、送信フレームレジ

スタ４０４に格納されたデータ及び冗長データ領域送信レジスタ４０３に格納されたデータに基づいて送信フレームデータ２４を生成してビットストリーム制御部２に出力する（Ｓ１２）。

[0062] 以上に、本発明の実施の形態１にかかる拡張スタッフビット制御部４の送信処理について説明したが、同一論理値が連続した５ビットの次の拡張スタッフビットを上書きする処理であれば、上述した処理手順には限定されず、適宜変更してもよい。例えば、基準ビットを設定して、基準ビットの論理値と直前に読み出したビットの論理値とを比較するようにしているが、直前に読み出したビットの論理値とそのビットの前に読み出したビットの論理値とを比較するようにしてもよい。また、例えば、ステップＳ４とステップＳ５の処理の実行順序を逆にしてもよい。

[0063] 続いて、図６を参照して、本発明の実施の形態１にかかる拡張スタッフビット制御部４の受信処理について説明する。図６は、本発明の実施の形態１にかかる拡張スタッフビット制御部４の受信処理を示すフローチャートである。

[0064] 拡張スタッフビット制御部４は、ビットストリーム制御部２から出力された受信フレームデータ２５を取得して、取得した受信フレームデータ２５のうち、冗長データ領域のデータを冗長データ領域受信レジスタ４０９に格納し、その他のデータを受信フレームレジスタ４１２に格納する（Ｓ２１）。

[0065] 同一論理値カウント部４１０は、受信フレームレジスタ４１２に格納された受信フレームデータ２５から１ビット読み出す（Ｓ２２）。なお、このステップＳ２２及び後述するステップＳ２６、Ｓ３１における１ビットの読み出しは、受信フレームデータ２５の先頭から順番に行われていく。よって、最初の読み出しでは、受信フレームデータ２５の先頭の１ビットが読み出され、既にビットの読み出しを行っている場合は、直前に読み出したビットの次のビットが読み出される。ここで、受信フレームデータ２５の先頭からの順番とは、受信フレームデータ２５に含まれるビットの受信順と等しい。同一論理値カウント部４１０は、受信フレームレジスタ４１２に格納されたデ

ータを全て読み出したか否かを判定する（S 2 3）。

[0066] 受信フレームレジスタ 4 1 2 に格納されたデータを全て読み出したと判定した場合（S 2 3 : Y e s）、拡張スタフビット制御部 4 は、後述するステップ S 3 3 の処理を実行する。

[0067] 受信フレームレジスタ 4 1 2 に格納されたデータを全て読み出していないと判定した場合（S 2 3 : N o）、同一論理値カウンタ部 4 1 0 は、カウンタのカウント値を「1」に初期化する（S 2 4）。同一論理値カウンタ部 4 1 0 は、直前に読み出したビットを、同一論理値が 5 ビット連続するか否かをカウントする基準となる基準ビットとして設定する（S 2 5）。同一論理値カウンタ部 4 1 0 は、受信フレームレジスタ 4 1 2 に格納されたデータから 1 ビット読み出す（S 2 6）。同一論理値カウンタ部 4 1 0 は、受信フレームレジスタ 4 1 2 に格納されたデータを全て読み出したか否かを判定する（S 2 7）。

[0068] 受信フレームレジスタ 4 1 2 に格納されたデータを全て読み出した場合（S 2 7 : Y e s）、拡張スタフビット制御部 4 は、後述するステップ S 3 3 の処理を実行する。

[0069] 受信フレームレジスタ 4 1 2 に格納されたデータを全て読み出していない場合（S 2 7 : N o）、同一論理値カウンタ部 4 1 0 は、基準ビットと、直前に読み出したビットとが同一論理値であるか否かを判定する（S 2 8）。

[0070] 読み出したビットが同一論理値でない場合（S 2 8 : N o）、同一論理値カウンタ部 4 1 0 は、ステップ S 2 4 から処理を再開する。この場合、同一論理値が連続していないことになる。そのため、ステップ S 2 4 に戻って、直前に読み出したビットを基準ビットとして、同一論理値が 5 ビット連続するか否かのカウントを再開する。

[0071] 読み出したビットが同一論理値である場合（S 2 8 : Y e s）、同一論理値カウンタ部 4 1 0 は、カウンタをカウントアップする（S 2 9）。同一論理値カウンタ部 4 1 0 は、カウンタ値が閾値「5」になったか否かを判定する（S 3 0）。

- [0072] カウンタ値が閾値「5」になっていない場合（S 3 0 : N o）、同一論理値カウンタ部4 1 0は、ステップS 2 6から処理を再開する。この場合、基準ビットから直前に読み出したビットまで同一論理値が連続しているが、まだ同一論理値が5ビット連続していないことになる。そのため、ステップS 2 6に戻って、次のビットの論理値の確認を行う。
- [0073] カウンタ値が閾値「5」になった場合（S 3 0 : Y e s）、基準ビットから直前に読み出したビットまで同一論理値が5ビット連続することになる。つまり、直前に読み出したビットの次のビットは、拡張スタッフビットとなる。このとき、同一論理値カウンタ部4 1 0は、拡張スタッフビットが上書き前の論理値に復元される前に、受信フレームレジスタ4 1 2に格納された受信フレームデータ2 5から次の拡張スタッフビットを1ビット読み出す（S 3 1）。元データ復元制御部4 1 1は、冗長データ領域受信レジスタ4 0 9のうちのその拡張スタッフビットに対応するビットに格納された上書き前の論理値を読み出す。そして、元データ復元制御部4 1 1は、読み出した上書き前の論理値で受信フレームレジスタ4 1 2のその拡張スタッフビットを上書きする（S 3 2）。これによって、拡張スタッフビットが上書き前の論理値に復元される。そして、同一論理値カウンタ部4 0 1は、ステップS 2 3に戻って、直前に読み出したビットを基準ビットとし（S 2 5）、同一論理値が5ビット連続するか否かのカウントを再開する。
- [0074] ステップS 3 3では、拡張スタッフビット制御部4は、受信フレームレジスタ4 1 2に格納されている、受信フレームデータ2 5の拡張スタッフビットを上書き前の論理値に戻すことによって生成された受信フレームデータ2 3をメッセージハンドラ5に出力する（S 3 3）。
- [0075] 以上に、本発明の実施の形態1にかかる拡張スタッフビット制御部4の受信処理について説明したが、同一論理値が連続した5ビットの次の拡張スタッフビットに上書き前の論理値を復元する処理であれば、上述した処理手順には限定されず、適宜変更してもよい。例えば、基準ビットを設定して、基準ビットの論理値と読み出したビットの論理値とを比較するようにしている

が、直前に読み出したビットの論理値とそのビットの前に読み出したビットの論理値とを比較するようにしてもよい。また、例えば、ステップS 2 4とステップS 2 5の処理の実行順序を逆にしてもよい。

[0076] 続いて、図7を参照して、本実施の形態1のメカニズム及び効果について説明する。ここでは、同一論理値としてLowが5ビット連続した場合について説明する。

[0077] 上述した本実施の形態1によれば、同一論理値としてLowが5ビット連続した場合には、その5ビットの次のビットに同一論理値のLowが強制的に設定されることになる。このようにすることで、この後に、送信フレームデータにおいて、Lowが連続した5ビットの次にHighのスタッフビットが挿入された場合に、スタッフビットの次のビットをLowとすることができる。つまり、スタッフビットの直後の拡張スタッフビットをLowに書きすることによって、CANプロトコルで定義された再同期エッジである立下りエッジを作り出している。

[0078] これによれば、再同期間隔の最悪値を10ビットから6ビットに短縮することができる。よって、図3を参照して例示したように、低精度のクロックを生成するSSCGやクロック発振子等によってシステムを構築したとしても、その影響を低減することができる。つまり、低コストだが低精度のクロックを生成するSSCGやクロック発振子を使用したとしても、CAN通信システムを構築することが可能となる。そのため、本実施の形態1によれば、低精度のクロックを使用して低コストでCAN通信システムを構築することができる。

[0079] ここで、わざとジッタを加えたクロックを生成するSSCGは、EMIノイズを減少させるのに効果的であったが、ノード間のクロック誤差が大きくなるため、なかなか使用することができないという問題があった。それに対して、本実施の形態1では、上述したように、SSCGを使用することができるようになるため、ノイズを低減することができる。例えば、車載アプリケーションならFM (Frequency Modulation) ラジオの周波数帯が一般的な

M C U (Micro Control Unit) の動作周波数と重複しているので、これに混入するノイズを低減して音質を高めることができるようになる。また、動作周波数の高速化に伴い、U H F (Ultra High Frequency) 帯にも高調波ノイズが悪影響を及ぼすことが考えられる。それに対して、本実施の形態 1 では、S S C G によってそのノイズを低減することができるため、カーナビゲーションのフルセグテレビ受信を安定化させることができる。

[0080] なお、上述した本実施の形態 1 では、送信フレームデータ 2 2 において、同一論理値が連続した 5 ビットの次のビットを拡張スタッフビットとして、5 ビット連続した同一論理値を上書きすることで、エッジを生成するようにしたが、これに限られない。言い換えると、直前にスタッフビットが挿入されるビットを拡張スタッフビットとして、スタッフビットの論理値の反転値を上書きすることで、エッジを生成するようにしたが、これに限られない。例えば、同一論理値が連続した 5 ビットの次のビットから連続して 4 (=同一論理値が連続した場合にスタッフビットを挿入するビット数「5」-スタッフビット数「1」) ビットのうち、いずれかのビットを拡張スタッフビットとして、5 ビット連続した同一論理値で上書きするようにしてもよい。このようにしても、再同期間隔の最悪値を 1 0 ビットから短縮することができる。

[0081] 具体的に例を挙げて説明すると、図 7 において、6 ビット目のスタッフビットから H i g h の論理値が続く場合、1 0 ビット目のビットを L o w に上書きしても、再同期間隔の最悪値を 1 0 ビットから 9 ビットに短縮することができる。つまり、送信フレームデータ 2 2 において、同一の論理値が連続した 5 ビット (図 7 の 1 ビット目～5 ビット目) の次の拡張スタッフビットから連続して 4 ビット (図 7 の 7 ビット目～1 0 ビット目) のうち、いずれかのビットを、5 ビット連続した同一論理値で上書きするようにしても、再同期間隔の最悪値を短縮することができる。

[0082] また、上書きされた拡張スタッフビットの本来の論理値が何であるかは、送信フレームデータ 2 4 及び受信フレームデータ 2 5 の冗長データ領域によ

って示される。例えば、図8に示すように、最大で79ビットのサイズとなる送信フレームデータ22に対して、3バイトの冗長データ領域を定義する。ここで、送信フレームデータ22は、CANプロトコルのデータフレームにおけるスタートオブフレーム、アービトレーションフィールドA r b、コントロールフィールドC T R L、及びデータフィールドD A T Aからなる。

[0083] 図8に示すように、CANプロトコルのデータフレームにおいて、本来ならデータフィールドD A T Aとして使用される最大で8バイトの領域のうち、3バイトの領域を冗長データ領域として使用する。そのため、送信フレームデータ22は、1ビットのスタートオブフレームと、最大で32 ( $= 11 + 1 + 1 + 18 + 1$ ) ビットのアービトレーションフィールドA r bと、6 ( $= 1 + 1 + 4$ ) ビットのコントロールフィールドC T R Lと、最大で40 ビット ( $= 8 \text{ バイト} - 3 \text{ バイト}$ ) のデータフィールドD A T Aと、からなる最大で79ビットのデータとなる。

[0084] 続いて、図9を参照して、冗長データ領域の構成について説明する。冗長データ領域は、送信フレームデータの拡張スタッフビットのそれぞれに対応するように、上書き前の論理値が格納される。ここで、同一の論理値のビットが5ビット連続する毎にスタッフビットが1つ挿入されることになるため、79ビットの送信フレームデータ22に対しては、最大で15ビットのスタッフビットが挿入される。よって、スタッフビット挿入後の送信フレームデータの先頭から冗長データ領域の手前までのサイズは、図9に示すように最大で94 ( $= 79 + 15$ ) ビットとなる。また、拡張スタッフビットはスタッフビットと同数となるため、最大で15ビットの拡張スタッフビットが設定されることになる。そのため、図9に示すように、拡張スタッフビットの上書き前の論理値が最大で15ビット冗長データ領域に記録されることになる。なお、図9では、送信フレームデータの先頭から末尾に向かった順の拡張スタッフビットのそれぞれの上書き前の論理値を、冗長データ領域の先頭から末尾に向かった順のビットのそれぞれに格納するようにしているが、拡張スタッフビットと上書き前の論理値とが対応付いていれば、これに限ら

れない。なお、先頭から末尾に向かった順とは、ビットストリームとして送信した場合における送信順のことである。

[0085] さらに、図9に示すように、冗長データ領域内においては、4ビット毎に左隣のビットの反転値を論理値とするビットを設けるようにしている。つまり、冗長データ領域においては、4ビット毎に1つ前のビットの反転値のビットを設けるようにしている。これによれば、冗長データ領域中に同一論理値が5ビット連続することを防止して、冗長データ領域中にスタッフビットが挿入されることを防止することができる。このようにしている理由としては、冗長データ領域に拡張スタッフビットを設ける必要が出てしまうと、さらにそれに対応する冗長データ領域が必要となってしまうからである。また、これによれば、再同期間隔を短縮することもできる。

[0086] このように、本実施の形態1では、冗長データ領域を、最大で15ビットとなる上書き前の論理値のビットと、4ビット毎に1つ前のビットの反転値を論理値とするビットと、を含むことができるサイズとして、3バイト長で定義している。なお、冗長データ領域のサイズは、送信フレームデータ22の最大サイズに基づいて、拡張スタッフビットが最も多くなった場合でも、これらのビットを全て記録できるサイズであれば、ここで例示したサイズに限られない。

[0087] 発明の実施の形態2.

続いて、図10を参照して、本発明の実施の形態2にかかるノード200の構成について説明する。図10は、本発明の実施の形態2にかかるノード200の構成図である。なお、実施の形態1にかかるノード100と同様の内容については説明を省略する。また、本発明の実施の形態2にかかるCAN通信システムの構成は、実施の形態1と同様であるため、説明を省略する。

[0088] ノード200は、拡張スタッフビット制御部4を有さず、ビットストリーム制御部2に換えてビットストリーム制御部7を有する点が、実施の形態1にかかるノード100と異なる。

- [0089] ビットストリーム制御部 7 は、実施の形態 1 にかかるビットストリーム制御部 2 における処理に加えてさらに、立ち上りエッジでも再同期を行う。つまり、ビットストリーム制御部 7 は、CAN プロトコルで定められた立下りエッジでの再同期に加えて、立ち上がりエッジでも再同期を行う。また、メッセージハンドラ 5 は、ビットストリーム制御部 7 とメッセージバッファメモリ 6 との間で送信フレームデータ 22 及び受信フレームデータを送受信することになる。
- [0090] 続いて、図 11 を参照して、本発明の実施の形態 2 にかかるビットストリーム制御部 7 の構成について説明する。図 11 は、本発明の実施の形態 2 にかかるビットストリーム制御部 7 の構成図である。
- [0091] ビットストリーム制御部 7 は、CRC エンコード部 701、フレームフォーマット整形出力制御部 702、送信シフトレジスタ 703、立ち上がり・立下り両エッジ検出回路 704、ビット再同期制御部 705、ビットサンプリング部 706、受信シフトレジスタ 707、CRC デコード及びスタフビット除去部 708、フリップフロップ群 709、並びにプロトコル制御ステートマシン 710 を有する。
- [0092] CRC エンコード部 701 は、送信シフトレジスタ 703 から出力された送信フレームデータ 22 に基づいて CRC を生成する。CRC エンコード部 701 は、生成した CRC を送信シフトレジスタ 703 に出力する。
- [0093] フレームフォーマット整形出力制御部 702 は、送信シフトレジスタ 703 から出力されたデータ 711 に、スタフビットを挿入して送信データ出力 (TXD) 31 としてバストランシーバ 14 に出力する。
- [0094] 送信シフトレジスタ 703 は、メッセージハンドラ 5 から出力された送信フレームデータ 22 を 1 ビットずつ順次 CRC エンコード部 701 及び順次フレームフォーマット整形出力制御部 702 に出力する。また、送信シフトレジスタ 703 は、送信フレームデータ 22 を続けて CRC エンコード部 701 から出力された CRC を 1 ビットずつ順次フレームフォーマット整形出力制御部 702 に出力する。

[0095] 立ち上がり・立下り両エッジ検出回路 704 は、受信データ入力 (RxD) 30 の立ち上がりエッジ及び立下りエッジのそれぞれを検出する。立ち上がり・立下り両エッジ検出回路 704 は、立ち上がりエッジ及び立下りエッジのいずれかを検出した場合に、ビット再同期トリガ信号 713 をビット再同期制御部 705 に出力する。図 11 に示すように、立ち上がり・立下り両エッジ検出回路 704 は、XOR 回路によって、受信データ入力 (RxD) 30 の任意のビットの論理値と、そのビットの次のビットの論理値との XOR 演算を行うことで、それぞれのビットの論理値が異なり、立ち上がりエッジ又は立下りエッジが発生していることを検出する。つまり、立ち上がり・立下り両エッジ検出回路 704 は、それぞれのビットの論理値を XOR 回路に入力して、それぞれのビットの論理値が異なる場合に XOR 回路から出力される High の信号をビット再同期トリガ信号 713 としてビット再同期制御部 705 に出力する。

[0096] ビット再同期制御部 705 は、サンプルポイント毎にビットタイミング信号 714 をビットサンプリング部 706 に出力する。また、ビット再同期制御部 705 は、立ち上がり・立下り両エッジ検出回路 704 から出力されたビット再同期トリガ信号 713 に応じて、再同期を行う。つまり、ビット再同期制御部 705 は、立ち上り・立下り両エッジ検出回路 704 からのビット再同期トリガ信号 713 の出力をトリガとして、ビット再同期トリガ信号 713 の出力タイミングに基づいて、サンプルポイントを補正する。これによれば、本実施の形態 2 では、立下りエッジに加えて、立ち上がりエッジにおいても再同期を行うことができる。

[0097] ビットサンプリング部 706 は、ビット再同期制御部 705 からビットタイミング信号 714 が出力されたときに、受信データ入力 (RxD) 30 のうち、フリップフロップ群 709 から出力されているビットの論理値 712 をサンプリングする。ビットサンプリング部 706 は、サンプリングした論理値 715 を順次受信シフトレジスタ 707 に出力する。つまり、ビットサンプリング部 706 によってサンプリングされた受信データ入力 (RxD) 30 が 1

ビットずつ順次受信シフトレジスタ 707 に出力される。

- [0098] 受信シフトレジスタ 707 は、ビットサンプリング部 706 から出力された受信データ入力 (RxD) 30 を 1 ビットずつ順次 CRC デコード及びスタッフビット除去部 708 に出力する。
- [0099] CRC デコード及びスタッフビット除去部 708 は、受信シフトレジスタ 707 から出力された受信データ入力 (RxD) 30 から、CAN プロトコルで定義されたスタッフビットを除去する。CRC デコード及びスタッフビット除去部 708 は、受信データ入力 (RxD) 30 からスタッフビットを除去した受信フレームデータに基づいて CRC チェックを行う。CRC デコード及びスタッフビット除去部 708 は、CRC チェックで異常を検出した場合、異常を通知する異常通知信号 716 をプロトコル制御ステートマシン 710 に出力する。CRC デコード及びスタッフビット除去部 708 は、CRC チェック後に、受信フレームデータから CRC を除去する。CRC デコード及びスタッフビット除去部 708 は、CRC を除去した受信フレームデータ 23 を拡張スタッフビット制御部 4 に出力する。
- [0100] フリップフロップ群 709 は、メタステーブル伝搬防止用のフリップフロップを複数含む。フリップフロップ群 709 は、バストランシーバ 14 から出力された受信データ入力 (RxD) 30 を 1 ビットずつ順次立ち上がり・立下り両エッジ検出回路 704 及びビットサンプリング部 706 に出力する。
- [0101] プロトコル制御ステートマシン 710 は、CRC デコード及びスタッフビット除去部 708 からの異常通知信号 716 の出力に応じて、異常通知信号 26 をエラー管理部 3 に出力する。
- [0102] 続いて、図 12 を参照して、本実施の形態 2 のメカニズム及び効果について説明する。図 12 に示すように、スタッフビットの後にも同一論理値が 5 ビット連続してしまう最悪ケースの場合、特許文献 1 にかかる CAN プロトコルでは立下りエッジのみでの再同期だったため再同期間隔の最悪値が 10 ビットであった。それに対して、本実施の形態 2 では、立ち上がりでも再同期することによって、再同期間隔の最悪値を 5 ビットに短縮することができ

る。

[0103] よって、低精度のクロックを生成するSSCGやクロック発振子等によってシステムを構築したとしても、その影響を低減することができる。そのため、本実施の形態2によっても、低精度のクロックを使用して低コストでCAN通信システムを構築することができる。

[0104] なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、本実施の形態1及び本実施の形態2は、組み合わせて実施するようにしてもよい。

[0105] 本実施の形態では、CAN通信システムを自動車に適用した場合について例示したが、これに限られない。例えば、船舶及び産業機器等にも適用してもよい。

[0106] 本実施の形態1では、スタッフビットの挿入及び拡張スタッフビットの特定を、同一論理値の5ビット連続しての検出に応じて行う場合について例示したが、このビット数は5ビットに限られない。

[0107] 本実施の形態1では、全ての拡張スタッフビットを上書きする場合について例示したが、これに限られない。例えば、拡張スタッフビットの上書き前の論理値が上書きする論理値と同一である場合、上書きをしないようにしてもよい。

[0108] 本実施の形態1では、CANプロトコルに基づいて立下リエッジの検出に応じて、再同期を行う場合について例示したが、これに限られない。立ち上がりエッジの検出に応じて、再同期を行う場合において、上述した拡張スタッフビットに関する処理を実施するようにしても、立ち上がりエッジの間隔を短縮することができるため、再同期間隔を短縮することができる。

[0109] 本実施の形態1では、CANプロトコルに基づいて立下リエッジの検出に応じて、再同期を行う場合において、High及びLowのいずれのビットが5ビット連続しても、拡張スタッフビットを上書きするようにしているが、これに限られない。例えば、CANプロトコルに基づいて立下リエッジの検出に応じて、再同期を行う場合において、High及びLowのうち、L

owのビットが5ビット連続した場合に、拡張スタッフビットを上書きするようにしてもよい。

[0110] この出願は、2011年3月31日に出願された日本出願特願2011-077032を基礎とする優先権を主張し、その開示の全てをここに取り込む。

### 符号の説明

[0111] 1 CANコントローラモジュール  
2、7 ビットストリーム制御部  
3 エラー管理部  
4 拡張スタッフビット制御部  
5 メッセージハンドラ  
6 メッセージバッファメモリ  
10 CANコントローラLSI  
11 CPU  
12 他周辺モジュール  
13 SSCG  
14 バスランシーバ  
21 ローカルバス  
22、24 送信フレームデータ  
23、25 受信フレームデータ  
26 異常通知信号  
30 受信データ入力  
31 送信データ出力  
41、42、43 クロック  
100、200 ノード  
101 CAN通信システム  
102 ボディ系制御ノード  
103 安全系制御ノード

- 1 0 4 情報系制御ノード
- 1 0 5 エンジン系制御ノード
- 1 0 6 シャーシ系制御ノード
- 4 0 1、4 1 0 同一論理値カウンタ部
- 4 0 2 拡張スタフビット上書き制御部
- 4 0 3 冗長データ領域送信レジスタ
- 4 0 4 送信フレームレジスタ
- 4 0 5、4 1 4 5ビット連続同一論理値検出信号
- 4 0 6 送信フレームビット読み出し値
- 4 0 9 冗長データ領域受信レジスタ
- 4 1 1 元データ復元制御部
- 4 1 2 受信フレームレジスタ
- 4 1 3 受信フレームビット読み出し値
- 4 1 5 上書き前の論理値
- 7 0 1 C R C エンコード部
- 7 0 2 フレームフォーマット整形出力制御部
- 7 0 3 送信シフトレジスタ
- 7 0 4
- 7 0 5 ビット再同期制御部
- 7 0 6 ビットサンプリング部
- 7 0 7 受信シフトレジスタ
- 7 0 8 C R C デコード及びスタフビット除去部
- 7 0 9 フリップフロップ群
- 7 1 0 プロトコル制御ステートマシン
- 7 1 1 送信シフトレジスタからの出力データ
- 7 1 2 受信データ入力のビットの論理値 7 1 2
- 7 1 3 ビット再同期トリガ信号
- 7 1 4 ビットタイミング信号

7 1 5      サンプルングした論理値

7 1 6      異常通知信号

## 請求の範囲

- [請求項1]           それぞれが第1の論理値又は当該第1の論理値を反転した第2の論理値のいずれかをとる複数のビットが連続するビットデータを送信するときに、CAN (Controller Area Network) プロトコルに基づき、前記ビットデータにおいて同一の論理値が所定数連続するビットの次に、当該同一の論理値の反転値をとるスタッフビットを挿入した送信データを、前記ビットデータに代えて送信する送信装置と、
- 前記CANプロトコルに基づき、前記送信装置から送信された送信データにおける前記第2の論理値から前記第1の論理値へのエッジの検出に応じて、前記送信装置との間で前記送信データの送受信の同期をとる同期処理を実行する受信装置と、を備え、
- 前記送信装置は、前記ビットデータを送信するときに、前記ビットデータにおいて前記第1の論理値が所定数連続するビットの次のビットから連続して前記所定数－1ビットのうち、いずれかのビットを前記第1の論理値に書き換える送信制御部を有する、
- CAN通信システム。
- [請求項2]           前記送信制御部は、前記いずれかのビットの前記第1の論理値に書き換え前の論理値を、前記送信データとともに送信し、
- 前記受信装置は、
- 前記送信装置から送信された送信データからスタッフビットを除去して、当該スタッフビットを除去したビットデータにおいて前記第1の論理値に書き換えられたビットを、前記送信データとともに送信された書き換え前の論理値に戻す受信制御部を有する、
- 請求項1に記載のCAN通信システム。
- [請求項3]           前記受信装置は、
- 前記送信データにおける前記第2の論理値から前記第1の論理値へのエッジを検出し、当該エッジの検出に応じてエッジ検出信号を出力するエッジ検出部と、

前記エッジ検出部からのエッジ検出信号の出力に応じて、前記同期処理を実行する同期制御部と、をさらに備え、

前記エッジ検出部は、さらに、前記送信データにおける前記第 1 の論理値から前記第 2 の論理値へのエッジを検出し、当該エッジの検出に応じて前記エッジ検出信号を出力する、

請求項 1 又は 2 に記載の C A N 通信システム。

[請求項4] 前記送信制御部は、前記いずれかのビットとして、前記ビットデータにおいて前記第 1 の論理値が所定数連続するビットの次のビットを、前記第 1 の論理値に書き換える、

請求項 1 乃至 3 のいずれか 1 項に記載の C A N 通信システム。

[請求項5] 前記送信制御部は、前記いずれかのビットが前記第 2 の論理値である場合、当該ビットを前記第 1 の論理値への書き換えを抑止する、

請求項 1 乃至 4 のいずれか 1 項に記載の C A N 通信システム。

[請求項6] 前記ビットデータは、前記 C A N プロトコルにおいて定義されるデータフレームのうち、スタートオブフレームからデータフィールドまでの 7 9 ビット以下のデータである、

請求項 1 乃至 5 のいずれか 1 項に記載の C A N 通信システム。

[請求項7] 前記第 1 の論理値は、L o w であり、

前記第 2 の論理値は、H i g h である、

請求項 1 乃至 6 のいずれか 1 項に記載の C A N 通信システム。

[請求項8] C A N (Controller Area Network) プロトコルに基づき、受信したデータにおける第 1 の論理値を反転した第 2 の論理値から前記第 1 の論理値へのエッジの検出に応じて、前記データの送受信の同期をとる同期処理を実行する受信装置に、それぞれが前記第 1 の論理値又は前記第 2 の論理値のいずれかをとり複数のビットが連続するビットデータを送信するときに、前記 C A N プロトコルに基づき、前記ビットデータにおいて同一の論理値が所定数連続するビットの次に、当該同一の論理値の反転値をとるスタッフビットを挿入した送信データを、

前記ビットデータに代えて送信する送信装置であって、

前記ビットデータを送信するときに、前記ビットデータにおいて前記第1の論理値が所定数連続するビットの次のビットから連続して前記所定数-1ビットのうち、いずれかのビットを前記第1の論理値に書き換える制御部を有する、

CAN送信装置。

[請求項9]

送信装置が、それぞれが第1の論理値又は当該第1の論理値を反転した第2の論理値のいずれかをとる複数のビットが連続するビットデータを送信するときに、CAN (Controller Area Network) プロトコルに基づき、前記ビットデータにおいて同一の論理値が所定数連続するビットの次に、当該同一の論理値の反転値をとるスタッフビットを挿入した送信データを、前記送信装置から前記ビットデータに代えて受信して、前記CANプロトコルに基づき、当該送信データにおける前記第2の論理値から前記第1の論理値へのエッジの検出に応じて、前記送信装置との間で前記送信データの送受信の同期をとる同期処理を実行する受信装置であって、

前記受信装置が検出する前記第2の論理値から前記第1の論理値へのエッジは、前記第2の論理値から、前記送信装置が、前記ビットデータを送信するときに前記ビットデータにおいて前記第1の論理値が所定数連続するビットの次のビットから連続して前記所定数-1ビットのうち、いずれかのビットを書き換えた第1の論理値へのエッジを含む、

CAN受信装置。

[請求項10]

それぞれが第1の論理値又は当該第1の論理値を反転した第2の論理値のいずれかをとる複数のビットが連続するビットデータを送信するときに、CAN (Controller Area Network) プロトコルに基づき、前記ビットデータにおいて同一の論理値が所定数連続するビットの次に、当該同一の論理値の反転値をとるスタッフビットを挿入した送

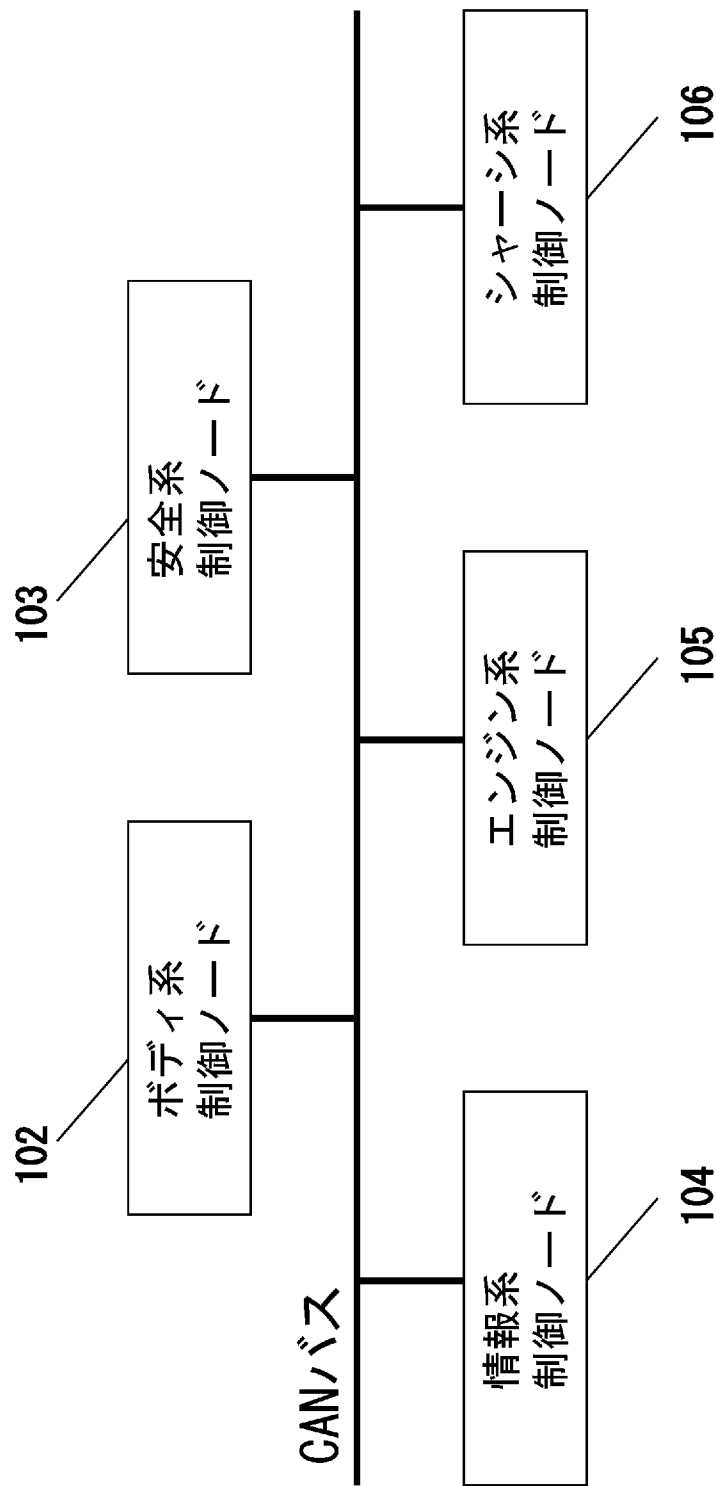
信データを、前記ビットデータに代えて送信する送信装置と、前記CANプロトコルに基づき、前記送信装置から送信された送信データにおける前記第2の論理値から前記第1の論理値へのエッジの検出に応じて、前記送信装置との間で前記送信データの送受信の同期をとる同期処理を実行する受信装置との間のCAN通信方法であって、

前記送信装置が、前記ビットデータを送信するときに、前記ビットデータにおいて前記第1の論理値が所定数連続するビットの次のビットから連続して前記所定数－1ビットのうち、いずれかのビットを前記第1の論理値に書き換える、

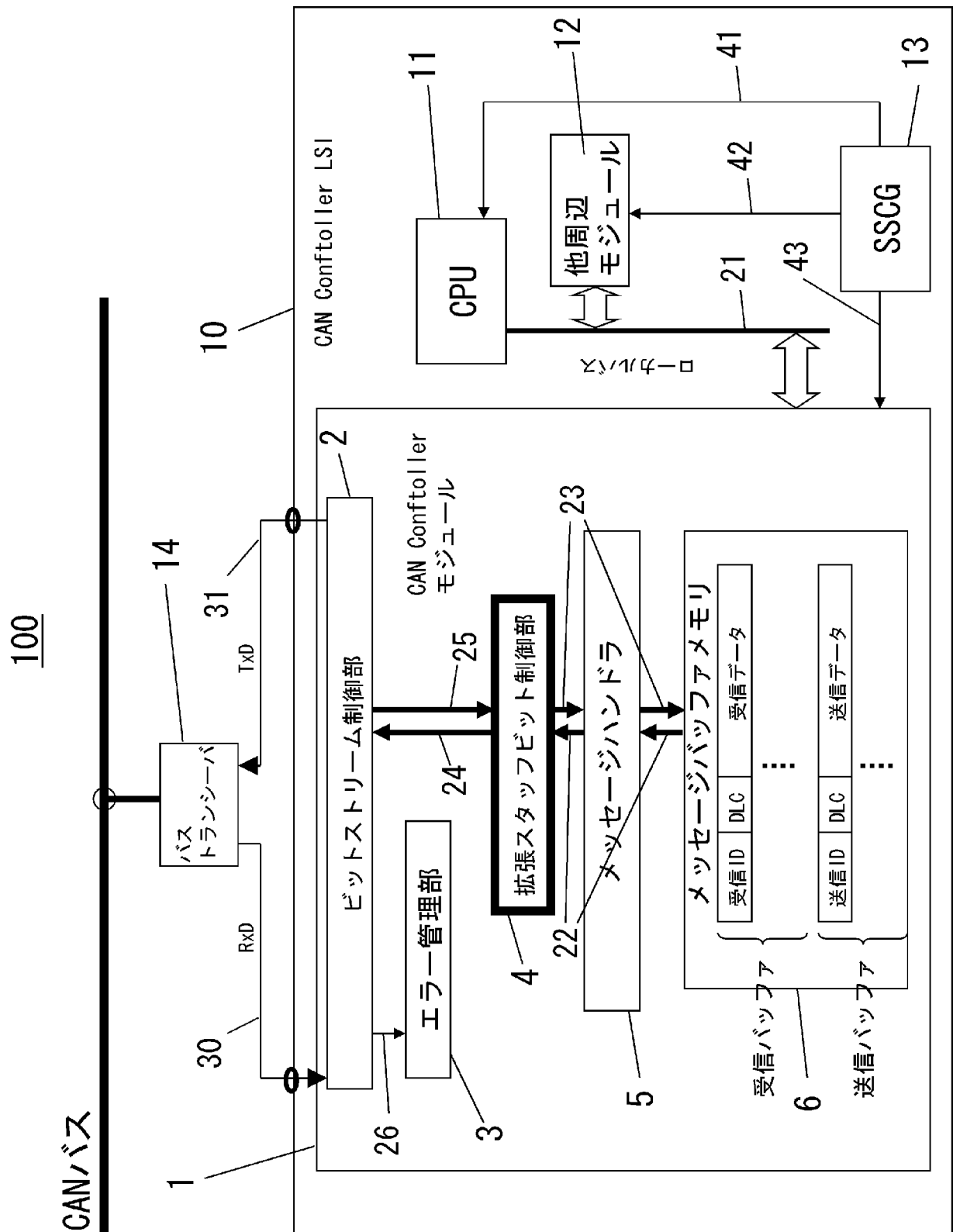
CAN通信方法。

[図1]

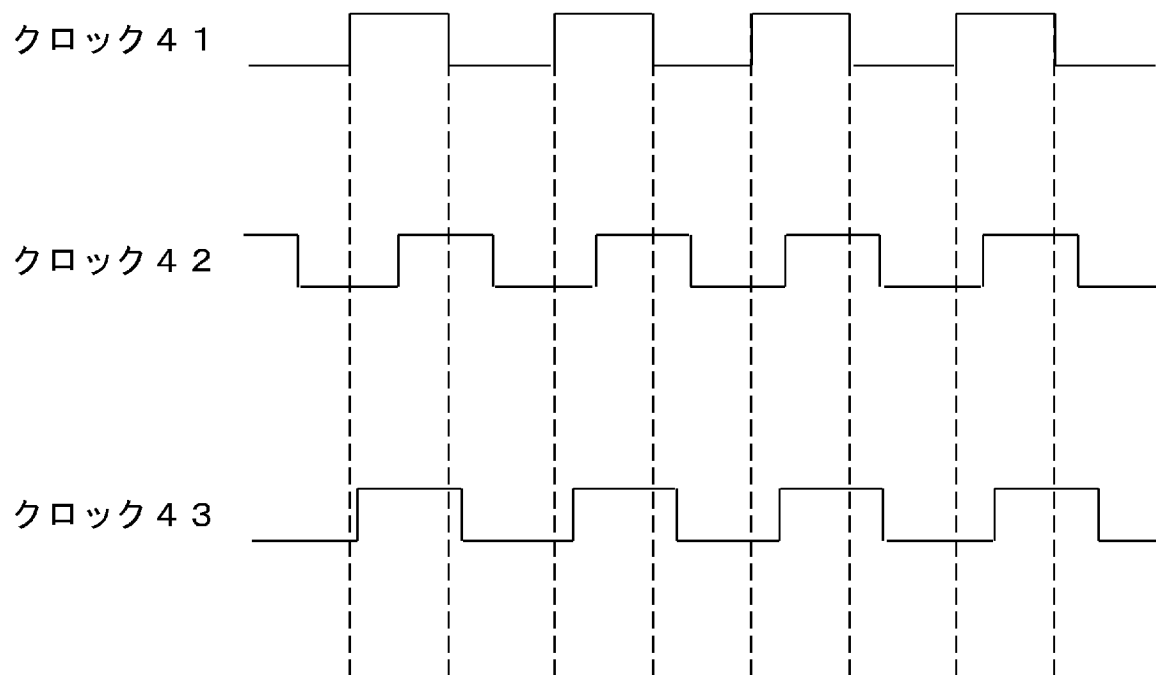
101



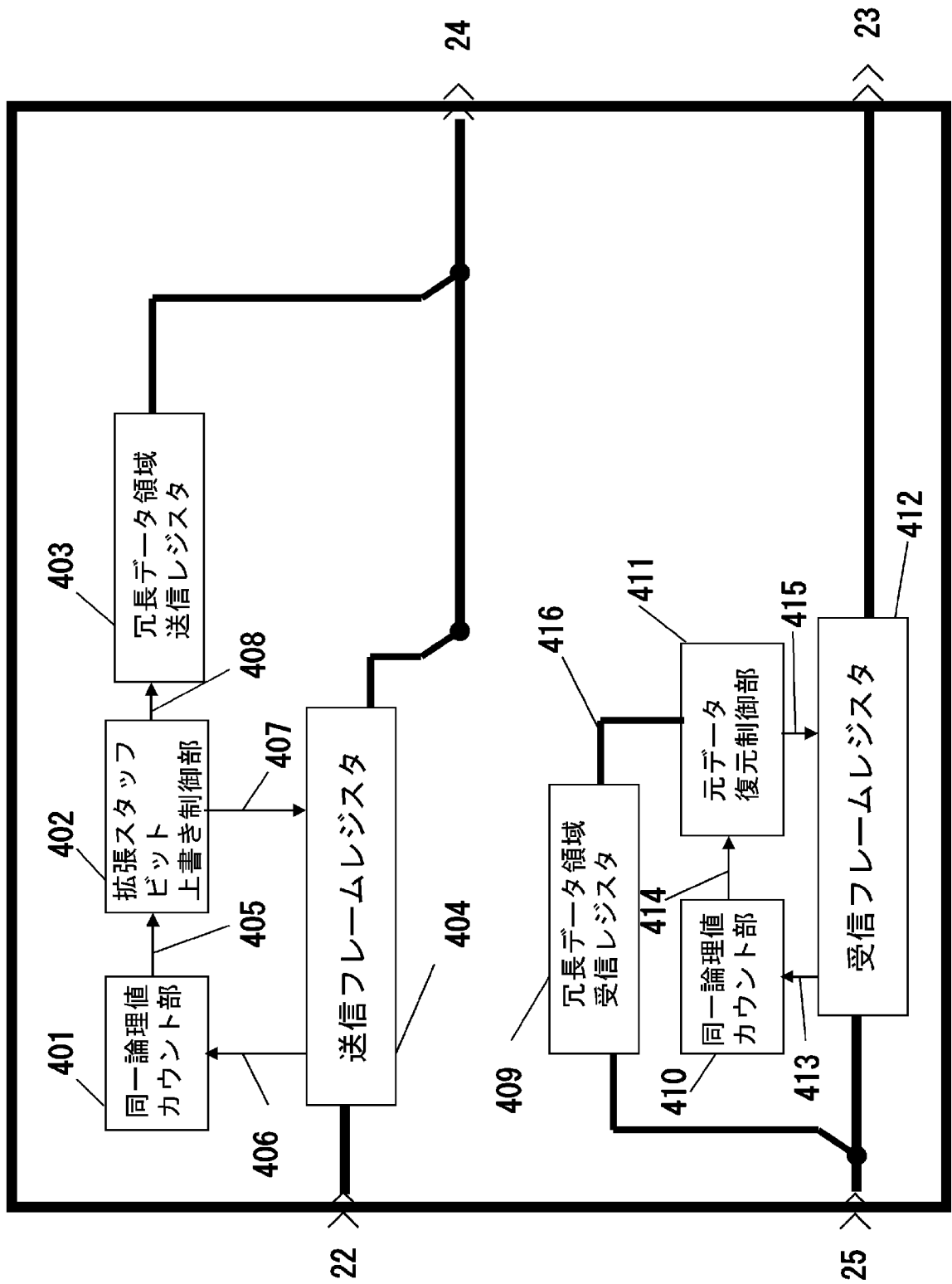
[図2]



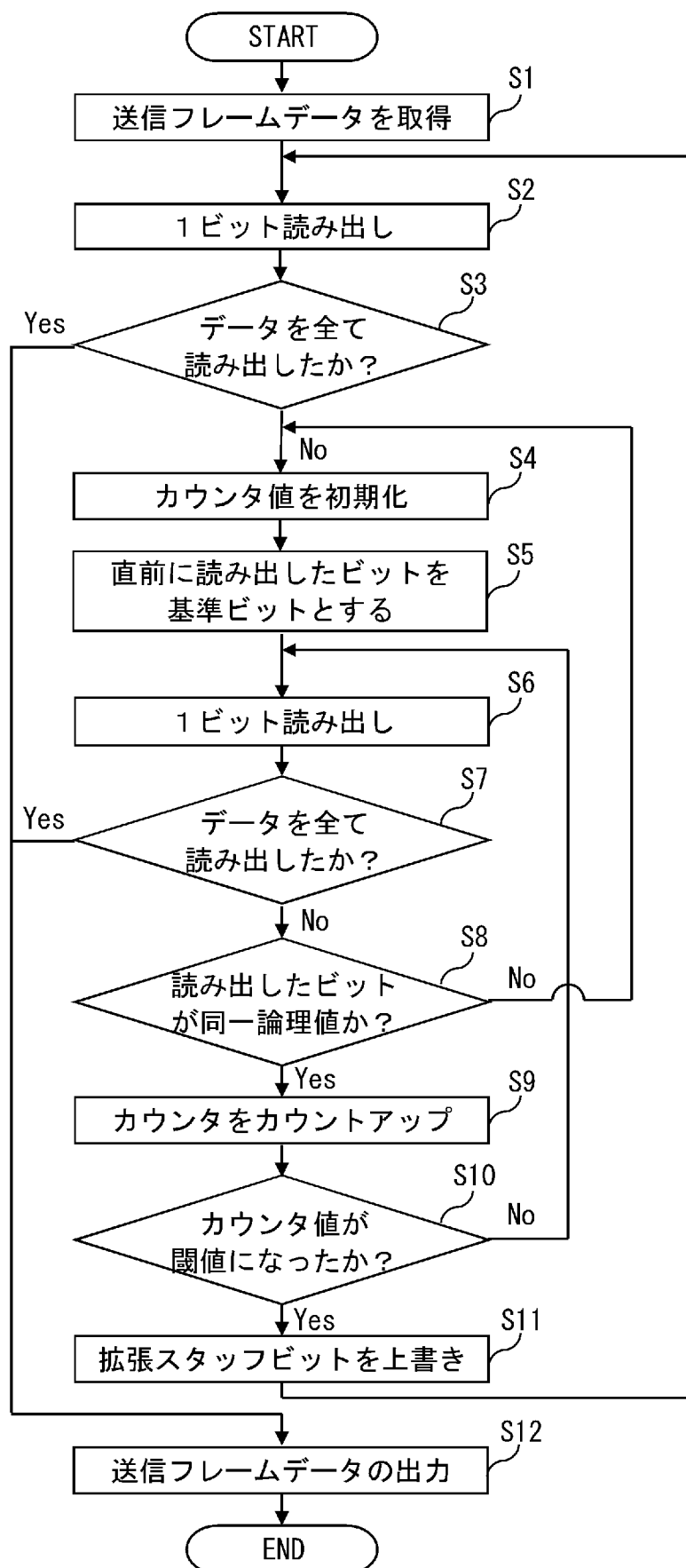
[図3]



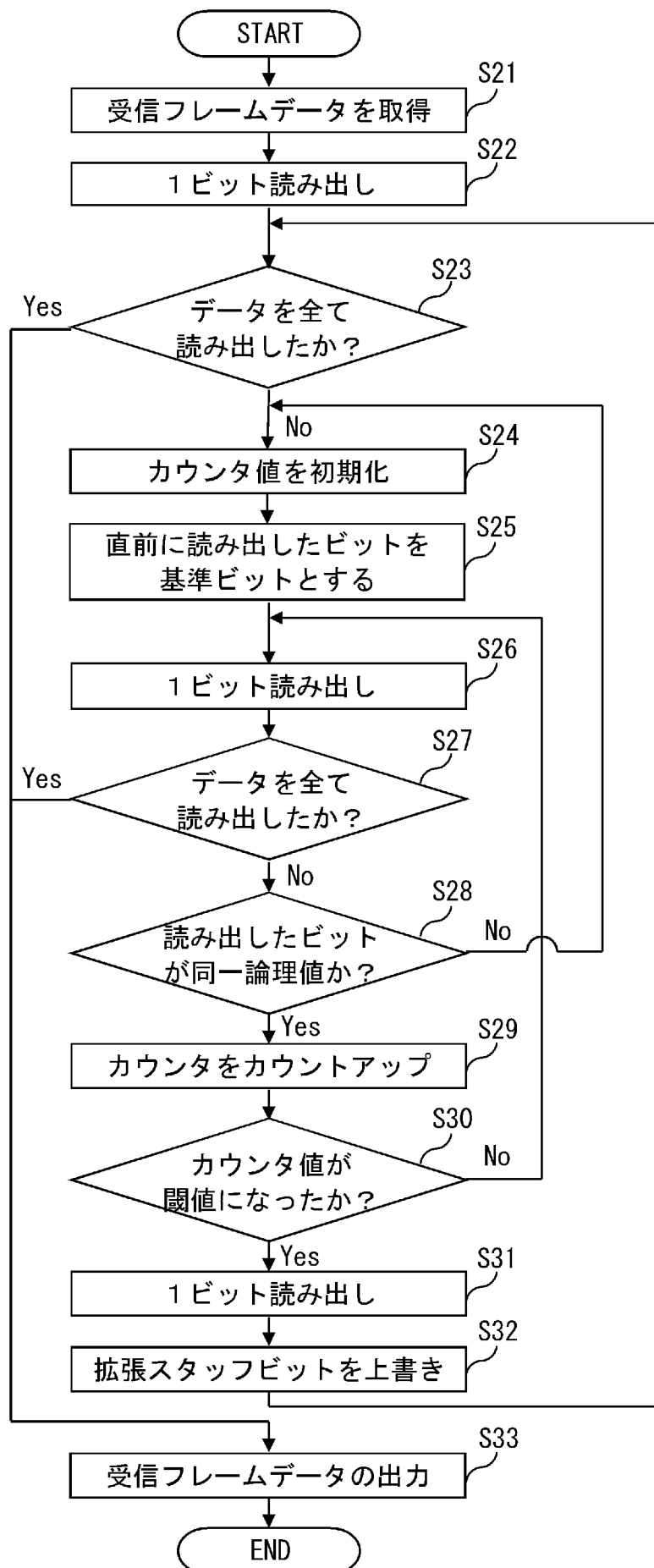
[図4]



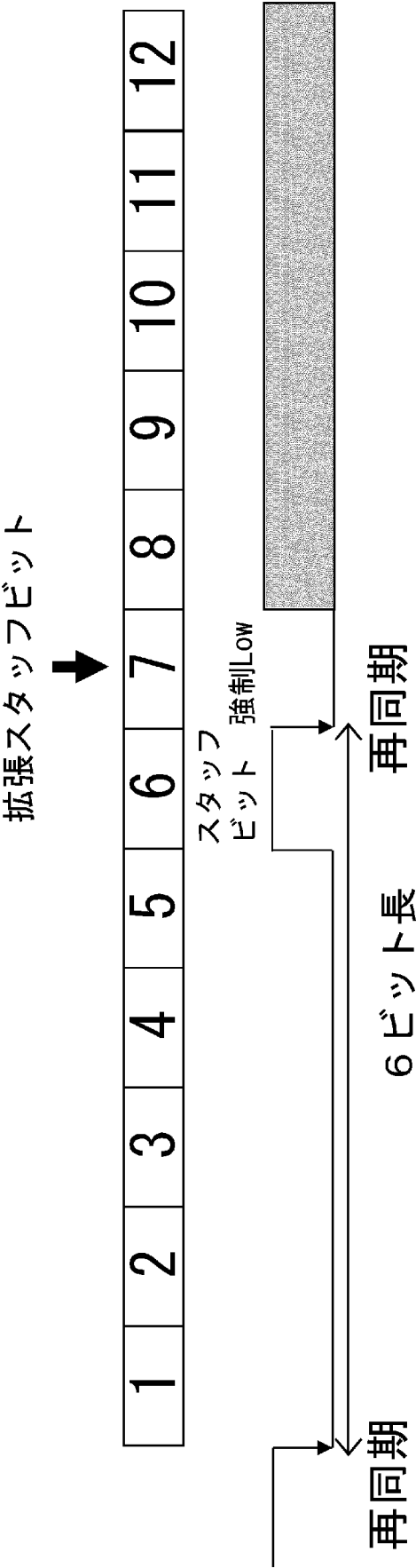
[図5]



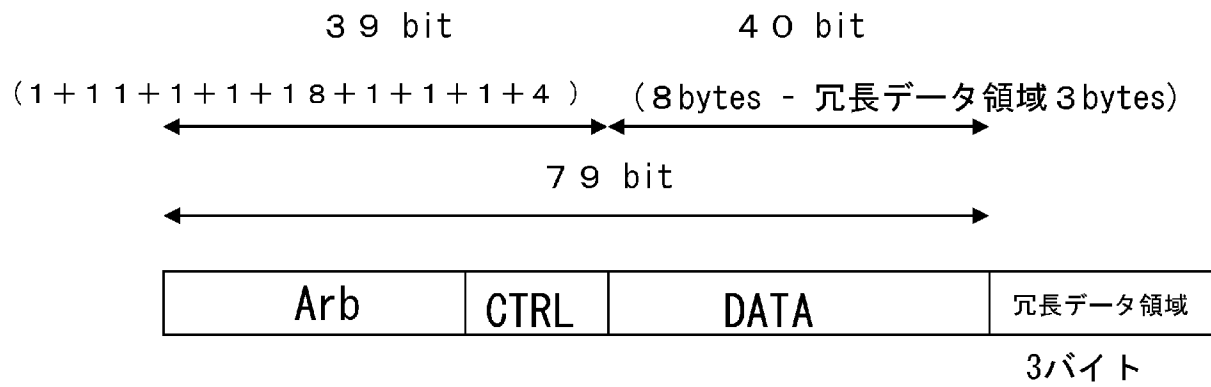
[図6]



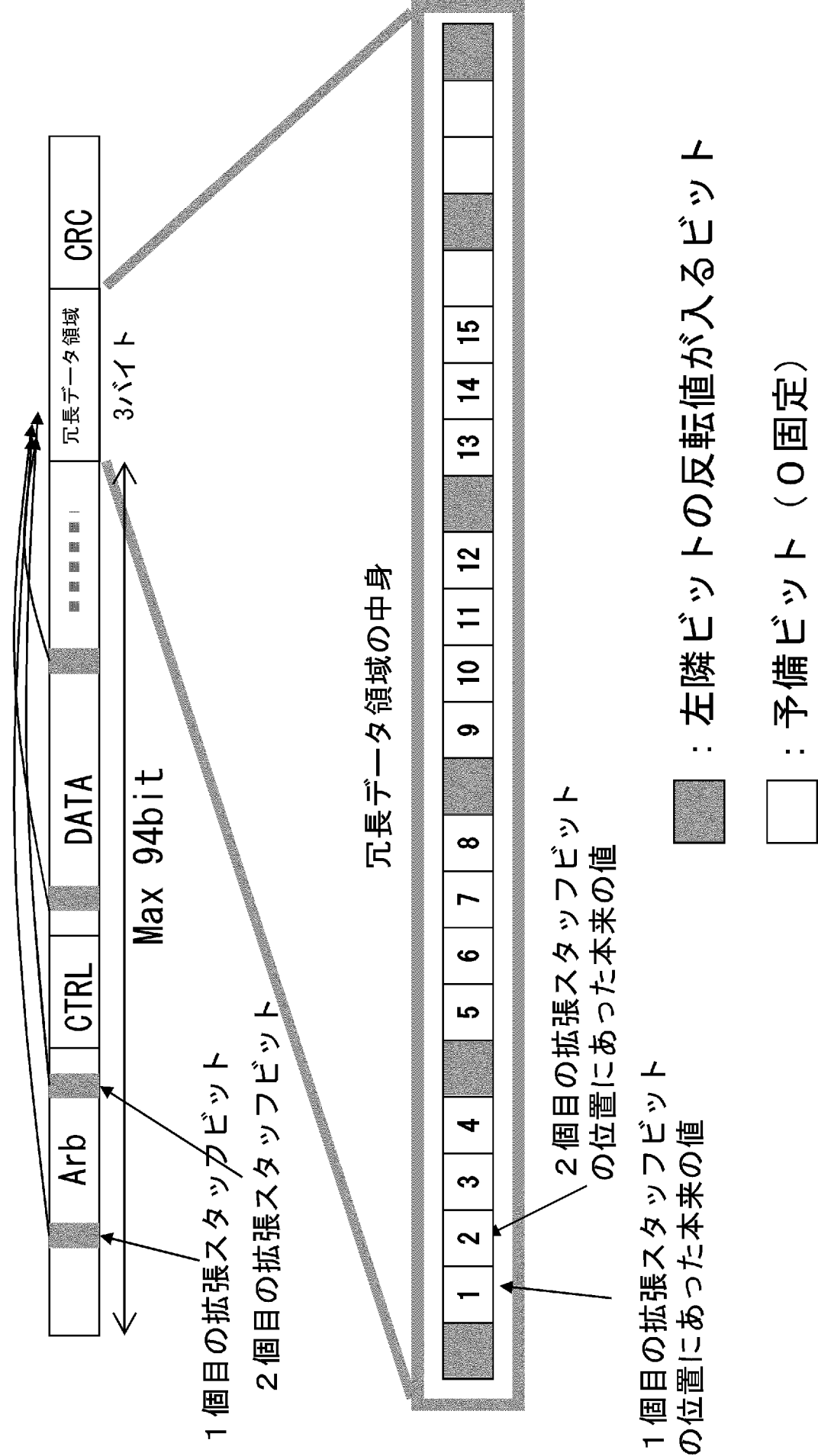
[図7]



[図8]

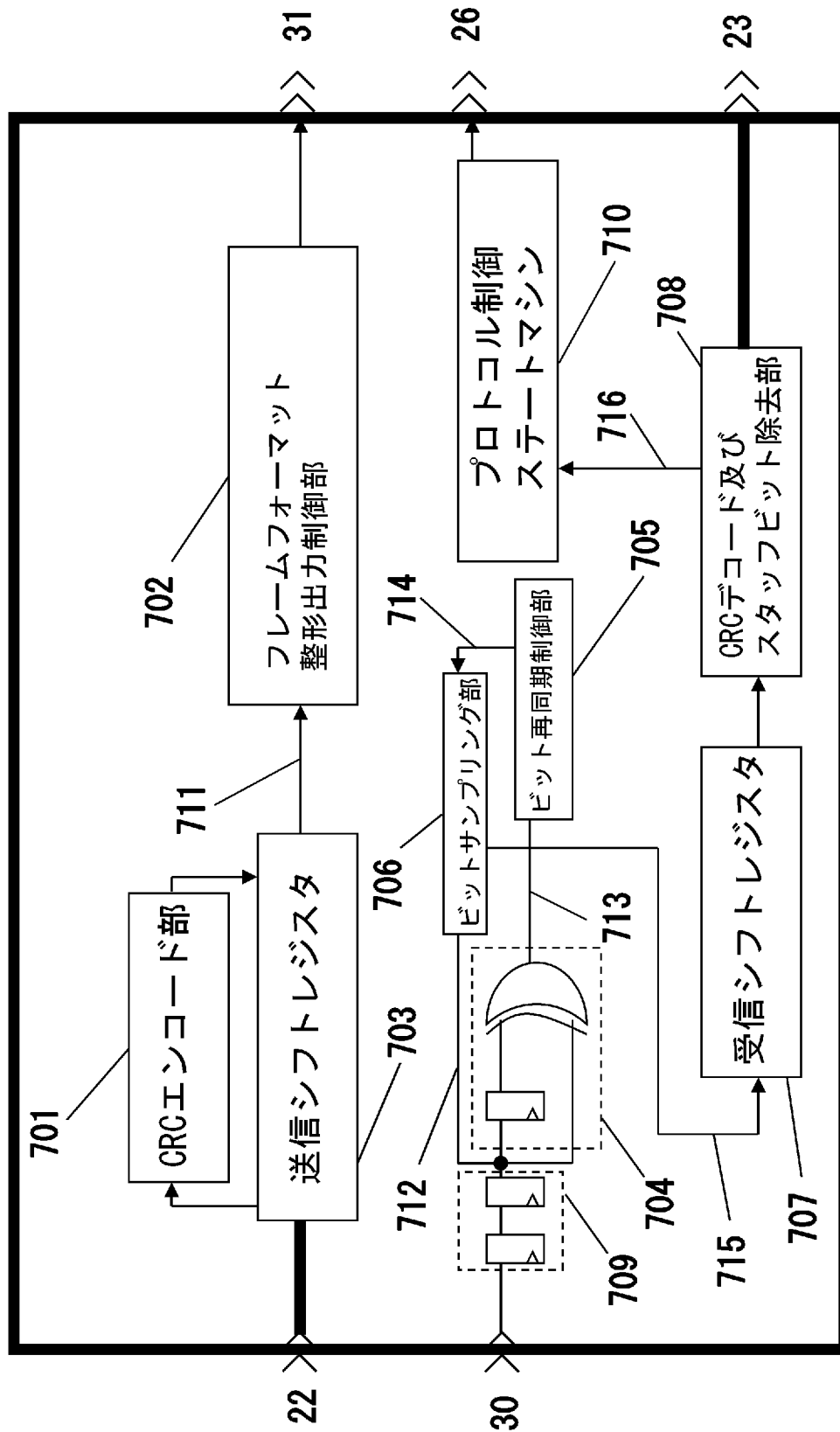


[図9]

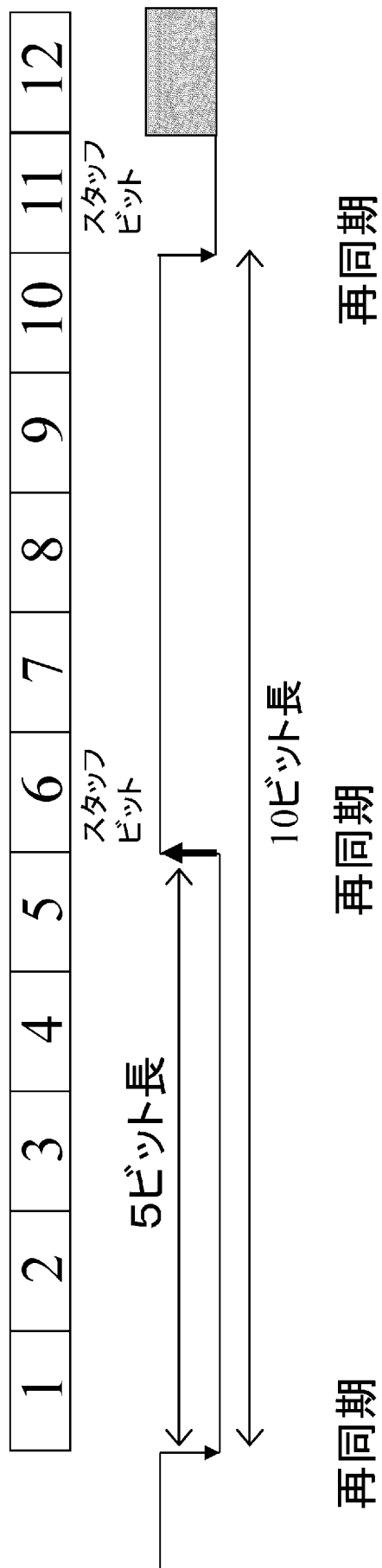




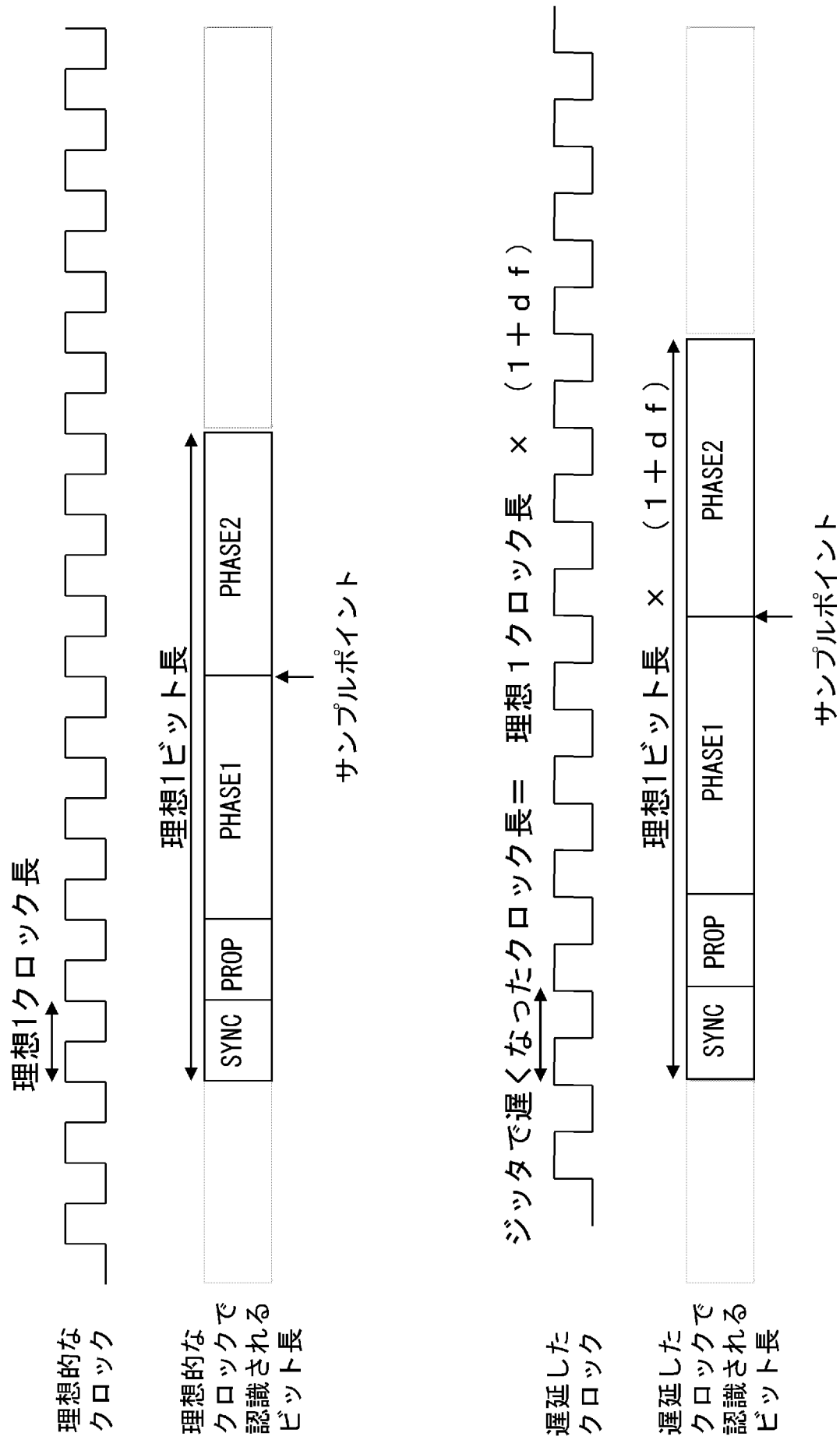
[図11]



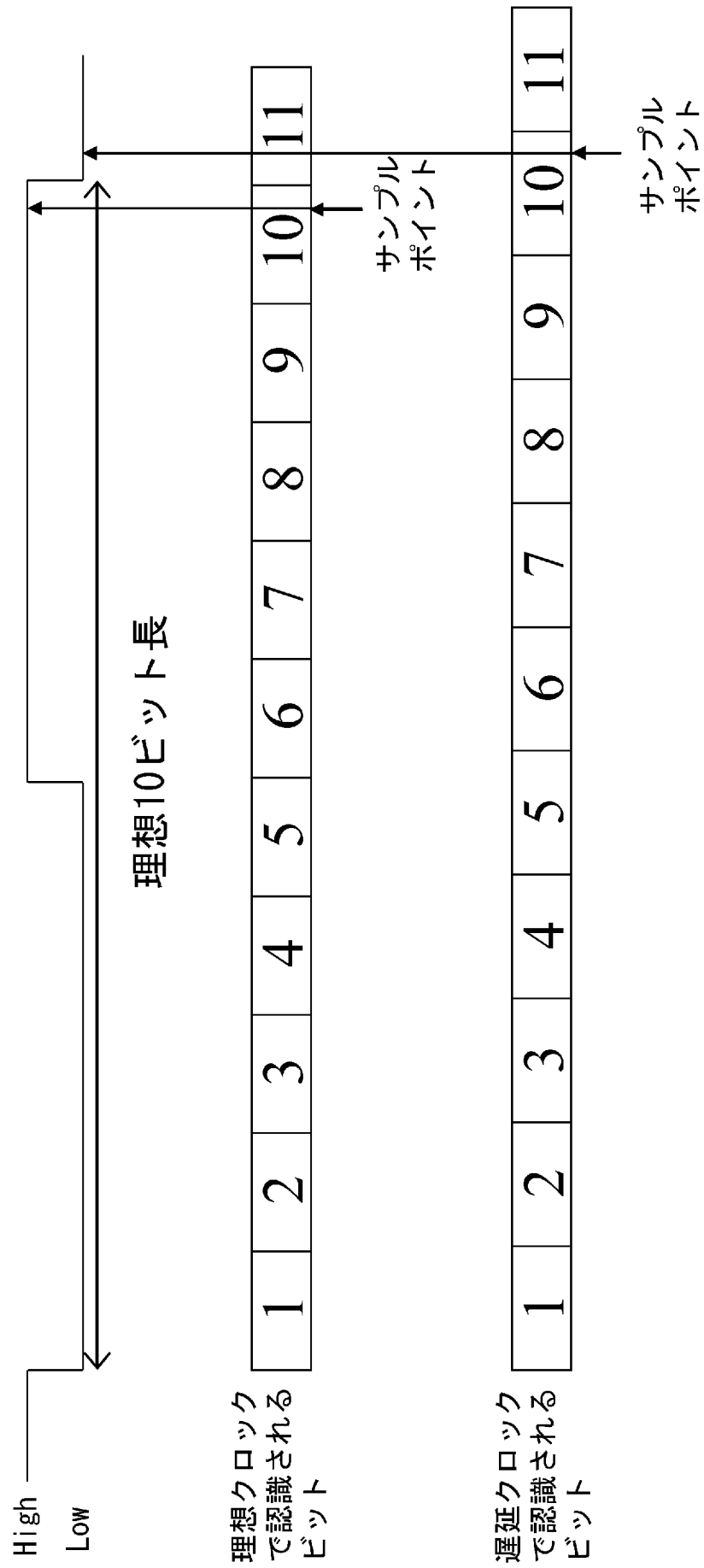
[図12]



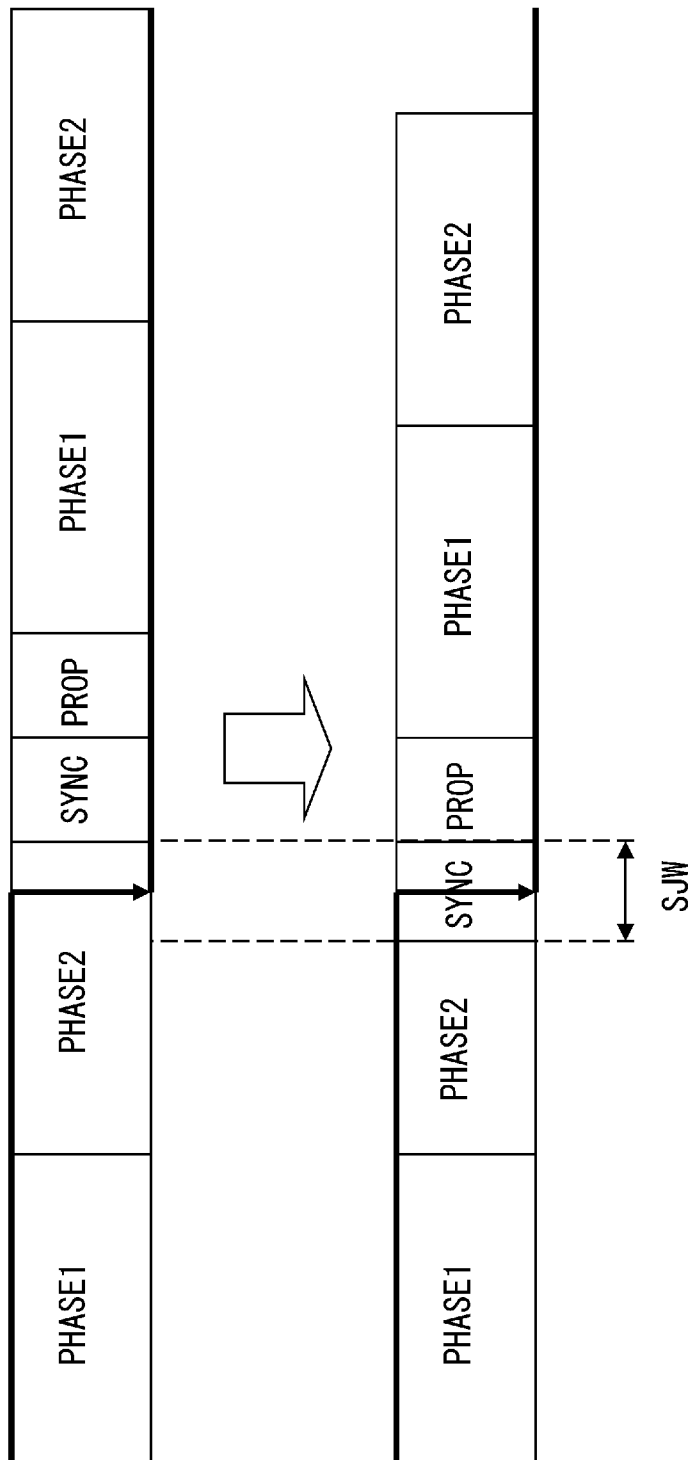
[図13]



[図14]



[図15]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001281

## A. CLASSIFICATION OF SUBJECT MATTER

H04L7/02(2006.01) i, H04L12/40(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L7/00-7/10, H04L12/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                            | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 5-56052 A (The Furukawa Electric Co., Ltd.),<br>05 March 1993 (05.03.1993),<br>entire text; all drawings<br>& US 5293571 A | 1-10                  |
| A         | JP 2010-124086 A (Daihatsu Motor Co., Ltd.),<br>03 June 2010 (03.06.2010),<br>entire text; all drawings<br>(Family: none)     | 1-10                  |

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
14 March, 2012 (14.03.12)Date of mailing of the international search report  
03 April, 2012 (03.04.12)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/001281

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                                                                                                                                                                                                                                                     | Relevant to claim No. |
|-----------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | <p>JP 6-236333 A (Robert Bosch GmbH),<br/>23 August 1994 (23.08.1994),<br/>entire text; all drawings</p> <p>&amp; US 5001642 A                      &amp; US 5303348 A<br/>&amp; US 5640511 A                      &amp; US 5901156 A<br/>&amp; US 5621888 A                      &amp; DE 3506118 A<br/>&amp; DE 3546662 C                      &amp; DE 3546664 A<br/>&amp; DE 3546683 C                      &amp; DE 3506118 A1<br/>&amp; FR 2578070 A                      &amp; AU 8305387 A</p> | 1-10                  |
| A         | <p>JP 6-319172 A (Honda Motor Co., Ltd.),<br/>15 November 1994 (15.11.1994),<br/>entire text; all drawings</p> <p>&amp; US 5454001 A                      &amp; EP 620665 A3<br/>&amp; DE 69426368 D                      &amp; DE 69426368 T<br/>&amp; CA 2119073 A                      &amp; CA 2119073 A1</p>                                                                                                                                                                                      | 1-10                  |

A. 発明の属する分野の分類（国際特許分類（I P C））  
Int.Cl. H04L7/02(2006.01)i, H04L12/40(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04L7/00-7/10, H04L12/40

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 2 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 2 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 2 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                            | 関連する<br>請求項の番号 |
|-----------------|--------------------------------------------------------------|----------------|
| A               | JP 5-56052 A（古河電気工業株式会社）1993.03.05, 全文, 全図<br>& US 5293571 A | 1-10           |
| A               | JP 2010-124086 A（ダイハツ工業株式会社）2010.06.03, 全文, 全図<br>(ファミリーなし)  | 1-10           |

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

|                                                              |                                                                    |
|--------------------------------------------------------------|--------------------------------------------------------------------|
| * 引用文献のカテゴリー                                                 | の日の後に公表された文献                                                       |
| 「A」特に関連のある文献ではなく、一般的技術水準を示すもの                                | 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの     |
| 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                        | 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                     |
| 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」口頭による開示、使用、展示等に言及する文献                                     | 「&」同一パテントファミリー文献                                                   |
| 「P」国際出願日前で、かつ優先権の主張の基礎となる出願                                  |                                                                    |

国際調査を完了した日  
1 4 . 0 3 . 2 0 1 2

国際調査報告の発送日  
0 3 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先  
日本国特許庁（I S A / J P）  
郵便番号 1 0 0 - 8 9 1 5  
東京都千代田区霞が関三丁目4番3号

|                              |     |         |
|------------------------------|-----|---------|
| 特許庁審査官（権限のある職員）              | 5 K | 3 3 6 3 |
| 白井 亮                         |     |         |
| 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 | 内線  | 3 5 5 6 |

| C (続き) . 関連すると認められる文献 |                                                                                                                                                                                                                                                                                      |                |
|-----------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                                                                                                    | 関連する<br>請求項の番号 |
| A                     | JP 6-236333 A (ローベルト ボツシュ ゲゼルシャフト ミット<br>ベシュレンクテル ハフツング) 1994. 08. 23, 全文, 全図<br>& US 5001642 A & US 5303348 A<br>& US 5640511 A & US 5901156 A<br>& US 5621888 A & DE 3506118 A<br>& DE 3546662 C & DE 3546664 A<br>& DE 3546683 C & DE 3506118 A1<br>& FR 2578070 A & AU 8305387 A | 1-10           |
| A                     | JP 6-319172 A (本田技研工業株式会社) 1994. 11. 15, 全文, 全図<br>& US 5454001 A & EP 620665 A3<br>& DE 69426368 D & DE 69426368 T<br>& CA 2119073 A & CA 2119073 A1                                                                                                                                | 1-10           |