

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年7月13日(13.07.2023)



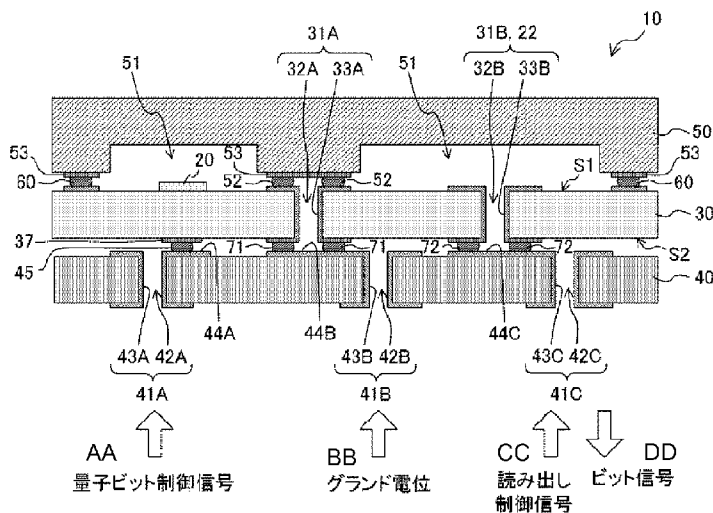
(10) 国際公開番号

WO 2023/132063 A1

- (51) 国際特許分類:
H01L 39/22 (2006.01) H01L 39/24 (2006.01)
H01L 39/02 (2006.01)
- (21) 国際出願番号: PCT/JP2022/000384
- (22) 国際出願日: 2022年1月7日(07.01.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者: 高橋 剛 (TAKAHASHI, Tsuyoshi); 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 中島 淳, 外 (NAKAJIMA, Jun et al.); 〒1600022 東京都新宿区新宿4丁目3番17号 H K 新宿ビル7階 太陽国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: QUANTUM COMPUTING DEVICE AND METHOD FOR MANUFACTURING QUANTUM COMPUTING DEVICE

(54) 発明の名称: 量子演算装置及び量子演算装置の製造方法



AA Qubit control signal
BB Ground potential
CC Readout control signal
DD Bit signal

(57) Abstract: A quantum computing device (10) comprises: a first substrate (30) having a through-hole (32A, 32B); a qubit element (20) formed on a first surface (S1) of the substrate (30); a cover (50) covering the first surface (S1) side of the first substrate (30); and a second substrate (40) provided on a second surface (S2) side of the first substrate (30) opposite the first surface (S1) side, and closing an opening end of the through-hole (32A, 32B) on the second surface (S2) side. A sealed space (51) surrounding the qubit element (20) and communicating with the through-hole (32A, 32B) is provided between the first surface (S1) and the cover (50).



WO 2023/132063 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

- (57) 要約: 量子演算装置 (10) は、貫通孔 (32A、32B) を有する第1の基板 (30) と、基板 (30) の第1の面 (S1) に形成された量子ビット素子 (20) と、第1の基板 (30) の第1の面 (S1) の側を覆うカバー (50) と、第1の基板 (30) の第1の面 (S1) の側とは反対側の第2の面 (S2) の側に設けられ、貫通孔 (32A、32B) の第2の面 (S2) の側の開口端を塞ぐ第2の基板 (40) と、を有する。第1の面 (S1) とカバー (50) の間に、量子ビット素子 (20) を囲い、貫通孔 (32A、32B) に連通する密閉空間 (51) を有する。

明 細 書

発明の名称：量子演算装置及び量子演算装置の製造方法

技術分野

[0001] 開示の技術は、量子演算装置及び量子演算装置の製造方法に関する。

背景技術

[0002] 量子演算装置に関する技術として、以下の技術が知られている。例えば、量子ビット素子が形成された基板に封鎖層を結合し、封鎖層と基板との間にシールされた真空のキャビティを形成する技術が知られている。

[0003] また、積層型量子コンピューティングデバイスにおいて、第1のチップが、超伝導キュビットを含み、1つまたは複数の配線層と、損失性誘電体と統合されたキュビット制御およびキュビット読み出し要素を含む第2のチップに結合されているものが知られている。

先行技術文献

特許文献

[0004] 特許文献1：特表2019-532520号公報

特許文献2：特表2020-511794号公報

発明の概要

発明が解決しようとする課題

[0005] 量子演算装置を構成する量子ビット素子 (Qubit) として、トランズモンを用いたものが知られている。トランズモンは、超伝導ジョセフソン素子とキャパシタとを並列に接続した構成を有し、非線形なエネルギーを利用して量子演算を行う。トランズモンは、極めて微少なエネルギーで動作するため、外界のノイズの影響を受けやすい。トランズモンにおいて量子演算を持続できる時間をコヒーレンス時間と呼ぶ。コヒーレンス時間はトランズモン周辺の状態の影響を敏感に受ける。例えば、トランズモンの周辺に酸化膜などの誘電体が存在する場合、誘電体損失によってコヒーレンス時間が短くなる。そのため、トランズモンの表面には保護膜等の絶縁膜を形成しないこ

とが一般的である。量子ビット素子を含んで構成される量子演算装置は、真空チャンバーの中で極低温に保たれるが、大気中で吸着したデコヒーレンスの要因となる吸着物はそのまま冷却されて残留する。量子ビット素子の表面に吸着した吸着物によってコヒーレンス時間が短縮されることから、量子ビット素子の表面を常に清浄な状態に保つ必要がある。

[0006] 開示の技術は、量子演算装置において、量子ビット素子の表面を清浄に保つことを目的とする。

課題を解決するための手段

[0007] 開示の技術に係る量子演算装置は、貫通孔を有する第1の基板と、前記基板の第1の面に形成された量子ビット素子と、前記第1の基板の前記第1の面の側を覆うカバーと、前記第1の基板の前記第1の面の側とは反対側の第2の面の側に設けられ、前記貫通孔の前記第2の面の側の開口端を塞ぐ第2の基板と、を有する。前記第1の面と前記カバーの間に、前記量子ビット素子を囲い、前記貫通孔に連通する密閉空間を有する。

発明の効果

[0008] 開示の技術によれば、量子演算装置において、量子ビット素子の表面を清浄に保つことが可能となる。

図面の簡単な説明

[0009] [図1]開示の技術の実施形態に係る量子演算装置の構成の一例を示す平面図である。

[図2]開示の技術の実施形態に係る量子ビット素子の回路構成の一例を示す図である。

[図3]開示の技術の実施形態に係る量子ビット素子間の接続構成の一例を示す図である。

[図4]開示の技術の実施形態に係る共振器の回路構成の一例を示す図である。

[図5]開示の技術の実施形態に係る量子演算装置の構成の一例を示す模式的な断面図である。

[図6]開示の技術の実施形態に係るカバーと第1の基板との接合部を形成する

シール部材の形態の一例を示す平面図である。

[図7]開示の技術の実施形態に係るシール部材及び導電パッドの形態の一例を示す平面図である。

[図8]開示の技術の実施形態に係る貫通ビア、シール部材、制御電極、バンプの第1の基板における配置の一例を示す平面図である。

[図9]開示の技術の実施形態に係る貫通ビア、導電パッド及びバンプの第2の基板における配置の一例を示す平面図である。

[図10]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図11]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図12]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図13]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図14]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図15]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図16]開示の技術の実施形態に係る量子演算装置の製造方法の一例を示す断面図である。

[図17]開示の技術の実施形態に係る量子演算装置の構成の一例を示す模式的な断面図である。

[図18]開示の技術の実施形態に係るカバーと第1の基板との接合部を形成するシール部材の形態の一例を示す平面図である。

[図19]開示の技術の実施形態に係る量子演算装置の構成の一例を示す模式的な断面図である。

[図20]開示の技術の実施形態に係るカバーと第1の基板との接合部を形成す

るシール部材の形態の一例を示す平面図である。

[図21]開示の技術の実施形態に係るビット間配線の経路上に設けられるキャパシタのパターンの一例を示す平面図である。

[図22]開示の技術の実施形態に係る量子演算装置の構成の一例を示す模式的な断面図である。

発明を実施するための形態

[0010] 以下、開示の技術の実施形態の一例を、図面を参照しつつ説明する。なお、各図面において同一または等価な構成要素及び部分には同一の参照符号を付与し、重複する説明は省略する。

[0011] [第1の実施形態]

図1は、開示の技術の実施形態に係る量子演算装置10の構成の一例を示す平面図である。量子演算装置10は、第1の基板30に設けられた量子ビット素子(Qubit)20、共振器21及び読み出し電極22を有する。

[0012] 量子ビット素子20は、超伝導を用いてコヒーレントな2準位系を形成する素子である。図2は、量子ビット素子20の回路構成の一例を示す図である。量子ビット素子20は、非線形なエネルギーを利用して量子演算を行うものであり、超伝導ジョセフソン素子201とキャパシタ202とを並列に接続したトランズモン量子ビット回路を含んで構成されている。超伝導ジョセフソン素子201は、所定の臨界温度以下の温度で超伝導を発現する一対の超伝導体と、一対の超伝導体の間に挟まれた厚さ数nm程度の極薄の絶縁体とを含んで構成されている。超伝導体は例えばアルミニウムであってもよく、絶縁体は、例えば酸化アルミニウムであってもよい。図3に示すように、量子演算装置10において、複数の量子ビット素子20が、隣接する他の量子ビット素子20にビット間配線24を介して接続されている。ビット間配線24の経路上には、キャパシタ23が設けられている。これにより、量子ビット素子20の各々は隣接する他の量子ビット素子20との間で量子もつれ状態を作り出して量子演算を行う。

[0013] 共振器21は、量子ビット素子20と相互作用することによって量子ビッ

ト素子20の状態を示すビット信号を読み出す。共振器21は、量子ビット素子20にキャパシタ（図示せず）を介して接続されている。図4は共振器21の回路構成の一例を示す図である。共振器21は、超伝導インダクタ211とキャパシタ212とを並列に接続した共振回路を含んで構成されている。読み出し電極22は、共振器21に接続され、共振器21によって読み出されたビット信号を外部に引き出すための電極である。

[0014] 図5は、量子演算装置10の構成の一例を示す模式的な断面図である。なお、図5において、共振器21（図1参照）の図示が省略されている。また、図4は、1つの量子ビット素子20の周辺の構成のみを抽出して示したものである。量子演算装置10は、第1の基板30、第2の基板40及びカバー50を積層した構成を有する。

[0015] 第1の基板30の第1の面S1には量子ビット素子20が搭載されている。量子ビット素子20の表面には、誘電体損失を引き起こす絶縁膜は設けられていない。図5において図示を省略した共振器21は、第1の基板30の第1の面S1に搭載され得る。第1の基板30には、貫通ビア31A、31Bが設けられている。貫通ビア31A、31Bは、それぞれ第1の基板30を貫通する貫通孔32A、32Bと、貫通孔32A、32Bの内壁を覆う導電膜33A、33Bとを含んで構成されている。導電膜33A、33Bは、第1の基板30の第1の面S1及び第1の面S2とは反対側の第2の面S2に延在する部分を有する。

[0016] 貫通ビア31Aは、第1の基板30及びカバー50にグランド電位を供給するために使用される。貫通ビア31Bは、読み出し電極22として機能する。第1の基板30の第2の面S2には、量子ビット素子20を制御するための量子ビット制御信号が供給される制御電極37が設けられている。制御電極37は、第1の面S1に搭載された量子ビット素子20の直下に配置されており、制御電極37に供給される量子ビット制御信号は、第1の基板30の基材を介して量子ビット素子20に伝送される。

[0017] 第1の基板30の基材として絶縁体又は半導体を用いることができ、例え

ばシリコンを好適に用いることができる。貫通ビア31A、31Bを構成する導電膜33A、33B及び制御電極37は、所定の温度以下の温度で超伝導を発現する金属によって構成されることが好ましい。そのような金属として、例えばNb（ニオブ）を好適に用いることができる。

[0018] カバー50は、第1の基板30の第1の面S1の側を覆っている。カバー50は、量子ビット素子20及び読み出し電極22の周囲に密閉空間51を形成する。カバー50の、量子ビット素子20及び読み出し電極22に対向する部位には、密閉空間51を形成するための凹部が形成されていてもよい。密閉空間51は、貫通孔32A、32Bに連通している。密閉空間51は真空であることが好ましい。密閉空間51が真空とされることで、量子ビット素子20の表面に誘電体損失を引き起こす保護膜を形成することなく量子ビット素子20への物質の吸着を抑制することができ、量子ビット素子20の表面を常に清浄な状態に保つことができる。なお、真空とは、完全な真空に限定されず、量子ビット素子20への物質の吸着を実質的に抑制する効果が発揮される程度の低圧状態を含む。

[0019] 図6は、カバー50と第1の基板30との接合部を形成するシール部材60の形態の一例を示す平面図である。カバー50は、量子ビット素子20及び読み出し電極22の外周を囲むリング状のシール部材60を介して第1の基板30に接合されている。カバー50が、リング状のシール部材60を介して第1の基板30に接合されることで、密閉空間51における密閉状態が実現される。

[0020] カバー50は導電体によって構成されることが好ましく、所定の温度以下の温度で超伝導を発現する金属によって構成されることが好ましい。カバー50を構成する材料として、例えばAl（アルミニウム）を好適に用いることができる。カバー50は、グランド電位が供給される貫通ビア31Aにバンプ52を介して接合されている。これにより、カバー50の電位をグランド電位に固定することができ、外部から到来するノイズ及び量子ビット素子20等から放射されるノイズを遮蔽することが可能となる。シール部材60

及びバンプ52は、所定の温度以下の温度で超伝導を発現する金属を含んで構成されることが好ましい。そのような金属として、例えばIn（インジウム）を好適に用いることができる。シール部材60及びバンプ52は、Nb（ニオブ）等の所定の温度以下の温度で超伝導を発現する金属を含んで構成される導電膜53介してカバー50に接合されている。なお、カバー50の材質として、絶縁体又は半導体の表面に超伝導を発現する金属膜を設けたものを使用することも可能である。

[0021] 第2の基板40は、第1の基板30の第2の面S2の側に設けられている。第2の基板40は、貫通ビア41A、41B、41Cと、これらの貫通ビアに接続された導電パッド44A、44B、44Cを有する。貫通ビア41A、41B、41Cはそれぞれ、第2の基板40を貫通する貫通孔42A、42B、42Cと、これらの貫通孔の内壁を覆う導電膜43A、43B、43Cとを含んで構成されている。

[0022] 導電パッド44Aは、バンプ45を介して制御電極37に接続されている。量子ビット制御信号は、第2の基板40の裏面（第1の基板30との接合面とは反対側の面）から入力され、貫通ビア41A、導電パッド44A及びバンプ45を介して制御電極37に供給される。

[0023] 導電パッド44Bは、シール部材71を介して第1の基板30の貫通ビア31Aに接続されている。グランド電位は、第2の基板40の裏面から入力され、貫通ビア41B、導電パッド44B、シール部材71及び貫通ビア31Aを介して第1の基板30に形成された各種要素及びカバー50に供給される。

[0024] 導電パッド44Cは、シール部材72を介して第1の基板30の貫通ビア31B（読み出し電極22）に接続されている。量子ビット素子20の状態を示すビット信号を読み出すための読み出し制御信号は、第2の基板40の裏面から入力され、貫通ビア41C、導電パッド44C及びシール部材72を介して貫通ビア31B（読み出し電極22）に供給される。量子ビット素子20から読み出されるビット信号は、読み出し制御信号の経路とは逆の経

路を辿って外部に取り出される。第2の基板40は、バンプ45及びシール部材71、72を介して第1の基板30に接合されている。

[0025] 図7は、シール部材71、72及び導電パッド44B、44Cの形態の一例を示す平面図である。シール部材71、72は、それぞれ、第1の基板30の貫通ビア31A、31Bを構成する貫通孔32A、32Bの第2の面S2の側における開口端の外周を囲むリング状の形状を有する。貫通電極31A、31Bが、それぞれシール部材71、72を介して導電パッド44B、44Cに接合されることで、貫通孔32A、32Bの第2の面S2における開口端が塞がれる。これにより貫通孔32A、32Bに連通する密閉空間51が完全密閉状態とされる。すなわち、密閉空間51において真空状態が維持される。

[0026] 第2の基板40の基材として絶縁体又は半導体を用いることができ、例えばシリコンを好適に用いることができる。シール部材71、72及びバンプ45、並びに、導電膜43A、43B、43C及び導電パッド44A、44B、44Cは、それぞれ、所定の温度以下の温度で超伝導を発現する金属を含んで構成されることが好ましい。シール部材71、72及びバンプ45を構成する金属として、例えばIn（インジウム）を好適に用いることができる。導電膜43A、43B、43C及び導電パッド44A、44B、44Cを構成する金属として、例えばNb（ニオブ）を好適に用いることができる。

[0027] 第2の基板40の材質は、絶縁体及び半導体であってもよい。第2の基板40の材質として例えば、シリコンを好適に用いることができる。シール部材71、72及びバンプ45は、所定の温度以下の温度で超伝導を発現する金属によって構成されることが好ましい。そのような金属として、例えばIn（インジウム）を好適に用いることができる。貫通ビア41A、41B、41Cを構成する導電膜43A、43B、43C及び導電パッド44A、44B、44Cは、所定の温度以下の温度で超伝導を発現する金属によって構成されることが好ましい。そのような金属として、例えばNb（ニオブ）を

好適に用いることができる。

[0028] 図8は、シール部材60と、貫通ビア31A、31B及びこれらに付随するシール部材71、72と、制御電極37及びこれに付随するバンプ45の第1の基板30における配置の一例を示す平面図である。図9は、貫通ビア41A、41B、41Cと、導電パッド44A、44B、44Cと、バンプ45の第2の基板40における配置の一例を示す平面図である。

[0029] 以下において、量子演算装置10の製造方法の一例を図10～図16を参照しつつ説明する。はじめに、第1の基板30を用意する。第1の基板30として例えばシリコン基板を用いることができる。次に、第1の基板30の表面にレジスト（図示せず）を形成し、このレジストをパターニングする。パターニングされたレジストをマスクとして、例えばディープRIE（Reactive Ion Etching）によって、第1の基板30に貫通孔32A、32Bを形成する（図10）。

[0030] 次に、スパッタ法により、第1の基板30の第1の面S及び第2の面S2に、Nb（ニオブ）等の所定の臨界温度以下の温度で超伝導を発現する金属からなる導電膜33を形成する。貫通孔32A、32Bの内壁も導電膜33で覆われる（図11）。

[0031] 次に、フォトリソグラフィ及びドライエッチングにより導電膜33をパターニングする。これにより貫通ビア31A、31B及び制御電極37が形成される。貫通ビア31Bは読み出し電極22として機能する。また、第1の基板30の第1の面S1に、Al等を用いて超伝導ジョセフソン素子を含む量子ビット素子20を形成する（図12）。

[0032] 次に、カバー50を用意する。カバー50は、例えば、Al（アルミニウム）等の所定の臨界温度以下の温度で超伝導を発現する金属によって構成されていることが好ましい。カバー50の、量子ビット素子20及び読み出し電極22に対向する部位には凹部が形成されていてもよい。カバー50の、量子ビット素子20及び読み出し電極22の外周を囲む部位に、導電膜53を介してリング状のシール部材60を形成する。また、カバー50の、貫通

ビア31Aに対応する部位に導電膜53を介してバンプ52を形成する。シール部材60及びバンプ52は、In（インジウム）等の所定の臨界温度以下の温度で超伝導を発現する金属によって構成されていることが好ましい。導電膜53は、Nb（ニオブ）等の所定の臨界温度以下の温度で超伝導を発現する金属によって構成されていることが好ましい（図13）。

[0033] 次に、カバー50と第1の基板30とを真空チャンバー（図示せず）内に収容する。その後、真空チャンバー内においてArイオンミリング等の表面処理により、シール部材60及びバンプ52の表面の酸化物を除去する。次に、真空チャンバー内において第1の基板30とカバー50とを密着させた状態で加熱する。加熱温度は、シール部材60及びバンプ52の融点に応じて定められる。シール部材60及びバンプ52が例えばIn（インジウム）によって構成されている場合、加熱温度は100℃以上150℃以下が好ましい。これによりシール部材60及びバンプ52が熔融し、第1の基板30とカバー50とが接合され、量子ビット素子20及び読み出し電極22の周囲に貫通孔32A、32Bに連通する密閉空間51が形成される。カバー50が、リング状のシール部材60を介して第1の基板30に接合されることで、密閉空間51における密閉状態が実現される（図14）。

[0034] 次に、第2の基板40を用意する。第2の基板40として例えばシリコン基板を用いることができる。次に、第2の基板40に貫通ビア41A、41B、41C及び導電パッド44A、44B、44Cを形成する。これらの形成手順は、第1の基板30における貫通ビア31A、31Bの形成手順と同様である。次に、導電パッド44Aの表面にバンプ45を形成する。更に、導電パッド44B、44Cの表面にシール部材71、72を形成する。シール部材71、72は、それぞれ、貫通孔32A、32Bの第2の面S2の側における開口端の外周を囲むリング状の形状を有する。シール部材71、72及びバンプ45は、In（インジウム）等の所定の臨界温度以下の温度で超伝導を発現する金属によって構成されていることが好ましい。（図15）

。

- [0035] 次に、カバー50と第1の基板30とを積層したものと、第2の基板40とを真空チャンバー内に收容する。その後、A rイオンリング等の表面処理により、シール部材71、72及びバンプ45の表面の酸化物を除去する。次に、真空チャンバー内において貫通孔32A、32Bから密閉空間51内にベーパーHFガス等の表面処理ガスを導入して、量子ビット素子20の表面の酸化物等を除去する。これにより、量子ビット素子20にダメージを与えることなく量子ビット素子20の表面が清浄化される。
- [0036] 次に、真空チャンバー内において第1の基板30と第2の基板40とを密着させた状態で加熱する。加熱温度は、シール部材71、72及びバンプ45の融点に応じて定められる。シール部材71、72及びバンプ45が例えばIn（インジウム）によって構成される場合、加熱温度は100℃以上150℃以下が好ましい。これによりシール部材71、72及びバンプ45が溶融し、第1の基板30と第2の基板40とが接合される。貫通電極31A、31Bが、それぞれシール部材71、72を介して、導電パッド44B、44Cに接合されることで、貫通孔32A、32Bの第2の面S2における開口端が塞がれる。これにより貫通孔32A、32Bに連通する密閉空間51が完全密閉状態とされる。すなわち、密閉空間51において真空状態が維持される（図16）。
- [0037] 以上のように、量子演算装置10は、第1の面S1に量子ビット素子20が搭載された第1の基板30と、第1の基板30の第1の面S1の側を覆うカバー50と、第1の基板30の第2の面S2の側に設けられた第2の基板40とを有する。第1の基板30は、貫通孔32A、32B及び導電膜33A、33Bを含む貫通ビア31A、31Bを有する。カバー50は、量子ビット素子20の周囲に貫通孔32A、32Bに連通する密閉空間51を形成する。貫通孔32A、32Bの第2の面S2における開口端は、第2の基板40によって塞がれる。開示の技術に係る量子演算装置10によれば、密閉空間51が密閉状態に保たれるので、量子ビット素子20の表面を清浄に保つことが可能となる。すなわち、量子ビット素子20の表面への物質の吸着

を抑制することができ、吸着物に起因するコヒーレンス時間の短縮を回避することができる。

[0038] また、第2の基板40は、貫通孔32A、32Bの開口端の外周を囲むリング状のシール部材71、72を介して第1の基板30に接合されており、カバー50は、密閉空間51を囲むリング状のシール部材60を介して第1の基板30に接合されている。これにより、密閉空間51を完全密状態とすることができ、真空状態に維持することができる。これにより、量子ビット素子20の表面への物質の吸着をほぼ完全に防止することができる。

[0039] 第2の基板40は、第1の基板30に設けられた貫通ビア31A、31Bに電氣的に接続された導電パッド44A、44B、44Cと、これらの導電パッドに電氣的に接続された貫通ビア41A、41B、41Cを有する。このように第2の基板40を再配線層として利用することで、配線及び量子ビット素子20を高密度に集積することができ、量子演算装置10の小型化に寄与することができる。

[0040] なお、上記の実施形態において、所定の臨界温度以下の温度で超伝導を発現する金属として、Al（アルミニウム）、Nb（ニオブ）及びIn（インジウム）を例示したが、NbN（窒化ニオブ）、Ta（タンタル）、Ta₂N（窒化タンタル）、TiN（窒化チタン）等の金属を用いることも可能である。

[0041] [第2の実施形態]

図17は、開示の技術の第2の実施形態に係る量子演算装置10Aの構成の一例を示す模式的な断面図である。なお、図17において、共振器21及び読み出し電極22の図示が省略されている。また、図17は、1つの量子ビット素子20の周辺の構成のみを抽出して示したものである。

[0042] 量子演算装置10Aは、第1の実施形態に係る量子演算装置10と同様、第1の基板30、第2の基板40及びカバー50が積層された構成を有する。カバー50は、量子ビット素子20の周囲に密閉空間51を形成しつつ第1の基板30の第1の面S1の側を覆っている。第2の基板40は、第1の

基板30の第2の面S2の側に設けられ、第1の基板30に設けられている貫通ビア31P、31Q、31R、31Sを構成する貫通孔の各々の第2の面S2の側の開口端を塞いでいる。図17には、図示されていないが、第1の基板30の第1の面S1には、複数の量子ビット素子20が搭載されている。密閉空間51は、量子ビット素子20毎に互いに隔てられて形成されている。

[0043] 図18は、カバー50と第1の基板30との接合部を形成するシール部材60の形態の一例を示す平面図である。カバー50は、量子ビット素子20毎に、これらの外周を囲むリング状のシール部材60を介して第1の基板30に接合されている。カバー50が、リング状のシール部材60を介して第1の基板30に接合されることで、密閉空間51における密閉状態が実現される。量子ビット素子20毎に設けられる密閉空間51は、シール部材60によって互いに隔てられている。

[0044] 第1の基板30の第1の面S1に搭載されている複数の量子ビット素子20の各々は、ビット間配線24を介して隣接する他の量子ビット素子20に接続されている。本実施形態に係る量子演算装置10Aにおいては、ビット間配線24の一部は第1の基板30に設けられ、ビット間配線24の他の一部は第2の基板40に設けられている。図18には、ビット間配線24の第1の基板30に設けられた部分が示されている。図17及び図18に示すように、ビット間配線24の、シール部材60と交差する部分が第2の基板40に設けられており、ビット間配線24のそれ以外の部分が第1の基板30の第1の面S1に設けられている。すなわち、ビット間配線24は、シール部材60と交差する部分において第2の基板40に迂回している。ビット間配線24の第1の基板30に設けられた部分（以下、第1の部分という）と第2の基板40に設けられた部分（第2の部分）は、貫通ビア31P、31Q、31R、31Sを介して互いに接続されている。

[0045] 図17に示す破線矢印は、量子ビット素子20から隣接する他の量子ビット素子（図示せず）に向かうビット信号の経路を示している。例えば、量子

ビット素子20から出力されるビット信号は、ビット間配線24の第1の部分、貫通ビア31P、ビット間配線24の第2の部分、貫通ビア31Q及びビット間配線24の第1の部分を経由して隣接する他の量子ビット素子（図示せず）に伝送される。

[0046] 本実施形態に係る量子演算装置10によれば、密閉空間51が、量子ビット素子20毎に互いに隔てられて形成されている。これにより、1つの密閉空間51において真空状態が維持できなくなった場合でも、他の密閉空間51を真空状態に維持することが可能となる。すなわち、複数の量子ビット素子20を一体的に真空封止する場合と比較して、真空が破れた場合の影響を小さくすることができる。

[0047] 一方で、複数の量子ビット素子20の各々の外周を囲むシール部材60を設ける場合、ビット間配線24を、シール部材60と接触しないように配置する必要がある。本実施形態に係る量子演算装置10Aによれば、ビット間配線24の、シール部材60と交差する部分が第2の基板40に迂回しているので、ビット間配線24とシール部材60との接触が回避される。

[0048] [第3の実施形態]

図19は、開示の技術の第3の実施形態に係る量子演算装置10Bの構成の一例を示す模式的な断面図である。なお、図19において、共振器21及び読み出し電極22の図示が省略されている。また、図19は、1つの量子ビット素子20の周辺の構成のみを抽出して示したものである。図20は、カバー50と第1の基板30との接合部を形成するシール部材60の形態の一例を示す平面図である。本実施形態に係る量子演算装置10Bは、ビット間配線24の全ての部分が第1の基板30に設けられている点が上記した第2の実施形態に係る量子演算装置10Aと異なる。本実施形態に係る量子演算装置10Bにおいて、シール部材60とビット間配線24との交差部に、シール部材60とビット間配線24とを隔てる絶縁体80が設けられている。すなわち、シール部材60とビット間配線24との間に絶縁体80が挟まれることによって、シール部材60とビット間配線24との接触が回避され

る。本実施形態に係る量子演算装置 10B によれば、ビット間配線 24 を第 2 の基板 40 に迂回させるための貫通ビアが不要となる。

[0049] 図 21 は、ビット間配線 24 の経路上に設けられるキャパシタ 23 のパターンの一例を示す平面図である。キャパシタ 23 は、図 21 に例示するように、櫛歯型のパターンを有していてもよい。シール部材 60 とビット間配線 24 との交差部に設けられる絶縁体 80 は、キャパシタ 23 と重なる位置に設けられていてもよい。これにより、絶縁体 80 による寄生容量をキャパシタ 23 に取り込むことができ、設計を容易にすることが可能となる。なお、キャパシタ 23 をシール部材 60 で囲まれた領域の外側に配置して、互いに隣接する 2 つの量子ビット素子 20 に対して 1 つのキャパシタ 23 を設ける構成としてもよい。

[0050] [第 4 の実施形態]

図 22 は、開示の技術の第 4 の実施形態に係る量子演算装置 10C の構成の一例を示す模式的な断面図である。第 4 の実施形態に係る量子演算装置 10C は、カバー 50、第 1 の基板 30 及び第 2 の基板 40 をそれぞれ含む構造体 90A 及び 90B が積層された構成を有する。構造体 90A 及び 90B は、それぞれ、上記した第 1 の実施形態に係る量子演算装置 10 と同様の構成を有する。構造体 90A 及び 90B は、各々のカバー 50 同士を接合することで積層されている。量子演算装置 10C の最上層及び最下層に、それぞれ、第 2 の基板 40 が配置される。

[0051] 本実施形態に係る量子演算装置 10C によれば、量子ビット素子 20 を高密度に集積することが可能となる。また、最上層及び最下層に第 2 の基板 40 が配置されるので、量子ビット素子 20 にアクセスするための配線を 2 方向に引き出すことができ、量子ビット素子 20 への 2 方向からのアクセスが可能となる。

符号の説明

[0052] 10、10A、10B、10C 量子演算装置
20 量子ビット素子

- 23 キャパシタ
- 24 ビット間配線
- 30 第1の基板
- 31 A、31 B、31 C、31 P、31 Q、31 R 貫通ビア
- 32 A、32 B 貫通孔
- 33 A、33 B 導電膜
- 41 A、41 B、41 C 貫通ビア
- 44 A、44 B、44 C 導電パッド
- 50 カバー
- 60、71、72 シール部材
- 80 絶縁体
- 90 A、90 B 構造体

請求の範囲

- [請求項1] 貫通孔を有する第1の基板と、
前記基板の第1の面に形成された量子ビット素子と、
前記第1の基板の前記第1の面の側を覆うカバーと、
前記第1の基板の前記第1の面の側とは反対側の第2の面の側に設けられ、前記貫通孔の前記第2の面の側の開口端を塞ぐ第2の基板と、
、
を有し、前記第1の面と前記カバーの間に、前記量子ビット素子を囲い、前記貫通孔に連通する密閉空間を有する
量子演算装置。
- [請求項2] 前記第2の基板は、前記開口端の外周を囲むリング状のシール部材を介して前記第1の基板の前記第2の面に接合されている
請求項1に記載の量子演算装置。
- [請求項3] 前記カバーは、前記密閉空間を囲むリング状のシール部材を介して前記第1の基板の前記第1の面に接合されている
請求項1又は請求項2に記載の量子演算装置。
- [請求項4] 前記密閉空間は真空である
請求項1から請求項3のいずれか1項に記載の量子演算装置。
- [請求項5] 前記第1の基板は、前記貫通孔及び前記貫通孔の内壁を覆う導電膜を含む貫通ビアを有し、
前記第2の基板は、前記貫通ビアに電氣的に接続された導電パッドと、前記導電パッドに電氣的に接続された貫通ビアを有する
請求項1から請求項4のいずれか1項に記載の量子演算装置。
- [請求項6] 前記第1の基板の前記第1の面には、前記量子ビット素子が複数形成されており、
前記密閉空間が、前記複数の量子ビット素子毎に互いに隔てられて形成されている
請求項1から請求項5のいずれか1項に記載の量子演算装置。

- [請求項7] 隣接する量子ビット素子対同士を接続するビット間配線の少なくとも一部が、前記第2の基板に設けられている
請求項6に記載の量子演算装置。
- [請求項8] 前記カバーが前記密閉空間の各々を囲むリング状のシール部材を介して前記第1の基板の前記第1の面に接合され、
前記ビット間配線の、前記密閉空間の各々を囲むリング状のシール部材と交差する部分が前記第2の基板に設けられている
請求項7に記載の量子演算装置。
- [請求項9] 隣接する量子ビット素子対同士を接続するビット間配線が、前記第1の基板の前記第1の面に設けられており、
前記カバーは、前記密閉空間の各々を囲むリング状のシール部材を介して前記第1の基板の前記第1の面に接合され、
前記シール部材と前記ビット間配線との交差部に、前記シール部材と前記ビット間配線とを隔てる絶縁体が設けられている
請求項6に記載の量子演算装置。
- [請求項10] 前記ビット間配線の経路上に設けられたキャパシタを含み、
前記交差部及び前記絶縁体は、前記キャパシタと重なる位置に設けられている
請求項9に記載の量子演算装置。
- [請求項11] 前記カバー、前記第1の基板及び前記第2の基板をそれぞれ含む複数の構造体が積層された
請求項1から請求項10のいずれか1項に記載の量子演算装置。
- [請求項12] 前記開口端の外周を囲むリング状のシール部材は、超伝導を発現する金属を含んで構成されている
請求項2に記載の量子演算装置。
- [請求項13] 前記導電膜及び前記導電パッドは、超伝導を発現する金属を含んで構成されている
請求項5に記載の量子演算装置。

- [請求項14] 第1の基板に貫通孔を形成する工程と、
前記第1の基板の第1の面に量子ビット素子を形成する工程と、
前記第1の基板の前記第1の面の側を覆うカバーを、前記第1の基板の前記第1の面に接合する工程と、
前記第1の基板の前記第1の面とは反対側の第2の面に、前記貫通孔の前記第2の面の側の開口端を塞ぐ第2の基板を接合する工程と、
を含み、
前記カバーを前記第1の面に接合する工程において、前記第1の面と前記カバーの間に、前記量子ビット素子を囲い、前記貫通孔に連通する密閉空間が形成されることを特徴とする量子演算装置の製造方法。
- [請求項15] 前記開口端の外周を囲むリング状のシール部材を介して前記第1の基板の前記第2の面に前記第2の基板を接合する
請求項14に記載の製造方法。
- [請求項16] 前記密閉空間を囲むリング状のシール部材を介して前記第1の基板の前記第1の面に前記カバーを接合する
請求項14又は請求項15に記載の製造方法。
- [請求項17] 前記カバーを前記第1の基板に接合する工程及び前記第2の基板を前記第1の基板に接合する工程を、真空中で行う
請求項14から請求項16のいずれか1項に記載の製造方法。
- [請求項18] 前記カバーを前記第1の基板に接合する工程の後であり且つ前記第2の基板を前記第1の基板に接合する工程の前に、前記貫通孔の前記開口端からガスを導入することによって、前記量子ビット素子の表面を清浄化する工程を更に含む
請求項14から請求項17のいずれか1項に記載の製造方法。
- [請求項19] 前記カバーを前記第1の基板に接合する工程の前に、前記密閉空間を囲むリング状のシール部材の表面の酸化物を除去する工程を更に含む

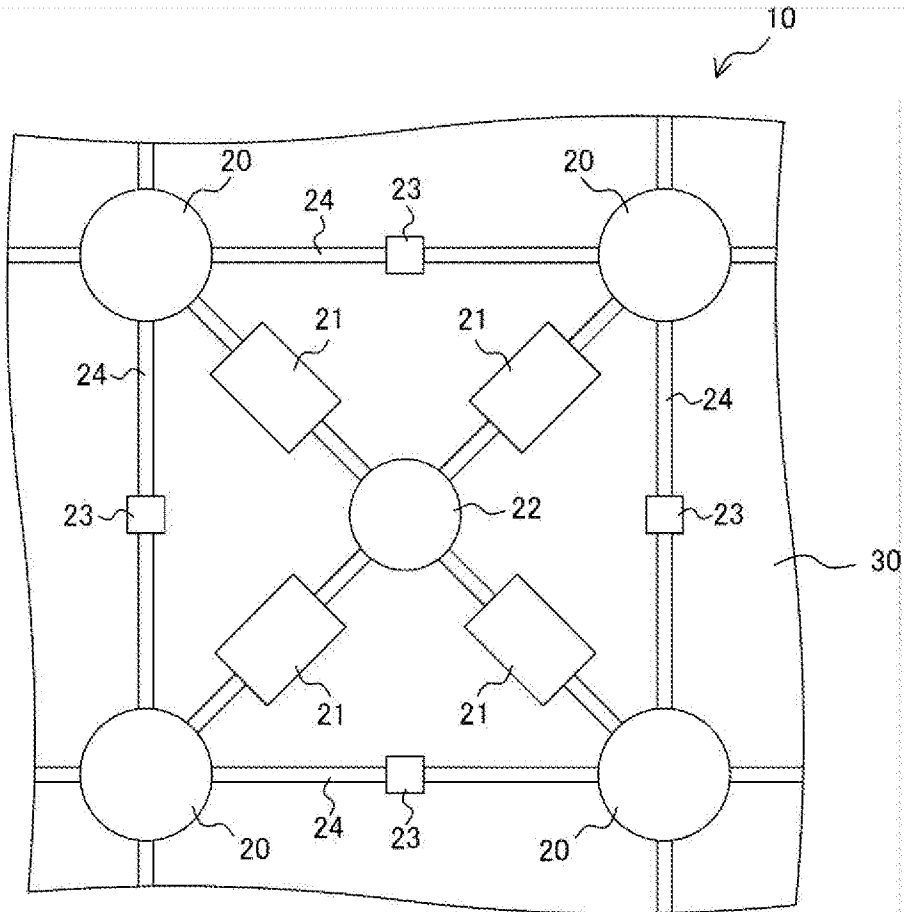
請求項 1 6 に記載の製造方法。

[請求項20]

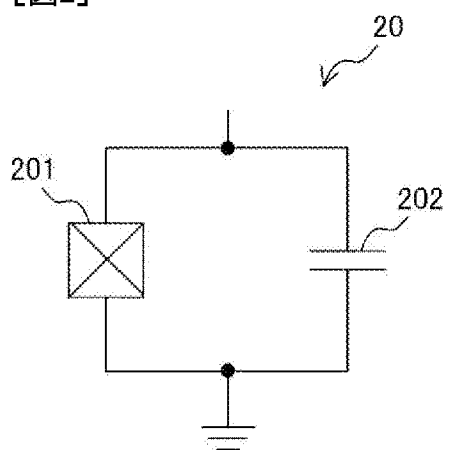
前記第 2 の基板を前記第 1 の基板に接合する工程の前に、前記開口端の外周を囲むリング状のシール部材の表面の酸化物を除去する工程を更に含む

請求項 1 5 に記載の製造方法。

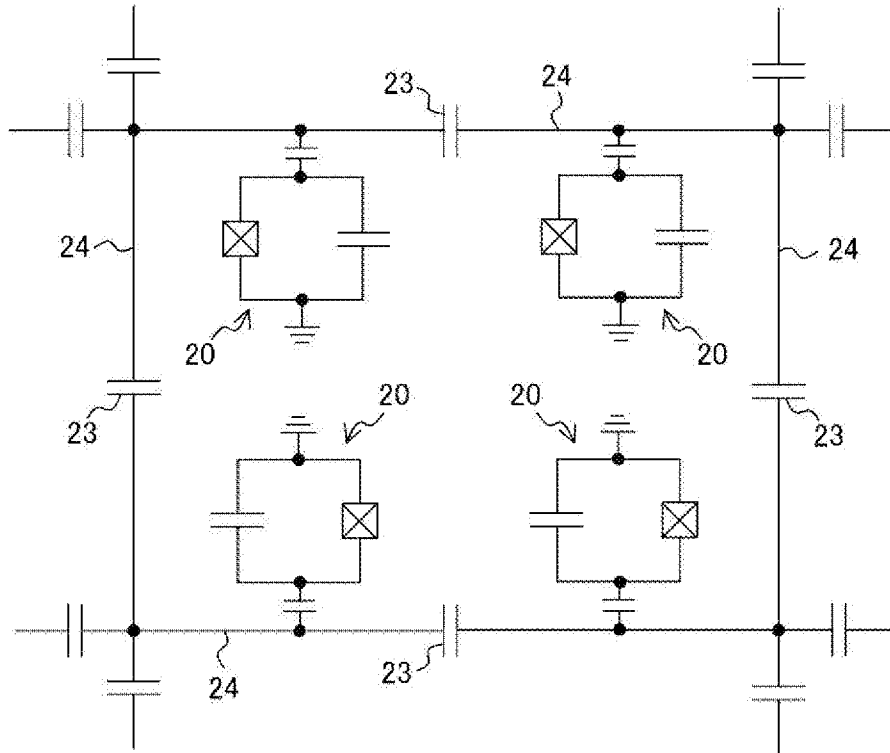
[図1]



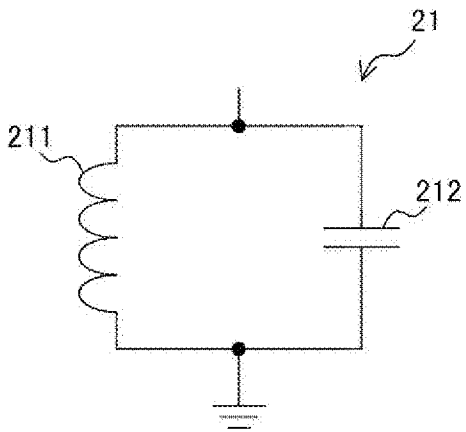
[図2]



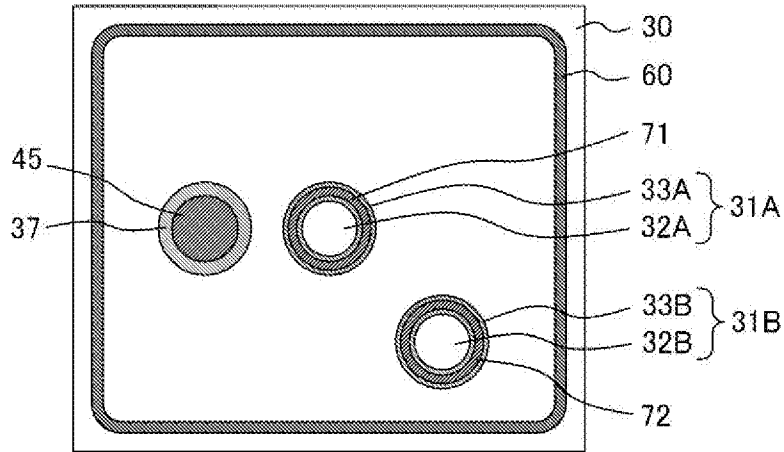
[図3]



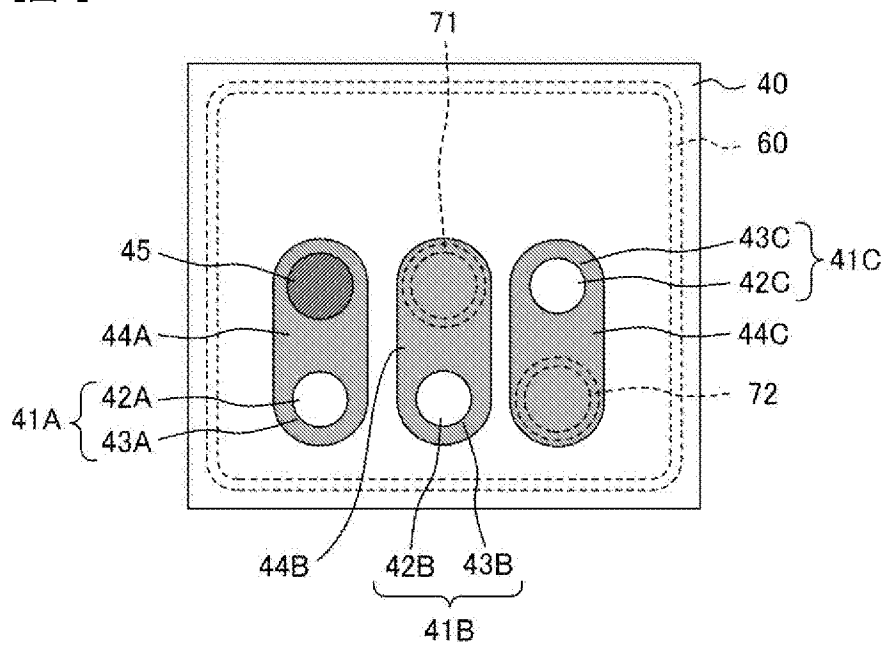
[図4]



[図8]



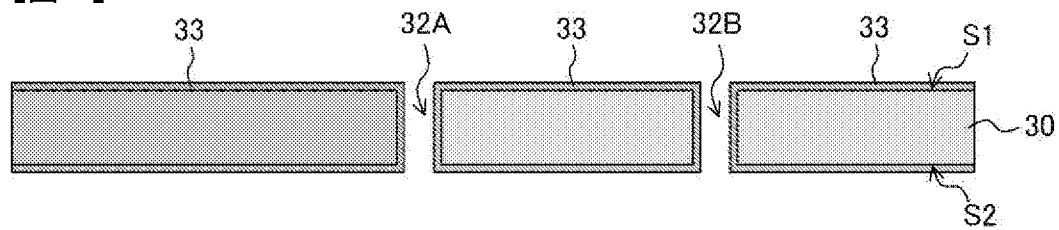
[図9]



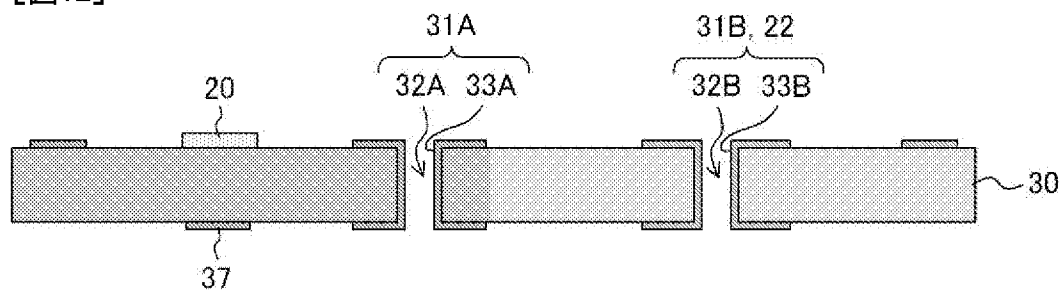
[図10]



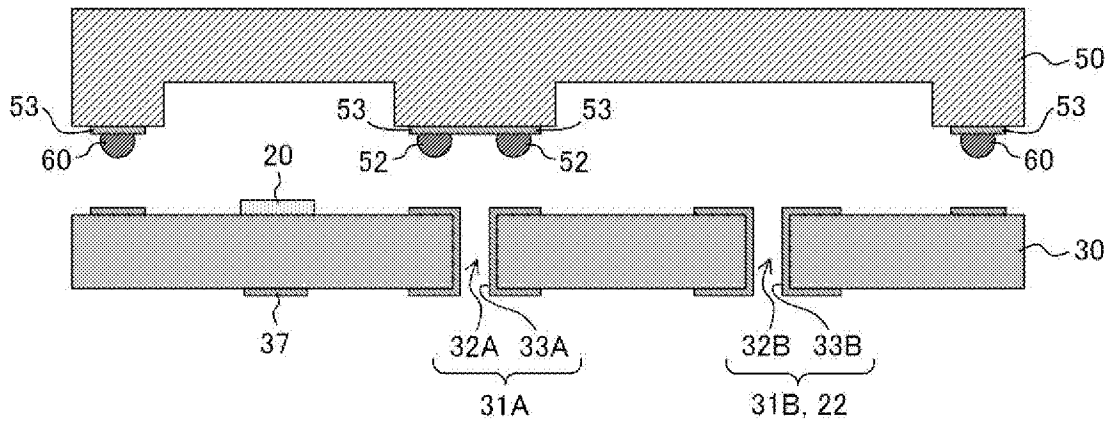
[図11]



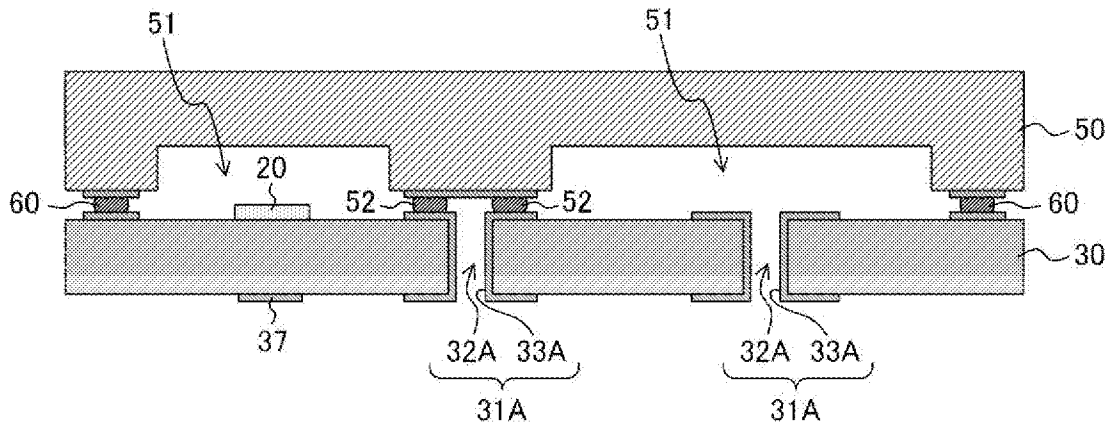
[図12]



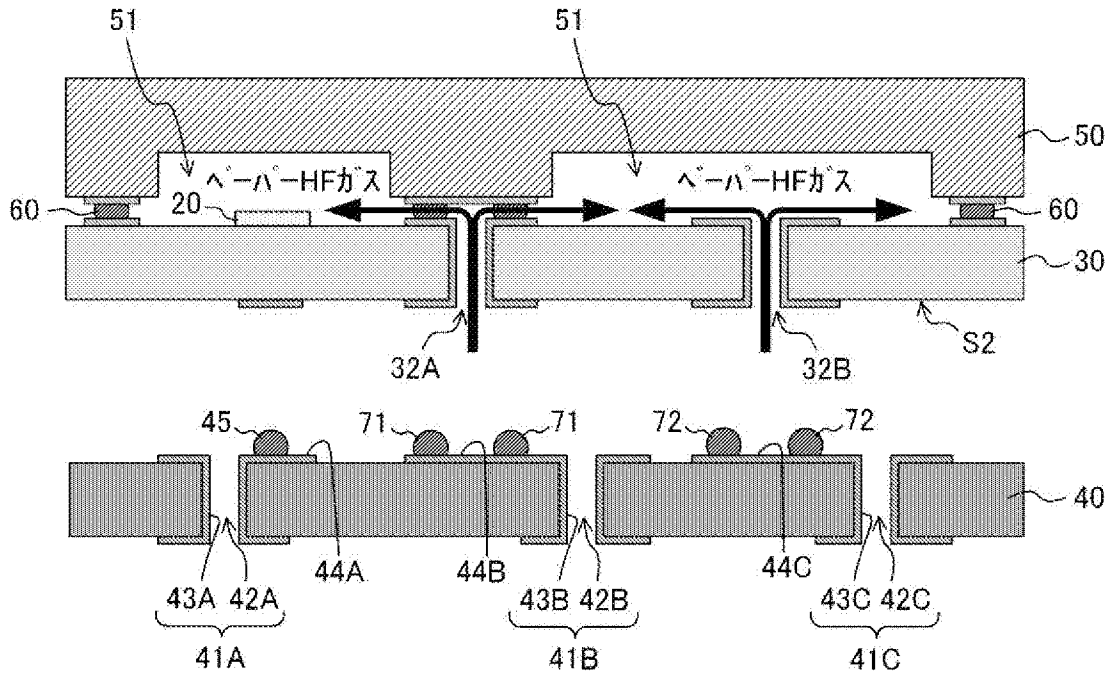
[図13]



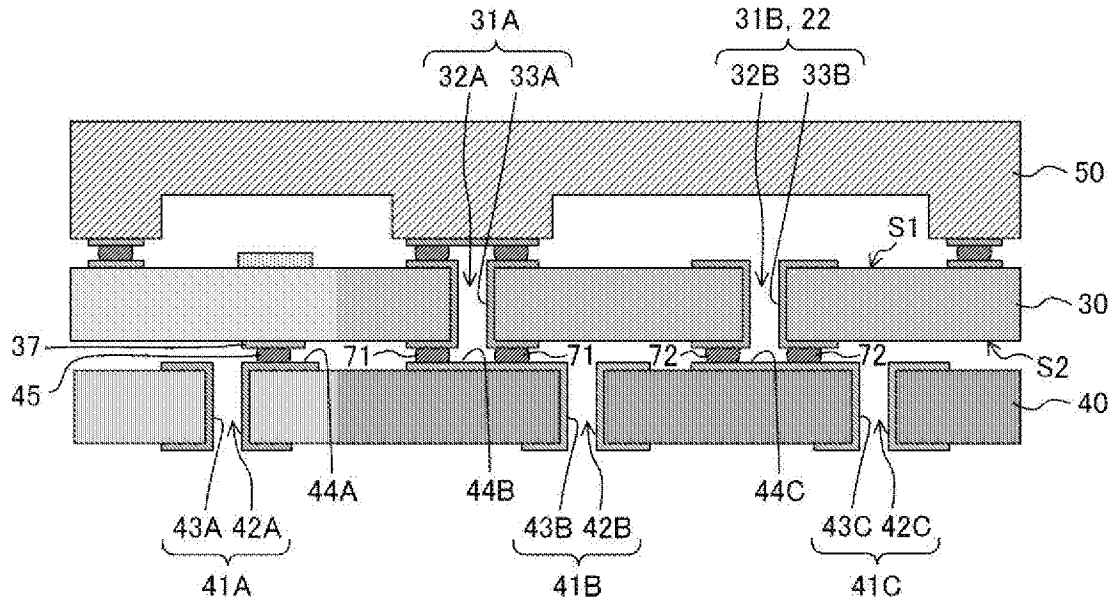
[図14]



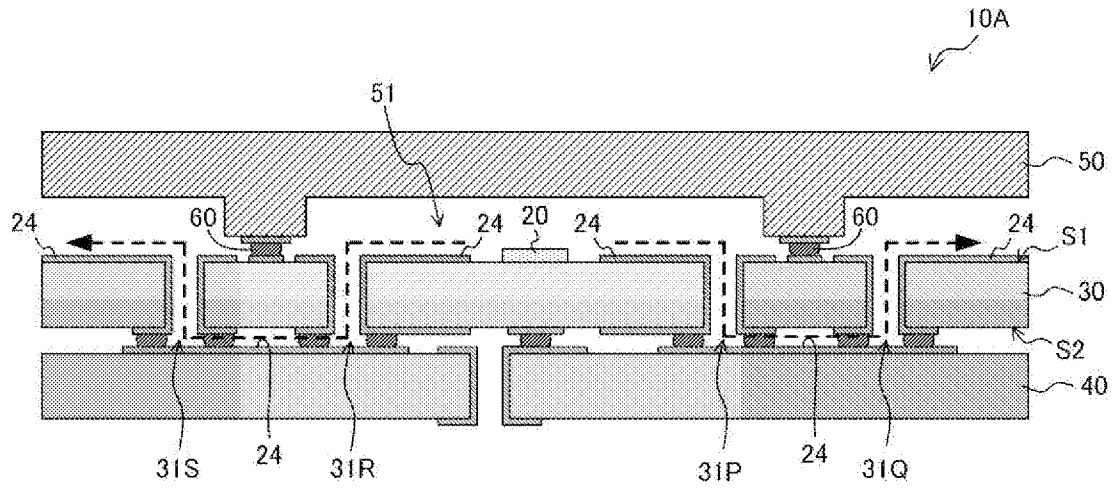
[図15]



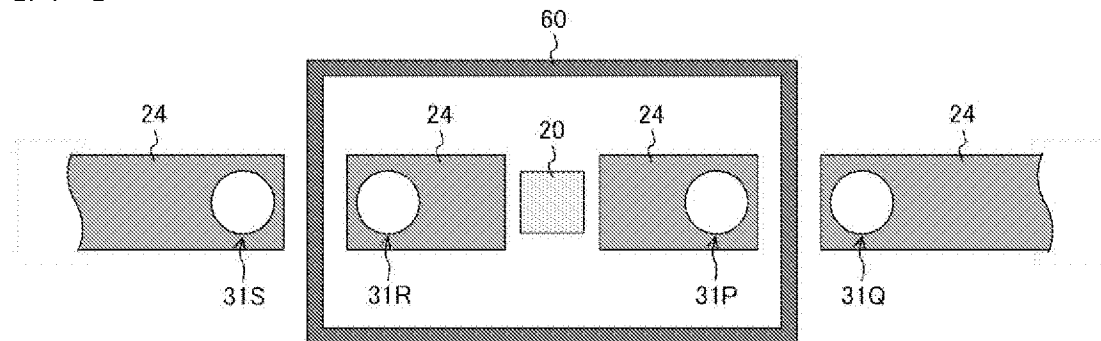
[図16]



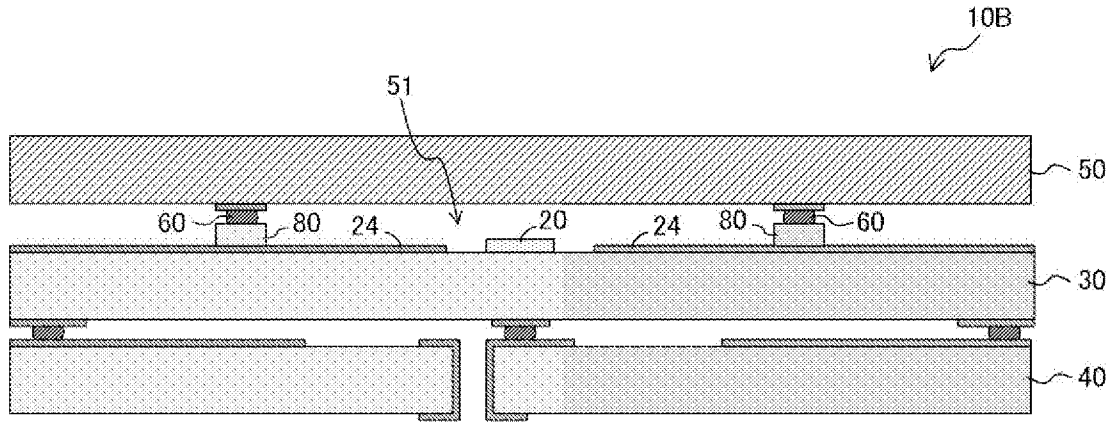
[図17]



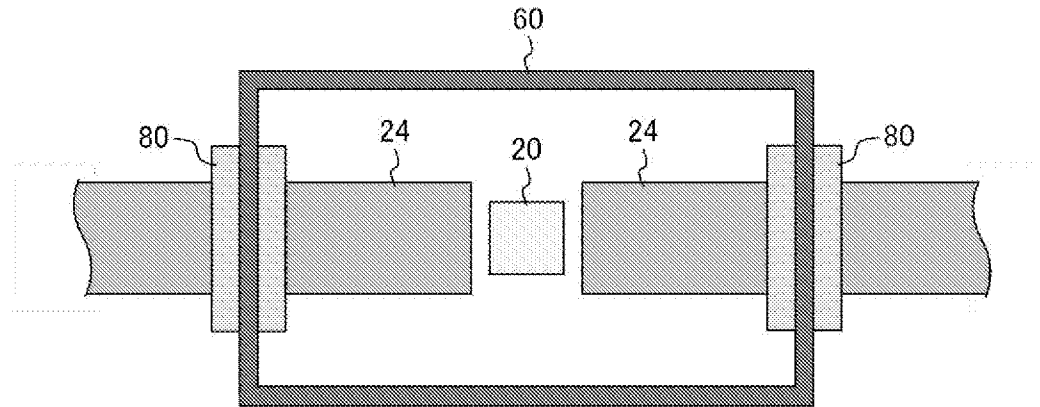
[図18]



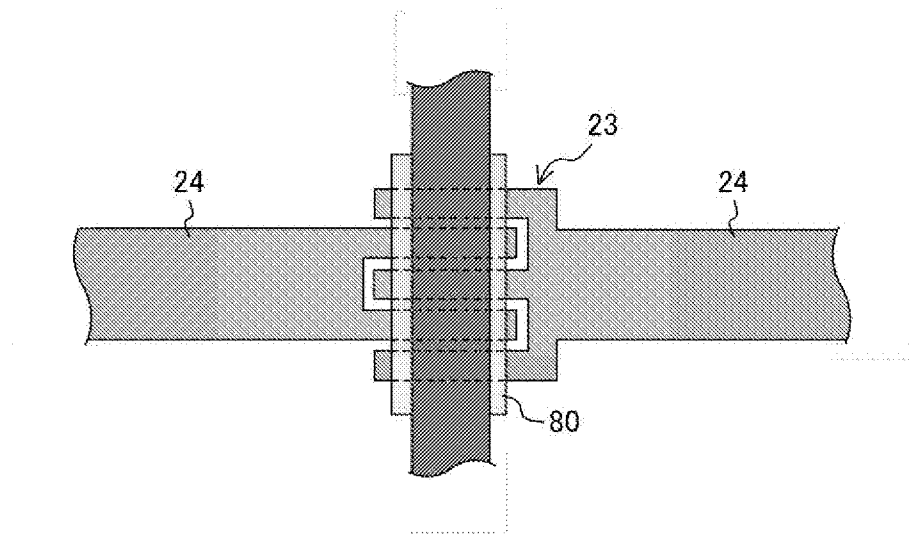
[図19]



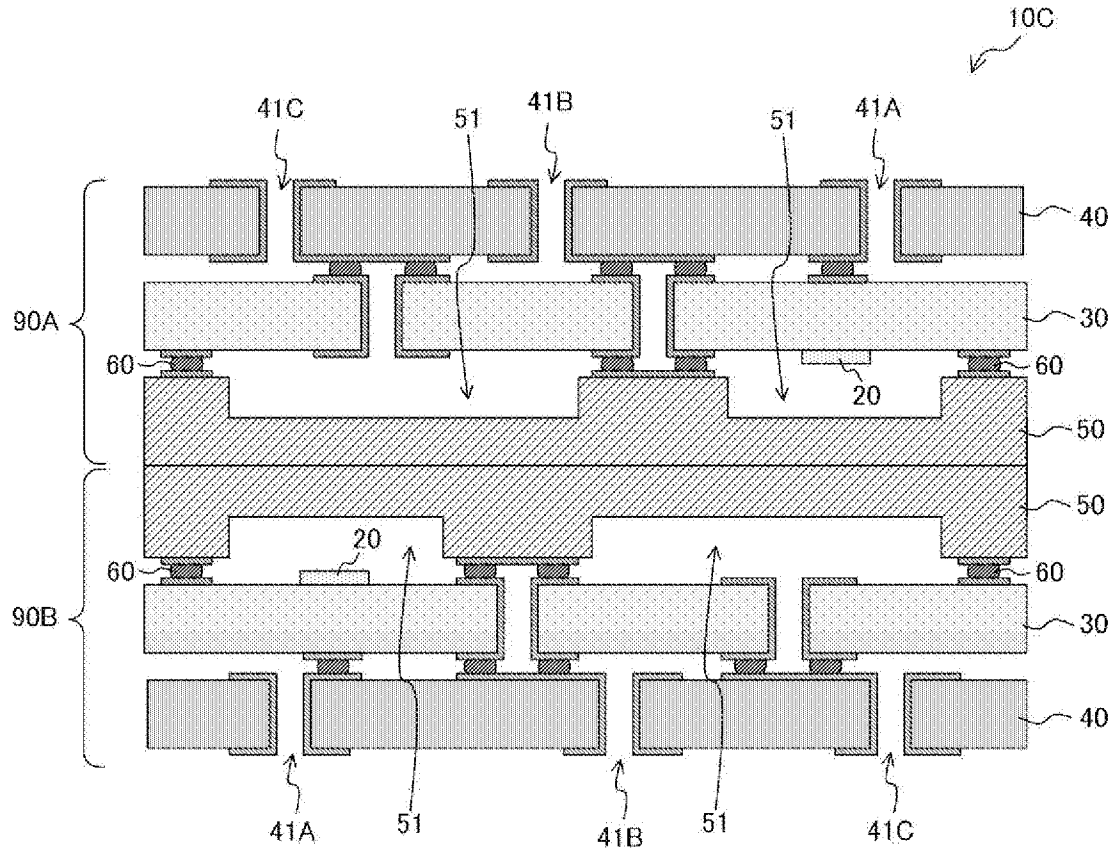
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/000384

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 39/22</i> (2006.01)i; <i>H01L 39/02</i> (2006.01)i; <i>H01L 39/24</i> (2006.01)i FI: H01L39/22 A; H01L39/02 W; H01L39/24 W		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L39/22; H01L39/02; H01L39/24; H01L23/12; H05K3/46		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2018/0013052 A1 (OLIVER et al.) 11 January 2018 (2018-01-11) entire text, all drawings	1-20
A	JP 2021-72351 A (NEC CORP.) 06 May 2021 (2021-05-06) entire text, all drawings	1-20
A	JP 2019-532505 A (GOOGLE LLC) 07 November 2019 (2019-11-07) entire text, all drawings	1-20
A	JP 11-177157 A (AGCY. OF IND. SCIENCE & TECHNOL.) 02 July 1999 (1999-07-02) entire text, all drawings	1-20
A	JP 4-338683 A (FUJITSU LTD.) 25 November 1992 (1992-11-25) entire text, all drawings	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 17 March 2022		Date of mailing of the international search report 05 April 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/000384

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2018/0013052	A1	11 January 2018	WO 2017/015432 A1 entire text, all drawings	
JP	2021-72351	A	06 May 2021	(Family: none)	
JP	2019-532505	A	07 November 2019	US 2019/0229094 A1 entire text, all drawings	
				WO 2018/052399 A1	
				EP 3513434 A1	
				CA 3036054 A1	
				KR 10-2019-0045362 A	
				CN 109891591 A	
JP	11-177157	A	02 July 1999	(Family: none)	
JP	4-338683	A	25 November 1992	(Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 39/22(2006.01)i; H01L 39/02(2006.01)i; H01L 39/24(2006.01)i FI: H01L39/22 A; H01L39/02 W; H01L39/24 W</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC）） H01L39/22; H01L39/02; H01L39/24; H01L23/12; H05K3/46</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2022年																			
日本国実用新案登録公報	1996 - 2022年																			
日本国登録実用新案公報	1994 - 2022年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>US 2018/0013052 A1 (OLIVER et al.) 11.01.2018 (2018-01-11) 全文、全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2021-72351 A (日本電気株式会社) 06.05.2021 (2021-05-06) 全文、全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2019-532505 A (グーグル エルエルシー) 07.11.2019 (2019-11-07) 全文、全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 11-177157 A (工業技術院長) 02.07.1999 (1999-07-02) 全文、全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 4-338683 A (富士通株式会社) 25.11.1992 (1992-11-25) 全文、全図</td> <td>1-20</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	US 2018/0013052 A1 (OLIVER et al.) 11.01.2018 (2018-01-11) 全文、全図	1-20	A	JP 2021-72351 A (日本電気株式会社) 06.05.2021 (2021-05-06) 全文、全図	1-20	A	JP 2019-532505 A (グーグル エルエルシー) 07.11.2019 (2019-11-07) 全文、全図	1-20	A	JP 11-177157 A (工業技術院長) 02.07.1999 (1999-07-02) 全文、全図	1-20	A	JP 4-338683 A (富士通株式会社) 25.11.1992 (1992-11-25) 全文、全図	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
A	US 2018/0013052 A1 (OLIVER et al.) 11.01.2018 (2018-01-11) 全文、全図	1-20																		
A	JP 2021-72351 A (日本電気株式会社) 06.05.2021 (2021-05-06) 全文、全図	1-20																		
A	JP 2019-532505 A (グーグル エルエルシー) 07.11.2019 (2019-11-07) 全文、全図	1-20																		
A	JP 11-177157 A (工業技術院長) 02.07.1999 (1999-07-02) 全文、全図	1-20																		
A	JP 4-338683 A (富士通株式会社) 25.11.1992 (1992-11-25) 全文、全図	1-20																		
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																				
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献							
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																			
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																			
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																			
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献																			
"O" 口頭による開示、使用、展示等に言及する文献																				
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																				
<p>国際調査を完了した日</p> <p>17.03.2022</p>	<p>国際調査報告の発送日</p> <p>05.04.2022</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>上田 智志 5F 3664</p> <p>電話番号 03-3581-1101 内線 3514</p>																			

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/000384

引用文献			公表日	パテントファミリー文献			公表日
US	2018/0013052	A1	11.01.2018	WO	2017/015432	A1	
				全文、全図			
JP	2021-72351	A	06.05.2021	(ファミリーなし)			
JP	2019-532505	A	07.11.2019	US	2019/0229094	A1	
				全文、全図			
				WO	2018/052399	A1	
				EP	3513434	A1	
				CA	3036054	A1	
				KR	10-2019-0045362	A	
				CN	109891591	A	
JP	11-177157	A	02.07.1999	(ファミリーなし)			
JP	4-338683	A	25.11.1992	(ファミリーなし)			