

(43) 国際公開日
2006 年 3 月 30 日 (30.03.2006)

PCT

(10) 国際公開番号
WO 2006/033298 A1(51) 国際特許分類:
H03K 19/0175 (2006.01) H03K 17/30 (2006.01)
H03K 5/08 (2006.01)

(21) 国際出願番号: PCT/JP2005/017136

(22) 国際出願日: 2005 年 9 月 16 日 (16.09.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-277889 2004 年 9 月 24 日 (24.09.2004) JP(71) 出願人 (米国を除く全ての指定国について): ローム
株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都
府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

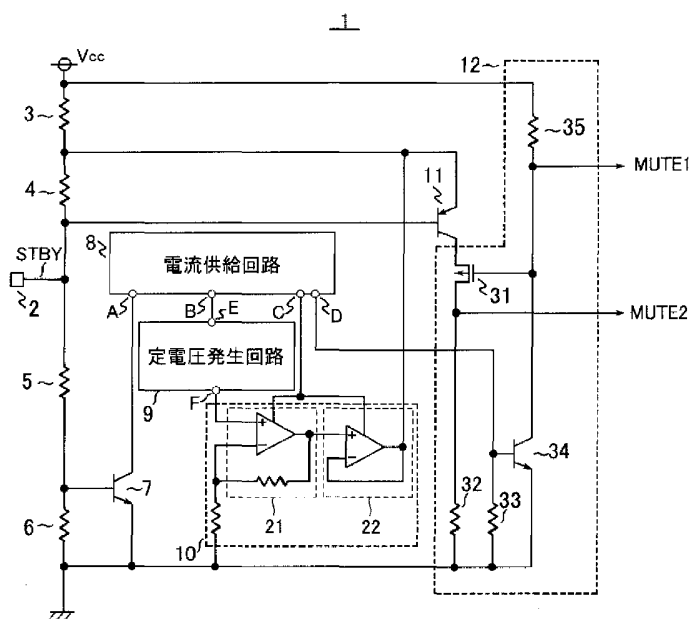
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 藤村 高志 (FU-
JIMURA, Takashi) [JP/JP]; 〒6158585 京都府京都市
右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto
(JP).(74) 代理人: 深見 久郎, 外 (FUKAMI, Hisao et al.); 〒
5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中
之島セントラルタワー 2 2 階 深見特許事務所 Osaka
(JP).(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX,
MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,

[続葉有]

(54) Title: INPUT CIRCUIT

(54) 発明の名称: 入力回路



8... CURRENT SUPPLY CIRCUIT

9... CONSTANT VOLTAGE GENERATION CIRCUIT

on/off of two switching transistors (7, 11).

(57) Abstract: An input circuit capable of judging a three-valued external signal without requiring troublesome voltage regulation while reducing power consumption when on standby. The input circuit comprises four resistor elements (3-6) connected in series between different fixed potentials, an input terminal (2) connected with the junction of two resistor elements (4, 5), a switching transistor (7) being turned on/off by the voltage at the junction of two resistor elements (5, 6), a current supply circuit (8) outputting a supply current when the switching transistor (7) is turned on but not outputting the supply current when it is turned off, a constant voltage generation circuit (9) outputting a constant voltage by receiving the supply current, a constant voltage output buffer circuit (10) for bringing the output into high impedance state when the switching transistor (7) is turned off and outputting a predetermined voltage to the junction of two resistor elements (3, 4) by receiving the constant voltage when the switching transistor (7) is turned on, a switching transistor (11) being turned on/off by the voltage across the resistor element (4), and a combination circuit (12) outputting a judgment signal based on the combination of

(57) 要約: 煩雑な電圧調整をすることなく 3 値の外部信号を判別することができ、かつ、スタンバイ状態における消費電力を低減することが可能な入力回路を提供する。入力回路は、異なる固定電位間に直列に設けられた 4 個の抵抗素子 (3 ~ 6) と、2 個の抵抗素子

[続葉有]

WO 2006/033298 A1



SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

子(4, 5)の接続点に接続される入力端子(2)と、2個の抵抗素子(5, 6)の接続点の電圧によりオン・オフされるスイッチングトランジスタ(7)と、スイッチングトランジスタ(7)がオンのとき供給電流を出力し、オフのとき出力しない電流供給回路(8)と、供給電流を受けて定電圧を出力する定電圧発生回路(9)と、スイッチングトランジスタ(7)がオフのとき出力をハイインピーダンス状態とし、オンのとき定電圧を受けて2個の抵抗素子(3, 4)の接続点に所定電圧を出力する定電圧出力バッファ回路(10)と、抵抗素子(4)の両端間の電圧によりオン・オフされるスイッチングトランジスタ(11)と、2個のスイッチングトランジスタ(7, 11)のオン・オフの組み合わせに基づいて判別信号を出力する組み合わせ回路(12)とを備える。

明 細 書

入力回路

技術分野

[0001] 本発明は、入力回路、特に半導体集積装置に好適な入力回路に関する。

背景技術

[0002] 半導体集積装置における入力回路は、ハイレベルおよびローレベルの2値の外部信号を判別するものが一般的である。また、半導体装置の端子数を減少させてパッケージコストを低減するなどを図るものとして、ハイレベル、中間レベルおよびローレベルの3値の外部信号を判別できるようにした入力回路も存在する(たとえば特開平6-104664号公報(特許文献1))。

[0003] 図3は、特開平6-104664号公報(特許文献1)記載の入力回路の概略構成を示す回路図である。同図を参照して、入力回路101は、コンパレータ103と、コンパレータ104と、組み合わせ回路105とを備える。

[0004] コンパレータ103およびコンパレータ104は、入力端子102からの外部信号INをそれぞれの比較基準電圧VREF1およびVREF2と比較する。

[0005] 組み合わせ回路105は、コンパレータ103および104の出力に基づいて判別信号OUT1およびOUT2を出力する。

[0006] 比較基準電圧VREF1は比較基準電圧VREF2よりも電圧値が低い。外部信号INの電圧が比較基準電圧VREF1よりも低ければ判別信号OUT1がハイレベルとなり、かつ、判別信号OUT2がローレベルとなる。外部信号INの電圧が比較基準電圧VREF1およびVREF2の間に有れば判別信号OUT1がローレベルとなり、かつ、判別信号OUT2がハイレベルとなる。外部信号INの電圧が比較基準電圧VREF2よりも高ければ判別信号OUT1がローレベルとなり、かつ、判別信号OUT2がローレベルとなる。このような構成により、入力回路101は、ハイレベル、中間レベルおよびローレベルの3値を有する外部信号INを判別することができる。

特許文献1:特開平6-104664号公報

発明の開示

発明が解決しようとする課題

- [0007] ところで、入力回路101では、外部信号INを判別するために比較基準電圧VREF1およびVREF2に合うように、外部信号INを出力する制御装置(図示せず)の中間レベル出力電圧を調整するか、または、制御装置の中間レベル出力電圧に合うように比較基準電圧VREF1およびVREF2を調整する必要がある。更には、入力回路101を含む半導体集積装置と制御装置との電源電圧が異なる場合も多く、このような場合には、電圧調整は極めて煩雑になり、更には困難になる場合もある。
- [0008] また、多くの半導体集積装置では、半導体集積装置が動作していない場合の消費電力を低減させるためにスタンバイ状態となる機能を有し、スタンバイ状態への遷移またはスタンバイ状態からの復帰を表わすスタンバイ信号を入力して判別するスタンバイ信号入力回路が設けられる。ここで、入力回路101をスタンバイ信号入力回路に用いた場合には、スタンバイ状態においてもコンパレータ103および104を動作させておく必要があるため、比較的大きな電力を消費してしまう。
- [0009] 本発明は、係る事由に鑑みてなされたものであり、その目的は、煩雑な電圧調整することなく3値の外部信号を判別することができ、かつ、スタンバイ状態における消費電力を低減することが可能な入力回路を提供することにある。

課題を解決するための手段

- [0010] 上記課題を解決するために、この発明のある局面に係わる入力回路は、第1の固定電位、および第1の固定電位より低い第2の固定電位の間に直列に設けられた第1～第4の抵抗素子と、第2の抵抗素子および第3の抵抗素子の接続点に接続され、入力信号が入力される入力端子と、第3の抵抗素子および第4の抵抗素子の接続点の電圧によりオン・オフ制御される第1のスイッチングトランジスタと、第1のスイッチングトランジスタがオンのとき供給電流を出力し、オフのとき供給電流を出力しない電流供給回路と、電流供給回路から供給電流を受けて定電圧を出力する定電圧発生回路と、第1のスイッチングトランジスタがオフのとき出力をハイインピーダンス状態とし、オンのとき定電圧発生回路の定電圧を受けて第1の抵抗素子および第2の抵抗素子の接続点に所定の電圧を出力する定電圧出力バッファ回路と、第2の抵抗素子の両端間の電圧によりオン・オフ制御される第2のスイッチングトランジスタと、第1のスイッ

チングトランジスタおよび第2のスイッチングトランジスタのオン・オフの組み合わせに基づいて複数の判別信号を出力する組み合わせ回路とを備える。

- [0011] 好ましくは、電流供給回路は、第1のスイッチングトランジスタがオンのとき定電圧出力バッファ回路に供給電流を出力し、定電圧出力バッファ回路は、電流供給回路が供給電流を出力しない場合には出力をハイインピーダンス状態とし、電流供給回路が供給電流を出力する場合には定電圧発生回路の定電圧を受けて第1の抵抗素子および第2の抵抗素子の接続点に所定の電圧を出力する。
- [0012] 好ましくは、定電圧出力バッファ回路は、定電圧発生回路から受けた定電圧を増幅する増幅回路と、増幅回路の出力電圧を低い出力インピーダンスで出力する電圧フォロア回路とを含む。
- [0013] 好ましくは、入力端子にローレベルが入力されると、第1のスイッチングトランジスタがオフし、入力端子がハイインピーダンス状態であると、第1のスイッチングトランジスタがオンすると共に第2のスイッチングトランジスタがオンし、入力端子にハイレベルが入力されると、第1のスイッチングトランジスタがオンすると共に第2のスイッチングトランジスタがオフする。

発明の効果

- [0014] 本発明に係る入力回路は、入力端子にハイレベルおよびローレベルに加えてハイインピーダンス状態を有する3値の信号を入力して判別できるようにしたので、煩雑な電圧調整が必要とならず、また、入力される外部信号が所定値の場合に回路内の電流量が抑制されるのでスタンバイ状態における消費電力を低減することができる。

図面の簡単な説明

- [0015] [図1]本発明の実施の形態に係る入力回路1の回路図である。
- [図2]本発明の実施の形態に係る入力回路1における電流供給回路8および定電圧発生回路9の回路図である。
- [図3]特開平6-104664号公報(特許文献1)記載の入力回路の概略構成を示す回路図である。

符号の説明

- [0016] 1, 101 入力回路、2 入力端子(スタンバイ入力端子)、3 第1の抵抗素子、4

第2の抵抗素子、5 第3の抵抗素子、6 第4の抵抗素子、7 第1のスイッチングトランジスタ、8 電流供給回路、9 定電圧発生回路、10 定電圧出力バッファ回路、11 第2のスイッチングトランジスタ、12, 105 組み合わせ回路、21 増幅回路、22 電圧フォロア回路、31, 34, 42～48, 53, 54, 56 トランジスタ、32～33, 35, 41, 51～52 抵抗、103, 104 コンパレータ。

発明を実施するための最良の形態

[0017] 以下、本発明の最良の実施形態を図面を参照しながら説明する。図1は、本発明の実施の形態に係る入力回路1の回路図である。

[0018] 同図を参照して、入力回路1は、スタンバイ入力端子2と、抵抗素子3～6(第1～第4の抵抗素子)と、NPN型のスイッチングトランジスタ(第1のスイッチングトランジスタ)7と、電流供給回路8と、定電圧発生回路9と、定電圧出力バッファ回路10と、PNP型のスイッチングトランジスタ(第2のスイッチングトランジスタ)11と、組み合わせ回路12とを備える。定電圧出力バッファ回路10は、増幅回路21と、電圧フォロア回路22を含む。組み合わせ回路12は、PMOS(P-channel Metal Oxide Semiconductor)型のトランジスタ31と、抵抗32～33と、NPN型のトランジスタ34と、抵抗35を含む。

[0019] 入力回路1は、入力端子としてスタンバイ信号STBYが入力されるスタンバイ入力端子2を有し、スタンバイ信号STBYの3値、すなわちハイレベルおよびローレベルに加え、ハイインピーダンス状態、言い換えるとスタンバイ信号STBYを出力する制御装置(図示せず)が無信号を出力した状態を判別して判別信号MUTE1およびMUTE2を出力する。判別信号MUTE1およびMUTE2は後続の機能回路(図示せず)に入力され、たとえば判別信号MUTE1がハイレベルならば機能回路全体がスタンバイ状態となり、判別信号MUTE2がハイレベルならば機能回路の一部だけがスタンバイ状態となり、判別信号MUTE1およびMUTE2が共にローレベルならば機能回路が通常の動作を行なう。なお、機能回路に対する判別信号MUTE1およびMUTE2の作用は機能回路の種類に応じて任意に設定可能である。

[0020] 詳しくは、たとえば5Vである電源電圧VCC(第1の固定電位)と接地電位(第2の固定電位)との間には抵抗素子3～6が直列に設けられる。なお、電源電圧VCCを電

源電圧とは異なる固定電位とし、かつ、接地電位をこの固定電位より低い固定電位とする構成であってもよい。抵抗素子4および抵抗素子5の接続点にスタンバイ入力端子2が接続される。スタンバイ時の電源電圧VCCから接地電位へ流れる電流量を抑制するため、抵抗素子3～6の抵抗値は高く設定されている。また、抵抗素子4の抵抗値はスタンバイ信号STBYがハイインピーダンス状態のときスイッチングトランジスタ11がオンし、スタンバイ信号STBYがハイレベルのときオフするように決められる。抵抗素子5および抵抗素子6の接続点にはNPN型のスイッチングトランジスタ7のベース(制御端)が接続される。スイッチングトランジスタ7は、エミッタ(一端)が接地され、抵抗素子5および抵抗素子6の接続点の電圧によりオン・オフ制御される。すなわち、スイッチングトランジスタ7は、抵抗素子5および抵抗素子6の接続点の電圧が順バイアス電圧(Vf)よりも低ければオフし、高ければオンする。

[0021] スwitchングトランジスタ7のコレクタ(他端)には電流供給回路8の入力端子である端子Aが接続される。電流供給回路8は、出力端子である端子B～Dから供給電流を出力する。その詳細は後述するが、電流供給回路8は、スイッチングトランジスタ7がオンのとき端子B～Dから供給電流を出力し、オフならば供給電流を出力しない。電流供給回路8の端子Bには定電圧発生回路9の入力端子である端子Eが接続される。定電圧発生回路9は、端子Bおよび端子Eを介して電流供給回路8から電流が供給されると、定電圧(たとえば1.28V)を発生して出力端子である端子Fから出力する。定電圧発生回路9の端子Fには定電圧出力バッファ回路10が接続される。

[0022] 定電圧出力バッファ回路10において、増幅回路21は、定電圧発生回路9から受けた定電圧を増幅する。電圧フォロア回路22は、増幅回路21の出力電圧を低い出力インピーダンスで出力する。増幅回路21は、具体的には、オペアンプの非反転入力端子に定電圧発生回路9からの定電圧が入力され、反転入力端子に増幅用の抵抗を接続した非反転型の増幅回路である。

[0023] 定電圧出力バッファ回路10は、電流供給回路8の端子Cから電源電流が供給される場合、定電圧発生回路9から受けた定電圧に基づいて抵抗素子3および抵抗素子4の接続点に所定の電圧(たとえば3.3V)を出力する。定電圧出力バッファ回路10は、電流供給回路8から電源電流が供給されない場合、すなわちスイッチングトラン

ジスタ7がオフの場合、出力をハイインピーダンス状態とする。なお、定電圧出力バッファ回路10は、電流供給回路8から電流が供給される構成に限らず、スイッチングトランジスタ7のオン・オフに基づいて所定の電圧を出力するか、または出力をハイインピーダンス状態とするかを切り替える構成であればよい。

[0024] 定電圧出力バッファ回路10の出力には、抵抗素子3および抵抗素子4の接続点が接続されると共に、PNP型のスイッチングトランジスタ11のエミッタ(一端)が接続される。スイッチングトランジスタ11のベース(制御端)は抵抗素子4および抵抗素子5の接続点に接続される。スイッチングトランジスタ11は、抵抗素子4の両端間の電圧によりオン・オフ制御される。すなわち、スイッチングトランジスタ11は、抵抗素子4の両端間の電圧が順バイアス電圧(V_f)よりも低ければオフし、高ければオンする。

[0025] スwitchングトランジスタ11のコレクタ(他端)には組み合わせ回路12が接続される。具体的には、スイッチングトランジスタ11のコレクタにはPMOS型のトランジスタ31のソースが接続される。トランジスタ31のドレインには他端が接地された抵抗32の一端が接続され、その接続点の信号が判別信号MUTE2になる。電流供給回路8の端子Dには他端が接地された抵抗33の一端とNPN型のトランジスタ34のベースが接続される。トランジスタ34は、エミッタが接地され、電流供給回路8から電流が供給されるとオンし、供給されないとオフする。トランジスタ34のコレクタには他端が電源電圧VCCに接続された抵抗35の一端が接続され、トランジスタ34のコレクタおよび抵抗35の接続点の信号が判別信号MUTE1になる。また、トランジスタ34のコレクタおよび抵抗35の接続点に前述のトランジスタ31のゲートが接続される。

[0026] 組み合わせ回路12は、この回路構成により、スイッチングトランジスタ7およびスイッチングトランジスタ11のオン・オフの組み合わせに基づいて複数の、この例では2個の判別信号を出力する論理を実現する。すなわち、スイッチングトランジスタ7がオフならば、電流供給回路8の端子Dから電流が供給されないのでトランジスタ34はオフし、判別信号MUTE1はハイレベルになる。また、トランジスタ31がオフするので、判別信号MUTE2はローレベルになる。一方、スイッチングトランジスタ7がオンならば、電流供給回路8の端子Dから電流が供給されてトランジスタ34はオンし、判別信号MUTE1はローレベルになる。また、トランジスタ31がオンするので、トランジスタ11が

オンならば判別信号MUTE2はハイレベルになり、トランジスタ11がオフならば判別信号MUTE2はローレベルになる。なお、これと同様な論理を実現するのに他の様々な回路構成も可能である。たとえば、トランジスタ34のゲートに電流供給回路8から電流が供給される代わりにトランジスタ34のゲートをスイッチングトランジスタ7のゲートと共通にすることも可能である。

[0027] 次に、入力回路1の全体の動作について説明する。スタンバイ入力端子2にローレベル(たとえば1.0V以下)のスタンバイ信号STBYが入力されると、スタンバイ信号STBYの電圧は抵抗素子5および抵抗素子6により分割され、抵抗素子5および抵抗素子6の接続点の電圧はスイッチングトランジスタ7の順バイアス電圧(V_f)よりも低くなり、スイッチングトランジスタ7はオフする。したがって、判別信号MUTE1はハイレベルになり、判別信号MUTE2はローレベルになり、前述したように、後続の機能回路全体がスタンバイ状態となる。また、電流供給回路8は端子B～Dから供給電流を出力せず、定電圧出力バッファ回路10は出力をハイインピーダンス状態とするため、スタンバイ時の消費電流を低減することができる。

[0028] スタンバイ入力端子2がハイインピーダンス状態になると、電源電圧VCCが抵抗素子3～6により分割され、抵抗素子5および抵抗素子6の接続点の電圧はスイッチングトランジスタ7の順バイアス電圧(V_f)よりも高くなり、スイッチングトランジスタ7はオンする。また、抵抗素子4の両端間の電圧がスイッチングトランジスタ11の順バイアス電圧(V_f)よりも高くなり、スイッチングトランジスタ11はオンする。したがって、判別信号MUTE1はローレベルになり、判別信号MUTE2はハイレベルになる。

[0029] スタンバイ入力端子2にハイレベル(たとえば2.8V以上)のスタンバイ信号STBYが入力されると、スタンバイ入力端子2の電圧は抵抗素子5および抵抗素子6により分割され、抵抗素子5および抵抗素子6の接続点の電圧はスイッチングトランジスタ7の順バイアス電圧(V_f)よりも高くなり、スイッチングトランジスタ7はオンする。また、抵抗素子4の両端間の電圧がスイッチングトランジスタ11の順バイアス電圧(V_f)よりも低くなり、スイッチングトランジスタ11はオフする。したがって、判別信号MUTE1はローレベルになり、判別信号MUTE2はローレベルになる。

[0030] たとえば、電源電圧VCCが5V、抵抗素子3および抵抗素子4の抵抗値を50K Ω 、

抵抗素子5および抵抗素子6の抵抗値を30K Ω 、定電圧出力バッファ回路10が出力する所定の電圧を3.3V、スイッチングトランジスタ7およびスイッチングトランジスタ11の順バイアス電圧(Vf)を0.6Vとする。スタンバイ信号STBYが1.0Vの場合には、抵抗素子5および抵抗素子6の接続点の電圧は0.5Vとなり、順バイアス電圧(Vf)である0.6Vよりも低くなるため、スイッチングトランジスタ7はオフする。

[0031] スタンバイ入力端子2がハイインピーダンス状態の場合には、電源電圧VCCを抵抗分割した結果の抵抗素子5および抵抗素子6の接続点の電圧は約0.9Vとなり、順バイアス電圧(Vf)の0.6Vよりも高くなるため、スイッチングトランジスタ7はオンする。また、抵抗素子4の両端間の電圧は約1.7Vとなり、順バイアス電圧(Vf)よりも高くなるため、スイッチングトランジスタ11はオンする。

[0032] スタンバイ信号STBYが2.8Vの場合には、抵抗素子5および抵抗素子6の接続点の電圧は1.4Vとなり、順バイアス電圧(Vf)の0.6Vよりも高くなるため、スイッチングトランジスタ7はオンする。また、抵抗素子4の両端間の電圧は0.5Vとなり、の順バイアス電圧(Vf)よりも低くなるため、スイッチングトランジスタ11はオフする。

[0033] 次に、電流供給回路8および定電圧発生回路9を詳細に説明する。図2は、本発明の実施の形態に係る入力回路1における電流供給回路8および定電圧発生回路9の回路図である。

[0034] 同図を参照して、電流供給回路8は、抵抗41と、トランジスタ42～48とを含む。定電圧発生回路9は、抵抗51～52と、トランジスタ53と、トランジスタ54と、抵抗55と、トランジスタ56とを含む。

[0035] 抵抗41は、一端が端子Aに接続される。トランジスタ42は、NPN型であり、エミッタが端子Aに接続される。トランジスタ43は、NPN型であり、トランジスタ42よりもサイズが大きい(電流能力が大きく)。また、トランジスタ43はダイオード接続されている。すなわち、トランジスタ43は、ベースおよびコレクタがトランジスタ42のベースに接続され、エミッタが抵抗41の他端に接続される。

[0036] トランジスタ44は、ダイオード接続されている。すなわち、トランジスタ44は、ベースおよびコレクタがトランジスタ42のコレクタに接続され、エミッタが電源電圧VCCに接続される。トランジスタ45～48は、PNP型であり、トランジスタ44とカレントミラー回路

を構成する。

- [0037] トランジスタ45のコレクタは、トランジスタ43のコレクタおよびベースに接続される。また、トランジスタ45は、トランジスタ44とサイズ(電流能力)が等しい。トランジスタ46のコレクタは端子Bに接続され、トランジスタ47のコレクタは端子Cに接続され、トランジスタ48のコレクタは端子Dに接続される。
- [0038] スイッチングトランジスタ7がオンすると、端子Aがほぼ接地電位となり、トランジスタ45、トランジスタ43および抵抗41から成る電流路とトランジスタ44およびトランジスタ42から成る電流路とに電流が流れる。この2個の電流路の電流値は等しく、また、各電流路の電流値はトランジスタ43とトランジスタ42とのサイズ比および抵抗41の抵抗値で決まる。各電流路の電流がトランジスタ46～48を介して伝達され、端子B～Dから供給電流が出力される。スイッチングトランジスタ7がオフすると、各電流路に電流は流れず、端子B～Dから供給電流が出力されなくなる。
- [0039] なお、電流供給回路8を起動するための起動回路は図1ではスイッチングトランジスタ7が該当する。また、電流供給回路8は図2で示す回路以外にも様々な別の回路構成が可能である。
- [0040] 定電圧発生回路9は、バンドギャップ型であり、端子Eは電流供給回路8の端子Bに接続される。また、端子Eは定電圧発生回路9内部で端子Fと接続される。
- [0041] 抵抗51～52は、一端が端子Fおよび端子Eに接続され、共に同じ抵抗値である。トランジスタ53は、NPN型であり、ベースおよびコレクタが抵抗51の他端に接続され、エミッタが接地されるダイオード接続である。
- [0042] トランジスタ54は、NPN型であり、トランジスタ53よりもサイズが大きく(電流能力が大きく)、かつ、ベースがトランジスタ53のベースに接続され、コレクタが抵抗52の他端に接続される。抵抗55は、一端がトランジスタ54のエミッタに接続され、他端が接地される。
- [0043] トランジスタ56は、NPN型であり、ベースが抵抗52とトランジスタ54の接続点に接続され、エミッタが接地され、コレクタが端子F(および端子E)に接続される。
- [0044] ここでは詳細な説明は特に行なわないが、定電圧発生回路9は、電流供給回路8から電流を供給されることで、温度依存性をほぼ持たない定電圧(たとえば1.28V)

を発生して端子Fに出力することができる。なお、定電圧発生回路9はバンドギャップ型に限らず別の回路構成が可能である。

[0045] 以上説明したように、入力回路1はスタンバイ信号STBYの3値の1つとして、ハイレベルおよびローレベルの中間のレベルでなくハイインピーダンス状態を判別する。したがって、スタンバイ信号STBYを出力する制御装置(図示せず)は出力をハイインピーダンス状態とできるものであればよく、制御装置の出力電圧の調整または制御装置の出力電圧に合わせた入力回路1の調整が必要とならない。このことは、入力回路1および制御装置の電源電圧が異なる場合も同様であり、たとえば入力回路1の電源電圧VCCが5V、定電圧出力バッファ回路10の出力する所定の電圧が3.3Vの場合には、入力回路1はほぼ2.8V以上をハイレベルとして判別可能なので、大体2.8Vないし5Vの電源電圧の制御装置を特別な調整なく用いることができる。また、入力回路1においては、ローレベルのスタンバイ信号STBYが入力されるとスタンバイ状態となり、電源電圧VCCから接地電位へ流れる電流量が抑制される。

[0046] なお、定電圧出力バッファ回路10が出力する所定の電圧を下げるか、またはスタンバイ入力端子2と抵抗素子4との間に別の抵抗素子を設けることで、入力回路1が判別可能なハイレベルの最低電圧を下げる(たとえば2.8Vから2.5Vにする)ことも可能である。

[0047] また、本発明の実施の形態に係る入力回路1はさまざまな設計変更が可能である。たとえば、入力回路1をスタンバイ信号入力回路以外に用いることも可能である。また、バイポーラトランジスタとMOSトランジスタとの置き換えが可能なのは勿論である。

[0048] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

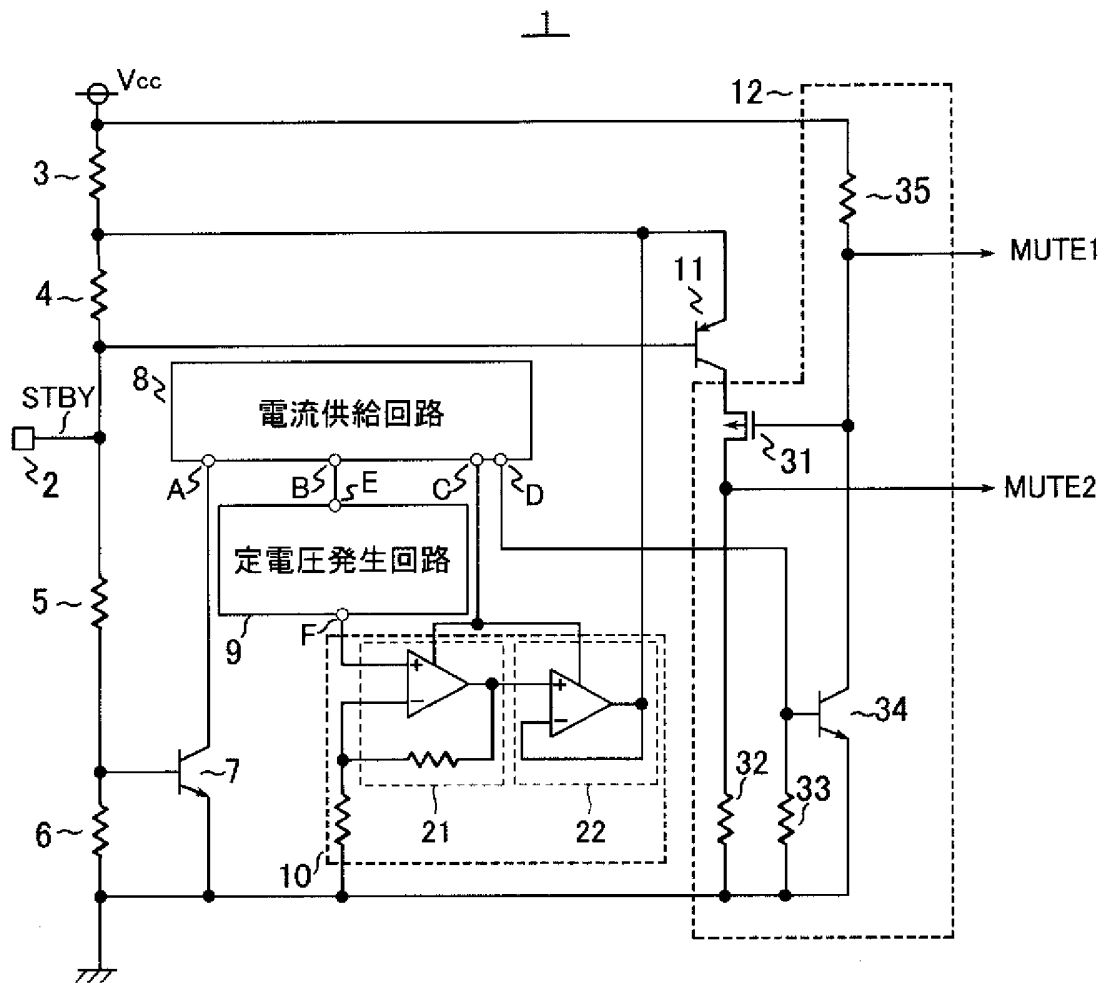
請求の範囲

- [1] 第1の固定電位、および前記第1の固定電位より低い第2の固定電位の間に直列に設けられた第1～第4の抵抗素子(3～6)と、
前記第2の抵抗素子(4)および前記第3の抵抗素子(5)の接続点に接続され、入力信号が入力される入力端子(2)と、
前記第3の抵抗素子(5)および前記第4の抵抗素子(6)の接続点の電圧によりオン・オフ制御される第1のスイッチングトランジスタ(7)と、
前記第1のスイッチングトランジスタ(7)がオンのとき供給電流を出力し、オフのとき前記供給電流を出力しない電流供給回路(8)と、
前記電流供給回路(8)から供給電流を受けて定電圧を出力する定電圧発生回路(9)と、
前記第1のスイッチングトランジスタ(7)がオフのとき出力をハイインピーダンス状態とし、オンのとき前記定電圧発生回路(9)の定電圧を受けて前記第1の抵抗素子(3)および前記第2の抵抗素子(4)の接続点に所定の電圧を出力する定電圧出力バッファ回路(10)と、
前記第2の抵抗素子(4)の両端間の電圧によりオン・オフ制御される第2のスイッチングトランジスタ(11)と、
前記第1のスイッチングトランジスタ(7)および前記第2のスイッチングトランジスタ(11)のオン・オフの組み合わせに基づいて複数の判別信号を出力する組み合わせ回路(12)とを備える入力回路。
- [2] 前記電流供給回路(8)は、前記第1のスイッチングトランジスタ(7)がオンのとき前記定電圧出力バッファ回路(10)に供給電流を出力し、
前記定電圧出力バッファ回路(10)は、前記電流供給回路(8)が前記供給電流を出力しない場合には出力をハイインピーダンス状態とし、前記電流供給回路(8)が前記供給電流を出力する場合には前記定電圧発生回路(9)の定電圧を受けて前記第1の抵抗素子(3)および前記第2の抵抗素子(4)の接続点に所定の電圧を出力する請求項1記載の入力回路。
- [3] 前記定電圧出力バッファ回路(10)は、

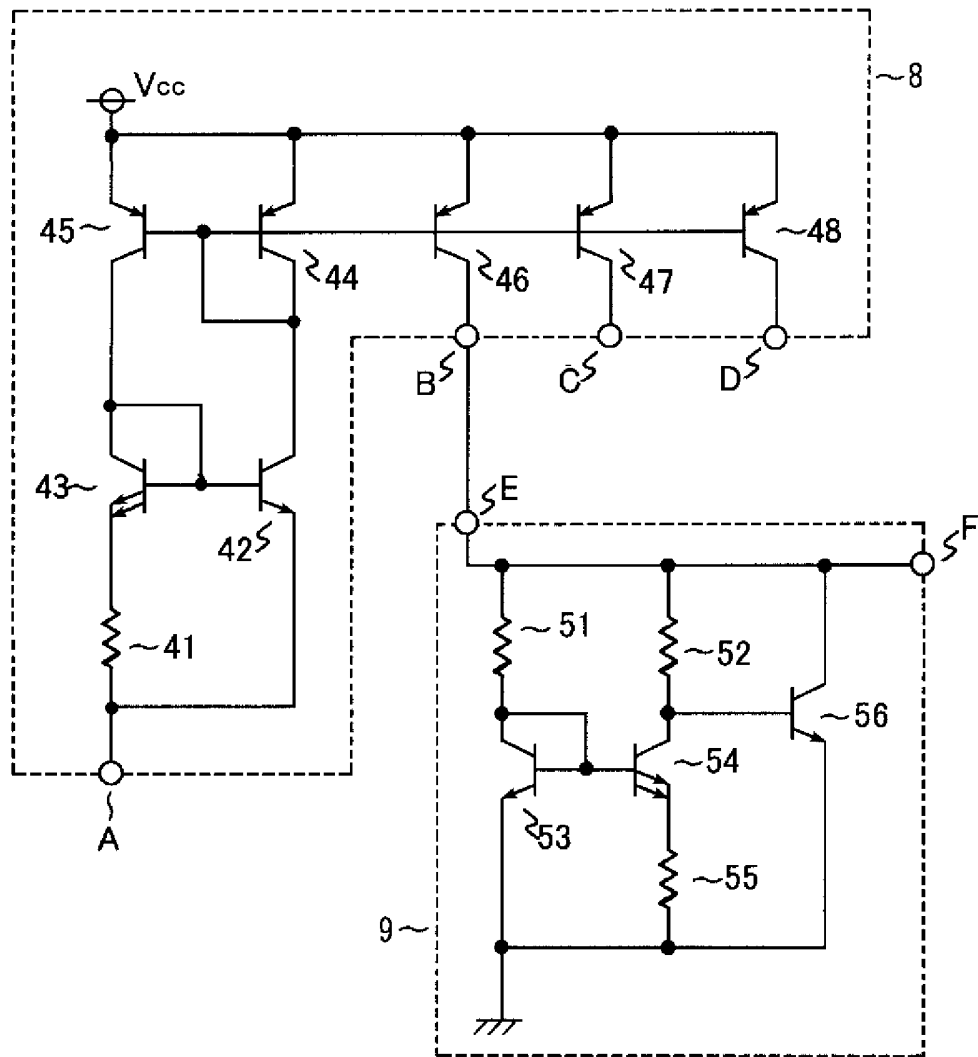
前記定電圧発生回路(9)から受けた定電圧を増幅する増幅回路(21)と、
前記増幅回路(21)の出力電圧を低い出力インピーダンスで出力する電圧フォロア回路(22)とを含む請求項1記載の入力回路。

- [4] 前記入力端子(2)にローレベルが入力されると、前記第1のスイッチングトランジスタ(7)がオフし、
前記入力端子(2)がハイインピーダンス状態であると、前記第1のスイッチングトランジスタ(7)がオンすると共に前記第2のスイッチングトランジスタ(11)がオンし、
前記入力端子(2)にハイレベルが入力されると、前記第1のスイッチングトランジスタ(7)がオンすると共に前記第2のスイッチングトランジスタ(11)がオフする請求項1記載の入力回路。

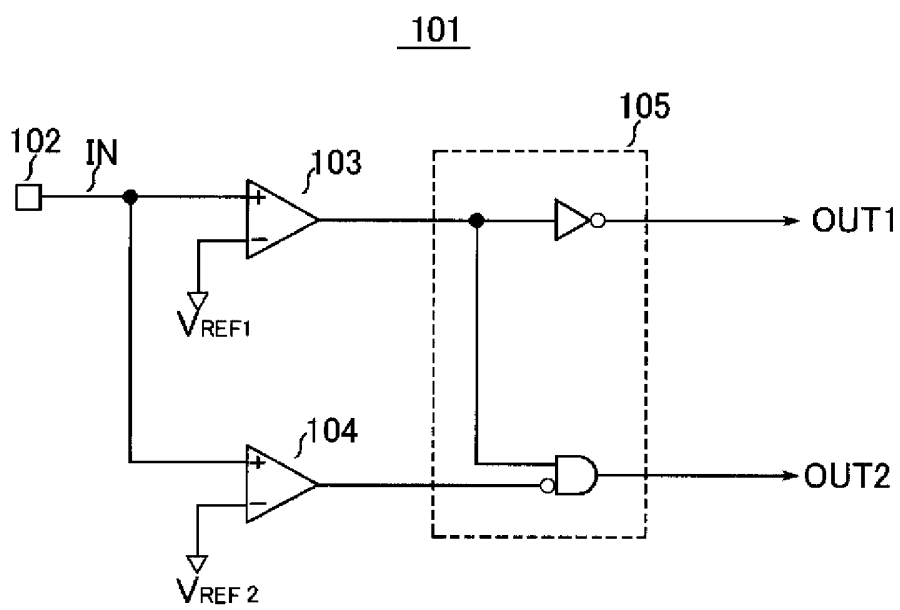
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/017136

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/0175 (2006.01), **H03K5/08** (2006.01), **H03K17/30** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/0175 (2006.01), **H03K5/08** (2006.01), **H03K17/30** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-70242 A (Toshiba Corp.), 12 March, 1996 (12.03.96), All pages; Figs. 1 to 36 & US 5627488 A & US 5969557 A & KR 210981 B	1-4
A	JP 4-177913 A (Sony Corp.), 25 June, 1992 (25.06.92), All pages; Figs. 1 to 4 (Family: none)	1-4
A	JP 2003-188929 A (Hitachi, Ltd.), 04 July, 2003 (04.07.03), All pages; Figs. 1 to 6 (Family: none)	1-4

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
09 November, 2005 (09.11.05)

Date of mailing of the international search report
22 November, 2005 (22.11.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. **H03K19/0175** (2006.01), **H03K5/08** (2006.01), **H03K17/30** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. **H03K19/0175** (2006.01), **H03K5/08** (2006.01), **H03K17/30** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 8-70242 A (株式会社東芝) 1996.03.12、 全頁、図1-36 & US 5627488 A & US 5 969557 A & KR 210981 B	1-4
A	J P 4-177913 A (ソニー株式会社) 1992.06. 25、全頁、第1-4図 (ファミリーなし)	1-4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

09.11.2005

国際調査報告の発送日

22.11.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮島 郁美

電話番号 03-3581-1101 内線 3596

5X

8523

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2003-188929 A (株式会社日立製作所) 2003.07.04、全頁、図1-6 (ファミリーなし)	1-4