

公告本

申請日期: 89-5-17

案號: 89109798

類別:

H01L 29/78

(以上各欄由本局填註)

發明專利說明書

461114

一、 發明名稱	中文	半導體裝置之製造方法
	英文	SEMICONDUCTOR DEVICE MANUFACTURING METHOD
二、 發明人	姓名 (中文)	1. 國清辰也
	姓名 (英文)	1.
	國籍	1. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式会社内
三、 申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式会社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

1999/05/17 11-135236

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

[發明所屬之技術領域]

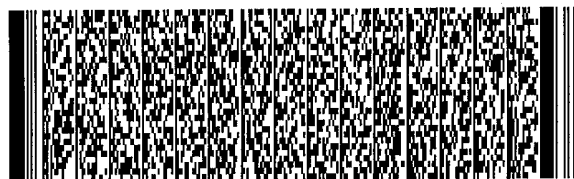
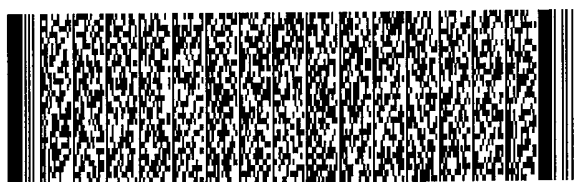
本發明係關於一種具有MOS構造的半導體裝置之製造方法，尤其關於對減小漏電流和提高閘極絕緣膜可靠性兩者兼顧的改進；所述MOS構造是一種具有通道區域、一組源極/汲極區域、和閘極電極的結構，通道區域有選擇性地形成在半導體基板的主面上，一組源極/汲極區域夾著該通道區域有選擇地形成在主面上，閘極電極夾著閘極絕緣膜與通道區域相對。

[先前技術]

圖55及圖56是表示先前技術中關於具有MOS構造的半導體裝置也就是絕緣閘極型半導體裝置之製造方法的製造作業圖。該半導體裝置特別是作為MOS電晶體構成。在本說明書中，按照本領域中的慣例，"MOS電晶體"或"MOS構造"廣義上包含閘極電極用金屬外的導體構成的裝置或構造。

圖55是閘極電極形成前中間構造物的前視剖面圖，圖56是閘極電極形成後之中間構造物的前視剖面圖。在圖55的作業中，首先在半導體基板101的主面形成STI（淺溝隔離）102。在半導體基板101的主面有選擇地形成 $0.2\mu\text{m}$ - $0.3\mu\text{m}$ 左右深度的溝後，在該溝中植入絕緣膜形成STI102。形成STI102是為了分隔相鄰一組的元件。在本說明書中，作為構造的STI和作為元件分隔方法的STI兩者都表示為"STI"。

之後，進行阱注入和通道隔斷（注入），由此在半導體基板101中形成阱層和通道隔斷層。圖55中省略了阱層和通



五、發明說明 (2)

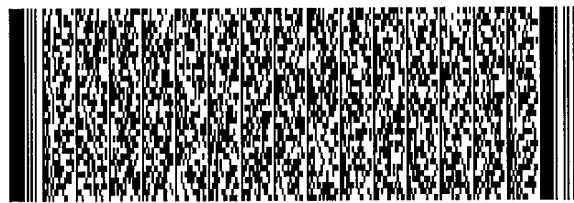
道隔斷層的圖形表示。

接著，再在半導體基板101的主面上形成閘極絕緣膜103。閘極絕緣膜103作為氧化矽膜在 H_2O 、 O_2 、 N_2O 或 NO/O_2 等氛圍中通過熱氧化形成。此外，有時通過堆積 Ta_2O_5 等高電介質膜來形成閘極絕緣膜103。閘極絕緣膜103的厚度取決於電源電壓的額定值，但通常在1.5nm-8nm左右。

接著，在閘極絕緣膜103上依次分別堆積有：如用 $5 \times 10^{20}/cm^3$ 濃度的磷摻雜的厚度為 $0.1 \mu m$ 的多晶矽膜104；厚度為 $0.1 \mu m$ 的 $WSix$ （鎢矽化合物； $x=2, 3$ ）膜105；以及厚度為 $0.05 \mu m$ 的絕緣膜106。在這些膜的堆積上採用化學氣相沈積，在下面的作業中由多晶矽膜104和 $WSix$ 膜105二層構造形成閘極電極。閘極電極除了多晶矽/ $WSix$ 的二層構造外，有時採用W、Co等金屬材料。

在絕緣膜106上塗敷阻劑（光阻劑）後用轉印作業對阻劑製圖，這樣形成保護膜107。在 $WSix$ 膜105上堆積絕緣膜106是為了在轉印作業中防止因阻劑墊底膜的反射光而使作好的保護膜107的尺寸小於轉印罩幕大小的現象，即光暈現象。光的反射率由於絕緣膜106的比 $WSix$ 膜105的小，因此絕緣膜106具有防止光暈現象的作用。

下面進行圖56的作業。在圖56的作業中，首先用保護膜107作罩幕進行異方性蝕刻，有選擇地除去絕緣膜106、 $WSix$ 膜105及多晶矽膜104。其結果作為具有多晶矽膜104和 $WSix$ 膜105的二層構造形成閘極電極110。作為形成閘極電極110用的異方性蝕刻使用活性離子蝕刻（RIE）：



五、發明說明 (3)

Reactive Ion Etching)。

其後用閘極電極110和其上的絕緣膜106作罩幕，向半導體基板101的主面有選擇性地注入雜質離子。其結果，在半導體基板101的主面中，在位於閘極電極110正下方的夾有通道區域108的源極汲極區域（為源極區域和汲極區域的統稱）109形成源極汲極層（為源極層和汲極層的統稱）。

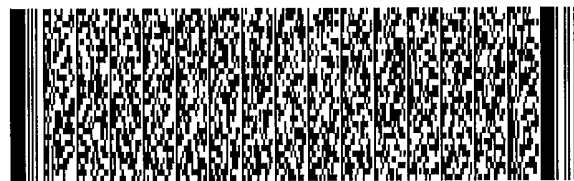
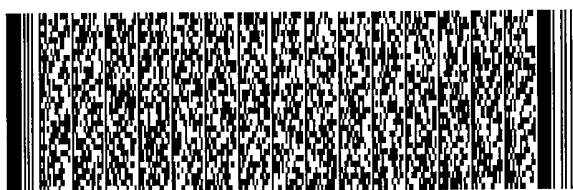
以往的MOS電晶體如上所述，形成有閘極電極110及源極汲極層。例如，若MOS電晶體是n通道型，則通道區域108的導電類型是p型，而源極汲極層111的導電類型是n型。

[本發明所欲解決之問題]

但是，如圖56所示，在形成閘極電極110用的異方性蝕刻作業，多晶矽膜104、WSix膜105及絕緣膜106中，會有選擇地除去位於源極汲極區域109和STI102上方的部分。此時用作罩幕的保護膜107也遭到蝕刻。為了防止部分保護膜107殘留，在異方性蝕刻作業中要進行過度蝕刻。

在開始過度蝕刻時，位於源極汲極區域109上方的絕緣膜106、WSix膜105及多晶矽膜104在先前的蝕刻中已除去，只剩下絕緣膜103。在過度蝕刻中主要蝕刻保護膜107，但一部分絕緣膜106及一部分閘極絕緣膜103b也蝕刻。因此，源極汲極區域109上的絕緣膜103b要比通道區域108上的閘極絕緣膜103a薄。

在活性離子蝕刻中， CF_4 成為等離子體中 CF_x （ $x=1, 2, 3$ ）的遊離基形態，受離子鞘中電場加速，在附著於構成閘

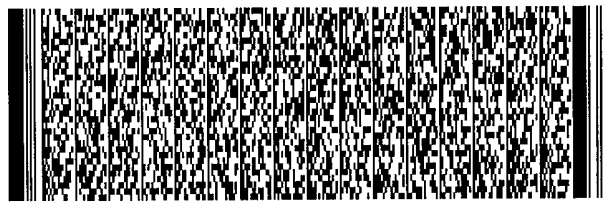
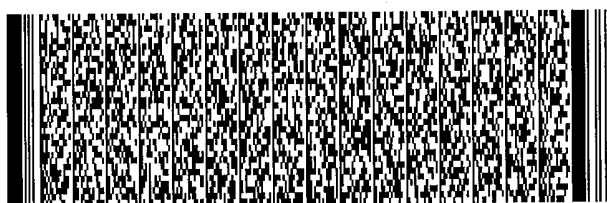


五、發明說明 (4)

極電極110的 WSi_x105 及多晶矽膜104等表面後，切斷W-Si及Si-Si等的結合，以 SiF_2 及 WF_2 等形態除去矽成分及鎢成分等。

此時，受電場加速而獲得能量的遊離基侵入氧化膜及矽等中最大約10nm左右。因此，絕緣膜103b越薄，則下面的現象越顯著，這些現象有：遊離基(CFx)進入半導體基板101的主面形成位準(即供體位準或受體位準)的現象；在半導體基板101的主面及閘極絕緣膜等上產生照射損傷(照射產生的損傷)的現象；因濺鍍從 WSi_x105 放出的W原子(或離子)侵入半導體基板101主面形成位準的現象。圖56中的受損層112表示半導體基板101主面中形成照射損傷及位準的層。

在下面進行的氮氣氛圍中的熱處理作業中，照射損傷的大部分受到退火處理(利用退火消除)，但C及W等殘留在半導體基板101主面附近。一旦耗盡層覆蓋這些位準，則構成閘極截止時漏電流原因的SRH(肖克利-裏德-霍爾：Shockley-Read-Hall)電流及TAT(陷阱援助隧道：Trap Assisted Tunnel)電流將增大。根據類比，可見閘極截止時，閘極端區域113(圖56)中電場強度處於 $5 \times 10^5 V/cm$ 以上的高值。特別是TAT電流隨電場強度呈指數關係增加，因此由於形成位準而存在漏電流變得相當大的問題。漏電流增大造成半導體裝置處於待機狀態時的功率消耗增大。這種情況在將半導體裝置用於電池運作的攜帶型電子設備時問題特別大。



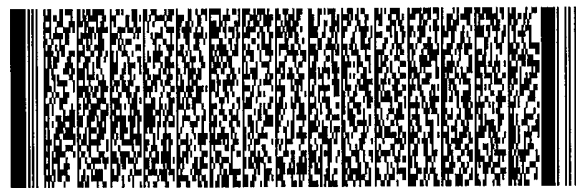
五、發明說明 (5)

除了上述問題外，為了達到提高閘極電極一汲極電極間耐壓的目的，日本公開特許公報中特開平2-47838號公報中揭示了一種半導體裝置之製造方法，該方法的特點是，在形成閘極電極用的活性離子蝕刻作業之前，形成比通道區域上絕緣膜厚的源極汲極區域上的絕緣膜。圖57及圖58是表示上述公報中揭示的製造方法的製造作業圖。

在圖57的作業中，首先在半導體基板101主面上有選擇地形成STI102後，進行阱注入和通道切斷注入。由此，在半導體基板101中形成阱層和通道切斷層。圖57中省略阱層和通道切斷層。

其次，在半導體基板101主面上將閘極絕緣膜103形成為氧化膜後，在其上堆積氮化膜（氮化矽膜）114。之後在氮化膜114上塗敷阻劑後，經轉印作業，對阻劑製圖。將製圖後的阻劑用作罩幕進行蝕刻，借此有選擇地除去氮化膜114。其結果如圖57所示，僅在通道區域108上方殘留氮化膜114。

接著執行圖58的作業。在圖58的作業中，首先在氧化氛圍中進行熱處理，由此在半導體基板101主面上形成閘極絕緣膜120、121。此時，在通道區域108中氮化膜114抑制氧化劑朝半導體基板101主面移動，所以在通道區域108中的氧化速度比源極汲極區域109的氧化速度慢。因此，通道區域108上的閘極絕緣膜120比源極汲極區域109上的閘極絕緣膜121薄。於是在閘極絕緣膜120與閘極絕緣膜121的連接部形成鳥嘴形部分115。



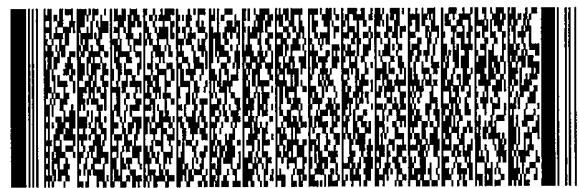
五、發明說明 (6)

在圖57及圖58所示的製造方法中，由於源極汲極區域109上形成的閘極絕緣膜121厚，故所獲得的效果是，不僅提高了閘極—汲極電極間的耐壓，而且還抑制了圖55及圖56所示製造方法中成為問題的源於閘極絕緣膜103b過度蝕刻造成的漏電流增大。但是，在圖57及圖58的製造方法中，由於鳥嘴形部分115周圍產生大的應力，故鳥嘴形部分115與其周圍的界面位準密度高，從而出現所謂閘極絕緣膜120的壽命短的另一問題。

本發明是為了解決以往製造方法中上述問題而進行的，其目的在於提供一種能抑制漏電流和提高閘極絕緣膜可靠性的兩全其美的半導體裝置之製造方法。

[用於解決問題之手段]

第1發明的製造方法，用於製造半導體裝置，該半導體裝置具有有選擇地形成在半導體基板主面上的通道區域，夾著該通道區域有選擇地形成在半導體基板主面上的一組源極汲極區域，和夾著閘極絕緣膜與通道區域相對的閘極電極，其特徵在於，所述方法包含：(a)準備所述半導體基板的作業；(b)在所述半導體基板主面的相當於所述通道區域的部分有選擇地導入氮的通道位置選擇作業；(c)在所述通道位置選擇作業後，通過對所述半導體基板主面進行氧化，在所述主面上所述一組源極汲極區域中形成比所述通道區域厚的絕緣膜的氧化作業；(d)在所述絕緣膜上堆積電極材料的作業；(e)用選擇的蝕刻有選擇地除去所述電極材料從而形成所述閘極電極的閘極形



五、發明說明 (7)

成作業。

第2發明的製造方法，用於製造半導體裝置，該半導體裝置具有有選擇地形成在半導體基板主面上的通道區域，夾著該通道區域有選擇地形成在半導體基板主面上的一組源極汲極區域，和夾著閘極絕緣膜與通道區域相對的閘極電極，其特徵在於，所述方法包含：(a)準備所述半導體基板的作業；(b)通過對所述半導體基板的所述主面進行氧化在該主面上形成絕緣膜的作業；(c)在所述絕緣膜的位於所述通道區域上方的部分依序堆積多晶半導體膜和半導體氮化膜的通道位置選擇作業；(d)在所述通道位置選擇作業後，通過對所述半導體基板主面進行氧化，在所述一組源極汲極區域中形成比所述通道區域厚的所述絕緣膜的氧化作業；(e)除去所述多晶半導體膜和所述半導體氮化膜的作業；(f)在所述絕緣膜上堆積電極材料的作業；(g)用選擇的蝕刻有選擇地除去所述電極材料由此形成所述閘極電極的閘極形成作業。

第3發明的製造方法，用於製造半導體裝置，該半導體裝置具有有選擇地形成在半導體基板主面上的通道區域，夾著該通道區域有選擇地形成在半導體基板主面上的一組源極汲極區域，和夾著閘極絕緣膜與通道區域相對的閘極電極，其特徵在於，所述方法包含：(a)準備所述半導體基板的作業；(b)在所述半導體基板主面的與所述一組源極汲極區域相當的部分中按照在氧化反應中能引起加速反應的濃度導入雜質的通道位置選擇作業；(c)在所



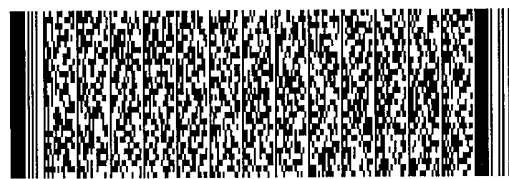
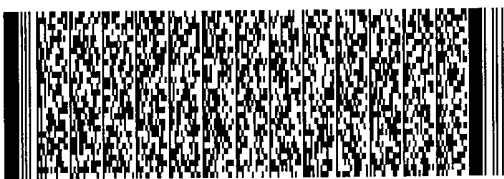
五、發明說明 (8)

述通道位置選擇作業後，通過對所述半導體基板主面進行氧化，在所述主面上所述一組源極汲極區域中形成比所述通道區域厚的絕緣膜的氧化作業；(d)在所述絕緣膜上堆積電極材料的作業；(e)用選擇的蝕刻有選擇地除去所述電極材料由此形成所述閘極電極的閘極形成作業。

最好是利用所述作業(b)形成所述源極汲極區域。

第4發明的製造方法，用於製造半導體裝置，該半導體裝置具有有選擇地形成在半導體基板主面上的通道區域，夾著該通道區域有選擇地形成在半導體基板主面上的一組源極汲極區域，和夾著閘極絕緣膜與通道區域相對的閘極電極，其特徵在於，所述方法包含：(a)準備所述半導體基板的作業；(b)通過對所述半導體基板主面進行氧化，在所述主面上形成絕緣膜的作業；(c)通過實施選擇的蝕刻在所述通道區域上除去所述絕緣膜的通道位置選擇作業；(d)在所述作業(c)後，通過對所述半導體基板主面進行氧化，在所述通道區域中形成的絕緣膜比所述一組源極汲極區域上的所述絕緣膜薄的氧化作業；(e)在所述通道區域及所述源極汲極區域上的所述絕緣膜上方堆積電極材料的作業；(f)用選擇的蝕刻有選擇性地除去所述電極材料由此形成所述閘極電極的閘極形成作業。

所述作業(c)最好是包含：(c-1)在所述絕緣膜上堆積半導體氧化膜的作業；(c-2)在所述半導體氧化膜上堆積半導體氮化膜的作業；(c-3)通過實施選擇的蝕刻在所述通道區域上方有選擇地除去所述半導體氮化膜、所



五、發明說明 (9)

述半導體氧化膜及所述絕緣膜的作業。

第5發明的製造方法是在第1至第4任一發明的半導體裝置之製造方法中進一步包含(A)在所述氧化作業後在950℃以上的溫度中加熱的作業。

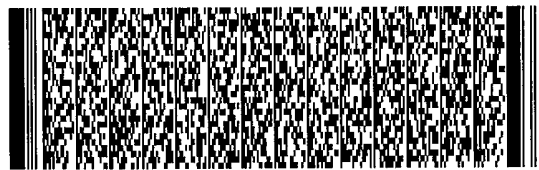
第6發明的製造方法是在第1至第5任一發明的半導體裝置之製造方法中，進一步包含(B)在所述半導體基板的所述主面內離開所述通道區域和所述源極汲極區域的部位形成標記的作業，通過共同的罩幕圖形的轉印確定所述通道位置選擇作業中的處理位置和確定所述作業(B)中所述標記的位置，在所述閘極形成作業中，有選擇地除去所述電極材料的位置通過另一罩幕圖形的轉印來確定，並以所述標記的位置為基準來對齊該另一罩幕圖形的位置。

第7發明的製造方法是在第6發明的半導體裝置之製造方法中，所述作業(B)形成溝渠作為標記。

在堆積所述電極材料的作業中，最好是在所述溝的內側表面也堆積所述電極材料，所述製造方法進一步包含(C)在所述堆積作業後所述閘極形成作業前從所述溝的所述內側表面除去所述電極材料的作業。

在所述氧化作業中最好是在所述溝的內側表面上也堆積所述絕緣膜，在所述作業(C)中從所述溝的內側表面也除去所述絕緣膜。

第8發明的製造方法，用於製造半導體裝置，該半導體裝置具有有選擇地形成在半導體基板主面上的通道區域，夾著該通道區域有選擇地形成在半導體基板主面上的一組



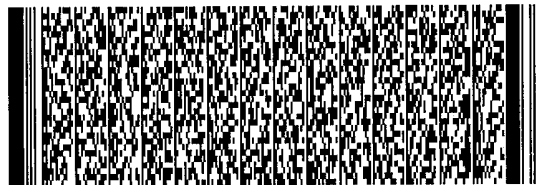
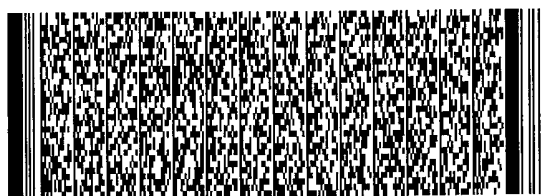
五、發明說明 (10)

源極汲極區域，和夾著閘極絕緣膜與通道區域相對的閘極電極，其特徵在於，所述方法包含：(a)準備所述半導體基板的作業；(b)通過對所述半導體基板的所述主面進行氧化在該主面上形成絕緣膜的作業；(c)通道位置選擇作業，是通過實施選擇的蝕刻在所述通道區域上除去所述絕緣膜的作業，包含(c-1)在所述絕緣膜上堆積膜的作業和(c-2)通過實施選擇的蝕刻在所述通道區域上方有選擇地除去在所述作業(c-1)堆積的所述膜和所述絕緣膜的作業；(d)在所述作業(c)後，通過對所述半導體基板主面進行氧化，在所述通道區域中形成的絕緣膜比所述一組源極汲極區域上的所述絕緣膜薄的氧化作業；(e)在所述通道區域及所述源極汲極區域上的所述絕緣膜上方堆積電極材料的作業；(f)通過研磨所述電極材料使其不殘留在所述作業(c-1)中堆積的所述膜上而留在所述通道區域上方，由此形成所述閘極電極；(g)除去所述作業(c-1)中堆積的所述膜的作業。

所述第8發明的方法最好是進一步包含(A)在所述氧化作業後在950℃以上溫度中加熱的作業。

[本發明之實施形態]

下面，說明與具有MOS構造的半導體裝置，即絕緣閘型半導體裝置相關的本發明實施形態的製造方法。作為半導體裝置設以MOS電晶體、尤其是N型MOS電晶體為例加以說明，但本發明的適用物件並不限定於MOS電晶體。在下面的說明中，作為半導體基板示出了實用性高的以矽為主成



五、發明說明 (11)

分的矽基板，但本發明並不限定於該例。

(1. 實施形態1)

首先，說明實施形態1的半導體裝置之製造方法。

(1.1 製造作業)

圖1—圖7為表示實施形態1半導體裝置之製造方法的製造作業圖。

在該方法中首先執行圖1的作業。在圖1的作業中，首先準備半導體基板1作為具有主面的半導體基板。之後，經選擇在半導體基板1的主面上形成STI2。在半導體基板101的主面有選擇地形成如約 $0.2\ \mu\text{m}$ — $0.3\ \mu\text{m}$ 深的溝之後，再在溝中植入氧化矽膜等絕緣膜，由此形成STI2。形成STI2是為了分隔相鄰一組元件。

接著，在半導體基板1的主面上形成墊底氧化膜48。墊底氧化膜作為氧化矽膜形成，其目的是為了在製造作業中保護半導體基板1。之後注入雜質離子94作為阱（離子阱）注入及通道分隔（channel cut）注入。由此在半導體基板101中形成阱層91和通道分隔層92。半導體層90及93相當於半導體基板101中阱層91和通道分隔層92兩者都未形成的層。形成的通道分隔層92與STI2的底面相接，阱層91的形成位於通道分隔層92的下層。

阱層91及通道分隔層92的形成作業本身是習知技術，故省略這些作業的詳細說明。而且，在以下的附圖中省略關於阱層91及通道分隔層92的圖示。

下面，執行圖2的作業。在圖2的作業中，首先在構造物



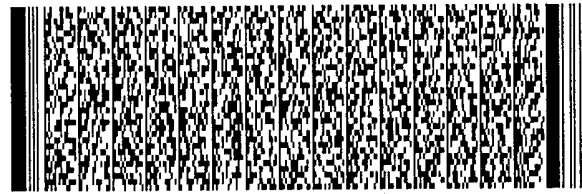
五、發明說明 (12)

的整個表面、即墊底氧化膜48及STI2上塗敷阻劑（光阻劑）。另外，也可以在塗敷阻劑之前將墊底氧化膜48作為犧牲氧化膜暫且除去，然後再次形成墊底氧化膜48。由此，能夠除去半導體基板1主面上存在的污染物質。之後，通過轉印作業對阻劑製圖，形成保護部分3。

在半導體基板1的主面中，夾在相鄰一組STI2間的區域用來作為形成MOS電晶體的區域（MOS電晶體區域）。在該MOS電晶體區域規定通道區域5和其兩側的一組源極汲極區域6。形成的保護部分3在通道區域5的上方具有開口的開口部70。

在形成保護部分3後，利用保護部分3作為罩幕，向半導體基板1的主面有選擇地注入氮離子作為離子4。氮離子的注入如按照10keV的注入能量及 $5 \times 10^{15}/\text{cm}^2$ 的注入量進行。接著，用保護部分3作為罩幕有選擇地向半導體基板1的主面注入作為離子4的硼（B）離子。硼離子的注入如按照10keV的注入能量及 $1 \times 10^{13}/\text{cm}^2$ 的注入量進行。這些離子注入的結果是在通道區域5形成含有氮的（第1）通道層7。如果有需要，則可按照如30keV的注入能量及 $1 \times 10^{13}/\text{cm}^2$ 的注入量進一步注入作為離子4的硼離子，由此能夠形成穿通阻擋（punch-through stopper）層8。

在圖2例中，利用離子注入有選擇地將氮和硼導入半導體基板1的主面，但也可採用等離子體摻雜（plasma doping）方法或離子化集束（ionized cluster beam）方法導入。有選擇地形成通道層7及穿通阻擋層8是為了借助



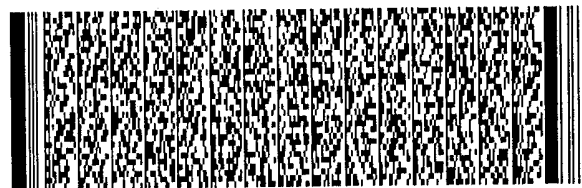
五、發明說明 (13)

減小源極汲極區域6中的耦合電容使MOS電晶體的速度提高，以及為了減小漏電流。下文將描述該效果。

接著在圖3作業中，首先除去保護部分3。之後在乾 O_2 (dry O_2) 氛圍中進行熱氧化處理。熱氧化也可進行到仍殘留有墊底氧化膜為止，還可在暫且除去墊底氧化膜48後進行。熱氧化的結果是在半導體基板1的主面上形成閘極絕緣膜9及絕緣膜10。閘極絕緣膜9形成在通道區域5上，絕緣膜10形成在源極汲極區域6上。

在半導體基板1的主面中與通道區域5相應的部分存在含有氮的通道層7。通道層7所含氮原子抑制了半導體基板1主成分原子即矽與 O_2 (氧) 的反應，也即抑制了氧化反應。利用氮原子進一步抑制了在氧化反應形成的作為氮氧化矽 (Silicon Oxynitride) 膜的閘極絕緣膜9中的氧化劑擴散。因此，在注入氮的通道區域5上，氧化速度 (氧化反應的反應速度) 比未注入氮的源極汲極區域6的慢。其結果，源極汲極區域6上形成的絕緣膜10的厚度比通道區域5上形成的閘極絕緣膜9的厚。閘極絕緣膜9作為如上所述的氮氧化矽膜形成，與此相對應，絕緣膜10作為氧化矽膜形成。閘極絕緣膜9的厚度如為3nm時，絕緣膜10的厚度約為10nm左右。

也可用 NO/O_2 氛圍代替氧化氮氛圍。此時，閘極絕緣膜9作為氮氧化矽膜形成，絕緣膜10也一樣作為氮氧化矽膜形成。即使在 NO/O_2 氛圍中進行熱氧化，也能抑制得在通道區域5上的氧與矽的反應速度比在源極汲極區域6上的低，



五、發明說明 (14)

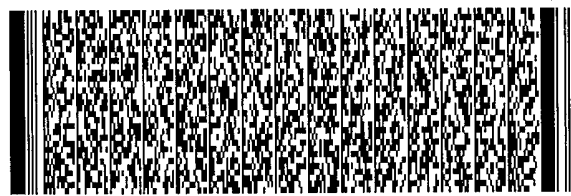
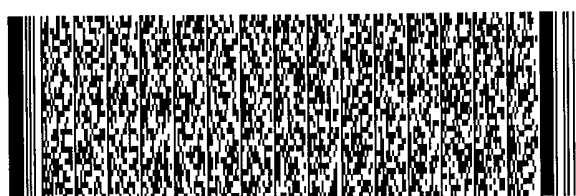
因此，絕緣膜10形成的厚度比閘極絕緣膜9的厚。而且，作為絕緣膜10，在其後作業中形成的側壁 (sidewalls) 正下方，存在氮氧化矽膜，因此具有提高熱載流子的承受性的優點。

接著，在圖4的作業中，首先按順序堆積多晶矽膜11、WSi_x膜 (鎢矽化物膜；x=2~3) 12及絕緣膜13，使之覆蓋構造物的整個上表面，即閘極絕緣膜9、絕緣膜10及STI2的表面。多晶矽膜11的形成為例如用濃度為 $8 \times 10^{20}/\text{cm}^3$ 的磷摻雜且厚度為 $0.1 \mu\text{m}$ 的摻雜多晶矽膜。WSi_x膜12例如形成 $0.1 \mu\text{m}$ 的厚度。而絕緣膜13例如形成 $0.1 \mu\text{m}$ 的厚度。

其次，在絕緣膜13上塗敷阻劑後，通過轉印作業製作阻劑的圖形。其結果，在絕緣膜13上有選擇地形成保護部分14。保護部分14形成在通道區域5上方。由於通道區域5與源極汲極區域6的分界處存在高度差，故保護部分14與通道區域5的位置對齊能夠比較容易地高精度進行。為了提高該位置對齊的精度，也可以在半導體基板1上其他區域形成位置對齊標記。

在圖5的作業中，首先將保護部分14用作罩幕執行活性 (reactive) 離子蝕刻 (RIE)。由此，有選擇地除去多晶矽膜11、WSi_x膜12及絕緣膜13。其結果形成具有多晶矽膜11及WSi_x膜12二層構造的閘極電極15。在閘極電極15上殘留絕緣膜13。

在形成閘極電極15用的活性離子蝕刻中使用 CF_2/H_2 或 CF_2/O_2 等作為蝕刻氣體。在活性離子蝕刻中進行過度蝕刻



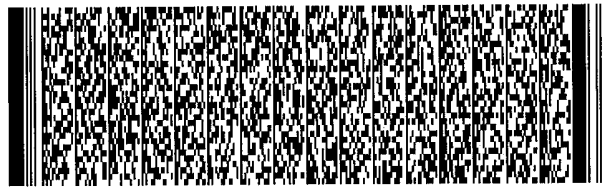
五、發明說明 (15)

使保護部分14不殘留。因此，源極汲極區域6上的絕緣膜10的一部分雖被蝕刻，但可設定另外的條件使得保護部分14的厚度未薄於通道區域5上閘極絕緣膜9的厚度之前就停止活性離子蝕刻。

作為一例，在活性離子蝕刻作業前閘極絕緣膜9的厚度為3nm，絕緣膜10的厚度為10nm的情況下，過度蝕刻後的絕緣膜10的厚度為9nm。因此，與源極汲極區域6上絕緣膜10的厚度為3nm的已有技術的NMOS電晶體相比，在進行活性離子蝕刻時，大幅度減少了導入半導體基板1的遊離基(radicals) (CF_x ; $x=1, 2, 3$) 及濺鍍的金屬電極構成的原子(該例中為W)等的數量。

MOS電晶體工作時，如果在形成耗盡層的閘極端附近存在遊離基或金屬原子等，它們就具有位準的功能，從而構成產生源于SRH的生成電流或TAT的隧道電流的漏電流的原因，但在本實施形態的方法中，形成厚的絕緣膜10，抑制了這些位準的形成，能有效地減小漏電流。

而且，在通道區域5上，沒有形成氮化矽膜114(圖58)等遮擋體，利用含有氮的通道區域5和不含有氮的源極汲極區域6之間氧化反應速度的差，形成閘極絕緣膜9和絕緣膜10相互不同的厚度，從而緩解了在閘極絕緣膜9與絕緣膜10的連接部周圍隨熱氧化而產生的應力。因此，在連接部周圍界面位準密度的增加得到了緩和，從而提高了閘極絕緣膜9的壽命和可靠性。這樣，按照本實施形態的製造方法，能同時實現已有技術未能完成的減小漏電流和提高



五、發明說明 (16)

開極絕緣膜9的可靠性。

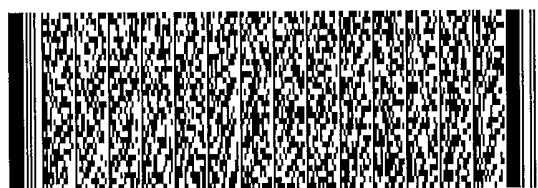
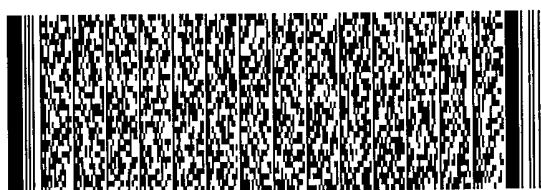
下面，用開極電極15及其上的絕緣膜13作為單幕，例如以20keV的注入能量及 $1 \times 10^{14}/\text{cm}^2$ 的注入量有選擇地向半導體基板1的主面離子注入砷。其結果，（第1）源極汲極層16以自對準方式形成在半導體基板1主面中源極汲極區域6。

接著，用開極電極15及其上的絕緣膜13作為單幕，通過例如10keV的注入能量、 $1 \times 10^{13}/\text{cm}^2$ 的注入量及入射角為 30° 的旋轉離子注入法，有選擇地向半導體基板1的主面離子注入硼。其結果，形成的（第2）通道層17以某種程度從半導體基板1的主面中的源極汲極區域6的端部侵入通道區域5。

通道層17形成的目的在於，平滑地滾降開極閾值電壓，也即抑制短通道效應和抑制表面穿通。由於絕緣膜10厚，故通過旋轉離子注入法使硼斜入射到半導體基板1時，具有開極絕緣膜9的端部不易受到注入硼引起的損傷的優點。

在圖6的作業中，首先在構造物的整個表面堆積例如厚度為 $0.08 \mu\text{m}$ 的絕緣膜。之後，用活性離子蝕刻有選擇地除去絕緣膜，由此形成覆蓋開極電極15（及其上的絕緣膜13）側端的側壁18。在該作業中，源極汲極區域6上的絕緣膜10也蝕刻掉1nm左右。

在形成側壁18用的活性離子蝕刻中， CF_x 遊離基也導入半導體基板1，但在半導體基板1的主面中，由於側壁18而



五、發明說明 (17)

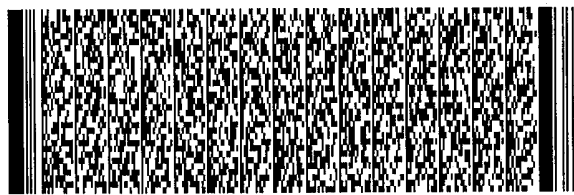
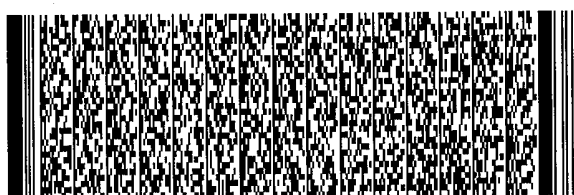
使遊離基導入的區域限定在從對著源極汲極層16對著通道區域5的端部後縮的區域。因此，導入半導體基板1的遊離基覆蓋高濃度雜質的源極汲極層16，而不覆蓋耗盡層，故不構成漏電電流的原因。

下面，通過用側壁18作為罩幕，例如以40keV的注入能量及 $5 \times 10^{15}/\text{cm}^2$ 的注入量有選擇地向半導體基板1的主面離子注入砷。其結果，在半導體基板1主面中的源極汲極區域6形成（第2）源極汲極層19。源極汲極層19對著通道區域5的端部處於比源極汲極層16對著通道區域5的端部向裏收縮的位置。

在圖7的作業中，通過蝕刻除去位於源極汲極區域6上方未覆蓋到側壁18的絕緣膜10的部分。其結果在源極汲極區域6中，半導體基板1的主面有選擇地外露，絕緣膜10只是作為絕緣膜21殘留在側壁18的正下方。其後，在包含半導體基板1露出面的構造物的整個表面堆積鈷。再在1050℃下進行15秒左右的RTA處理。其結果，鈷矽化物膜20形成在露出面上，同時在先前作業中注入的雜質被電啟動。

露出面上的鈷膜，經RTA處理與矽反應形成鈷矽化物膜20，但覆蓋絕緣膜上的鈷膜即使進行RTA處理也不反應，照鈷膜原樣保存。如果經蝕刻除去絕緣膜上的鈷膜，就獲得圖7所示構造物。也即，完成NMOS電晶體。

閘極電極15是僅具有多晶矽膜11的單層結構，堆積鈷時，如果閘極電極15上面未覆蓋絕緣膜而露出時，作為閘極電極15就構成多晶矽膜11和鈷矽化物膜的二層結構。在



五、發明說明 (18)

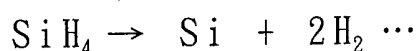
堆積鈷前，也可以例如10keV的注入能量及 $5 \times 10^{15}/\text{cm}^2$ 的注入量向閘極電極15及源極汲極區域6注入氮。由此，在RTA熱處理時，能防止鈷矽化物的聚集，在閘極電極15及源極汲極區域6，漏電流小且電阻低，能形成比較穩定的鈷矽化物膜。

一旦發生聚集，有時在 CoSi_2 與Si的交界處會出現 CoSi_2 的尖峰，一旦發生尖峰，就產生源于電場向尖峰集中的漏電流。與此相反，若預先注入氮，就能抑制產生尖峰，減少漏電流。即使對於Ti（鈦）或Ni（鎳）的矽化物，也能獲得同樣的效果。

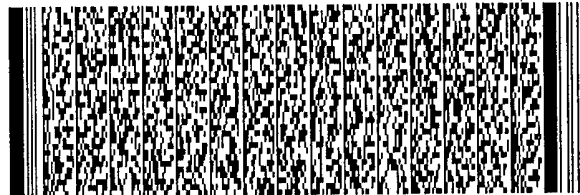
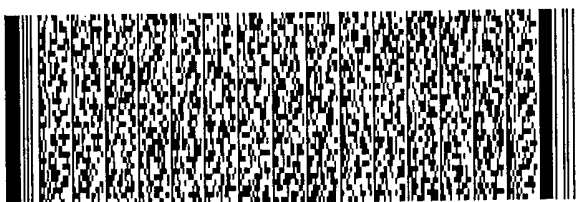
(1.2. 優點)

下面，就實施形態1製造方法的優點加以補充說明。首先，說明氮離子注入提高絕緣膜9的可靠性的另一機構。圖8—圖10為圖解作為氧化矽膜的閘極絕緣膜9隨半導體裝置使用而劣化的過程的說明圖。圖8圖解閘極絕緣膜9中Si-H鍵22、存在於閘極絕緣膜9與半導體基板1之間界面的Si-H鍵23。

若在 H_2O 氛圍中進行熱氧化， H_2O 中的氫原子會進入氧化矽膜中。當在乾 O_2 氛圍中進行熱氧化時，氫不會混入氧化矽膜中，之後，大氣中的水分（ H_2O ）被取入。而且，用CVD堆積多晶矽時，根據化學式1反應生成的氫進入閘極絕緣膜9中。進入氧化矽膜的 H_2O 和 H_2 與氧化矽膜的主成分即SiO進行反應，形成Si-H鍵。



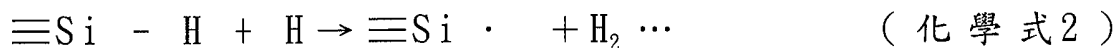
(化學式1)



五、發明說明 (19)

MOS電晶體工作時，具有能量比矽與氧化矽膜間能量壁壘高的熱載流子 (hot carrier) 從半導體基板1注入閘極絕緣膜9。注入的熱載流子切斷Si-H鍵22。如圖9所示，從切斷後的Si-H鍵22分解出氫原子26，此後，形成固定位準 (捕獲中心) 25。分解後的氫原子26通過閘極絕緣膜9中的電場作用反復漂移和擴散，並向閘極絕緣膜9與半導體基板1間的界面移動。

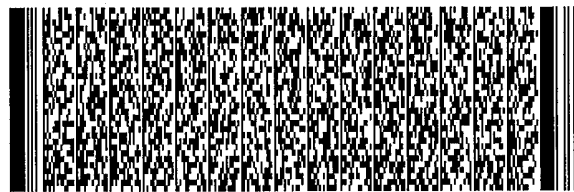
如圖10所示，到達界面的氫原子26與存在於界面的包含在Si-H鍵23中的H原子起反應，生成H₂分子。生成的H₂分子變成氣體放出。其結果在界面形成界面位準28。氫原子26與存在於界面的Si-H鍵23的反應用化學式2表達。



通過重覆圖8—圖10的過程，來提高捕獲中心25及界面位準28的密度。其結果將引起閘極閾值電壓變化，汲極電流下降等問題。也即，降低了閘極絕緣膜9的可靠性。

一旦進行氮離子注入，氮就導入半導體基板1 (及閘極電極15)。然後，在氮離子注入後的熱處理時，氮進行熱擴散，到達閘極絕緣膜9、側壁18、及側壁18正下方的絕緣膜。氮具有堵擋切斷的Si-H鍵形成Si-N的作用，及抑制氫擴散或漂移的作用。

因此，氮的作用是，抑制熱載流子切斷存在於絕緣膜中的Si-H鍵而形成固定位準 (捕獲中心) 的狀態，或抑制鍵切斷後的H原子向絕緣膜與半導體基板1的界面擴散或漂移，與存在於界面的Si-H進行反應，從而形成界面位準的



五、發明說明 (20)

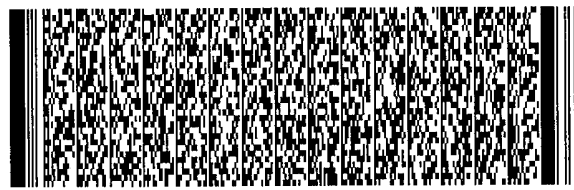
狀態。其結果提高了熱載流子的承受性 (resistance)。在本實施形態的製造方法中，通過上述結構，利用氮離子注入，進一步有效提高了閘極絕緣膜9的可靠性及壽命。

下面，說明通道層7及穿通阻擋層8具有使MOS電晶體高速化及抑制漏電流效果的機理。圖11是表示該效果的說明圖。源極汲極區域6的耦合電容是電荷存儲在耗盡後的pn結兩端產生的。耗盡層的厚度，當接合部的雜質濃度高時薄，低時厚。耦合電容與耗盡層的厚度成反比，接合部的雜質濃度低時，耦合電容就小。

在已有技術中，源極汲極區域還形成有通道層和穿通阻擋層，因此，源極汲極區域中深度方向接合部的雜質濃度由通道層及穿通阻擋層與源極汲極層相交部分中的雜質濃度決定。與此相反，在本實施形態中，由於通道層7經選擇形成，故源極汲極層深度方向接合部的雜質濃度由與通道阻擋層92的相交部分的雜質濃度決定。

通常，通道阻擋層92中的雜質濃度設定得比通道層7及穿通阻擋層8中的雜質濃度低，因此，如本實施形態那樣，在有選擇地形成通道層7的情況下，源極汲極層深度方向接合部的雜質濃度變低。其結果，耗盡層的厚度增大，耦合電容減小。

漏電流如以往那樣，包含SRH過程產生的電流和TAT產生的電流兩種分量。耗盡層厚度越厚SRH電流就越大，而電場強度越高TAT電流越大。隨著半導體元件微型化的發展，MOS電晶體內部的電場強度增大，與SRH電流相比，



五、發明說明 (21)

TAT 電流將起支配作用。

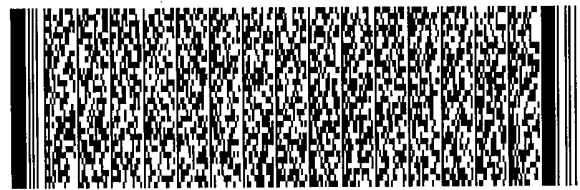
但是，本實施形態的製造方法，接合部的雜質濃度低，故耗盡層的厚度大，隨此，源極汲極層的電場強度變低。因此，TAT 電流減小，抑制了漏電流。也即，在本實施形態的製造方法中，雖然 SRH 電流產生的漏電流增加，但對漏電流起主要作用的 TAT 電流下降的結果抑制了漏電流。

MOS 電晶體的工作速度因寄生電容減小而得到提高。源極汲極層的耦合電容佔有寄生電容大的比例。在本實施形態的製造方法中，由於減小了這種耦合電容，因此提高了 MOS 電晶體的回應速度。

下面，說明通道層 17 具有使閘極閾值電壓平穩滾降 (roll-off) 效果的機理。圖 12 是用於說明該效果的曲線，其中，橫軸表示閘極的長度，縱軸表示閘極閾值的絕對值 (大小)。如圖 12 所示，當沒有通道層 17 時，如果閘極長度短，閘極閾值電壓的絕對值會因短通道作用而急劇減小。該曲線稱為滾降曲線。

相反，當存在通道層 17 時，由於對載流子形成了新的電位，而抑制了因短通道作用引起的閘極閾值電壓絕對值的下降。也即，隨著閘極長度的變短，閘極閾值電壓絕對值的減小趨緩。作為批量生產的半導體裝置，各單個產品間閘極長度存在著某種程度的偏差。因此，為了保證規定的電路動作，希望半導體裝置的閘極閾值電壓相對於閘極長度的變化小。

(1.3. 變化例)



五、發明說明 (22)

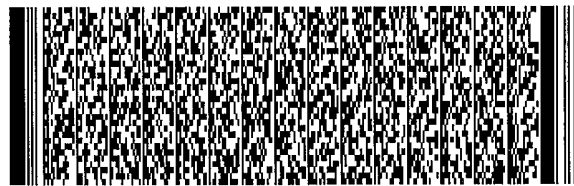
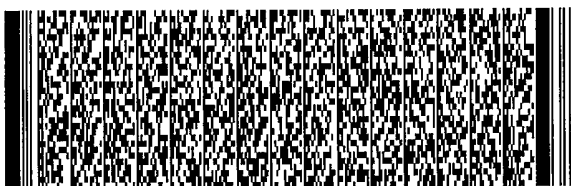
本實施形態不僅能用於如圖1—圖7所示的具有表面通道型MOS構造的半導體裝置，而且還能用於如圖13所示的具有埋入通道型MOS構造的半導體裝置。圖13裝置中，在半導體基板1的主面具有經選擇形成的一組p型源極汲極層82、夾在其間經選擇形成的p型通道層83及n型穿通阻擋層84。通道層83露出半導體基板1主面，穿通阻擋層84位於該通道層83的下層。閘極電極81夾著閘極絕緣膜85與通道層83相對。

表面通道型MOS構造在半導體基板1主面的表層部分形成反轉(inversion)層，埋入型MOS構造卻在離開主面的表層部分的區域形成電位最小的區域(即，空穴流過的區域)。即使在圖13所示埋入型MOS電晶體中也適用本實施形態的製造方法，因此，能同時實現抑制漏電流和提高閘極絕緣膜可靠性。

圖1—圖7涉及閘極電極15的構造，示出多晶矽/WSi_x二層構造的例子，但是即使在例如採用TiN/W等金屬電極構造情況下，本實施形態也能用，由此，能同時實現抑制漏電流和提高閘極絕緣膜可靠性。

如果通過向源極汲極區域6導入Ge(鍺)並進行熱處理來形成SiGe，則能進一步減小Si和SiGe的帶隙差引起的漏電流。也即，能提高本實施形態的效果。

本實施形態的製造方法適合於作為存儲單元、邏輯門或快速EEPROM等構成元件的MOS電晶體，但不限定於此。本實施形態的製造方法廣泛地適用於具有MOS構造的通常半導



五、發明說明 (23)

體裝置的製造，其中閘極電極是通過活性離子蝕刻形成的。

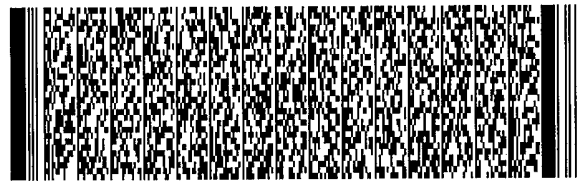
(2. 實施形態2)

圖14及圖15為表示實施形態2半導體裝置製造方法的製造作業圖。在實施形態的製造方法中，首先執行實施形態1的圖1作業後，執行圖14的作業。

在圖14的作業中，先在半導體基板1的主面上形成約3nm厚的作為氧化矽膜的絕緣膜29。例如，在暫且除去墊底氧化膜48後經熱氧化形成絕緣膜29。或也可將墊底氧化膜48原封不動用作絕緣膜。接著將多晶矽膜和矽氮化膜依此順序堆積在絕緣膜29上，之後經轉印作業和有選擇的蝕刻作業製作圖形，在通道區域5的上方形成多晶矽膜30和氮化膜（矽氮化膜）31。

在圖15的作業中，首先進行熱氧化。例如，在乾 O_2 氛圍中進行熱氧化。在半導體基板1的主面中，曝露在氧化氛圍中的源極汲極區域6一側比由多晶矽膜30和氮化膜31所覆蓋的通道區域5的氧化速度快。因此，作為氧化矽膜形成在源極汲極區域6上的絕緣膜10的厚度例如約9nm，然而，作為同樣的氧化矽膜形成在通道區域5上的閘極絕緣膜9的厚度停留在約3nm。

然後，在閘極絕緣膜9與絕緣膜10的連接處形成鳥嘴形部分32。雖可在濕 O_2 氛圍中進行氧化，但在乾 O_2 氛圍中進行氧化的優點是鳥嘴形部分短。作為熱氧化用的裝置可使用氧化爐及RTO（快速熱氧化）裝置的任一種。而且，也



五、發明說明 (24)

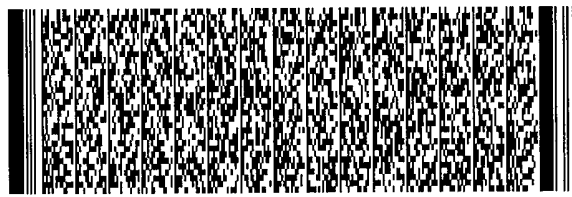
可使用氮化氧化氬圍代替氧化氬圍，可獲得與圖15相同的結構。

一旦圖15的作業結束，就利用蝕刻除去氮化膜31及多晶矽膜30。之後，通過執行實施形態1的圖4—圖7的作業，完成MOS電晶體的製作。

在該製造方法中所形成的源極汲極區域6上的絕緣膜10的厚度也比通道區域5上的絕緣膜9厚。因此，與實施形態1的製造方法相同，當形成閘極電極進行異向性蝕刻時，能抑制遊離基 CF_x ($x=1, 2, 3$)及金屬電極材料的構成原子等導入半導體基板1的閘極端附近，從而減小漏電流。

而且，多晶矽膜30覆蓋著構成閘極絕緣膜9的一部分，因此，集中於閘極端附近的鳥嘴形部分32的氧化引起的應力得到緩解。鳥嘴形部分32的長度也短。因此，氧化引起的缺陷及界面位準的密度減小，提高了閘極絕緣膜9與絕緣膜10的可靠性，可獲得熱載流子承受性高的電晶體。

圖15作業後，也可在用蝕刻除去多晶矽膜30和氮化膜31之後，進而用 950°C 以上的溫度在氧化氬圍、氮化氧化氬圍、氮化氬圍的任一種中進行熱處理。通過除去多晶矽膜30和氮化膜31進一步緩解應力。而且，在 950°C 以上的溫度在這些氬圍中進行熱處理，利用氧化膜的粘性流動的作用進一步緩解了加於鳥嘴形部分32的應力。在 950°C 以上溫度的熱處理中，當阱層、通道分隔(channel-cut)層、通道層的熱擴散問題大時，也可在 950°C 以上溫度的熱處理作業後用離子注入形成這些層。



五、發明說明 (25)

下面，說明通過緩解應力減低界面位準密度的機理。圖16及圖17為說明這種機理而用圖形表示絕緣膜9與半導體基板1的界面附近的說明圖。圖16相當於應力大的情形，而圖17相當於應力小的情形。

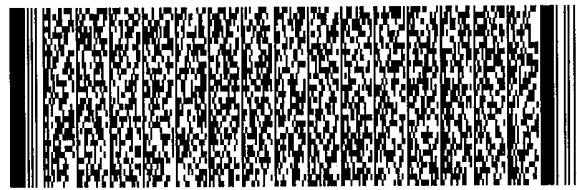
應力大時，如圖16所示，在絕緣膜9與半導體基板1之間出現原子位準不匹配的情況。另一方面，應力小時，如圖17所示，閘極絕緣膜9中的矽原子與半導體基板1中的矽原子不會切斷相互耦合，保持原有的變形狀態。一旦應力增大，變形過大的結果如圖16所示，切斷耦合，產生懸空鍵(dangling bonds)。這種懸空鍵起界面位準28的作用。應力越大，切斷耦合的程度越高，界面位準密度就越高。

一旦界面位準密度高，載流子就在界面位準中漂移，形成帶電的界面位準，閘極閾值電壓及汲極電流的變化變大，減低了MOS電晶體的可靠性。與此相反，本實施形態的製造方法降低了界面位準密度，故能抑制閘極閾值電壓及汲極電流的變化，其結果提高了MOS電晶體的可靠性。

(3. 實施形態3)

圖18—圖21為表示實施形態3半導體裝置製造方法的製造作業圖。在本實施形態的製造方法中，首先執行實施形態1的圖1作業，之後執行圖18的作業。

在圖18的作業中，先在半導體基板1的主面上形成作為氧化矽膜的墊底絕緣膜33。墊底絕緣膜33例如可在暫且除去墊底氧化膜48後形成。或也可將墊底氧化膜48原封不動用作墊底絕緣膜33。接著，在墊底氧化膜33上塗敷阻劑，



五、發明說明 (26)

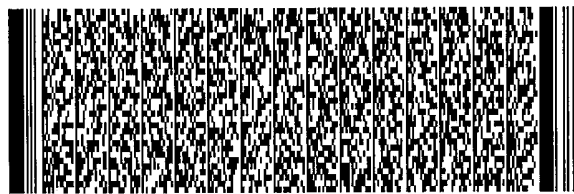
之後，對該阻劑製圖，在墊底氧化膜33中形成覆蓋通道區域5上面部分的保護膜34。

接著，將保護膜34用作罩幕進行離子注入或等離子摻雜，在與源極/汲極區域6相當的半導體基板1主面的極淺區域，形成雜質濃度在 $10^{20}/\text{cm}^3$ 以上的高濃度雜質層35。

在圖19的作業中，除去保護膜34及墊底氧化膜33。在接著的圖20作業中，進行熱氧化處理。熱氧化中的氧化速度取決於半導體所含雜質濃度。也即，雜質濃度在 $10^{20}/\text{cm}^3$ 以下範圍，氧化速度基本不變，當雜質濃度達 $10^{20}/\text{cm}^3$ 以上時，加速氧化。增速比例雖然取決於氧化溫度及氛圍，但為約2倍至10倍。由於在源極/汲極區域6形成高濃度雜質層35，故引起加速氧化，源極汲極區域6上形成的絕緣膜10也比通道區域5上形成的閘極絕緣膜9厚。之後，執行實施形態1的圖4—圖7的作業，由此，完成MOS電晶體。

在本實施形態的製造方法中，所形成的源極汲極區域6上的絕緣膜10比通道區域5上的閘極絕緣膜9厚。而且，在通道區域5上不形成氮化膜114（圖58）等遮蔽體，利用雜質濃度差產生的氧化反應速度的差異就形成相互不同厚度的閘極絕緣膜9和絕緣膜10，所以在閘極絕緣膜9與絕緣膜10的連接部分周圍伴隨熱氧化產生的應力得到緩解。因此，在本實施形態的製造方法中，與實施形態1、2的製造方法相同，也能同時達到減小漏電流和提高閘極絕緣膜9的可靠性。

在圖7作業中，在源極汲極區域6上形成矽化物膜之前的



五、發明說明 (27)

構造物的剖面圖示於圖21。如圖21所示，本實施形態的製造方法能將高濃度雜質層35用作（第1）源極汲極層。此時，高濃度雜質層35的雜質濃度設定在 $10^{20}/\text{cm}^3$ 左右。

為了通過高濃度雜質層35產生與實施形態1的（第1）源極汲極層16相同的效果，也將該接合部的深度（接合深度）設定得比源極汲極層16的淺。如果接合部淺，高濃度雜質層35的電阻就大。源極汲極層16的雜質濃度低，因而其電阻就大，然而，利用使高濃度雜質層35的接合部變淺的方法能調節高濃度雜質層35的電阻值使得與源極汲極層16的電阻值相等。

利用該電阻成分獲得的效果是緩解了源極汲極區域端部產生的電場。其結果抑制了熱載流子引起的絕緣膜損壞。在將高濃度雜質層35用作（第1）源極汲極層16時，（第2）源極汲極層19的雜質濃度比高濃度雜質層35的雜質濃度高，（第2）源極汲極層19的接合深度也設定得比高濃度雜質層35的接合深度深。

也可將高濃度雜質層35用作（第2）通道層，或用作（第2）源極汲極層的一部分來替代將高濃度雜質層35用作（第1）源極汲極雜質層。對於將高濃度雜質層35用作（第2）通道層，例如可通過注入硼形成高濃度雜質層35，並將其原封不動用作（第2）通道層17。通道注入及穿通阻擋層注入可用注入硼進行，第1及第2源極汲極層可通過離子注入磷或砷等已有技術的作業來形成。

對於將高濃度雜質層35用作源極汲極層，可通過注入砷



五、發明說明 (28)

形成高濃度雜質層35，並將其原封不動用作（第2）源極汲極層19。此時與圖18不同，將保護膜34的寬度設定得比閘極長度加上側壁厚度還大，可通過將該保護膜34用作單幕並離子注入砷形成高濃度雜質層35。其他半導體層的形成方法與已有技術的相同。

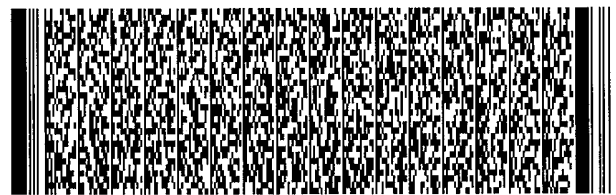
如上所述，高濃度雜質層35可兼作其他半導體層，因此，不增加製造作業就能形成高濃度雜質層35。

（4. 實施形態4）

對於閘極長度縮至 $0.1\ \mu\text{m}$ 以下的MOS電晶體，為了確保MOS電晶體的電流驅動力，以二氧化矽為主的閘極絕緣膜的厚度必須設定在 2nm 以下。但是，由於閘極長度增減的比例(scaling)比電源電壓的增減大，因此在該膜厚以下，會直接產生隧道效應。其結果，閘極絕緣膜的可靠性恐會比已有技術的低。如果把保證電流驅動力、同時保證閘極絕緣膜的可靠性作為目的，則試圖用介質常數比二氧化矽高的氧化氮化膜、 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ 膜（ONO膜）、 Ta_2O_5 及 Al_2O_3 等高介質絕緣膜作為閘極絕緣膜。

如果閘極長度在 $0.1\ \mu\text{m}$ 以下，則存在因閘極線寬小而使閘極電阻增大的問題。為了解決這一問題，試圖用W（鎢）等金屬作為閘極電極來替代已有技術的摻雜多晶矽/ WSi_x （ $x=2\sim3$ ）的二層構造。

這樣一來，如果將W用於閘極並使高介質絕緣膜含有Ta（鈦）及Al（鋁）等金屬原子，則用活性離子蝕刻形成閘極時導入半導體基板的缺陷或位準會更多，漏電流恐會更



五、發明說明 (29)

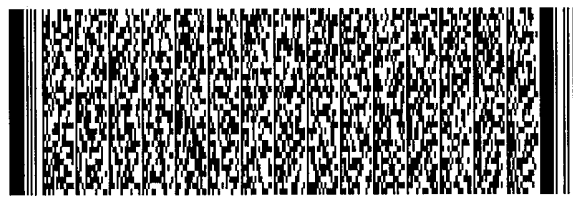
大。下面所述的實施形態4及5的製造方法，即使在閘極電極及閘極絕緣膜對應於 $0.1\ \mu\text{m}$ 以下的閘極長度的MOS構造中，也能實現同時減小漏電流和提高閘極絕緣膜可靠性。

圖22—圖26為表示實施形態4半導體裝置製造方法的製造作業圖。本實施形態的製造方法是對作為公知"鑲嵌(damascene)法"的已有技術的改進。在本實施形態的製造方法中，首先執行實施形態1的圖1作業，之後執行圖22的作業。

在圖22作業中，首先在半導體基板1的主面上形成氧化膜(氧化矽膜)36。氧化膜36，例如可在暫且除去墊底氧化膜48之後形成。或也可將墊底氧化膜48原封不動用作氧化膜36。接著在氧化膜36上依次堆積TEOS膜37及氮化膜(矽氮化膜)38。

之後，用阻劑有選擇地進行蝕刻，製作氧化膜36、TEOS膜37及氮化膜38的圖形。圖22表示製圖後的構造物。製圖的結果，氧化膜36、TEOS膜37及氮化膜38在通道區域5的上方形成開口部87。在其後的圖23的作業中，執行熱氧化。由此，在與通道區域5相當的半導體基板1主面的部分上形成比氧化膜36薄的氧化膜(氧化矽膜)39。

在圖24的作業中，在構造物的整個上表面依次堆積高介質膜40、氮化鈦膜42、鎢膜43。在堆積後的這三層膜中，氧化膜39和高介質膜40構成閘極絕緣膜41。閘極絕緣膜41的厚度設定得比絕緣膜10(相當於圖22中覆蓋源極汲極層6的氧化膜36)的薄。



五、發明說明 (30)

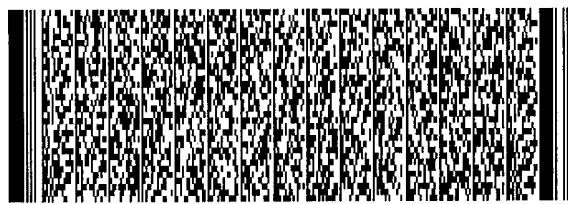
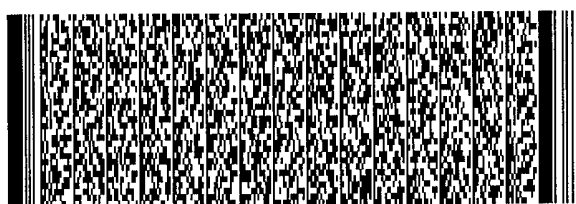
已經知道，如果在半導體基板1上直接堆積高介質膜40，則由於在高介質膜40與半導體基板1間晶格(lattice)常數有大的差異，故在這些界面會發生不匹配，形成矽的懸空鍵，導致界面位準密度增大。與此相反，在本實施形態的方法中，由於用與半導體基板1近似相等的晶格常數的氧化膜39覆蓋通道區域5，故能抑制得使界面位準密度減小。又，形成有氮化鈦42，故能防止構成鎢膜43的鎢原子擴散到其他區域形成雜物。

在圖25的作業中，進行CMP（化學機械拋光：Chemical Mechanical Polishing）。此時，氮化膜38起阻擋層的作用。結果形成閘極電極。

接著執行圖26的作業。在圖26的作業中，利用濕蝕刻除去氮化膜38和TEOS膜37。此時，閘極電極基本上不溶解在蝕刻液中。蝕刻TEOS膜37時，利用過度蝕刻除去氧化膜10的一部分（表面部分），並進行處理使得蝕刻後的氧化膜10仍比氧化矽膜39厚。之後，通過實施形態1的圖4—圖7的作業，完成MOS電晶體。

在本實施形態的製造方法中，所形成的源極汲極區域6上的絕緣膜10也比通道區域5上的閘極絕緣膜41厚。因此，用金屬（W）作為閘極電極的材料且閘極絕緣膜包含高介質膜，即使如此，也能在用活性離子蝕刻形成閘極電極時有效地抑制缺陷或位準導入半導體基板1。結果減小了漏電流。

而且，在通道區域5上未形成氮化膜114（圖58），通過



五、發明說明 (31)

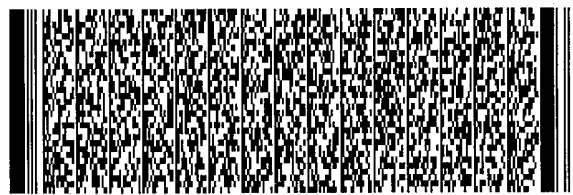
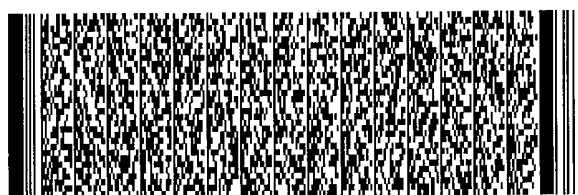
圖22及圖24的作業就形成閘極絕緣膜41與絕緣膜10的厚度相互不同，所以伴隨閘極絕緣膜41和絕緣膜10的連接部周圍的熱氧化所產生的應力得到了緩解。因此在本實施形態的製造方法中，與實施形態1~3的製造方法一樣，能同時減小漏電流和提高閘極絕緣膜41的可靠性。

在從圖25至圖26的作業中，存在於閘極電極側端的高介質膜40也多少受到蝕刻，存在於其中的金屬原子（Ta或Al等）雖微量但溶解於蝕刻液，該金屬原子的一部分擴散並進入到氧化膜10中，雖然如此，但因絕緣膜10的膜厚大而不會到達半導體基板1。因此，對於濕蝕刻時產生的金屬原子而言，半導體基板1基本上不會受污染。能實現漏電流小的MOSFET。

（5. 實施形態5）

圖27—圖30為表示實施形態5半導體裝置製造方法的製造作業圖。在本實施形態的製造方法中，首先執行實施形態1的圖1作業，之後執行圖27的作業。

在圖27的作業中，首先在半導體基板1的主面形成氧化膜（氧化矽膜）。氧化膜例如可在暫且去除墊底氧化膜48之後形成，或也可原封不動使用墊底氧化膜48。接著在形成的氧化膜上依次堆積多晶矽膜和氮化膜（矽氮化膜）。之後經採用阻劑的有選擇的蝕刻製作圖形，由此在源極汲極區域6上依序形成作為氧化矽膜的絕緣膜10、多晶矽膜44及氮化膜38。製圖的結果在通道區域5露出半導體基板1的主面。



五、發明說明 (32)

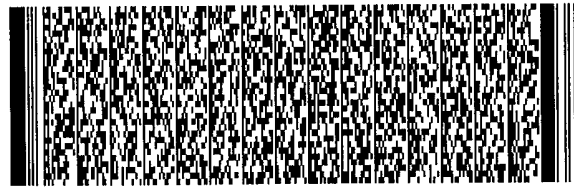
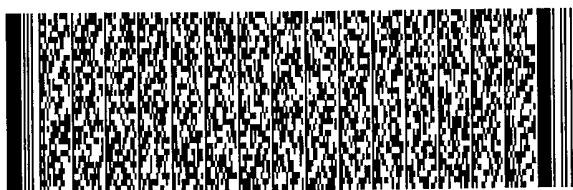
在圖28的作業中，進行熱氧化處理。由此在與通道區域5相當的半導體基板1的主面上形成氧化膜39。在與源極汲極區域6相當的半導體基板1的主面部分被氮化膜38覆蓋，故在該部分基本不會引起氧化。因此，熱氧化前後氧化膜10的膜厚基本不變。熱氧化的進行使得形成的氧化膜39比絕緣膜10薄。在氧化膜39與絕緣膜10的分界附近形成鳥嘴形部分，但由於多晶矽膜44覆蓋著這些膜，所以能緩解應力。

在圖29的作業中，首先，在圖28作業結束後的構造物的整個上表面依序堆積高介質膜40、氮化鈦膜42、鎢膜43及防反射膜45。再在防反射膜45上塗敷阻劑，之後經罩幕製圖在通道區域5上形成保護膜46。

位於通道區域5上方的氧化膜39和高介質膜40的一部分構成閘極絕緣膜41。對氧化膜39及高介質膜40的厚度進行設定，使閘極絕緣膜41比絕緣膜10薄。在高介質膜40與半導體基板1之間夾有氧化膜39的目的與實施形態4相同。堆積氮化鈦膜42的目的也與實施形態4相同。

如果在鎢膜43上不堆積防反射膜45而堆積保護膜46，則由於鎢膜43的高反射率 and 高度差會引起光暈現象，保護膜46的線寬恐會比罩幕圖形更細，但在圖29的作業中，由於堆積了防反射膜45（即反射率小的膜），故能有效地防止光暈。防反射膜45也可用等離子CVD堆積的氮化膜替代。

在圖30的作業中，用保護膜46作為罩幕進行活性離子蝕刻。其結果在通道區域5上方形成閘極電極。接著用閘極



五、發明說明 (33)

電極作罩幕有選擇地將雜質注入半導體基板1的主面。由此，(第1)源極汲極雜質層47自對準地形成在與源極汲極區域6相當的半導體基板1的主面上。之後，執行實施形態1的圖4—圖7的作業，完成MOS電晶體。

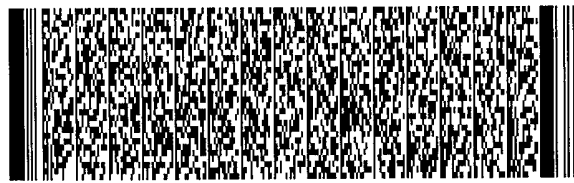
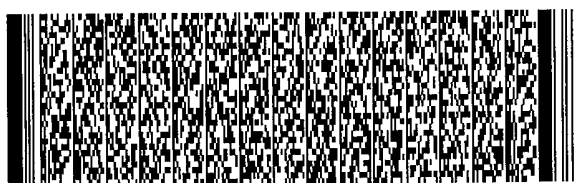
在本實施形態的製造方法中，所形成的源極汲極區域6上的絕緣膜10也比通道區域5上的閘極絕緣膜41厚。因此，即使用金屬(W)作為閘極電極材料且閘極絕緣膜中包含有高介質膜，在用活性離子蝕刻形成閘極電極時也能有效地抑制缺陷或位準導入半導體基板1。結果減小了漏電流。

而且，在通道區域5上未形成氮化膜114(圖58)等的遮蔽體，通過圖27—圖29的作業就形成閘極絕緣膜41與絕緣膜10的厚度相互不同，所以伴隨閘極絕緣膜41和絕緣膜10的連接部周圍的熱氧化所產生的應力得到了緩解。因此在本實施形態的製造方法中，與實施形態1~4的製造方法一樣，能同時減小漏電流和提高閘極絕緣膜41的可靠性。

(6. 實施形態6)

在下面的實施形態中，說明同時形成罩幕圖形的位置對齊用的對準標記的方法。圖31—圖36為實施形態6半導體裝置製造方法的製造作業圖。在以下的附圖中，左側的剖面圖表示電晶體形成部51，右側的剖面圖表示對準標記形成部52。

本實施形態的製造方法是在實施形態1的製造方法中同時形成罩幕圖形位置對齊用的對準標記。在該製造方法



五、發明說明 (34)

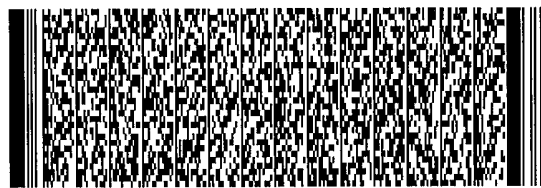
中，首先進行實施形態1的圖1作業。在圖1的作業中，在半導體基板1主面有選擇地形成STI2，之後在半導體基板1的整個主面形成墊底氧化膜48。接著通過離子注入在電晶體形成部51和對準標記部52兩者形成阱層91及通道分隔層92。也可代之以在對準標記部52形成阱層91和通道分隔層92。

之後，執行圖31的作業。在圖31的作業中，在半導體基板1的整個上方堆積氮化膜（矽氮化膜）。再在氮化膜上塗敷阻劑，之後對該阻劑製圖使之僅僅覆蓋對準標記形成部52。接著用製圖後的阻劑作為單幕進行濕蝕刻處理，除去覆蓋電晶體形成部51的氮化膜的一部分，使形成的氮化膜50只覆蓋對準標記形成部52。

之後，在構造物的整個上表面再次塗敷阻劑，再對該阻劑製圖，形成保護膜3。在電晶體形成部51的通道區域5的上方，保護膜3有開口部70，在對準標記形成部52的應當形成對準標記的部位上方有開口部71。

在圖32的作業中，用保護膜3作單幕進行離子注入，有選擇地形成含有氮的通道注入層7及穿通阻擋層8。通過該作業，在對準標記形成部52的開口部71的正下方也有選擇地形成通道注入層7a及穿通阻擋層8a。但是，由於在對準標記形成部52存在氮化膜50，所以形成的通道注入層7a及穿通阻擋層8a分別比通道注入層7及穿通阻擋層8淺。

之後，利用濕蝕刻除去露出開口部71的氮化膜50。在該濕蝕刻中由於氮化膜50與墊底氧化膜48間的選擇比大，所



五、發明說明 (35)

以墊底氧化膜48基本上未蝕刻而保留下來。

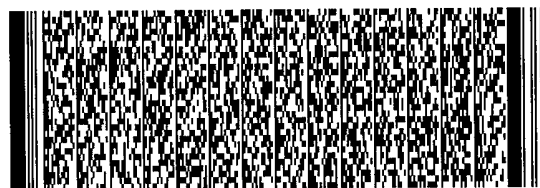
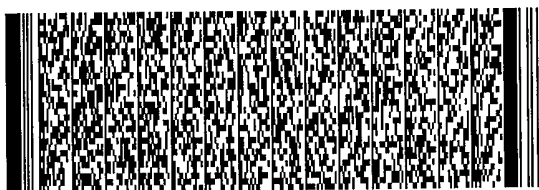
在圖33的作業中，首先除去保護膜3，之後在構造物的整個上表面塗敷新的阻劑。再對阻劑製圖形成保護膜53。形成的保護膜53只覆蓋電晶體形成部51。

接著，用保護膜53及氮化膜50作罩幕進行活性離子蝕刻，在對準標記形成部52中除去氮化膜50未覆蓋而露出的墊底氧化膜48的部分及半導體基板1主面的部分。其結果形成溝渠54，構成對準標記的一部分。對氮化膜50的墊底氧化膜48和半導體（矽）基板1的活性離子蝕刻選擇比大，故在蝕刻作業中不會除去氮化膜50。在蝕刻作業中保護膜53雖被除去一些，但不會對電晶體形成部51構成因蝕刻而造成的損傷。

在圖34的作業中，首先去除保護膜53，之後經濕蝕刻除去未被氮化膜50覆蓋的墊底氧化膜48的部分。由此，電晶體形成部51的半導體基板1的主面露出。接著在例如幹 O_2 氛圍中進行熱氧化，從而形成閘極絕緣膜9、絕緣膜10及內壁氧化膜55。閘極絕緣膜9及絕緣膜10還形成為氧化矽膜。

在對準標記形成部52中，由於除溝渠外的部分被氮化膜50所覆蓋，因此，主要是溝渠54的內壁受到氧化。氧化作業後，通過濕蝕刻除去覆蓋對準標記形成部52一部分的氮化膜50。覆蓋對準標記形成部52一部分的氮化膜50也可不除去而加以保留。

在圖35的作業中，在構造物的整個表面依序堆積摻有雜



五、發明說明 (36)

質的多晶矽膜11、WSi膜12及絕緣膜13。不僅電晶體形成部51，還有對準標記部52的溝渠54的內壁，都堆積這些膜。其結果在溝渠54的內側形成可用作對準標記的對準標記緣(edge)56。

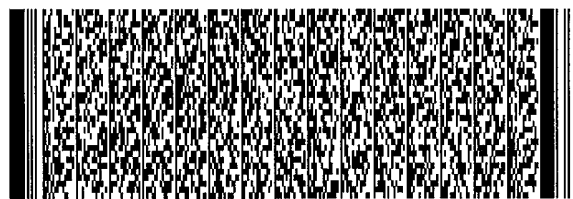
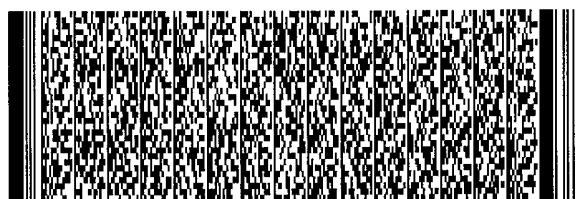
接著，在構造物的整個表面塗敷阻劑後，通過以對準標記緣56為對準(位置對齊)的基準，對準罩幕對阻劑製圖。由此，在通道區域5上方高精度形成保護膜14。對準標記緣56有高度差，故能容易檢測。利用確定通道區域5的保護膜3能同時形成溝渠54。也即通過共同的罩幕圖形的轉印，確定兩者的位置。因此，基本上沒有罩幕偏差，能將保護膜14高精度地形成在通道區域5的上方。

在圖36的作業中，用保護膜14作為罩幕進行活性離子蝕刻，形成閘極電極15。此時，通過過度蝕刻除去保護膜14。另外，覆蓋著對準標記形成部52的多層構造的膜11、12、13也同時被除去。以後的作業如實施形態1中所述。

對準標記形成在半導體基板1主面中與電晶體形成部51不同的區域，但也可在同一晶片或同一大園片上存在多個。這一點在下面的實施形態中也一樣。

(7. 實施形態7)

圖37—圖41是實施形態7半導體裝置製造方法的製造作業圖。本實施形態的製造方法是在實施形態2的製造方法中同時形成罩幕圖形位置對齊用的對準標記。在該製造方法中如同實施形態6，首先執行圖1的作業。由於在實施形態6中已作了說明，故這裏省略該作業的說明。



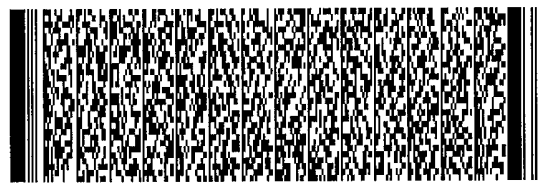
五、發明說明 (37)

之後，執行圖37的作業。在圖37的作業中，首先在半導體基板1的主面上形成氧化膜（相當於圖14的氧化膜29），接著在構造物的整個上表面依序堆積多晶矽膜和氮化膜（矽氮化膜）。之後，在氮化膜上塗敷阻劑，再對阻劑製圖形成保護膜60。保護膜60，在電晶體形成部51中只形成在通道區域5的上方，而在對準標記形成部51中形成使僅在應當形成對準標記的部位上方有開口部71。

其後，用保護膜60作為罩幕進行濕蝕刻，除去位於未被保護膜60覆蓋區域的氧化膜、多晶矽膜及氮化膜，在電晶體形成部51中通道區域5的上方形形成作為氧化矽膜的閘極絕緣膜9、多晶矽膜30及氮化膜31，在對準標記形成部52中除開口部71外的部分形成作為氧化膜的絕緣膜9a、多晶矽膜30a及氮化膜31a。

在圖38的作業中，首先除去保護膜60後在構造物的整個上表面塗敷新的阻劑。接著對塗敷後的阻劑製圖，形成只覆蓋電晶體形成區域51的保護膜61。再用保護膜61及形成在對準標記形成部52的絕緣膜9a、多晶矽膜30a及氮化膜31a作為罩幕進行活性離子蝕刻。由此，在對準標記形成部52中除去絕緣膜9a、多晶矽膜30a及半導體基板1主面中未被氮化膜31a覆蓋的部分。其結果形成構成對準標記一部分的溝渠62。

在圖39的作業中，首先除去保護膜61後，例如在幹 O_2 氮圍中進行熱氧化。其結果在半導體基板1的表面形成作為氧化矽膜的絕緣膜10及內壁氧化膜63。由於在對準標記形



五、發明說明 (38)

成部52中除了溝渠62外的部分覆蓋有氮化膜31a，故主要是溝渠62的內壁受到氧化。之後，利用濕蝕刻除去氮化膜31、31a和多晶矽膜30、30a。

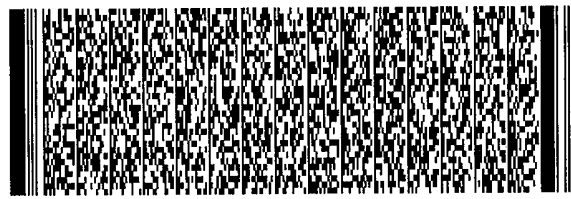
在圖40的作業中，首先在構造物的整個表面依序堆積摻雜的多晶矽膜11、WSi_x膜12及絕緣膜13。不僅是電晶體形成部51，而且還在對準標記形成部52的溝渠62的內壁堆積這些膜。其結果在溝渠62的內側形成可用作對準標記的對準標記緣(edge)64。

接著，在構造物的整個表面塗敷阻劑後，通過以對準標記緣64為對準（位置對齊）的基準，對準罩幕對阻劑製圖。由此，在通道區域5上方高精度形成保護膜14。對準標記緣64有高度差，故能容易檢測。利用確定通道區域5的保護膜60同時形成溝渠62。也即通過共同的罩幕圖形的轉印，確定兩者的位置。因此，基本上沒有罩幕偏差，能將保護膜14高精度地形成在通道區域5的上方。

在圖41的作業中，用保護膜14作為罩幕進行活性離子蝕刻，形成閘極電極15。此時，通過過度蝕刻除去保護膜14。另外，覆蓋著對準標記形成部52的多層構造的膜11、12、13也同時被除去。以後的作業如實施形態2中所述。

(8. 實施形態8)

圖42—圖48是實施形態8半導體裝置製造方法的製造作業圖。本實施形態的製造方法是在實施形態3的製造方法中同時形成罩幕圖形位置對齊用的對準標記。在該製造方法中如同實施形態6，首先執行圖1的作業。



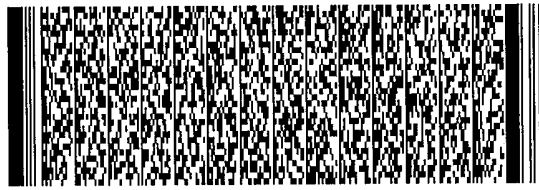
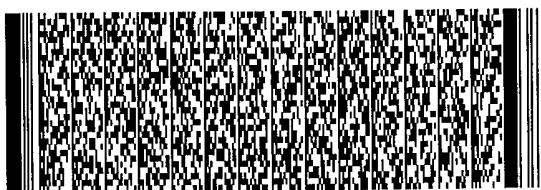
五、發明說明 (39)

之後，執行圖42的作業。在圖42的作業中，首先在半導體基板1的主面上形成氧化膜（氧化矽膜）33，接著在構造物的整個上表面堆積氮化膜（氮化矽膜）。之後，對阻劑製圖使之僅覆蓋對準標記形成部52。再用製圖後的保護膜作為罩幕進行濕蝕刻處理，除去覆蓋電晶體形成部51的氮化膜部分，形成只覆蓋對準標記形成部52的氮化膜50。

之後，在構造物的整個上表面再次塗敷阻劑，再對該阻劑製圖，形成保護膜34。保護膜34，在電晶體形成部51中僅形成在通道區域5的上方，在對準標記形成部52中形成使得僅在應當形成對準標記的部位上方有開口部71。

在圖43的作業中，首先用保護膜34及氮化膜50作為罩幕，例如以20keV的注入能量及 $1 \times 10^{14}/\text{cm}^2$ 的注入量有選擇地向半導體基板1的主面注入砷。由此，在半導體基板1的主面有選擇地形成高濃度雜質層35。此時，位於開口部71的正下方的氮化膜50的部分也注入砷。之後，用保護膜34作為罩幕進行濕蝕刻，除去開口部71正下方的氮化膜50的部分。

在圖44的作業中，除去保護膜34後在構造物的整個上表面塗敷新的阻劑。接著對塗敷後的阻劑製圖，形成只覆蓋電晶體形成區域51的保護膜53。再用保護膜53及殘留在對準標記形成部52的氮化膜50作為罩幕進行活性離子蝕刻。由此，在對準標記形成部52中除去半導體基板1主面中未被氮化膜50覆蓋的部分。其結果形成構成對準標記一部分的溝渠54。



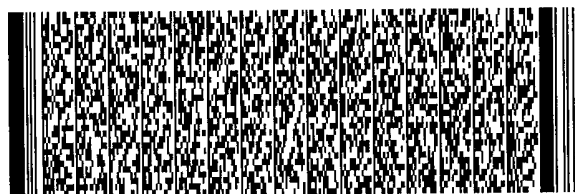
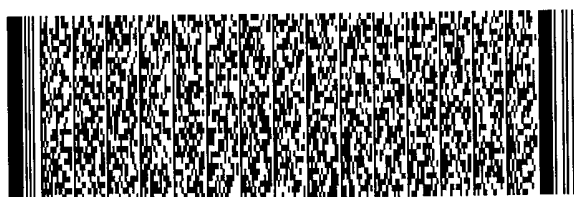
五、發明說明 (40)

在圖45的作業中，首先除去保護膜53後用氮化膜50作為單幕有選擇地除去氧化膜33。其結果，半導體基板1的主面在電晶體形成部51中露出。之後，例如在幹 O_2 氛圍中進行熱氧化。結果在半導體基板1在電晶體形成部51中的主面上形成閘極絕緣膜9及絕緣膜10。閘極絕緣膜9及絕緣膜10都可作為氧化矽膜形成。由於在對準標記形成部52中除溝渠54外的部分被氮化膜50所覆蓋，因此，氧化主要在溝渠54的內壁進行，形成內壁氧化膜55。

在圖46的作業中，先除去氮化膜50。也可代之以不除去氮化膜50，將其原樣保留。之後在構造物的整個表面依序堆積摻雜的多晶矽膜11、WSix膜12及絕緣膜13。不僅是電晶體形成部51，而且還在對準標記形成部52的溝渠54的內壁堆積這些膜。其結果在溝渠54的內側形成可用作對準標記的對準標記緣56a。

接著，在構造物的整個表面塗敷阻劑後，通過以對準標記緣56a為對準的基準，對準單幕，對阻劑製圖。由此，在通道區域5上方高精度形成保護膜14。對準標記緣56a有高度差，故能容易檢測。利用確定通道區域5的保護膜34同時形成溝渠56a。也即通過共同的單幕圖形的轉印，確定兩者的位置。因此，基本上沒有單幕偏差，能將保護膜14高精度地形成在通道區域5的上方。

如圖47所示，為了進一步提高對準精度，也可以在保護膜14形成之前，除去對準標記形成部52中的多晶矽膜11、WSix膜12及絕緣膜13。由此，可將形成在溝渠54側壁上的



五、發明說明 (41)

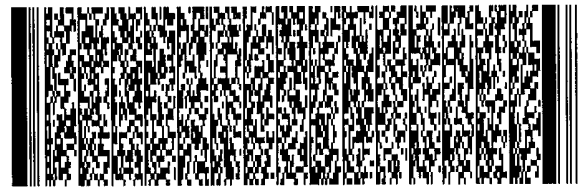
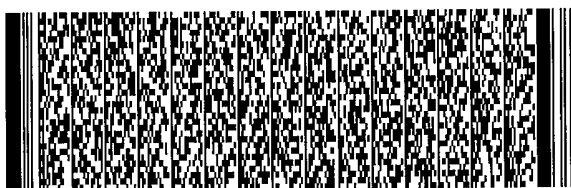
內壁氧化膜55的表面用作對準標記緣56b，可對形成保護膜14用的罩幕進行對準。其結果可消除由多晶矽膜11、WSi_x膜12及絕緣膜13的厚度差產生的對準誤差，可進一步提高對準的精度。

內壁氧化膜55的厚度基本上等於閘極絕緣膜9的厚度T。因此，內壁氧化膜55形成前的溝渠54的側壁位置與內壁氧化膜55形成後的內壁氧化膜55的側壁表面位置間的位置差表達為 $T \times (1 - \alpha)$ 。這裏的常數 α 表示通過矽進行氧化每形成1個厚度氧化膜所消費的矽的厚度，該值約為0.44。因此，若厚度T為2nm，則位置差約為1.12nm。可以說即使假定閘極長為0.1 μm ，則由位置差引起的對準誤差極小。為了進一步提高對準精度也可考慮位置差在約1.12nm進行對準。

另外，也可經蝕刻除去內壁氧化膜55，將半導體基板1露出的溝渠54的側壁用作對準標記緣。

如圖47所示，為了除去對準標記形成部52中的多晶矽膜11、WSi_x膜12及絕緣膜13，可以先在絕緣膜13上塗敷阻劑後在對準標記形成部52中對阻劑製圖使之開口，再用製圖後的阻劑有選擇地進行蝕刻。之後除去阻劑。

一旦完成圖46或圖47的作業，就執行圖48的作業。在圖48的作業中，用保護膜14作為罩幕進行活性離子蝕刻形成閘極電極15。此時，通過進行過度蝕刻除去保護膜14。採用圖46的作業時，同時除去覆蓋對準標記形成部52的多層構造的膜11、12、13。後面的作業如實施形態3中所述。



五、發明說明 (42)

(9. 實施形態9)

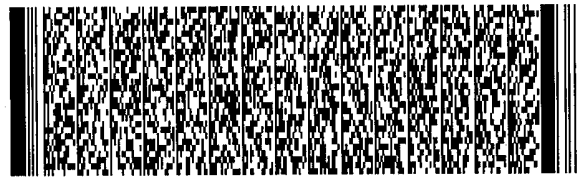
圖49—圖54是實施形態98半導體裝置製造方法的製造作業圖。本實施形態的製造方法是在實施形態5的製造方法中同時形成單幕圖形位置對齊用的對準標記。在該製造方法中用和實施形態6相同的要領，首先執行圖1的作業。

之後，執行圖49的作業。在圖49的作業中，首先在構造物的整個上表面依序堆積多晶矽膜44及氮化膜（氮化矽膜）38。之後，在氮化膜38整個上面塗敷阻劑。

再對阻劑製圖形成保護膜49。保護膜49在電晶體形成部51中有通道區域5的上方開口的開口部70，而在對準標記形成部52中有應當形成對準標記的部位上方開口的開口部71。

接著在圖50的作業中，用保護膜49作為單幕進行有選擇的蝕刻，除去開口部70及71正下方的多晶矽膜44及氮化膜38。之後除去保護膜49。在後續的熱氧化作業之前一直保留著墊底氧化膜48。由此，墊底氧化膜48起保護通道區域5不受污染的作用。

在圖51的作業中，在構造物的整個上表面塗敷新的阻劑。接著對塗敷後的阻劑製圖，形成只覆蓋電晶體形成區域51的保護膜67。再用保護膜67及殘留在對準標記形成部52的氮化膜38作為單幕進行活性離子蝕刻。由此，在對準標記形成部52中除去半導體基板1主面中未被氮化膜38覆蓋的部分。其結果形成構成對準標記一部分的溝渠54。在該作業中，墊底氧化膜48的作用是防止半導體基板1在通



五、發明說明 (43)

道區域5中的主面受到保護膜67污染。

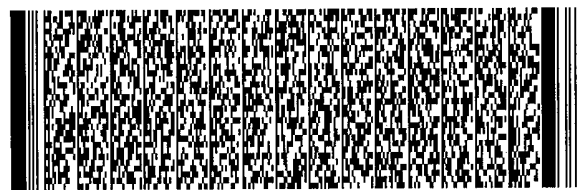
在圖52的作業中，首先除去保護膜67後用氮化膜38作為單幕有選擇地除去墊底氧化膜48。其結果使半導體基板1在通道區域5中的主面露出。

在圖53的作業中，首先，例如在幹 O_2 氛圍中進行熱氧化。其結果在半導體基板1的通道區域5中的主面上形成作為氧化矽膜的絕緣膜9。源極汲極區域6中的半導體基板1上的墊底膜48變成絕緣膜10。在對準標記形成部52中除了溝渠54外的部分覆蓋有氮化膜38，故主要是溝渠54的內壁受到氧化，形成內壁氧化膜55。

之後，在構造物的整個表面依序堆積高介質膜40、氮化鈦膜42、鎢膜43及防反射的絕緣膜45。不僅是電晶體形成部51，而且還在對準標記形成部52的溝渠54的內壁堆積這些膜。其結果在溝渠54的內側形成可用作對準標記的對準標記緣 (edge) 56。

接著，在構造物的整個表面塗敷阻劑後，通過以對準標記緣56為對準的基準，對準單幕對阻劑製圖。由此，在通道區域5上方高精度形成保護膜46。對準標記緣56有高度差，故能容易檢測。利用確定通道區域5的保護膜49同時形成溝渠54。也即通過共同的單幕圖形的轉印，確定兩者的位置。因此，基本上沒有單幕偏差，能將保護膜14高精度地形成在通道區域5的上方。

雖省略圖示，但如實施形態8所說明的那樣，為了提高對準的精度，也可在除去堆積在溝渠54內壁的高介質膜



五、發明說明 (44)

40、氮化鈦膜42、鎢膜43及防反射的絕緣膜45之後進行對準。

在圖54的作業中，用保護膜46作為罩幕進行活性離子蝕刻形成閘極電極15。此時，通過進行過度蝕刻除去保護膜46。同時還除去覆蓋對準標記形成部52的多層構造的膜40、42、43、45。後面的作業如實施形態5中所述。

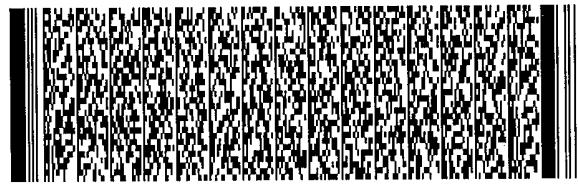
(10. 變形例)

在實施形態6～9中雖示出形成溝渠作為對準標記的例子，但也可形成除溝渠外的標記。但是，採用溝渠的優點是，由於能夠使用有高度差的側壁作標記，故能使標記檢測容易，同時能以更高精度進行對準。

[發明之效果]

在第1發明的製造方法中，導入氮的區域抑制了氧化反應，故形成的絕緣膜在源極汲極區域中比通道區域的厚。因此，在閘極形成作業中能抑制位準導入源極汲極區域，並能減小完成的半導體裝置中的漏電流。而且，利用導入氮的區域與未導入氮的區域的氧化反應速度差形成厚度不同的絕緣膜，故能抑制氧化反應在絕緣膜中產生的應力。因此，抑制了與閘極絕緣膜相當的絕緣膜的周圍界面位準密度增加，從而提高了閘極絕緣膜的可靠性。

在第2發明的製造方法中，抑制了半導體氮化膜覆蓋區域中的氧化反應，故形成的絕緣膜在源極汲極區域中比通道區域中厚。因此，在閘極形成作業中能抑制位準導入源極汲極區域，並能減小完成的半導體裝置中的漏電流。而



五、發明說明 (45)

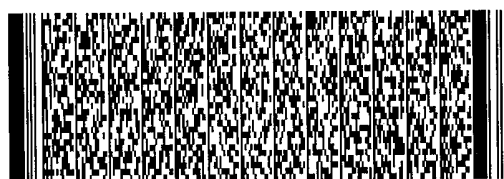
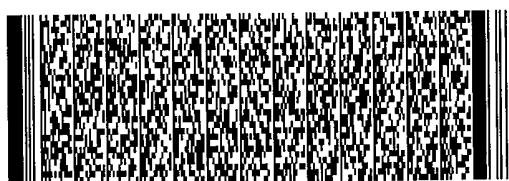
且，半導體氮化膜經多晶矽膜覆蓋通道區域，故能緩解絕緣膜中氧化產生的應力。因此，抑制了與閘極絕緣膜相當的絕緣膜的周圍界面位準密度增加，從而提高了閘極絕緣膜的可靠性。

在第3發明的製造方法中，在導入雜質的區域加速了氧化反應，故形成的絕緣膜在源極汲極區域中比通道區域中厚。因此，在閘極形成作業中能抑制位準導入源極汲極區域，並能減小完成的半導體裝置中的漏電流。而且，利用導入雜質的區域與未導入雜質的區域的氧化反應速度差形成厚度不同的絕緣膜，故能抑制氧化反應在絕緣膜中產生的應力。因此，抑制了與閘極絕緣膜相當的絕緣膜的周圍界面位準密度增加，從而提高了閘極絕緣膜的可靠性。

在第4發明的製造方法中，形成的絕緣膜在源極汲極區域中比通道區域中厚。因此，在閘極形成作業中能抑制位準導入源極汲極區域，並能減小完成的半導體裝置中的漏電流。而且，有選擇地除去已經形成的絕緣膜，然後有選擇地形成更薄的絕緣膜，這樣，形成厚度不同的絕緣膜，故能抑制氧化反應在絕緣膜中產生的應力。因此，抑制了與閘極絕緣膜相當的絕緣膜的周圍界面位準密度增加，從而提高了閘極絕緣膜的可靠性。

在第5發明的製造方法中，在950℃以上的溫度中進行熱處理，利用絕緣膜粘性流動的作用進一步抑制在絕緣膜中產生的應力。

在第6發明的製造方法中，閘極形成作業中的單幕圖形



五、發明說明 (46)

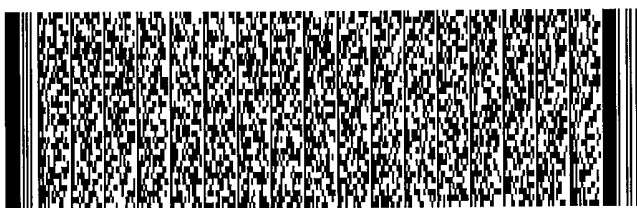
的位置對準是以標記為基準進行的，故能在通道區域上方高精度形成閘極電極。而且，標記形成和通道位置選擇作業兩者通過共同的罩幕圖形的轉印來確定位置，因此，能將閘極形成作業中所用罩幕圖形的罩幕偏差抑制得足夠低。

在第7發明的製造方法中，形成溝渠作為標記，故能夠使用具有高度差的側壁作為標記。因此，標記容易識別，同時對準精度更高。

在第8發明的製造方法中，能夠抑制漏電流並提高閘極絕緣膜的可靠性，同時可用"鑲嵌法"形成閘極電極。

[元件編號之說明]

- 1 半導體裝置
- 5 通道區域
- 6 源極汲極區域
- 7 通道層
- 9 閘極絕緣膜 (絕緣膜)
- 10 絕緣膜
- 15 閘極電極
- 30 多晶矽膜 (多晶半導體膜)
- 31 氮化膜 (半導體氮化膜)
- 35 高濃度雜質層
- 36 氧化膜 (絕緣膜)
- 38 氮化膜 (半導體氮化膜)
- 39 氧化膜 (絕緣膜)



五、發明說明 (47)

54 溝渠

62 溝渠



四、中文發明摘要 (發明之名稱：半導體裝置之製造方法)

本發明係關於一種半導體裝置之製造方法；本發明係同時實現減小漏電流和提高閘極絕緣膜可靠性。

在半導體基板1主面中的通道區域5，形成含有氮的通道層7之後，實施熱處理，在半導體基板1的主面上形成作為氧化膜的閘極絕緣膜9及絕緣膜10。在已導入氮的區域抑制了氧化反應，故絕緣膜10形成的厚度比閘極絕緣膜9厚。而且，在閘極絕緣膜9與絕緣膜10的連接部周圍，抑制了氧化反應所帶來的應力。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE MANUFACTURING METHOD)

After a channel layer (7) containing nitrogen is formed in a channel region (5) in the main surface of a semiconductor substrate (1), a gate insulating film (9) and insulating films (10) are formed as oxide film by a thermal oxidation on the main surface of the semiconductor substrate (1). The insulating films (10) are thicker than the gate insulating film (9) because the oxidation reaction is suppressed in the nitrogen-introduced region. Further, stresses caused by the oxidation



四、中文發明摘要 (發明之名稱：半導體裝置之製造方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE MANUFACTURING METHOD)

are suppressed around the connections between the gate insulating film (9) and the insulating films (10). Accordingly, reduction in leakage current and improvement of gate insulating film reliability are compatibly realized.



六、申請專利範圍

1. 一種半導體裝置之製造方法，該半導體裝置具有有選擇地形成在半導體基板主面上的通道區域，夾著該通道區域有選擇地形成在半導體基板主面上的一組源極/汲極區域，和夾著閘極絕緣膜與通道區域相對的閘極電極；其特徵在於，所述方法包含：

(a) 準備所述半導體基板的作業；

(b) 通過對所述半導體基板主面進行氧化在所述主面上形成絕緣膜的作業；

(c) 依序將多晶半導體膜和半導體氮化膜堆積在位於所述通道區域上方的所述絕緣膜部分上的通道位置選擇作業；

(d) 在所述通道位置選擇作業後，通過對所述半導體基板所述主面進行氧化，使所述絕緣膜在所述一組源極/汲極區域中比所述通道區域中厚的氧化作業；

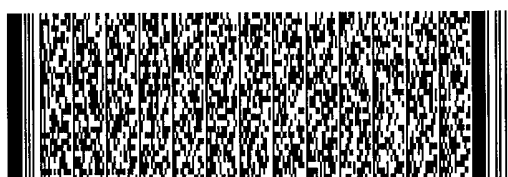
(e) 除去所述多結晶半導體膜和所述半導體氮化膜的作業；

(f) 在所述絕緣膜上堆積電極材料的作業；

(g) 用選擇的蝕刻有選擇地除去所述電極材料從而形成所述閘極電極的閘極形成作業。

2. 如申請專利範圍第1項之半導體裝置之製造方法，其中進一步備有(A)在所述氧化作業後，在950℃以上的溫度中進行加熱的作業。

3. 如申請專利範圍第1或2項之半導體裝置之製造方法，其中進一步備有(B)在所述半導體基板的所述主面中離



六、申請專利範圍

開所述通道區域和所述源極/汲極區域的部位形成標記的作業，

通過共同的罩幕圖形的轉印確定所述通道位置選擇作業中的處理位置和確定所述作業(B)中所述罩幕的位置，

在所述閘極形成作業中，有選擇地除去所述電極材料的位置通過另一罩幕圖形的轉印來確定，並以所述標記的位置為基準來對齊該另一罩幕圖形的位置。

4. 如申請專利範圍第3項之半導體裝置之製造方法，其中用所述作業(B)形成溝渠作為標記。

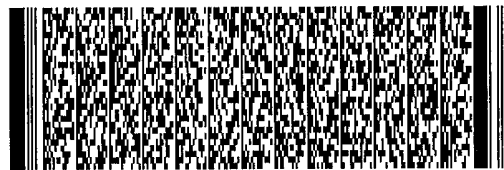
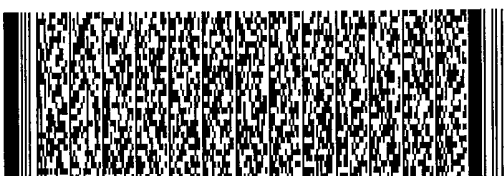
5. 如申請專利範圍第4項之半導體裝置之製造方法，其中在堆積所述電極材料的作業中，在所述溝渠的內側表面也堆積所述電極材料，

所述製造方法進一步備有(C)在所述堆積作業後所述閘極形成作業前從所述溝渠的所述內側表面除去所述電極材料的作業。

6. 如申請專利範圍第5項之半導體裝置之製造方法，其中在所述氧化作業中在所述溝渠的內側表面上也堆積所述絕緣膜，

在所述作業(C)中從所述溝渠的內側表面也除去所述絕緣膜。

7. 一種半導體裝置之製造方法，該半導體裝置具有有選擇地形成在半導體基板主面上的通道區域，夾著該通道區域有選擇地形成在半導體基板主面上的一組源極汲極區域，和夾著閘極絕緣膜與通道區域相對的閘極電極，其特



六、申請專利範圍

徵在於，所述方法包含：

- (a) 準備所述半導體基板的作業；
- (b) 通過對所述半導體基板主面進行氧化，在所述主面上形成絕緣膜的作業；
- (c) 通過實施選擇的蝕刻在所述通道區域上除去所述絕緣膜的通道位置選擇作業；
- (d) 在所述作業(c)後，通過對所述半導體基板主面進行氧化，在所述通道區域中形成的絕緣膜比所述一組源極/汲極區域上的所述絕緣膜薄的氧化作業；
- (e) 在所述通道區域及所述源極/汲極區域上的所述絕緣膜上方堆積電極材料的作業；
- (f) 用選擇的蝕刻有選擇地除去所述電極材料由此形成所述閘極電極的閘極形成作業。

8. 如申請專利範圍第7項之半導體裝置之製造方法，其中進一步備有(A)在所述氧化作業後，在950℃以上的溫度中進行加熱的作業。

9. 如申請專利範圍第7或8項之半導體裝置之製造方法，其中進一步備有(B)在所述半導體基板的所述主面中離開所述通道區域和所述源極/汲極區域的部位形成標記的作業，

通過共同的罩幕圖形的轉印確定所述通道位置選擇作業中的處理位置和確定所述作業(B)中所述罩幕的位置，

在所述閘極形成作業中，有選擇地除去所述電極材料的位置通過另一罩幕圖形的轉印來確定，並以所述標記的位



六、申請專利範圍

置為基準來對齊該另一罩幕圖形的位置。

10. 如申請專利範圍第9項之半導體裝置之製造方法，其中用所述作業（B）形成溝渠作為標記。

11. 如申請專利範圍第10項之半導體裝置之製造方法，其中在堆積所述電極材料的作業中，在所述溝渠的內側表面也堆積所述電極材料，

所述製造方法進一步備有（C）在所述堆積作業後所述閘極形成作業前從所述溝渠的所述內側表面除去所述電極材料的作業。

12. 如申請專利範圍第11項之半導體裝置之製造方法，其中在所述氧化作業中在所述溝渠的內側表面上也堆積所述絕緣膜，

在所述作業（C）中從所述溝渠的內側表面也除去所述絕緣膜。

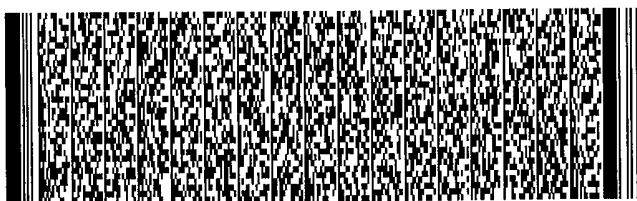
13. 如申請專利範圍第7項之半導體裝置之製造方法，其中所述作業（c）包含：

（c-1）在所述絕緣膜上堆積半導體氧化膜的作業；

（c-2）在所述半導體氧化膜上堆積半導體氮化膜的作業；

（c-3）通過實施選擇的蝕刻在所述通道區域上方有選擇地除去所述半導體氮化膜、所述半導體氧化膜及所述絕緣膜的作業。

14. 一種半導體裝置之製造方法，具有有選擇地形成在半導體基板主面上的通道區域，夾著該通道區域有選擇地



六、申請專利範圍

形成在半導體基板主面上的一組源極汲極區域，和夾著閘極絕緣膜與通道區域相對的閘極電極，其特徵在於，所述方法包含：

(a) 準備所述半導體基板的作業；

(b) 通過對所述半導體基板的所述主面進行氧化在該主面上形成絕緣膜的作業；

(c) 通道位置選擇作業，是通過實施選擇的蝕刻在所述通道區域上有選擇地除去所述絕緣膜的作業，包含

(c-1) 在所述絕緣膜上堆積膜的作業，

(c-2) 通過實施選擇的蝕刻在所述通道區域上方有選擇地除去在所述作業(c-1)堆積的所述膜和所述絕緣膜的作業；

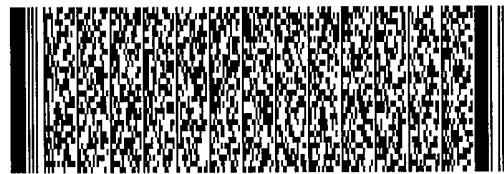
(d) 在所述作業(c)後，通過對所述半導體基板主面進行氧化，在所述通道區域中形成的絕緣膜比所述一組源極/汲極區域上的所述絕緣膜薄的氧化作業；

(e) 在所述通道區域及所述源極/汲極區域上的所述絕緣膜上方堆積電極材料的作業；

(f) 通過研磨所述電極材料使其不殘留在所述作業(c-1)中堆積的所述膜上而留在所述通道區域上方，由此形成所述閘極電極；

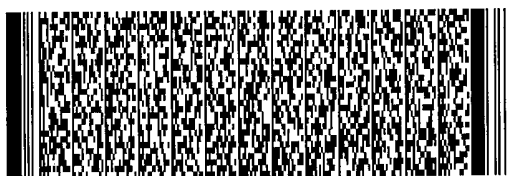
(g) 除去所述作業(c-1)中堆積的所述膜的作業。

15. 如申請專利範圍第14項之半導體裝置之製造方法，其中進一步備有(A)在所述氧化作業後，在950℃以上的溫度中進行加熱的作業。



圖式簡單說明

- 圖1為實施形態1製造方法的作業圖。
圖2為實施形態1製造方法的作業圖。
圖3為實施形態1製造方法的作業圖。
圖4為實施形態1製造方法的作業圖。
圖5為實施形態1製造方法的作業圖。
圖6為實施形態1製造方法的作業圖。
圖7為實施形態1製造方法的作業圖。
圖8為說明閘極絕緣膜受損過程的模式圖。
圖9為說明閘極絕緣膜受損過程的模式圖。
圖10為說明閘極絕緣膜受損過程的模式圖。
圖11為表示通道層和穿通阻擋層效果的曲線圖。
圖12為表示通道層再一效果的曲線圖。
圖13為表示實施形態1變化例的半導體裝置的剖面圖。
圖14為實施形態2製造方法的作業圖。
圖15為實施形態2製造方法的作業圖。
圖16為說明實施形態2效果的模式圖。
圖17為說明實施形態2效果的模式圖。
圖18為實施形態3製造方法的作業圖。
圖19為實施形態3製造方法的作業圖。
圖20為實施形態3製造方法的作業圖。
圖21為實施形態3製造方法的作業圖。
圖22為實施形態4製造方法的作業圖。
圖23為實施形態4製造方法的作業圖。
圖24為實施形態4製造方法的作業圖。



圖式簡單說明

- 圖25為實施形態4製造方法的作業圖。
圖26為實施形態4製造方法的作業圖。
圖27為實施形態5製造方法的作業圖。
圖28為實施形態5製造方法的作業圖。
圖29為實施形態5製造方法的作業圖。
圖30為實施形態5製造方法的作業圖。
圖31為實施形態6製造方法的作業圖。
圖32為實施形態6製造方法的作業圖。
圖33為實施形態6製造方法的作業圖。
圖34為實施形態6製造方法的作業圖。
圖35為實施形態6製造方法的作業圖。
圖36為實施形態6製造方法的作業圖。
圖37為實施形態7製造方法的作業圖。
圖38為實施形態7製造方法的作業圖。
圖39為實施形態7製造方法的作業圖。
圖40為實施形態7製造方法的作業圖。
圖41為實施形態7製造方法的作業圖。
圖42為實施形態8製造方法的作業圖。
圖43為實施形態8製造方法的作業圖。
圖44為實施形態8製造方法的作業圖。
圖45為實施形態8製造方法的作業圖。
圖46為實施形態8製造方法的作業圖。
圖47為實施形態8製造方法的作業圖。
圖48為實施形態8製造方法的作業圖。



圖式簡單說明

圖49為實施形態9製造方法的作業圖。

圖50為實施形態9製造方法的作業圖。

圖51為實施形態9製造方法的作業圖。

圖52為實施形態9製造方法的作業圖。

圖53為實施形態9製造方法的作業圖。

圖54為實施形態9製造方法的作業圖。

圖55為習知製造方法的作業圖。

圖56為習知製造方法的作業圖。

圖57為習知另一製造方法的作業圖。

圖58為習知另一製造方法的作業圖。

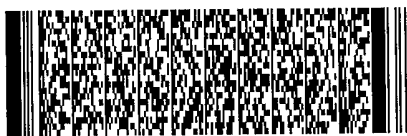


圖 1

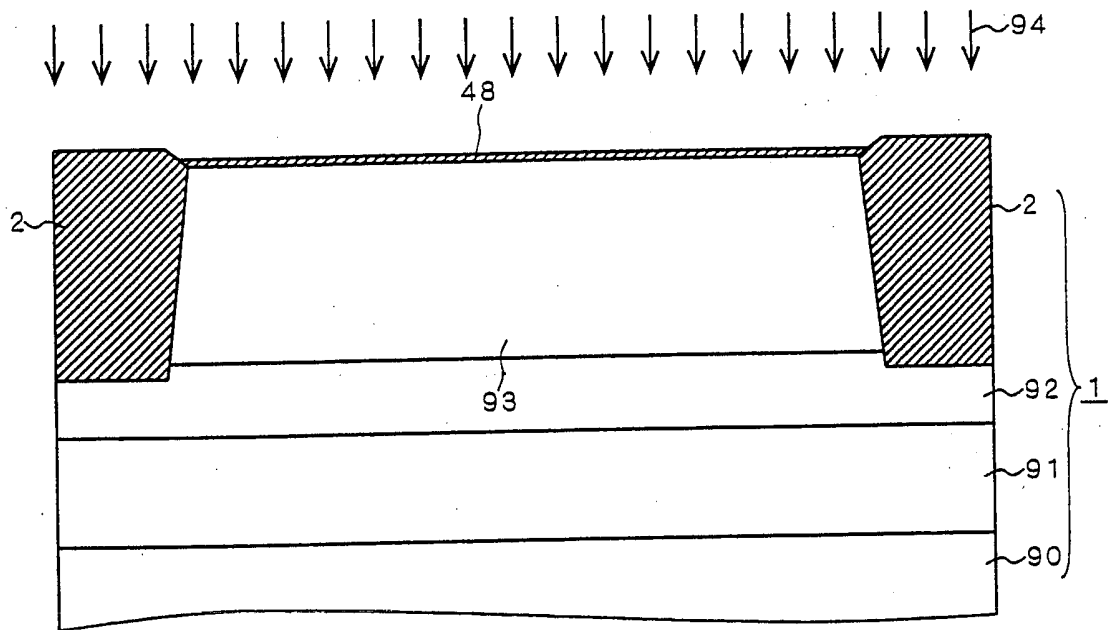


圖 2

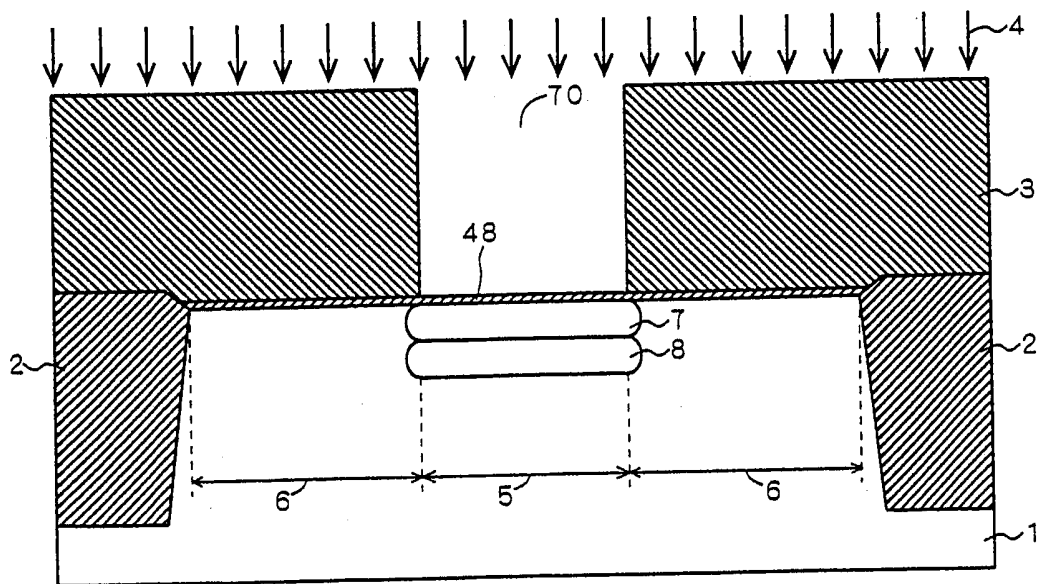


圖 3

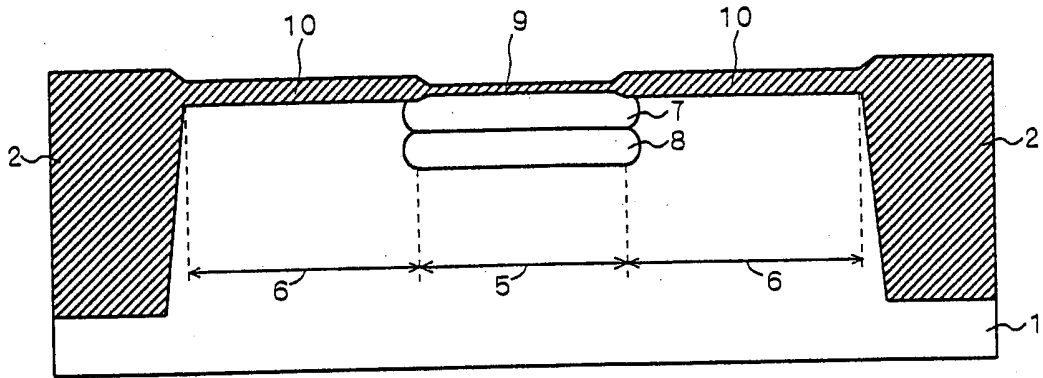


圖 4

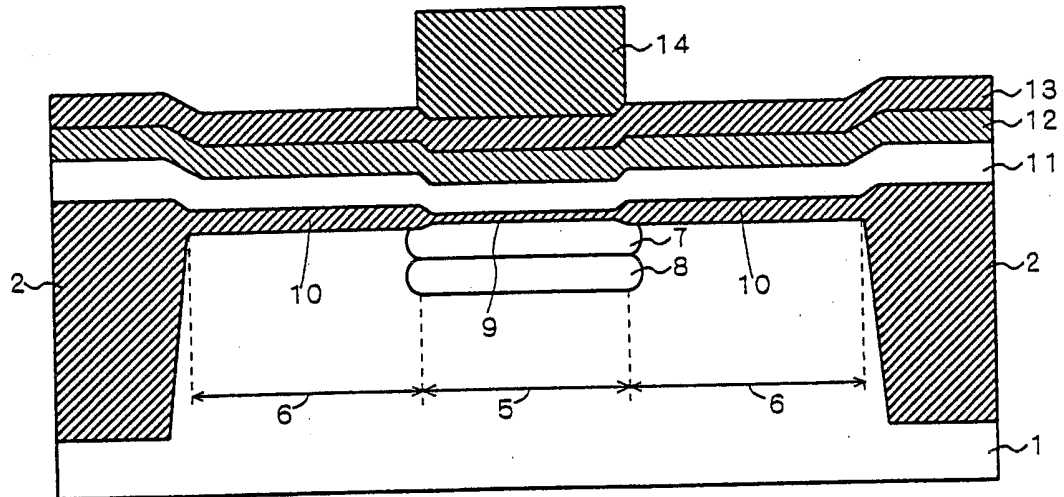
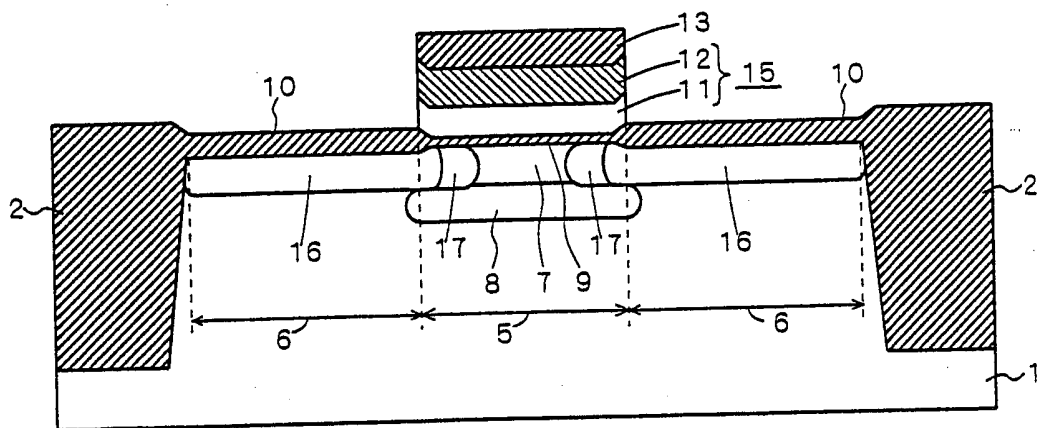


圖 5



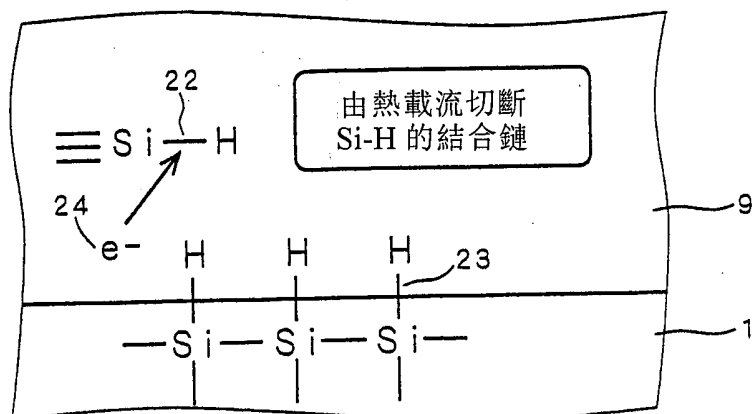


圖 9

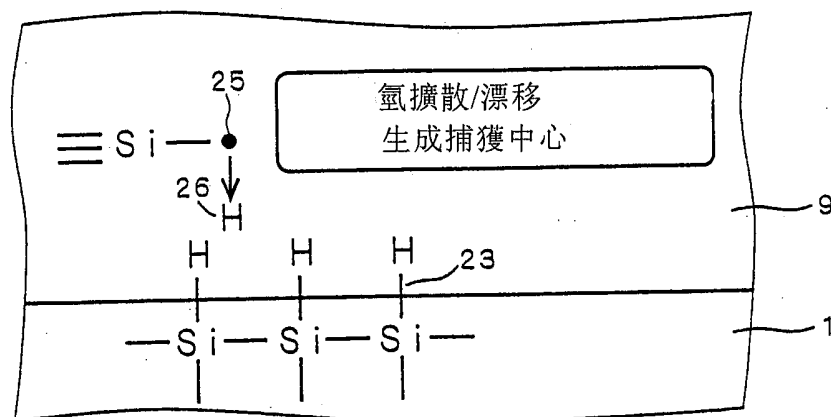


圖 10

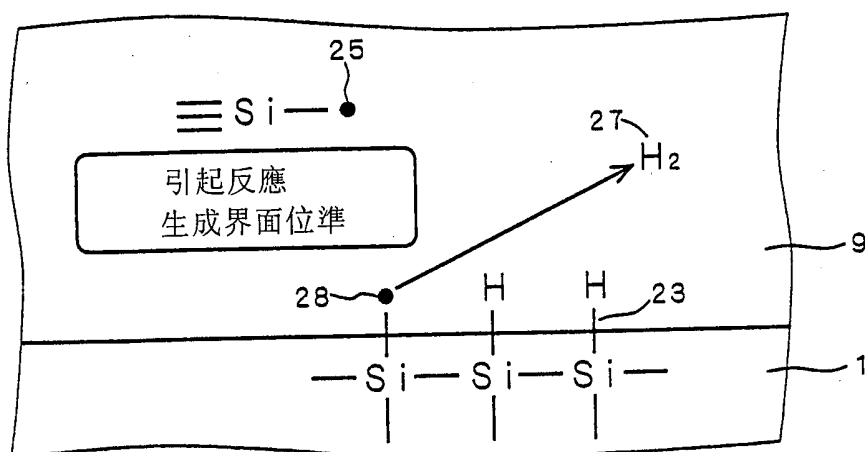


圖 1 1

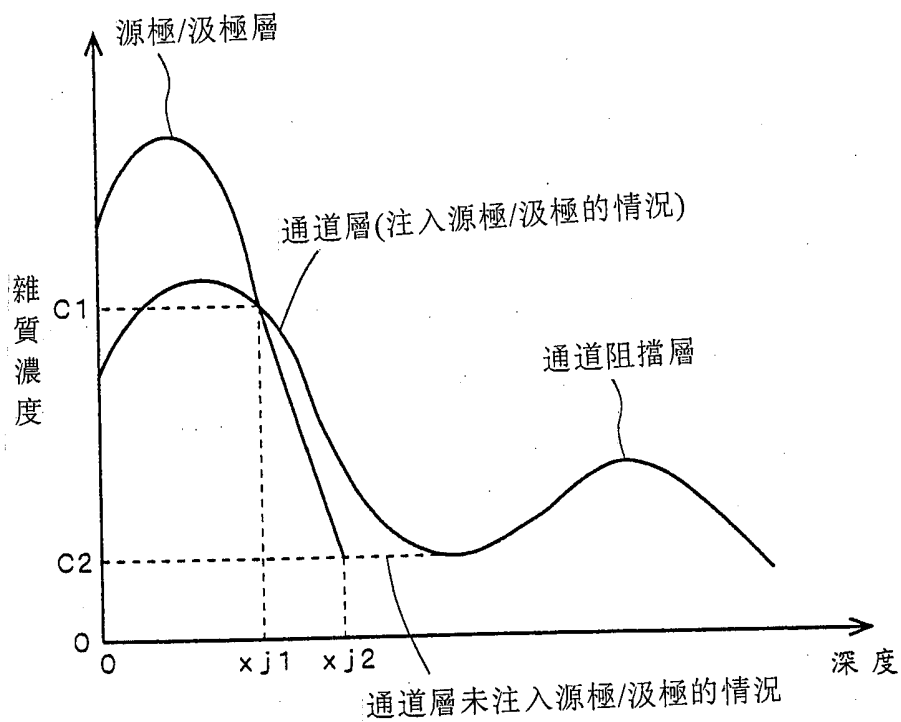


圖 1 2

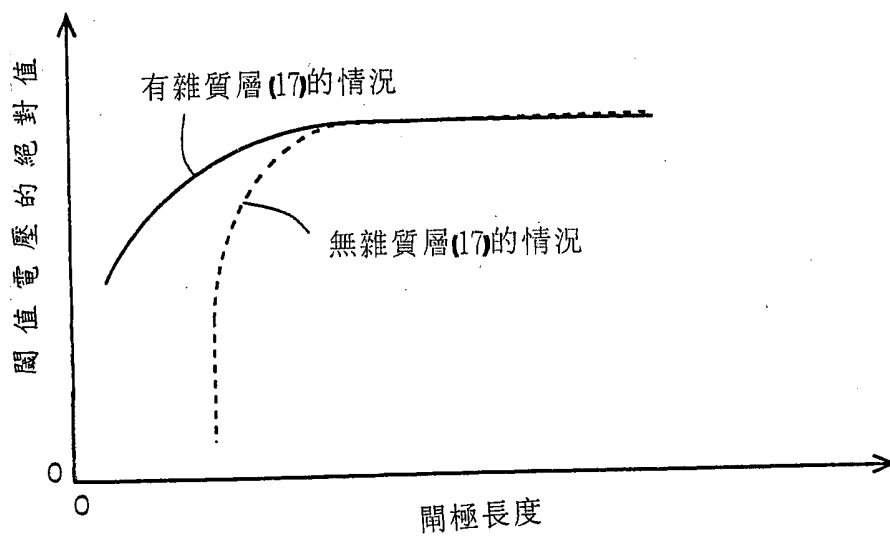


圖 13

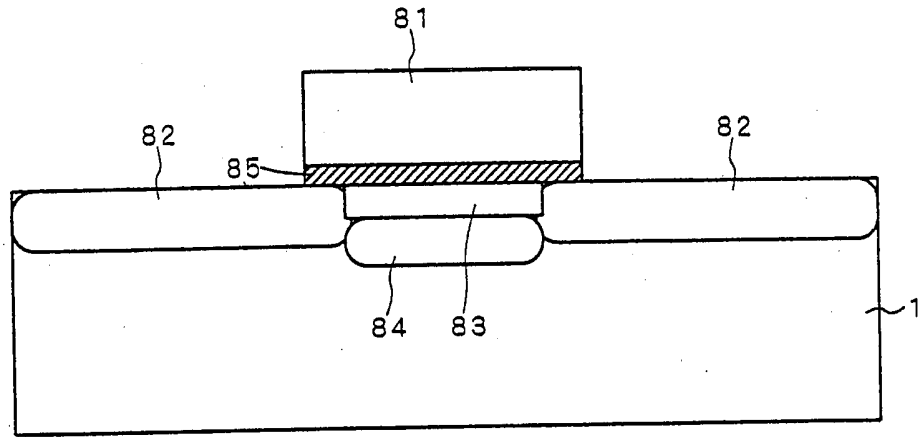


圖 14

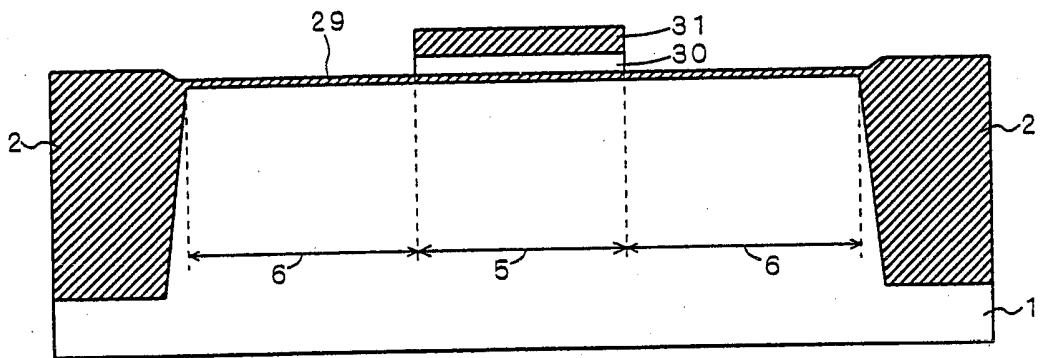


圖 15

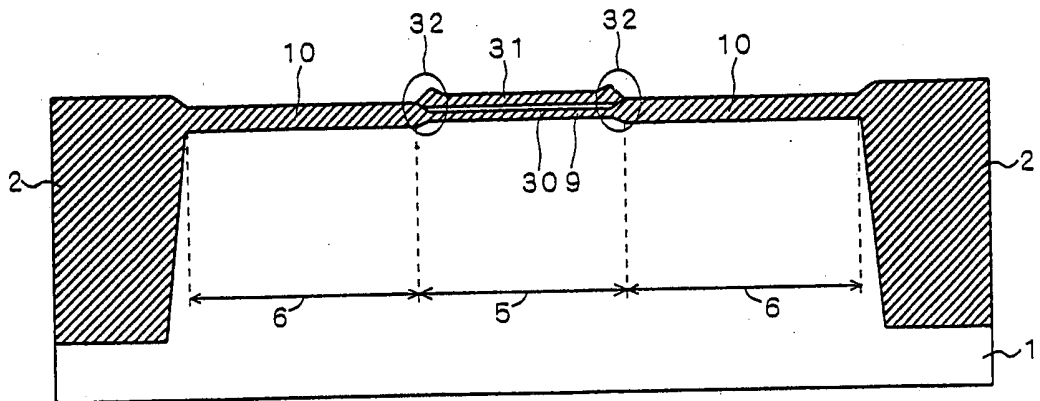


圖 16

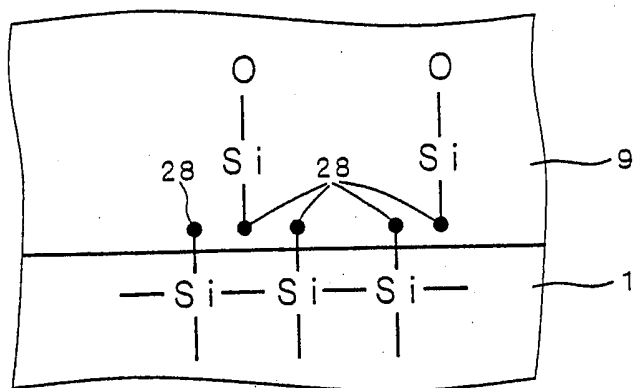


圖 17

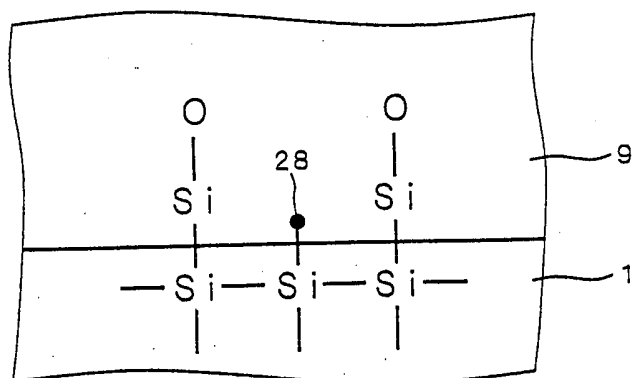


圖 18

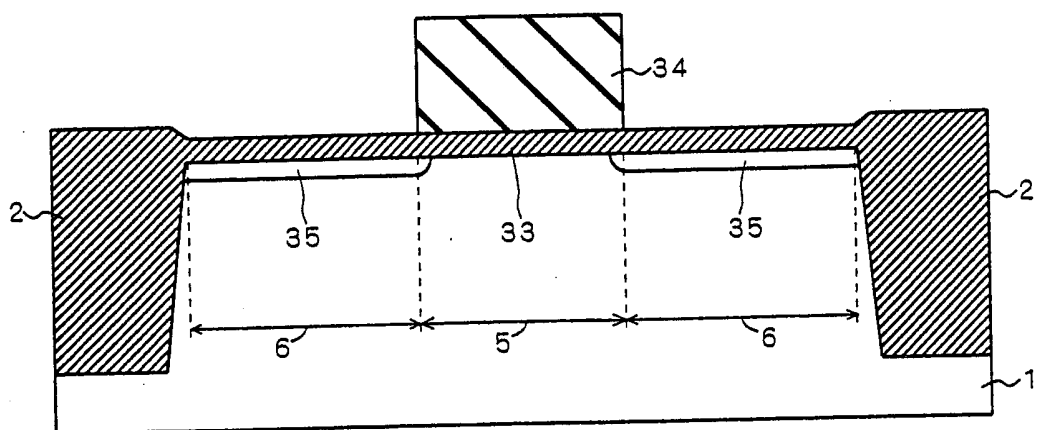


圖 19

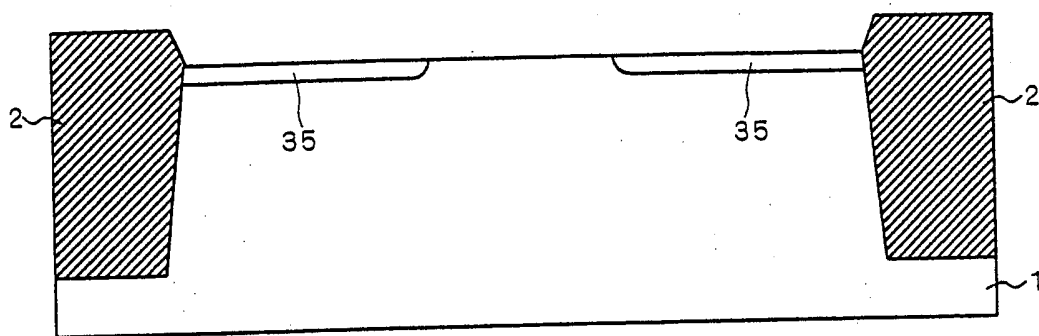


圖 20

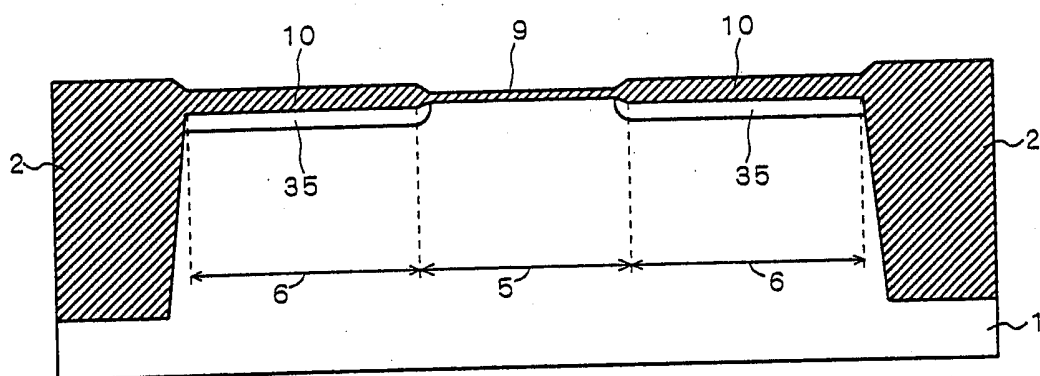


圖 21

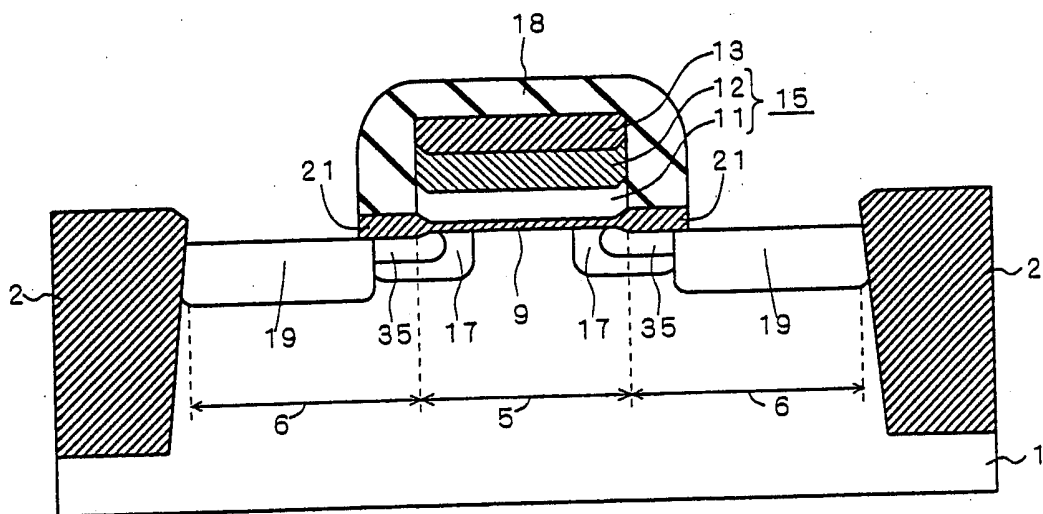


圖 22

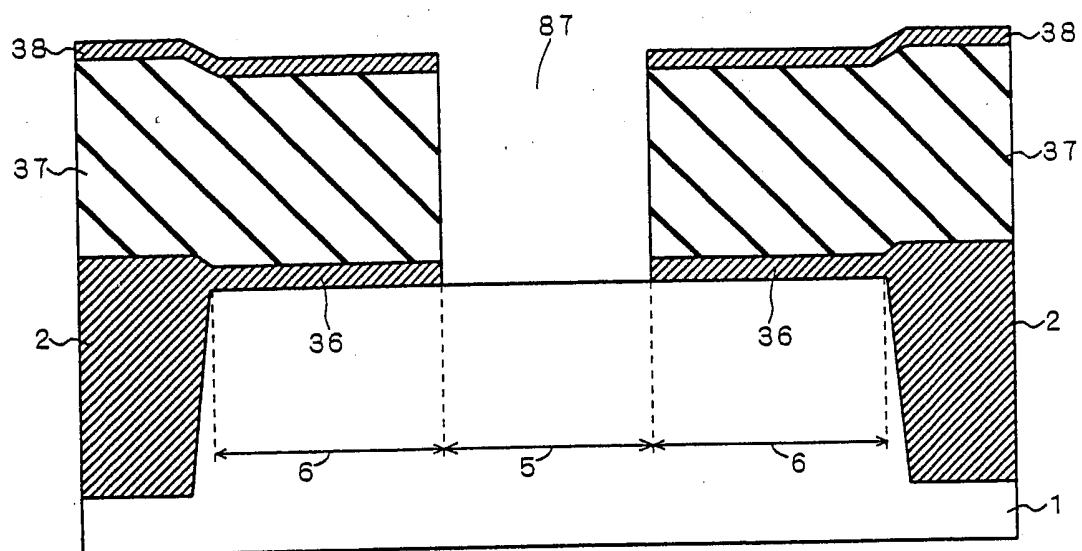


圖 23

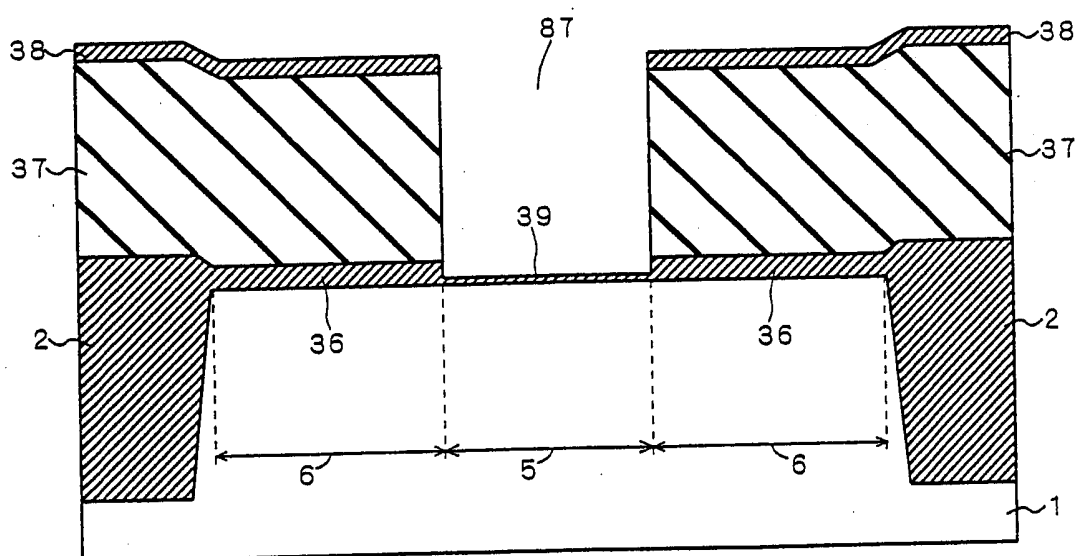


圖 24

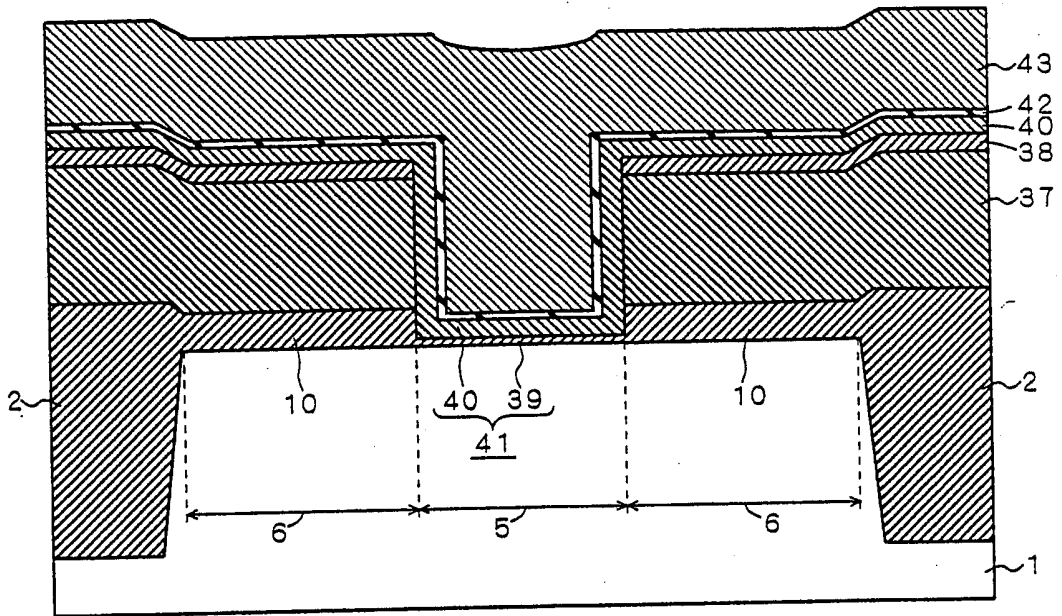


圖 25

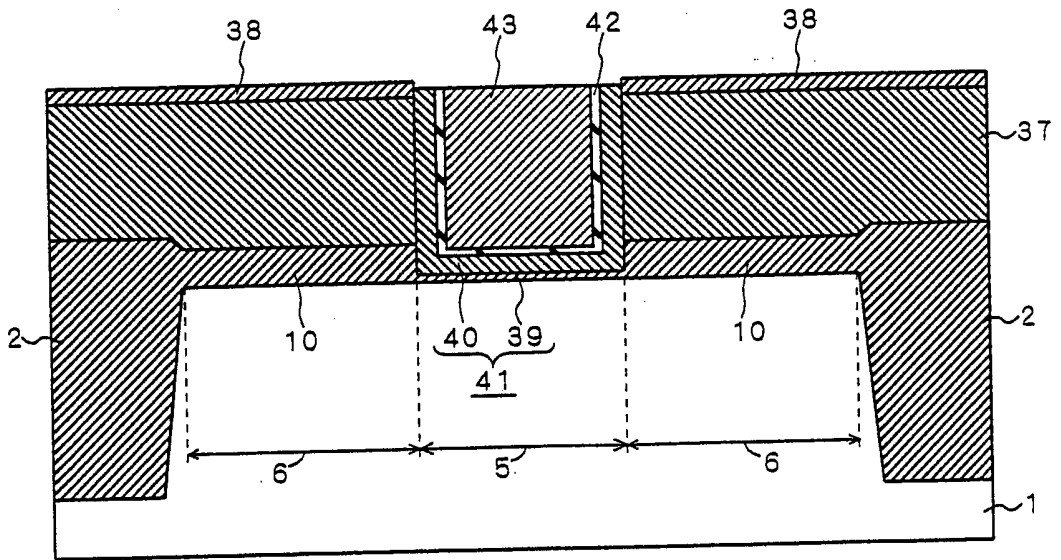


圖 26

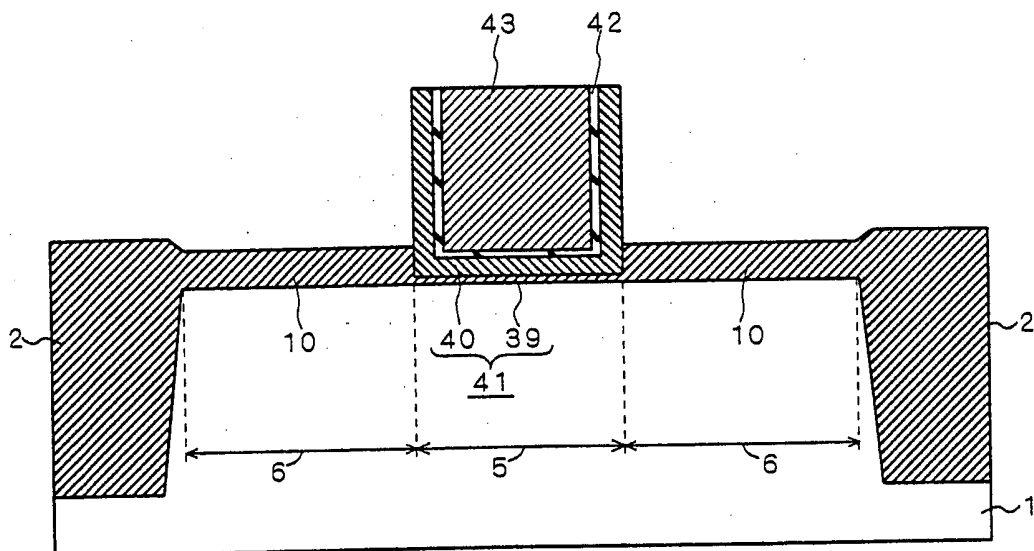


圖 27

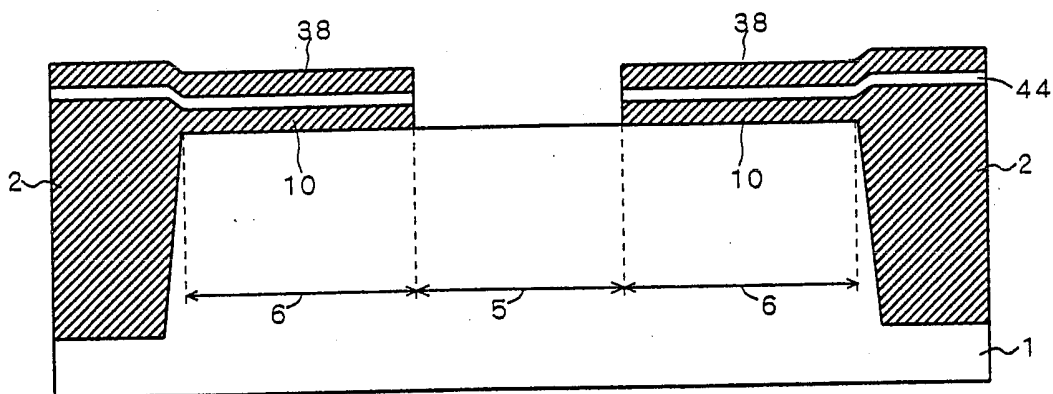


圖 28

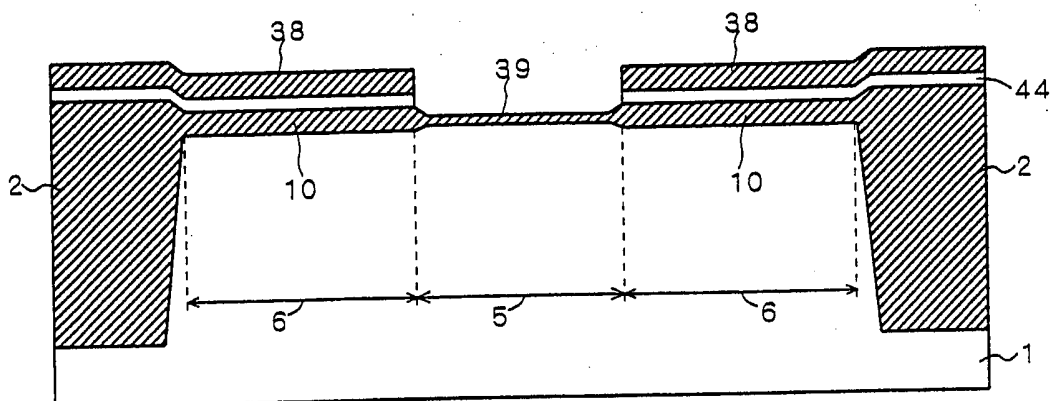


圖 29

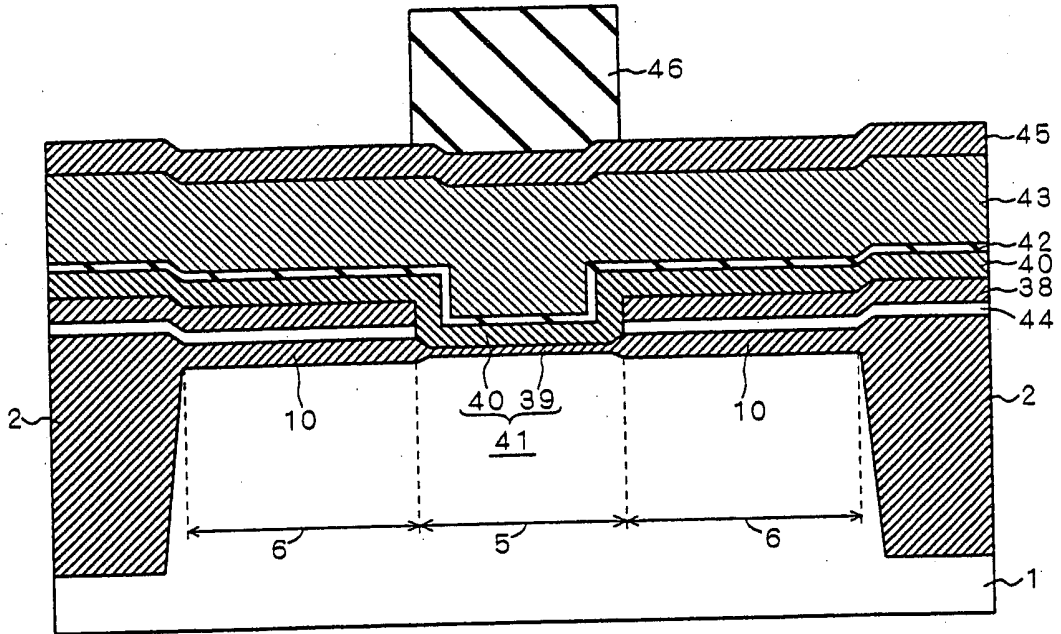


圖 30

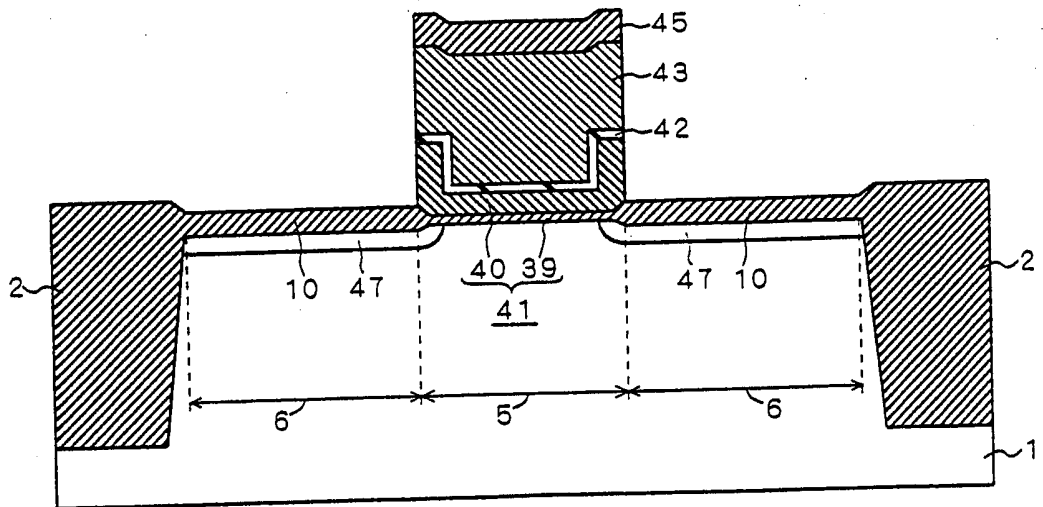


圖 3 1

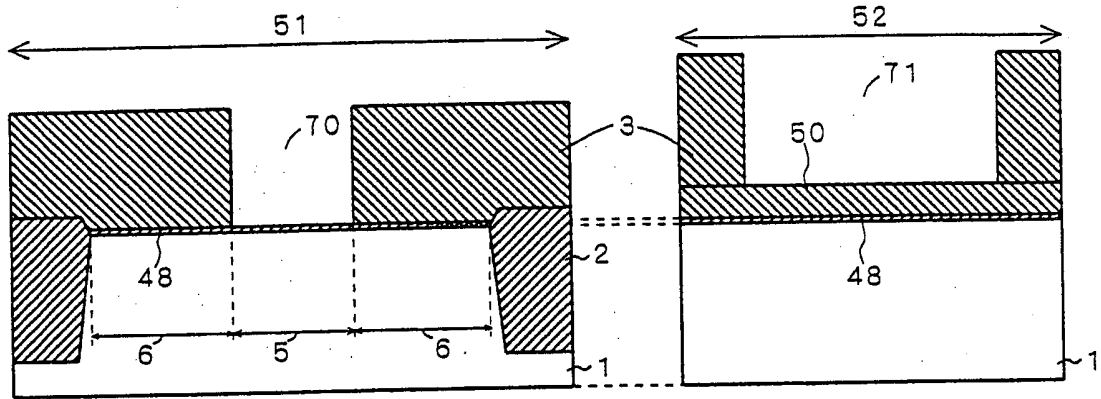


圖 3 2

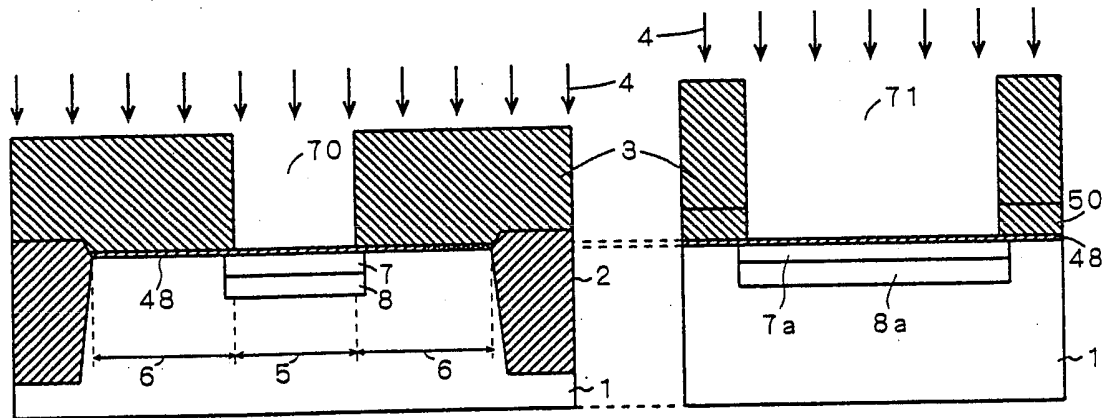


圖 3 3

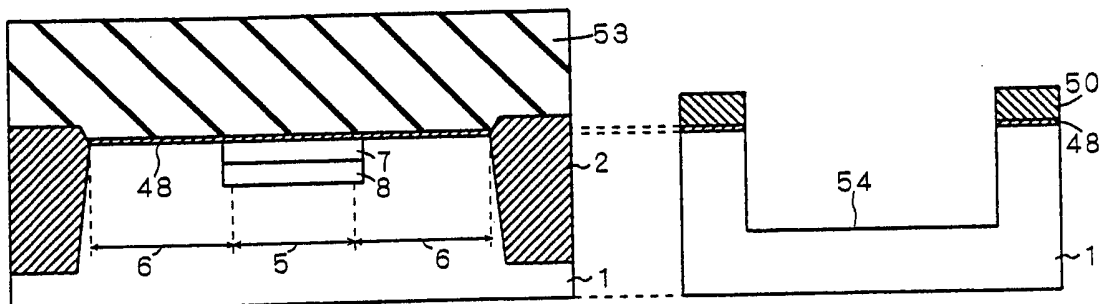


圖 34

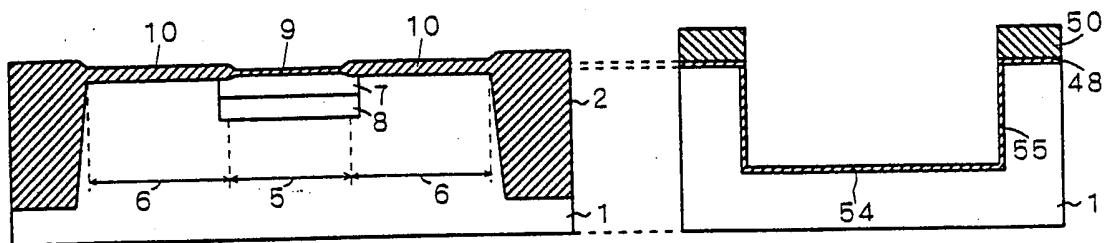


圖 35

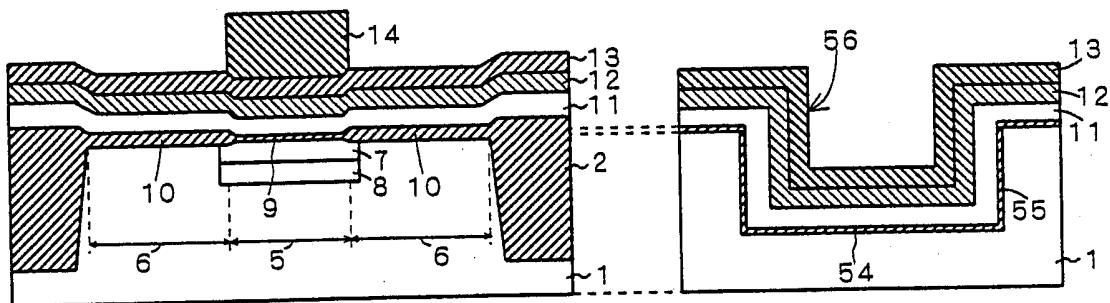


圖 36

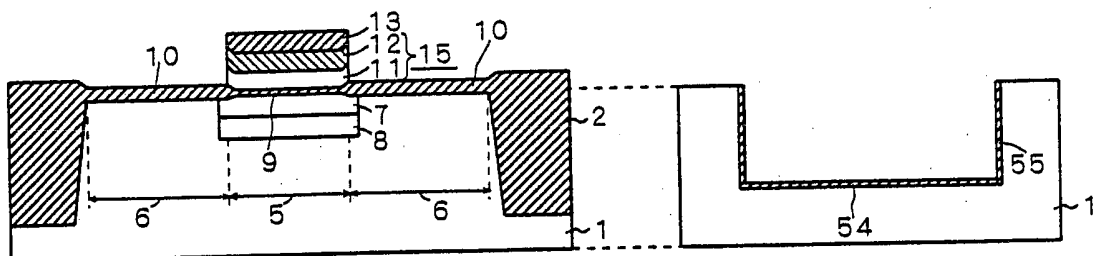


圖 37

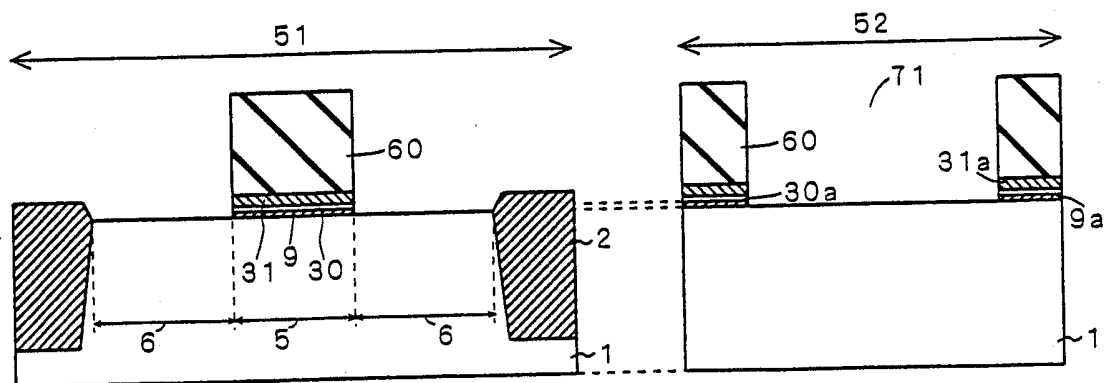
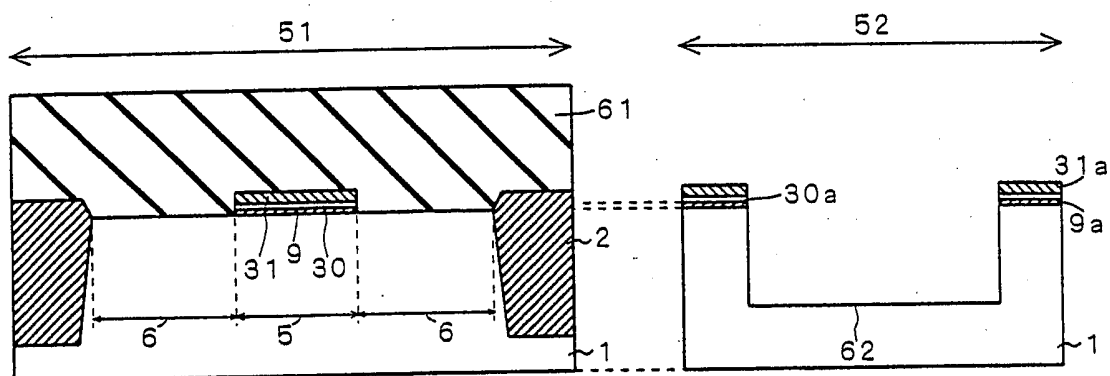
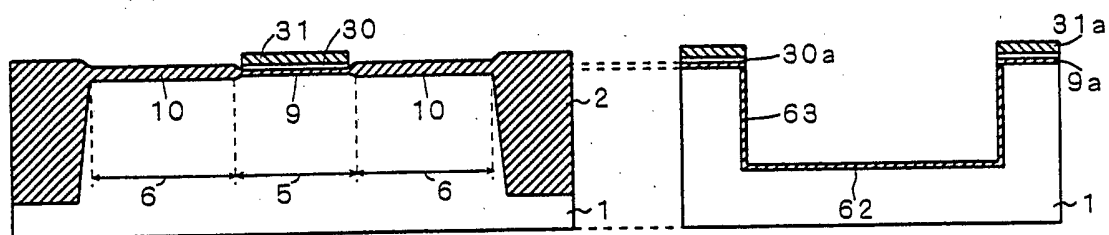


圖 38



39



40

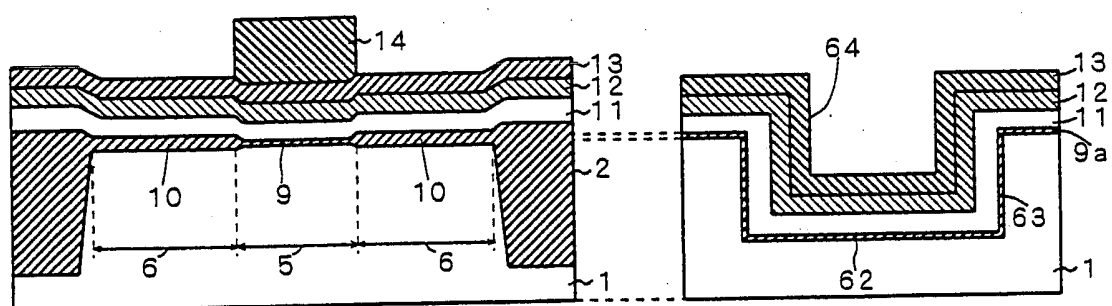


圖 41

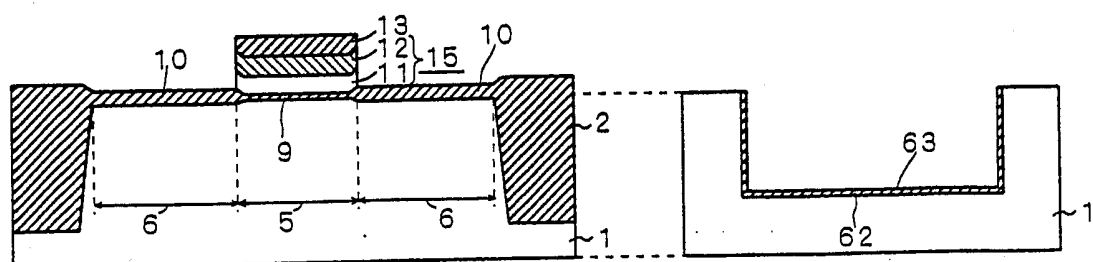


圖 4 2

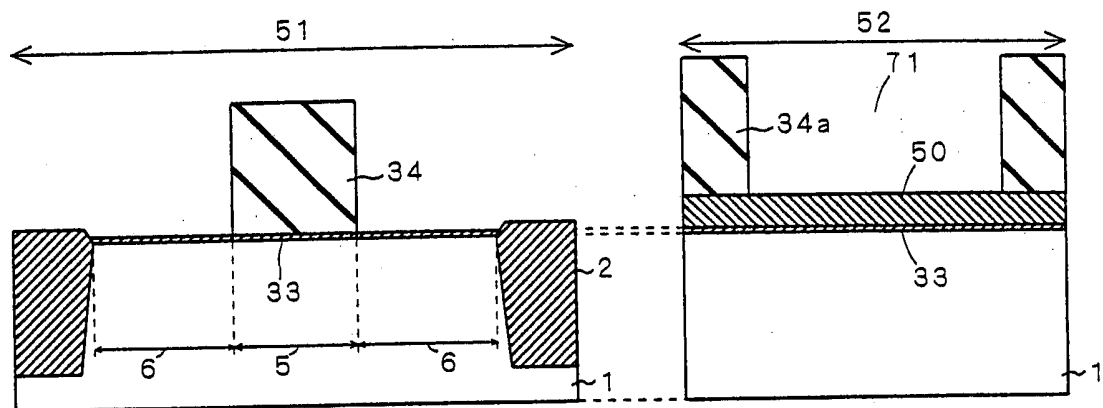


圖 4 3

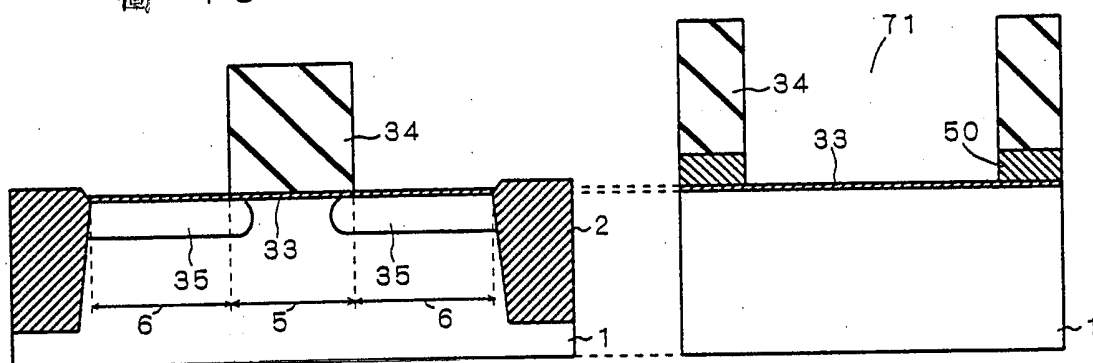


圖 4 4

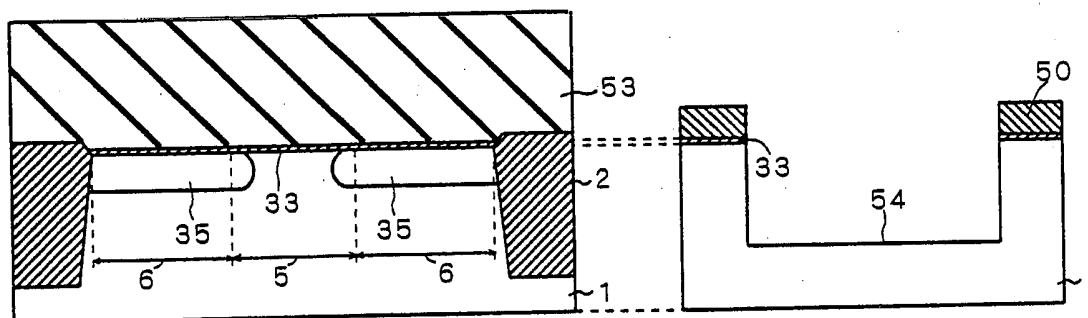


圖 4 5

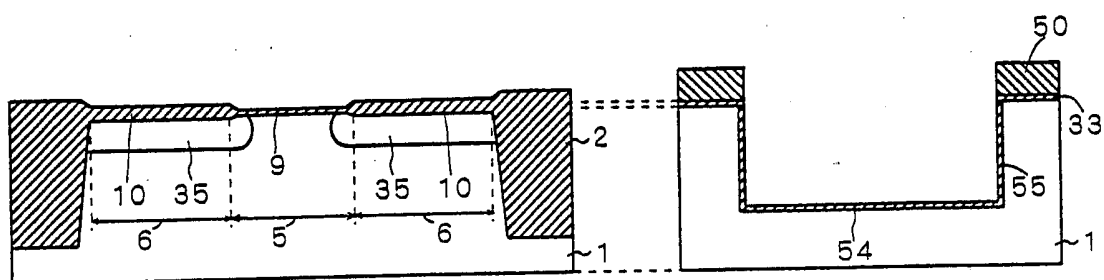


圖 46

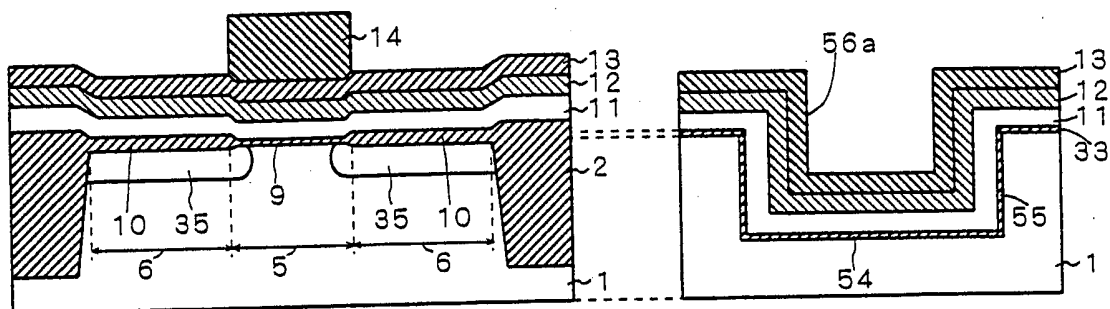


圖 47

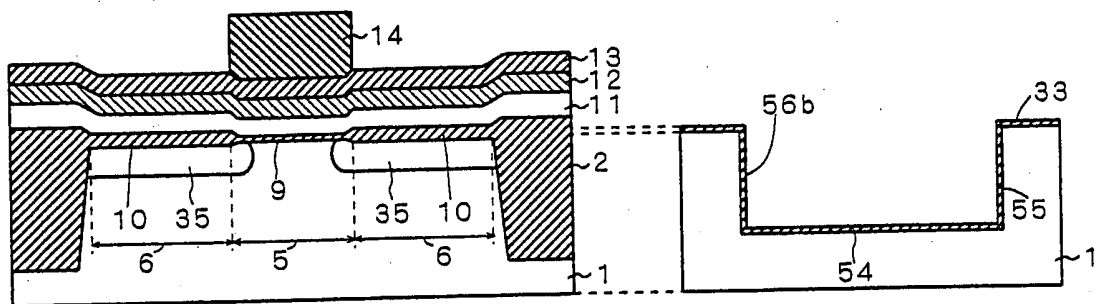


圖 48

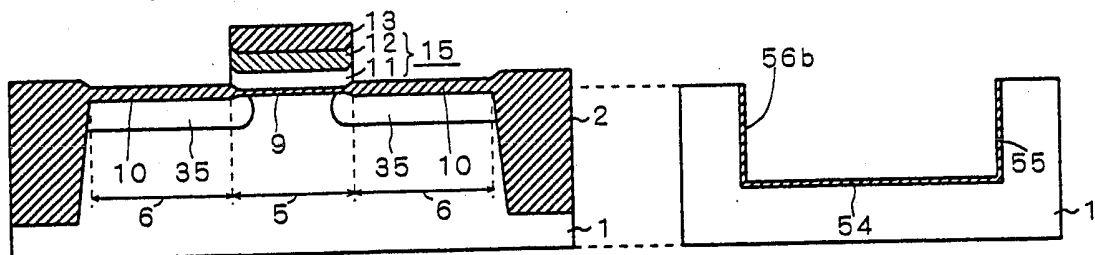


圖 49

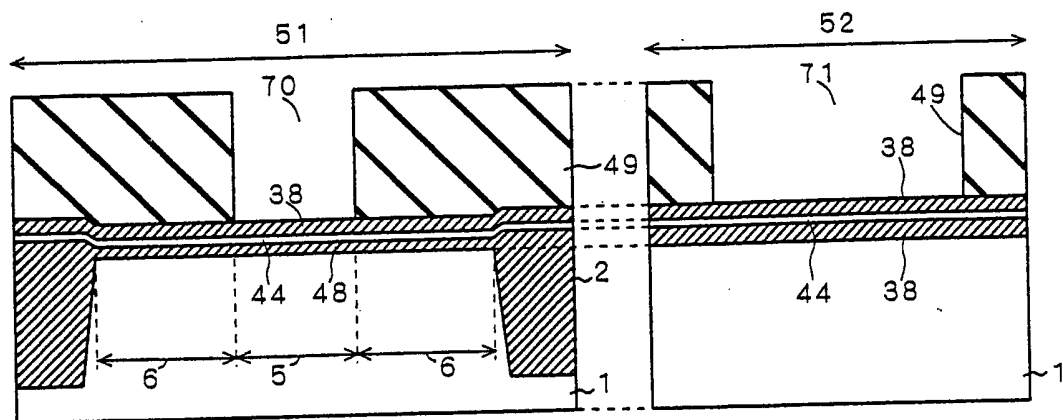


圖 50

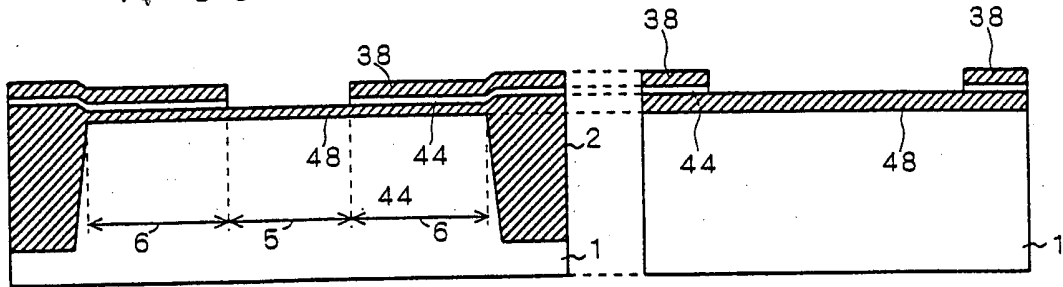


圖 51

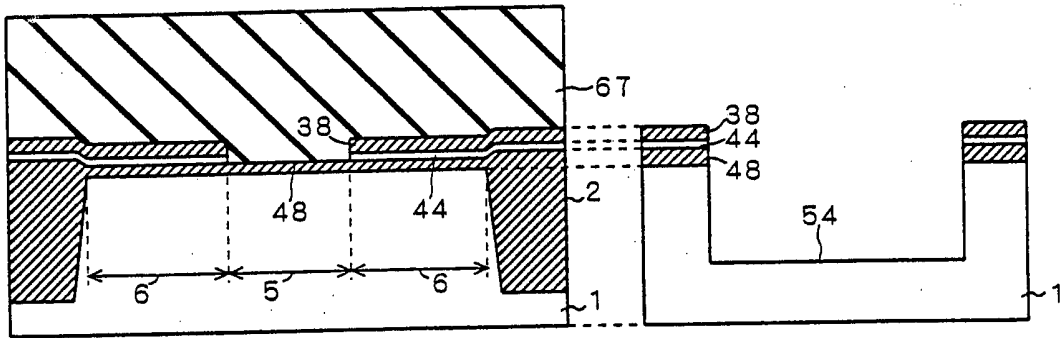


圖 52

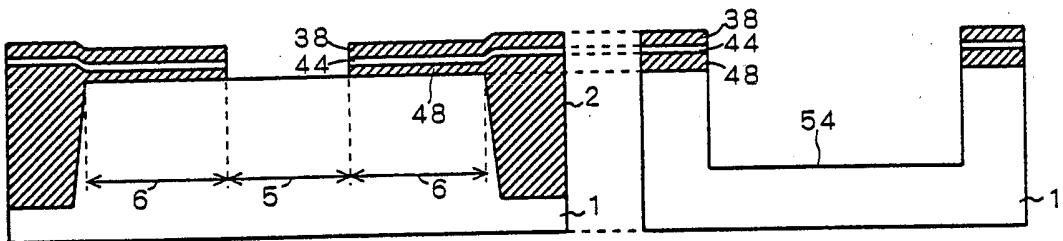


圖 53

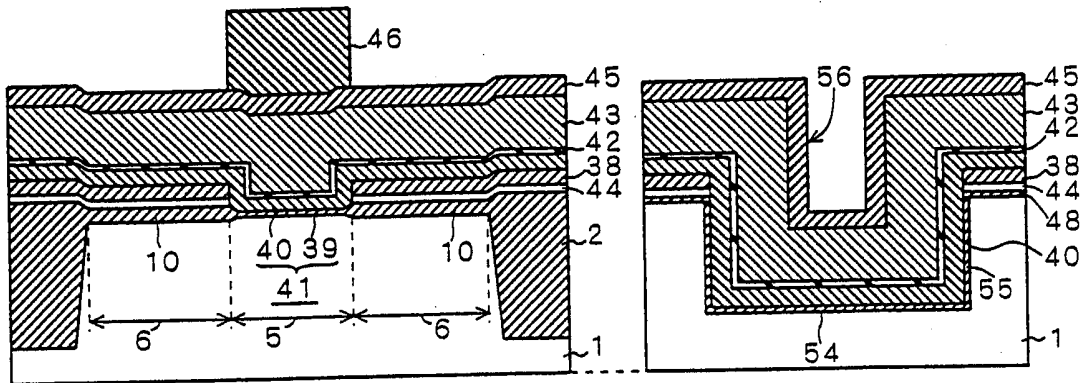


圖 54

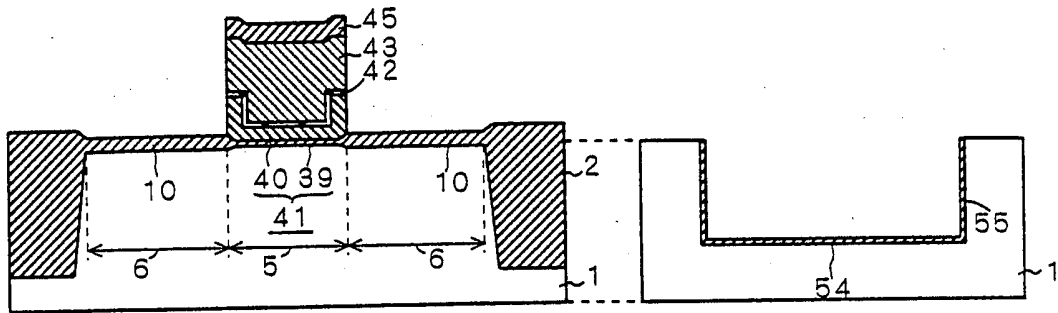


圖 55

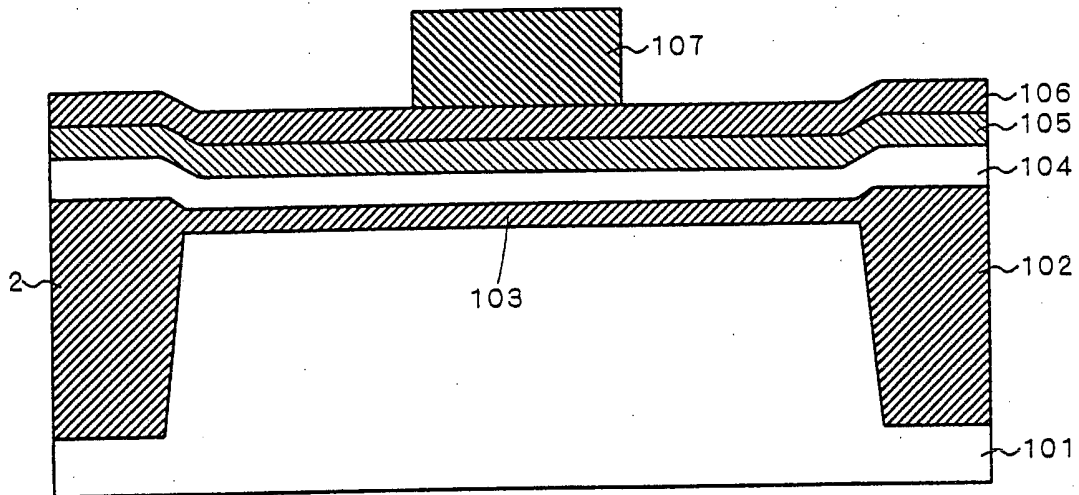


圖 56

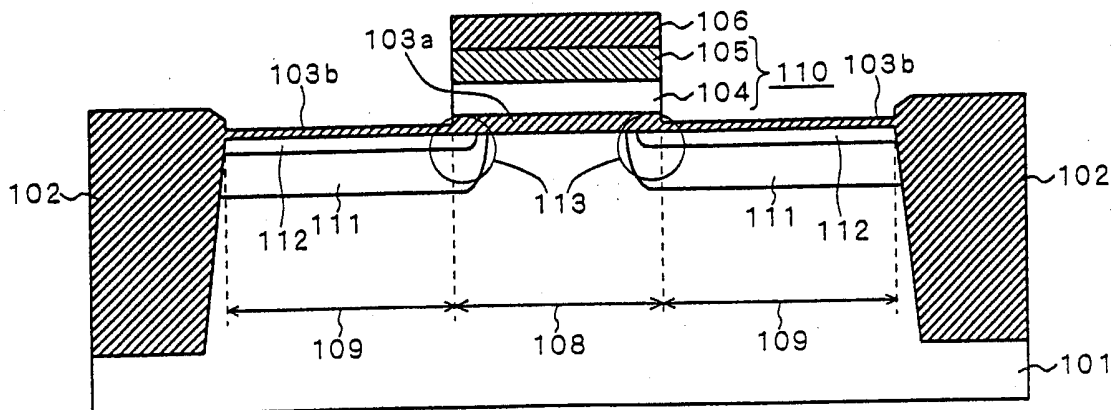


圖 57

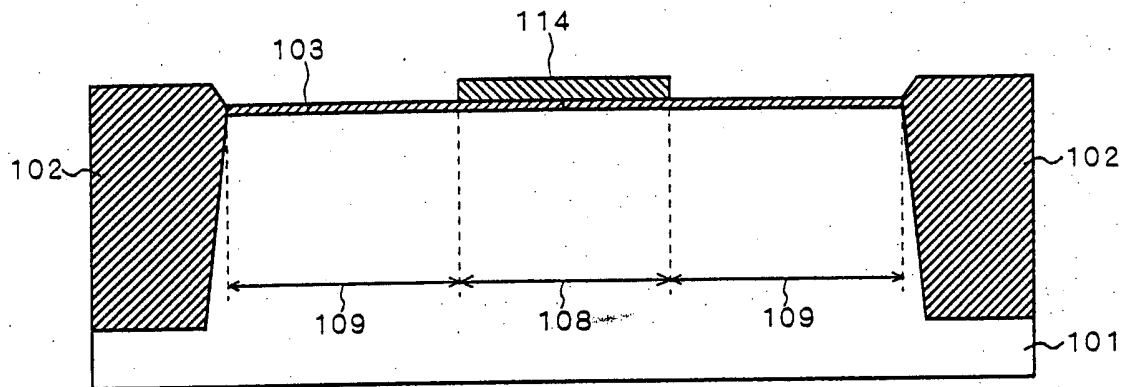
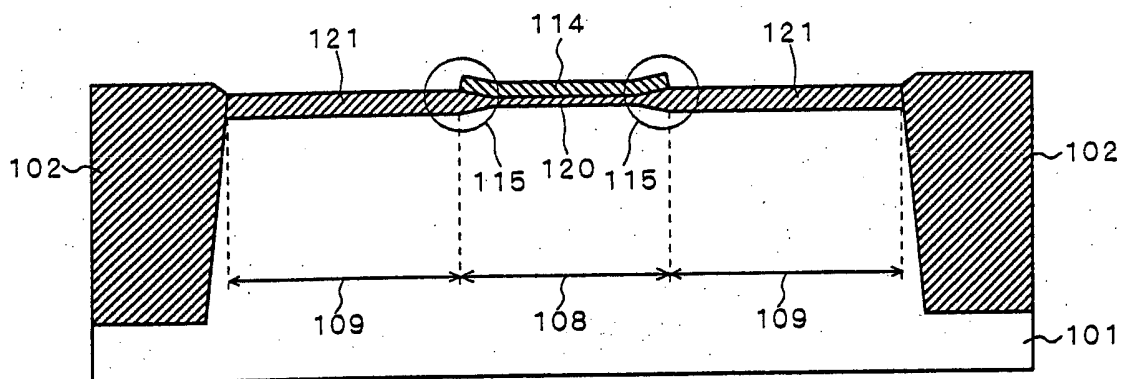


圖 58



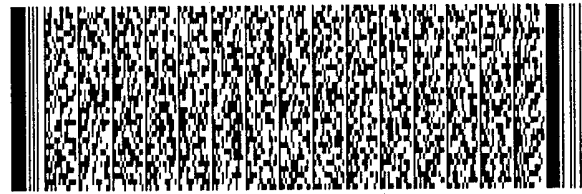
五、發明說明 (12)

的整個表面、即墊底氧化膜48及STI2上塗敷阻劑（光阻劑）。另外，也可以在塗敷阻劑之前將墊底氧化膜48作為犧牲氧化膜暫且除去，然後再次形成墊底氧化膜48。由此，能夠除去半導體基板1主面上存在的污染物質。之後，通過轉印作業對阻劑製圖，形成保護部分3。

在半導體基板1的主面中，夾在相鄰一組STI2間的區域用來作為形成MOS電晶體的區域（MOS電晶體區域）。在該MOS電晶體區域規定通道區域5和其兩側的一組源極汲極區域6。形成的保護部分3在通道區域5的上方具有開口的開口部70。

在形成保護部分3後，利用保護部分3作為罩幕，向半導體基板1的主面有選擇地注入氮離子作為離子4。氮離子的注入如按照10keV的注入能量及 $5 \times 10^{15}/\text{cm}^2$ 的注入量進行。接著，用保護部分3作為罩幕有選擇地向半導體基板1的主面注入作為離子4的硼（B）離子。硼離子的注入如按照10keV的注入能量及 $1 \times 10^{13}/\text{cm}^2$ 的注入量進行。這些離子注入的結果是在通道區域5形成含有氮的（第1）通道層7。如果有需要，則可按照如30keV的注入能量及 $1 \times 10^{13}/\text{cm}^2$ 的注入量進一步注入作為離子4的硼離子，由此能夠形成穿通阻擋（punch-through stopper）層8。

在圖2例中，利用離子注入有選擇地將氮和硼導入半導體基板1的主面，但也可採用等離子體摻雜（plasma doping）方法或離子化集束（ionized cluster beam）方法導入。有選擇地形成通道層7及穿通阻擋層8是為了借助



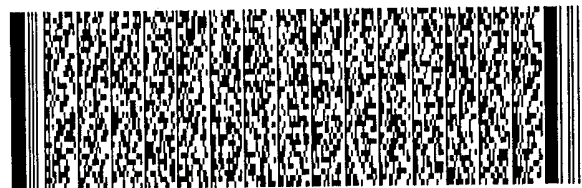
五、發明說明 (13)

減小源極汲極區域6中的耦合電容使MOS電晶體的速度提高，以及為了減小漏電流。下文將描述該效果。

接著在圖3作業中，首先除去保護部分3。之後在乾 O_2 (dry O_2) 氛圍中進行熱氧化處理。熱氧化也可進行到仍殘留有墊底氧化膜為止，還可在暫且除去墊底氧化膜48後進行。熱氧化的結果是在半導體基板1的主面上形成閘極絕緣膜9及絕緣膜10。閘極絕緣膜9形成在通道區域5上，絕緣膜10形成在源極汲極區域6上。

在半導體基板1的主面中與通道區域5相應的部分存在含有氮的通道層7。通道層7所含氮原子抑制了半導體基板1主成分原子即矽與 O_2 (氧) 的反應，也即抑制了氧化反應。利用氮原子進一步抑制了在氧化反應形成的作為氮氧化矽 (Silicon Oxynitride) 膜的閘極絕緣膜9中的氧化劑擴散。因此，在注入氮的通道區域5上，氧化速度 (氧化反應的反應速度) 比未注入氮的源極汲極區域6的慢。其結果，源極汲極區域6上形成的絕緣膜10的厚度比通道區域5上形成的閘極絕緣膜9的厚。閘極絕緣膜9作為如上所述的氮氧化矽膜形成，與此相對應，絕緣膜10作為氧化矽膜形成。閘極絕緣膜9的厚度如為3nm時，絕緣膜10的厚度約為10nm左右。

也可用 NO/O_2 氛圍代替氧化氮氛圍。此時，閘極絕緣膜9作為氮氧化矽膜形成，絕緣膜10也一樣作為氮氧化矽膜形成。即使在 NO/O_2 氛圍中進行熱氧化，也能抑制得在通道區域5上的氧與矽的反應速度比在源極汲極區域6上的低，



五、發明說明 (18)

堆積鈷前，也可以例如10keV的注入能量及 $5 \times 10^{15}/\text{cm}^2$ 的注入量向閘極電極15及源極汲極區域6注入氮。由此，在RTA熱處理時，能防止鈷矽化物的聚集，在閘極電極15及源極汲極區域6，漏電流小且電阻低，能形成比較穩定的鈷矽化物膜。

一旦發生聚集，有時在 CoSi_2 與Si的交界處會出現 CoSi_2 的尖峰，一旦發生尖峰，就產生源于電場向尖峰集中的漏電流。與此相反，若預先注入氮，就能抑制產生尖峰，減少漏電流。即使對於Ti（鈦）或Ni（鎳）的矽化物，也能獲得同樣的效果。

(1.2. 優點)

下面，就實施形態1製造方法的優點加以補充說明。首先，說明氮離子注入提高絕緣膜9的可靠性的另一機構。圖8—圖10為圖解作為氧化矽膜的閘極絕緣膜9隨半導體裝置使用而劣化的過程的說明圖。圖8圖解閘極絕緣膜9中Si-H鍵22、存在於閘極絕緣膜9與半導體基板1之間界面的Si-H鍵23。

若在 H_2O 氛圍中進行熱氧化， H_2O 中的氫原子會進入氧化矽膜中。當在乾 O_2 氛圍中進行熱氧化時，氫不會混入氧化矽膜中，之後，大氣中的水分（ H_2O ）被取入。而且，用CVD堆積多晶矽時，根據化學式1反應生成的氫進入閘極絕緣膜9中。進入氧化矽膜的 H_2O 和 H_2 與氧化矽膜的主成分即SiO進行反應，形成Si-H鍵。

