



AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F / 297 079 6

(22) 04.12.86

(44) 17.02.88

(71) VEB Werk für Signal- und Sicherungstechnik Berlin, Eisenstraße 87/96, Berlin, 1193, DD

(72) Hübner, Jörg, Dipl.-Ing.; Nikolaizik, Jürgen, Dipl.-Ing.; Klaus, Jürgen, DD

(54) Schaltungsanordnung zur zeitgestaffelten Bereitstellung von Steuersignalen und zur Mehrfachnutzung von Adressen- oder Datenbussen

(55) Schaltungsanordnung, Zeitabhängigkeit, Steuersignal, Adreßbit, Datenbit, Datenbus, Mehrfachnutzung, Testsignalerzeugung, Zeiteinheit, Verarbeitungseinheit, Steuersignaldecoder, Adreßdecoder

(57) Die Erfindung betrifft eine Schaltungsanordnung zur zeitgestaffelten Bereitstellung von Steuersignalen und zur Mehrfachnutzung von Adressen- oder Datenbussen, die in der Prozeßrechentechnik eingesetzt werden kann. Sie wird realisiert durch eine Zeiteinheit, eine logische Verarbeitungseinheit, einen Steuersignaldecoder und einen Adreßdecoder, die so miteinander in Verbindung stehen, daß gestaffelte Zeitverzögerungen der Steuersignale möglich werden und auch die Möglichkeit besteht auf einen Datenbus neben den Adressen der anzusteuern den äußeren Baugruppen zusätzliche Steuersignale zu übertragen. Figur

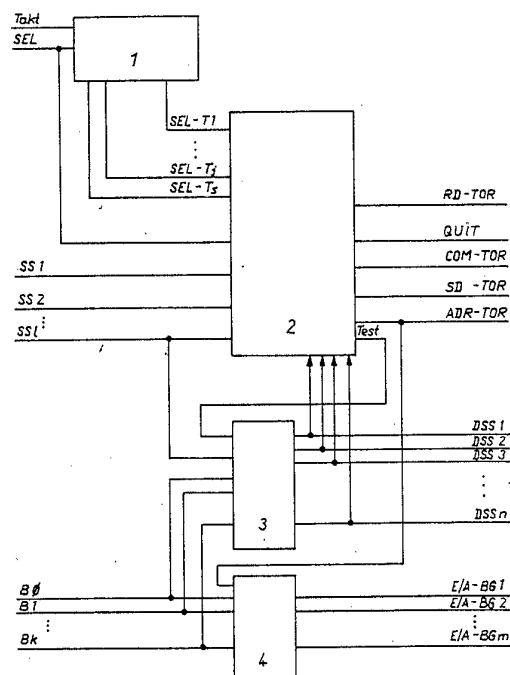


Fig.

Patentansprüche:

Schaltungsanordnung zur zeitgestaffelten Bereitstellung von Steuersignalen und zur Mehrfachnutzung von Adressen- oder Datenbussen, **gekennzeichnet dadurch**, daß eine Zeiteinheit (1), an deren Eingängen das Baugruppenauswahlsignal (SEL) und der Takt liegen, mit einer logischen Verarbeitungseinheit (2), die die Steuersignale (SS 1, ..., SSI) empfängt, verbunden ist, daß ein Adreßbus (B0, ..., Bk) an einen Adreßdekode (4) zur Auswahl der äußeren Baugruppen (E/A-BG 1, ..., E/A-BGm) und an einen Steuersignaldecoder (3) zur Bereitstellung weiterer Steuersignale (DSS 1, ..., DSSn) angeschlossen ist, wobei der Steuersignaldecoder (3) wiederum mit der logischen Verarbeitungseinheit (2) verbunden ist.

Hierzu 1 Seite Zeichnung

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur Verknüpfung einer Steuerlogik mit einem Eingangssignal und dessen stufenweiser Verzögerung, die in der Prozeßrechentechnik, insbesondere bei der Steuerung sicherheitsrelevanter Vorgänge wie in der Eisenbahnsicherungstechnik, der Kraftwerkstechnik und der chemischen Industrie, Anwendung finden kann.

Charakteristik des bekannten Standes der Technik

Bekannt sind bereits Schaltungen zur Verzögerung von digitalen Signalen. Dabei werden die Verzögerungen durch Monoflops oder Gatterlaufzeiten gewonnen.

Wird das Signal nach verschiedenen Verzögerungszeiten benötigt, stellt das einen hohen Aufwand dar, da dann die entsprechende Anzahl von Monoflops oder Gattern benötigt wird.

Außerdem tritt eine Verringerung der Genauigkeit durch die Verknüpfung der Monoflops bzw. Gatter untereinander, oder/und durch die Toleranzen der zeitbestimmenden Bauelemente der Monoflops ein.

Die Adreßleitungen werden zur Aktivierung der entsprechenden Funktionen oder Baugruppen, Schaltkreise oder Speicherplätze genutzt und übertragen teilweise zeitmultiplex auch noch Daten. Die Steuersignale für bestimmte Zwecke, wie das Bereitstellen von Test- und Anzeigesignalen, werden über separate Signalleitungen geführt.

Ziel der Erfindung

Das Ziel der Erfindung bestand in der Einsparung von Material, Bauelementen, Verdrahtung, von Steuerleitungen zwischen den Baugruppen und von Platz für die Realisierung von Zeitverzögerungen sowie in einer größeren Genauigkeit der einzelnen Signale zueinander.

Darlegung des Wesens der Erfindung

Der Erfindung lag die Aufgabe zugrunde, bei der logischen Verknüpfung und Bereitstellung von Steuersignalen Zeitbeziehungen zu realisieren und zusätzliche Steuersignale zu erzeugen, ohne die Anzahl der Steuerleitungen zur Baugruppe zu erhöhen. Erfindungsgemäß wird die Aufgabe durch eine Schaltungsanordnung gelöst, die aus einer Zeiteinheit, einer logischen Verarbeitungseinheit, einem Steuersignaldecoder und einem Adreßdekode besteht.

Dabei ist die Zeiteinheit mit der logischen Verarbeitungseinheit verbunden, die wiederum an den Steuersignaldecoder und den Adreßdekode angeschlossen ist.

Der Takt und das Baugruppenauswahlsignal SEL werden auf die Zeiteinheit gegeben, wo sie miteinander verknüpft werden, so daß am Ausgang der Zeiteinheit die zeitgestaffelten Signale SEL-T1 bis SEL-Ts zur Verfügung stehen, welche der logischen Verarbeitungseinheit zugeführt und dort verarbeitet werden. Über den Adreßbus B0, ..., Bk werden erstens Signale zur Auswahl der Baugruppen E/A-BG 1, ..., E/A-BGm dem Adreßdekode zugeführt und zweitens können weitere Steuersignale über den Steuersignaldecoder ausgelesen werden.

Um diesen Decoder und damit an dessen Ausgang das entsprechend decodierte Steuersignal zu aktivieren, genügt ein einziges Signal.

Ausführungsbeispiel

Die Erfindung soll nachstehend an einem Ausführungsbeispiel erläutert werden.

In der Fig. 1 gelangt das Baugruppen-Auswahlsignal SEL und der Takt an die Zeiteinheit 1 und aktiviert diese. Durch Flip-Flop, Schieberegister oder Zähler wird das Aktivsignal mit dem Takt weitergeschaltet und bleibt solange aktiv, wie das Baugruppen-Auswahlsignal SEL aktiv ist.

Die Ausgänge der Flipflop, Schieberegister oder Zähler sind an Wickelstifte geführt, so daß durch Wickelverbindungen die gewünschten Verzögerungszeiten ausgewählt und als Signale SEL-T 1 bis SEL-Ts der logischen Verarbeitungseinheit zugeführt werden können, wo sie verarbeitet werden. Anstelle der Wickelstifte zur Auswahl der Verzögerungszeiten können auch andere Mittel, z. B. Mikrowahlschalter eingesetzt werden.

An den Ausgängen der logischen Verarbeitungseinheit 2 können somit die Signale ADR-TOR, SD-TOR, COM-TOR und QUIT bei der Ausgabe von Steuerdaten an die entsprechend decodierten Baugruppen und die Signale RD-TOR und QUIT beim Einlesen der Rückmeldedaten von den Baugruppen nacheinander und in den gewählten zeitlichen Abständen bereitgestellt werden.

Der Adreßbus B0, ..., Bk dient in erster Linie der Auswahl der Baugruppen E/A-BG 1, ..., E/A-BGm durch den Adreßdecoder 4, in zweiter Linie der Bereitstellung weiterer Steuersignale DSS 1, ..., DSSn durch den Steuersignaldecoder 3 im Testbetrieb. Diese Signale dienen dann als Steuersignale beim Ausgeben von Testinformationen auf die Baugruppe, zum Rücklesen von Testinformationen von der Baugruppe und zur Ansteuerung einer Fehleranzeige.

Das Signal TEST zur Aktivierung des Steuersignaldecoders 3 und zum Sperren der Adreß-, Daten- und Kommando- E/A-Tore wird in der logischen Verarbeitungseinheit 2 durch Verknüpfung der Steuersignale SS 1, ..., SSI mit den Zeitsignalen SEL-T 1, ..., SEL-Ts erzeugt.

Aus der Verknüpfung der zusätzlichen Steuersignale DSS 1, ..., DSSn mit einem Signal SEL-Tj in der logischen Verarbeitungseinheit 2 entsteht dort das Quittungssignal QUIT.

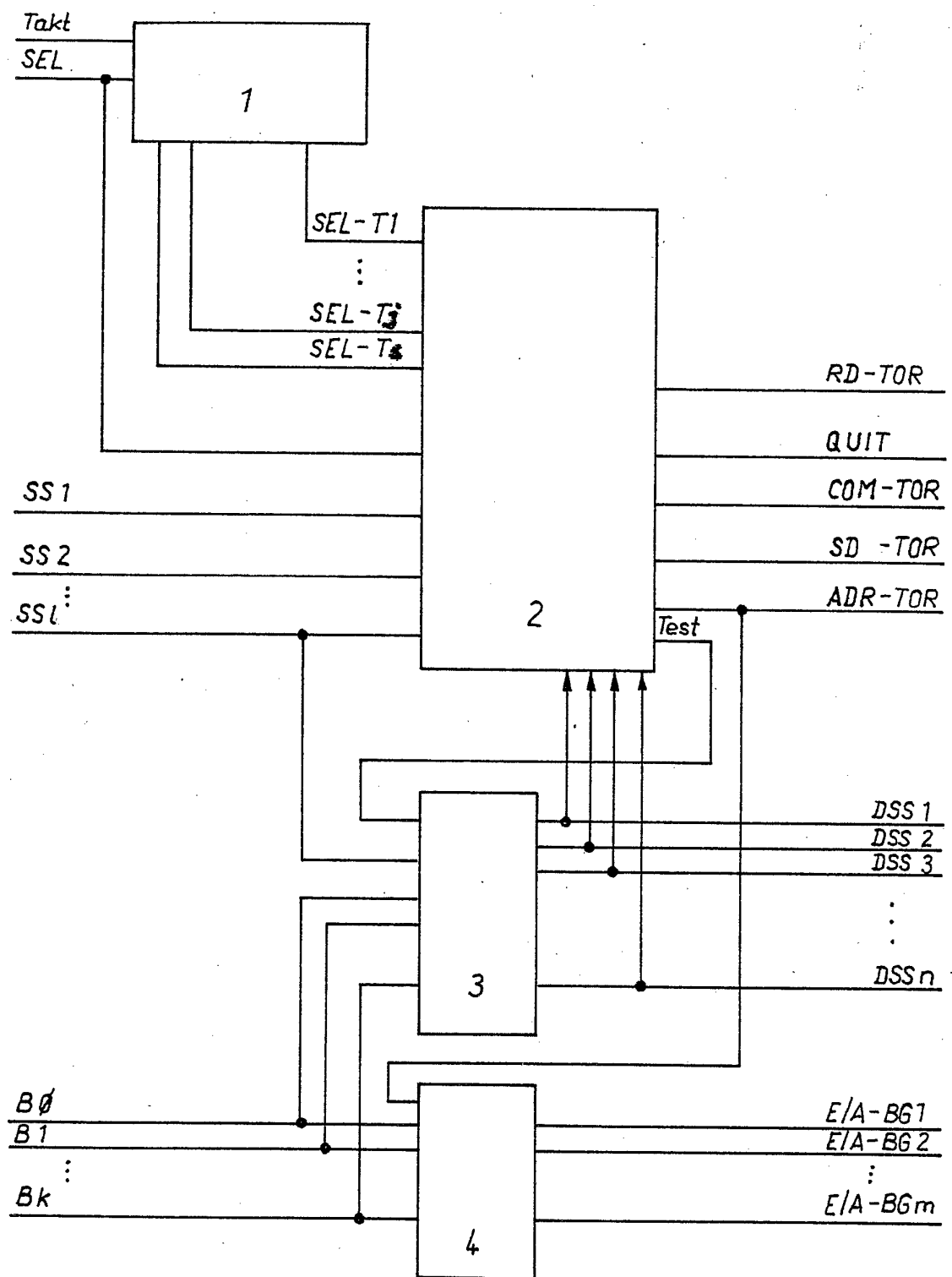


Fig.